

## DRV8803 四通道低侧驱动器 IC

### 1 特性

- 受到保护的四通道低侧驱动器
  - 四个具有过流保护功能的 NMOS FET
  - 集成电感钳位二极管
  - 并行接口
- DW 封装：每通道 1.5A (单通道开启) / 800mA (四通道开启) 最大驱动电流 (在 25°C 下)
- PWP 封装：每通道 2A (单通道开启) / 1A (四通道开启) 最大驱动电流 (在 25°C 下，且具有适当的 PCB 散热)
- DYZ 封装：每通道 1.9A (单通道开启) / 0.9A (四通道开启) 最大驱动电流 (在 25°C 下，且具有适当的 PCB 散热)
- 8.2V 至 60V 工作电源电压范围
- 热增强型表面贴装封装

### 2 应用

- 继电器驱动器
- 单极步进电机驱动器
- 螺线管驱动器
- 常见低侧开关应用

### 3 说明

DRV8803 提供具有过流保护功能的四通道低侧驱动器。该器件通过内置二极管钳制由电阻负载生成的关断瞬态，可用于驱动单极步进电机、直流电机、继电器、螺线管或其他负载。

如 DRV8803 采用 SOIC (DW) 封装，在 25°C 下，每通道可提供高达 1.5A (一个通道接通) 或 800mA (所有通道接通) 的持续输出电流。如该器件采用 HTSSOP (PWP) 封装，在 25°C 下，每通道可提供高达 2A (一个通道接通) 或 1A (四个通道接通) 的持续输出电流。如采用 SOT-23-THN (DYZ) 封装，在 25°C 下且具有适当的印刷电路板 (PCB) 散热时，DRV8803 每通道可提供高达 1.9A (一个通道接通) 或高达 900mA (所有通道接通) 的持续输出电流。

通过简单的并行接口控制该器件。

内置的关断功能可提供过流保护、短路保护、欠压闭锁和过热保护，具体故障由故障输出引脚来指示。

DRV8803 采用 20 引脚耐热增强型 SOIC 封装、16 引脚 HTSSOP 封装和 16 引脚 SOT-23-THN 封装 (环保：RoHS，无铍/溴)。

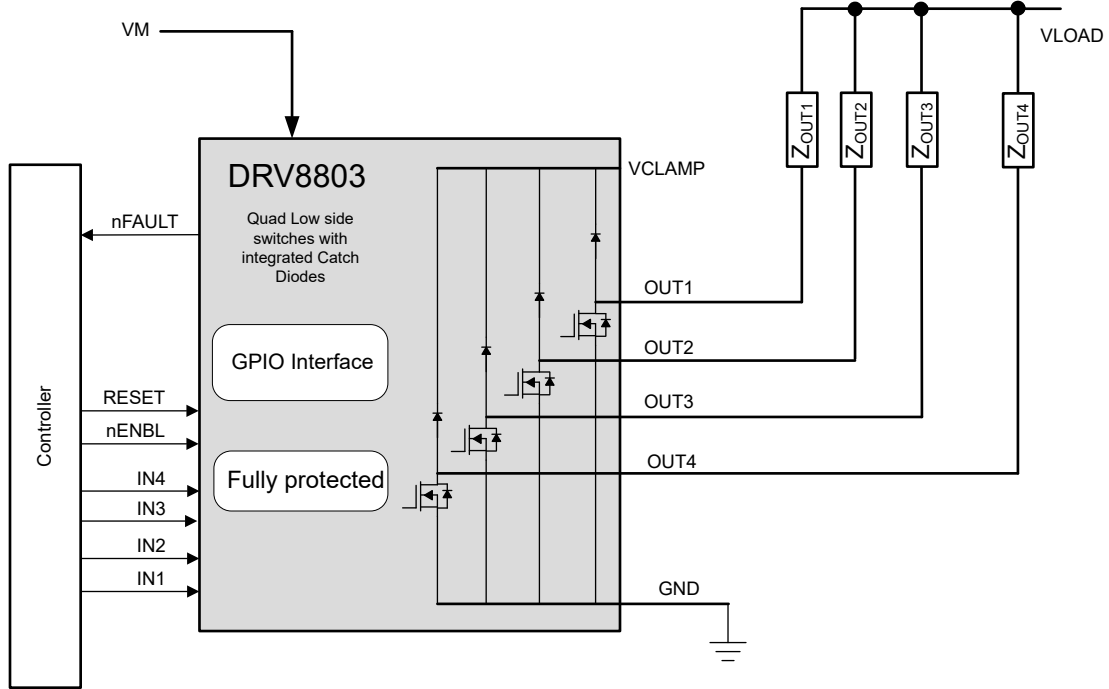
#### 器件信息 (1)

器件型号	封装	封装尺寸 <sup>(2)</sup>	封装尺寸 (标称值)
DRV8803DW	SOIC (20)	12.80mm × 10.30mm	12.80mm × 7.50mm
DRV8803PWP	HTSSOP (16)	5.00mm × 6.40mm	5.00mm × 4.40mm
DRV8803DYZ	SOT-23-THN (16)	4.20mm × 2.00mm	4.20mm × 2.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。





简化版原理图

## 内容

<b>1 特性</b> .....	<b>1</b>	<b>7 详细说明</b> .....	<b>11</b>
<b>2 应用</b> .....	<b>1</b>	7.1 概述.....	11
<b>3 说明</b> .....	<b>1</b>	7.2 功能方框图.....	11
<b>4 器件比较</b> .....	<b>4</b>	7.3 特性说明.....	11
<b>5 引脚配置和功能</b> .....	<b>4</b>	7.4 器件功能模式.....	12
引脚功能.....	4	<b>8 应用和实施</b> .....	<b>13</b>
<b>6 规格</b> .....	<b>6</b>	8.1 应用信息.....	13
6.1 绝对最大额定值.....	6	8.2 布局.....	17
6.2 ESD 等级.....	6	<b>9 器件和文档支持</b> .....	<b>20</b>
6.3 建议运行条件.....	6	9.1 文档支持.....	20
6.4 热性能信息.....	7	9.2 社区资源.....	20
6.5 电气特性.....	7	9.3 商标.....	20
6.6 时序要求.....	9	<b>10 修订历史记录</b> .....	<b>20</b>
6.7 典型特性.....	10	<b>11 机械、封装和可订购信息</b> .....	<b>20</b>

## 4 器件比较

以下是 DRV8803 的  $R_{ON}$  和封装产品汇总

器件型号	LS $R_{ON}$ (典型值)	封装	封装尺寸 (标称值)
DRV8803	500m $\Omega$	SOIC (20)	12.80mm x 7.50mm
		HTSSOP (16)	5.00mm x 4.40mm
	400m $\Omega$	SOT-23-THN (16)	4.20mm x 2mm

## 5 引脚配置和功能

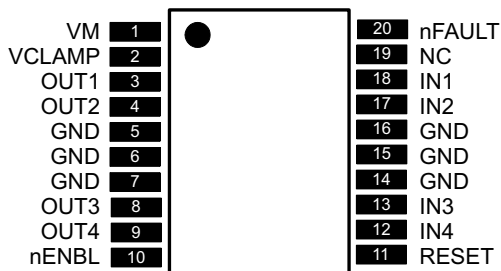


图 5-1. DW 封装 20 引脚 SOIC 顶视图

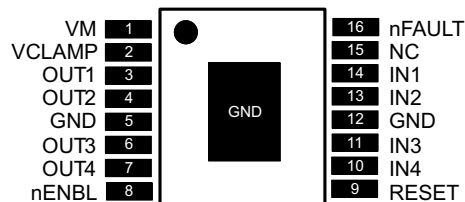


图 5-2. PWP 封装 16 引脚 HTSSOP 顶视图

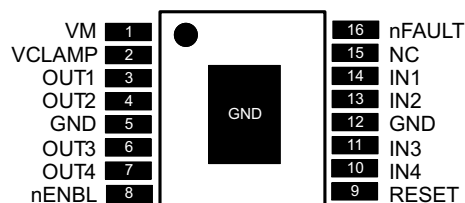


图 5-3. DYZ 封装 16 引脚 SOT-23-THN 顶视图

## 引脚功能

名称	引脚			I/O <sup>(1)</sup>	说明	外部元件或连接
	SOIC	HTSSOP	SOT-23-THN			
<b>电源和接地</b>						
GND	5、6、7、14、15、16	5、12、PPAD	5、12、PPAD	—	器件接地	所有引脚都必须接地。
VM	1	1	1	—	器件电源	连接到电机电源 (8.2V - 60V)。
<b>控制</b>						

引脚				I/O <sup>(1)</sup>	说明	外部元件 或连接
名称	SOIC	HTSSOP	SOT-23- THN			
nENBL	10	8	8	I	使能输入	低电平有效使能输出 - 内部下拉电阻
复位	11	9	9	I	复位输入	高电平有效可复位内部逻辑和 OCP - 内部下拉电阻
IN1	18	14	14	I	通道 1 输入	IN1 = 1 将 OUT1 驱动为低电平 - 内部下拉电阻
IN2	17	13	13	I	通道 2 输入	IN2 = 1 将 OUT2 驱动为低电平 - 内部下拉电阻
IN3	13	11	11	I	通道 3 输入	IN3 = 1 将 OUT3 驱动为低电平 - 内部下拉电阻
IN4	12	10	10	I	通道 4 输入	IN4 = 1 将 OUT4 驱动为低电平 - 内部下拉电阻
<b>状态</b>						
nFAULT	20	16	16	OD	故障	故障条件下 ( 过热、过流 ) 时为逻辑低电平
<b>输出</b>						
OUT1	3	3	3	O	输出 1	连接至负载 1
OUT2	4	4	4	O	输出 2	连接至负载 2
OUT3	8	6	6	O	输出 3	连接至负载 3
OUT4	9	7	7	O	输出 4	连接至负载 4
VCLAMP	2	2	2	—	输出钳位电压	连接到 VM 电源或将齐纳二极管连接到 VM 电源

(1) 指令 : I = 输入 , O = 输出 , OD = 漏极开路输出

## 6 规格

### 6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）<sup>(1)</sup>

		最小值	最大值	单位
VM	电源电压	-0.3	65	V
VOUTx	输出电压	-0.3	65	V
VCLAMP	钳位电压	-0.3	65	V
nFAULT	输出电流		20	mA
	钳位二极管电流峰值		2	A
	直流或 RMS 钳位二极管电流		1	A
	数字输入引脚电压	-0.5	7	V
nFAULT	数字输出引脚电压	-0.5	7	V
	电机驱动输出电流峰值 $t < 1 \mu\text{S}$	受内部限制		A
	持续总功率耗散	请参阅 <a href="#">热性能信息</a>		
T <sub>J</sub>	工作虚拟结温	-40	150	°C
T <sub>stg</sub>	贮存温度	-60	150	°C

(1) 应力超出**绝对最大额定值**下面列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，这并不表示器件在这些条件下以及在**建议运行条件**以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

### 6.2 ESD 等级

			值	单位
V <sub>(ESD)</sub>	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准, 所有引脚 <sup>(1)</sup>	±3000	V
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101, 所有引脚 <sup>(2)</sup>	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

### 6.3 建议运行条件

		最小值	标称值	最大值	单位	
V <sub>M</sub>	电源电压	8.2		60	V	
V <sub>CLAMP</sub>	输出钳位电压 <sup>(2)</sup>	0		60	V	
I <sub>OUT</sub>	持续输出电流	SOIC 封装 <sup>(1)</sup> , T <sub>A</sub> = 25°C	单通道开启		1.5	A
			四通道开启		0.8	
		HTSSOP 封装 <sup>(1)</sup> , T <sub>A</sub> = 25°C	单通道开启		2	
			四通道开启		1	
		DYZ 封装 <sup>(1)</sup> , T <sub>A</sub> = 25°C	单通道开启		1.9	
			四通道开启		0.9	

(1) 必须遵循功率耗散和热限值。

(2) V<sub>CLAMP</sub> 仅用于为钳位二极管供电。这不是电源输入。

## 6.4 热性能信息

热指标 <sup>(1)</sup>		DRV8803			单位
		DW (SOIC)	PWP (HTSSOP)	DYZ (SOT -23 THN)	
		20 引脚	16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	67.7	39.6	53.2	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	32.9	24.6	76.8	°C/W
$R_{\theta JB}$	结至电路板热阻	35.4	20.3	22.2	°C/W
$\psi_{JT}$	结至顶部特征参数	8.2	0.7	8.2	°C/W
$\psi_{JB}$	结至电路板特征参数	34.9	20.1	22.2	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	2.3	9.6	°C/W

(1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标应用报告, SPRA953](#)。

## 6.5 电气特性

$T_A = 25^\circ\text{C}$ , 在建议运行条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
<b>电源</b>						
$I_{VM}$	VM 工作电源电流	$V_M = 24V$		1.6	2.1	mA
$V_{UVLO}$	VM 欠压锁定电压	$V_M$ 上升			8.2	V
<b>逻辑电平输入 (具有磁滞功能的施密特触发输入)</b>						
$V_{IL}$	输入低电压			0.6	0.7	V
$V_{IH}$	输入高电压		2			V
$V_{HYS}$	输入迟滞			0.45		V
$I_{IL}$	输入低电流	$V_{IN} = 0$	-20		20	$\mu\text{A}$
$I_{IH}$	输入高电流	$V_{IN} = 3.3V$			100	$\mu\text{A}$
$R_{PD}$	下拉电阻			100		k $\Omega$
<b>nFAULT 输出 (漏极开路输出)</b>						
$V_{OL}$	输出低电压	$I_O = 5mA$			0.5	V
$I_{OH}$	输出高泄漏电流	$V_O = 3.3V$			1	$\mu\text{A}$
<b>低侧 FET</b>						
$R_{ON}$	FET 导通电阻, HTSSOP 和 SOIC 封装	$V_M = 24V, I_O = 700mA, T_J = 25^\circ\text{C}$		0.5		$\Omega$
		$V_M = 24V, I_O = 700mA, T_J = 85^\circ\text{C}$		0.75	0.8	
	FET 导通电阻, SOT-23-THN 封装	$V_M = 24V, I_O = 700mA, T_J = 25^\circ\text{C}$		0.4		$\Omega$
		$V_M = 24V, I_O = 700mA, T_J = 85^\circ\text{C}$			0.64	
$I_{OFF}$	关断状态漏电流		-50		50	$\mu\text{A}$
<b>高侧二极管</b>						
$V_F$	二极管正向电压	$V_M = 24V, I_O = 700mA, T_J = 25^\circ\text{C}$		1.2		V
$I_{OFF}$	关断状态漏电流	$V_M = 24V, T_J = 25^\circ\text{C}$	-50		50	$\mu\text{A}$
<b>输出</b>						
$t_R$	上升时间	$V_M = 24V, I_O = 700mA$ , 电阻负载	50		300	ns
$t_F$	下降时间	$V_M = 24V, I_O = 700mA$ , 电阻负载	50		300	ns
<b>保护电路</b>						
$I_{OCP}$	过流保护跳变电平		2.3		3.8	A

$T_A = 25^\circ\text{C}$ ，在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$t_{\text{OCP}}$	过流保护抗尖峰脉冲时间			3.5		$\mu\text{s}$
$t_{\text{RETRY}}$	过流保护重试时间			1.2		ms
$t_{\text{TSD}}$	热关断温度	裸片温度 <sup>(1)</sup>	150	160	180	$^\circ\text{C}$

(1) 未经生产测试。

## 6.6 时序要求

在自然通风条件下的工作温度范围内测得 (除非另有说明) <sup>(1)</sup>

			最小值	最大值	单位
1	$t_{OE(ENABLE)}$	启用时间, nENBL 到输出低电平		50	ns
2	$t_{PD(L-H)}$	传播延迟时间, INx 到 OUTx, 低电平到高电平		800	ns
3	$t_{PD(H-L)}$	传播延迟时间, INx 到 OUTx, 高电平到低电平		800	ns
—	$t_{RESET}$	RESET 脉冲宽度	20		$\mu$ s

(1) 未经生产测试。

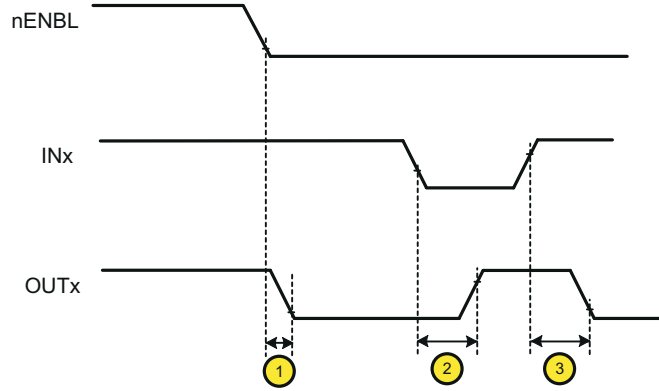


图 6-1. DRV8803 时序要求

### 6.7 典型特性

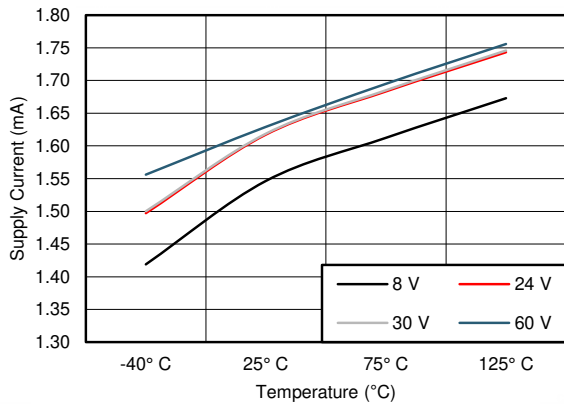


图 6-2. 电源电流与温度间的关系

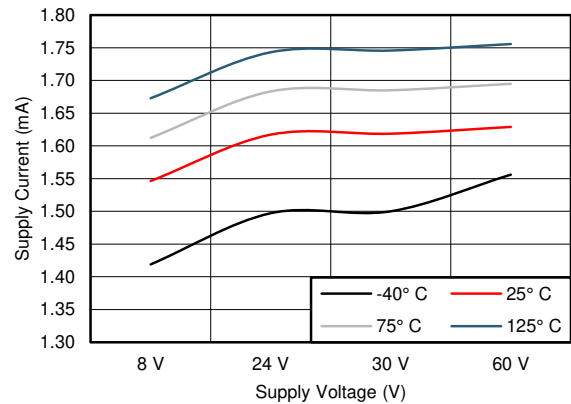


图 6-3. 电源电流与  $V_M$  间的关系

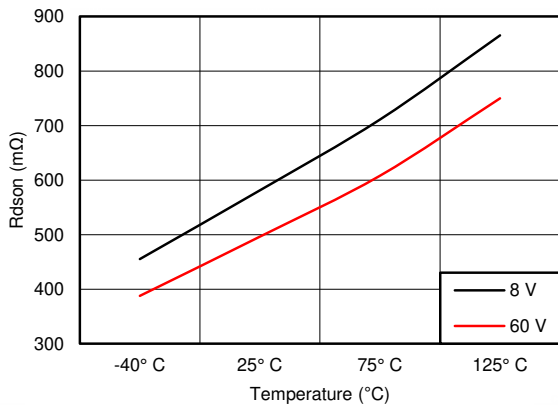


图 6-4.  $R_{DS(on)}$  与温度间的关系

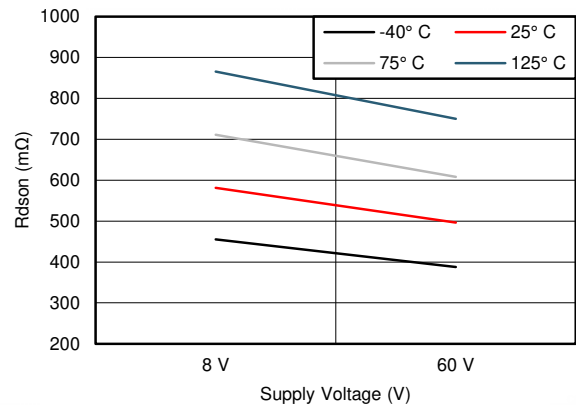


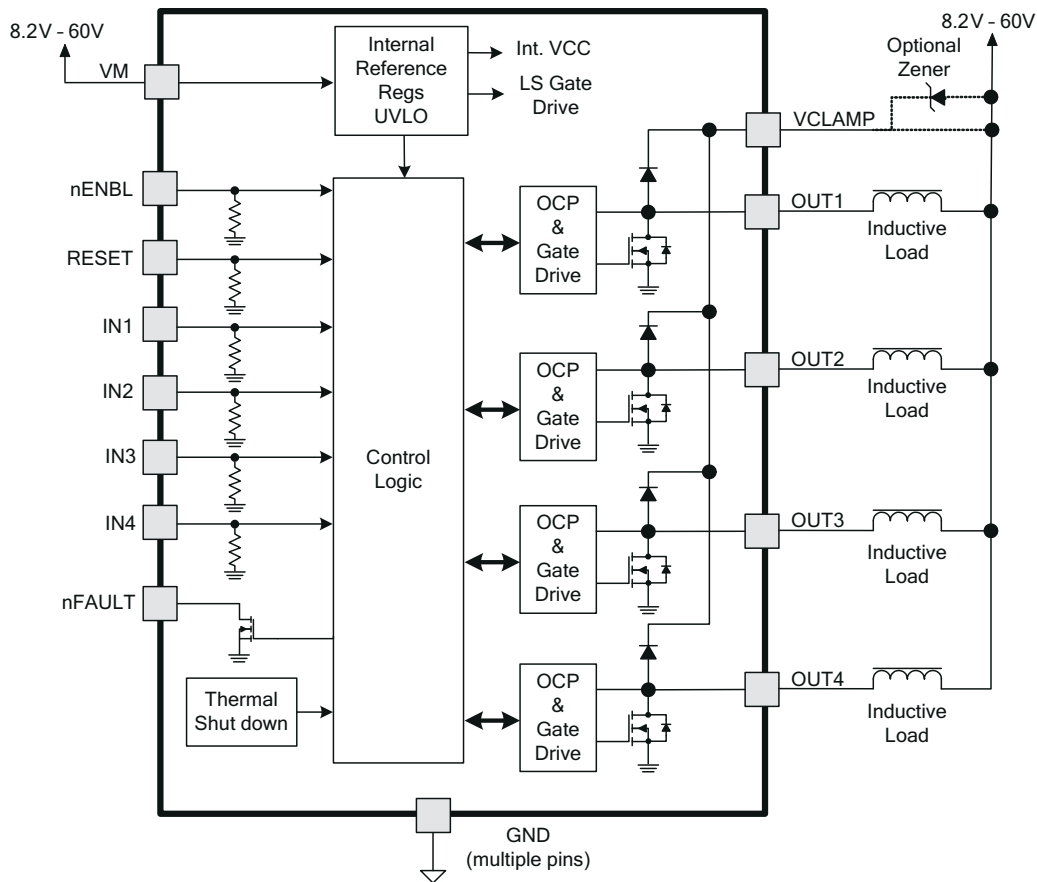
图 6-5.  $R_{DS(on)}$  与  $V_M$  间的关系

## 7 详细说明

### 7.1 概述

DRV8803 器件是一款适用于任何低侧开关应用的集成式四通道低侧驱动器解决方案。集成的过流保护功能将电机电流限制在固定的最大值。四个逻辑输入控制低侧驱动器输出，该驱动器输出包含四个典型  $R_{DS(on)}$  为  $500m\Omega$  (PWP 和 DW 封装) 和  $400m\Omega$  (DYZ 封装) 的 N 沟道 MOSFET。单电源输入 VM 用作器件电源，在内部进行调节，为内部低侧栅极驱动器供电。电机转速可通过脉宽调制进行控制，范围为  $0kHz$  至  $100kHz$ 。将 nENBL 引脚设为高电平可禁用器件输出。热关断保护特性可让器件在裸片温度超过 TTSD 限制时自动关闭。如果  $V_M$  降至欠压锁定阈值以下，UVLO 保护将禁用器件中的所有电路。

### 7.2 功能方框图



### 7.3 特性说明

#### 7.3.1 输出驱动器

DRV8803 器件包含四个受保护的低侧驱动器。每个输出都有一个连接到公共引脚 VCLAMP 的集成钳位二极管。

VCLAMP 可以连接到主电源电压 VM。VCLAMP 还可以连接到一个齐纳二极管或 TVS 二极管以连接到 VM，从而使开关电压可以超过主电源电压 VM。在驱动需要极快电流衰减的负载（例如单极步进电机）时，这种连接非常有用。

在所有情况下，输出端的电压都不得超过最大输出电压规格。

#### 7.3.2 保护电路

DRV8803 器件可完全防止欠压、过流和过热事件。

### 7.3.2.1 过流保护 (OCP)

每个 FET 上的模拟电流限制电路都将通过移除栅极驱动来限制流经 FET 的电流。如果此模拟电流限制的持续时间超过  $t_{\text{OCP}}$  抗尖峰脉冲时间 (大约  $3.5\mu\text{s}$ )，则将会禁用驱动器并将 nFAULT 引脚驱动为低电平。驱动器将在  $t_{\text{RETRY}}$  重试时间 (大约  $1.2\text{ms}$ ) 内保持禁用状态，然后故障将自动清除。如果激活了 RESET 引脚或移除并重新应用了 VM，则会立即清除故障。

### 7.3.2.2 热关断 (TSD)

如果裸片温度超过安全限值，则会禁用所有输出 FET 并将 nFAULT 引脚驱动为低电平。一旦内核温度下降到安全水平，就将自动恢复运行。

### 7.3.2.3 欠压锁定 (UVLO)

每当 VM 引脚上的电压降低至低于欠压锁定阈值电压时，器件中的所有电路都会被禁用，并且所有内部逻辑被复位。当 VM 上升到 UVLO 阈值以上时，将恢复正常运行。

## 7.4 器件功能模式

### 7.4.1 并行接口运行

DRV8803 器件通过简单的并行接口得到控制。逻辑上，该接口如 图 7-1 所示。

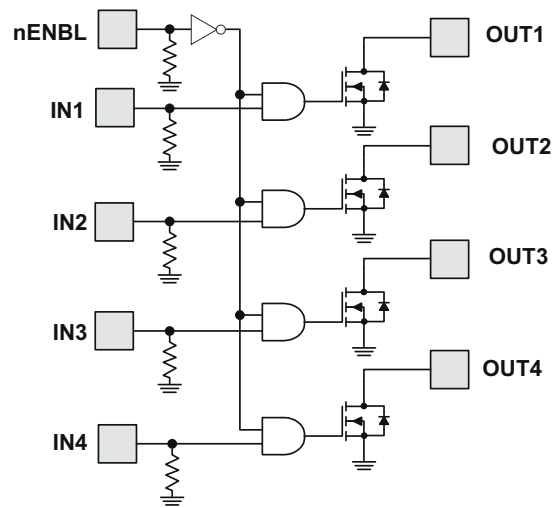


图 7-1. 并行接口运行

### 7.4.2 nENBL 和 RESET 操作

nENBL 引脚会启用或禁用输出驱动器。nENBL 必须为低电平才能启用输出。请注意，nENBL 具有内部下拉电阻。

当 RESET 引脚被驱动为高电平有效时，会复位内部逻辑。当 RESET 有效时，忽略所有输入。请注意，RESET 具有内部下拉电阻。还提供一个内部加电复位，所以无需在加电时驱动 RESET。

## 8 应用和实施工

### 备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

### 8.1 应用信息

DRV8803 器件可用于驱动最多四个独立的单极负载（例如单极 BDC）、螺线管（例如阀门、继电器等）或驱动一个单极步进电机

#### 8.1.1 作为负载驱动器的应用

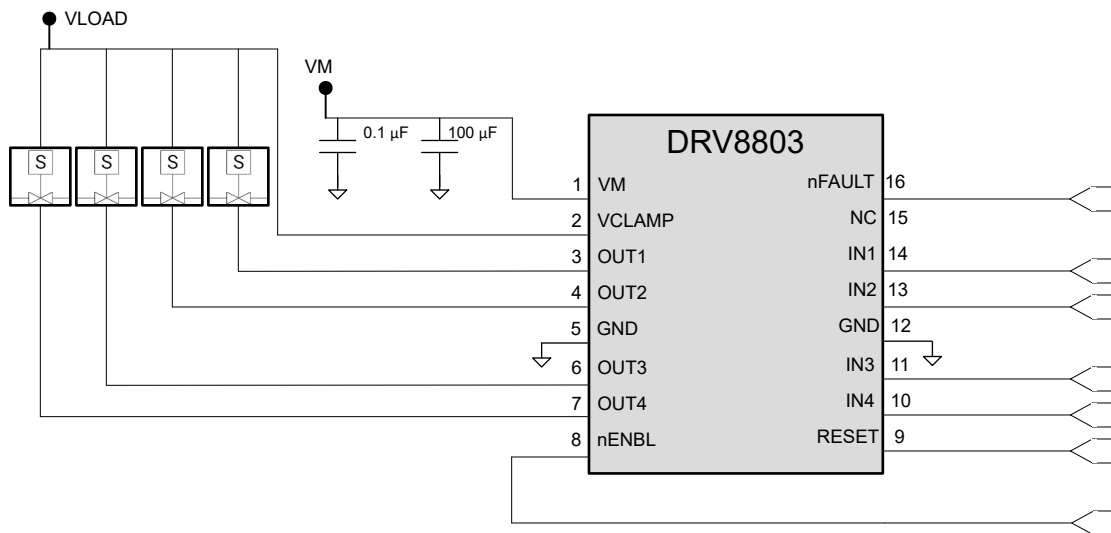


图 8-1. DRV8803 用于驱动四个独立电磁阀

##### 8.1.1.1 设计要求

表 8-1 列出了此设计示例的设计参数。

表 8-1. 设计参数

设计参数	基准	示例值
电源电压	$V_M, V_{LOAD}$	24V
阀峰值电流	$I_{PEAK}$	200mA
阀峰值电流时间	$t_{PEAK}$	100ms
阀保持电流	$I_{HOLD}$	100mA
PWM 频率	$f_{PWM}$	25kHz

##### 8.1.1.2 详细设计过程

###### 8.1.1.2.1 电源电压

这是所使用负载的特性。更高的电压可实现螺线管的快速开/关，从而加快运行速度。

###### 8.1.1.2.2 负载电流

电流路径从电源 VLOAD 开始，流经电感绕组负载和低侧灌电流 NMOS 功率 FET。一个灌电流 NMOS 功率 FET 中的功率耗散损耗如 [方程式 1](#) 所示。

$$P = I^2 \times R_{DS(on)} \quad (1)$$

经测量，DRV8803 器件支持 1.5A 单通道或 800mA 四通道（采用 DW 封装）、2A 单通道或 1A 四通道（采用 PWP 封装）以及 1.9A 单通道或 0.9A 四通道（采用 DYZ 封装），在 25°C 下使用标准 FR-4 PCB 测得。最大 RMS 电流因 PCB 设计和环境温度而异。

对于继电器和电磁阀等负载，如果允许负载完全打开，负载往往会升温并退化。这会严重影响负载的长期可靠性，在某些情况下甚至会损坏负载。DRV8803 提供一个集成续流二极管和一个简单易用的并行接口。由于此类负载具有电感性，因此用户可以通过对 LSFET 进行开/关 PWM 来调节电流。

#### 8.1.1.2.2.1 峰值电流

螺线管/继电器等负载需要在临时较高的负载电流下通电，并且其较高的电流水平需要保持尽可能长的峰值时间 ( $t_{PEAK}$ )，以便负载稳定开启。该负载电流可以在所需占空比下通过 LSFET 的 PWM 控制进行控制。

#### 8.1.1.2.2.2 保持电流

经过峰值时间后，占空比以及负载电流可降低至电流的保持值。负载可以在该较低的电流下保持较长的持续时间

#### 8.1.1.2.2.3 频率

可以对 LSFET 进行 PWM 控制，控制频率可以根据负载电感、负载电阻、负载电流中所需/可耐受的纹波等因素来确定。PWM 可在音频频带 (>20kHz) 外完成，以确保运行时的可闻噪声较小

#### 8.1.1.3 应用曲线

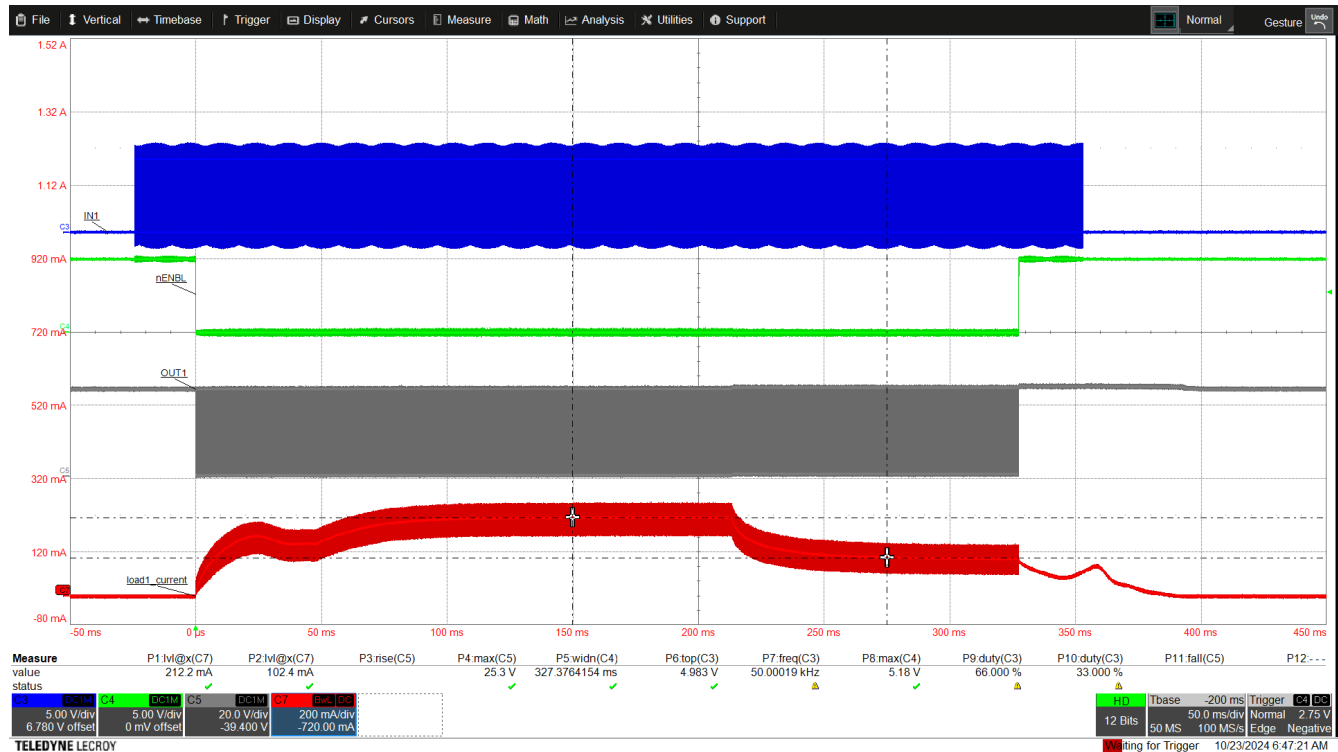


图 8-2. DRV8803 用于驱动电磁阀

### 8.1.2 用作单极步进驱动器的应用

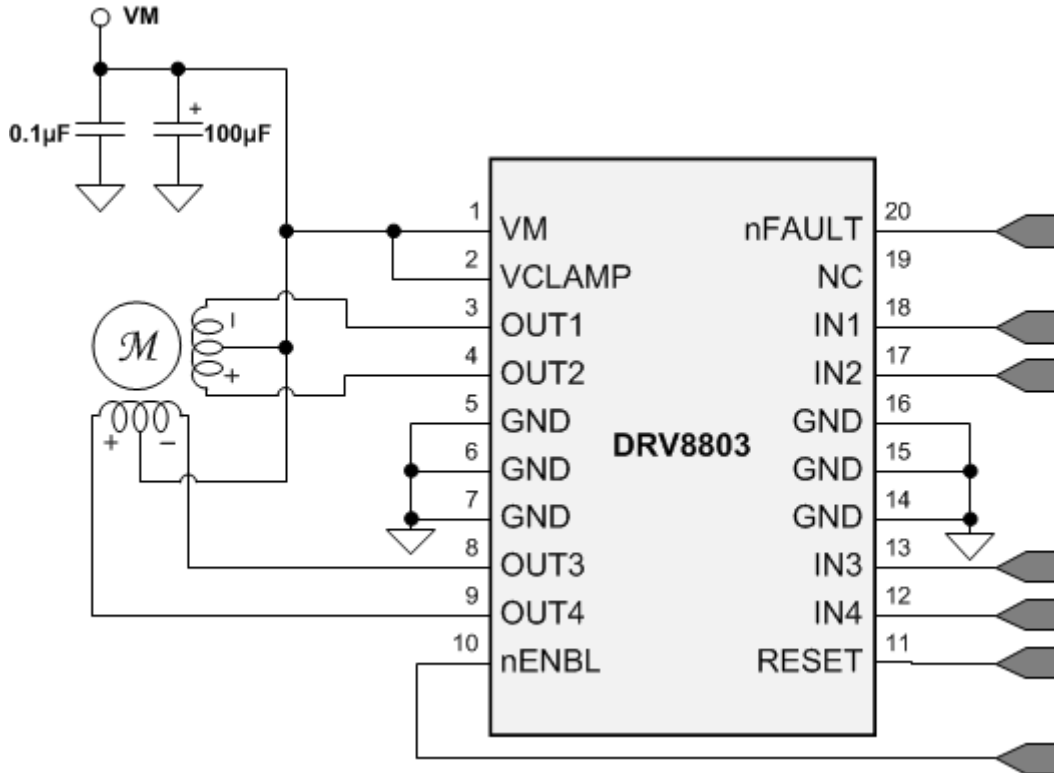


图 8-3. DRV8803 用于驱动一个五线单极步进电机

#### 8.1.2.1 设计要求

下表列出了此设计示例所需的设计参数

表 8-2. 设计参数

设计参数	基准	示例值
电源电压	$V_M$	24V
电机绕组电阻	$R_L$	7.4 Ω/相
电机全步进角	$\theta_{STEP}$	1.8°/阶跃
电机额定电流	$I_{RATED}$	0.75A
PWM 频率	$f_{PWM}$	31.25kHz

#### 8.1.2.2 详细设计过程

##### 8.1.2.2.1 电机电压

使用的电机电压将取决于所选电机的额定值和所需的扭矩。更高的电压会缩短步进电机线圈中的电流上升时间，使电机能够产生更大的平均扭矩。相比使用较低的电压，使用更高的电压还可以使电机以更快的速度运行。

##### 8.1.2.2.2 驱动电流

电流通路从电源 VM 开始，流经电感绕组负载和低侧灌电流 NMOS 功率 FET。一个灌电流 NMOS 功率 FET 中的功率耗散损耗如 [方程式 1](#) 所示。

$$P = I^2 \times R_{DS(on)} \quad (2)$$

经测量，DRV8803 器件支持 1.5A 单通道或 800mA 四通道（采用 DW 封装）、2A 单通道或 1A 四通道（采用 PWP 封装）以及 1.9A 单通道或 0.9A 四通道（采用 DYZ 封装），在 25°C 下使用标准 FR-4 PCB 测得。最大 RMS 电流因 PCB 设计和环境温度而异。

### 8.1.2.3 应用曲线

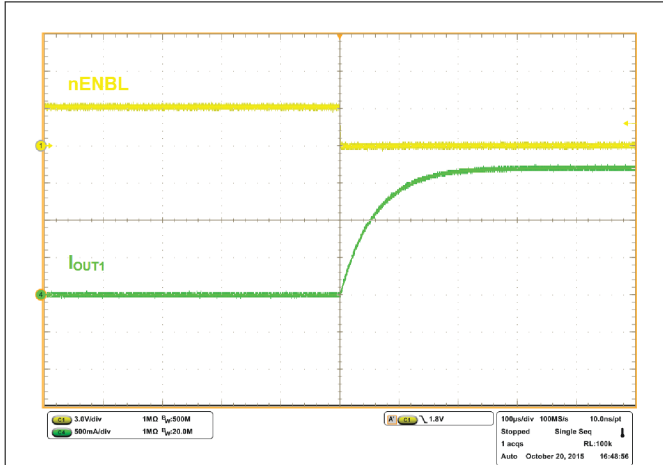


图 8-4. 16 Ω、1mH RL 负载且  $V_M = 8.2V$  时的电流斜坡

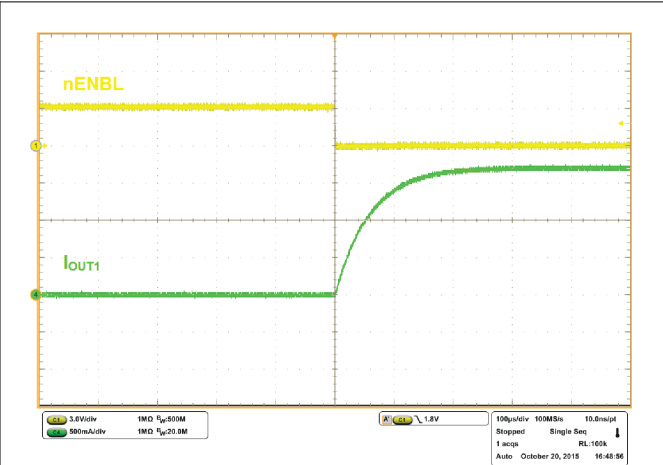


图 8-5. 16 Ω、1mH RL 负载且  $V_M = 30V$  时的电流斜坡

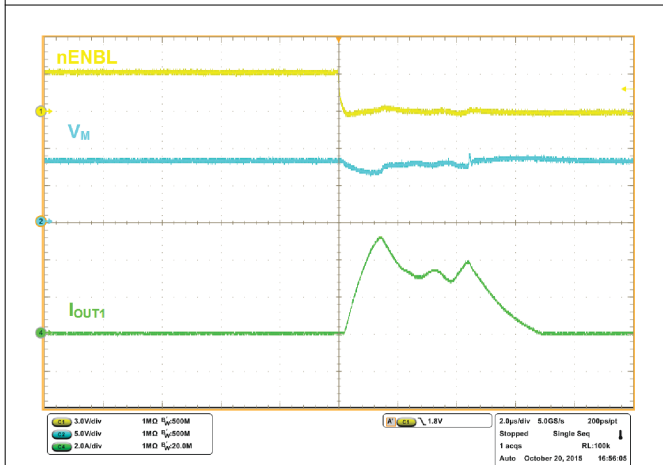


图 8-6.  $V_M = 8.2V$  且 OUT1 短接至  $V_M$  时的 OCP

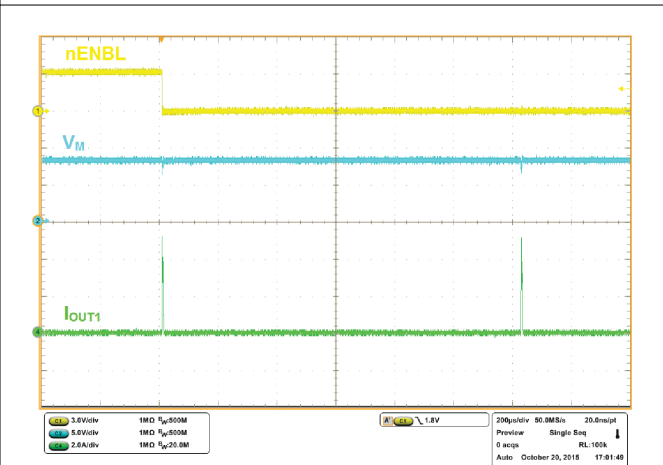


图 8-7. OCP 由  $t_{RETRY}$  隔开，其中  $V_M = 8.2V$  且 OUT1 短接至  $V_M$

## 电源相关建议

### 8.1 大容量电容

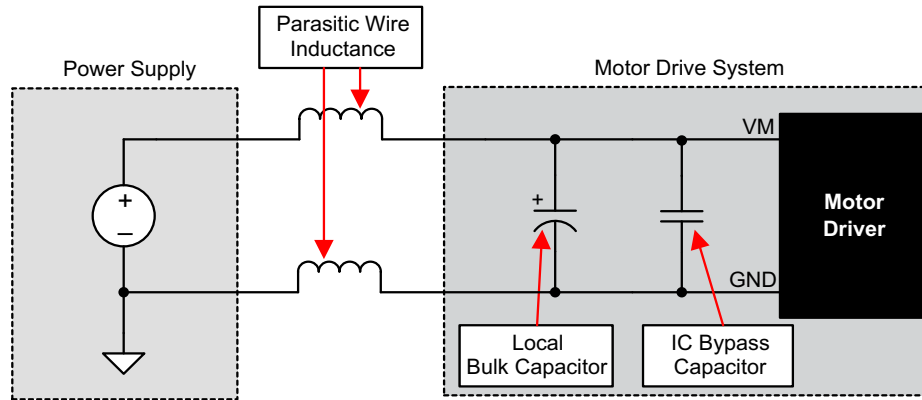
配备合适的局部大容量电容是电机驱动系统设计中的一重要因素。使用更多的大容量电容通常是有益的，但缺点是增加了成本和物理尺寸。

所需的局部电容数量取决于多种因素，包括：

- 电机系统所需的最高电流。
- 电源的电容和拉电流的能力。
- 电源和电机系统之间的寄生电感量。
- 可接受的电压纹波。

- 使用的电机类型（有刷直流、无刷直流、步进电机）。
- 电机制动方法。

电源和电机驱动系统之间的电感会限制电源的电流变化速率。如果局部大容量电容太小，系统将以电压变化的方式对电机中的电流不足或过剩电流作出响应。当使用足够大的大容量电容时，电机电压保持稳定，并且可以快速提供高电流。



Example Setup of Motor Drive System with External Power Supply

图 8-8. 带外部电源的电机驱动系统示例设置

大容量电容的额定电压应高于工作电压，以便在电机向电源传递能量时提供裕度。

## 8.2 布局

### 8.2.1 布局指南

放置大容量电容器时，应尽量缩短通过电机驱动器器件的大电流路径的距离。连接金属布线宽度应尽可能宽，并且在连接 PCB 层时应使用许多过孔。这些做法可更大限度地减少电感并允许大容量电容器提供大电流。

小值电容器应为陶瓷电容器，并靠近器件引脚放置。

大电流器件输出应使用宽金属布线。

器件散热焊盘应焊接到 PCB 顶层接地平面。应使用多个过孔连接到较大的底层接地平面。使用大金属平面和多个过孔有助于散发器件中产生的  $I^2 \times R_{DS(on)}$  热量。

## 8.2.2 布局示例

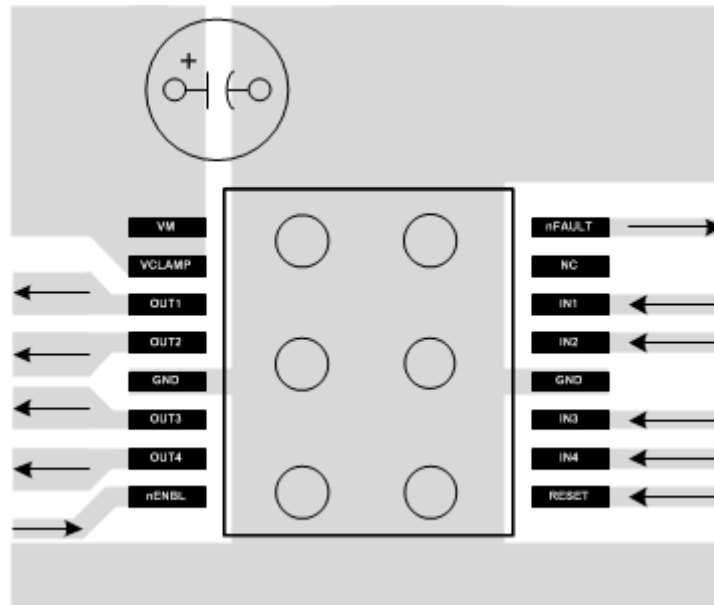


图 8-9. 建议布局

## 8.2.3 散热注意事项

### 8.2.3.1 热保护

DRV8803 器件具有如前所述的热关断 (TSD) 功能。如果裸片温度超过约 150°C，该器件将被禁用，直到温度降低至安全水平。

如果该器件有任何进入 TSD 状态的倾向，则表明功耗过大、散热不足或环境温度过高。

### 8.2.3.2 功率耗散

DRV8803 器件中的功率耗散主要由输出 FET 电阻或  $R_{DS(on)}$  中耗散的功率决定。每个 FET 在运行静态负载时的平均功耗可以通过 [方程式 3](#) 大致估算：

$$P = R_{DS(on)} \cdot (I_{OUT})^2 \quad (3)$$

其中

- P 是一个 FET 的耗散功率
- $R_{DS(on)}$  是每个 FET 的电阻
- $I_{OUT}$  等于负载的平均电流消耗。

在启动和故障情况下，此电流远大于正常运行电流；请将这些峰值电流及其持续时间考虑在内。当同时驱动多个负载时，必须将所有有源输出级的功率相加。

器件中可耗散的最大功率取决于环境温度和散热。

请注意， $R_{DS(on)}$  随温度升高而增加，因此随着器件发热，功率耗散也会增大。在确定散热器尺寸时，必须考虑到这一点。

### 8.2.3.3 散热

DRV8803DW 封装使用标准 SOIC 外形，但其中心引脚在内部熔合到芯片焊盘，以更高效地实现器件散热。封装每一侧的两个中心引线应连接在一起，并且连接到 PCB 上尽可能大的覆铜区域，以便器件散热。如果覆铜区域位于 PCB 与器件相反的一侧，则使用热过孔来传递顶层和底层之间的热量。

一般来说，提供的覆铜区域面积越大，消耗的功率就越多。

DRV8803PWP (HTSSOP 封装) 和 DRV8803DYZ (SOT-23-THN 封装) 使用外露的散热焊盘。外露焊盘可去除器件上的热量。为了确保正常运行，该焊盘必须热接至 PCB 上的覆铜区域以实现散热。在带有接地平面的多层 PCB 上，可以通过增加多个过孔将散热垫连接到接地平面来实现这种连接。在没有内部平面的 PCB 上，可以在 PCB 的任一侧增加覆铜区域以实现散热。如果覆铜区域位于 PCB 与器件相反的一侧，则使用热过孔来传递顶层和底层之间的热量。

有关如何设计 PCB 的详细信息，请参阅 [www.ti.com](http://www.ti.com) 上的 TI 应用报告《PowerPAD 耐热增强型封装》(文献编号：SLMA002) 和 TI 应用简报《PowerPAD 速成》(文献编号：SLMA004)。

## 9 器件和文档支持

### 9.1 文档支持

#### 9.1.1 相关文档

请参阅以下相关文档：

- *PowerPAD* 散热增强型封装，[SLMA002](#)。
- *PowerPAD* 速成，[SLMA004](#)。

### 9.2 社区资源

### 9.3 商标

所有商标均为其各自所有者的财产。

## 10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

### Changes from Revision C (November 2015) to Revision D (July 2024) Page

- |  |   |
|--|---|
| • 添加了 DYZ 封装图和热性能信息，更新了电气特性以包含 DYZ 封装 Rdson..... | 1 |
| • 添加了 DYZ 封装电流能力.....                            | 6 |

### Changes from Revision B (February 2012) to Revision C (November 2015) Page

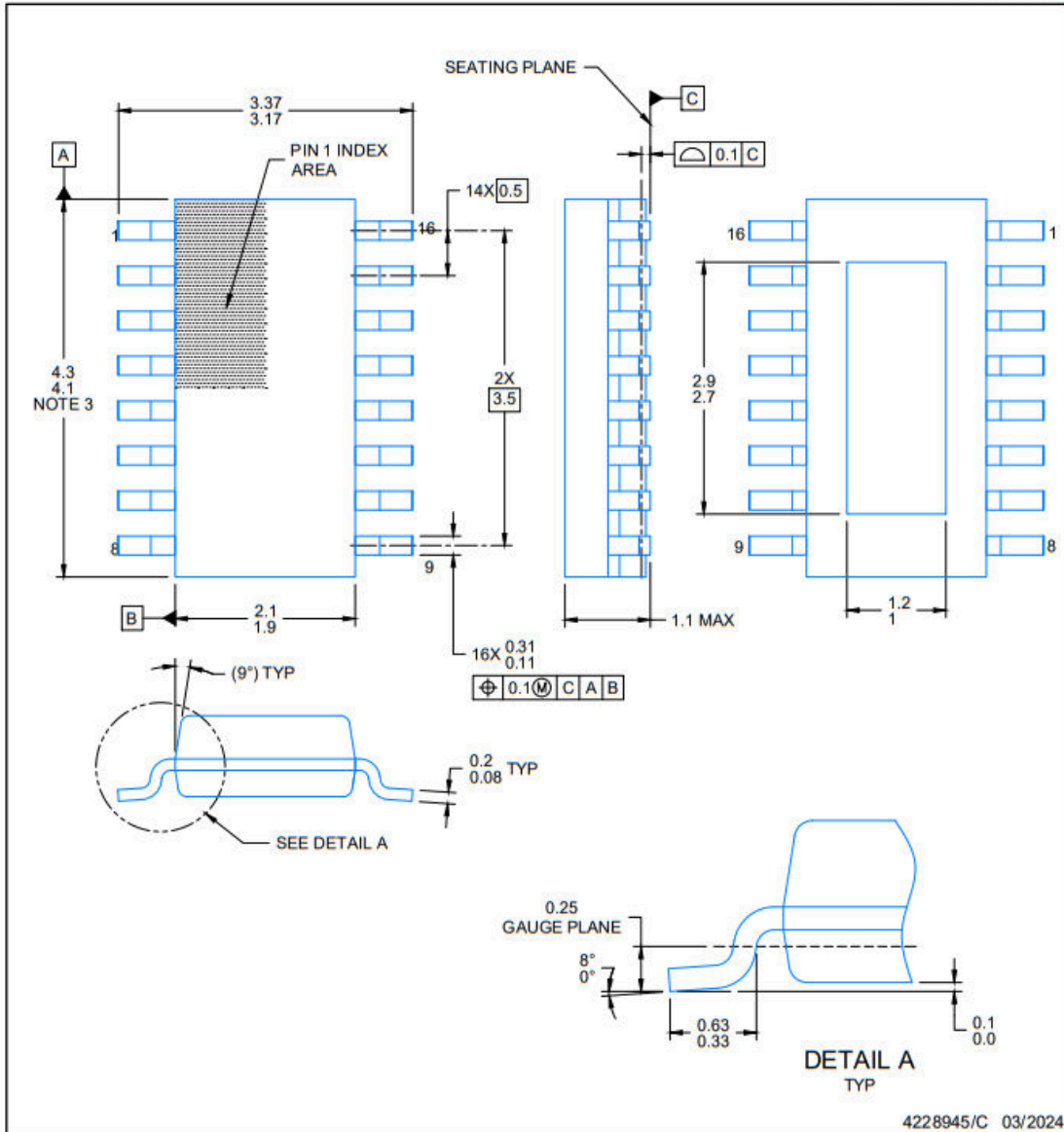
- |  |   |
|--|---|
| • 添加了“ESD 等级”表、“特性说明”部分、“器件功能模式”、“应用和实现”部分、“电源建议”部分、“布局”部分、“器件和文档支持”部分以及“机械、封装和可订购信息”部分..... | 1 |
| • 将连续输出电流、单通道开启、 $T_A = 25^\circ\text{C}$ 、HTSSOP 封装最大值从 1.5A 更改为 2A.....                    | 7 |
| • 将连续输出电流、四通道开启、 $T_A = 25^\circ\text{C}$ 、HTSSOP 封装最大值从 0.8A 更改为 1A.....                    | 7 |

## 11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

**DYZ0016A** **PACKAGE OUTLINE**  
**SOT-23-THIN - 1.1 mm max height**

PLASTIC SMALL OUTLINE



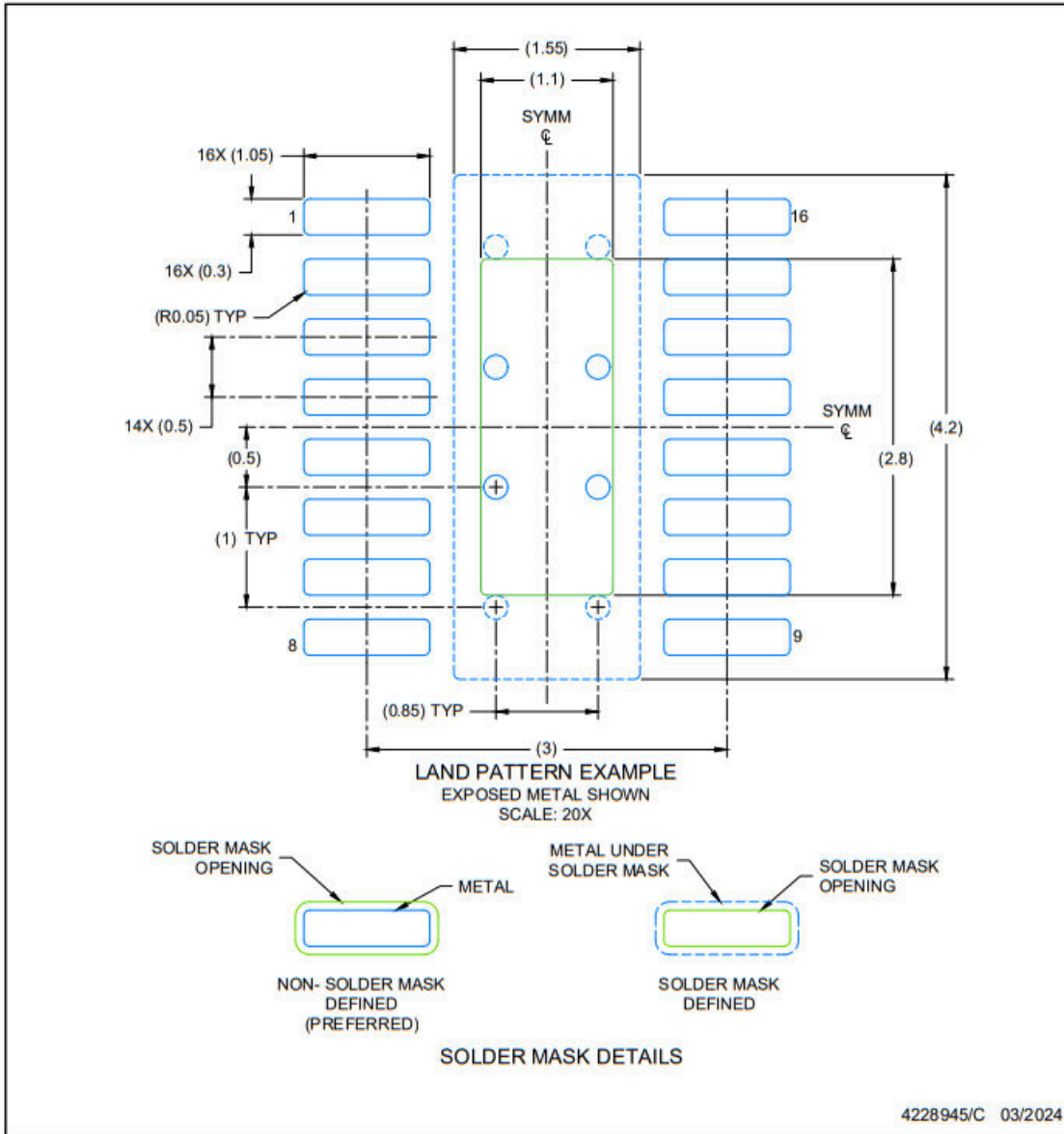
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AA

**EXAMPLE BOARD LAYOUT**  
**SOT-23-THIN - 1.1 mm max height**

**DYZ0016A**

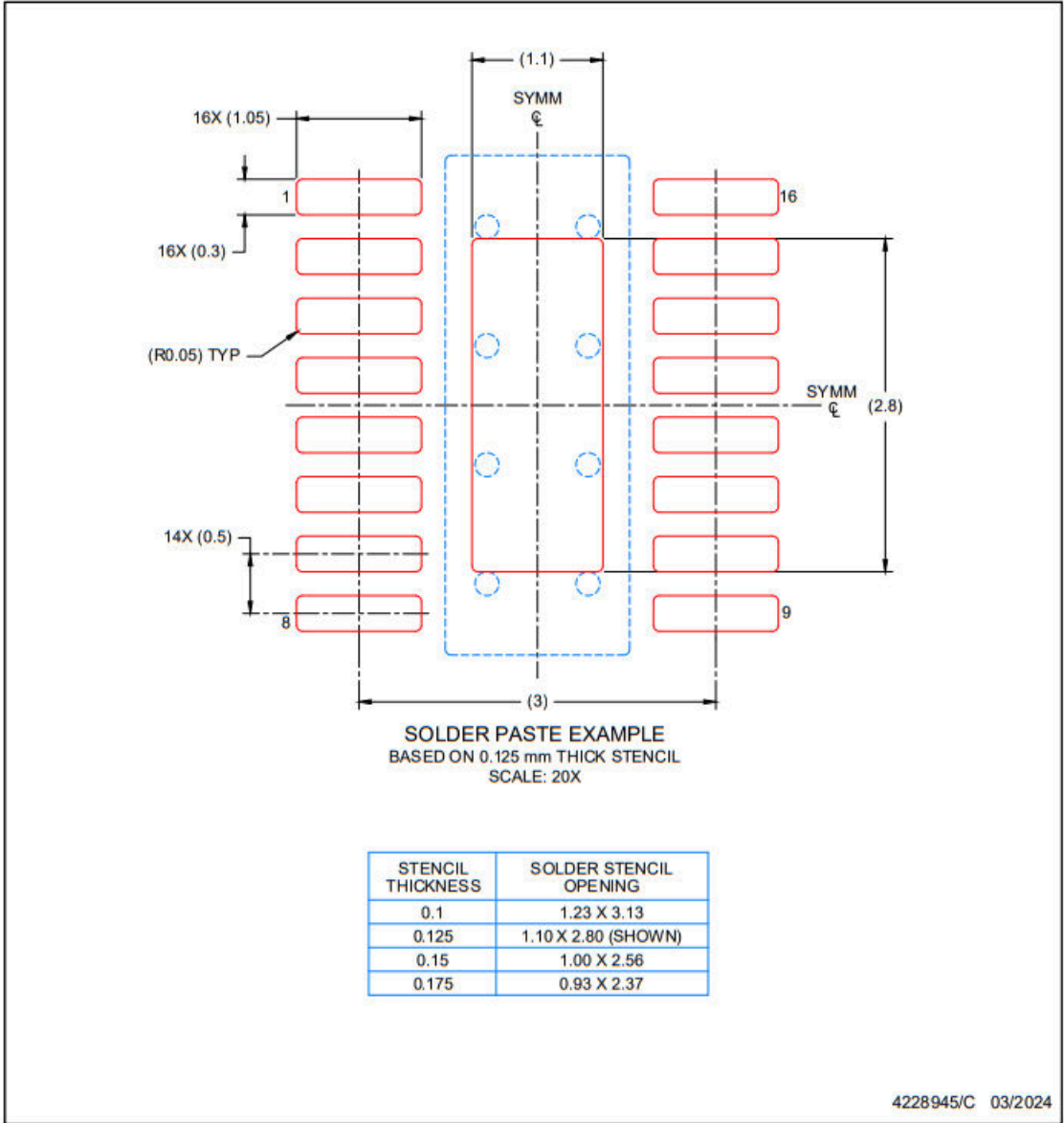
PLASTIC SMALL OUTLINE



NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

**DYZ0016A** **EXAMPLE STENCIL DESIGN**  
**SOT-23-THIN - 1.1 mm max height**  
PLASTIC SMALL OUTLINE



- NOTES: (continued)
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
  9. Board assembly site may have different recommendations for stencil design.

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">DRV8803DW</a>	Obsolete	Production	SOIC (DW)   20	-	-	Call TI	Call TI	-40 to 125	DRV8803DW
<a href="#">DRV8803DWR</a>	Active	Production	SOIC (DW)   20	2000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8803DW
DRV8803DWR.A	Active	Production	SOIC (DW)   20	2000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8803DW
<a href="#">DRV8803DYZR</a>	Active	Production	SOT-23-THIN (DYZ)   16	3000   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	DRV8803
DRV8803DYZR.A	Active	Production	SOT-23-THIN (DYZ)   16	3000   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	DRV8803
<a href="#">DRV8803PWPR</a>	Active	Production	HTSSOP (PWP)   16	2000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8803
DRV8803PWPR.A	Active	Production	HTSSOP (PWP)   16	2000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8803
DRV8803PWPR.B	Active	Production	HTSSOP (PWP)   16	2000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8803
DRV8803PWPRG4.A	Active	Production	HTSSOP (PWP)   16	2000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8803
DRV8803PWPRG4.B	Active	Production	HTSSOP (PWP)   16	2000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8803

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**

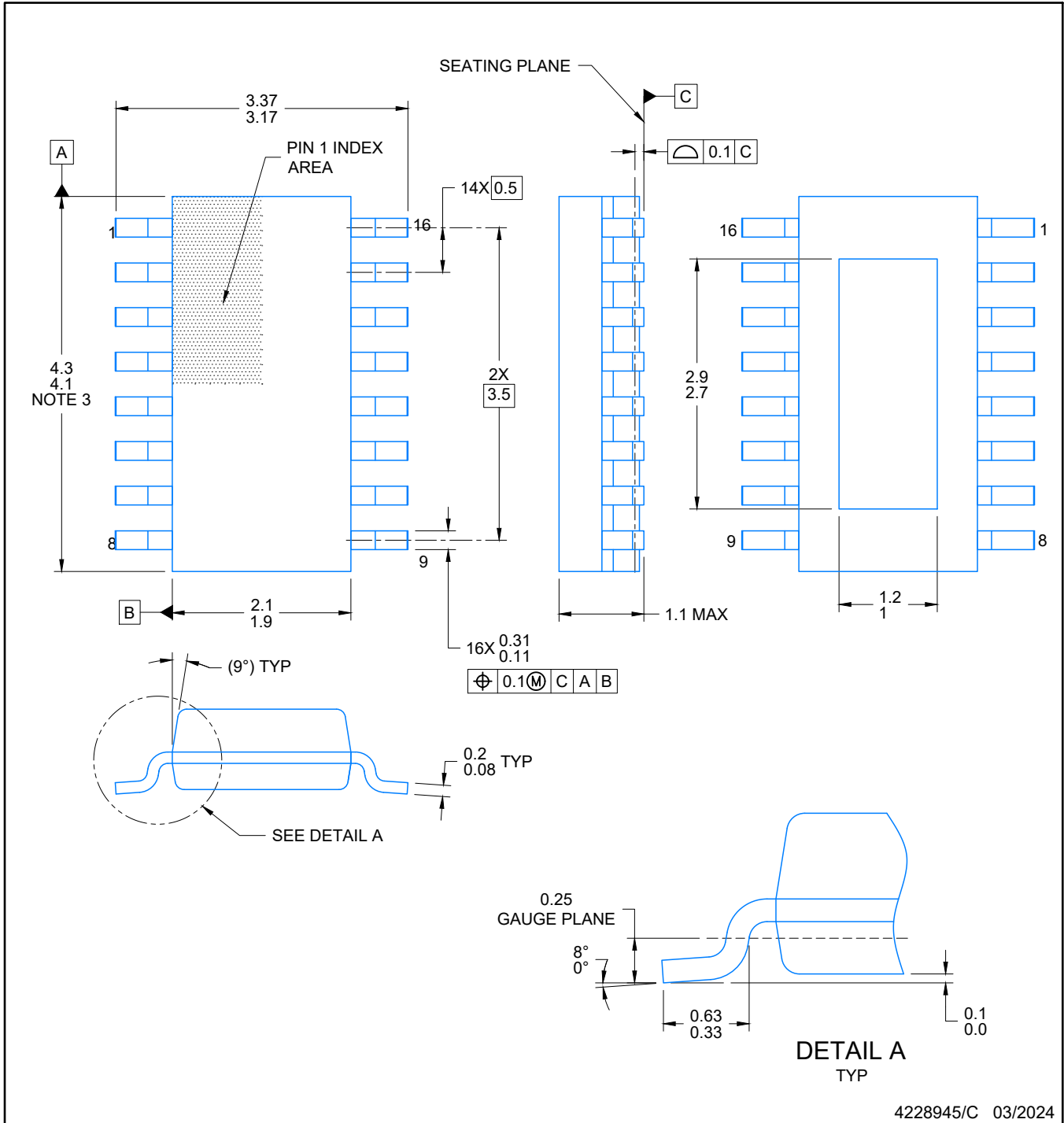

\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8803DWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
DRV8803DYZR	SOT-23-THIN	DYZ	16	3000	330.0	12.4	4.5	3.56	1.35	8.0	12.0	Q3
DRV8803PWPR	HTSSOP	PWP	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8803DWR	SOIC	DW	20	2000	356.0	356.0	45.0
DRV8803DYZR	SOT-23-THIN	DYZ	16	3000	360.0	360.0	36.0
DRV8803PWPR	HTSSOP	PWP	16	2000	350.0	350.0	43.0



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AA





# DW0020A



# PACKAGE OUTLINE

## SOIC - 2.65 mm max height

SOIC



**NOTES:**

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

# EXAMPLE BOARD LAYOUT

DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE  
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC

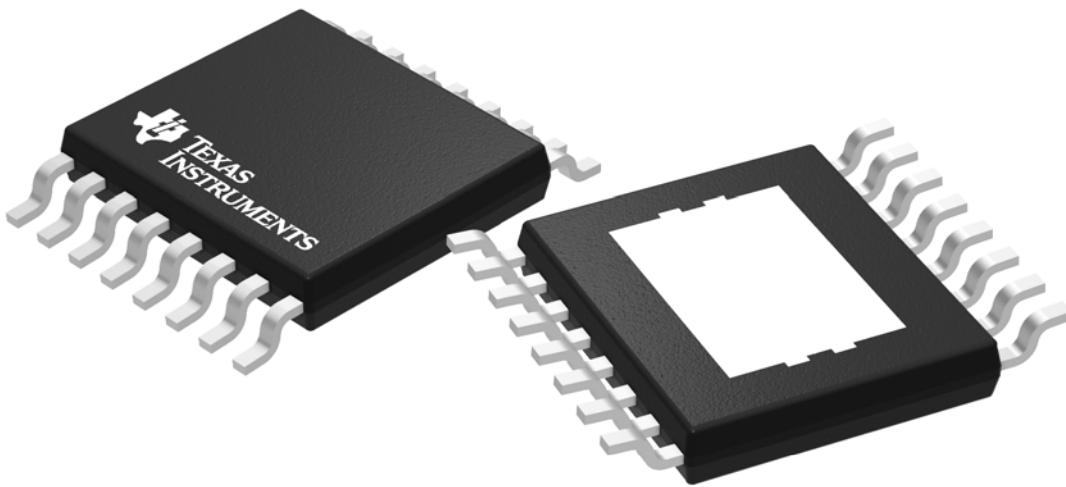


SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:6X

4220724/A 05/2016

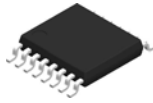
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

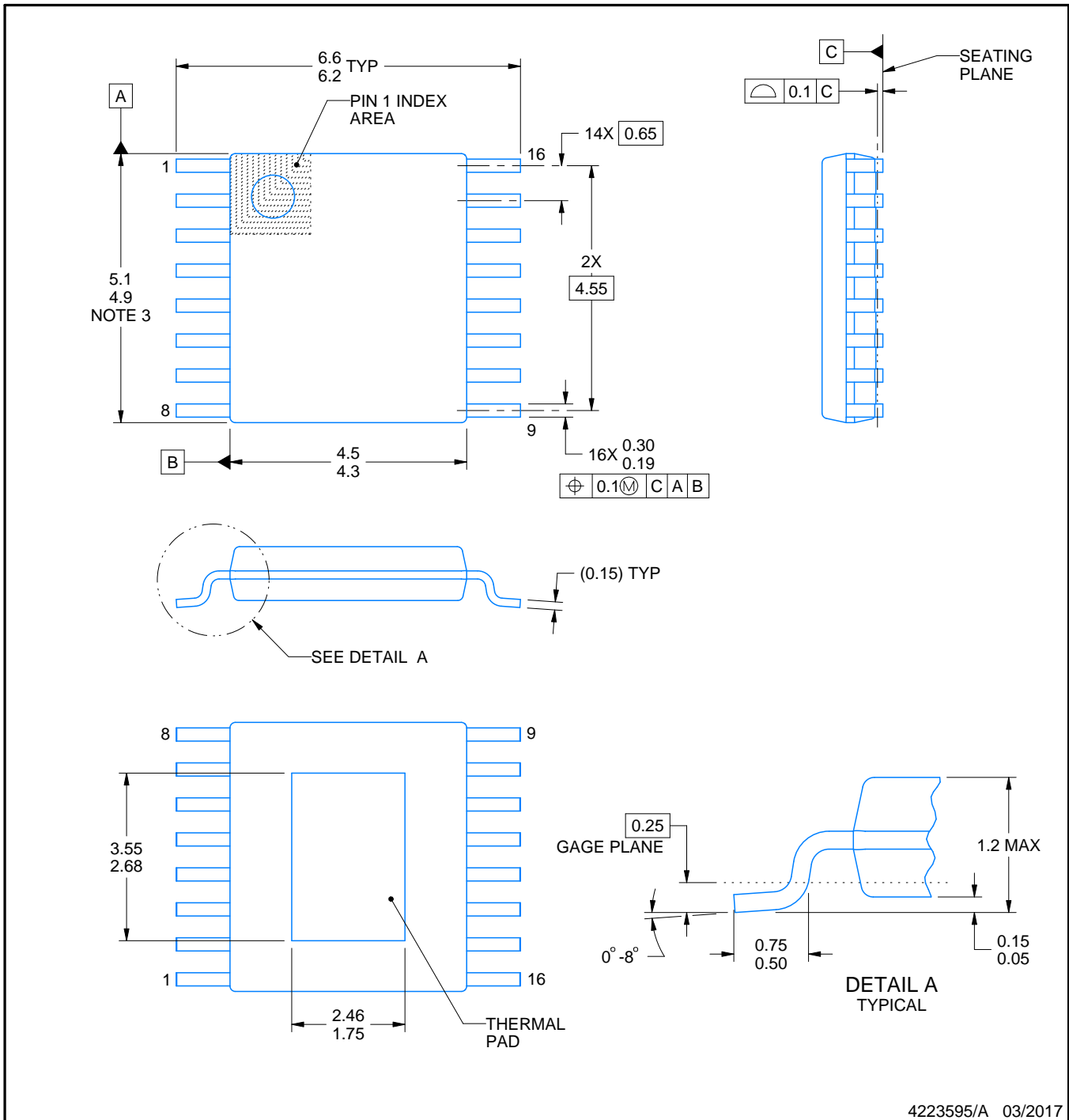
PWP0016J



# PACKAGE OUTLINE

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4223595/A 03/2017

NOTES:

PowerPAD is a trademark of Texas Instruments.

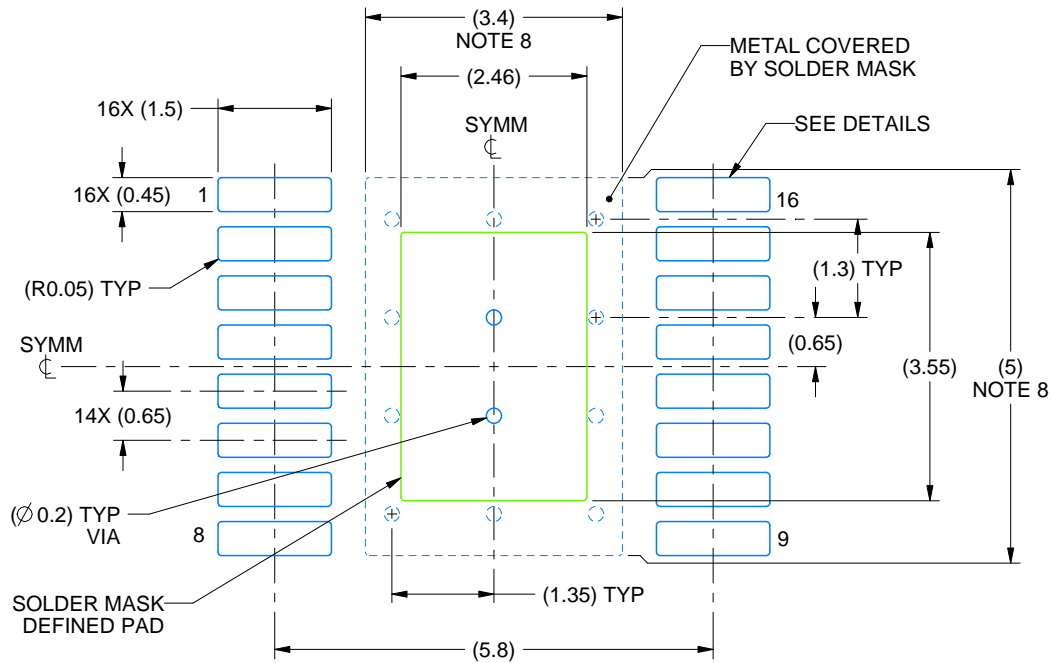
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.

# EXAMPLE BOARD LAYOUT

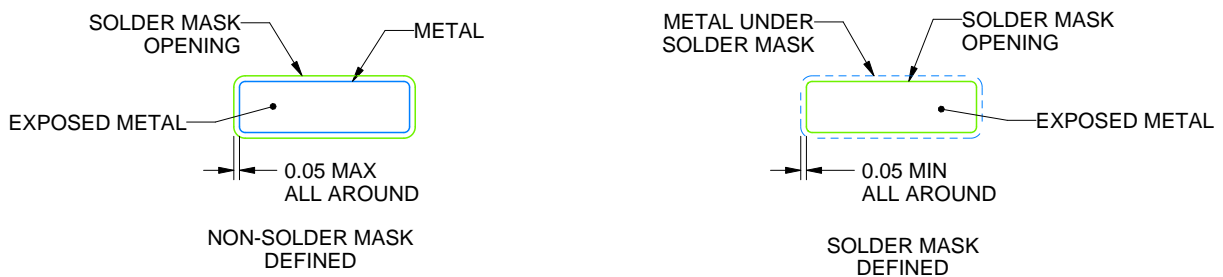
PWP0016J

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



SOLDER MASK DETAILS

4223595/A 03/2017

NOTES: (continued)

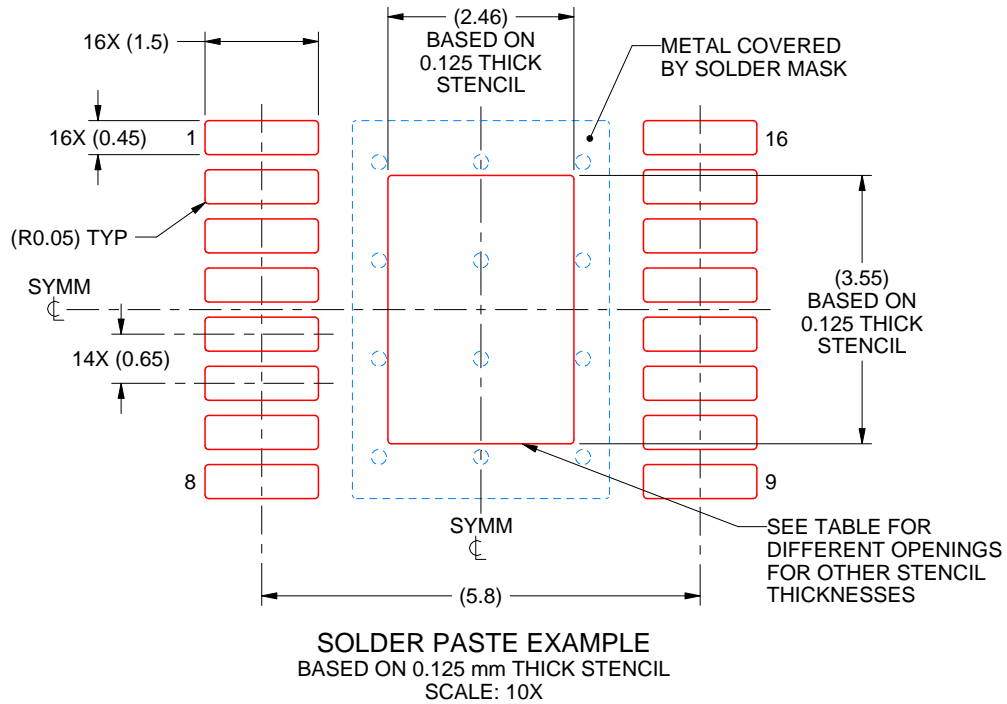
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 ([www.ti.com/lit/slma002](http://www.ti.com/lit/slma002)) and SLMA004 ([www.ti.com/lit/slma004](http://www.ti.com/lit/slma004)).
8. Size of metal pad may vary due to creepage requirement.
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

PWP0016J

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.75 X 3.97
0.125	2.46 X 3.55 (SHOWN)
0.15	2.25 X 3.24
0.175	2.08 X 3.00

4223595/A 03/2017

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月