DRV8411 具有电流调节功能的双路 H 桥电机驱动器

1 特性

- 双路 H 桥电机驱动器，可驱动 -
  - 一个双极步进电机
  - 一到两个有刷直流电机
  - 电磁阀和其他电感负载
- 低导通电阻：HS + LS = 400mΩ（典型值，25°C）
- 宽电源电压范围
  - 1.65 至 11 V
- 与以下器件引脚对引脚兼容：
  - DRV8833：360mΩ/桥
  - DRV8833C：1735mΩ/桥
  - DRV8847：1000mΩ/桥
  - DRV8410：800mΩ/桥
  - DRV8411A：400mΩ/桥
- 高输出电流能力：4A 峰值
- PWM 控制接口
- 支持 1.8V、3.3V 和 5V 逻辑输入
- 集成电流调节
- 低功耗睡眠模式
  - V_{VM} = 5V、T_J = 25°C 时 ≤ 40nA
- 小型封装和外形尺寸
  - 带 PowerPAD™ 的 16 引脚 HTSSOP，5.0mm× 4.4mm
  - 带 PowerPAD™ 的 16 引脚薄型 SOT，4.2 × 2.0mm
  - 带 PowerPAD™ 的 16 引脚 WQFN，3.0mm × 3.0mm
- 集成保护特性
  - VM 欠压锁定 (UVLO)
  - 自动重试过流保护 (OCP)
  - 热关断 (TSD)
  - 故障指示引脚 (nFAULT)

2 应用

- 电池供电式玩具
- POS 打印机
- 视频安保摄像机
- 办公自动化设备
- 游戏机
- 机器人
- 电子智能锁
- 通用螺线管负载

3 说明

DRV8411 是一款双路 H 桥电机驱动器，可驱动一个或两个直流有刷电机、一个步进电机、螺线管或其他电感负载。三倍电荷泵允许器件在低至 1.65V 的电压下工作，以适应 1.8V 的电源轨和电池电量不足的情况。电荷泵集成了所有电容器并允许 100% 占空比运行。输入和输出可以并联以驱动具有一半 $R_{DS(ON)}$ 的大电流有刷直流电机。

该器件通过将内部基准电压与 xISEN 引脚上的电压进行比较来实现电流调节，该电压与通过外部检测电阻器的电机电流成正比。限制电流的能力可以显著减小电机启动过程中和失速条件下的大电流。

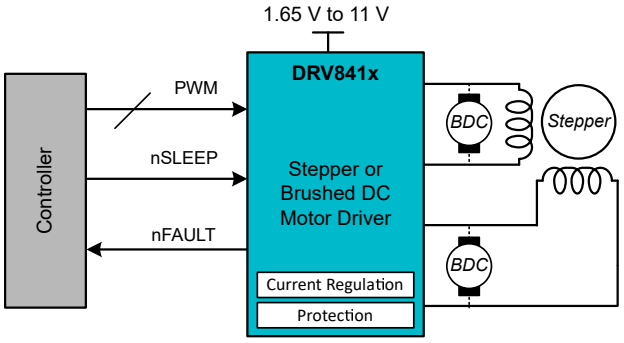
低功耗睡眠模式可通过关断大部分内部电路实现超低静态电流消耗。内部保护特性包括欠压、过流和过热保护。

DRV8411 所属的器件系列具有引脚对引脚、可扩展 $R_{DS(ON)}$ 选项，可支持不同负载，并尽可能减少设计改动。有关本产品系列中器件的信息，请参阅节 5。访问 ti.com 查看我们完整的有刷电机驱动器产品系列。

器件信息(1)

器件型号	封装	封装尺寸（标称值）
DRV8411	HTSSOP (16)	5.00mm x 6.40mm
	WQFN (16)	3.00mm × 3.00mm
	薄型 SOT (16)	4.20mm × 2.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



简化原理图

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。

内容

1 特性 1
2 应用 1
3 说明 1
4 修订历史记录 2
5 器件比较 3
6 引脚配置和功能 3
7 规格 5
7.1 绝对最大额定值 5
7.2 ESD 等级 5
7.3 建议运行条件 5
7.4 热性能信息 5
7.5 电气特性 6
7.6 时序图 7
8 典型特性 8
9 详细说明 10
9.1 概述 10
9.2 功能方框图 10
9.3 外部元件 11
9.4 特性说明 11
9.5 器件功能模式 16
9.6 引脚图 17
10 应用和实现 18
10.1 应用信息 18
11 电源相关建议 35
11.1 大容量电容 35
11.2 电源和逻辑时序 35
12 布局 36
12.1 布局指南 36
12.2 布局示例 36
13 器件和文档支持 38
13.1 文档支持 38
13.2 接收文档更新通知 38
13.3 社区资源 38
13.4 商标 38
14 机械、封装和可订购信息 39

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (October 2022) to Revision B (July 2023)	Page
• 更新“器件信息”表中的“封装尺寸（标称值）”	1

Changes from Revision * (September 2022) to Revision A (October 2022)	Page
• 将器件状态从“预告信息”更改为“量产数据”	1

Copyright © 2023 Texas Instruments Incorporated

5 器件比较

表 5-1. 器件比较表

器件名称	电源电压 (V)	$R_{DS(on)}$ (mΩ)	过流保护限制 (A)	电流调节	电流检测反馈	直接引脚对引脚替代产品	修改后的引脚对引脚替代产品
DRV8410	1.65 至 11	800	2.5	外部分流电阻器	外部放大器	DRV8833、DRV8833C	DRV8847
DRV8411	1.65 至 11	400	4				
DRV8411A	1.65 至 11	400		内部电流镜 (IPROPI)		不适用	DRV8833、DRV8833C、DRV8847

6 引脚配置和功能

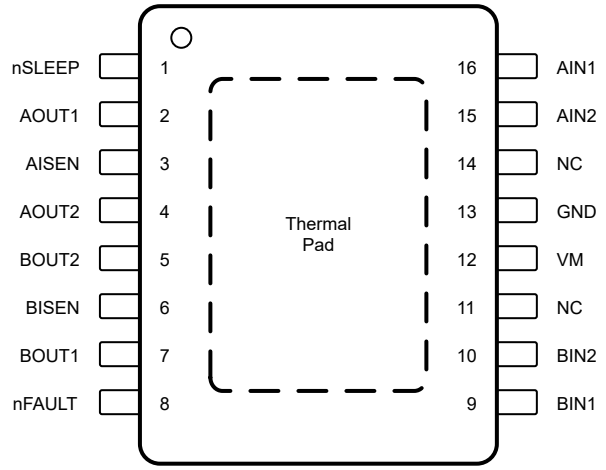


图 6-1. PWP 或 DYZ 封装 16 引脚 HTSSOP 顶视图

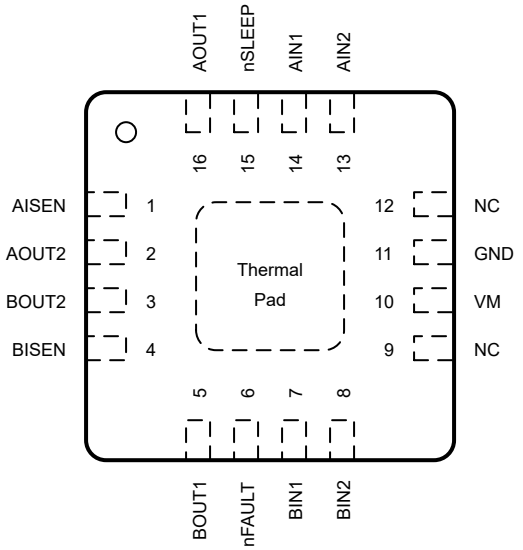


图 6-2. RTE 封装 16 引脚 WQFN 顶视图

表 6-1. 引脚功能

引脚			类型(1)	说明
名称	RTE	PWP、DYZ		
AIN1	14	16	I	全桥 A (AOUT1、AOUT2) 的 H 桥控制输入。请参阅节 9.4.1 内部下拉电阻。
AIN2	13	15	I	全桥 A (AOUT1、AOUT2) 的 H 桥控制输入。请参阅节 9.4.1 内部下拉电阻。
AISEN	1	3	O	全桥 A (AOUT1、AOUT2) 检测。将此引脚连接到全桥 A 的电流检测电阻。如果不需要电流调节，则将此引脚连接到 GND 引脚。请参阅节 9.4.2。
AOUT1	16	2	O	桥 A 输出 1
AOUT2	2	4	O	桥 A 输出 2
BIN1	7	9	I	全桥 B (BOUT1、BOUT2) 的 H 桥控制输入。请参阅节 9.4.1 内部下拉电阻。
BIN2	8	10	I	全桥 B (BOUT1、BOUT2) 的 H 桥控制输入。请参阅节 9.4.1 内部下拉电阻。
BISEN	4	6	O	全桥 B (BOUT1、BOUT2) 检测。将此引脚连接到全桥 A 的电流检测电阻。如果不需要电流调节，则将此引脚连接到 GND 引脚。请参阅节 9.4.2。
BOUT1	5	7	O	桥 B 输出 1
BOUT2	3	5	O	桥 B 输出 2
GND	11	13	PWR	器件接地。连接到系统地。
NC	9，12	11，14	—	未连接

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚功能 (continued)

引脚			类型(1)	说明
名称	RTE	PWP、DYZ		
nFAULT	6	8	OD	故障指示灯输出。在故障状况期间下拉为低电平。连接一个外部上拉电阻器以执行开漏操作。请参阅节 9.4.3。
nSLEEP	15	1	I	睡眠模式输入。逻辑高电平用于启用器件。逻辑低电平用于进入低功耗睡眠模式。请参阅 内部下拉电阻。
PAD	—	—	—	散热焊盘。连接到系统接地端。
VM	10	12	PWR	1.65V 至 11V 电源输入。将一个 0.1μF 旁路电容器接地，并连接一个足够大且额定电压为 VM 的大容量电容。

(1) PWR = 电源，I = 输入，O = 输出，NC = 无连接，OD = 开漏

Copyright © 2023 Texas Instruments Incorporated

7 规格

7.1 绝对最大额定值

在工作温度范围内（除非另有说明）(1)

		最小值	最大值	单位
电源引脚电压	VM	-0.5	12	V
电源瞬态电压斜坡	VM	0	2	V/µs
电流检测引脚电压	AISEN、BISEN	-0.6	0.6	V
逻辑引脚电压	nSLEEP、AIN1、AIN2、BIN1、BIN2	-0.3	5.75	V
开漏输出引脚电压	nFAULT	0.3	5.75	V
输出引脚电压	AOUT1、AOUT2、BOUT1、BOUT2	$-V_{SD}$	$V_{VM}+V_{SD}$	V
输出电流	AOUT1、AOUT2、BOUT1、BOUT2	受内部限制	受内部限制	A
环境温度，T_A		-40	125	°C
结温，T_J		-40	150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 超出*绝对最大额定值*下列出的压力可能会对器件造成永久损坏。这些仅是压力额定值，并不意味着器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

7.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±500	

(1) JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。列为 ±2000V 的引脚实际上可能具有更高的性能。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。列为 ±500 V 的引脚实际上可能具有更高的性能。

7.3 建议运行条件

在工作温度范围内（除非另有说明）

			最小值	标称值	最大值	单位
V_{VM}	电源电压	VM	1.65		11	V
V_{IN}	逻辑输入电压	nSLEEP、AIN1、AIN2、BIN1、BIN2	0		5.5	V
f_{PWM}	PWM 频率	AIN1、AIN2、BIN1、BIN2	0		100	kHz
V_{OD}	开漏上拉电压	nFAULT	0		5.5	V
I_{OD}	开漏输出电流	nFAULT	0		5	mA
I_{OUT} (1)	峰值输出电流	OUTx	0		$I_{OCP,min}$	A
T_A	工作环境温度		-40		125	°C
T_J	工作结温		-40		150	°C

(1) 必须遵循功率损耗和热限值

7.4 热性能信息

热指标(1)		器件 PWP (HTSSOP) 引脚	器件 RTE (WQFN) 引脚	单位
$R_{\theta JA}$	结至环境热阻	45.1	49.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	43.7	50.9	°C/W
$R_{\theta JB}$	结至电路板热阻	19.9	23.5	°C/W
Ψ_{JT}	结至顶部特征参数	2.6	1.7	°C/W

Copyright © 2023 Texas Instruments Incorporated

热指标(1)		器件 PWP (HTSSOP) 引脚	器件 RTE (WQFN) 引脚	单位
Ψ_{JB}	结至电路板特征参数	19.9	23.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	4.9	10.8	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

7.5 电气特性

1.65V ≤ V_{VM} ≤ 11V，–40°C ≤ T_J ≤ 150°C（除非另有说明）。典型值是在 T_J = 27 °C 且 V_{VM} = 5 V 时。

参数		测试条件	最小值	典型值	最大值	单位
电源 (VM)						
I_{VMQ}	VM 睡眠模式电流	nSLEEP = 0V，V_{VM} = 5V，T_J = 27°C		4	40	nA
I_{VM}	VM 活动模式电流	xIN1 = 3.3V，xIN2 = 0V，V_{VM} = 5V		1.6	3.5	mA
t_{WAKE}	开通时间	睡眠模式到工作模式延迟			100	μs
t_{SLEEP}	关断时间	工作模式到睡眠模式延迟		5		μs
逻辑电平输入（nSLEEP、AIN1、AIN2、BIN1、BIN2）						
V_{IL}	输入逻辑低电平电压		0		0.4	V
V_{IH}	输入逻辑高电平电压		1.45		5.5	V
V_{HYS_nSLEEP}	nSLEEP 输入迟滞		100			mV
V_{HYS_logic}	逻辑输入迟滞（nSLEEP 除外）		50			mV
I_{IL}	输入逻辑低电平电流	V_{xINx} = 0V	-1		1	μA
$I_{IH,nSLEEP}$	输入逻辑高电流	V_{nSLEEP} = 5V			14	μA
I_{IH}	输入逻辑高电流	V_{xINx} = 5V	20		70	μA
$R_{PD,nSLEEP}$	输入下拉电阻			500		kΩ
R_{PD}	输入下拉电阻			100		kΩ
$t_{DEGLITCH}$	输入逻辑抗尖峰			50		ns
开漏输出 (nFAULT)						
V_{OL}	输出逻辑低电压	I_{OD} = 5mA			0.3	V
I_{OZ}	输出逻辑高电流	V_{OD} = 5V	-1		1	μA
驱动器输出（AOUT1、AOUT2、BOUT1、BOUT2）						
$R_{HS_DS(ON)}$	高侧 MOSFET 导通电阻	I_{OUTx} = 0.2A		200		mΩ
$R_{LS_DS(ON)}$	低侧 MOSFET 导通电阻	I_{OUTx} = -0.2A		200		mΩ
V_{SD}	体二极管正向电压	I_{OUTx} = -0.5A		1		V
t_{RISE}	输出上升时间	V_{OUTx} 上升，从 V_{VM} 的 10% 上升到 90%，V_{VM} = 5V		100		ns
t_{FALL}	输出下降时间	V_{OUTx} 下降，从 V_{VM} 的 90% 下降到 10%，V_{VM} = 5V		50		ns
t_{PD}	输入至输出传播延迟	输入超过 0.8V 达到 V_{OUTx} = 0.1×V_{VM}，I_{OUTx} = 1A		600		ns
t_{DEAD}	输出死区时间			400		ns
电流调节（AISEN、BISEN）						
V_{TRIP}	xISEN 跳变电压		180	200	230	mV
t_{OFF}	电流调节关断时间			20		μs
t_{BLANK}	电流调节消隐时间			1.8		μs
t_{DEG}	电流调节抗尖峰脉冲时间			1		μs
保护电路						

Copyright © 2023 Texas Instruments Incorporated

1.65V ≤ V_{VM} ≤ 11V，–40°C ≤ T_J ≤ 150°C（除非另有说明）。典型值是在 T_J = 27 °C 且 V_{VM} = 5 V 时。

参数		测试条件	最小值	典型值	最大值	单位
V_{UVLO}	电源欠压锁定 (UVLO)	电源上升			1.6	V
		电源下降	1.3			V
V_{UVLO_HYS}	电源 UVLO 迟滞	上升至下降阈值		100		mV
t_{UVLO}	电源欠压抗尖峰脉冲时间	V_{VM} 下降至 OUTx 已禁用		10		µs
I_{OCP}	过流保护跳变点		4			A
V_{OCP_ISEN}	ISEN 引脚上的过流保护跳变点			0.6		V
t_{OCP}	过流保护抗尖峰脉冲时间			4.2		µs
t_{RETRY}	过流保护重试时间			1.6		ms
T_{TSD}	热关断温度		153		193	°C
T_{HYS}	热关断迟滞			18		°C

7.6 时序图

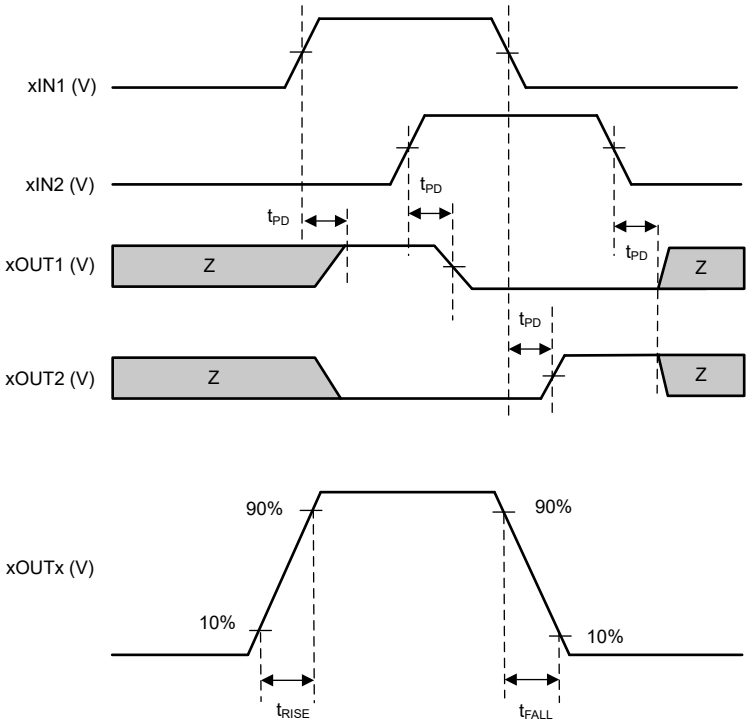


图 7-1. 输入到输出时序

8 典型特性

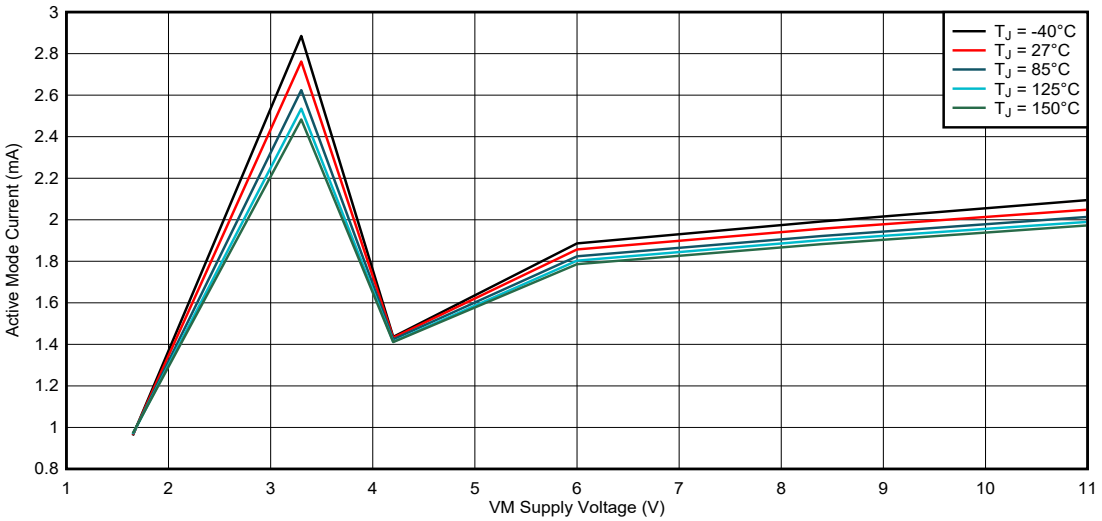


图 8-1. 活动模式电流

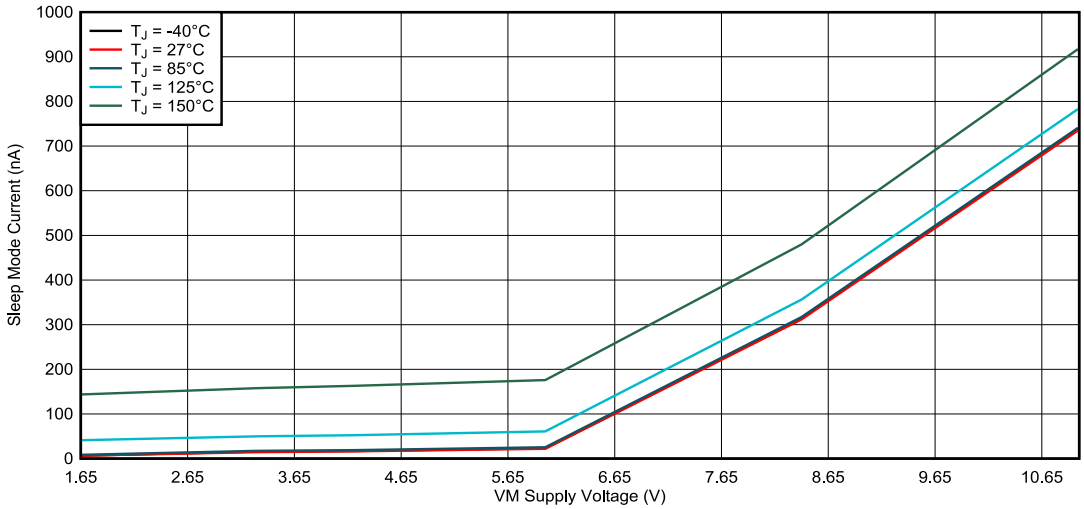


图 8-2. 睡眠模式电流

Copyright © 2023 Texas Instruments Incorporated

8 典型特性

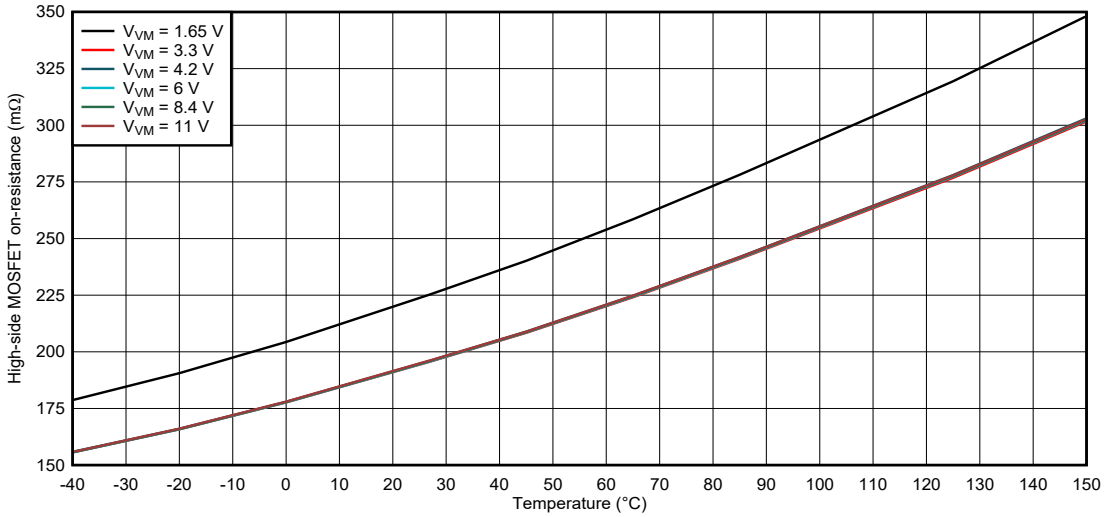


图 8-3. 高侧 MOSFET 导通电阻

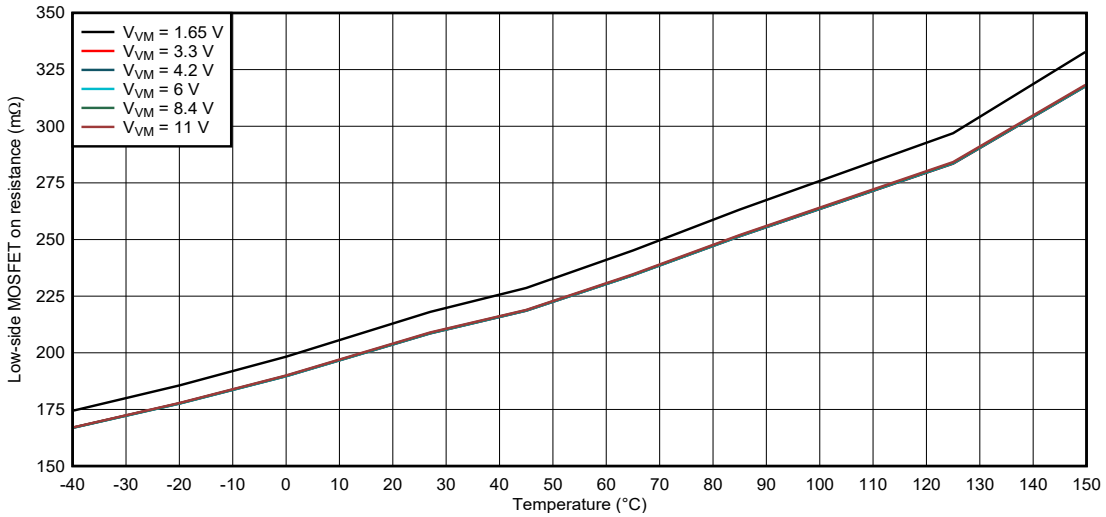


图 8-4. 低侧 MOSFET 导通电阻

Copyright © 2023 Texas Instruments Incorporated

9 详细说明

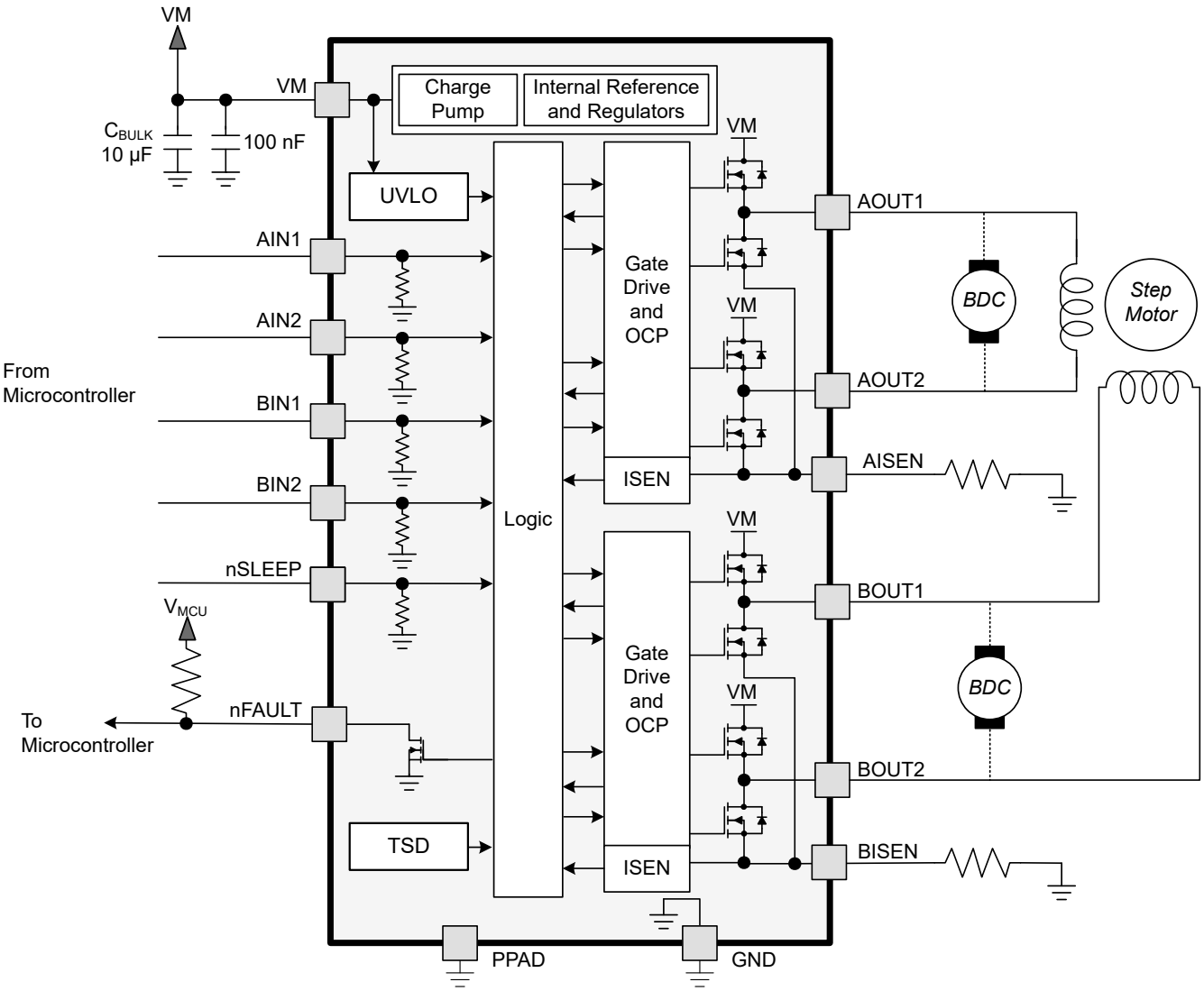
9.1 概述

DRV8411 是一款双路 H 桥电机驱动器，用于通过 1.65V 至 11V 电源轨驱动两个有刷直流电机或一个步进电机。集成的电流调节功能基于 xISEN 电阻器将电机电流限制为预定义的最大值。

两个逻辑输入控制每个 H 桥，H 桥由四个 N 沟道 MOSFET 组成，它们的典型 $R_{DS(ON)}$ 为 400mΩ（包括一个高侧 FET 和一个低侧 FET）。可以将输入引脚和输出引脚并联，以支持具有一半 $R_{DS(ON)}$ 的单个 H 桥驱动器，从而驱动更高的电流。单个电源输入 VM 同时用作器件电源和电机绕组偏置电压。器件的集成电荷泵在内部对 VM 升压并全面增强高侧 FET。电机速度可通过脉宽调制进行控制，频率范围为 0 至 100kHz。该器件通过将 nSLEEP 引脚置为低电平而进入低功耗睡眠模式。

各种集成保护特性将在出现系统故障时保护该器件。这些保护功能包括欠压锁定 (UVLO)、过流保护 (OCP) 和过热关断 (TSD)。

9.2 功能方框图



Copyright © 2023 Texas Instruments Incorporated

9.3 外部元件

表 9-1 列出了驱动器的外部元件的建议值。

表 9-1. DRV8411 外部元件

元件	引脚 1	引脚 2	推荐
C_{VM1}	VM	GND	额定电压为 VM 的电容器，最小值为 10 µ F
C_{VM2}	VM	GND	额定电压为 VM 的 0.1µF 陶瓷电容器
R_{nFAULT}	VEXT(1)	nFAULT	上拉电阻器，I_{OD} ≤ 5mA
R_{AISEN}	AISEN	GND	检测电阻，请参阅节 9.4.2 以了解尺寸
R_{BISEN}	BISEN	GND	检测电阻，请参阅节 9.4.2 以了解尺寸

(1) VEXT 不是 DRV8411 上的引脚，但开漏输出 nFAULT 需要 VEXT 外部电源电压上的上拉电阻器。

9.4 特性说明

9.4.1 电桥控制

DRV8411 具有两个完全相同的 H 桥电机驱动器。输入引脚 AINx 和 BINx 分别控制相应的输出 AOUTx 和 BOUTx。表 9-2 显示了输入如何控制 H 桥输出。

表 9-2. H 桥控制

nSLEEP	xIN1	xIN2	xOUT1	xOUT2	说明
0	X	X	高阻	高阻	低功耗睡眠模式
1	0	0	高阻	高阻	滑行/快速衰减；H 桥禁用至高阻
1	0	1	L	H	反向（电流 OUT2 → OUT1）
1	1	0	H	L	正向（电流 OUT1 → OUT2）
1	1	1	L	L	制动；低侧慢速衰减

可以将输入设置为恒定电压以实现 100% 占空比驱动器，也可以将输入设置为脉宽调制 (PWM) 以实现可变电机速度。使用 PWM 时，在驱动（正向或反向）和慢速衰减状态之间切换通常效果更佳。例如，要以最大 RPM 的 50% 正向驱动电机，在驱动周期或 PWM “开启”时间内，IN1 = 1 且 IN2 = 0；而在 PWM “关闭”时间内，IN1 = 1 且 IN2 = 1。

此外，还提供用于快速电流衰减的滑行模式（IN1 = 0，IN2 = 0）。对于使用快速衰减的 PWM，PWM 信号施加到一个 xIN 引脚，而另一个 xIN 引脚保持低电平，如下所示。

表 9-3. 电机转速的 PWM 控制

xIN1	xIN2	说明
PWM	0	正向 PWM，快速衰减
1	PWM	正向 PWM，慢速衰减
0	PWM	反向 PWM，快速衰减
PWM	1	反向 PWM，慢速衰减

图 9-1 显示了电机电流如何流过 H 桥。可以在应用 VM 之前为输入引脚供电。

Copyright © 2023 Texas Instruments Incorporated

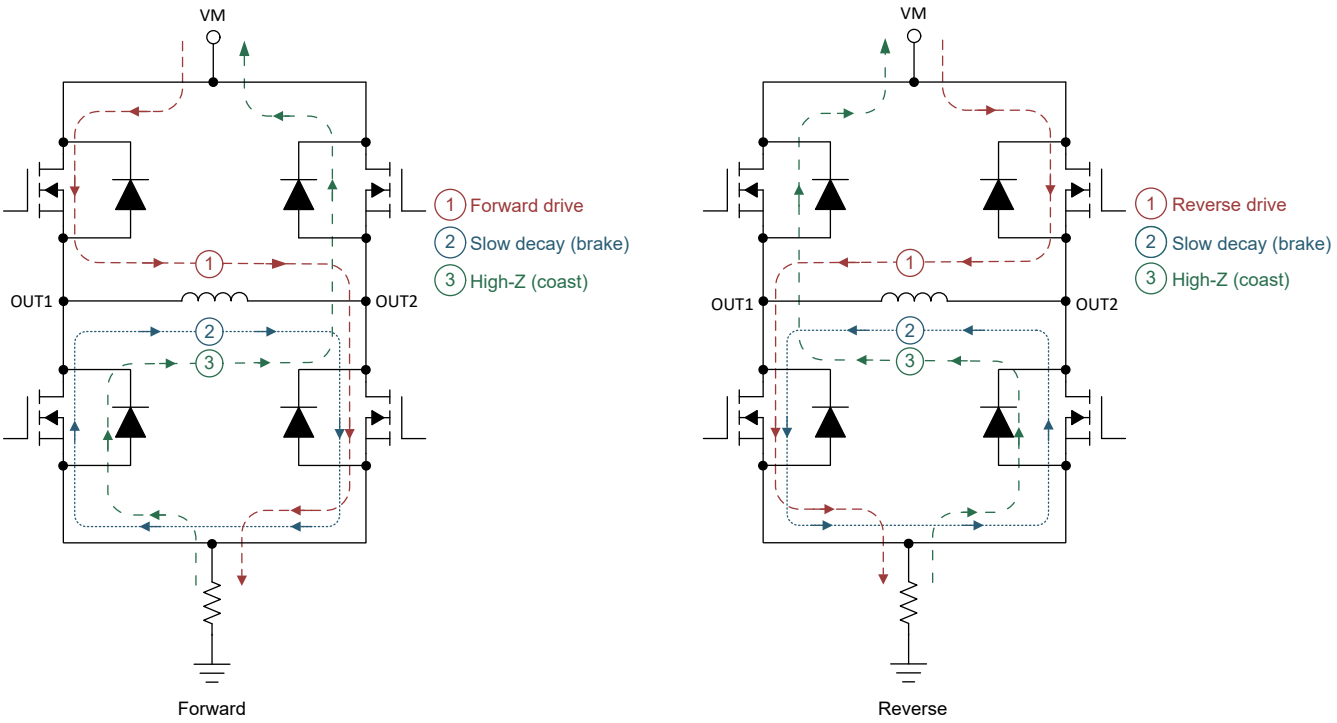


图 9-1. H 桥电流路径

当输出从驱动高电平变为驱动低电平，或从驱动低电平变为驱动高电平时，会自动插入死区时间以防止击穿。t_{DEAD} 时间是输出为高阻时的中间时间。如果在 t_{DEAD} 期间测量输出引脚，则电压取决于电流方向。如果电流离开管脚，则电压为低于地电平的二极管压降。如果电流进入引脚，则电压为高于 VM 的二极管压降。该二极管是高侧或低侧 FET 的体二极管。

传播延迟时间 (t_{PD}) 是输入边沿与输出变化之间的时间。该时间考虑了输入抗尖峰脉冲时间和其他内部逻辑传播延迟。输入抗尖峰脉冲时间可防止输入引脚上的噪声影响输出状态。附加的输出压摆延迟时序考虑了 FET 导通或关断时间（t_{RISE} 和 t_{FALL}）。

下面的图 9-2 显示了电机驱动器输入和输出的时序。

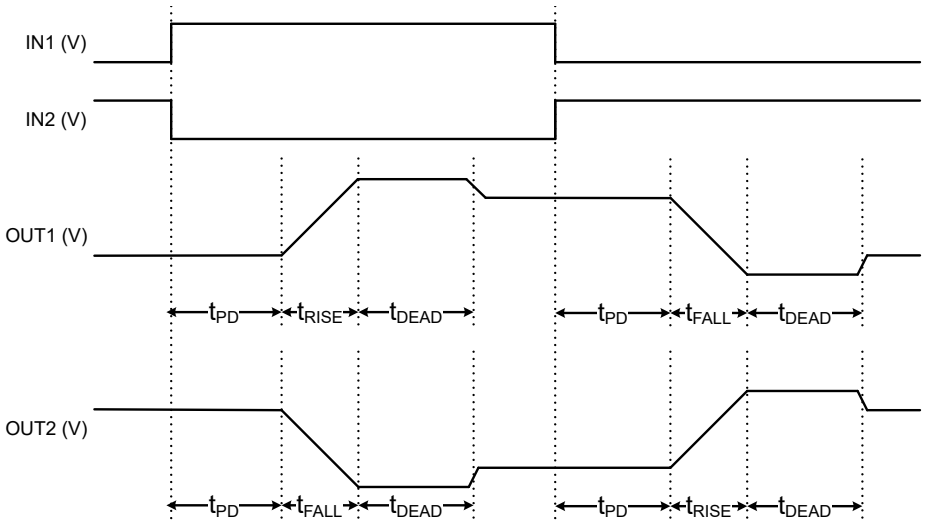


图 9-2. H 桥时序图

Copyright © 2023 Texas Instruments Incorporated

9.4.1.1 并联桥接式接口

在并联桥接式接口中，DRV8411 配置为通过并联驱动器输出以将 $R_{DS(ON)}$ 降低两倍，从而驱动电流更大的有刷直流 (BDC) 电机。图 9-3 显示了一个如何连接器件引脚的示例。要使用并联桥接式接口操作，请将 AIN1 和 BIN1 连接到同一控制信号 IN1，并将 AIN2 和 BIN2 连接到同一控制信号 IN2。类似地，将 AOUT1 和 BOUT1 连接到同一输出节点 OUT1，并将 AOUT2 和 BOUT2 连接到同一输出节点 OUT2。AISEN 和 BISEN 必须连接到同一接地层。

如果 AISEN 和 BISEN 连接到同一检测电阻，则可以使用电流调节。xISEN 引脚的电压将与内部 V_{TRIP} 基准 (0.2V) 进行比较，以设置电流调节电平。

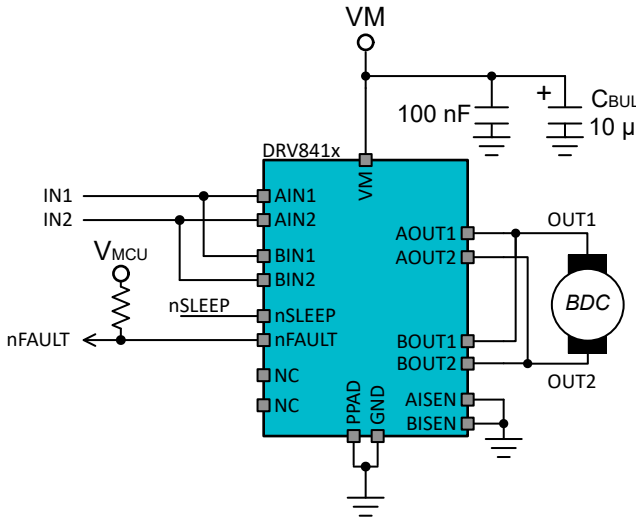


图 9-3. 并行模式连接

该模式可以通过所有四种模式（正向、反向、滑行和制动模式）提供 BDC 电机控制的全部功能。表 9-4 显示了并行模式下的控制接口状态。

表 9-4. 并行 H 桥控制

nSLEEP	IN1（AIN1 和 BIN1）	IN2（AIN2 和 BIN2）	OUT1（AOUT1 和 BOUT1）	OUT2（AOUT2 和 BOUT2）	说明
0	X	X	高阻	高阻	低功耗睡眠模式
1	0	0	高阻	高阻	滑行；H 桥禁用至高阻
1	0	1	L	H	反向（电流 OUT2 → OUT1）
1	1	0	H	L	正向（电流 OUT1 → OUT2）
1	1	1	L	L	制动；低侧慢速衰减

9.4.2 电流调节

流经电机绕组的电流可能受到 DRV8411 的电流调节功能的限制。对于直流电机，电流控制用于限制电机的启动和停止电流。对于步进电机，当电源轨额定值高于电机额定电压时，通常使用电流控制，因此绕组电流保持在电机规格范围内。

电流调节功能通过电流斩波方案实现。PWM 斩波电流 I_{TRIP} 由比较器设置，比较器将连接到 xISEN 引脚的电流检测电阻两端的电压与 200mV 的基准电压进行比较。图 9-4 显示了 DRV8411 中单个 H 桥电流调节的相关电路。

Copyright © 2023 Texas Instruments Incorporated

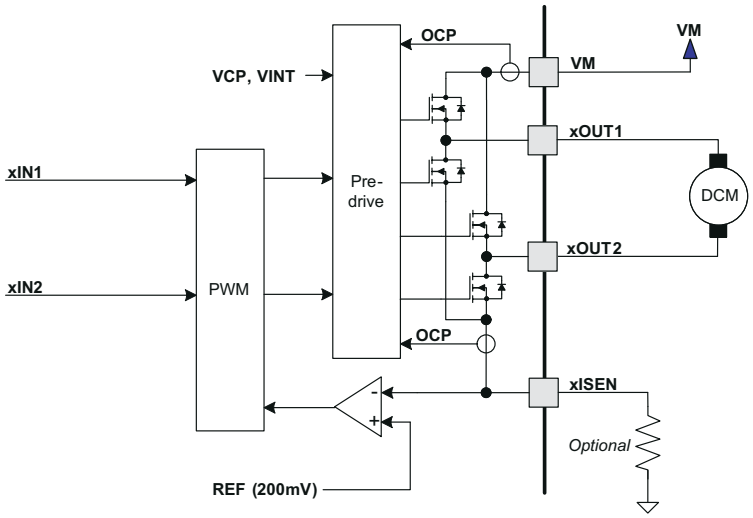


图 9-4. 电流调节电路

当电机电流达到 I_{TRIP} 电平时，该器件通过在 t_{OFF} 持续时间内启用两个低侧 FET 来实现慢速电流衰减，如图 9-5 所示。

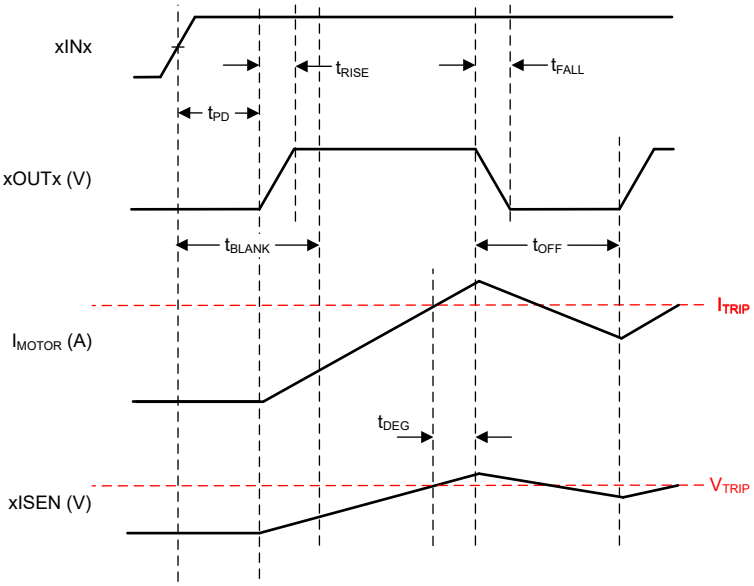


图 9-5. 电流调节时间段

经过 t_{OFF} 后，根据该桥的两个输入 xINx 重新启用输出。该器件驱动电流，直到电机电流再次达到 I_{TRIP} 电平。处于驱动状态的时间量取决于 VM 电压、电机的反电动势和电机的电感。如果 INx 控制引脚的状态在 t_{OFF} 时间内发生变化，则 t_{OFF} 时间的剩余部分将被忽略，输出将再次跟随输入。

经过 t_{OFF} 后，如果 I_{OUT} 仍然大于 I_{TRIP}，H 桥将在 t_{BLANK} 驱动时间后进入另一个制动/低侧慢速衰减期，持续时间为 t_{OFF}。

斩波电流的计算公式如方程式 1 所示。

$$R_{SENSE} = 0.2V/I_{TRIP} \quad (1)$$

示例：如果使用 1 Ω 检测电阻，斩波电流将为 200mV/1 Ω = 200mA。

Copyright © 2023 Texas Instruments Incorporated

如果不需要电流调节，xISEN 引脚应直接连接到 PCB 接地层。

9.4.3 保护电路

DRV8411 受到全面保护，以防出现欠压、过流和过热事件。

9.4.3.1 过流保护 (OCP)

每个 FET 上的模拟电流限制电路都将通过在内部限制栅极驱动器来限制流经 FET 的电流。如果此电流限制的持续时间超过 OCP 抗尖峰脉冲时间 (t_{OCP})，则会禁用 H 桥中的所有 FET 并将 nFAULT 引脚置位为低电平。在 OCP 重试期 (t_{RETRY}) 过后，驱动器将重新启用。此时 nFAULT 再次变为高电平，并且驱动器恢复正常运行。如果故障仍然存在，则重复此周期，如图 9-6 所示。请注意，只有检测到过流情况的 H 桥才会被禁用，而另一个桥将正常工作。

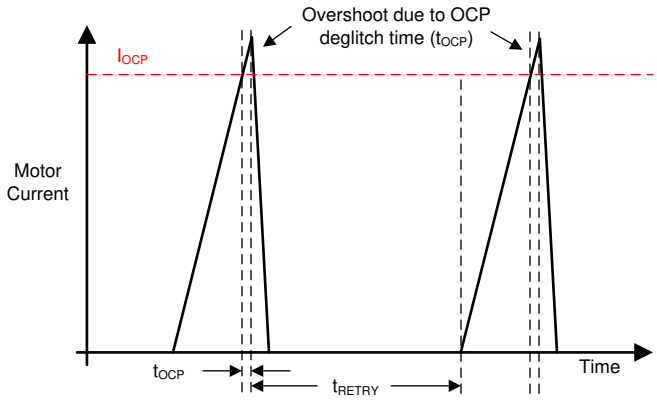


图 9-6. OCP 运行

在高侧和低侧 FET 上单独检测到过流情况。这意味着接地短路、电源短路或跨电机绕组短路都会导致过流关断。xISEN 引脚还集成了一个由 V_{OCP_ISEN} 指定的单独过流跳闸阈值，以便在 VM 电压较低或 xISEN 引脚上的 R_{SENSE} 电阻较高时提供额外保护。

9.4.3.2 热关断 (TSD)

如果内核温度超过安全限值，则会禁用 H 桥中的所有 FET 并将 nFAULT 引脚置为低电平。一旦内核温度下降到安全水平，就将自动恢复运行。

如果该器件有任何进入热关断 (TSD) 状态的倾向，则表明功耗过高、散热不足或环境温度超出了建议运行条件。

9.4.3.3 欠压锁定 (UVLO)

每当 VM 引脚上的电压降至低于 UVLO 下降阈值电压 V_{UVLO} 时，器件中的所有电路都会被禁用，输出 FETS 被禁用，并且所有内部逻辑被复位。当 V_{VM} 电压升至高于 UVLO 上升阈值时，将恢复正常运行，如图 9-7 所示。nFAULT 引脚在欠压条件下被驱动为低电平，并在再次开始运行后释放此引脚。

当 V_{VM} 接近 0V 时，内部电路可能无法正确偏置，并且 nFAULT 引脚上的开漏下拉电阻可能会释放。

Copyright © 2023 Texas Instruments Incorporated

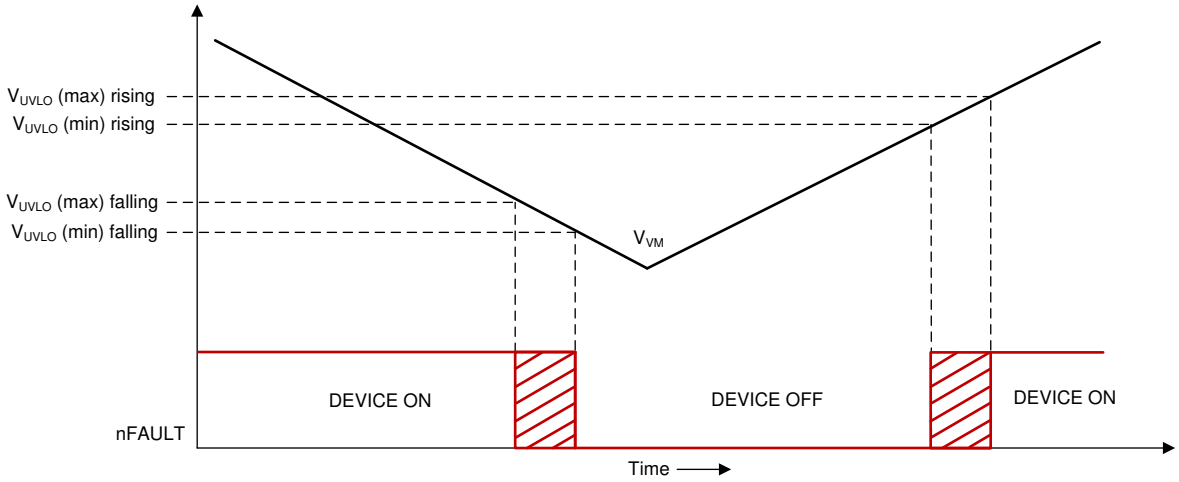


图 9-7. VM UVLO 运行

9.5 器件功能模式

表 9-5 总结了本节介绍的 DRV8411 功能模式。

表 9-5. 运行模式

MODE	条件	H 桥	内部电路
工作模式	nSLEEP 引脚为高电平	工作	工作
低功耗睡眠模式	nSLEEP 引脚为低电平	禁用	禁用
故障模式	满足任何故障条件	禁用	请参阅表 9-6

9.5.1 工作模式

当 VM 引脚上的电源电压超过欠压阈值 V_{UVLO}、nSLEEP 引脚处于高电平状态且 t_{WAKE} 消失之后，器件将进入活动模式。在此模式下，H 桥、电荷泵和内部逻辑将被激活，器件将准备好接收输入。

9.5.2 低功耗睡眠模式

DRV8411 器件支持低功耗模式，以在驱动器未激活时减少 VM 引脚的电流消耗。可以通过设置 nSLEEP = 逻辑低电平并等待 t_{SLEEP} 消失来进入此模式。

在睡眠模式下，H 桥、电荷泵、内部稳压器和内部逻辑被禁用，并且器件从电源引脚 (I_{VMQ}) 汲取最小电流。此器件依靠弱下拉电阻来确保持续禁用所有内部 MOSFET。如果器件在 nSLEEP 引脚为低电平时通电，则会立即进入睡眠模式。在 nSLEEP 引脚处于高电平的时间超过 t_{WAKE} 的持续时间后，器件将完全正常运行。

以下时序图显示了进入和离开睡眠模式的示例。

Copyright © 2023 Texas Instruments Incorporated

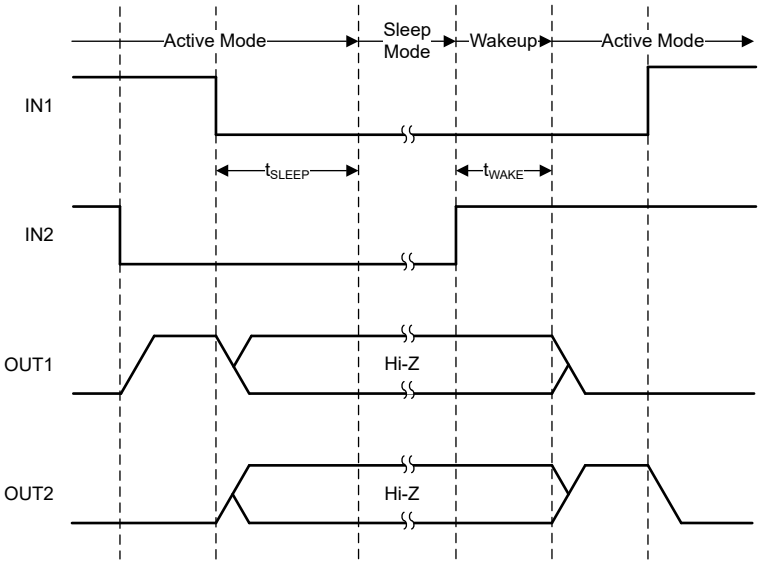


图 9-8. 睡眠模式进入和唤醒时序图

9.5.3 故障模式

DRV8411 器件在遇到故障时进入故障模式。这可保护器件和输出上的负载。故障模式下的器件行为取决于故障状况，如表 9-6 中所述。当满足恢复条件时，器件会退出故障模式并重新进入活动模式。

表 9-6. 故障条件汇总

故障	条件	错误报告	H 桥	内部电路	恢复
VM 欠压 (UVLO)	$V_M < V_{UVLO,falling}$	nFAULT	禁用	禁用	$V_M > V_{UVLO,rising}$
过流（OCP）	$I_{OUT} > I_{OCP}$	nFAULT	禁用	工作	自动重试：t_{RETRY}
热关断（TSD）	$T_J > T_{TSD}$	nFAULT	禁用	工作	自动：$T_J < T_{TSD} - T_{HYS}$

9.6 引脚图

9.6.1 逻辑电平输入

图 9-9 展示了逻辑电平输入引脚 AIN1、AIN2、BIN1、BIN2 和 nSLEEP 的输入结构。

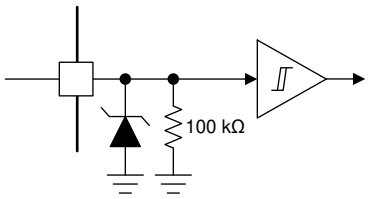


图 9-9. 逻辑电平输入

10 应用和实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

10.1 应用信息

DRV8411 用于有刷直流或步进电机控制，如以下应用示例所示。

10.1.1 典型应用

用户可以为步进电机、双 BDC 或单 BDC 电机应用配置 DRV8411，如本节所述。

10.1.1.1 步进电机应用

图 10-1 显示了 DRV8411 器件驱动步进电机的典型应用。

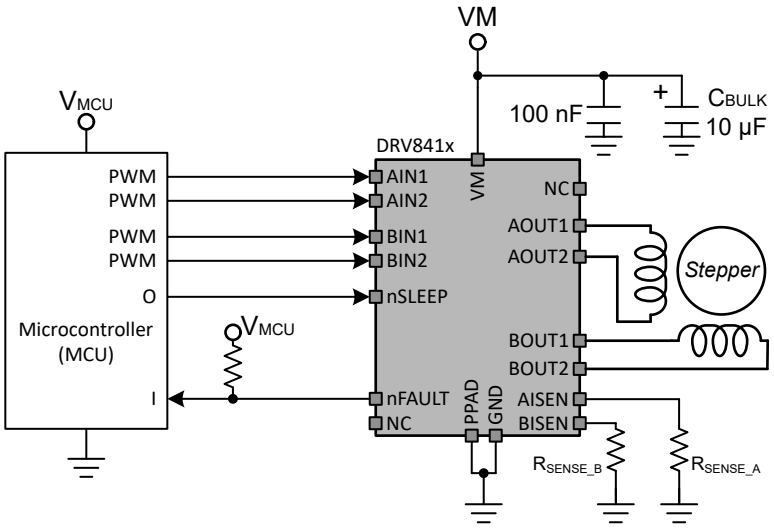


图 10-1. DRV8411 驱动步进电机的典型应用原理图

10.1.1.1.1 设计要求

表 10-1 列出了系统设计的设计输入参数。

表 10-1. 设计参数

设计参数	基准	示例值
电机电源电压	V_M	11V
电机绕组电阻	R_L	34Ω/相
电机绕组电感	L_L	33mH/相
目标跳变电流	I_{TRIP}	500mA

10.1.1.1.2 详细设计过程

10.1.1.1.2.1 步进电机转速

配置 DRV8411 时，第一步需要确定所需的电机转速和步进级别。该器件可使用 PWM 接口支持全步进和半步进模式。

如果目标电机转速过高，则电机不会旋转。确保电机可以支持目标转速。

对于所需的电机转速 (v)、微步进级别 (n_m) 和电机全步进角 (θ_{step})，

Copyright © 2023 Texas Instruments Incorporated

$$f_{step}\left(steps/s\right) = \frac{v(rpm) \times n_m\left(steps\right) \times 360° / rot}{\theta_{step}\left(° / step\right) \times 60\ s / min} \quad (2)$$

10.1.1.1.2.2 电流调节

跳变电流 (I_{TRIP}) 是通过任一绕组驱动的最大电流。此设置决定了步进电机在全步进或半步进控制方案下运行时将产生的扭矩量。对于 500mA 的 I_{TRIP} 值，检测电阻 (R_{SENSE_x}) 的值如方程式 3 所示进行计算。

$$R_{SENSE_A} = R_{SENSE_B} = 0.2V/I_{TRIP} = 0.2V/0.5A = 400m\,\Omega \quad (3)$$

为检测电阻选择最接近的可用值 400mΩ。

Copyright © 2023 Texas Instruments Incorporated

10.1.1.1.2.3 步进模式

DRV8411 用于通过以下桥配置，以全步进模式或非循环半步进模式驱动步进电机：

- 全步进模式
- 慢速衰减下的半步进模式
- 快速衰减下的半步进模式

10.1.1.1.2.3.1 全步进运行

在全步进模式下，全桥以两种模式（正向或反向模式）中的任意一种模式运行，两个绕组之间的相移为 90°。全步进是在固件中实现的更简单的步进控制模式，可在高速下提供更佳性能。

控制器将 PWM 输入施加到 AIN1、AIN2、BIN1 和 BIN2 引脚上（如图 10-2 所示），并且驱动器仅在正向 (FRW) 和反向 (REV) 模式下运行。

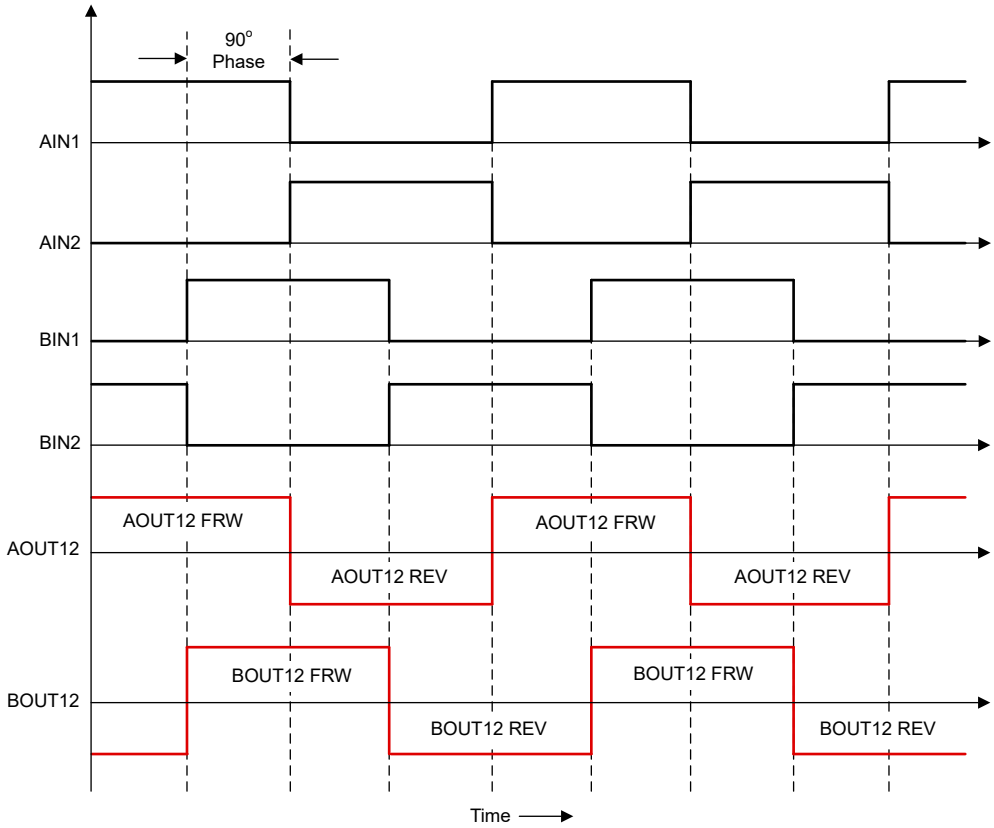


图 10-2. 全步进时序图

Copyright © 2023 Texas Instruments Incorporated

10.1.1.1.2.3.2 快速衰减下的半步进运行

在半步进模式下，全桥以三种模式（正向、反向或滑行模式）之一运行，以将转子定位在两个全步进位置之间的中间位置。滑行状态允许电机绕组中的电流快速衰减至 0A。这种模式最适用于高速半步进时。

控制器将 PWM 输入施加到 AIN1、AIN2、BIN1 和 BIN2 引脚上（如图 10-3 所示），并且驱动器仅在正向、反向和滑行模式下运行。

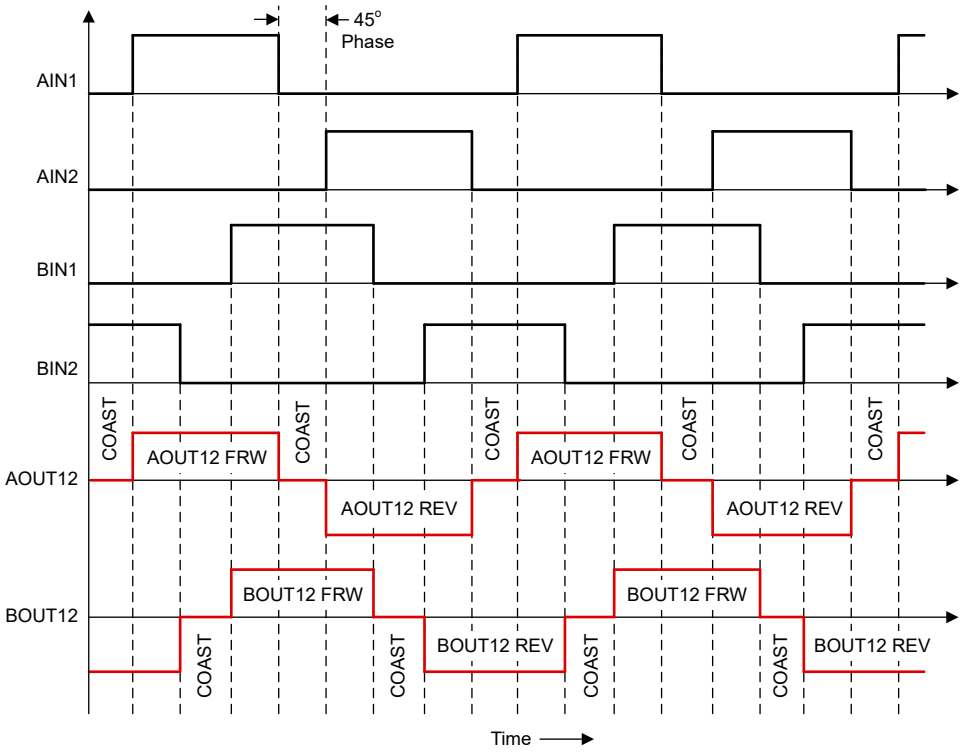


图 10-3. 快速衰减下的半步进时序图

10.1.1.1.2.3.3 慢速衰减下的半步进运行

在这种半步进模式下，驱动器使用慢速衰减控制状态（对于 BDC 驱动，称为“制动模式”）实现 0A 状态。因此，全桥以三种模式（正向、反向或制动/慢速衰减模式）之一运行，以将转子定位在两个全步进位置之间的中间位置。慢速衰减状态允许电机绕组中的电流缓慢衰减至 0A。此模式最适合在低速半步进时使用，可能有助于减少步进噪声和振动。

控制器将 PWM 输入施加到 AIN1、AIN2、BIN1 和 BIN2 引脚上（如图 10-4 所示），并且驱动器在正向、反向和制动模式下运行。

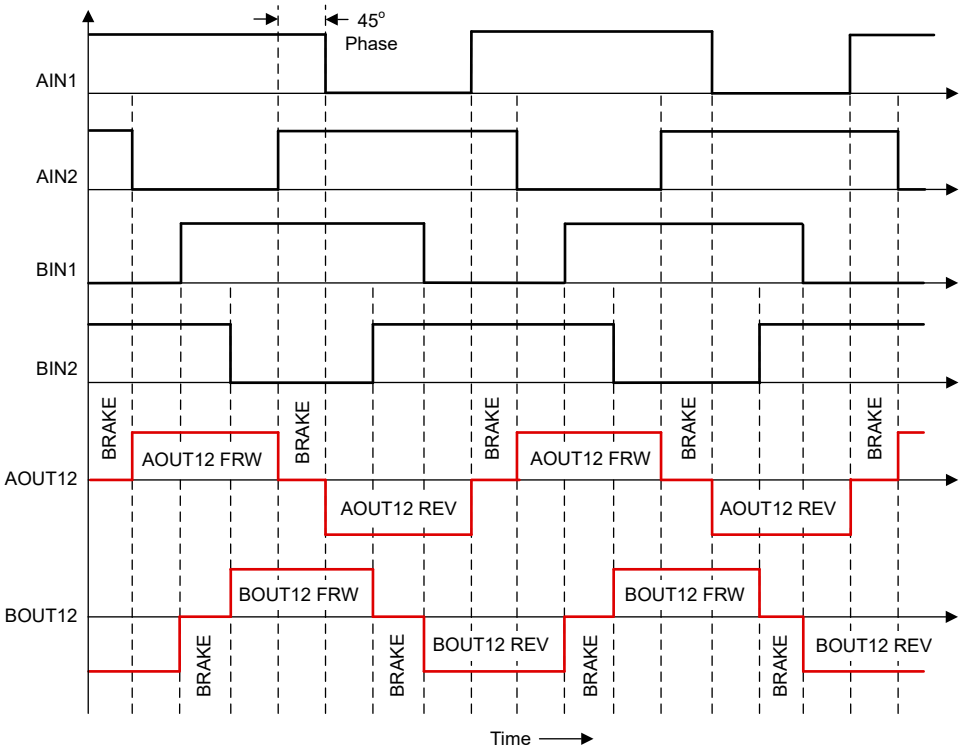


图 10-4. 慢速衰减下的半步进时序图

10.1.1.1.3 应用曲线

Ch 1 = AIN1，Ch 2 = AIN2，Ch 3 = BIN1，Ch 4 = BIN2，Ch 5 = AOUT12，Ch 6 = BOUT12，Ch 7 = AOUT12 电流，Ch 8 = BOUT12 电流

Copyright © 2023 Texas Instruments Incorporated

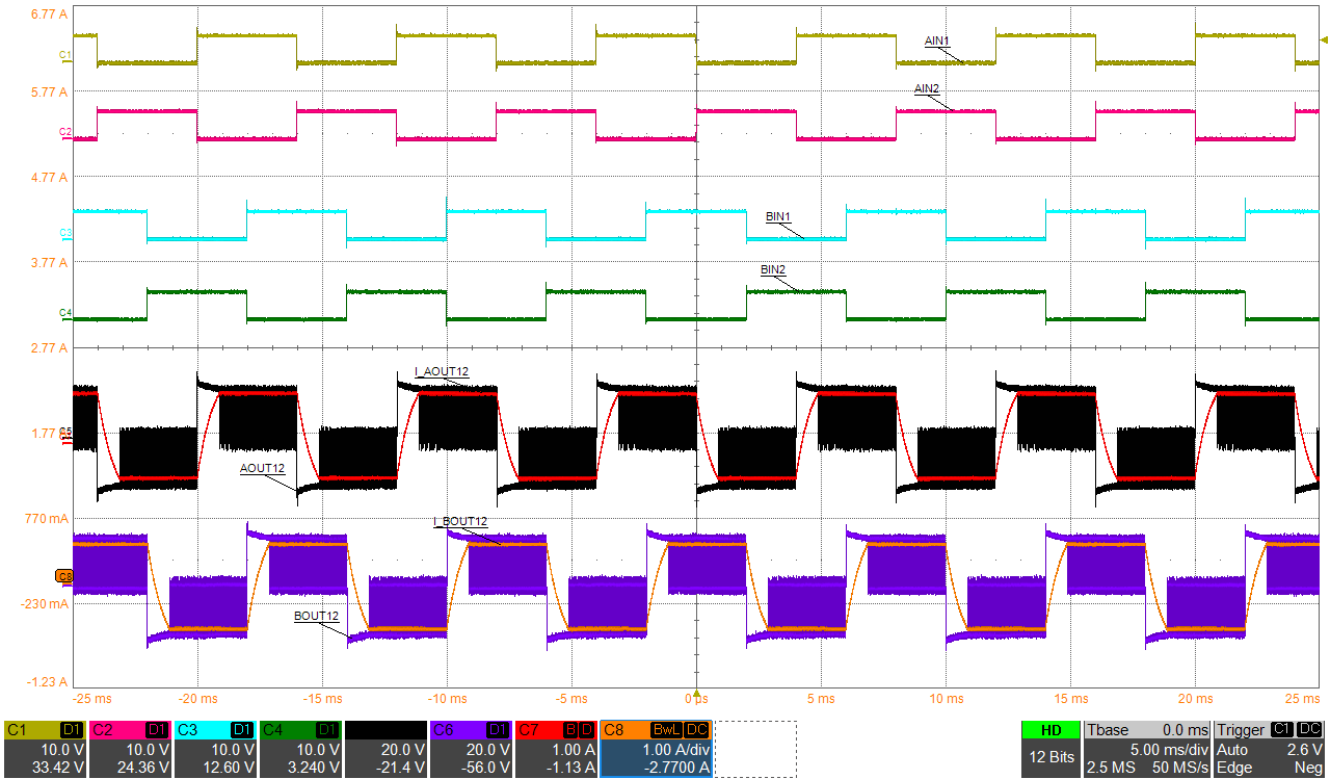


图 10-5. 步进电机全步进运行

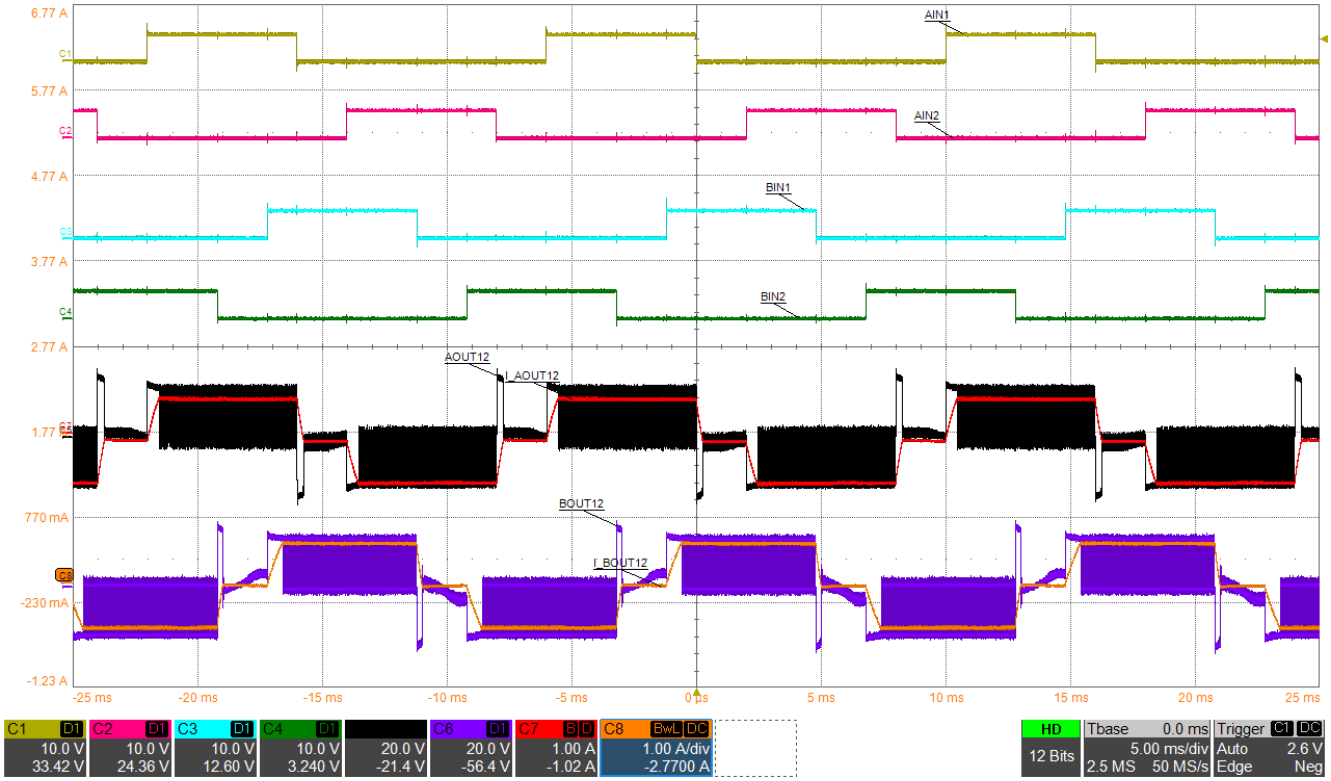


图 10-6. 快速衰减下的步进电机半步进运行

Copyright © 2023 Texas Instruments Incorporated

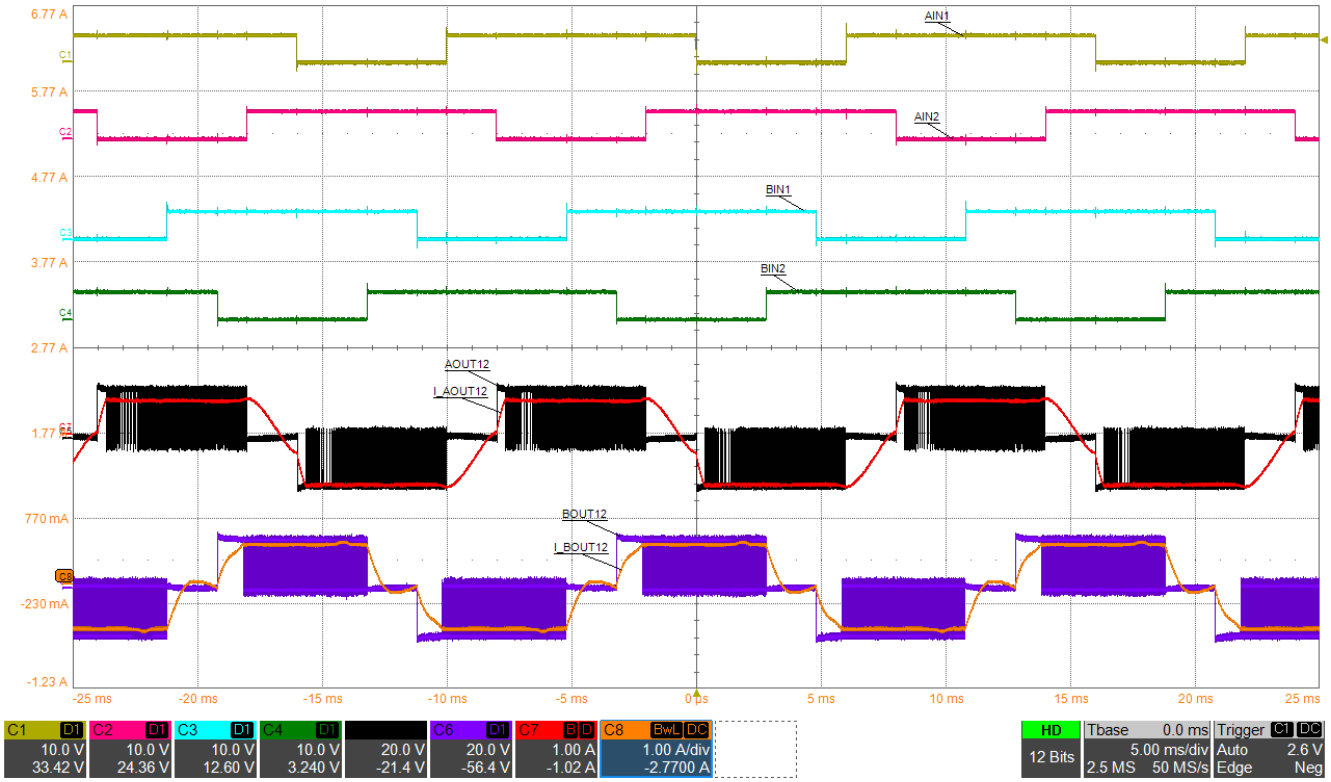


图 10-7. 慢速衰减下的步进电机半步进运行

Copyright © 2023 Texas Instruments Incorporated

10.1.1.2 双 BDC 电机应用

图 10-8 显示了用于驱动两个 BDC 电机的 DRV8411 的典型应用。

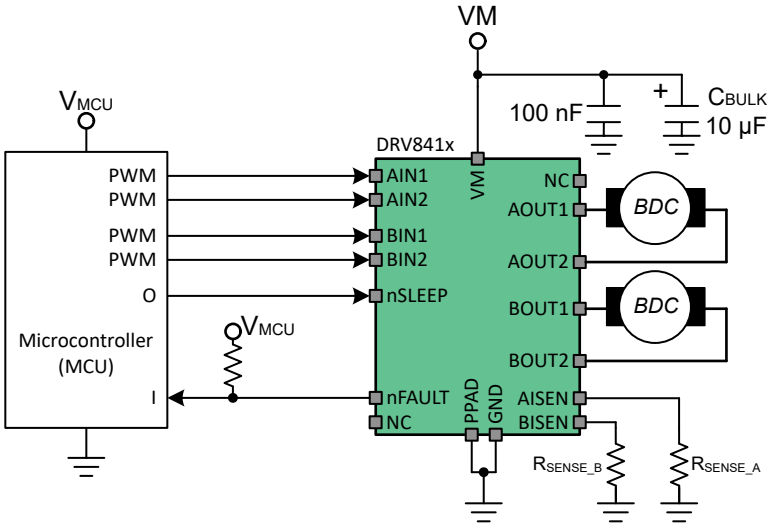


图 10-8. 驱动两个 BDC 电机的器件的典型应用原理图

10.1.1.2.1 设计要求

表 10-2 列出了系统设计的设计输入参数。

表 10-2. 设计参数

设计参数	基准	示例值
电机电源电压	V_M	7V
电机绕组电阻	R_L	7.8Ω
电机绕组电感	L_L	500 µH
电机均方根电流	I_{RMS}	600mA
电机启动电流	I_{START}	900 mA
目标跳变电流	I_{TRIP}	1A
跳变电流基准电压（内部电压）	V_{TRIP}	200mV

10.1.1.2.2 详细设计过程

10.1.1.2.2.1 电机电压

应用中使用的电机电压取决于所选电机的额定值和所需的每分钟转数 (RPM)。电压越高，有刷直流电机就旋转得越快，同时将相同的 PWM 占空比应用于功率 FET。更高的电压也会增加通过感应电机绕组的电流变化率。

10.1.1.2.2.2 电流调节

跳变电流 (I_{TRIP}) 是通过任一绕组驱动的最大电流。由于电机的峰值电流（启动电流）为 900mA，因此选择的 I_{TRIP} 电流电平刚好大于峰值电流。本例选择的 I_{TRIP} 值为 1A。因此，可使用方程式 4 来选择连接到 AISEN 和 BISEN 引脚的检测电阻（R_{SENSE_A} 和 R_{SENSE_B}）的值。

$$R_{SENSE_A} = R_{SENSE_B} = 0.2V/I_{TRIP} = 0.2V/1A = 200m\,\Omega \quad (4)$$

10.1.1.2.2.3 感测电阻

为获得更佳性能，检测电阻必须：

- 为表面贴装元件
- 具有低电感

Copyright © 2023 Texas Instruments Incorporated

- 额定功率足够高
- 放置在靠近电机驱动器的位置

检测电阻耗散的功率等于 $I_{RMS}^2 \times R$。在此示例中，峰值电流为 900mA，RMS 电机电流为 600mA，检测电阻值为 200mΩ。因此，检测电阻（$R_{SENSE12}$ 和 $R_{SENSE34}$）耗散 72mW ($600mA^2 \times 200m\Omega = 72mW$)。随着电流电平升高，功耗迅速增加。

电阻器通常在一定的环境温度范围内具有额定的功率，而对于高温环境，功率曲线会降额。当印刷电路板 (PCB) 与其他发热元件共用时，应增加裕度。对于优秀实践，应测量最终系统中的实际检测电阻温度以及功率 MOSFET，因为这些元件通常是最热的。

由于功率电阻器比标准电阻器更大且更昂贵，因此通常的做法是在检测节点和接地之间并联多个标准电阻器。这种做法可分散电流和散发热量。

10.1.1.2.3 应用曲线

Ch 1 = AOUT2，Ch 2 = BIN2，Ch 3 = AIN1，Ch 4 = BOUT1，Ch 6 = AIN2，Ch 7 = AOUT12 电流，Ch M7 = BOUT12 电流

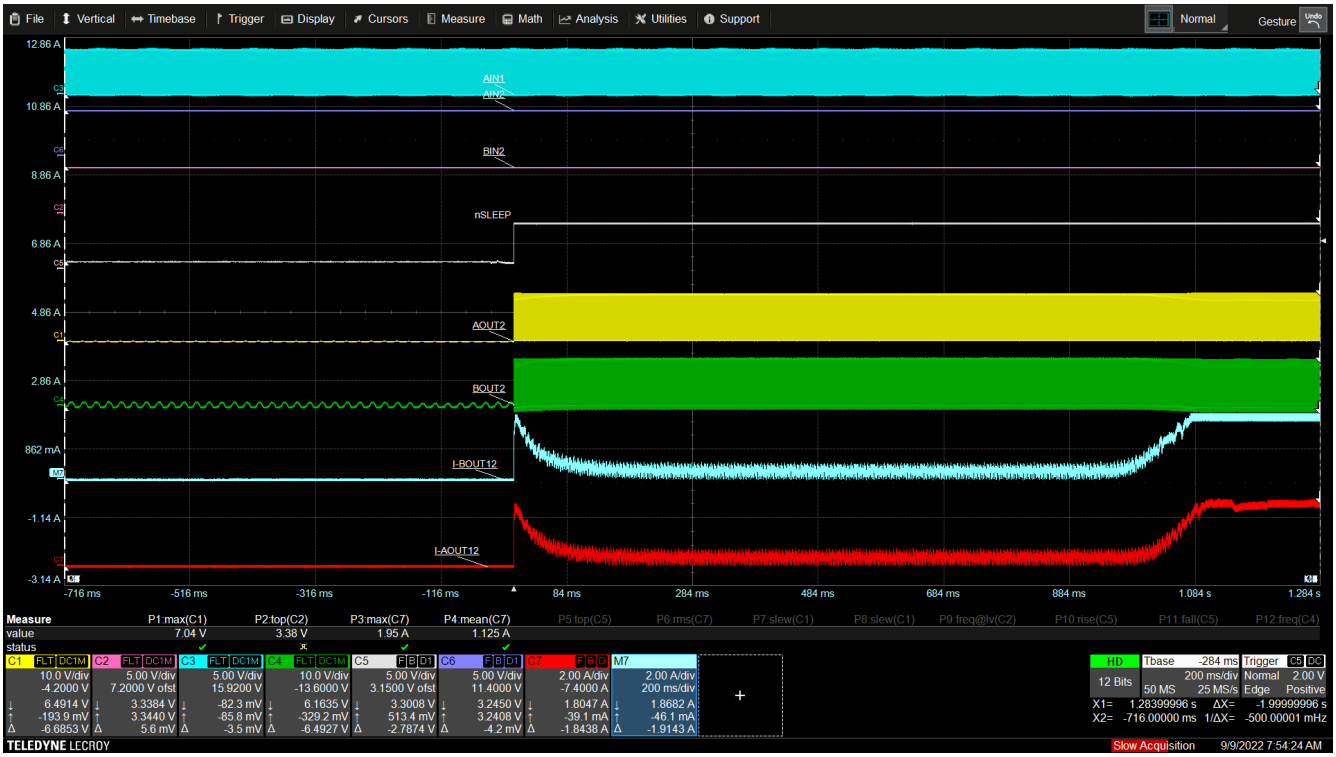


图 10-9. 无电流调节

Copyright © 2023 Texas Instruments Incorporated



图 10-10. 电流调节

10.1.1.3 散热注意事项

10.1.1.3.1 最大输出电流

在实际运行中，电机驱动器可实现的最大输出电流是内核温度的函数。这反过来又受到环境温度和 PCB 设计的很大影响。基本上，最大电机电流将是导致以下功率耗散水平的电流量：该功率耗散水平与封装和 PCB 的热阻一起，将内核保持在足够低的温度以防止热关断。

数据表中给出的耗散额定值可用作指南，以计算几种不同 PCB 结构在不进入热关断状态的情况下可能实现的近似最大功率耗散。然而，为了获得准确的数据，必须通过测量或热仿真来分析实际的 PCB 设计。

10.1.1.3.2 功率耗散

器件中的功率耗散主要由输出 FET 电阻或 $R_{DS(ON)}$ 中耗散的直流功率决定。PWM 开关损耗会导致耗散额外的功率，具体取决于 PWM 频率、上升和下降时间以及 VM 电源电压。

一个 H 桥的直流功率耗散可通过方程式 5 大致估算。

$$P_{TOT} = \left(HS - R_{DS(ON)} \times I_{OUT(RMS)}^{2}\right) + \left(LS - R_{DS(ON)} \times I_{OUT(RMS)}^{2}\right) \quad (5)$$

其中

- P_{TOT} 是总功率耗散
- HS - $R_{DS(ON)}$ 是高侧 FET 的电阻
- LS - $R_{DS(ON)}$ 是低侧 FET 的电阻
- $I_{OUT(RMS)}$ 是施加到电机的 RMS 输出电流

$R_{DS(ON)}$ 随温度升高而增加，因此随着器件发热，功率耗散也会增大。在估算最大输出电流时必须考虑这一点。

Copyright © 2023 Texas Instruments Incorporated

10.1.1.3.3 热性能

数据表指定的结至环境热阻 $R_{\theta JA}$ 主要用于比较各种驱动器或者估算热性能。不过，实际系统性能可能比此值更好或更差，具体情况取决于 PCB 层叠、布线、过孔数量以及散热焊盘周围的铜面积。驱动器驱动特定电流的时间长度也会影响功耗和热性能。本节介绍了如何设计稳态和瞬态温度条件。

本节中的数据是按如下标准仿真得出的：

HTSSOP（PWP 封装）

- 2 层 PCB（尺寸 114.3mm x 76.2mm x 1.6mm），标准 FR4，1oz（35mm 铜厚度）或 2oz 铜厚度。散热过孔仅存在于散热焊盘下方（12 个过孔采用 4 x 3 阵列，1mm 间距，0.2mm 直径，0.025mm 铜镀层）。
  - 顶层：HTSSOP 封装尺寸和铜平面散热器。顶层覆铜区在仿真中有所不同。
  - 底层：接地层通过驱动器的散热焊盘下方的过孔进行热连接。底层铜面积随顶层铜面积而变化。
- 4 层 PCB（尺寸 114.3mm x 76.2mm x 1.6mm），标准 FR4。外侧平面具有 1oz（35mm 覆铜厚度）或 2oz 覆铜厚度。内侧平面保持在 1oz。散热过孔仅存在于散热焊盘下方（12 个过孔采用 4 x 3 阵列，1mm 间距，0.2mm 直径，0.025mm 铜镀层）。
  - 顶层：HTSSOP 封装尺寸和铜平面散热器。顶层铜面积在模拟中有所不同。
  - 中间层 1：GND 平面通过过孔热连接至散热焊盘。接地平面的面积为 74.2mm x 74.2mm。
  - 中间层 2：电源平面，无热连接。电源平面的面积为 74.2mm x 74.2mm。
  - 底层：带有小型铜焊盘的信号层，位于驱动器下方，通过来自顶部和内部 GND 平面的过孔拼接进行热连接。底层散热焊盘的尺寸与封装相当 (5mm x 4.4mm)。虽然顶部铜平面的尺寸并不固定，但底部焊盘的尺寸保持不变。

图 10-11 显示了 HTSSOP 封装的模拟电路板示例。表 10-3 显示了每次仿真时使用的不同板尺寸。

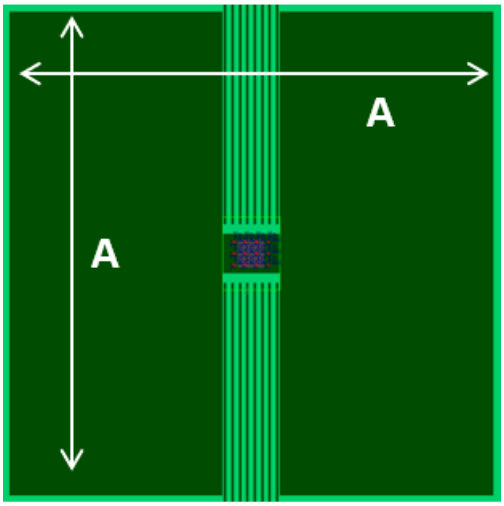


图 10-11. HTSSOP PCB 模型顶层

表 10-3. 用于 16 引脚 PWP 封装的尺寸 A

铜面积 (cm^2)	尺寸 A（mm）
2	16.43
4	22.23
8	30.59
16	42.37

WQFN（RTE 封装）

Copyright © 2023 Texas Instruments Incorporated

- 2 层 PCB（尺寸 114.3mm x 76.2mm x 1.6mm），标准 FR4，1oz（35mm 铜厚度）或 2oz 铜厚度。散热过孔仅存在于封装尺寸下方（5 个过孔，1mm 间距，0.2mm 直径，0.025mm 铜镀层）。
  - 顶层：WQFN 封装尺寸和布线。
  - 底层：接地层通过封装尺寸下的过孔进行热连接。底层覆铜区在仿真中有所不同。
- 4 层 PCB（尺寸 114.3mm x 76.2mm x 1.6mm），标准 FR4。外侧平面具有 1oz（35mm 覆铜厚度）或 2oz 覆铜厚度。内侧平面保持在 1oz。散热过孔仅存在于封装尺寸下方（5 个过孔，1mm 间距，0.2mm 直径，0.025mm 铜镀层）。
  - 顶层：WQFN 封装尺寸和布线。
  - 中间层 1：GND 平面通过过孔在封装尺寸下进行热连接。接地平面的面积为 74.2mm x 74.2mm。
  - 中间层 2：电源平面，无热连接。电源平面的面积为 74.2mm x 74.2mm。
  - 底层：带有小型铜焊盘的信号层，位于驱动器下方，通过来自顶部和内部 GND 平面的过孔拼接进行热连接。底层散热焊盘为 1.55mm x 1.55mm。底层散热焊盘的尺寸与封装相同 (3mm x 3mm)。底部焊盘的尺寸保持不变。

图 10-12 显示了 HTSSOP 封装的模拟电路板示例。表 10-4 显示了每次仿真时使用的不同板尺寸。

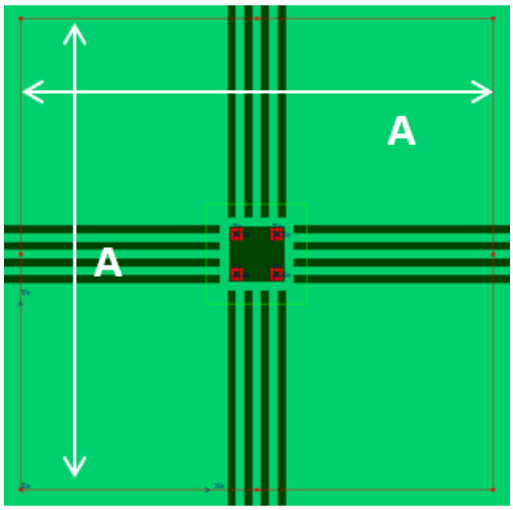


图 10-12. WQFN PCB 模型顶层

表 10-4. 用于 16 引脚 RTE 封装的尺寸 A

铜面积 (cm^2)	尺寸 A（mm）
2	14.14
4	20.00
8	28.28
16	40.00

10.1.1.3.3.1 稳态热性能

“稳态”条件假设电机驱动器在很长一段时间内以恒定的 RMS 电流工作。本部分中的图显示了 $R_{\theta JA}$ 和 Ψ_{JB}（结至电路板特征参数）如何随 PCB 的铜面积、覆铜厚度和 层数而变化。铜面积越大、层数越多、铜平面越厚，$R_{\theta JA}$ 和 Ψ_{JB} 就越小，表明 PCB 布局的热性能越强。

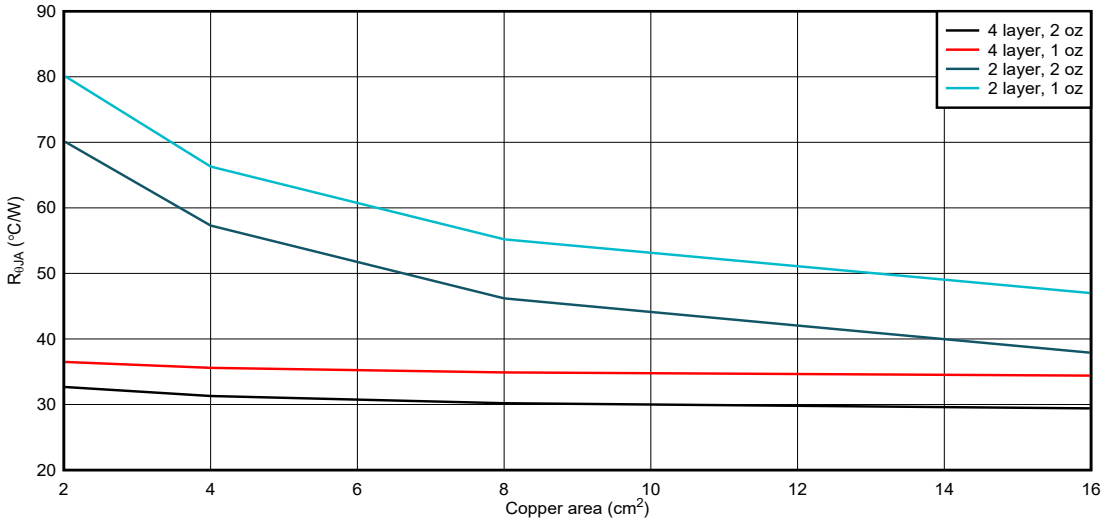


图 10-13. HTSSOP、PCB 结至环境热阻与铜面积间的关系

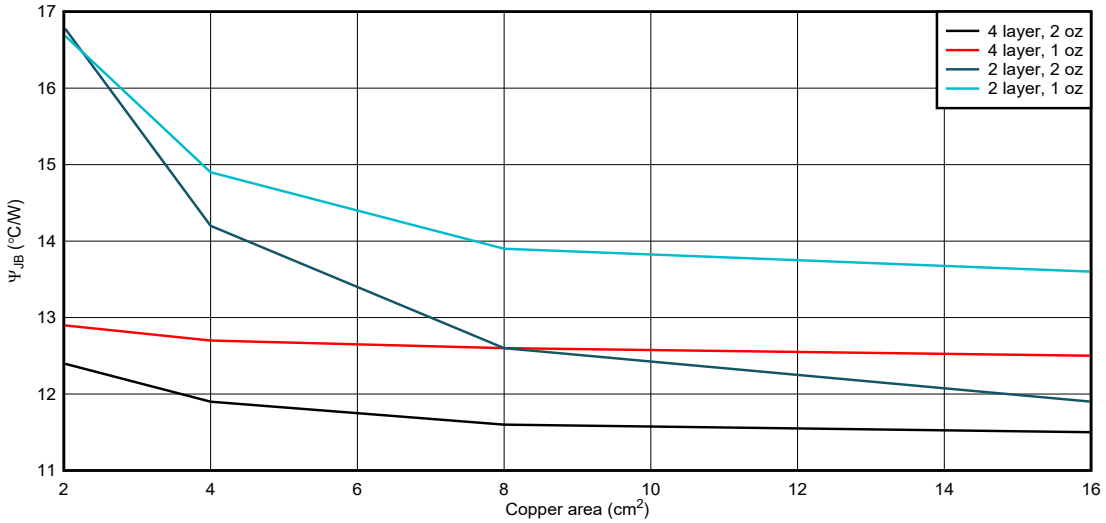


图 10-14. HTSSOP、结至电路板特征参数与铜面积间的关系

Copyright © 2023 Texas Instruments Incorporated

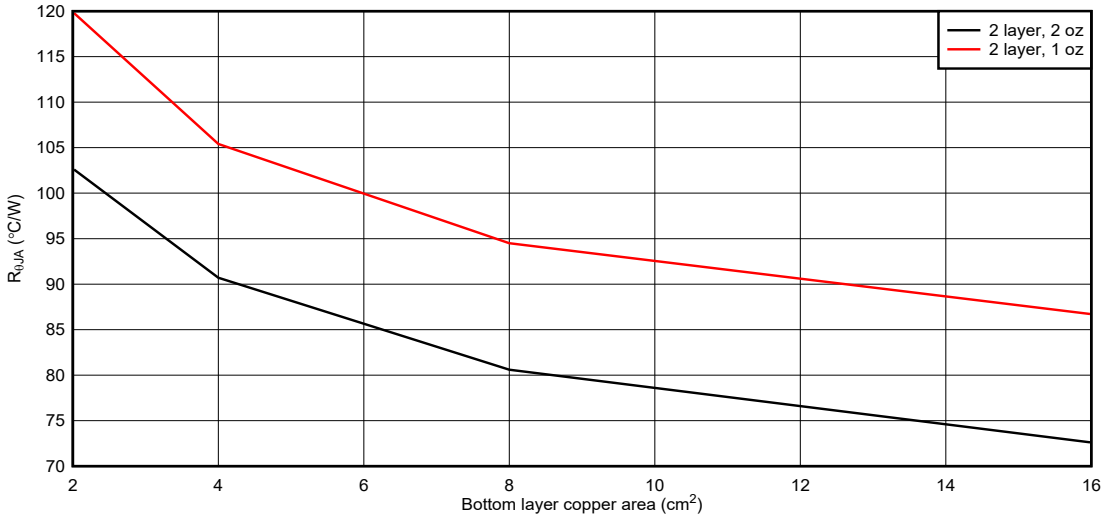


图 10-15. WQFN、PCB 结至环境热阻与铜面积间的关系

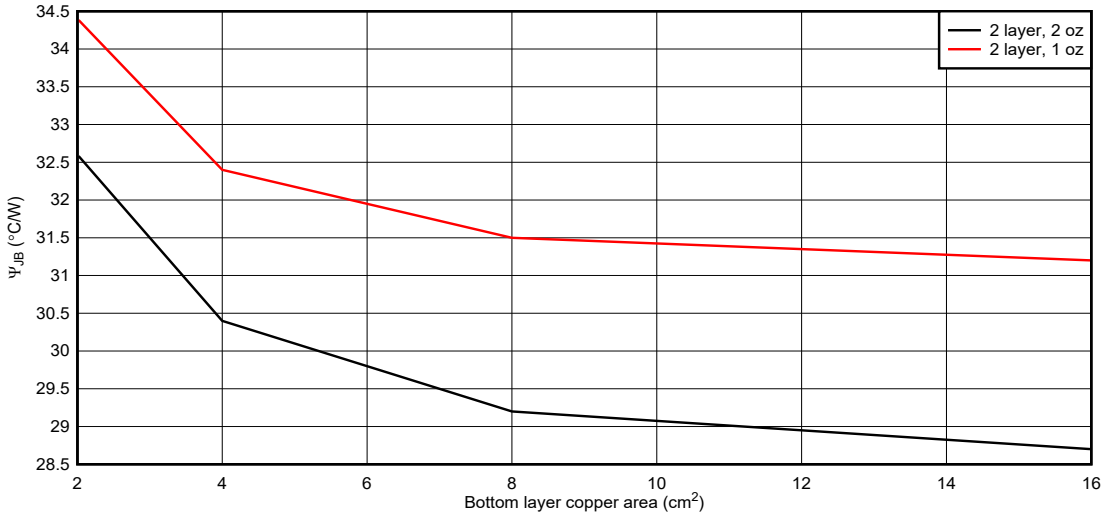


图 10-16. WQFN、结至电路板特征参数与铜面积间的关系

10.1.1.3.3.2 瞬态热性能

电机驱动器可能会遇到不同的瞬态驱动条件，导致大电流在短时间内流动。这些条件可能包括

- 转子最初静止时的电机启动。
- 电机输出之一的电源或接地短路且触发过流保护时的故障条件。
- 在有限的时间内为电机或螺线管短暂通电，然后再断电。

对于这些瞬态情况，除了铜面积和覆铜厚度之外，驱动持续时间是影响热性能的另一个因素。在瞬态情况中，热阻抗参数 $Z_{\theta JA}$ 表示结至环境热性能。本部分中的图显示了 HTSSOP 封装和 WQFN 封装的 1oz 和 2oz 铜布局的模拟热阻抗。这些图表表明，短电流脉冲具有更好的热性能。对于更短的驱动时间，器件的裸片尺寸和封装决定了热性能。对于更长的驱动脉冲，电路板布局布线对热性能的影响更大。这两个图表都显示了随着驱动脉冲持续时间的增加，层数和覆铜区导致的热阻抗分裂曲线。可以将长脉冲视为稳态性能。

Copyright © 2023 Texas Instruments Incorporated

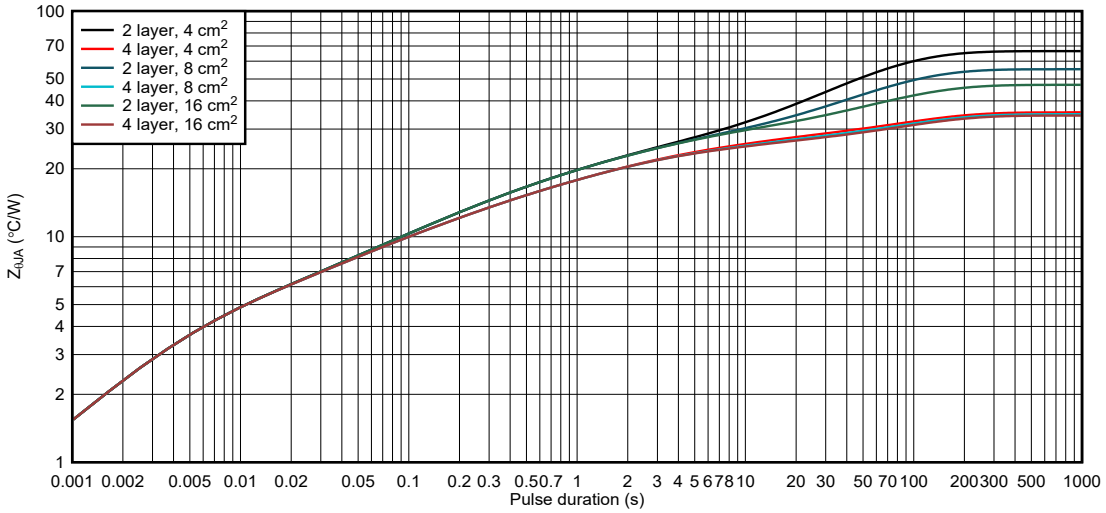


图 10-17. 1oz 铜布局的 HTSSOP 封装结至环境热阻抗

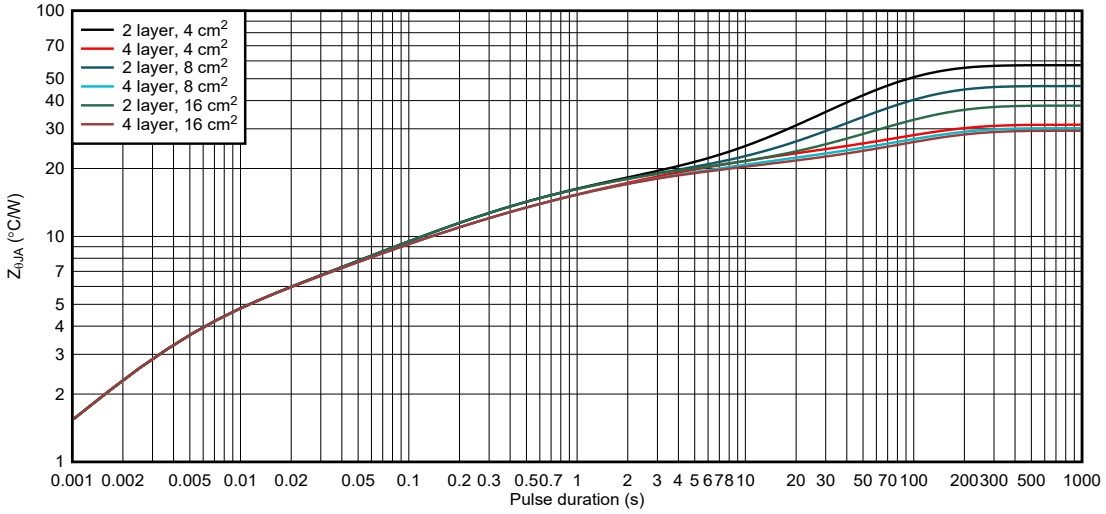


图 10-18. 2oz 铜布局的 HTSSOP 封装结至环境热阻抗

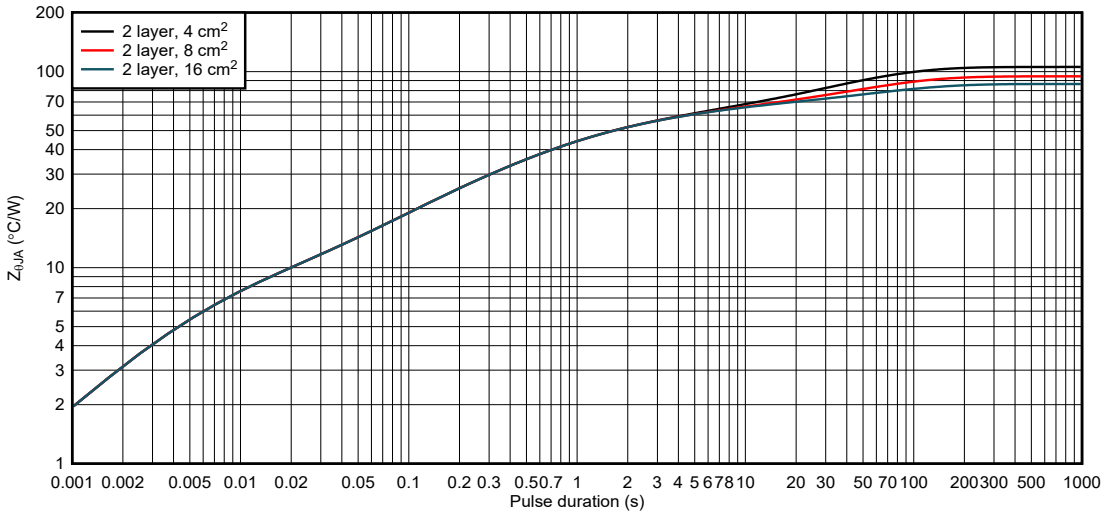


图 10-19. 1oz 铜布局的 WQFN 封装结至环境热阻抗

Copyright © 2023 Texas Instruments Incorporated

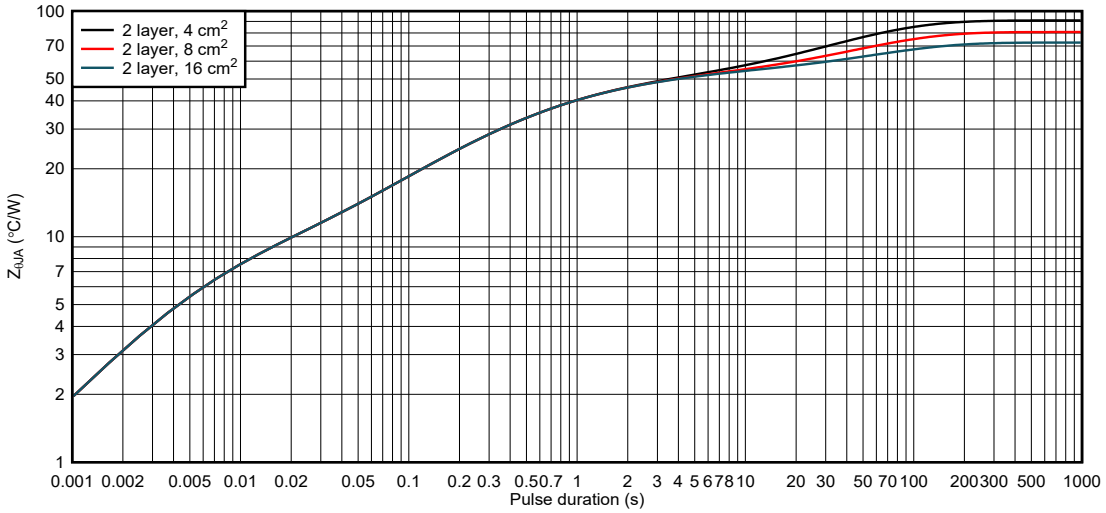


图 10-20. 2oz 铜布局的 WQFN 封装结至环境热阻抗

10.1.1.4 具有标准电机驱动器引脚排列的多源供应

这些器件使用的是采用 PWP 和 RTE 封装的业界通用封装尺寸。

如节 5 所示，DRV8410/11/11A 器件与 DRV8833 和 DRV8833C 引脚对引脚兼容。其他供应商提供的许多驱动器具有与 DRV8833 和 DRV8833C 类似的封装尺寸。

- 当更换与 DRV8833 类似的器件时，用户应在设计文件中将内部稳压器 (VINT) 和电荷泵 (VCP) 的电容器设置为 DNP（请勿放置）以将其移除。
- 与 DRV8833 和 DRV8833C 一样，用于电流调节的内部电压基准为 200mV。由于电压基准相同，因此系统仍然可以使用为 DRV8833 或其他具有相同引脚排列的辅助源驱动器设计的相同 xISEN 电阻值。
- DRV841xPWP 使用的封装尺寸可以与采用 HTSSOP 封装的 DRV8833 和 DRV8833C 相同，如图 10-21 和图 10-22 所示。
- DRV841xRTE 的封装尺寸仅与采用 3mm x 3mm QFN 封装的 DRV8833C 和其他供应商的器件兼容。

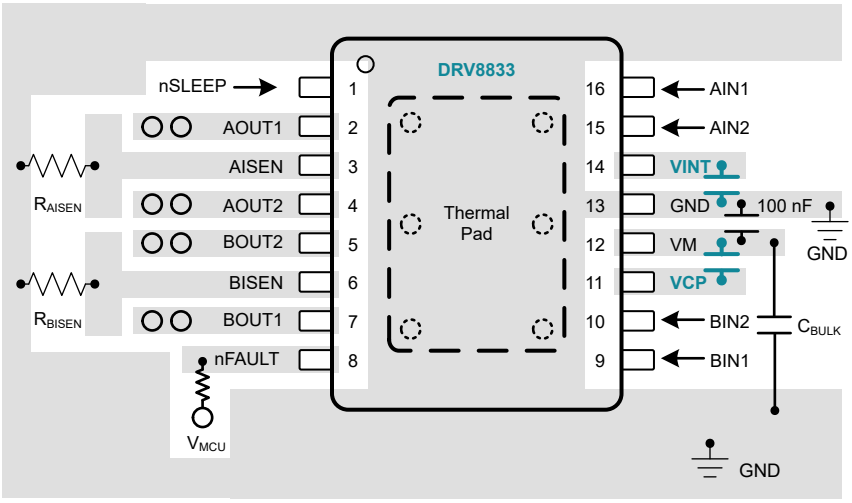


图 10-21. DRV8833 布局示例

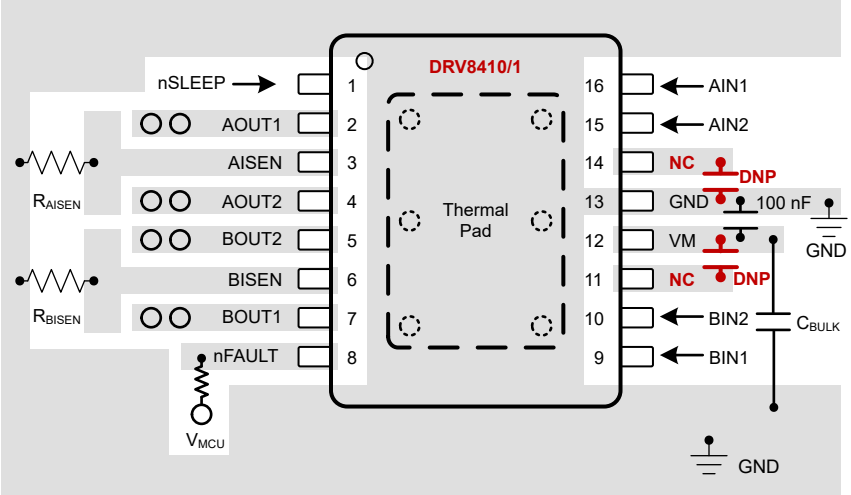


图 10-22. DRV8410/1 封装尺寸兼容布局示例

Copyright © 2023 Texas Instruments Incorporated

11 电源相关建议

11.1 大容量电容

配备合适的局部大容量电容是电机驱动系统设计中的一项重要因素。使用更多的大容量电容通常是有益的，但缺点是增加了成本和物理尺寸。

所需的局部电容数量取决于多种因素，包括：

- 电机系统所需的最高电流
- 电容和拉电流的能力
- 电源和电机系统之间的寄生电感量
- 可接受的电压纹波
- 使用的电机类型（有刷直流、无刷直流、步进电机）
- 电机制动方法

电源与电机驱动系统之间的电感限制了电流随着电源而变化的速率。如果局部大容量电容太小，系统会响应电机电压变化带来的过大的电流需求或转储。当使用足够大的大容量电容时，电机电压保持稳定，并且可以快速提供大电流。

数据表通常会给出建议值，但需要进行系统级测试来确定大小适中的大容量电容。

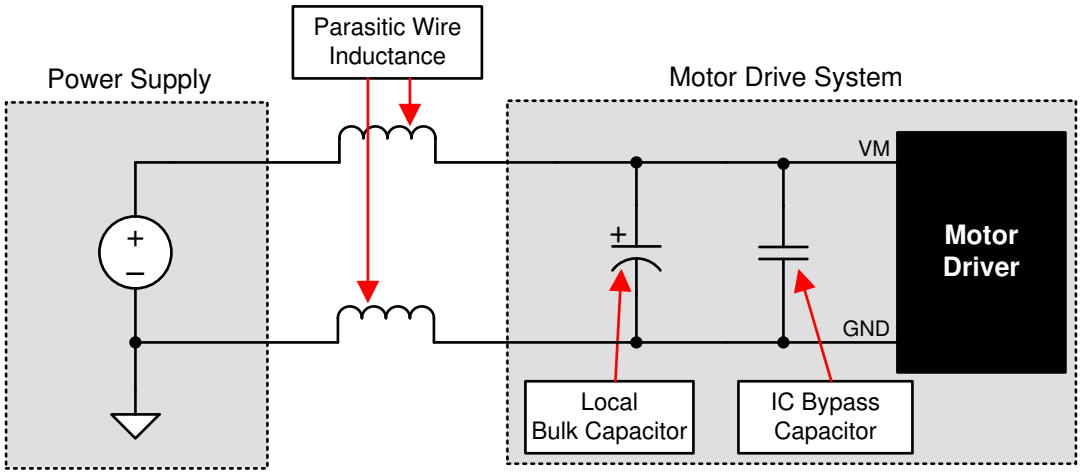


图 11-1. 带外部电源的电机驱动系统示例设置

大容量电容的额定电压应高于工作电压，以便在电机向电源传递能量时提供裕度。

11.2 电源和逻辑时序

为 DRV8411 通电没有特定的顺序。在施加 VM 之前，数字输入信号的存在是可以接受的。在将 VM 施加到 DRV8411 后，该器件将根据控制引脚的状态开始运行。

Copyright © 2023 Texas Instruments Incorporated

12 布局

12.1 布局指南

由于 DRV8411 器件已集成了能够驱动大电流的功率 MOSFET，因此，应特别注意布局设计和外部元件放置。下面提供了一些设计和布局指南。有关布局建议的更多信息，请参阅应用手册*电机驱动器电路板布局最佳实践*。

- VM 至 GND 应使用低 ESR 陶瓷电容器。建议使用 X5R 和 X7R 类型的电容器。
- VM 电源电容器应放置在尽可能靠近器件的位置，以尽可能减少环路电感。
- VM 电源大容量电容器可以是陶瓷电容器或电解电容器，但也应尽可能靠近器件放置，以最大限度减小回路电感。
- VM、xOUTx 和 GND 引脚承载着从电源传输到输出，然后重新传回到接地的大电流。对于这些迹线，应使用厚金属布线（如果可行）。
- GND 应直接连接到 PCB 接地平面上。
- 应通过热过孔将器件散热焊盘连接到 PCB 顶层接地平面和内部接地平面（如果可用），以获得最强的 PCB 散热能力。
- 应尽可能扩大连接到散热焊盘的铜平面面积，以确保获得最佳散热效果。

12.2 布局示例

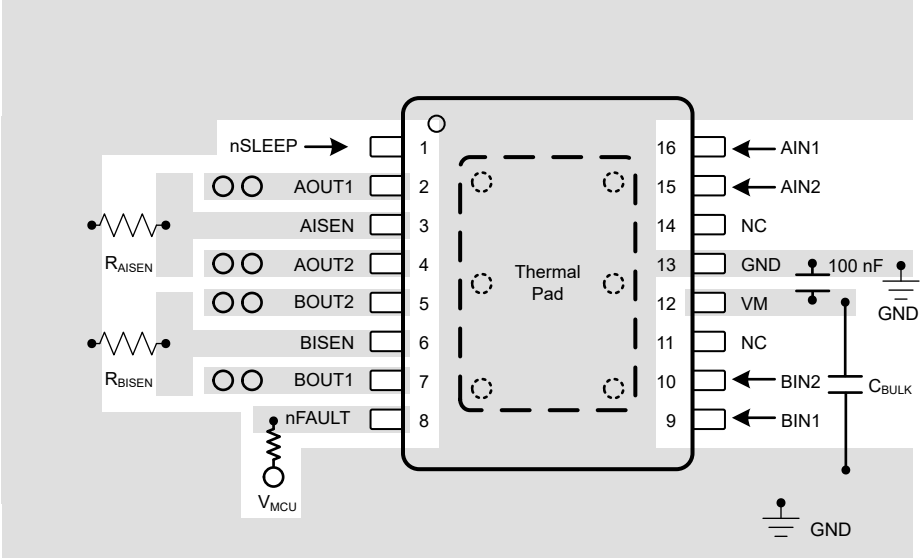


图 12-1. PWP (HTSSOP) 和 DYZ（薄型 SOT）封装的建议布局示例

Copyright © 2023 Texas Instruments Incorporated

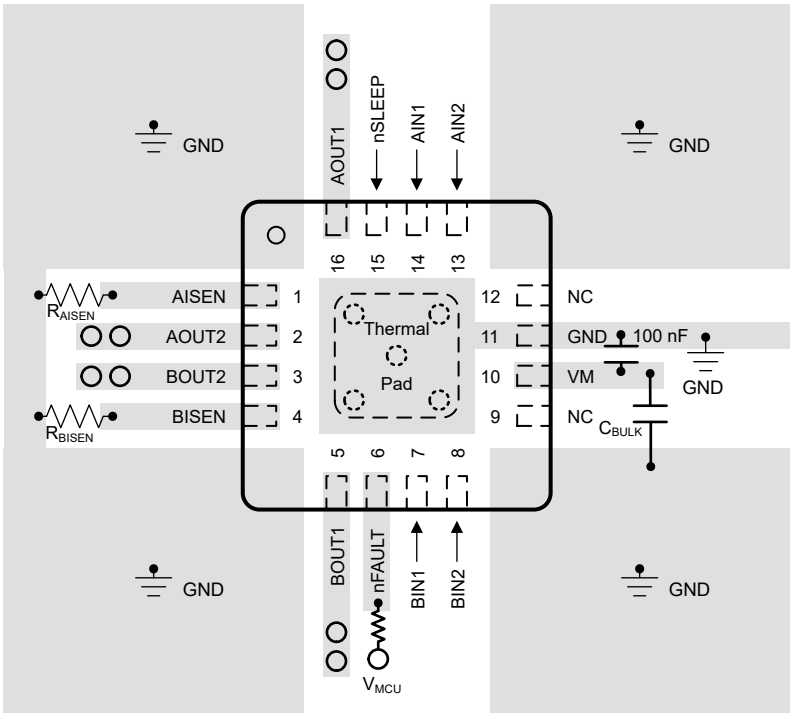


图 12-2. RTE (WQFN) 封装的建议布局示例

13 器件和文档支持

13.1 文档支持

13.1.1 相关文档

请参阅如下相关文档：

- 德州仪器（TI），*计算电机驱动器的功耗* 应用报告
- 德州仪器（TI），*PowerPAD™ 速成* 应用报告
- 德州仪器（TI），*PowerPAD™ 热增强型封装* 应用报告
- 德州仪器（TI），*了解电机驱动器电流额定值* 应用报告
- 德州仪器（TI），*电机驱动器电路板布局最佳实践* 应用报告

13.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击右上角的 *订阅最新信息* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

13.3 社区资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

13.4 商标

所有商标均为其各自所有者的财产。

Copyright © 2023 Texas Instruments Incorporated

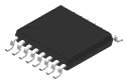
14 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2023 Texas Instruments Incorporated

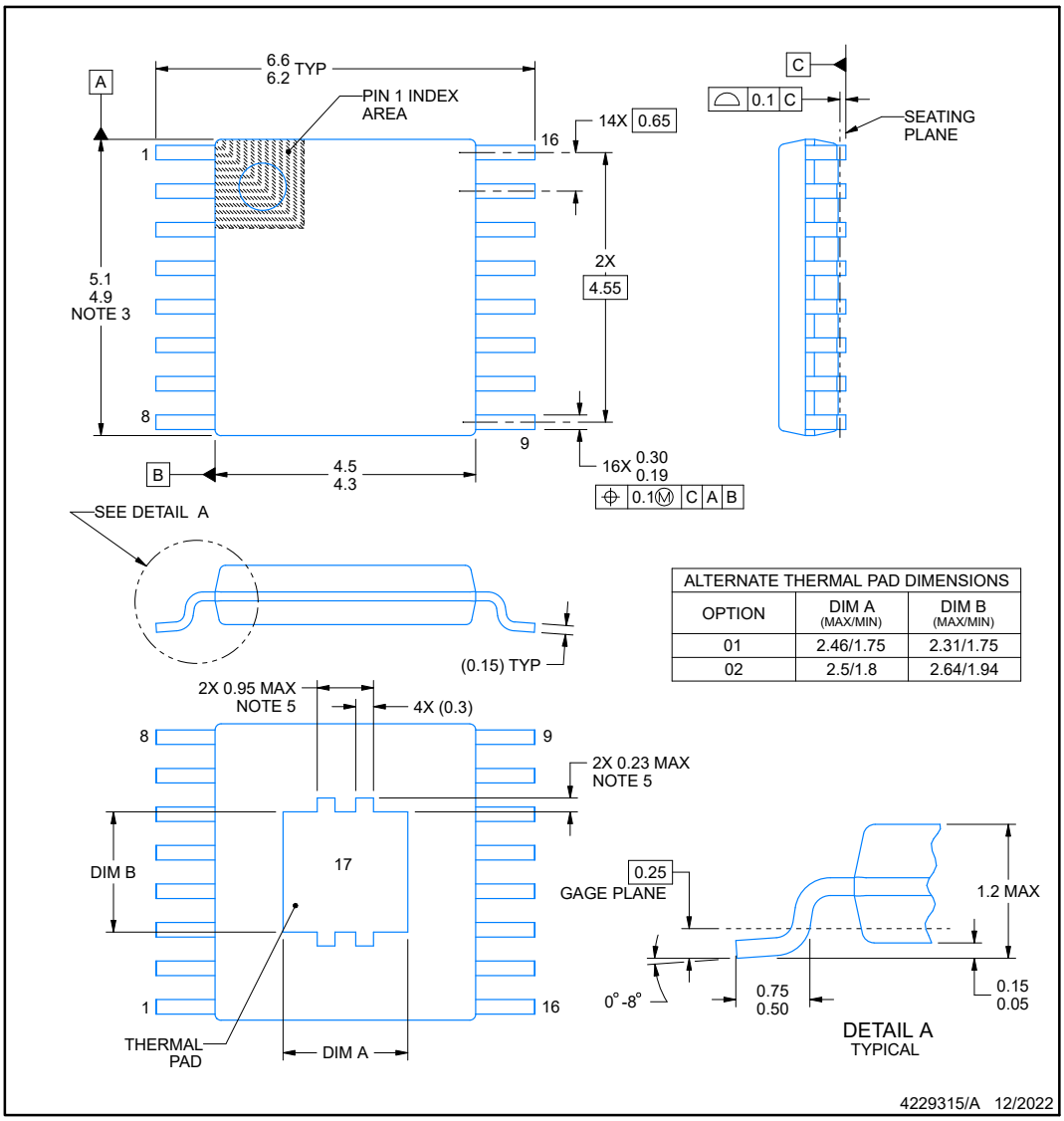
PACKAGE OUTLINE

PWP0016-C01



PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



ALTERNATE THERMAL PAD DIMENSIONS		
OPTION	DIM A (MAX/MIN)	DIM B (MAX/MIN)
01	2.46/1.75	2.31/1.75
02	2.5/1.8	2.64/1.94

PowerPAD is a trademark of Texas Instruments.

NOTES:

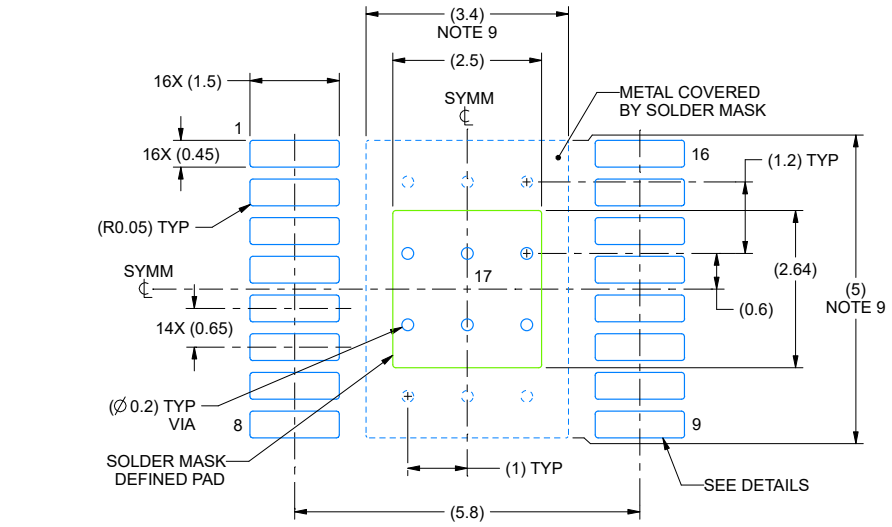
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

Copyright © 2023 Texas Instruments Incorporated

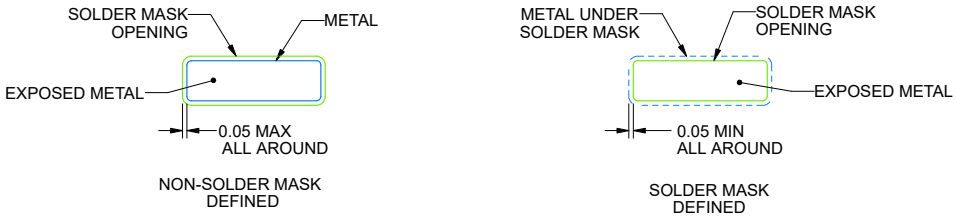
EXAMPLE BOARD LAYOUT

PWP0016-C01 — **PowerPAD™ TSSOP - 1.2 mm max height**

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4229315/A 12/2022

NOTES: (continued)

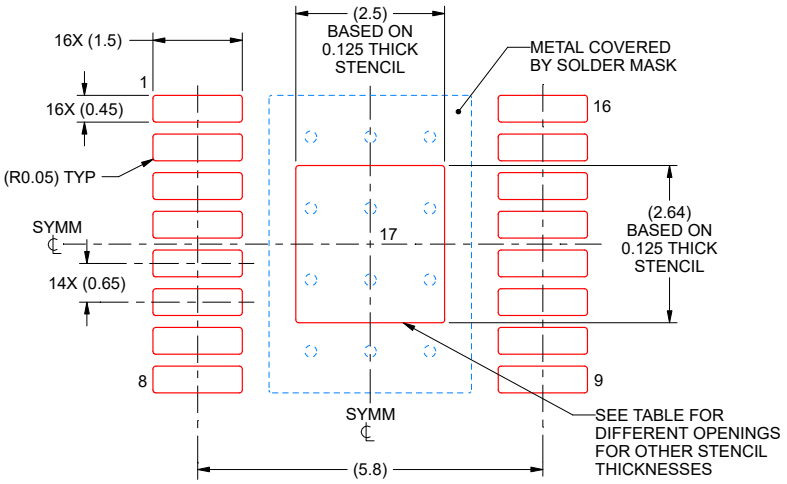
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2023 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

PWP0016-C01 — **PowerPAD™ TSSOP - 1.2 mm max height**

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.80 X 2.95
0.125	2.5 X 2.64 (SHOWN)
0.15	2.28 X 2.41
0.175	2.11 X 2.23

4229315/A 12/2022

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
DRV8411PWPR	ACTIVE	HTSSOP	PWP	16	3000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	(8411, 8411A)	Samples
DRV8411RTER	ACTIVE	WQFN	RTE	16	5000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8411	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

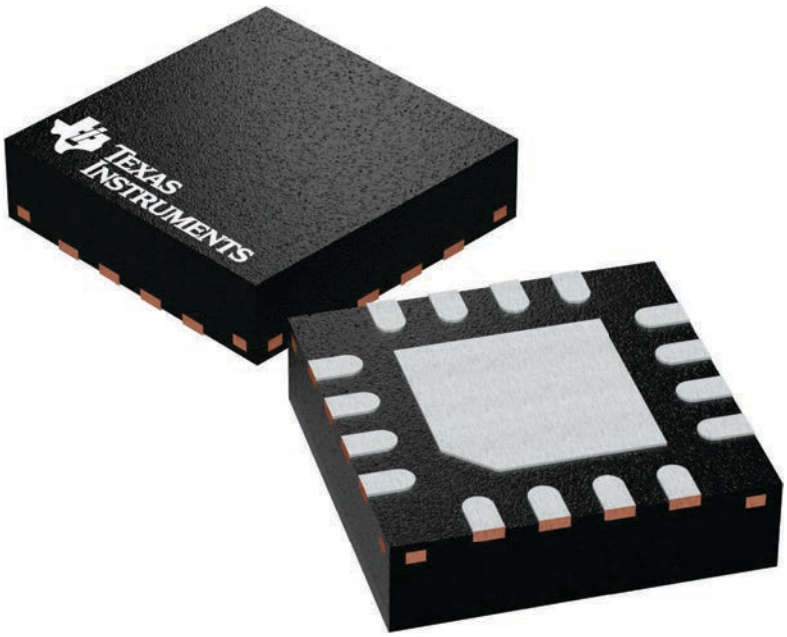
RTE 16

WQFN - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

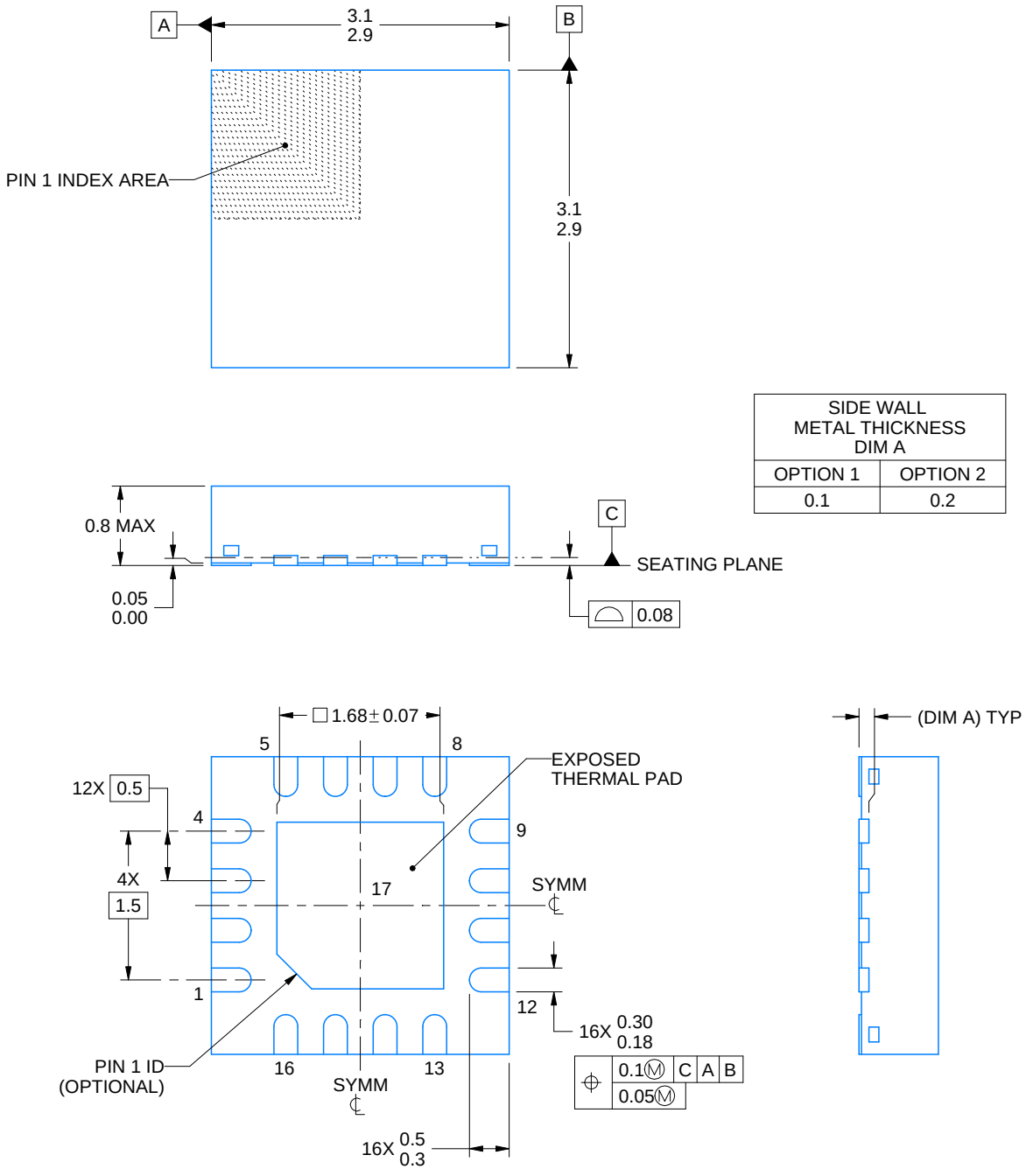


RTE0016C

PACKAGE OUTLINE

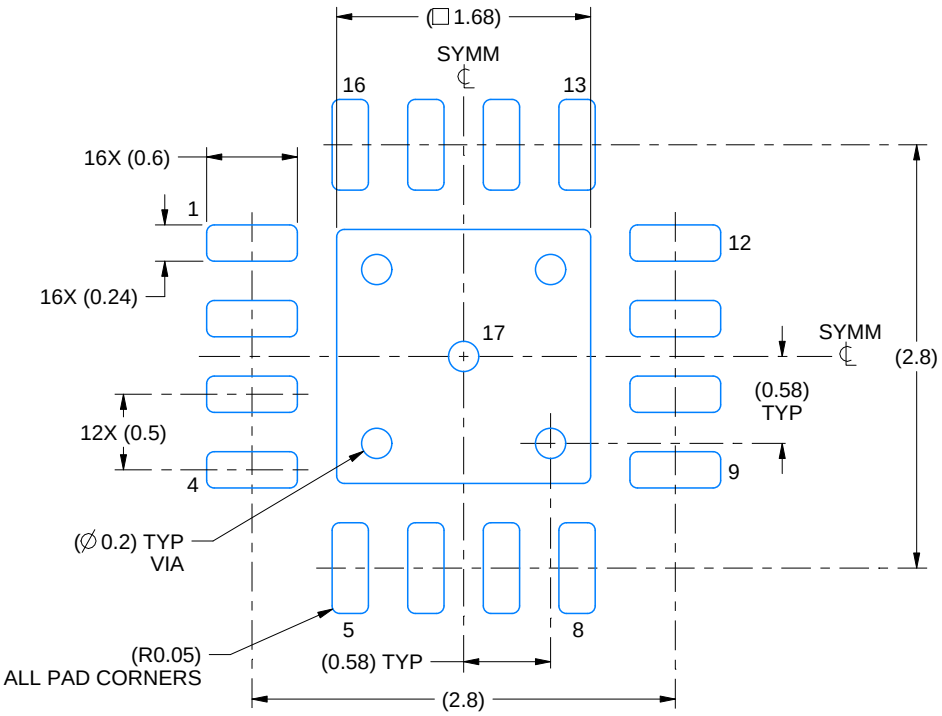
WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

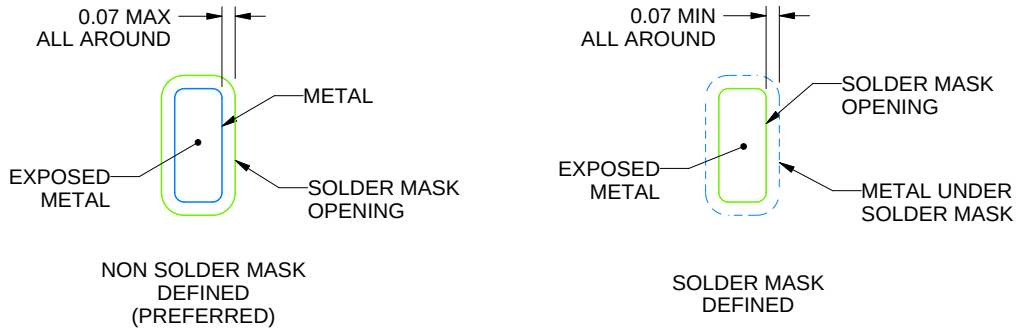


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

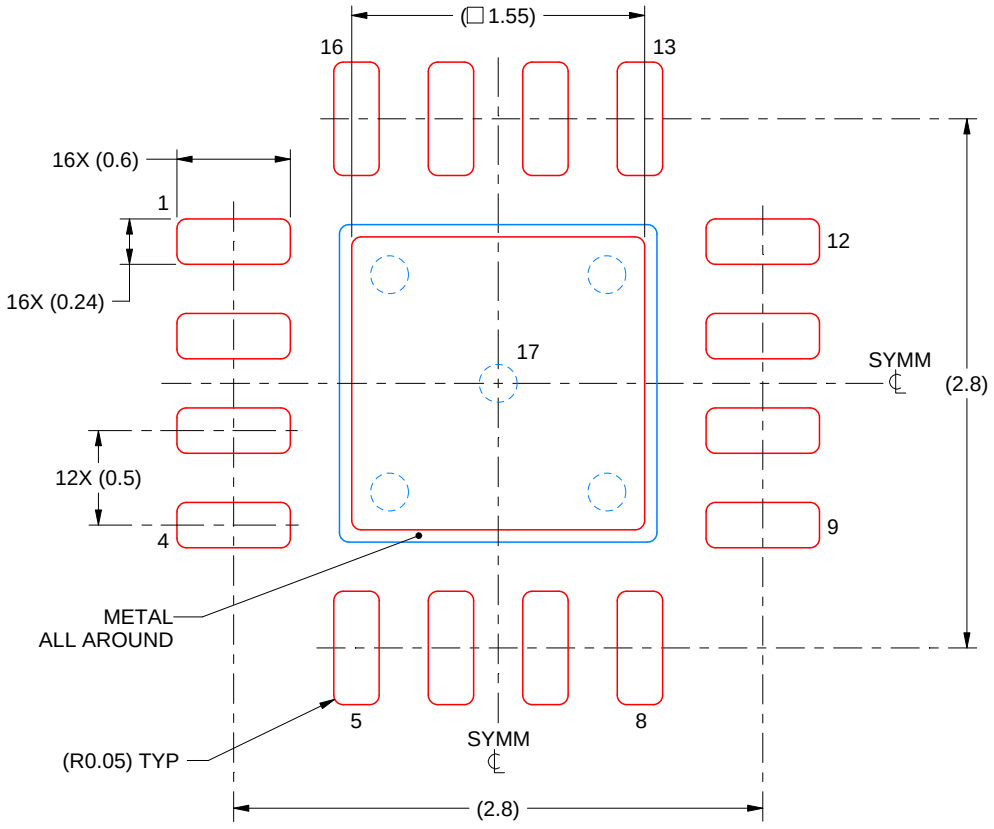


SOLDER MASK DETAILS

4219117/B 04/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023，德州仪器 (TI) 公司