

DRV8311-Q1 三相 PWM 电机驱动器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准
 - 温度等级 1 : $-40^{\circ}\text{C} \leq \text{TA} \leq 125^{\circ}\text{C}$
- 三相 PWM 电机驱动器
 - 三相无刷直流电机
- 3V 至 20V 工作电压
 - 24V 绝对最大电压
- 高输出电流能力
 - 5A 峰值电流驱动能力
- 低导通状态电阻 MOSFET
 - $\text{T}_A = 25^{\circ}\text{C}$ 时, $R_{\text{DS(ON)}} (\text{HS} + \text{LS})$ 为 210m Ω (典型值)
- 低功耗睡眠模式
 - $1.5\mu\text{A}$ ($V_{\text{VM}} = 12\text{V}$, $\text{T}_A = 25^{\circ}\text{C}$)
- 多种控制接口选项
 - 6x PWM 控制接口
 - 3x PWM 控制接口
 - 在 MCU 和 DRV8311-Q1 之间具有可选校准功能的 PWM 生成模式 (SPI/tSPI)
- tSPI (DRV8311P-Q1)
 - 可通过 SPI 进行 PWM 占空比和频率更新
 - 使用标准 4 线 SPI 控制多个 DRV8311P-Q1 器件
- 支持高达 200kHz 的 PWM 频率
- 集成电流检测
 - 无需外部电阻
 - 感测放大器输出, 每个半桥一个
- SPI 和硬件器件型号
 - 10 MHz SPI 通信 (SPI/tSPI)
- 支持 1.8V、3.3V 和 5V 逻辑输入
- 内置 $3.3V \pm 4.5\%$ 、100 mA LDO 稳压器
- 集成保护功能
 - VM 欠压锁定 (UVLO)
 - 电荷泵欠压 (CPUV)
 - 过流保护 (OCP)
 - 热警告和热关断 (OTW/OTSD)
 - 故障条件指示引脚 (nFAULT)

2 应用

- 方向盘调节模块
- 汽车热管理阀门
- LIDAR 模块
- 无刷直流 (BLDC) 电机模块

3 说明

DRV8311-Q1 提供了三个集成式 MOSFET 半 H 桥，用于驱动三相无刷直流 (BLDC) 电机，适用于 5V、9V、12V 或 18V 直流电源轨或 1S 至 4S 电池供电应用。该器件集成了三个具有集成电流检测功能的电流检测放大器 (CSA)，可感测 BLDC 电机的三相电流，从而实现出色的 FOC 和电流控制系统实现方案。

DRV8311P-Q1 器件可通过德州仪器 (TI) SPI (tSPI) 生成和配置 PWM 计时器，并可以直接通过 tSPI 控制多个 BLDC 电机。该功能可减少用于控制多个电机的初级控制器的 I/O 端口数量。

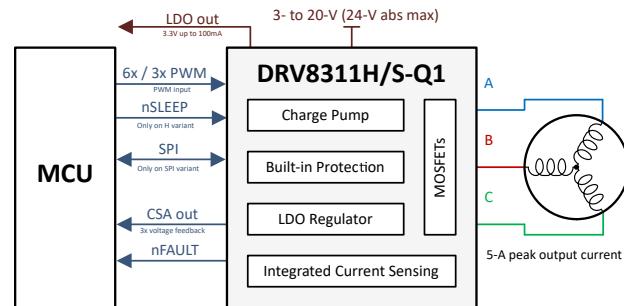
器件信息 (1)

器件型号	封装	封装尺寸 (标称值) (3)
DRV8311P-Q1	WQFN (24)	3.00mm × 3.00mm
DRV8311H-Q1 ⁽²⁾	WQFN (24)	3.00mm × 3.00mm
DRV8311S-Q1 ⁽²⁾	WQFN (24)	3.00mm × 3.00mm

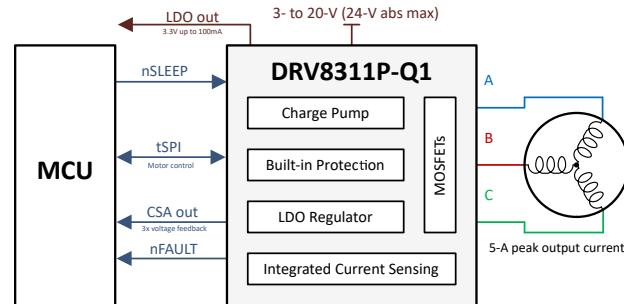
(1) 如需了解所有可用封装, 请参阅数据表末尾的可订购产品目录。

(2) 器件仅为预发布版。

(3) 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。



DRV8311H/S-Q1 简化原理图



DRV8311P-Q1 简化原理图



本资源的原文使用英文撰写。为方便起见, TI 提供了译文; 由于翻译过程中可能使用了自动化工具, TI 不保证译文的准确性。为确认准确性, 请务必访问 ti.com 参考最新的英文版本 (控制文档)。

内容

1 特性	1	7.4 器件功能模式	47
2 应用	1	7.5 SPI 通信	48
3 说明	1	8 DRV8311-Q1 寄存器	53
4 器件比较表	3	9 应用和实施	78
5 引脚配置和功能	4	9.1 应用信息	78
6 规格	7	9.2 典型应用	79
6.1 绝对最大额定值	7	9.3 三相无刷直流 tSPI 电机控制	82
6.2 ESD 等级	7	9.4 备选应用	84
6.3 建议运行条件	7	9.5 电源相关建议	85
6.4 热性能信息	8	9.6 布局	85
6.5 电气特性	8	10 器件和文档支持	89
6.6 SPI 时序要求	15	10.1 支持资源	89
6.7 SPI 次级器件模式时序	16	10.2 商标	89
6.8 典型特性	17	10.3 静电放电警告	89
7 详细说明	18	10.4 术语表	89
7.1 概述	18	11 修订历史记录	89
7.2 功能方框图	19	12 机械、封装和可订购信息	89
7.3 特性说明	22		

4 器件比较表

器件	封装	接口	nSLEEP 输入
DRV8311P-Q1	24 引脚 WQFN (3mm x 3mm)	SPI/I2SPI	是
DRV8311S-Q1		SPI	否
DRV8311H-Q1		硬件	是

表 4-1. DRV8311H-Q1、DRV8311S-Q1、DRV8311P-Q1 配置比较

参数	DRV8311H-Q1	DRV8311S-Q1	DRV8311P-Q1
PWM 控制模式设置	MODE 引脚 (2 个设置)	PWM_MODE (3 个设置)	PWM_MODE (3 个设置)
压摆率设置	SLEW 引脚 (4 个设置)	SLEW_RATE (4 个设置)	SLEW_RATE (4 个设置)
电流检测放大器增益	GAIN 引脚 (4 个设置)	CSA_GAIN (4 个设置)	CSA_GAIN (4 个设置)
过流保护 (OCP) 电平设置	MODE 引脚 (2 个设置)	OCP_LVL (2 个设置)	OCP_LVL (2 个设置)
OCP 消隐时间	固定为 0.2μs	OCP_TBLANK (4 个设置)	OCP_TBLANK (4 个设置)
OCP 抗尖峰脉冲时间	固定为 1μs	OCP_DEG (4 个设置)	OCP_DEG (4 个设置)
OCP 模式	具有 5ms 自动重试时间的快速重试	OCP_MODE (4 个设置)，可配置重试时间	OCP_MODE (4 个设置)，可配置重试时间
死区时间	基于 SLEW 引脚设置的固定值	TDEAD_CTRL (8 个设置)	TDEAD_CTRL (8 个设置)
传播延迟	基于 SLEW 引脚设置的固定值	基于 SLEW 引脚设置的固定值	基于 SLEW 引脚设置的固定值
驱动器延迟补偿	禁用	DLYCMP_EN (2 个设置)	DLYCMP_EN (2 个设置)
内部振荡器的展频调制	启用	SSC_DIS (2 个设置)	SSC_DIS (2 个设置)
欠压锁定	启用 VINAVDD、CP 和 AVDD 欠压保护，禁用 CSAREF_UV，t_RETRY 配置为 5ms 快速自动重试	启用 VINAVDD、CP 和 AVDD 欠压保护，CSAREF_UV (2 个设置)，可使用 UVP_MODE 配置 t_RETRY	启用 VINAVDD、CP 和 AVDD 欠压保护，CSAREF_UV (2 个设置)，可使用 UVP_MODE 配置 t_RETRY
SPI 故障模式	不适用	SPIFLT_MODE (2 个设置)	SPIFLT_MODE (2 个设置)
德州仪器 (TI) SPI (tSPI)	不适用	不适用	可用
过热关断 (OTSD) 模式	具有 5ms 自动重试时间的快速重试	OTSD_MODE (2 个设置)	OTSD_MODE (2 个设置)

5 引脚配置和功能

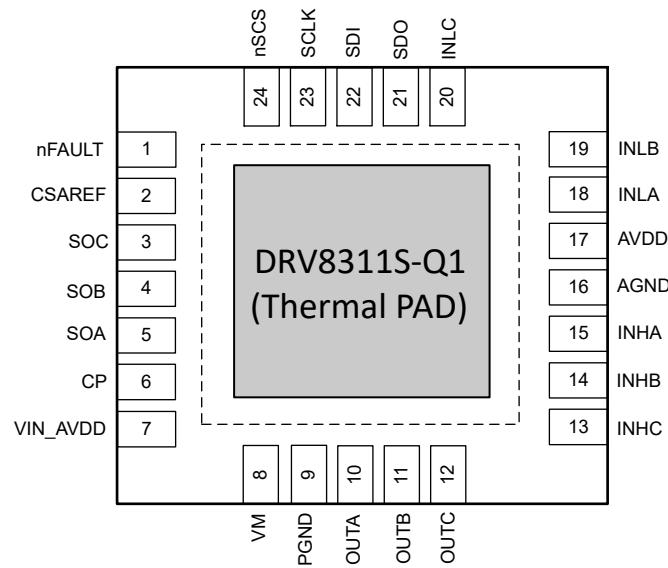


图 5-1. DRV8311S-Q1 , 24 引脚 WQFN (带有外露散热焊盘) 顶视图

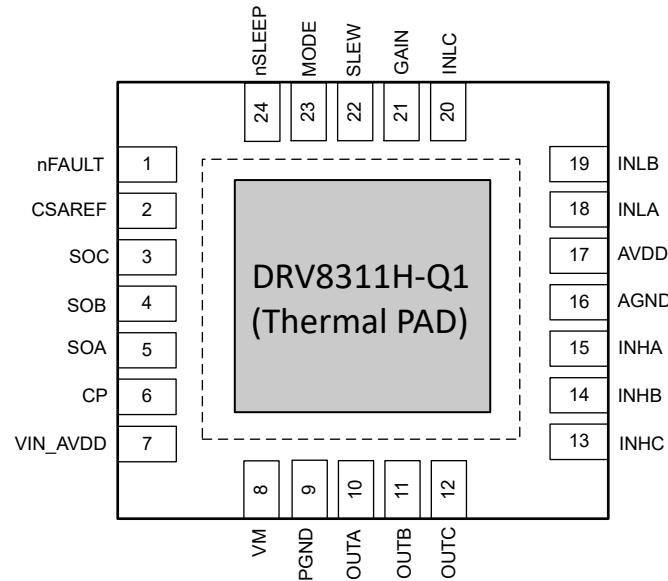


图 5-2. DRV8311H-Q1 , 24 引脚 WQFN (带有外露散热焊盘) 顶视图

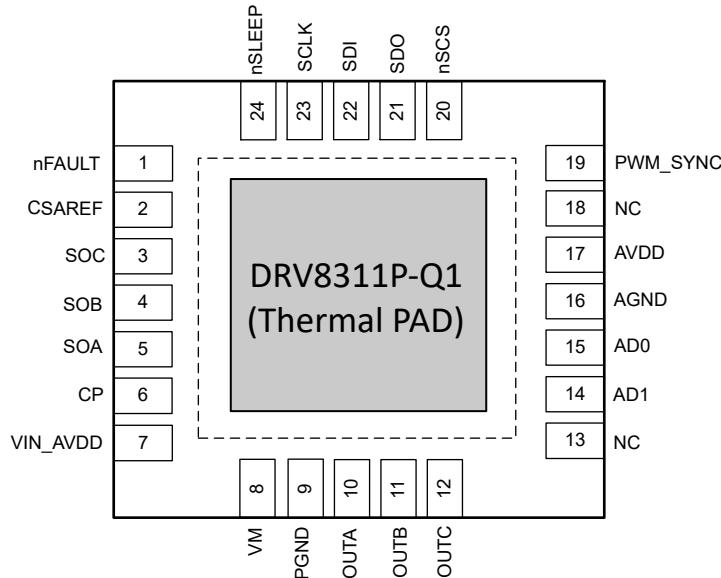


图 5-3. DRV8311P-Q1 , 24 引脚 WQFN (带有外露散热焊盘) 顶视图

表 5-1. 引脚功能

引脚	24 引脚封装			类型 ⁽¹⁾	说明
	DRV8311 H-Q1	DRV8311P -Q1	DRV8311S -Q1		
AD0	—	15	—	I	仅在 tSPI 器件 DRV8311P-Q1 上。tSPI 的地址选择。
AD1	—	14	—	I	仅在 tSPI 器件 DRV8311P-Q1 上。tSPI 的地址选择。
AGND	16	16	16	PWR	器件模拟接地。连接到系统地。
AVDD	17	17	17	PWR	3.3V 稳压器输出。在 AVDD 和 AGND 引脚之间连接一个 X5R 或 X7R、0.7μF 至 7μF、6.3V 陶瓷电容器。该稳压器可从外部拉取高达 100mA 的电流。
CP	6	6	6	PWR	电荷泵输出。在 VCP 和 VM 引脚之间连接一个 X5R 或 X7R、0.1μF、16V 陶瓷电容器。
CSAREF	2	2	2	PWR	电流检测放大器电源输入和基准。在 CSAREF 和 AGND 引脚之间连接一个 X5R 或 X7R、0.1μF、6.3V 陶瓷电容器。
增益	21	—	—	I	仅在硬件器件上 (DRV8311H-Q1)。电流检测放大器增益设置。该引脚是一个 4 电平输入引脚，由 GAIN 和 AVDD 或 AGND 之间的外部电阻器配置。
INHA	15	—	15	I	OUTA 的高侧驱动器控制输入。该引脚在 6x/3x PWM 模式下控制高侧 MOSFET 的状态。
INHB	14	—	14	I	OUTB 的高侧驱动器控制输入。该引脚在 6x/3x PWM 模式下控制高侧 MOSFET 的状态。
INHC	13	—	13	I	OUTC 的高侧驱动器控制输入。该引脚在 6x/3x PWM 模式下控制高侧 MOSFET 的状态。
INLA	18	—	18	I	OUTA 的低侧驱动器控制输入。该引脚在 6x PWM 模式下控制低侧 MOSFET 的状态。
INLB	19	—	19	I	OUTB 的低侧驱动器控制输入。该引脚在 6x PWM 模式下控制低侧 MOSFET 的状态。
INLC	20	—	20	I	OUTC 的低侧驱动器控制输入。该引脚在 6x PWM 模式下控制低侧 MOSFET 的状态。
模式	23	—	—	I	仅在硬件器件上 (DRV8311H-Q1)。PWM 模式设置。该引脚是一个 4 电平输入引脚，由 MODE 和 AVDD 或 AGND 之间的外部电阻器配置。
nFAULT	1	1	1	O	故障指示引脚。故障条件下被拉至逻辑低电平；漏极开路输出需要外部上拉至 AVDD。

表 5-1. 引脚功能 (续)

引脚	24 引脚封装			类型 ⁽¹⁾	说明
名称	DRV8311 H-Q1	DRV8311P -Q1	DRV8311S -Q1		
nSCS	—	20	24	I	仅在 SPI (DRV8311S-Q1) 和 tSPI (DRV8311P-Q1) 器件上。串行芯片选择。该引脚上的逻辑低电平支持串行接口通信 (SPI 器件)。
nSLEEP	24	24	—	I	仅在 DRV8311H-Q1 和 DRV8311P-Q1 器件上。当该引脚为逻辑低电平时，器件进入低功耗睡眠模式。可以在 nSLEEP 引脚上使用一个 15 至 50µs 的低电平脉冲来复位故障条件，而不进入睡眠模式。
OUTA	10	10	10	O	半桥输出 A。连接到电机绕组。
OUTB	11	11	11	O	半桥输出 B。连接到电机绕组。
OUTC	12	12	12	O	半桥输出 C。连接到电机绕组。
PGND	9	9	9	PWR	器件电源地。连接到系统地。
PWM SY NC	—	19	—	I	仅在 tSPI 器件 DRV8311P-Q1 上。在 PWM 生成模式下连接到 MCU 信号，以将从 DRV8311P-Q1 内部生成的 PWM 信号同步到 MCU。
SCLK	—	23	23	I	仅在 SPI (DRV8311S-Q1) 和 tSPI (DRV8311P-Q1) 器件上。串行时钟输入。串行数据在 SCLK 的上升沿移出，并在下降沿被锁存 (SPI 器件)。
SDI	—	22	22	I	仅在 SPI (DRV8311S-Q1) 和 tSPI (DRV8311P-Q1) 器件上。串行数据输入。在 SCLK 引脚的下降沿捕捉数据 (SPI 器件)。
SDO	—	21	21	O	仅在 SPI (DRV8311S-Q1) 和 tSPI (DRV8311P-Q1) 器件上。串行数据输出。在 SCLK 引脚的上升沿移出数据。
SLEW	22	—	—	I	仅在 DRV8311H-Q1 器件上。OUTx 电压转换率控制设置。该引脚是一个 4 电平输入引脚，由 SLEW 和 AVDD 或 AGND 之间的外部电阻器设置。
SOA	5	5	5	O	OUTA 的电流检测放大器输出。
SOB	4	4	4	O	OUTB 的电流检测放大器输出。
SOC	3	3	3	O	OUTC 的电流检测放大器输出。
VM	8	8	8	PWR	电机的电源。连接到电机电源电压。在 VM 和 PGND 之间连接一个 X5R 或 X7R、0.1µF、额定电压为 VM 的陶瓷旁路电容器以及一个不小于 10µF、额定电压为 VM 的大容量电容器。此外，在 VM 和 CP 引脚之间连接一个 X5R 或 X7R、0.1µF、16V 陶瓷电容器。
VIN_AVDD	7	7	7	PWR	AVDD 的电源输入。通过旁路将一个 X5R 或 X7R、0.1µF、额定电压为 VIN_AVDD 的陶瓷电容器连接到 AGND，并在 VIN_AVDD 与 PGND 之间连接一个不小于 10µF、额定电压为 VIN_AVDD 的大容量电容器。
散热焊盘	—	—	—	PWR	必须连接到 PGND。
NC	—	13.18	—	—	无连接。保持该引脚悬空。

(1) I = 输入，O = 输出，PWR = 电源，NC = 无连接

6 规格

6.1 绝对最大额定值

在工作环境温度范围内测得 (除非另有说明) ⁽¹⁾

	最小值	最大值	单位
电源引脚电压 (VM)	-0.3	24	V
AVDD 稳压器输入引脚电压 (VIN_AVDD)	-0.3	24	V
接地引脚 (PGND、AGND) 之间的电压差	-0.3	0.3	V
电荷泵电压 (CP)	-0.3	VM + 6	V
模拟稳压器输出引脚电压 (AVDD)	-0.3	4	V
逻辑引脚输入电压 (INHx、INLx、nSCS、nSLEEP、SCLK、SDI、ADx、GAIN、MODE、SLEW、PWM_SYNC)	-0.3	6	V
逻辑引脚输出电压 (nFAULT、SDO)	-0.3	6	V
漏极开路输出电流范围 (nFAULT)	0	5	mA
电流检测放大器参考电源输入 (CSAREF)	-0.3	4	V
电流检测放大器输出 (SOx)	-0.3	4	V
峰值输出电流 (OUTA、OUTB、OUTC)		5	A
输出引脚电压 (OUTA、OUTB、OUTC)	-1	VM + 1 ⁽²⁾	V
环境温度, TA	-40	125	°C
结温, TJ	-40	150	°C
贮存温度, Tstg	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

(2) VM + 1V 或 24V (以较低者为准)。

6.2 ESD 等级

	值	单位
V _(ESD) 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±1500
V _(ESD) 静电放电	充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 ⁽²⁾	±750

(1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在工作环境温度范围内测得 (除非另有说明)

	最小值	标称值	最大值	单位
V _{VM} 电源电压	VM	12	20	V
VIN_AVDD AVDD 稳压器输入引脚电压	V _{VIN_AVDD}	3	12	V
f _{PWM} 输出 PWM 频率	OUTA、OUTB、OUTC		200	kHz
I _{OUT} ⁽¹⁾ 峰值输出电流	OUTA、OUTB、OUTC		5	A
V _{IN} 逻辑输入电压	INHx、INLx、nSCS、nSLEEP、SCLK、SDI、ADx、GAIN、MODE、SLEW、PWM_SYNC	-0.1	5.5	V
V _{OD} 开漏上拉电压	nFAULT	-0.1	5.5	V
I _{OD} 开漏输出灌电流	nFAULT		5	mA
V _{CSAREF} CSA 基准输入电压	CSAREF	2	3.6	V

在工作环境温度范围内测得 (除非另有说明)

			最小值	标称值	最大值	单位
I _{CSAREF}	CSA 基准输入电流	CSAREF		2.5	7.5	mA
T _A	工作环境温度		-40	125	150	°C
T _J	工作结温		-40	125	150	°C

(1) 必须遵循功率耗散和热限值

6.4 热性能信息

热指标 ⁽¹⁾		DRV8311-Q1	单位
		QFN (RRW)	
		24 引脚	
R _{θ JA}	结至环境热阻	42.6	°C/W
R _{θ JC(top)}	结至外壳 (顶部) 热阻	37.9	°C/W
R _{θ JB}	结至电路板热阻	15.7	°C/W
Ψ _{JT}	结至顶部特征参数	0.5	°C/W
Ψ _{JB}	结至电路板特征参数	15.6	°C/W
R _{θ JC(bot)}	结至外壳 (底部) 热阻	4.8	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用报告。

6.5 电气特性

T_J = -40°C 至 +150°C , V_{VM} = 3 至 20V (除非另有说明)。典型限值适用于 T_A = 25°C、V_{VM} = 12V

参数	测试条件	最小值	典型值	最大值	单位
电源					
I _{VMQ}	VM 睡眠模式电流	V _{VM} = 12V , nSLEEP = 0 , T _A = 25°C nSLEEP = 0 , T _A = 125°C	1.5	3	μA
				9	μA
I _{VMS}	VM 待机模式电流	V _{VM} = 12V , nSLEEP = 1 , INHx = INLx = 0 , SPI = “关闭” , T _A = 25°C nSLEEP = 1 , INHx = INLx = 0 , SPI = “关闭”	7	12	mA
				8	mA
I _{VM}	VM 工作模式电流	V _{VM} = 12V , nSLEEP = 1 , f _{PWM} = 25kHz , T _A = 25°C V _{VM} = 12V , nSLEEP = 1 , f _{PWM} = 200kHz , T _A = 25°C nSLEEP = 1 , f _{PWM} = 25kHz nSLEEP = 1 , f _{PWM} = 200kHz	10	13	mA
				12	mA
				10	mA
				12	mA
V _{AVDD}	模拟稳压器电压	V _{VM} > 4V , V _{VIN_AVDD} > 4.5V , 0mA ≤ I _{AVDD} ≤ 100mA	3.15	3.3	3.45
V _{AVDD}		V _{VM} > 3.5V , 3.5V ≤ V _{VIN_AVDD} ≤ 4.5V , 0mA ≤ I _{AVDD} ≤ 35mA	3	3.3	3.6
V _{AVDD}		2.5V ≤ V _{VIN_AVDD} ≤ 3.5V , 0mA ≤ I _{AVDD} ≤ 10mA	2.2	V _{VIN_AVDD} -0.3	3.4
V _{AVDD}		V _{VM} < 4V , V _{VIN_AVDD} > 4.5V , 0mA ≤ I _{AVDD} ≤ 40mA	3	3.3	3.6
V _{AVDD}		V _{VM} < 3.5V , 3.5V ≤ V _{VIN_AVDD} ≤ 4.5V , 0mA ≤ I _{AVDD} ≤ 20mA	3	3.3	3.6
I _{AVDD_LIM}	外部模拟稳压器电流限制		148	200	250
					mA

$T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, $V_{VM} = 3$ 至 20V (除非另有说明)。典型限值适用于 $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 12\text{V}$

参数		测试条件	最小值	典型值	最大值	单位
I_{AVDD}	外部模拟稳压器负载	$V_{VM} > 4\text{V}$, $V_{VIN_AVDD} > 4.5\text{V}$			100	mA
		$V_{VM} < 4\text{V}$, $V_{VIN_AVDD} > 4.5\text{V}$			40	mA
		$V_{VM} > 3.5\text{V}$, $3.6\text{V} \leq V_{VIN_AVDD} \leq 4.5\text{V}$			35	mA
		$V_{VM} < 3.5\text{V}$, $3.6\text{V} \leq V_{VIN_AVDD} \leq 4.5\text{V}$			20	mA
		$2.5\text{V} \leq V_{VIN_AVDD} \leq 3.6\text{V}$			10	mA
C_{AVDD}	AVDD 引脚上的电容	$I_{AVDD} \leq 25\text{mA}$;	0.7	1	7	μF
		$I_{AVDD} \geq 25\text{mA}$;	3.3	4.7	7	μF
R_{AVDD}	AVDD 输出电压调节	$V_{VIN_AVDD} > 4.5\text{V}$; $I_{AVDD} \leq 20\text{mA}$;	-3		3	%
		$V_{VIN_AVDD} > 4.5\text{V}$; $20\text{mA} \leq I_{AVDD} \leq 40\text{mA}$;	-2		2	%
		$V_{VIN_AVDD} > 4.5\text{V}$; $I_{AVDD} \geq 40\text{mA}$;	-3		3	%
V_{VCP}	电荷泵稳压器电压	V_{VCP} , 以 VM 为基准	3	5	5.6	V
t_{WAKE}	唤醒时间	$V_{VM} > V_{UVLO}$, $nSLEEP = 1$ 以便输出就绪		1	3	ms
t_{WAKE_CSA}	CSA 的唤醒时间	当 $nSLEEP = 1$ 时, $V_{CSAREF} > V_{CSAREF_UV}$ 以便 SOx 就绪		30	50	μs
t_{SLEEP}	关断时间	$nSLEEP = 0$ 至驱动器进入三态	100	200		μs
t_{RST}	复位脉冲时间	$nSLEEP = 0$ 复位故障的周期	10		65	μs

逻辑电平输入 (INHx、INLx、nSLEEP、SCLK、SDI)

V_{IL}	输入逻辑低电平电压		0	0.6	V	
V_{IH}	输入逻辑高电平电压		1.65	5.5	V	
V_{HYS}	输入逻辑迟滞		100	300	660	mV
I_{IL}	输入逻辑低电平电流	V_{PIN} (引脚电压) = 0V	-1		1	μA
I_{IH}	输入逻辑高电流	$nSLEEP$, V_{PIN} (引脚电压) = 5V		30		μA
		其他引脚, V_{PIN} (引脚电压) = 5V			50	μA
R_{PD}	输入下拉电阻	$nSLEEP$	230	300		$\text{k}\Omega$
		其他引脚	160	200		$\text{k}\Omega$
C_{ID}	输入电容			30		pF

逻辑电平输入 (nSCS)

V_{IL}	输入逻辑低电平电压		0	0.6	V
V_{IH}	输入逻辑高电平电压		1.5	5.5	V
V_{HYS}	输入逻辑迟滞		200	500	mV
I_{IL}	输入逻辑低电平电流	V_{PIN} (引脚电压) = 0V		90	μA
I_{IH}	输入逻辑高电流	V_{PIN} (引脚电压) = 5V		70	μA
R_{PU}	输入上拉电阻			48	$\text{k}\Omega$
C_{ID}	输入电容			30	pF

四电平输入 (GAIN、MODE、SLEW)

V_{L1}	输入模式 1 电压	连接至 AGND	0	0.21*AV _{DD}	V
V_{L2}	输入模式 2 电压	47k Ω +/- 5% 连接至 GND	0.25*AV _{DD}	0.5*AV _{DD}	0.55*AV _{DD}
V_{L3}	输入模式 3 电压	高阻态	0.606*AV _{DD}	0.757*AV _D	0.909*AV _{DD}
V_{L4}	输入模式 4 电压	连接至 AVDD	0.94*AV _{DD}		AVDD

$T_J = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, $V_{VM} = 3$ 至 20V (除非另有说明)。典型限值适用于 $T_A = 25^{\circ}\text{C}$ 、 $V_{VM} = 12\text{V}$

参数		测试条件	最小值	典型值	最大值	单位
R_{PU}	输入上拉电阻	至 AVDD		48	70	$\text{k}\Omega$
R_{PD}	输入下拉电阻	至 AGND		160	200	$\text{k}\Omega$

$T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, $V_{VM} = 3$ 至 20V (除非另有说明)。典型限值适用于 $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 12\text{V}$

参数		测试条件	最小值	典型值	最大值	单位
开漏输出 (nFAULT)						
V_{OL}	输出逻辑低电平电压	$I_{OD} = -5\text{mA}$		0.4	V	
I_{OH}	输出逻辑高电平电流	$V_{OD} = 5\text{V}$	-1	1	μA	
C_{OD}	输出电容		30		pF	
推挽式输出 (SDO)						
V_{OL}	输出逻辑低电平电压	$I_{OP} = -5\text{mA}, 2.2\text{V} \leq V_{AVDD} \leq 3\text{V}$	0	0.55	V	
		$I_{OP} = -5\text{mA}, 3\text{V} \leq V_{AVDD} \leq 3.6\text{V}$	0	0.5	V	
V_{OH}	输出逻辑高电压	$I_{OP} = 5\text{mA}, 2.2\text{V} \leq V_{AVDD} \leq 3\text{V}$	$V_{AVDD} - 0.86$	3	V	
		$I_{OP} = 5\text{mA}, 3\text{V} \leq V_{AVDD} \leq 3.6\text{V}$	$V_{AVDD} - 0.5$	3.6	V	
I_{OL}	输出逻辑低电平电流	$V_{OP} = 0\text{V}$	-1	1	μA	
I_{OH}	输出逻辑高电平电流	$V_{OP} = 5\text{V}$	-1	1	μA	
C_{OD}	输出电容		30		pF	
驱动器输出						
$R_{DS(ON)}$	MOSFET 总导通电阻 (高侧 + 低侧)	$6\text{V} \geq V_{VM} \geq 3\text{V}, I_{OUT} = 1\text{A}, T_J = 25^\circ\text{C}$	300	350	$\text{m}\Omega$	
		$6\text{V} \geq V_{VM} \geq 3\text{V}, I_{OUT} = 1\text{A}, T_J = 150^\circ\text{C}$	450	500	$\text{m}\Omega$	
		$V_{VM} \geq 6\text{V}, I_{OUT} = 1\text{A}, T_J = 25^\circ\text{C}$	210	265	$\text{m}\Omega$	
		$V_{VM} \geq 6\text{V}, I_{OUT} = 1\text{A}, T_J = 150^\circ\text{C}$	330	375	$\text{m}\Omega$	
SR	相位引脚转换率从低切换到高 (从 VM 的 20% 上升到 80%)	$V_{VM} = 12\text{V}; \text{SLEW} = 00\text{b}$ (SPI 型号) 或 SLEW 引脚连接至 AGND (HW 型号)	18	35	55	$\text{V}/\mu\text{s}$
SR		$V_{VM} = 12\text{V}; \text{SLEW} = 01\text{b}$ (SPI 型号) 或 SLEW 引脚连接至 $47\text{k}\Omega$ +/- 5% 再连接至 AGND (HW 型号)	35	75	100	$\text{V}/\mu\text{s}$
SR		$V_{VM} = 12\text{V}; \text{SLEW} = 10\text{b}$ (SPI 型号) 或 SLEW 引脚连接至 Hi-Z (HW 型号)	90	180	225	$\text{V}/\mu\text{s}$
SR		$V_{VM} = 12\text{V}; \text{SLEW} = 11\text{b}$ (SPI 型号) 或 SLEW 引脚连接至 AVDD (HW 型号)	140	230	355	$\text{V}/\mu\text{s}$
SR	相位引脚转换率从高切换到低 (从 VM 的 80% 下降到 20%)	$V_{VM} = 12\text{V}; \text{SLEW} = 00\text{b}$ (SPI 型号) 或 SLEW 引脚连接至 AGND (HW 型号)	20	35	50	$\text{V}/\mu\text{s}$
		$V_{VM} = 12\text{V}; \text{SLEW} = 01\text{b}$ (SPI 型号) 或 SLEW 引脚连接至 $47\text{k}\Omega$ +/- 5% 再连接至 AGND (HW 型号)	35	75	100	$\text{V}/\mu\text{s}$
		$V_{VM} = 12\text{V}; \text{SLEW} = 10\text{b}$ (SPI 型号) 或 SLEW 引脚连接至 Hi-Z (HW 型号)	80	180	225	$\text{V}/\mu\text{s}$
		$V_{VM} = 12\text{V}; \text{SLEW} = 11\text{b}$ (SPI 型号) 或 SLEW 引脚连接至 AVDD (HW 型号)	125	270	350	$\text{V}/\mu\text{s}$

$T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, $V_{VM} = 3$ 至 20V (除非另有说明)。典型限值适用于 $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 12\text{V}$

参数		测试条件	最小值	典型值	最大值	单位
t_{DEAD}	输出死区时间 (高电平到低电平/低电平到高电平)	$V_{VM} = 12\text{V}$, SLEW = 00b (SPI 型号) 或 SLEW 引脚连接至 AGND (HW 型号), DEADTIME = 000b , 仅握手		500	1200	ns
		$V_{VM} = 12\text{V}$, SLEW = 01b (SPI 型号) 或 SLEW 引脚连接至 $47\text{k}\Omega$ +/- 5% 再连接至 AGND (HW 型号), DEADTIME = 000b , 仅握手		450	760	ns
		$V_{VM} = 12\text{V}$, SLEW = 10b (SPI 型号) 或 SLEW 引脚连接至 Hi-Z (HW 型号), DEADTIME = 000b , 仅握手		425	720	ns
		$V_{VM} = 12\text{V}$, SLEW = 11b (SPI 型号) 或 SLEW 引脚连接至 AVDD (HW 型号), DEADTIME = 000b ; 仅握手		425	710	ns
		$V_{VM} = 12\text{V}$, DEADTIME = 001b		200	540	ns
		$V_{VM} = 12\text{V}$, DEADTIME = 010b		400	550	ns
		$V_{VM} = 12\text{V}$, DEADTIME = 011b		600	760	ns
		$V_{VM} = 12\text{V}$, DEADTIME = 100b		800	900	ns
		$V_{VM} = 12\text{V}$, DEADTIME = 101b		1000	1100	ns
		$V_{VM} = 12\text{V}$, DEADTIME = 110b		1200	1300	ns
		$V_{VM} = 12\text{V}$, DEADTIME = 111b		1400	1500	ns
t_{PD}	传播延迟 (高侧/低侧开/关)	INHx = 1 至 OUTx 切换, $V_{VM} = 12\text{V}$, SLEW = 00b (SPI 型号) 或 SLEW 引脚连接至 AGND (HW 型号)		1000	1500	ns
		INHx = 1 至 OUTx 切换, $V_{VM} = 12\text{V}$, SLEW = 01b (SPI 型号) 或 SLEW 引脚连接至 $47\text{k}\Omega$ +/- 5% 再连接至 AGND (HW 型号)		650	1100	ns
		INHx = 1 至 OUTx 切换, $V_{VM} = 12\text{V}$, SLEW = 10b (SPI 型号) 或 SLEW 引脚连接至 Hi-Z (HW 型号)		550	950	ns
		INHx = 1 至 OUTx 切换, $V_{VM} = 12\text{V}$, SLEW = 11b (SPI 型号) 或 SLEW 引脚连接至 AVDD (HW 型号)		500	910	ns
t_{MIN_PULSE}	最小输出脉冲宽度	SLEW = 11b	500			ns
电流检测放大器						
G_{CSA}	电流检测增益 (SPI 器件)	$CSA_GAIN = 00$ (SPI 型号) 或 GAIN 引脚连接至 AGND (HW 型号)		0.25		V/A
		$CSA_GAIN = 01$ (SPI 型号) 或 GAIN 引脚连接至 $47\text{k}\Omega$ +/- 5% 再连接至 GND (HW 型号)		0.5		V/A
		$CSA_GAIN = 10$ (SPI 型号) 或 GAIN 引脚连接至 Hi-Z (HW 型号)		1		V/A
		$CSA_GAIN = 11$ (SPI 型号) 或 GAIN 引脚连接至 AVDD (HW 型号)		2		V/A
G_{CSA_ERR}	电流检测增益误差	$T_J = 25^\circ\text{C}$, $I_{PHASE} < 2.5\text{A}$, $VM \geq 6\text{V}$	-5	4	%	
		$T_J = 25^\circ\text{C}$, $I_{PHASE} > 2.5\text{A}$, $VM \geq 6\text{V}$	-5	5	%	
		$I_{PHASE} < 2.5\text{A}$, $VM \geq 6\text{V}$	-5.5	5.5	%	
		$I_{PHASE} > 2.5\text{A}$, $VM \geq 6\text{V}$	-7	7	%	

$T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, $V_{VM} = 3$ 至 20V (除非另有说明)。典型限值适用于 $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 12\text{V}$

参数		测试条件	最小值	典型值	最大值	单位
I_{MATCH}	A、B 和 C 相之间的电流检测增益误差匹配	$T_J = 25^\circ\text{C}$	-5	5	5	%
			-5	5	5	%
F_{SPOS}	满标量程正电流测量		5			A
F_{SNEG}	满标量程负电流测量			-5	-5	A
V_{LINEAR}	SOX 输出电压线性范围		0.25	V_{CSAREF} - 0.25	0.25	V
I_{OFFSET_RT}	电流检测偏移低侧电流输入 (室温)	$T_J = 25^\circ\text{C}$, 相电流 = 0A, $G_{CSA} = 0.25\text{V/A}$	-50	50	50	mA
		$T_J = 25^\circ\text{C}$, 相电流 = 0A, $G_{CSA} = 0.5\text{V/A}$	-50	50	50	mA
		$T_J = 25^\circ\text{C}$, 相电流 = 0A, $G_{CSA} = 1\text{V/A}$	-30	30	30	mA
		$T_J = 25^\circ\text{C}$, 相电流 = 0A, $G_{CSA} = 2\text{V/A}$	-30	30	30	mA
I_{OFFSET}	以低侧电流输入为基准的电流检测偏移	相电流 = 0A, $G_{CSA} = 0.25\text{V/A}$	-70	70	70	mA
		相电流 = 0A, $G_{CSA} = 0.5\text{V/A}$	-50	50	50	mA
		相电流 = 0A, $G_{CSA} = 1\text{V/A}$	-50	50	50	mA
		相电流 = 0A, $G_{CSA} = 2\text{V/A}$	-50	50	50	mA
t_{SET}	至 $\pm 1\%$ 的趋稳时间, SOx 引脚上为 30pF	SOx 上的阶跃 = 1.2V, $G_{CSA} = 0.25\text{V/A}$		1	1	μs
		SOx 上的阶跃 = 1.2V, $G_{CSA} = 0.5\text{V/A}$		1	1	μs
		SOx 上的阶跃 = 1.2V, $G_{CSA} = 1\text{V/A}$		1	1	μs
		SOx 上的阶跃 = 1.2V, $G_{CSA} = 2\text{V/A}$		1	1	μs
V_{DRIFT}	漂移失调电压	相电流 = 0A	-150	150	150	$\mu\text{A}/^\circ\text{C}$
I_{CSAREF}	CSAREF 输入电流	CSAREF = 3.0V		1.7	3	mA
保护电路						
V_{UVLO}	电源欠压锁定 (UVLO)	VM 上升	2.6	2.7	2.8	V
		VM 下降	2.5	2.6	2.7	V
V_{UVLO_HYS}	电源欠压锁定迟滞	上升至下降阈值	60	125	210	mV
t_{UVLO}	电源欠压抗尖峰脉冲时间		5	7.5	13	μs
$V_{VINAVDD_UV}$	AVDD 电源输入欠压锁定 (VINAVDD_UV)	VIN_AVDD 上升	2.6	2.7	2.8	V
		VIN_AVDD 下降	2.5	2.6	2.7	V
$V_{VINAVDD_UV_HYS}$	AVDD 电源输入欠压锁定磁滞	上升至下降阈值	100	125	150	mV
$t_{VINAVDD_UV}$	AVDD 电源输入欠压抗尖峰脉冲时间		2.5	4	5	μs
V_{CPUV}	电荷泵欠压锁定 (相对于 VM 的电压)	V_{CP} 上升	2	2.3	2.5	V
		V_{CP} 下降	2	2.2	2.4	V
V_{CPUV_HYS}	电荷泵欠压锁定磁滞	上升至下降阈值	65	100	125	mV
t_{CPUV}	电荷泵欠压锁定抗尖峰脉冲时间			0.2	0.5	μs
V_{CSAREF_UV}	CSA 基准欠压锁定	V_{CSAREF} 上升	1.68	1.8	1.95	V
V_{CSAREF_UV}	CSA 基准欠压锁定	V_{CSAREF} 下降	1.6	1.7	1.85	V
$V_{CSAREF_UV_HYS}$	CSA 基准欠压锁定磁滞	上升至下降阈值	70	90	110	mV
V_{AVDD_UV}	模拟稳压器欠压锁定	V_{AVDD} 上升	1.8	2	2.2	V
		V_{AVDD} 下降	1.7	1.8	1.95	V

$T_J = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, $V_{VM} = 3$ 至 20V (除非另有说明)。典型限值适用于 $T_A = 25^{\circ}\text{C}$ 、 $V_{VM} = 12\text{V}$

参数		测试条件	最小值	典型值	最大值	单位
I_{OCP}	过流保护跳变点	OCP_LVL = 0 (SPI 型号) 或 MODE 引脚连接至 AGND 或 MODE 引脚连接至 Hi-Z (HW 型号)	5.8	9	11.5	A
		OCP_LVL = 1 (SPI 型号) 或 MODE 引脚连接至 AVDD 或 MODE 引脚连接至 $47\text{k}\Omega$ +/- 5% 再连接至 AGND (HW 型号)	3.4	5	7.5	A
t_{BLANK}	过流保护消隐时间 (SPI 型号)	OCP_TBLANK = 00b	0.2			μs
		OCP_TBLANK = 01b	0.5			μs
		OCP_TBLANK = 10b	0.8			μs
		OCP_TBLANK = 10b	1			μs
t_{BLANK}	过流保护消隐时间 (HW 型号)		0.2			μs
t_{OCP_DEG}	过流保护抗尖峰脉冲时间 (SPI 型号)	OCP_DEG = 00b	0.2			μs
		OCP_DEG = 01b	0.5			μs
		OCP_DEG = 10b	0.8			μs
		OCP_DEG = 11b	1			μs
t_{OCP_DEG}	过流保护抗尖峰脉冲时间 (HW 型号)		1			μs
t_{RETRY}	过流保护重试时间 (SPI 型号)	FAST_RETRY = 00b	0.24	0.5	0.65	ms
		FAST_RETRY = 01b	0.7	1	1.2	ms
		FAST_RETRY = 10b	1.6	2	2.2	ms
		FAST_RETRY = 11b	4.4	5	5.3	ms
		SLOW_RETRY = 00b	390	500	525	ms
		SLOW_RETRY = 01b	840	1000	1050	ms
		SLOW_RETRY = 10b	1700	2000	2200	ms
		SLOW_RETRY = 11b	4400	5000	5400	ms
t_{RETRY}	过流保护重试时间 (HW 型号)		5			ms
T_{OTW}	热警告温度	芯片温度 (T_J) 上升	170	178	185	$^{\circ}\text{C}$
T_{OTW_HYS}	热警告迟滞	芯片温度 (T_J)	25	30		$^{\circ}\text{C}$
T_{TSD}	热关断温度	芯片温度 (T_J) 上升	180	190	200	$^{\circ}\text{C}$
T_{TSD_HYS}	热关断磁滞	芯片温度 (T_J)	25	30		$^{\circ}\text{C}$
T_{TSD}	热关断温度 (LDO)	芯片温度 (T_J) 上升	180	190	200	$^{\circ}\text{C}$
T_{TSD_HYS}	热关断迟滞 (LDO)	芯片温度 (T_J)	25	30		$^{\circ}\text{C}$

$T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, $V_{VM} = 3$ 至 20V (除非另有说明)。典型限值适用于 $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 12\text{V}$

参数	测试条件	最小值	典型值	最大值	单位
PWM 输出精度 (tSPI)					
R_{PWM}	输出 PWM 分辨率	PWM 频率 = 20kHz	10	位	
A_{PWM}	输出 PWM 精度	$V_{VM} < 4.5\text{V}$, 禁用 PWM_SYNC 和时钟调优	-7.5	7.5	%
		$V_{VM} > 4.5\text{V}$, 禁用 PWM_SYNC 和时钟调优	-4	4	%
		启用 PWM_SYNC 且禁用时钟调优	-1	1	%
		禁用 PWM_SYNC 且 SPISYNC_ACRCY = 11b	-2	2	%
		禁用 PWM_SYNC 且 SPISYNC_ACRCY = 10b	-1	1	%
		禁用 PWM_SYNC 且 SPISYNC_ACRCY = 01b	-1	1	%
		禁用 PWM_SYNC 且 SPISYNC_ACRCY = 00b	-1	1	%

6.6 SPI 时序要求

		最小值	标称值	最大值	单位
t_{READY}	上电后 SPI 就绪		1	ms	
t_{HI_nSCS}	nSCS 最短高电平时间	300		ns	
t_{SU_nSCS}	nSCS 输入设置时间	25		ns	
t_{HD_nSCS}	nSCS 输入保持时间	25		ns	
t_{SCLK}	SCLK 最小周期	100		ns	
t_{SCLKH}	SCLK 最短高电平时间	50		ns	
t_{SCLKL}	SCLK 最短低电平时间	50		ns	
t_{SU_SDI}	SDI 输入数据设置时间	25		ns	
t_{HD_SDI}	SDI 输入数据保持时间	25		ns	
t_{DLY_SDO}	SDO 输出数据延迟时间		75	ns	
t_{EN_SDO}	SDO 启用延迟时间		65	ns	
t_{DIS_SDO}	SDO 禁用延迟时间		50	ns	

6.7 SPI 次级器件模式时序

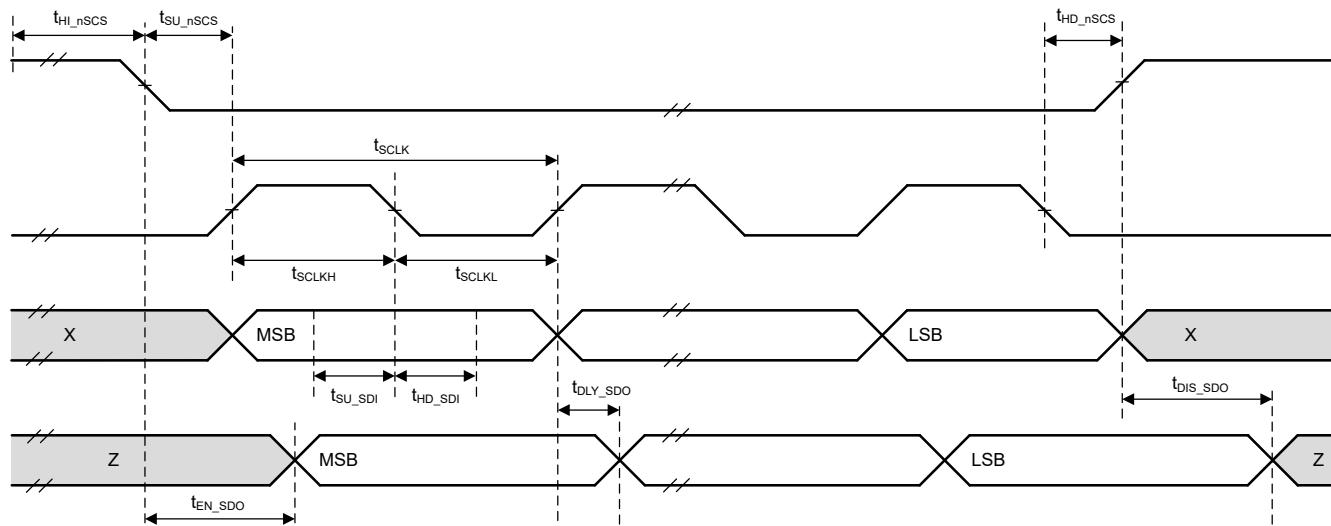


图 6-1. SPI 辅助器件模式时序图

6.8 典型特性

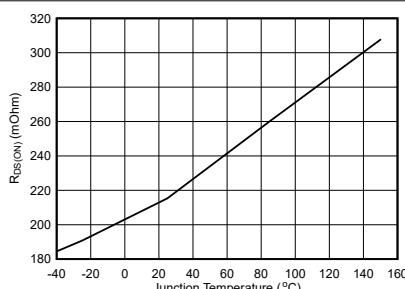


图 6-2. 不同温度下的 MOSFET $R_{DS(ON)}$ (高侧和低侧之和), $VM \geq 6V$

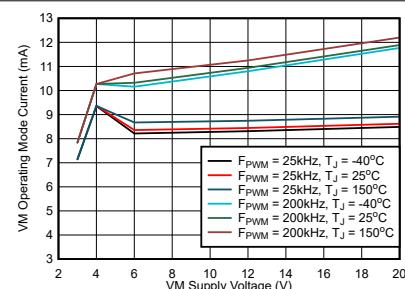


图 6-3. 不同电源电压下的工作模式电流

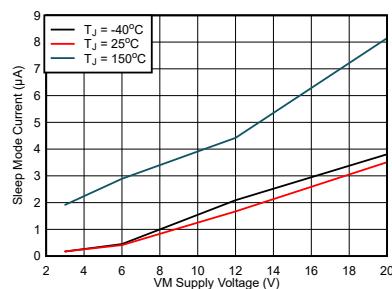


图 6-4. 不同电源电压下的睡眠电流

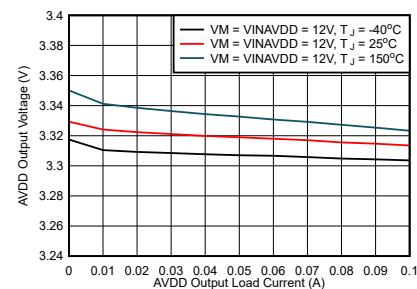


图 6-5. 不同负载电流下的 AVDD 稳压器输出电压

7 详细说明

7.1 概述

DRV8311-Q1 为集成式 MOSFET 驱动器，适用于 3 相电机驱动应用。高侧和低侧 FET 的导通状态电阻和为 $210\text{m}\Omega$ （典型值）。该器件通过集成三个半桥 MOSFET、栅极驱动器、电荷泵、电流检测放大器以及用于外部负载的线性稳压器，降低了系统元件数量、成本和复杂性。对于 DRV8311S-Q1，标准的串行外设接口 (SPI) 提供了一种简单的方法，可通过外部控制器配置各种器件设置和读取故障诊断信息。对于 DRV8311H-Q1，硬件接口 (H/W) 允许通过固定外部电阻器来配置常用的设置。对于 DRV8311P-Q1，德州仪器 (TI) SPI (tSPI) 能够配置各种器件设置并调整 PWM 占空比和频率，以一次控制多个电机。

该架构使用内部状态机来防止发生短路事件，并防止内部功率 MOSFET 发生 dV/dt 寄生导通。

DRV8311-Q1 器件集成了三个双向低侧电流分流放大器，旨在使用内置电流检测来监测流过每个半桥的电流，不需要外部电流感应电阻器。可通过 SPI、tSPI 或硬件接口调整分流放大器的增益设置。

除了高度的器件集成之外，DRV8311-Q1 器件还提供广泛的集成保护功能。这些功能包括电源欠压锁定 (UVLO)、电荷泵欠压锁定 (CPUV)、过流保护 (OCP)、AVDD 欠压锁定 (AVDD_UV) 和过热关断 (OTW 和 OTSD)。故障事件由 nFAULT 引脚指示，可在 SPI 和 tSPI 器件版本的寄存器中获得详细信息。

DRV8311-Q1 器件采用 0.4mm 引脚间距、WQFN 表面贴装封装。WQFN 封装尺寸为 $3.00\text{mm} \times 3.00\text{mm}$ 。

7.2 功能方框图

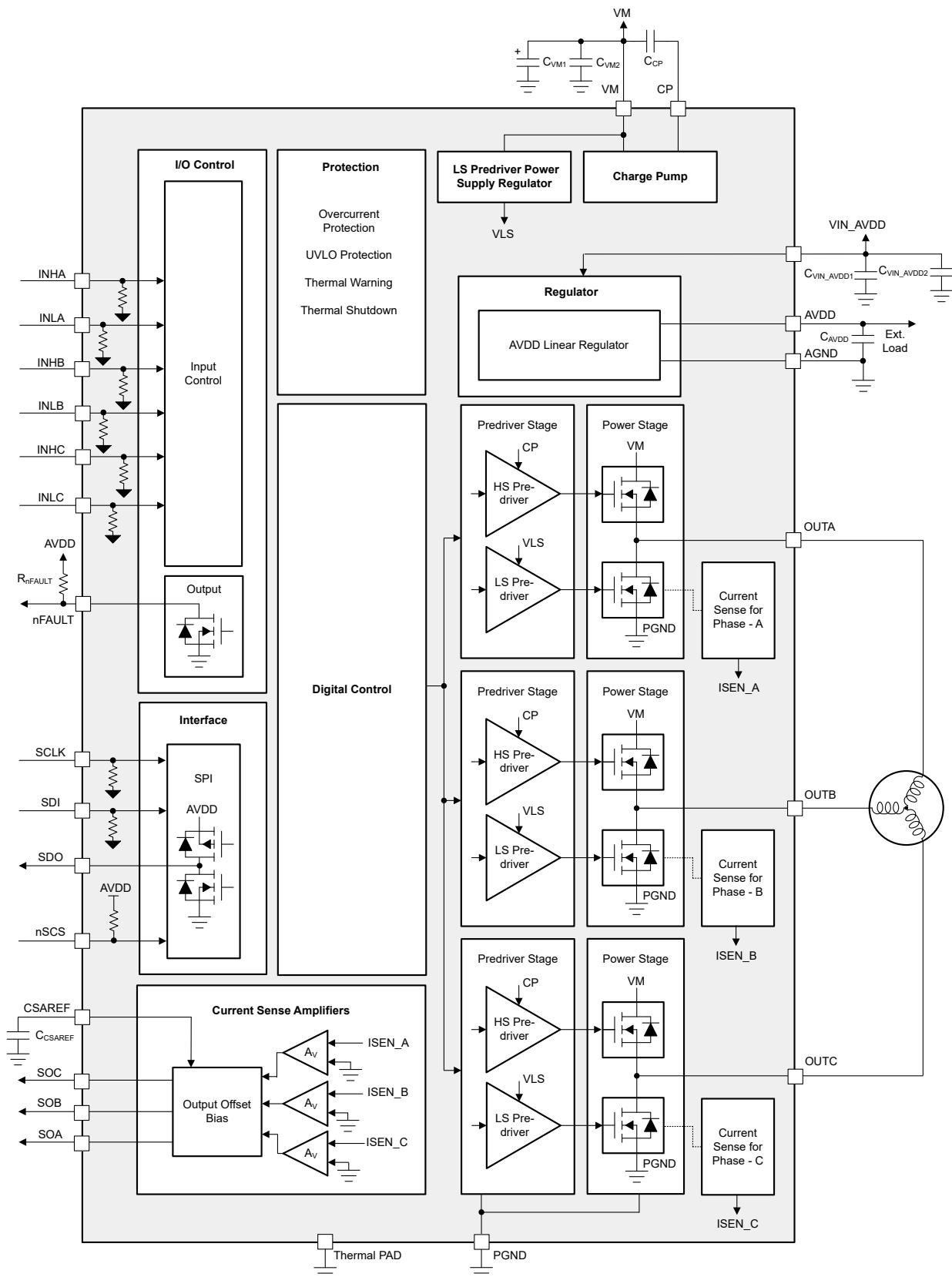


图 7-1 DRV8311S-Q1 方框图

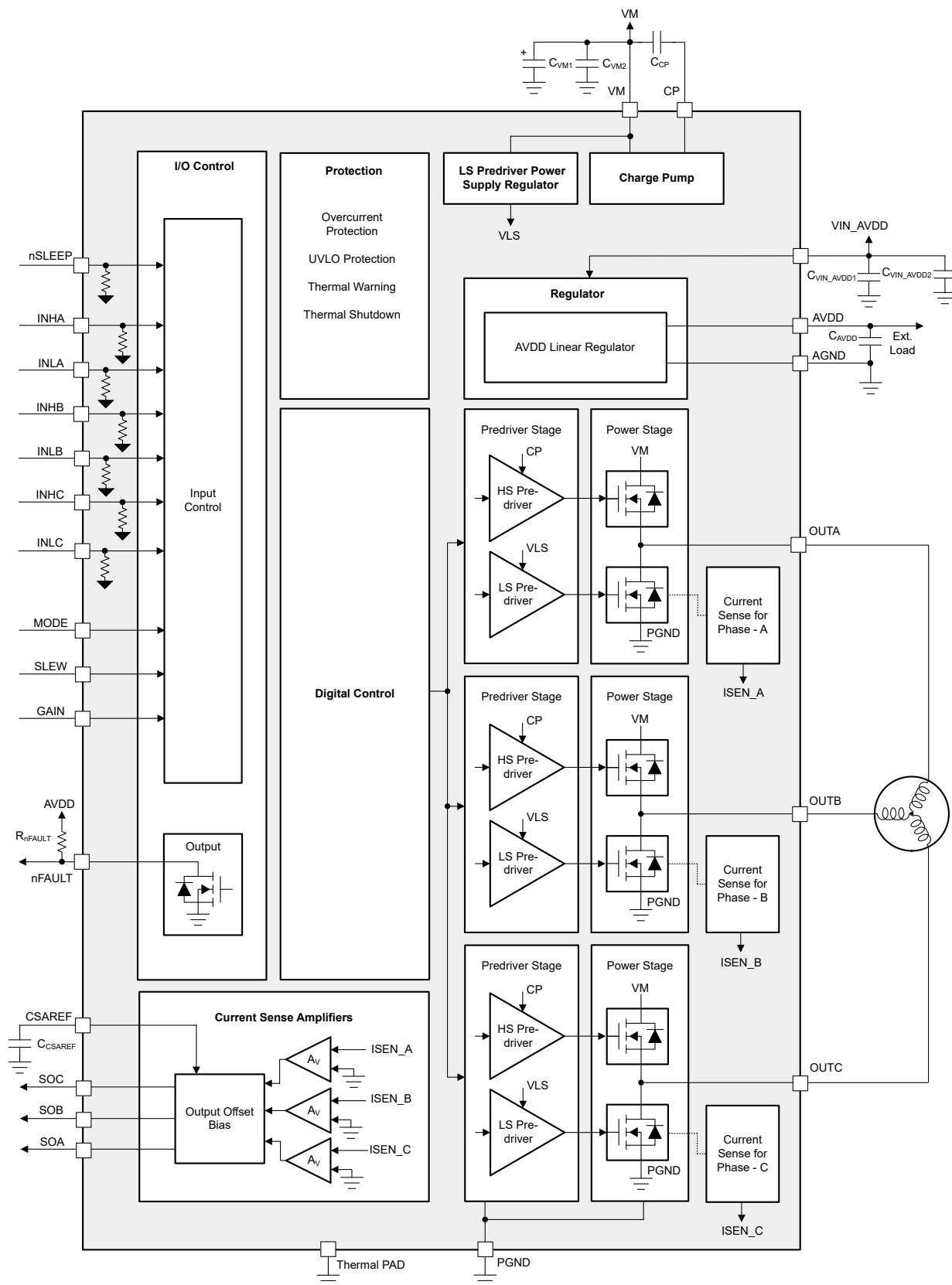


图 7-2. DRV8311H-Q1 方框图

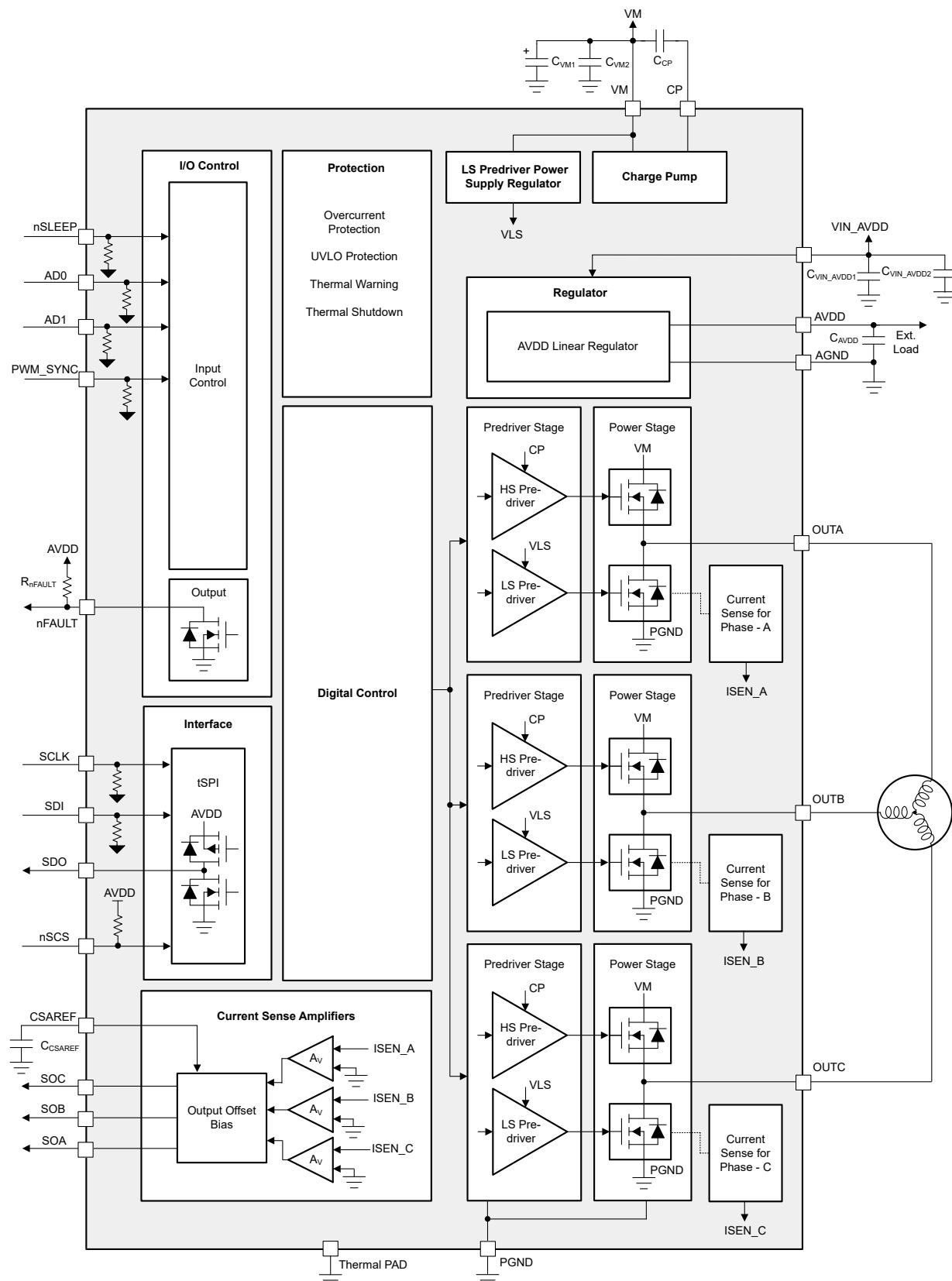


图 7-3. DRV8311P-Q1 方框图

7.3 特性说明

表 7-1 列出了驱动器外部元件的建议值。

表 7-1. DRV8311-Q1 外部元件

元件	引脚 1	引脚 2	推荐
C _{VM1}	VM	PGND	X5R 或 X7R、0.1μF、额定电压为 VM 的电容器
C _{VM2}	VM	PGND	≥ 10μF，额定电压为 VM 的电解电容器
C _{VIN_AVDD1}	VIN_AVDD	AGND	X5R 或 X7R、0.1μF、额定电压为 VIN_AVDD 的电容器
C _{VIN_AVDD2}	VIN_AVDD	AGND	≥ 10μF，额定电压为 VIN_AVDD 的电容器
C _{CP}	CP	VM	X5R 或 X7R、16V、0.1μF
C _{AVDD}	AVDD	AGND	X5R 或 X7R、0.7 至 7μF、6.3V 电容器
R _{nFAULT}	AVDD	nFAULT	5.1kΩ 上拉电阻器
R _{SDO}	AVDD	SDO	5.1kΩ 上拉电阻器 (可选)
R _{MODE}	模式	AGND 或 AVDD	节 7.3.3.2
R _{SLEW}	SLEW	AGND 或 AVDD	节 7.3.3.2
R _{GAIN}	增益	AGND 或 AVDD	节 7.3.3.2
C _{CSAREF}	CSAREF	AGND	X5R 或 X7R、0.1μF、额定电压为 CSAREF 的电容器

7.3.1 输出级

DRV8311-Q1 器件包含以三相桥配置连接的集成式 NMOS MOSFET。倍增电荷泵可在宽工作电压范围内为高侧 NMOS MOSFET 提供适合的栅极偏置电压，此外还提供 100% 占空比支持。内部线性稳压器由 VM 供电，为低侧 MOSFET 提供栅极偏置电压 (VLS)。

7.3.2 控制模式

该器件提供三种不同的控制模式，用以支持各种换向和控制方法。表 7-2 展示了该器件的各种模式。

表 7-2. PWM 控制模式

MODE 类型	MODE 引脚 (DRV8311H-Q1)	MODE 位 (DRV8311S-Q1)	MODE 位 (DRV8311P-Q1)	模式
模式 1	MODE 引脚连接至 AGND 或 MODE 引脚连接至 47kΩ 再连接至 AGND	PWM_MODE = 00b 或 PWM_MODE = 01b	不适用	6x 模式
模式 2	MODE 引脚 Hi-Z 或 MODE 引脚连接至 AVDD	PWM_MODE = 10b	不适用	3x 模式
模式 3	不适用	PWM_MODE = 11b	PWM_MODE = 11b	PWM 生成模式

备注

德州仪器 (TI) 不建议在器件加电期间 (即 tWAKE 期间) 更改 MODE 引脚或 MODE 寄存器。DRV8311H-Q1 加电时会锁存 MODE 设置，因此在更改 DRV8311H-Q1 上的 MODE 引脚配置之前，请设置 nSLEEP = 0。在 DRV8311S-Q1 中，在更改 MODE 寄存器之前，将所有 INH_x 和 INL_x 引脚设置为逻辑低电平。

7.3.2.1 6x PWM 模式 (仅限 DRV8311S-Q1 和 DRV8311H-Q1 型号)

在 6x PWM 模式下，每个半桥支持三种输出状态：低电平、高电平或高阻抗（高阻态）。要在 6x PWM 模式下配置 DRV8311H-Q1，请将 MODE 引脚连接至 AGND 或将 MODE 引脚连接至 $47\text{k}\Omega$ 再连接至 AGND。要在 DRV8311S-Q1 中启用 6x PWM 模式，请将 MODE 位配置为 $\text{PWM_MODE} = 00\text{b}$ 或 01b 。相应的 INL_x 和 INH_x 信号控制着输出状态，如表 7-3 所示。

表 7-3. 6x PWM 模式真值表

INL _x	INH _x	OUT _x
0	0	高阻态
0	1	H
1	0	L
1	1	高阻态

图 7-4 展示了在 6x PWM 模式下配置的应用图。

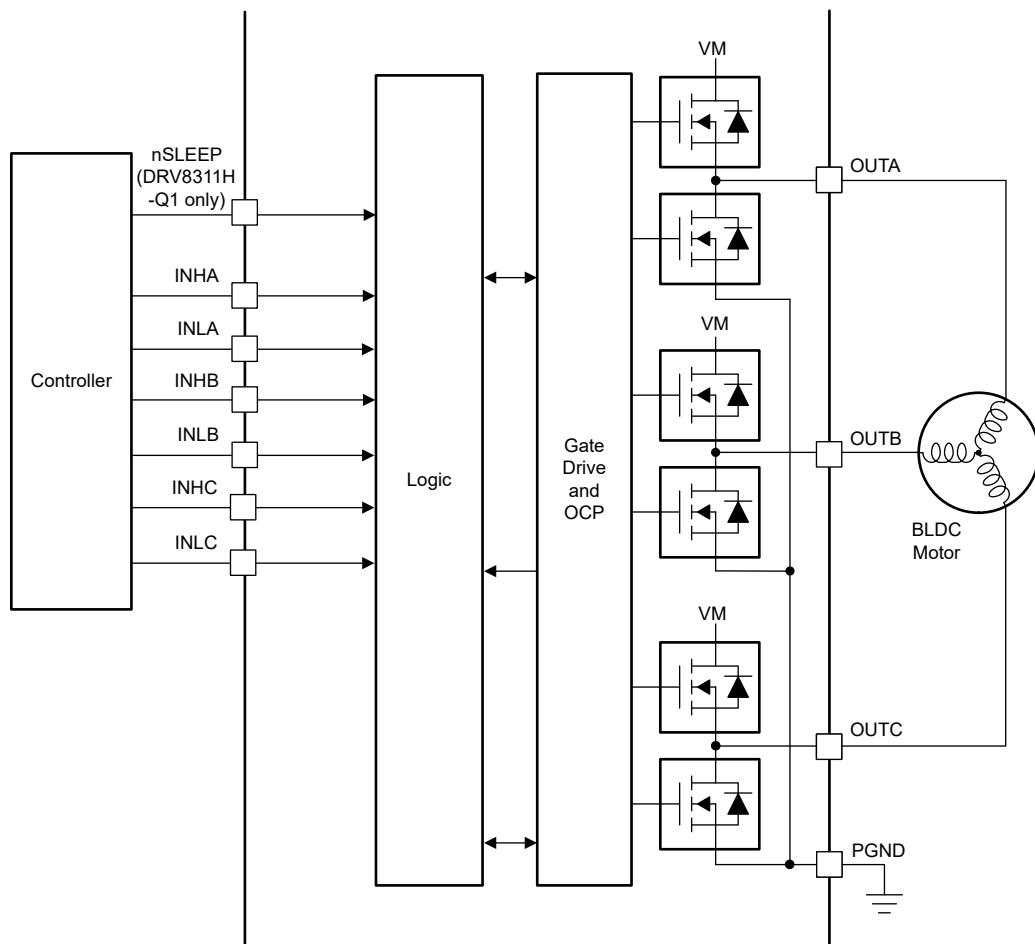


图 7-4. 6x PWM 模式

7.3.2.2 3x PWM 模式 (仅限 DRV8311S-Q1 和 DRV8311H-Q1 型号)

在 3x PWM 模式下，INH_x 引脚控制每个半桥并支持两种输出状态：低电平或高电平。要在 3x PWM 模式下配置 DRV8311H-Q1，请将 MODE 引脚连接到 AVDD 或将 MODE 引脚保持为 Hi-Z。要在 DRV8311S-Q1 中启用 3x PWM 模式，请将 MODE 位配置为 PWM_MODE = 10b。INL_x 引脚用于将半桥置于高阻态。如果不需 Hi-Z 状态，请将所有 INL_x 引脚保持逻辑高电平（例如，通过将它们连接到 AVDD）。相应的 INH_x 和 INL_x 信号控制着输出状态，如表 7-4 所示。

表 7-4. 3x PWM 模式真值表

INL _x	INH _x	OUT _x
0	X	高阻态
1	0	L
1	1	H

图 7-5 展示了在 3x PWM 模式下配置的典型应用图。

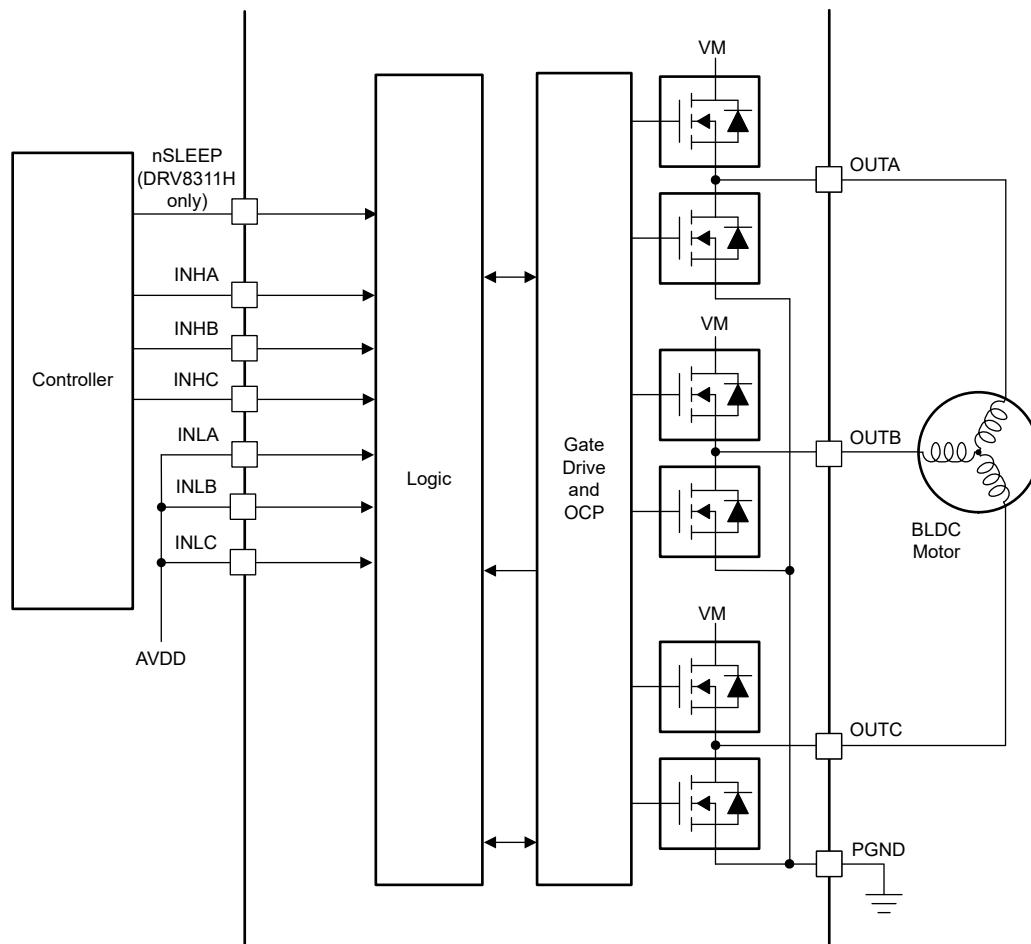


图 7-5. 3x PWM 模式

7.3.2.3 PWM 生成模式 (DRV8311S-Q1 和 DRV8311P-Q1 型号)

在 PWM 生成模式下，PWM 信号在 DRV8311-Q1 内部生成，并可通过 SPI (DRV8311S-Q1) 或 tSPI (DRV8311P-Q1) 寄存器读取/写入操作进行控制。在此工作模式下，无需再通过 INHx 和 INLx 引脚控制电机。每个相位的 PWM 周期、频率和占空比均可通过串行接口进行配置。PWM_SYNC 引脚功能可用于实现 MCU 和 DRV8311P/S-Q1 之间的同步。PWM 模式可配置为针对每个相位分别启用或禁用高侧或低侧 MOSFET PWM 控制，从而在需要时实现连续或不连续开关。在 PWM 生成模式下使用 DRV8311S-Q1 时，请将 PWM_SYNC 信号从 MCU 连接到 DRV8311S-Q1 的 INLB 引脚。在该模式下，DRV8311S-Q1 不受其他所有 INHx 和 INLx 引脚状态的影响。梯形、正弦和 FOC 控制都可以使用 PWM 生成模式来实现。

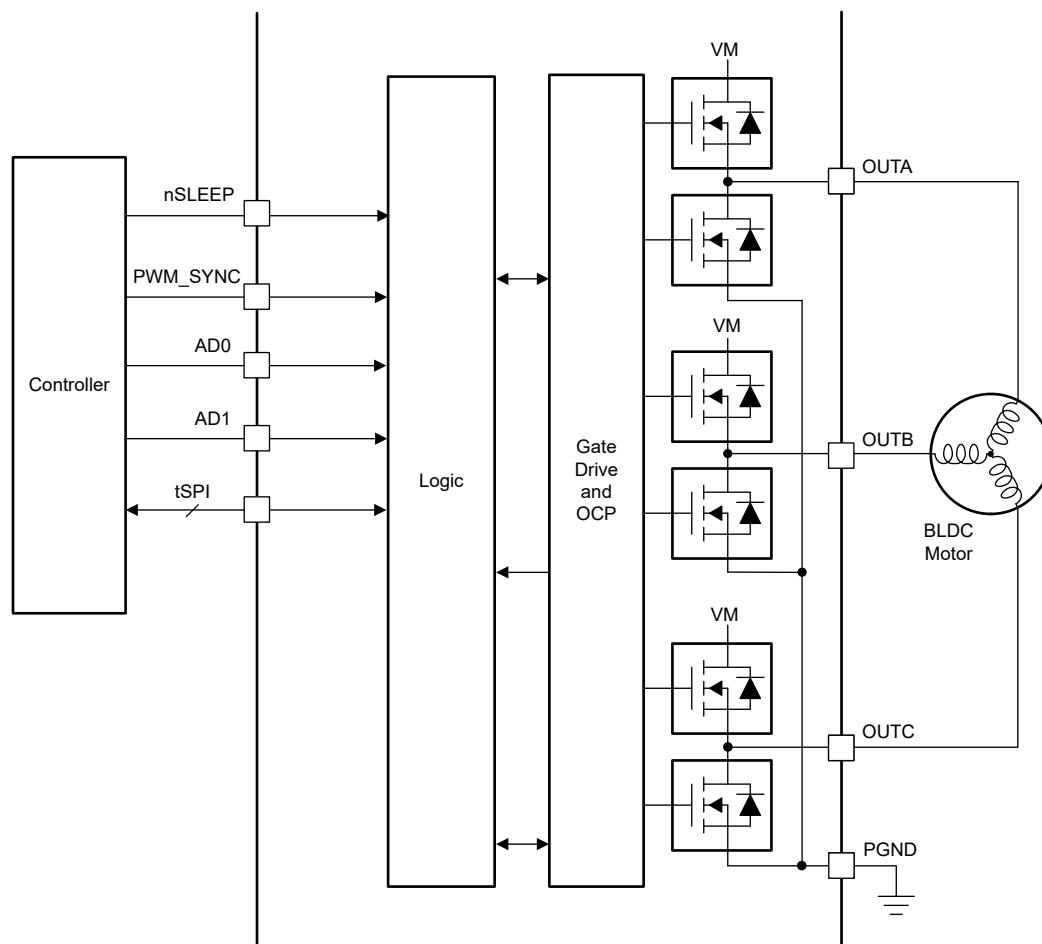


图 7-6. PWM 生成模式 - DRV8311P-Q1

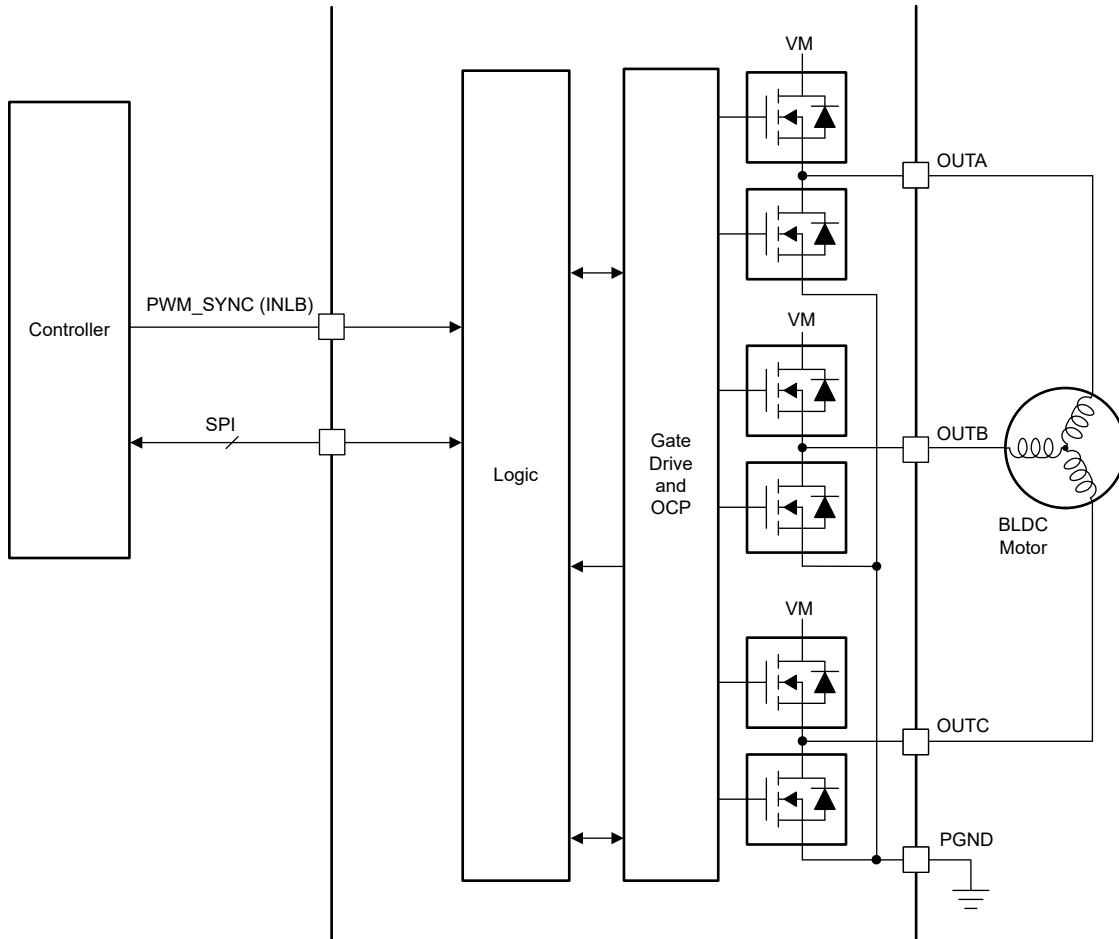


图 7-7. PWM 生成模式 - DRV8311S-Q1

PWM 生成模式有三个不同的选项：向上/向下计数模式、向上计数模式和向下计数模式。可以使用 `PWMG_CTRL` 寄存器中的 `PWMCNTR_MODE` 位来配置 PWM 生成模式。将由每个相位的 `PWMG_x_DUTY` 寄存器 (`x` 对应每个相位 A、B、C) 中的 `PWM_DUTY_OUTx` 位定义的占空比与基准计数器信号进行比较，以生成高侧 MOSFET PWM。PWM 生成过程使用的基准计数器信号是根据 `PWM_PRD_OUT` 位 (`PWMG_PERIOD` 寄存器) 和 `PWMCNTR_MODE` 位的配置在内部生成的。如果 `PWM_EN` 位为高电平，则当 `PWM_DUTY_OUTx` 大于基准计数器数值时，高侧 MOSFET PWM 输出为高电平。当 `PWM_EN` 为低电平时，输出始终保持低电平。为实现高侧 MOSFET 的 100% 占空比（整个周期内保持 HS_ON），`PWM_DUTY_OUTx` 值必须大于 `PWM_PRD_OUT` 值。

在向上/向下计数模式 [`PWMCNTR_MODE = 0h`] 下，基准计数器波形类似于 V 形，启用该模式时从 `PWM_PRD_OUT` 值向下计数，然后在计数器数值达到零后再次向上计数。配置 `PWM_PRD_OUT` 位，以使用关系式 $PWM_PRD_OUT = 0.5 \times (F_{SYS} / F_{PWM})$ 生成 PWM 频率 (F_{PWM})。 F_{SYS} 是 DRV8311P-Q1 和 DRV8311S-Q1 的内部系统时钟频率（约为 20MHz）。

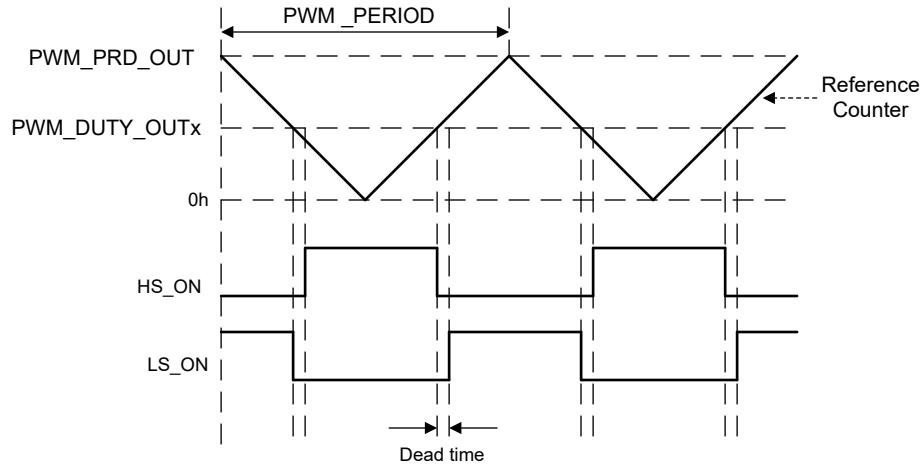


图 7-8. PWM 生成 - 向上/向下计数模式

在向上计数 [PWMCNTR_MODE = 1h] 模式下，计数器从零向上计数，直到计数达到 PWM_PRD_OUT 值，然后复位为零。 $PWM_PRD_OUT = F_{SYS} / F_{PWM}$

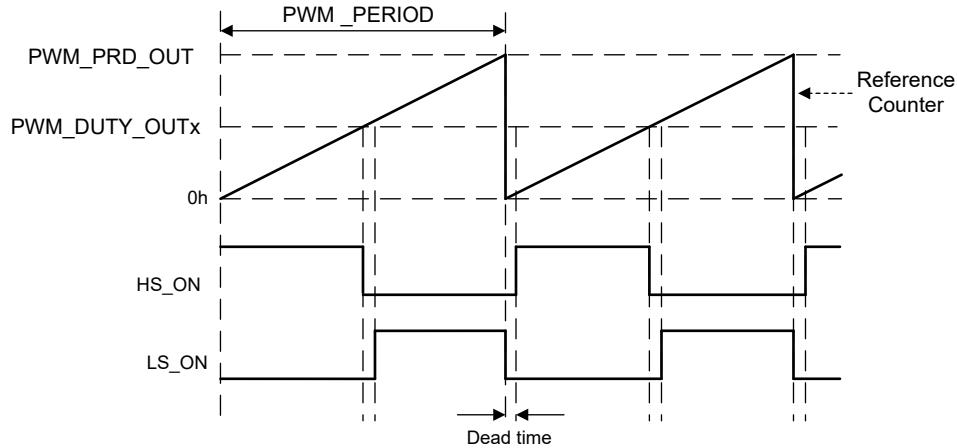


图 7-9. PWM 生成 - 向上计数模式

在向下计数模式 [PWMCNTR_MODE = 2h] 下，计数器从 PWM_PRD_OUT 值开始向下计数，直至计数达到零，然后复位为 PWM_PRD_OUT 值。 $PWM_PRD_OUT = F_{SYS} / F_{PWM}$

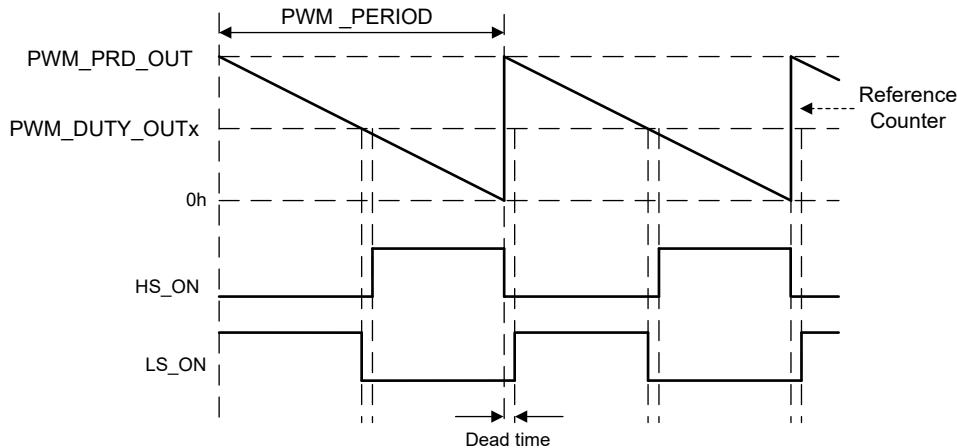


图 7-10. PWM 生成 - 向下计数模式

由 TDEAD_CTRL 寄存器配置的死区时间插入到 LS_ON 下降沿和 HS_ON 上升沿之间，以及 HS_ON 下降沿和 LS_ON 上升沿之间。

PWM 生成模式下的 PWM 同步

当没有专用的 INHx 或 INLx 控制信号时，外部 MCU 可能会失去与 DRV8311-Q1 生成的 PWM 信号的同步。为了实现同步，外部 MCU 向 PWM_SYNC 引脚发送一个基准信号。PWM 同步有助于以 MCU 时钟的精度生成 DRV8311-Q1 PWM 输出，并将 PWM 输出与 MCU 的 ADC 采样电流检测输出对齐。PWM_SYNC 信号还有助于测量 DRV8311-Q1 内部振荡器频率。DRV8311-Q1 还支持自动校准内部振荡器，无论工作条件如何，都能将振荡器校准至 20MHz。DRV8311-Q1 通过配置 PWMG_CTRL 寄存器的 PWM_OSC_SYNC 位，允许使用五种不同的方法在 MCU 和 DRV8311-Q1 之间实现同步。下面列出了不同的同步方法。

PWM_OSC_SYNC = 1h：DRV8311-Q1 使用 DRV8311-Q1 系统时钟 F_{SYS} （约为 20MHz）的计数值来测量 PWM_SYNC 信号周期 (PWM_SYNC_PRD)。MCU 读取寄存器 PWM_SYNC_PRD 后，可据此校准 PWM 周期。例如，假设 MCU 使用 MCU 计时器生成占空比为 50% 的 PWM_SYNC 信号，该计时器的周期计数为 N 且时钟频率为 F_{MCU} 。MCU 读取 DRV8311-Q1 生成的 PWM_SYNC_PERIOD 寄存器值（假设为 M）。DRV8311-Q1 使用 DRV8311-Q1 系统时钟 $F_{SYS}(DRV)$ 生成 PWM_SYNC_PERIOD。现在，MCU 计时器时钟和 DRV8311-Q1 系统时钟通过公式 $F_{MCU} \times M = F_{SYS}(DRV) \times N$ 相关联。

PWM_SYNC_PRD 为 12 位，并且当 DRV8311-Q1 内部系统时钟约为 20MHz 时，在不饱和的情况下可读取的最小 PWM_SYNC 频率约为 4.885kHz ($F_{SYS}/4095$)。

PWM_OSC_SYNC = 2h：使用来自 MCU 的 PWM_SYNC 信号设置 DRV8311-Q1 的 PWM 周期，忽略 PWMG_PERIOD 寄存器设置。DRV8311-Q1 在 PWM_SYNC 的上升沿复位 PWM 计数器。

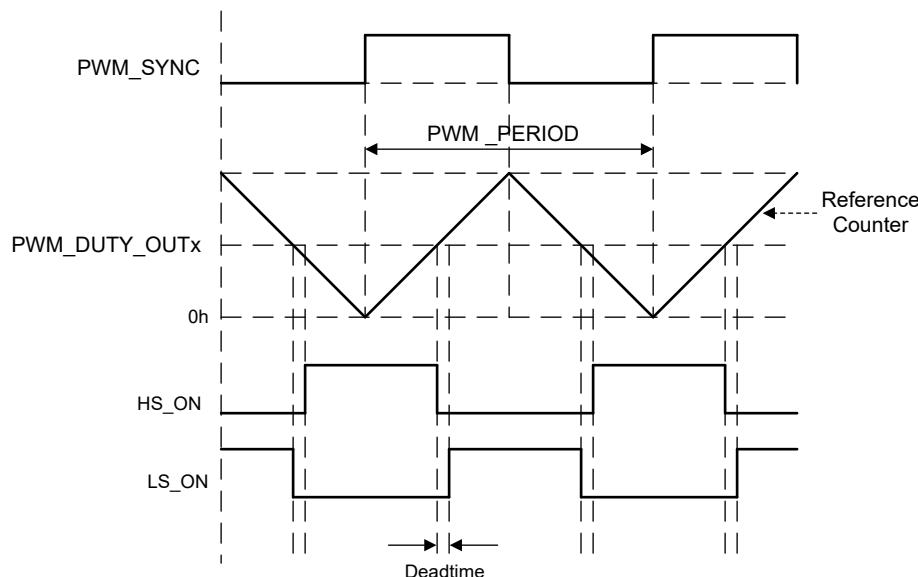


图 7-11. 向上/向下计数模式下的 PWM 同步 (PWM_OSC_SYNC = 2h)

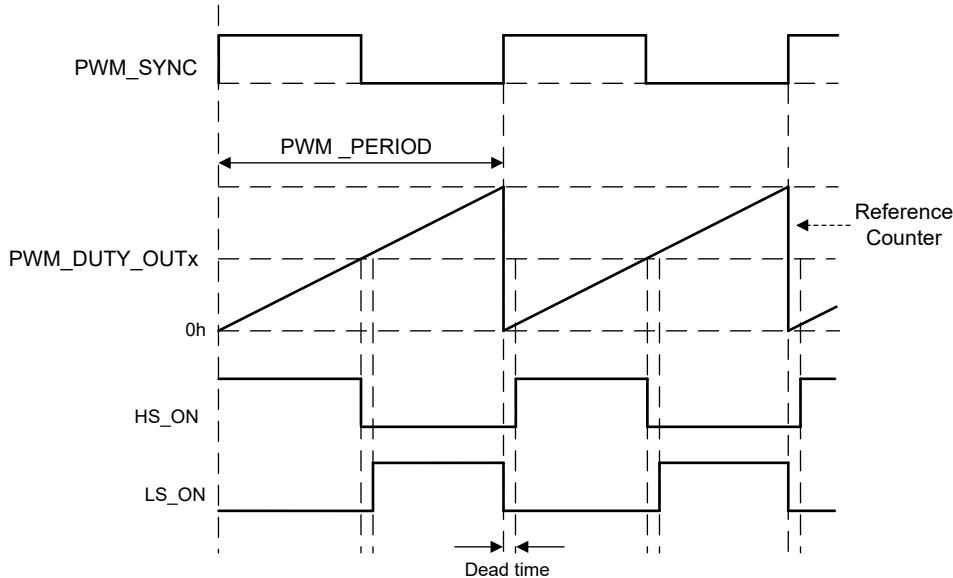


图 7-12. 向上计数模式下的 PWM 同步 (**PWM_OSC_SYNC = 2h**)

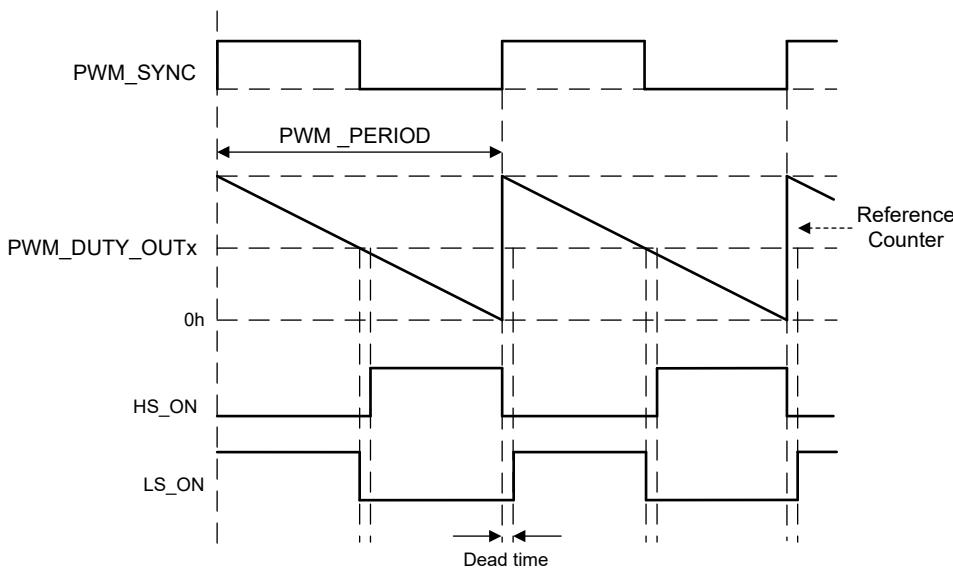


图 7-13. 向下计数模式下的 PWM 同步 (**PWM_OSC_SYNC = 2h**)

PWM_OSC_SYNC = 5h：将 **PWM_SYNC** 用于 DRV8311-Q1 内部振荡器同步（仅支持 20kHz 频率）。对于 20kHz 的 **PWM_SYNC** 信号，DRV8311-Q1 会对 **PWM_SYNC** 信号上升沿之间的内部系统振荡器时钟脉冲进行计数。对于 20MHz 处的 DRV8311-Q1 系统时钟，在理想情况下，时钟脉冲数应为 1000。偏离此数值意味着 DRV8311-Q1 生成的振荡器频率或来自 MCU 的 **PWM_SYNC** 频率存在误差。假定来自 MCU 的 **PWM_SYNC** 频率是准确的，DRV8311-Q1 会在内部进行振荡器校准，将其频率校准至 20MHz，从而与 **PWM_SYNC** 生成的 PWM 频率对齐。

PWM_OSC_SYNC = 6h：将 **PWM_SYNC** 用于 DRV8311-Q1 内部系统振荡器校准和 PWM 周期设置（仅支持 20kHz 频率）。将忽略 **PWMG_PERIOD** 寄存器设置。DRV8311-Q1 在 **PWM_SYNC** 的上升沿复位 PWM 基准计数器。

PWM_OSC_SYNC = 7h：使用 SPI 时钟引脚 **SCLK** 将 DRV8311-Q1 内部系统振荡器校准至 20MHz。在此模式下，用户必须通过配置 **PWMG_CTRL** 寄存器来配置用于同步振荡器的 SPI 时钟频率 (**SPICLK_FREQ_SYNC**) 以

及同步振荡器所需的 SPI 时钟周期数 (SPISYNC_ACRCY)。DRV8311-Q1 使用 DRV8311-Q1 内部系统时钟 F_{SYS} 计数来测量完整 SPI 时钟周期 (由 SPISYNC_ACRCY 配置) 的总时间，并校准内部系统时钟以匹配 20MHz 频率的预期计数。校准后，DRV8311-Q1 系统振荡器频率相对于 20MHz 的精度取决于 SPISYNC_ACRCY 的配置。

7.3.3 器件接口模式

该器件系列支持三种不同的接口模式 (SPI、tSPI 和硬件)，既可提供更高的简便性 (硬件接口)，也能实现更强的灵活性与诊断功能 (SPI)。SPI 和硬件接口模式共享相同的四个引脚，允许不同的版本之间实现引脚对引脚兼容。建议设计人员采用 SPI 版本进行评估，因其便于更改设置；并且可以考虑通过对设计进行最小幅度改动而切换至硬件接口。

7.3.3.1 串行外设接口 (SPI)

SPI/tSPI 器件支持串行通信总线，使外部控制器能够与 DRV8311P-Q1 和 DRV8311S-Q1 之间进行数据的发送和接收。这支持外部控制器配置器件设置并读取详细的故障信息。该接口是一种使用 SCLK、SDI、SDO 和 nSCS 引脚的四线制接口，下面对此进行了说明：

- SCLK (串行时钟) 引脚是一个输入引脚，它接受时钟信号以确定何时在 SDI 和 SDO 引脚上捕获和传播数据。
- SDI (串行数据输入) 引脚是数据输入引脚。
- SDO (串行数据输出) 引脚是数据输出引脚。
- nSCS (串行芯片选择) 引脚是片选输入引脚。该引脚上的逻辑低电平信号支持与 DRV8311-Q1 进行 SPI 通信。

有关 SPI 的更多信息，请参阅 [节 7.5](#)。

7.3.3.2 硬件接口

硬件接口器件省略了四个 SPI 引脚，而是提供 nSLEEP 引脚和三个可通过电阻器配置的输入，即 GAIN、SLEW 和 MODE。

通过将引脚连接为逻辑低电平、逻辑高电平或者使用电阻器上拉或下拉，可以在硬件接口上调整常见的器件设置。故障条件在 nFAULT 引脚上报告，但不提供详细的诊断信息。

- GAIN 引脚可配置电流检测放大器的增益。
- SLEW 引脚可配置输出到电机的电压的转换率。
- MODE 引脚可配置 PWM 控制模式和 OCP 电平。

有关硬件接口的更多信息，请参阅 [节 7.3.9](#)。

表 7-5. 硬件引脚解码

配置	增益	SLEW	模式
引脚连接至 AGND	0.25V/A	35V/ μ s	6x PWM 模式和 9A OCP 电平
引脚连接至 $47k\Omega$ 再连接至 AGND	0.5V/A	75V/ μ s	6x PWM 模式和 5A OCP 电平
引脚连接至 Hi-Z	1V/A	180V/ μ s	3x PWM 模式和 9A OCP 电平
引脚连接至 AVDD	2V/A	230V/ μ s	3x PWM 模式和 5A OCP 电平

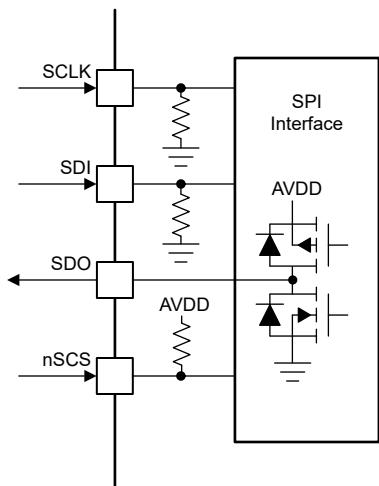


图 7-14. DRV8311P/S-Q1 SPI

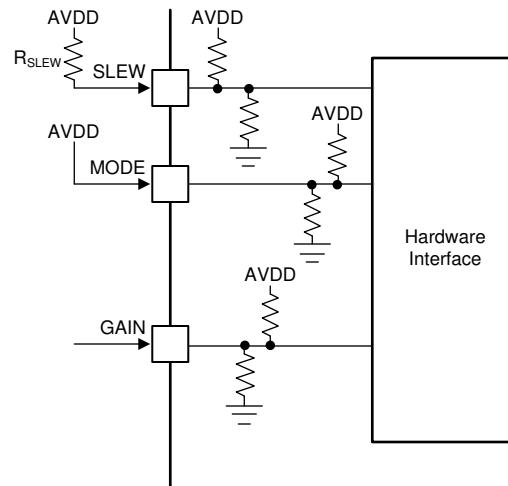


图 7-15. DRV8311H-Q1 硬件接口

7.3.4 AVDD 线性稳压器

DRV8311-Q1 系列器件中集成了一个 3.3V、100mA 线性稳压器，可为外部电路供电。AVDD 稳压器用于为 DRV8311-Q1 的内部数字功能加电，还可以为低功耗 MCU 或其他不高于 100mA 的电路提供电源电压。AVDD 稳压器的输出在 AVDD 和 AGND 引脚附近旁路，通过一个 X5R 或 X7R、最高 4.7 μ F、6.3V 的陶瓷电容器直接连接回相邻的 AGND 接地引脚。

AVDD 标称空载输出电压为 3.3V。

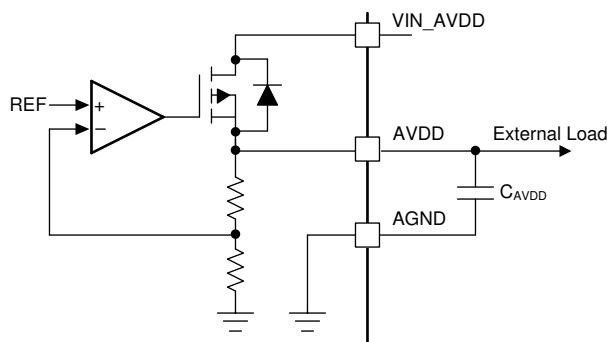


图 7-16. AVDD 线性稳压器方框图

可以使用 [方程式 1](#) 来计算 AVDD 线性稳压器导致的器件中耗散的功率。

$$P = (V_{VIN_AVDD} - V_{AVDD}) \times I_{AVDD} \quad (1)$$

AVDD 稳压器的电源输入电压 (V_{VIN_AVDD}) 可以与 VM 电源电压相同，也可以低于或高于 VM 电源电压。

7.3.5 电荷泵

由于输出级使用 N 沟道 FET，因此 DRV8311-Q1 器件需要高于 VM 电源的栅极驱动电压才能完全增强高侧 FET。该器件集成了一个电荷泵电路，可为此目的生成高于 VM 电源的电压。

电荷泵需要一个外部电容器才能运行。有关电容器值的详细信息，请参阅 表 7-1。

当 nSLEEP 为低电平时，电荷泵会关断。

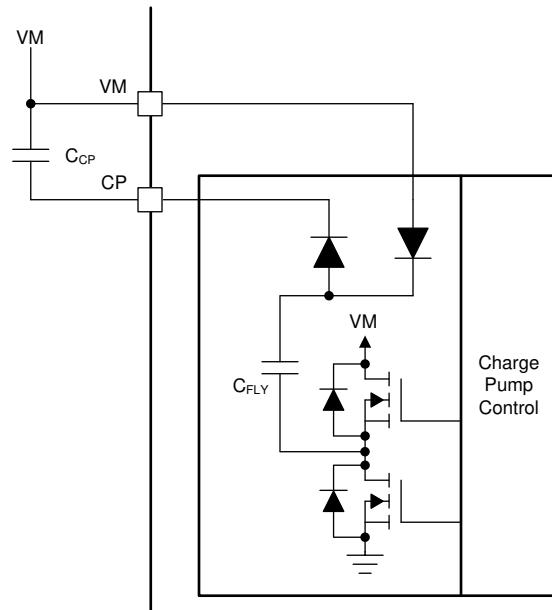


图 7-17. 电荷泵

7.3.6 压摆率控制

对 MOSFET 实施可调栅极驱动电流控制，可以轻松控制转换率。MOSFET VDS 转换率是优化辐射发射、二极管恢复尖峰的能量和持续时间以及与寄生效应相关的开关电压瞬态的关键因素。这些压摆率主要由内部 MOSFET 的栅极电荷的速率决定，如图 7-18 所示。

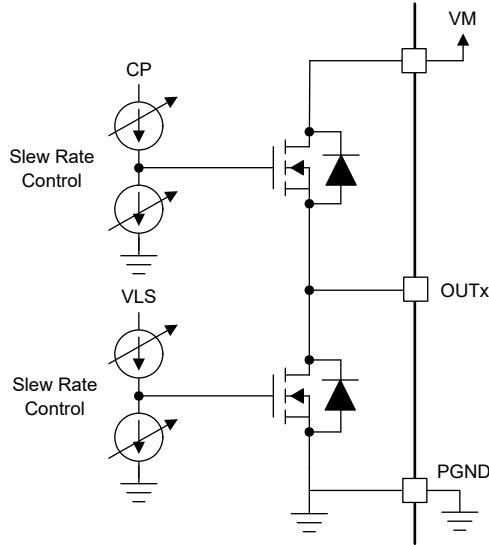


图 7-18. 压摆率电路实现

在硬件型号中，每个半桥的转换率可以通过 SLEW 引脚进行调整，在 SPI 器件型号中则使用 SLEW 寄存器位进行调整。转换率根据 OUTx 引脚电压的上升时间和下降时间计算得出，如图 7-19 所示。

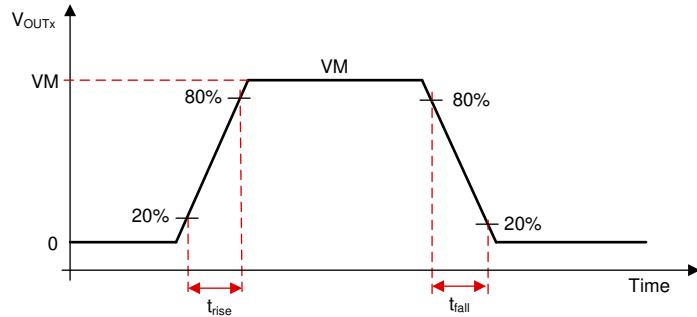


图 7-19. 压摆率时序

7.3.7 跨导 (死区时间)

该器件针对 MOSFET 的跨导提供全面保护。通过插入死区时间 (t_{DEAD})，可在运行高侧和低侧 MOSFET 时避免产生任何击穿电流。这是通过检测高侧和低侧 MOSFET 的栅源电压 (VGS) 并保持高侧 MOSFET 的 VGS 已达到低于关断电平，然后再打开同一半桥的低侧 MOSFET 来实现的，如图 7-20 和图 7-21 所示。图 7-21 中显示的高侧和低侧 MOSFET 的 VGS (VGS_HS 和 VGS_LS) 是器件内部信号。

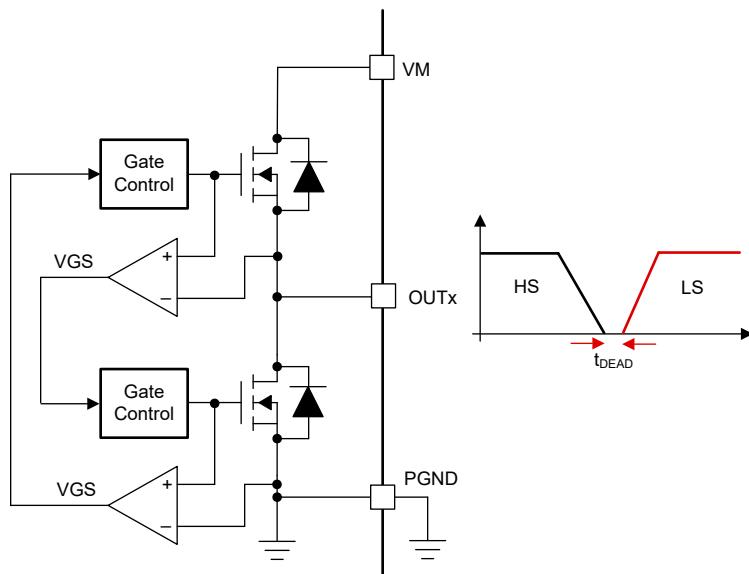


图 7-20. 跨导保护

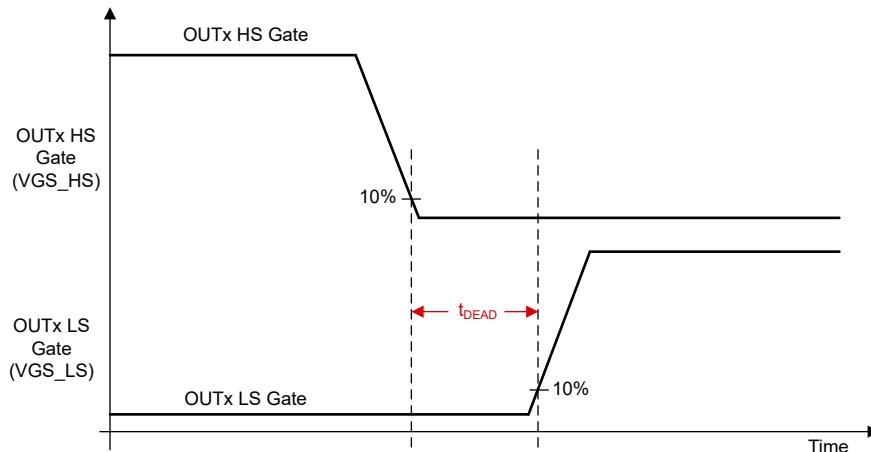


图 7-21. 死区时间

7.3.8 传播延迟

传播延迟时间 (t_{PD}) 是输入逻辑边沿到 OUTx 电压发生变化所经历的时间。传播延迟时间包括输入抗尖峰脉冲延迟、模拟驱动器延迟，并取决于转换率设置。输入抗尖峰脉冲器可防止输入引脚上的高频噪声影响栅极驱动器的输出状态。为了支持多种控制模式，在输入命令通过器件传播时添加了一个较小的数字延迟。

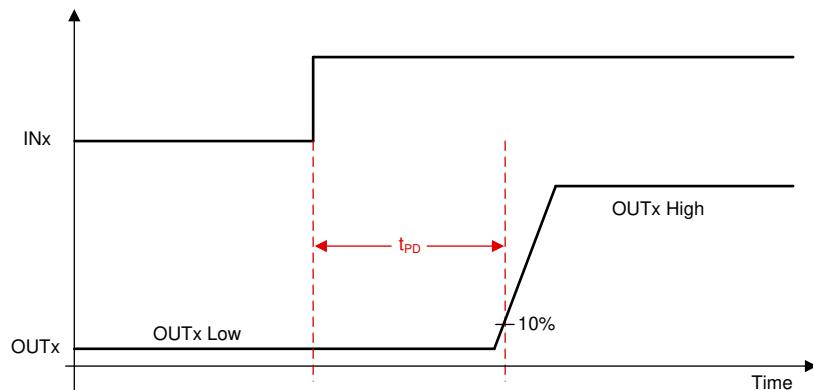


图 7-22. 传播延迟

7.3.9 引脚图

本节介绍所有数字输入和输出引脚的 I/O 结构。

7.3.9.1 逻辑电平输入引脚 (内部下拉)

图 7-23 展示了逻辑电平引脚 INHx、INLx、nSLEEP、SCLK 和 SDI 的输入结构。输入可通过连接到 GND 的外部电阻器或外部逻辑电压电源驱动。TI 建议在器件睡眠模式下将这些引脚拉至低电平，以减少流经内部下拉电阻器的泄漏电流。

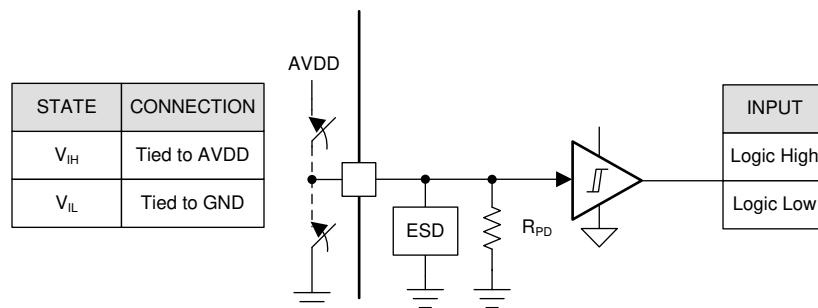


图 7-23. 逻辑电平输入引脚结构

7.3.9.2 逻辑电平输入引脚 (内部上拉)

图 7-24 展示了逻辑电平引脚 nSCS 的输入结构。输入可以通过连接到 GND 的外部电阻器或外部逻辑电压电源驱动。

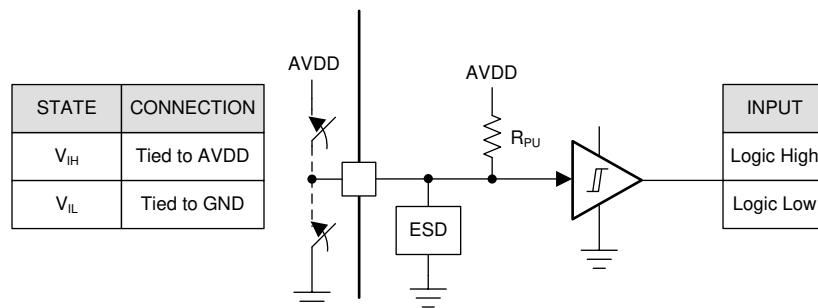


图 7-24. nSCS 输入引脚结构

7.3.9.3 开漏引脚

图 7-25 展示了漏极开路输出引脚 nFAULT 的结构。漏极开路输出需要将一个外部上拉电阻器连接到逻辑电源才能正常运行。

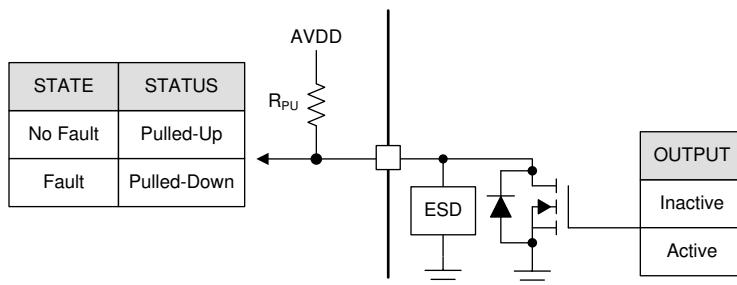


图 7-25. 漏极开路输出引脚结构

7.3.9.4 推挽引脚

图 7-26 展示了推挽引脚 SDO 的结构。

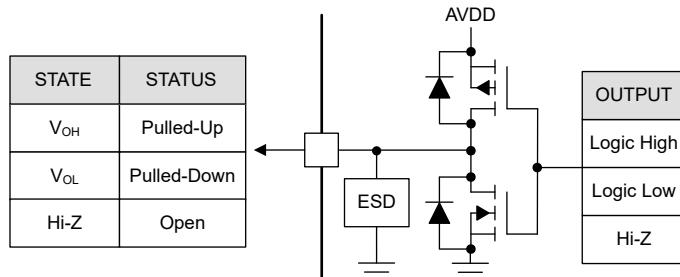


图 7-26. 推挽输出引脚结构

7.3.9.5 四电平输入引脚

图 7-27 展示了硬件接口器件上的四电平输入引脚 GAIN、MODE 和 SLEW。可以通过将引脚连接到 AGND 或 AVDD，将引脚保持未连接状态或在引脚与地之间连接一个外部电阻器来设置输入。

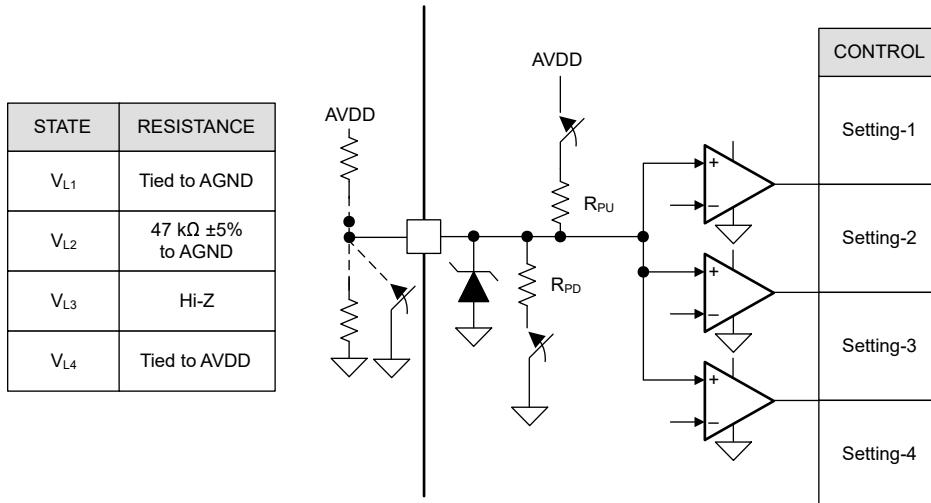


图 7-27. 四电平输入引脚结构

7.3.10 电流检测放大器

该器件集成了三个高性能低侧电流检测放大器，以便使用内置电流检测进行电流测量。通常会通过测量低侧电流来实施过流保护、外部扭矩控制或通过外部控制器进行无刷直流换向。三个放大器都可用于检测每个半桥臂（低侧 MOSFET）中的电流。电流检测放大器包括可编程增益和在引脚 CSAREF 上提供的外部电压基准（VREF）。

7.3.10.1 电流检测放大器操作

该器件上的 SO_x 引脚输出的模拟电压与低侧 FET (I_{OUTx}) 中流动的电流和增益设置 (G_{CSA}) 的乘积成比例。增益设置可在四个不同级别之间调节，可通过 GAIN 引脚（硬件器件型号）或 CSA_GAIN 位（SPI 或 tSPI 器件型号）设置这些级别。

图 7-28 显示了电流检测放大器的内部架构。电流检测是通过器件的每个低侧 FET 上的检测 FET 实施的。该电流信息转换为一个电压，进而根据 CSAREF 引脚上的电压（VREF）和增益设置在 SO_x 引脚上生成 CSA 输出电压。CSA 输出电压可使用方程式 2 计算

$$SO_x = \frac{V_{REF}}{2} \pm (G_{CSA} \times I_{OUTx}) \quad (2)$$

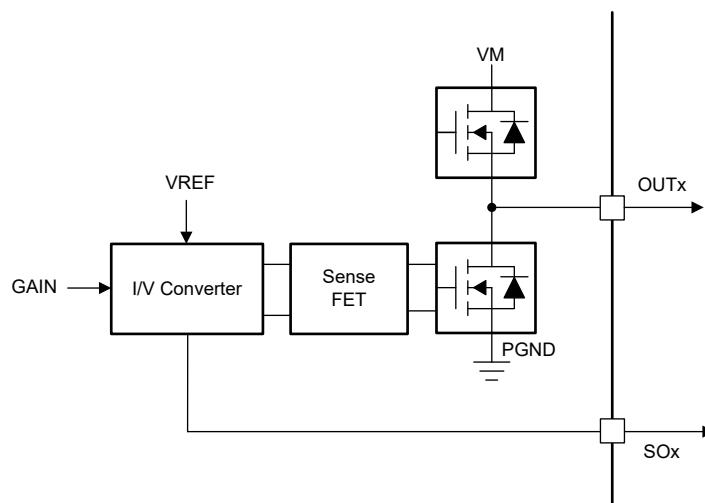


图 7-28. 集成电流检测放大器

图 7-29 和图 7-30 显示了放大器工作范围的详细信息。在双向运行中，0V 输入的放大器输出设置为 $V_{REF}/2$ 。差分输入的任何变化都会导致输出与 G_{CSA} 因子的乘积发生相应的变化。放大器有一个定义的线性区域，在该区域内放大器可以保持运行。

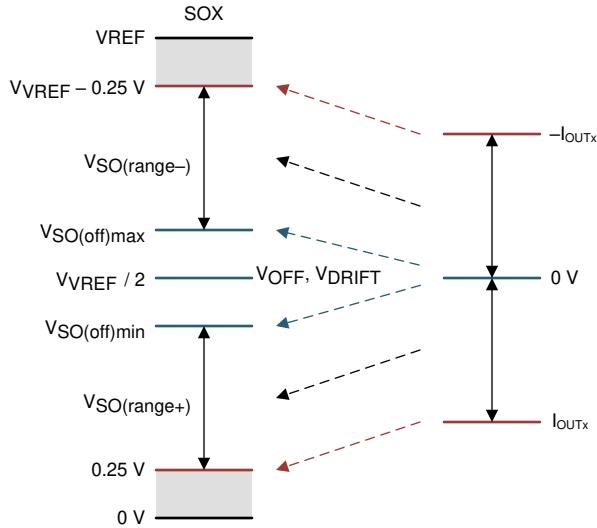


图 7-29. 双向电流检测输出

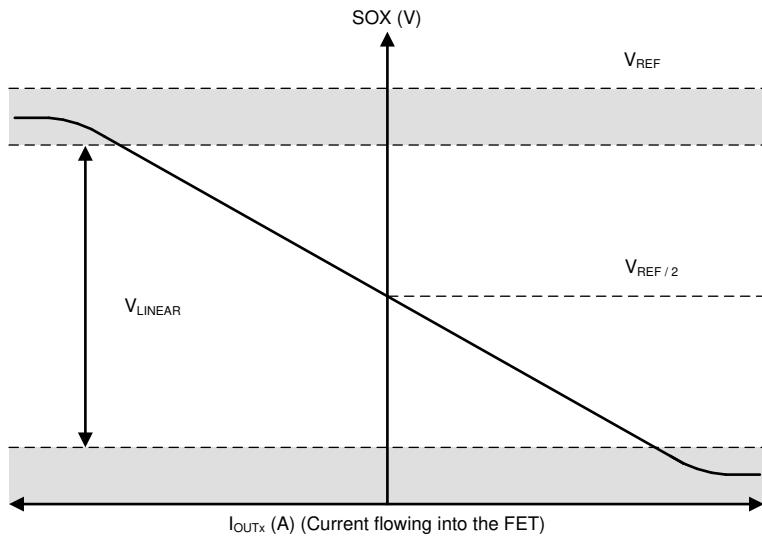


图 7-30. 双向电流检测区域

备注

电流检测放大器使用在 CSAREF 引脚上提供的外部电压基准 (V_{REF})。

7.3.10.2 电流检测放大器失调电压校正

CSA 输出存在由于检测 FET 和输出 FET 之间的接地差异而引起的失调电压。当运行梯形控制或其他基于单一分流器的控制（例如，含传感器的正弦）时，此 CSA 失调电压对运行没有影响。当运行需要两个或三个电流检测的无传感器正弦或 FOC 控制时，可能会出现一些电流失真和噪声，除非用户执行以下纠正措施。

纠正措施：在固件中实施以下公式，以纠正任何电流引起的失调电压：

1. 当使用所有三个电流检测放大器时：

$$i_a = 1.001152*i_{a_sensed} - 0.003375*i_{b_sensed} - 0.003103*i_{c_sensed} \quad (3)$$

$$i_b = 0.002369*i_{a_sensed} + 1.000665*i_{b_sensed} - 0.019126*i_{c_sensed} \quad (4)$$

$$i_c = 0.001234*i_{a_sensed} + 0.001595*i_{b_sensed} + 0.998166*i_{c_sensed} \quad (5)$$

2. 当仅使用三个电流检测放大器中的两个时：

a. 在 A 相和 B 相中检测到的电流：

$$i_a = 1.004346*i_{a_sensed} - 0.000199*i_{b_sensed} \quad (6)$$

$$i_b = 0.022060*i_{a_sensed} + 1.020405*i_{b_sensed} \quad (7)$$

$$i_c = -(i_a + i_b) \quad (8)$$

b. 在 B 相和 C 相中检测到的电流：

$$i_b = 0.998309*i_{b_sensed} - 0.021427*i_{c_sensed} \quad (9)$$

$$i_c = 0.000368*i_{b_sensed} + 0.996967*i_{c_sensed} \quad (10)$$

$$i_a = -(i_b + i_c) \quad (11)$$

c. 在 C 相和 A 相中检测到的电流

$$i_a = 1.004547*i_{a_sensed} + 0.000195*i_{c_sensed} \quad (12)$$

$$i_c = 0.000371*i_{a_sensed} + 0.996975*i_{c_sensed} \quad (13)$$

$$i_b = -(i_a + i_c) \quad (14)$$

7.3.11 保护功能

该器件受到 VM、VIN_AVDD、AVDD 和 CP 欠压、过流和热事件保护。表 7-6 总结了各种故障详细信息。

表 7-6. 故障操作和响应

故障	条件	配置	报告	H 桥	逻辑	恢复
VM 欠压 (NPOR)	$V_{VM} < V_{UVLO}$	—	—	高阻态	禁用	自动： $V_{VM} > V_{UVLO_R}$ CLR_FLT, nSLEEP 复位脉冲 (NPOR 位)
VINAVDD 欠压 (VINAVDD_UV)	$V_{VINAVDD} < V_{VINAVDD_UV}$	—	nFAULT	高阻态	有效 (禁用 SPI)	使用 UVP_MODE 配置
AVDD 欠压 (AVDD_UV)	$V_{AVDD} < V_{AVDD_UV}$	—	nFAULT	高阻态	有效 (禁用 SPI)	使用 UVP_MODE 配置
电荷泵欠压 (CP_UV)	$V_{CP} < V_{CPUV}$	—	nFAULT	高阻态	有效	使用 UVP_MODE 配置
CSAREF 欠压 (CSAREF_UV)	$V_{CSAREF} < V_{CSAREF_UV}$	$CSAREFUV_EN = 1b$	nFAULT	有效 (禁用 CSA)	有效	使用 UVP_MODE 配置
		$CSAREFUV_EN = 0b$	无	有效	有效	无操作
过流保护 (OCP)	$I_{PHASE} > I_{OCP}$	$OCP_MODE = 000b$	nFAULT	高阻态	有效	自动重试： SLOW_TRETRY
		$OCP_MODE = 001b$	nFAULT	高阻态	有效	自动重试： FAST_TRETRY
		$OCP_MODE = 010b$	nFAULT	高阻态	有效	锁存： CLR_FLT, nSLEEP 复位脉冲
		$OCP_MODE = 011b$	nFAULT	有效	有效	无操作
		$OCP_MODE = 111b$	无	有效	有效	无操作
SPI 故障 (SPI_FLT)	SCLK 故障和 ADDR 故障	SPIFLT_MODE = 0b	nFAULT	有效	有效	自动
		SPIFLT_MODE = 1b	无	有效	有效	无操作
热警告 (OTW)	$T_J > T_{OTW}$	OTW_EN = 0b	无	有效	有效	无操作
		OTW_EN = 1b	nFAULT	有效	有效	自动： $T_J < T_{OTW} - T_{HYS}$
热关断 (OTSD)	$T_J > T_{OTSD}$	OTSD_MODE = 00b	nFAULT	高阻态	有效	$T_J < T_{OTSD} - T_{HYS}$ 之后自动执行 SLOW_TRETRY
		OTSD_MODE = 01b	nFAULT	高阻态	有效	$T_J < T_{OTSD} - T_{HYS}$ 之后自动执行 FAST_TRETRY

7.3.11.1 VM 电源欠压锁定 (NPOR)

如果在任何时候 VM 引脚上的输入电源电压降至低于 V_{UVLO} 阈值（VM UVLO 下降阈值），所有集成式 FET、驱动器电荷泵和数字逻辑控制器都会被禁用，如图 7-31 所示。消除 VM 欠压条件后，将恢复正常运行（驱动器运行）。一旦器件假定 VM，器件状态 (DEV_STS1) 寄存器中的 NPOR 位就会复位并锁存为低电平。NPOR 位会保持复位状态，直到通过 CLR_FLT 位或 nSLEEP 引脚复位脉冲 (t_{RST}) 将其清除为止。

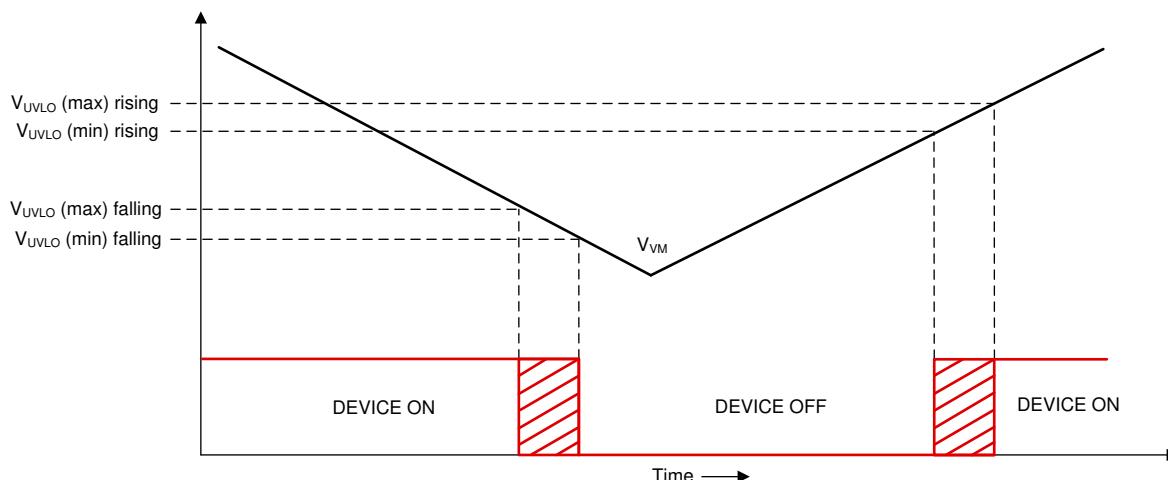


图 7-31. VM 电源欠压锁定

7.3.11.2 欠压保护 (UVP)

除 VM ULVO 外，该器件还为 VIN_AVDD、CSAREF、AVDD 和 CP 引脚提供欠压保护。VINAVDD_UV、CP_UV 和 AVDD_UV 欠压保护处于启用状态且无法禁用，而 CSAREF_UV 默认处于禁用状态，在 SPI 型号中可以配置 SYSF_CTRL 寄存器中的 CSAREFUVE_EN 来启用。

在硬件器件型号中，AVDD_UV、VINAVDD_UV、CP_UV 保护处于启用状态，而 CSAREF_UV 处于禁用状态，并且 t_{RETRY} 配置了 5ms 的快速自动重试时间。

针对所有 UV 保护的 SPI 器件型号 t_{RETRY} 配置

- 通过将 UVP_MODE 配置为 000b，可将慢速重试时间 SLOW_TRETRY 用于 t_{RETRY} 周期
- 通过将 UVP_MODE 配置为 001b，可将快速重试时间 FAST_TRETRY 用于 t_{RETRY} 周期

VINAVDD 欠压保护 (VINAVDD_UV)

若 VIN_AVDD 引脚电压在任何时刻降至低于 $V_{VINAVDD_UV}$ 阈值，所有集成 FET、SPI 通信将被禁用，nFAULT 引脚将被驱动至低电平，DEV_STS1 中的 FAULT 和 UVP 以及 SUP_STS 中的 VINAVDD_UV 将设置为高电平。在 VIN_AVDD 引脚电压上升至高于 $V_{VINAVDD_UV}$ 阈值且经过时间 t_{RETRY} 后，将自动再次开始正常运行（驱动器运行，释放 nFAULT 引脚并将 VINAVDD_UV 位清零）。FAULT 与 UVP 位将保持锁存的高电平状态，直至通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 发出清除故障命令。

AVDD 欠压保护 (AVDD_UV)

若 AVDD 引脚电压在任何时刻降至低于 V_{AVDD_UV} 阈值，所有集成 FET、SPI 通信将被禁用，nFAULT 引脚将被驱动至低电平，DEV_STS1 中的 FAULT 和 UVP 以及 SUP_STS 中的 AVDD_UV 将设置为高电平。在 AVDD 引脚电压上升至高于 V_{AVDD_UV} 阈值且经过时间 t_{RETRY} 后，将自动再次开始正常运行（驱动器运行，释放 nFAULT 引脚并将 AVDD_UV 位清零）。FAULT 与 UVP 位将保持锁存的高电平状态，直至通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 发出清除故障命令。

CSAREF 欠压保护 (CSAREF_UV)

若 CSAREF 引脚电压在任何时刻降至低于 V_{CSAREF_UV} 阈值，则会识别到 CSAREF_UV。CSA_UV 可通过配置 CSAREFU_UV_EN 来启用或禁用。启用时，在 CSAREF_UV 事件后，CSA 将被禁用，nFAULT 引脚被驱动至低电平，DEV_STS1 中的 FAULT 和 UVP 以及 SUP_STS 中的 CSAREF_UV 被设置为高电平。清除 CSAREF_UV 条件且经过时间 t_{RETRY} 后，将自动再次开始正常运行（CSA 运行，释放 nFAULT 引脚并将 CSAREF_UV 位清零）。FAULT 与 UVP 位将保持锁存的高电平状态，直至通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 发出清除故障命令。

备注

CSAREF_UV 在硬件型号中禁用，在 SPI 型号中亦默认禁用

CP 欠压保护 (CP_UV)

若 CP 引脚电压在任何时刻降至低于 V_{CP_UV} 阈值，所有集成 FET 和电荷泵运行将被禁用，nFAULT 引脚将被驱动至低电平，DEV_STS1 中的 FAULT 和 UVP 以及 SUP_STS 中的 CP_UV 将设置为高电平。在 CP 引脚电压上升至高于 V_{CP_UV} 阈值且经过时间 t_{RETRY} 后，将自动再次开始正常运行（驱动器和电荷泵运行，释放 nFAULT 引脚并将 CP_UV 位清零）。FAULT 与 UVP 位将保持锁存的高电平状态，直至通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 发出清除故障命令。

7.3.11.3 过流保护 (OCP)

可以通过监测流经 FET 的电流来检测 MOSFET 过流事件。如果流经 FET 的电流超过 I_{OCP} 阈值的时间长于 t_{OCP} 抗尖峰脉冲时间，则会识别到 OCP 事件并根据 OCP_MODE 位执行操作。为避免 PWM 切换期间由于相电压振铃而误触发 OCP，数字 PWM 信号的每个边沿都应用了 t_{BLANK} 消隐时间。在消隐时间期间，OCP 事件将被忽略。

在硬件器件型号上，根据 MODE 引脚的不同， I_{OCP} 阈值为 5A 或 9A（典型值）， t_{OCP_DEG} 固定为 1μs， t_{BLANK} 固定为 0.2μs，并且 OCP_MODE 位配置为具有 5ms 自动重试时间的快速重试。在 SPI 器件上，可以通过 OCP_LVL 设置 I_{OCP} 阈值，通过 OCP_DEG 设置 t_{OCP_DEG} ，通过 OCP_TBLANK 设置 t_{BLANK} ，而 OCP_MODE 位可以在四种不同模式下运行：OCP 锁存关断、OCP 自动重试（具有快速和慢速重试时间）、OCP 仅报告和 OCP 禁用。

7.3.11.3.1 OCP 锁存关断 (OCP_MODE = 010b)

在该模式下发生 OCP 事件后，所有 MOSFET 都被禁用，并且 nFAULT 引脚被驱动至低电平。FAULT、OCP 和相应的 FET OCP 位在 SPI 寄存器中被锁存为高电平。OCP 条件清除并通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 发出清除故障命令后，将再次开始正常运行（驱动器运行，FAULT、OCP 和相应 FET 的 OCP 位清零且释放 nFAULT 引脚）。

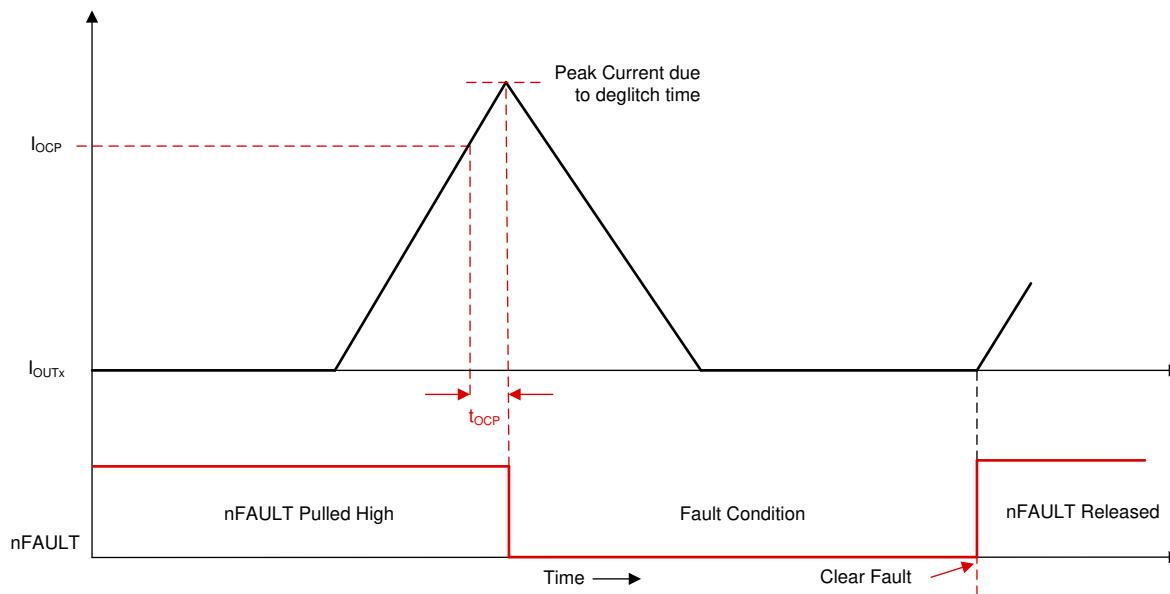


图 7-32. 过流保护 - 锁存关断模式

7.3.11.3.2 OCP 自动重试 ($OCP_MODE = 000b$ 或 $001b$)

在该模式下发生 OCP 事件后，所有 FET 都被禁用，并且 nFAULT 引脚被驱动至低电平。FAULT、OCP 和相应的 FET OCP 位在 SPI 寄存器中被设置为高电平。经过时间 t_{RETRY} 后，将自动再次开始正常运行（驱动器运行，释放 nFAULT 引脚并将相应 FET 的 OCP 位清零）。FAULT 与 OCP 位将保持锁存的高电平状态，直至通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 发出清除故障命令。

t_{RETRY} 配置：

- 通过将 OCP_MODE 配置为 000b，可将慢速重试时间 SLOW_TRETRY 用于 t_{RETRY} 周期
- 通过将 OCP_MODE 配置为 001b，可将快速重试时间 FAST_TRETRY 用于 t_{RETRY} 周期

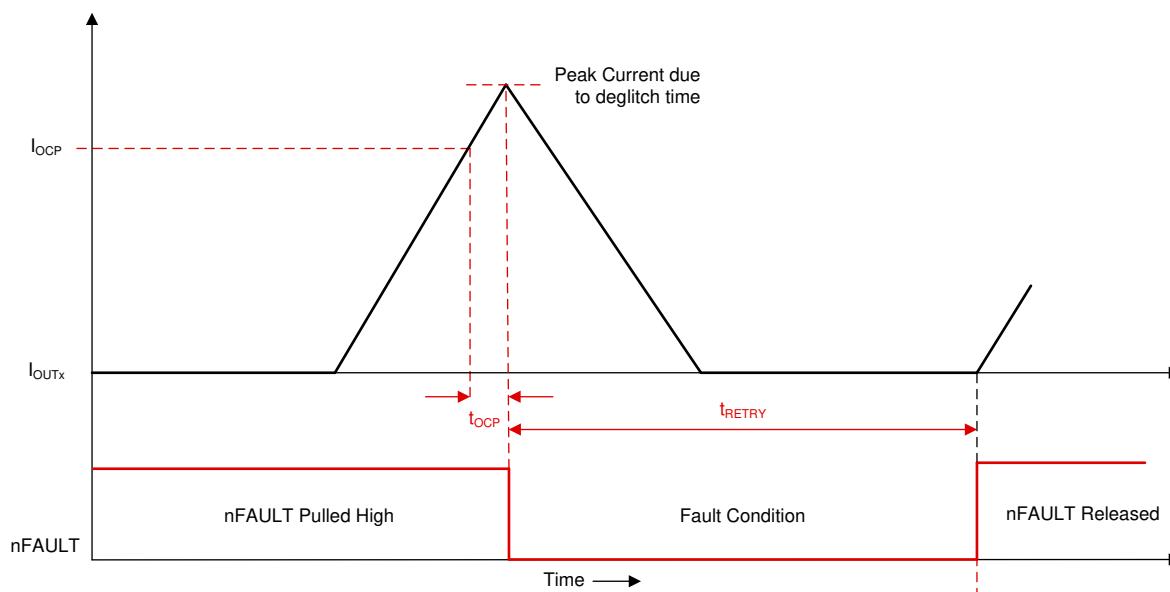


图 7-33. 过流保护 - 自动重试模式

7.3.11.3.3 OCP 仅报告 (*OCP_MODE = 011b*)

在该模式下发生 OCP 事件后不会执行任何保护性操作。可以通过将 nFAULT 引脚驱动至低电平并将 SPI 寄存器中的 FAULT、OCP 和相应的 FET OCP 位设置为高电平来报告过流事件。器件继续照常运行。外部控制器通过适当的操作来管理过流状况。OCP 条件清除并通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 发出清除故障命令后，报告清除（释放 nFAULT 引脚，FAULT、OCP 和相应 FET 的 OCP 位清零）。

7.3.11.3.4 OCP 已禁用 (*OCP_MODE = 111b*)

在该模式下发生 OCP 事件后不会执行任何操作。

7.3.11.4 过热保护

该器件具有针对过热事件的过热警告 (OTW) 和过热关断 (OTSD) 功能。

7.3.11.4.1 热警告 (OTW)

如果芯片温度超过热警告的触发点 (T_{OTW})，则会设置器件状态 (DEV_STS1) 寄存器中的 OT 位和 OT_STS 状态寄存器中的 OTW 位。可以通过设置配置控制寄存器中的过热警告报告 (OTW_EN) 位来启用 nFAULT 引脚上的 OTW 报告。器件不会执行任何其他操作，并且会继续运行。在这种情况下，当芯片温度降至低于热警告的磁滞点 (T_{OTW_HYS}) 时，nFAULT 引脚会释放，OTW 位会被清零。OT 位保持锁存状态，直到通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 将其清零且芯片温度低于热警告触发点 (T_{OTW})。

在硬件器件型号上，默认情况下不会在 nFAULT 引脚上报告过热警告。

7.3.11.4.2 热关断 (OTSD)

如果内核温度超过热关断限值 (T_{OTS}) 的跳变点，则会禁用所有 FET，关闭电荷泵，并将 nFAULT 引脚驱动至低电平。此外，还会设置器件状态 (DEV_STS1) 寄存器中的 FAULT 和 OT 位以及 OT_STS 状态寄存器中的 OTSD 位。清除过热条件且经过时间 t_{RETRY} 后，将再次开始正常运行（驱动器运行，释放 nFAULT 引脚并将 OTSD 位清零）。OT 和 FAUTL 位保持锁存为高电平，指示发生了热事件，直到通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 发出清除故障命令。无法禁用此保护功能。

在硬件器件型号上， t_{RETRY} 周期固定为 5ms 的快速重试时间

SPI 器件型号的 t_{RETRY} 配置

- 通过将 OTSD_MODE 配置为 00b，可将慢速重试时间 SLOW_RETRY 用于 t_{RETRY} 周期
- 通过将 OTSD_MODE 配置为 01b，可将快速重试时间 FAST_RETRY 用于 t_{RETRY} 周期

7.4 器件功能模式

7.4.1 功能模式

7.4.1.1 睡眠模式

nSLEEP 引脚管理器件的状态。当 nSLEEP 引脚为低电平时，该器件进入低功耗睡眠模式。在睡眠模式下，将会禁用所有 FET，禁用检测放大器，禁用电荷泵，禁用 AVDD 稳压器，并禁用 SPI 总线。必须在 nSLEEP 引脚触发下降沿之后再过去 t_{SLEEP} 时间后，器件才能进入睡眠模式。如果 nSLEEP 引脚被拉至高电平，那么该器件会自动退出睡眠模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。

在睡眠模式下，当 $V_{VM} < V_{UVLO}$ 时，所有 MOSFET 都被禁用。

备注

在器件通过 nSLEEP 引脚上电和下电期间，nFAULT 引脚保持低电平，因为内部稳压器被启用或禁用。启用或禁用稳压器后，nFAULT 引脚会自动释放。nFAULT 引脚处于低电平的持续时间不超过 t_{SLEEP} 或 t_{WAKE} 时间。

7.4.1.2 运行模式

当 nSLEEP 引脚为高电平且 V_{VM} 电压大于 V_{UVLO} 电压时，器件将进入运行模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。在此模式下，电荷泵、AVDD 稳压器和 SPI 总线处于活动状态。

7.4.1.3 故障复位 (CLR_FLT 或 nSLEEP 复位脉冲)

在存在器件锁存故障的情况下，器件会进入部分关断状态，以帮助保护功率 MOSFET 和系统。

清除故障条件后，器件可以通过设置 SPI 器件上的 CLR_FLT SPI 位或向任一接口型号上的 nSLEEP 引脚发出复位脉冲来重新进入运行状态。nSLEEP 复位脉冲 (t_{RST}) 包含 nSLEEP 引脚的高电平到低电平到高电平转换。序列的低电平周期在 t_{RST} 时间窗口内，否则器件将启动完整的关断序列。复位脉冲对任何稳压器、器件设置或其他功能块都没有影响。

7.5 SPI 通信

7.5.1 编程

7.5.1.1 SPI 和 tSPI 格式

SPI 格式 - 带奇偶校验

SDI 输入数据的字长为 24 位，包含以下格式：

- 1 个读取或写入位，W (位 B23)
- 6 个地址位，A (位 B22 至 B17)
- 奇偶校验位，P (位 B16)
- 15 个数据位和 1 个奇偶校验位，D (位 B15 到 B0)

SDO 输出数据字长为 24 位。最高有效位是状态位，最低有效 16 位是所访问寄存器的数据内容。

表 7-7. SPI 的 SDI 输入数据字格式

R/W	地址								奇偶校验	奇偶校验	DATA															
	B23	B22	B21	B20	B19	B18	B17	B16			B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
W0	A5	A4	A3	A2	A1	A0	P	P	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0			

表 7-8. SDO 输出数据字格式

状态												DATA													
B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0		
S7	S6	S5	S4	S3	S2	S1	S0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0		

tSPI 格式 - 带奇偶校验

SDI 输入数据的字长为 32 位，包含以下格式：

- 1 个读取或写入位，W (位 B31)
- 4 个次级器件 ID 位，AD (位 B30 至 B27)
- 8 个地址位，A (位 B26 至 B19)
- 2 个保留位，0 (位 B18、位 B17)
- 奇偶校验位，P (位 B16)
- 15 个数据位和 1 个奇偶校验位，D (位 B15 到 B0)

SDO 输出数据字长为 24 位。前 8 位是状态位，后 16 位是所访问寄存器的数据内容。格式与表 7-8 中所示的标准 SPI 相同

表 7-9. 带奇偶校验的 tSPI - SDI 输入数据字格式

R/W	次级器件 ID						地址	00		奇偶校验	奇偶校验	DATA															
	B31	B30	B29	B28	B27	B26 - B19		B18	B17			B16	B15	B14 - B0													
W0	0	0	AD1	AD0	A7 - A0	0	0	P	P	D14 - D0																	

下面详细介绍了 SPI 和 tSPI 帧格式中使用的各个位。

读取/写入位 (R/W) : R/W (W0) 位为 0 表示 SPI/tSPI 写入事务。对于读取操作，RW 位需要为 1。

次级器件 ID 位 (AD) : 同一片选信号上的每个 tSPI 次级器件都应具有唯一标识符。次级器件 ID 字段是 tSPI 次级器件的 4 位唯一标识符。要成功执行读取/写入事务，次级器件 ID 字段需要与次级器件地址匹配。在 DRV8311P/S-Q1 中，次级器件地址的两个最高有效位设置为 00。次级器件地址的两个最低有效位可以使用 AD1

和 ADO 引脚进行配置。次级器件地址 15 (0xF) 保留用于通用广播，当次级器件 ID 字段设置为 15 时，同一总线上的所有器件都将接受写入操作。因此，DRV8311P/S-Q1 的有效 tSPI 次级器件地址范围为 0 至 3 和 15 (通用广播地址)。

地址位 (A) : tSPI 次级器件采用 8 位寄存器地址，而 SPI 次级器件采用 6 位寄存器地址。每个 tSPI 次级器件都有两个专用的 8 位地址指针，一个用于读取，一个用于写入。在顺序读取事务期间，读取地址指针自动递增。在顺序写入事务期间，写入地址指针和读取地址指针都将自动递增。

奇偶校验位 (P) : SPI/tSPI 输入数据帧的标头和数据字段都包含用于单比特错误检测的奇偶校验位。使用的奇偶校验机制是偶校验，例如 16 位块 (包括奇偶校验位) 中 1 的数量是偶数。仅当奇偶校验成功时，数据才会写入内部寄存器。在读取操作期间，tSPI 次级器件在所读取数据的 MSB 上插入一个奇偶校验位。可通过配置 SYS_CTRL 寄存器的 SPI_PEN 位来启用或禁用奇偶校验。默认情况下会禁用奇偶校验。

备注

尽管默认情况下会禁用奇偶校验，但 TI 建议启用奇偶校验，以防止 *single-bit* 错误。

错误处理

奇偶校验错误 : 检测到奇偶校验错误时，次级器件会通过以下方式做出响应。锁存奇偶校验错误并在 nFAULT 上报告。错误状态可在 SYS_STS 寄存器的 SPI_PARITY 字段上读取。标头中的奇偶校验错误不会阻止次级器件使用数据进行响应。SDO 将由所指向的次级器件驱动。检测到奇偶校验错误时，对写入地址指针和器件寄存器的更新将被忽略。对于顺序写入，检测到奇偶校验错误时，任何后续寄存器写入都将被忽略。

帧错误 : 任何不完整的 tSPI 帧都将报告为帧错误。如果 tSPI 时钟周期数不是 16 的倍数，则传输视为不完整。帧错误将锁存在 SYS_STS 寄存器的 FRM_ERR 字段中并在 nFAULT 上指示。

SPI 读取/写入序列

SPI 读取序列 : SPI 读取事务包含一个 8 位标头 (R/W - 1 位，地址 - 6 位和相关方 - 1 位)，后跟 16 位虚拟数据字。接收到标头的第一个字节后，次级器件会返回 8 位的器件状态信息作为响应。接收到标头的地址字段后，读取地址指针会立即更新。标头中的读取地址用作寄存器读取的起始地址。16 位传输完成后，读取地址指针自动递增。数据传输长度不受次级器件限制。只要初级器件传输虚拟字，次级器件就会返回数据作为响应。如果启用了奇偶校验错误检查，则读取数据的 MSB 将替换为计算出的奇偶校验位。

SPI 写入序列 : SPI 写入事务包含一个 8 位标头，后跟要写入寄存器组的 16 位数据字。与读取事务类似，被寻址的次级器件在接收到标头的第一个字节时返回 8 位的器件状态信息作为进行响应。接收到标头字节后，写入地址指针就会更新。标头中的写入地址用作顺序寄存器写入的起始地址。读取地址指针将保留前一个 tSPI 事务中读取的寄存器的地址。数据传输长度不受次级器件限制。16 位传输完成后，读取和写入地址指针都将自动递增。从初级器件接收数据时，SDO 将由读取地址指针所指向的寄存器数据驱动。

tSPI 通信序列

tSPI 的功能与常规 SPI 类似，但在同一片选信号 (nSCS) 下增加了对多个器件的支持。任何现有的 SPI 初级器件都能够通过修改帧格式来实现与 tSPI 次级器件通信。有效的 tSPI 帧必须满足以下条件 (类似于 SPI 接口) :

- 当 nSCS 引脚从高电平转换为低电平，以及从低电平转换为高电平时，SCLK 引脚应该为低电平。nSCS 引脚从高电平切换到低电平表示帧开始，帧结束时从低电平切换到高电平。
- 当 nSCS 引脚被拉为高电平时，SCLK 和 SDI 引脚上的任何信号都将被忽略，并且 SDO 引脚处于高阻态。
- 数据会在 SCLK 信号的下降沿捕捉，并在 SCLK 信号的上升沿被驱动。
- 最高有效位 (MSB) 最先移入和移出。
- 必须至少发生 16 个 SCLK 周期，事务才有效，单个事务中的 SCLK 周期数必须是 16 的倍数。
- 如果发送到 SDI 引脚的数据字位数不是 16 的倍数，则会发生帧错误并会忽略多余的 SCLK 周期。

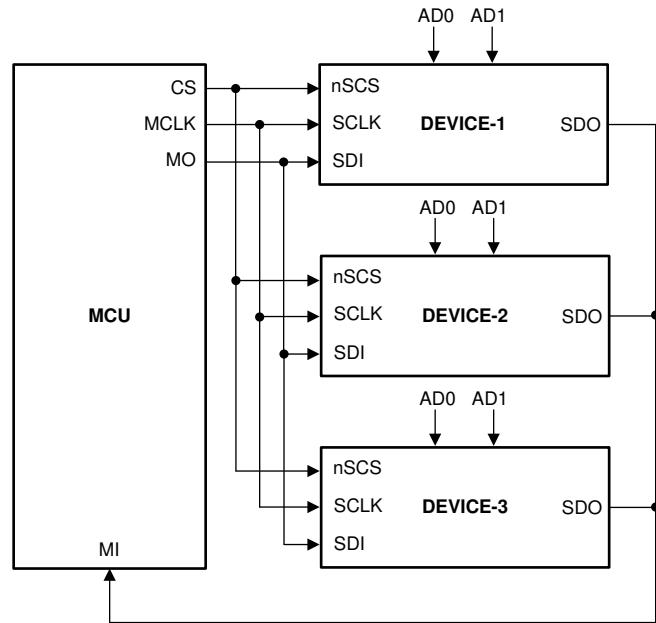


图 7-34. 同一片选信号上有多个器件的 tSPI 方框图

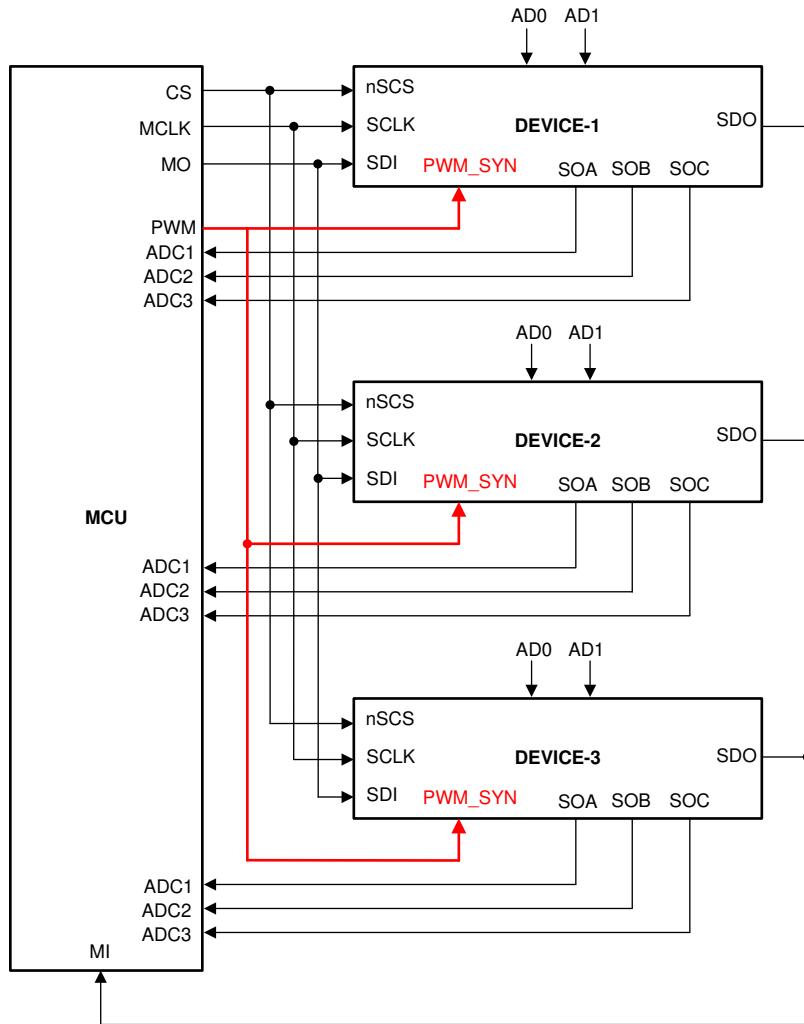


图 7-35. 具有 PWM_SYNC 的 tSPI

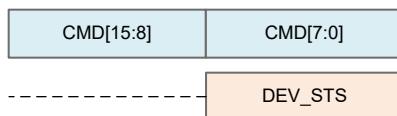
tSPI 读取序列：tSPI 读取事务具有一个 16 位标头 (R/W - 1 位 , 次级器件 ID - 4 位 , 地址 - 8 位 , 保留 - 2 位和相关方 - 1 位) , 后跟 16 位虚拟数据字。接收到标头的第一个字节后 , 匹配的次级器件 ID 字段 (使用 AD0 和 AD1 引脚配置) 所指向的次级器件会返回 8 位器件状态信息作为响应。标头中的读取地址用作寄存器读取的起始地址。 16 位传输完成后 , 该地址自动递增。数据传输长度不受次级器件限制。只要初级器件传输虚拟字 , 次级器件就会返回数据作为响应。如果启用了奇偶校验错误检查 , 则读取数据的 MSB 将替换为计算出的奇偶校验位。

tSPI 写入序列：tSPI 写入事务具有一个 16 位标头 , 后跟要写入寄存器组的 16 位数据字。与读取事务类似 , 被寻址的次级器件在接收到标头的第一个字节时返回 8 位的器件状态信息作为进行响应。标头中的写入地址用作顺序寄存器写入的起始地址。数据传输长度不受次级器件限制。 16 位传输完成后 , 写入和读取地址指针都将自动递增。从初级器件接收数据时 , SDO 将由读取地址指针所指向的寄存器数据驱动

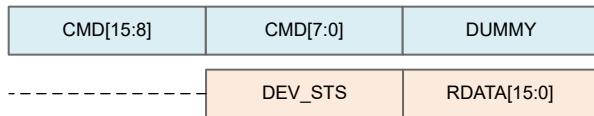
tSPI 读取地址更新序列：次级器件中的独立读写地址指针允许在将数据写入一组寄存器的同时从另一组寄存器读取数据。为实现这一点 , 初级器件应在 tSPI 写入事务之前首先发送一个读取地址更新帧。读取地址帧只是带有标头的 tSPI 读取序列。第一个 tSPI 事务将读取地址指针更新为所需的寄存器地址。第二个 tSPI 事务是寄存器写入序列。在此序列期间 , 次级器件通过 SDO 发送的数据将来自在上一个 tSPI 读取序列中初始化的读取地址指针所指向的寄存器。

带奇偶校验的 tSPI 读取/写入序列如图 7-36 所示。 SPI 帧标头标记为 CMD[15:8] 和 CMD[7:0] 。

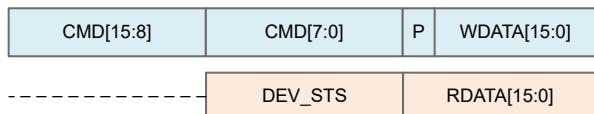
Read address update SPI_PEN=0, R/W=1



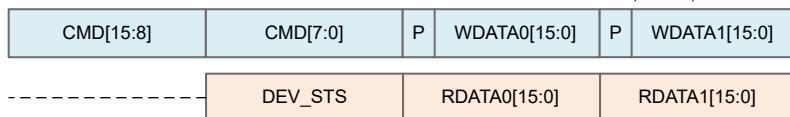
Single Read – 16-bit SPI_PEN=0, R/W=1



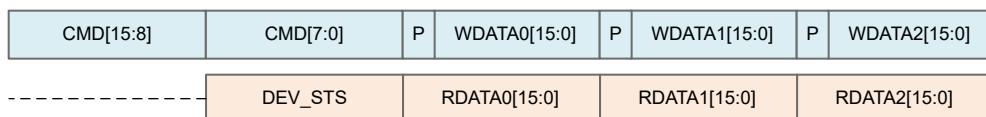
Single Write with parity -16-bit SPI_PEN=0, R/W=0



Multi-Write with parity – 2x16-bit DLEN=0, CE=1, R/W =0



Multi-Write with parity – 3x16-bit DLEN=1, CE=1, R/W =0



Multi-Write with parity – 4x16-bit

DLEN=2, CE=1, R/W =0

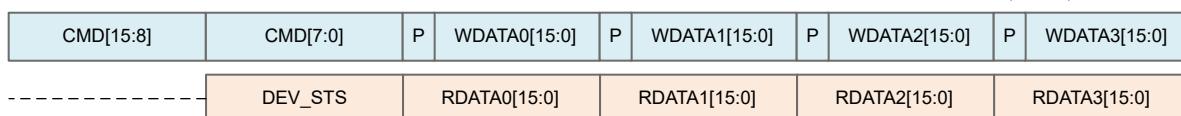


图 7-36. 带奇偶校验的 tSPI 读取/写入

8 DRV8311-Q1 寄存器

DRV8311-Q1 寄存器 列出了 DRV8311-Q1 寄存器的存储器映射寄存器。DRV8311-Q1 寄存器 中未列出的所有寄存器偏移地址均视为保留位置，并且未修改寄存器内容。

表 8-1. DRV8311-Q1 寄存器

偏移	首字母缩写词	寄存器名称	部分
0h	DEV_STS1	器件状态 1 寄存器	DEV_STS1 寄存器 (偏移 = 0h) [复位 = 0080h]
4h	OT_STS	过热状态寄存器	OT_STS 寄存器 (偏移 = 4h) [复位 = 0000h]
5h	SUP_STS	电源状态寄存器	SUP_STS 寄存器 (偏移 = 5h) [复位 = 0000h]
6h	DRV_STS	驱动器状态寄存器	DRV_STS 寄存器 (偏移 = 6h) [复位 = 0000h]
7h	SYS_STS	系统状态寄存器	SYS_STS 寄存器 (偏移 = 7h) [复位 = 0000h]
Ch	PWM_SYNC_PRD	PWM 同步周期寄存器	PWM_SYNC_PRD 寄存器 (偏移 = Ch) [复位 = 0000h]
10h	FLT_MODE	故障模式寄存器	FLT_MODE 寄存器 (偏移 = 10h) [复位 = 0115h]
12h	SYSF_CTRL	系统故障控制寄存器	SYSF_CTRL 寄存器 (偏移 = 12h) [复位 = 0515h]
13h	DRVVF_CTRL	驱动器故障控制寄存器	DRVVF_CTRL 寄存器 (偏移 = 13h) [复位 = 0030h]
16h	FLT_TCTRL	故障时序控制寄存器	FLT_TCTRL 寄存器 (偏移 = 16h) [复位 = 0003h]
17h	FLT_CLR	故障清除寄存器	FLT_CLR 寄存器 (偏移 = 17h) [复位 = 0000h]
18h	PWMG_PERIOD	PWM_GEN 周期寄存器	PWMG_PERIOD 寄存器 (偏移 = 18h) [复位 = 0000h]
19h	PWMG_A_DUTY	PWM_GEN A 占空比寄存器	PWMG_A_DUTY 寄存器 (偏移 = 19h) [复位 = 0000h]
1Ah	PWMG_B_DUTY	PWM_GEN B 占空比寄存器	PWMG_B_DUTY 寄存器 (偏移 = 1Ah) [复位 = 0000h]
1Bh	PWMG_C_DUTY	PWM_GEN C 占空比寄存器	PWMG_C_DUTY 寄存器 (偏移 = 1Bh) [复位 = 0000h]
1Ch	PWM_STATE	PWM 状态寄存器	PWM_STATE 寄存器 (偏移 = 1Ch) [复位 = 0777h]
1Dh	PWMG_CTRL	PWM_GEN 控制寄存器	PWMG_CTRL 寄存器 (偏移 = 1Dh) [复位 = 0000h]
20h	PWM_CTRL1	PWM 控制寄存器 1	PWM_CTRL1 寄存器 (偏移 = 20h) [复位 = 0007h]
22h	DRV_CTRL	前置驱动器控制寄存器	DRV_CTRL 寄存器 (偏移 = 22h) [复位 = 0000h]
23h	CSA_CTRL	CSA 控制寄存器	CSA_CTRL 寄存器 (偏移 = 23h) [复位 = 0008h]
3Fh	SYS_CTRL	系统控制寄存器	SYS_CTRL 寄存器 (偏移 = 3Fh) [复位 = 0000h]

复杂的位访问类型经过编码可适应小型表单元。[DRV8311-Q1 访问类型代码](#) 展示了适用于此部分中访问类型的代码。

表 8-2. DRV8311-Q1 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.1 DEV_STS1 寄存器 (偏移 = 0h) [复位 = 0080h]

DEV_STS1 寄存器 显示了 DEV_STS1 , [DEV_STS1 寄存器字段说明](#) 中对此进行了介绍。

[返回到汇总表。](#)

器件状态 1 寄存器

图 8-1. DEV_STS1 寄存器

15	14	13	12	11	10	9	8
Parity_bit	RESERVED						OTP_FLT
R-0h	R-0-0h						R-0h
7	6	5	4	3	2	1	0
复位	SPI_FLT	OCP	RESERVED	UVP	OT	FAULT	
R-1h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 8-3. DEV_STS1 寄存器字段说明

位	字段	类型	复位	说明
15	Parity_bit	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-9	RESERVED	R-0	0h	保留
8	OTP_FLT	R	0h	OTP 读取故障 0h = 未检测到 OTP 读取故障 1h = 检测到 OTP 读取故障
7	复位	R	1h	电源上电复位状态 0h = 未检测到上电复位条件 1h = 检测到上电复位条件
6	SPI_FLT	R	0h	SPI 故障状态 0h = 未检测到 SPI 通信故障 1h = 检测到 SPI 通信故障
5	OCP	R	0h	驱动器过流保护状态 0h = 未检测到过流情况 1h = 检测到过流情况
4-3	RESERVED	R	0h	保留
2	UVP	R	0h	电源欠压状态 0h = 未在 CP、AVDD 或 VIN_AVDD 上检测到欠压电压条件 1h = 在 CP、AVDD 或 VIN_AVDD 上检测到欠压电压条件
1	OT	R	0h	过热故障状态 0h = 未检测到过热警告/关断 1h = 检测到过热警告/关断
0	故障	R	0h	器件故障状态 0h = 未检测到故障情况 1h = 检测到故障情况

8.2 OT_STS 寄存器 (偏移 = 4h) [复位 = 0000h]

OT_STS 寄存器 显示了 OT_STS , OT_STS 寄存器字段说明 对其进行了介绍。

[返回到汇总表。](#)

过热状态寄存器

图 8-2. OT_STS 寄存器

15	14	13	12	11	10	9	8
Parity_bit	RESERVED						
R-0h	R-0-0h						
7	6	5	4	3	2	1	0
RESERVED			OTS_AVDD	OTW	OTSD		
R-0-0h			R-0h	R-0h	R-0h		

表 8-4. OT_STS 寄存器字段说明

位	字段	类型	复位	说明
15	Parity_bit	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-3	RESERVED	R-0	0h	保留
2	OTS_AVDD	R	0h	AVDD LDO 过热故障状态 0h = 未在 AVDD 附近检测到过热关断 1h = 在 AVDD 附近检测到过热关断
1	OTW	R	0h	过热警告状态 0h = 未检测到过热警告 1h = 检测到过热警告
0	OTSD	R	0h	过热关断故障状态 0h = 未检测到过热关断 1h = 检测到过热关断

8.3 SUP_STS 寄存器 (偏移 = 5h) [复位 = 0000h]

SUP_STS 寄存器 显示了 SUP_STS , SUP_STS 寄存器字段说明 对其进行了介绍。

[返回到汇总表。](#)

电源状态寄存器

图 8-3. SUP_STS 寄存器

15	14	13	12	11	10	9	8
Parity_bit	RESERVED						
R-0h	R-0h						
7	6	5	4	3	2	1	0
RESERVED	CSAREF_UV	CP_UV	RESERVED	AVDD_UV	RESERVED	VINAVDD_UV	
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 8-5. SUP_STS 寄存器字段说明

位	字段	类型	复位	说明
15	Parity_bit	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-6	RESERVED	R-0	0h	保留
5	CSAREF_UV	R	0h	CSA REF 欠压故障状态 0h = 未检测到 CSAREF 欠压 1h = 检测到 CSAREF 欠压
4	CP_UV	R	0h	电荷泵欠压故障状态 0h = 未检测到 电荷泵欠压 1h = 检测到 电荷泵欠压
3	RESERVED	R-0	0h	保留
2	AVDD_UV	R	0h	AVDD LDO 欠压故障状态 0h = 未检测到 AVDD 输出欠压 1h = 检测到 AVDD 输出欠压
1	RESERVED	R-0	0h	保留
0	VINAVDD_UV	R	0h	VIN_AVDD 欠压故障状态 0h = 未检测到 AVDD 电源输入欠压 1h = 检测到 AVDD 电源输入欠压

8.4 DRV_STS 寄存器 (偏移 = 6h) [复位 = 0000h]

DRV_STS 寄存器 显示了 DRV_STS , DRV_STS 寄存器字段说明 对其进行了介绍。

返回到汇总表。

驱动器状态寄存器

图 8-4. DRV_STS 寄存器

15	14	13	12	11	10	9	8
Parity_bit	RESERVED						
R-0h	R-0h						
7	6	5	4	3	2	1	0
RESERVED	OCPCHS	OCPBHS	OCPAHS	RESERVED	OCPCLS	OCPBLS	OCPALS
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 8-6. DRV_STS 寄存器字段说明

位	字段	类型	复位	说明
15	Parity_bit	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-7	RESERVED	R-0	0h	保留
6	OCPCHS	R	0h	OUTC 的高侧 MOSFET 上的过流状态 0h = 未在 OUTC 的高侧 MOSFET 上检测到过流 1h = 在 OUTC 的高侧 MOSFET 上检测到过流
5	OCPBHS	R	0h	OUTB 的高侧 MOSFET 上的过流状态 0h = 未在 OUTB 的高侧 MOSFET 上检测到过流 1h = 在 OUTB 的高侧 MOSFET 上检测到过流
4	OCPAHS	R	0h	OUTA 的高侧 MOSFET 上的过流状态 0h = 未在 OUTA 的高侧 MOSFET 上检测到过流 1h = 在 OUTA 的高侧 MOSFET 上检测到过流
3	RESERVED	R-0	0h	保留
2	OCPCLS	R	0h	OUTC 的低侧 MOSFET 上的过流状态 0h = 未在 OUTC 的低侧 MOSFET 上检测到过流 1h = 在 OUTC 的低侧 MOSFET 上检测到过流
1	OCPBLS	R	0h	OUTB 的低侧 MOSFET 上的过流状态 0h = 未在 OUTB 的低侧 MOSFET 上检测到过流 1h = 在 OUTB 的低侧 MOSFET 上检测到过流
0	OCPALS	R	0h	OUTA 的低侧 MOSFET 上的过流状态 0h = 未在 OUTA 的低侧 MOSFET 上检测到过流 1h = 在 OUTA 的低侧 MOSFET 上检测到过流

8.5 SYS_STS 寄存器 (偏移 = 7h) [复位 = 0000h]

SYS_STS 寄存器 显示了 SYS_STS , SYS_STS 寄存器字段说明 对其进行了介绍。

[返回到汇总表。](#)

系统状态寄存器

图 8-5. SYS_STS 寄存器

15	14	13	12	11	10	9	8
Parity_bit				RESERVED			
R-0h				R-0h			
7	6	5	4	3	2	1	0
RESERVED			OTPLD_ERR	RESERVED	SPI_PARITY	BUS_CNT	FRM_ERR
R-0h			R-0h	R-0h	R-0h	R-0h	R-0h

表 8-7. SYS_STS 寄存器字段说明

位	字段	类型	复位	说明
15	Parity_bit	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-5	RESERVED	R-0	0h	保留
4	OTPLD_ERR	R	0h	OTP 读取错误 0h = 未检测到 OTP 读取错误 1h = 检测到 OTP 读取错误
3	RESERVED	R-0	0h	保留
2	SPI_PARITY	R	0h	SPI 奇偶校验错误 0h = 未检测到 SPI 奇偶校验错误 1h = 检测到 SPI 奇偶校验错误
1	BUS_CNT	R	0h	SPI 总线争用错误 0h = 未检测到 SPI 总线争用错误 1h = 检测到 SPI 总线争用错误
0	FRM_ERR	R	0h	SPI 帧错误 0h = 未检测到 SPI 帧错误 1h = 检测到 SPI 帧错误

8.6 PWM_SYNC_PRD 寄存器 (偏移 = Ch) [复位 = 0000h]

PWM_SYNC_PRD 寄存器 显示了 PWM_SYNC_PRD , PWM_SYNC_PRD 寄存器字段说明 对其进行了介绍。

[返回到汇总表。](#)

PWM 同步周期寄存器

图 8-6. PWM_SYNC_PRD 寄存器

15	14	13	12	11	10	9	8
Parity_bit	RESERVED				PWM_SYNC_PRD		
R-0h	R-0-0h				R-0h		
7	6	5	4	3	2	1	0
PWM_SYNC_PRD							R-0h

表 8-8. PWM_SYNC_PRD 寄存器字段说明

位	字段	类型	复位	说明
15	Parity_bit	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-12	RESERVED	R-0	0h	保留
11-0	PWM_SYNC_PRD	R	0h	指示 PWM_SYNC 信号周期的 12 位输出

8.7 FLT_MODE 寄存器 (偏移 = 10h) [复位 = 0115h]

FLT_MODE 寄存器 显示了 FLT_MODE , FLT_MODE 寄存器字段说明 对其进行了介绍。

[返回到汇总表。](#)

故障模式寄存器

图 8-7. FLT_MODE 寄存器

15	14	13	12	11	10	9	8
Parity_bit	RESERVED				OTPFLT_MODE		
R-0h		R-0-0h				R/W-1h	
7	6	5	4	3	2	1	0
SPIFLT_MODE	OCP_MODE		UVP_MODE		OTSD_MODE		
R/W-0h	R/W-1h		R/W-1h		R/W-1h		

表 8-9. FLT_MODE 寄存器字段说明

位	字段	类型	复位	说明
15	Parity_bit	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-9	RESERVED	R-0	0h	保留
8	OTPFLT_MODE	R/W	1h	系统故障模式。 0h = 启用 OTP 读取故障 1h = 禁用 OTP 读取故障
7	SPIFLT_MODE	R/W	0h	SPI 故障模式 0h = 启用 SPI 故障 1h = 禁用 SPI 故障
6-4	OCP_MODE	R/W	1h	过流保护故障模式 0h = 在 nFault 上报告、前置驱动器 HiZ、以慢速重试时间自动恢复 (以 ms 为单位) 1h = 在 nFault 上报告、前置驱动器 HiZ、以快速重试时间自动恢复 (以 ms 为单位) 2h = 在 nFault 上报告、前置驱动器 HiZ、锁存故障 3h = 在 nFault 上报告、前置驱动器上无操作 4h = 保留 5h = 保留 6h = 保留 7h = 禁用
3-2	UVPMODE	R/W	1h	欠压保护故障模式 0h = 在 nFault 上报告、前置驱动器 HiZ、以慢速重试时间自动恢复 (以 ms 为单位) 1h = 在 nFault 上报告、前置驱动器 HiZ、以快速重试时间自动恢复 (以 ms 为单位) 2h = 保留 3h = 保留

表 8-9. **FLT_MODE** 寄存器字段说明 (续)

位	字段	类型	复位	说明
1-0	OTSD_MODE	R/W	1h	<p>过热故障模式 0h = 在 nFault 上报告、前置驱动器 HiZ、以慢速重试时间自动恢复 (以 ms 为单位) 1h = 在 nFault 上报告、前置驱动器 HiZ、以快速重试时间自动恢复 (以 ms 为单位) 2h = 保留 3h = 保留</p>

8.8 SYSF_CTRL 寄存器 (偏移 = 12h) [复位 = 0515h]

SYSF_CTRL 寄存器 显示了 SYSF_CTRL , SYSF_CTRL 寄存器字段说明 对其进行了介绍。

[返回到汇总表。](#)

系统故障控制寄存器

图 8-8. SYSF_CTRL 寄存器

15	14	13	12	11	10	9	8
Parity_bit		RESERVED		OTAVDD_EN	OTW_EN	RESERVED	
R-0h		R-0-0h		R/W-1h	R/W-0h	R-0-4h	
7	6	5	4	3	2	1	0
RESERVED	CSAREFUV_E N	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED
R-0-4h	R/W-0h	R/W-1h	R-0-0h	R/W-1h	R-0-0h	R/W-1h	

表 8-10. SYSF_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15	Parity_bit	R	0h	如果 SPI_PEN 设置为“1” , 则为奇偶校验位 , 否则保留
14-11	RESERVED	R-0	0h	保留
10	OTAVDD_EN	R/W	1h	AVDD 过热故障启用 0h = 禁用 AVDD 附近的过热保护 1h = 启用 AVDD 附近的过热保护
9	OTW_EN	R/W	0h	过热警告故障模式 0h = 禁用 nFAULT 上的过热警告报告 1h = 启用 nFAULT 上的过热警告报告
8-6	RESERVED	R-0	4h	保留
5	CSAREFUV_EN	R/W	0h	CSAREF 欠压故障启用 0h = 禁用 CSAREF 欠压锁定 1h = 启用 CSAREF 欠压锁定
4	RESERVED	R/W	1h	保留
3	RESERVED	R-0	0h	保留
2	RESERVED	R/W	1h	保留
1	RESERVED	R-0	0h	保留
0	RESERVED	R/W	1h	保留

8.9 DRVF_CTRL 寄存器 (偏移 = 13h) [复位 = 0030h]

DRVF_CTRL 寄存器 显示了 DRVF_CTRL , DRVF_CTRL 寄存器字段说明 对其进行了介绍。

[返回到汇总表。](#)

驱动器故障控制寄存器

图 8-9. DRVF_CTRL 寄存器

15	14	13	12	11	10	9	8
Parity_bit	RESERVED						
R-0h	R-0-0h						
7	6	5	4	3	2	1	0
RESERVED	OCP_DEG		OCP_TBLANK		RESERVED	OCP_LVL	
R-0-0h	R/W-3h		R/W-0h		R-0-0h	R/W-0h	

表 8-11. DRVF_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15	Parity_bit	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-6	RESERVED	R-0	0h	保留
5-4	OCP_DEG	R/W	3h	OCP 抗尖峰脉冲时间 0h = OCP 抗尖峰脉冲时间为 0.2μs 1h = OCP 抗尖峰脉冲时间为 0.5μs 2h = OCP 抗尖峰脉冲时间为 0.8μs 3h = OCP 抗尖峰脉冲时间为 1μs
3-2	OCP_TBLANK	R/W	0h	OCP 消隐时间 0h = OCP 消隐时间为 0.2μs 1h = OCP 消隐时间为 0.5μs 2h = OCP 消隐时间为 0.8μs 3h = OCP 消隐时间为 1μs
1	RESERVED	R-0	0h	保留
0	OCP_LVL	R/W	0h	OCP 电平设置 0h = OCP 电平为 9A (典型值) 1h = OCP 电平为 5A (典型值)

8.10 FLT_TCTRL 寄存器 (偏移 = 16h) [复位 = 0003h]

FLT_TCTRL 寄存器 显示了 FLT_TCTRL , FLT_TCTRL 寄存器字段说明 对其进行了介绍。

[返回到汇总表。](#)

故障时序控制寄存器

图 8-10. FLT_TCTRL 寄存器

15	14	13	12	11	10	9	8
Parity_bit				RESERVED			
R-0h				R-0-0h			
7	6	5	4	3	2	1	0
RESERVED				SLOW_TRETRY		FAST_TRETRY	
R-0-0h				R/W-0h		R/W-3h	

表 8-12. FLT_TCTRL 寄存器字段说明

位	字段	类型	复位	说明
15	Parity_bit	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-4	RESERVED	R-0	0h	保留
3-2	SLOW_TRETRY	R/W	0h	从故障条件缓慢恢复的重试时间 0h = 0.5s 1h = 1s 2h = 2s 3h = 5s
1-0	FAST_TRETRY	R/W	3h	从故障条件快速恢复的重试时间 0h = 0.5ms 1h = 1ms 2h = 2ms 3h = 5ms

8.11 FLT_CLR 寄存器 (偏移 = 17h) [复位 = 0000h]

FLT_CLR 寄存器 显示了 FLT_CLR , FLT_CLR 寄存器字段说明 对其进行了介绍。

[返回到汇总表。](#)

故障清除寄存器

图 8-11. FLT_CLR 寄存器

15	14	13	12	11	10	9	8
Parity_bit				RESERVED			
R-0h				R-0-0h			
7	6	5	4	3	2	1	0
		RESERVED				FLT_CLR	
		R-0-0h					W-0h

表 8-13. FLT_CLR 寄存器字段说明

位	字段	类型	复位	说明
15	Parity_bit	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-1	RESERVED	R-0	0h	保留
0	FLT_CLR	W	0h	清除故障 0h = 未发出清除故障命令 1h = 将锁存的故障位清零。该位在写入后自动复位。

8.12 PWMG_PERIOD 寄存器 (偏移 = 18h) [复位 = 0000h]

PWMG_PERIOD 寄存器 显示了 PWMG_PERIOD , [PWMG_PERIOD 寄存器字段说明](#) 对其进行了介绍。

[返回到汇总表。](#)

PWM_GEN 周期寄存器

图 8-12. PWMG_PERIOD 寄存器

15	14	13	12	11	10	9	8
Parity_bit	RESERVED				PWM_PRD_OUT		
R-0h		R-0-0h			R/W-0h		
7	6	5	4	3	2	1	0
			PWM_PRD_OUT				
				R/W-0h			

表 8-14. PWMG_PERIOD 寄存器字段说明

位	字段	类型	复位	说明
15	Parity_bit	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-12	RESERVED	R-0	0h	保留
11-0	PWM_PRD_OUT	R/W	0h	PWM 生成模式下输出 PWM 信号的 12 位周期

8.13 PWMG_A_DUTY 寄存器 (偏移 = 19h) [复位 = 0000h]

PWMG_A_DUTY 寄存器 显示了 PWMG_A_DUTY , [PWMG_A_DUTY 寄存器字段说明](#) 对其进行了介绍。

[返回到汇总表。](#)

PWM_GEN A 占空比寄存器

图 8-13. PWMG_A_DUTY 寄存器

15	14	13	12	11	10	9	8
Parity_bit		RESERVED			PWM_DUTY_OUTA		
R-0h		R-0-0h			R/W-0h		
7	6	5	4	3	2	1	0
			PWM_DUTY_OUTA				
			R/W-0h				

表 8-15. PWMG_A_DUTY 寄存器字段说明

位	字段	类型	复位	说明
15	Parity_bit	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-12	RESERVED	R-0	0h	保留
11-0	PWM_DUTY_OUTA	R/W	0h	PWM 生成模式下相位 A 输出的 12 位占空比

8.14 PWMG_B_DUTY 寄存器 (偏移 = 1Ah) [复位 = 0000h]

PWMG_B_DUTY 寄存器 显示了 PWMG_B_DUTY , [PWMG_B_DUTY 寄存器字段说明](#) 对其进行了介绍。

[返回到汇总表。](#)

PWM_GEN B 占空比寄存器

图 8-14. PWMG_B_DUTY 寄存器

15	14	13	12	11	10	9	8
Parity_bit		RESERVED			PWM_DUTY_OUTB		
R-0h		R-0-0h			R/W-0h		
7	6	5	4	3	2	1	0
			PWM_DUTY_OUTB				
				R/W-0h			

表 8-16. PWMG_B_DUTY 寄存器字段说明

位	字段	类型	复位	说明
15	Parity_bit	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-12	RESERVED	R-0	0h	保留
11-0	PWM_DUTY_OUTB	R/W	0h	PWM 生成模式下相位 B 输出的 12 位占空比

8.15 PWMG_C_DUTY 寄存器 (偏移 = 1Bh) [复位 = 0000h]

PWMG_C_DUTY 寄存器 显示了 PWMG_C_DUTY , PWMG_C_DUTY 寄存器字段说明 对其进行了介绍。

[返回到汇总表。](#)

PWM_GEN C 占空比寄存器

图 8-15. PWMG_C_DUTY 寄存器

15	14	13	12	11	10	9	8
Parity_bit		RESERVED			PWM_DUTY_OUTC		
R-0h		R-0-0h			R/W-0h		
7	6	5	4	3	2	1	0
			PWM_DUTY_OUTC				
			R/W-0h				

表 8-17. PWMG_C_DUTY 寄存器字段说明

位	字段	类型	复位	说明
15	Parity_bit	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-12	RESERVED	R-0	0h	保留
11-0	PWM_DUTY_OUTC	R/W	0h	PWM 生成模式下相位 C 输出的 12 位占空比

8.16 PWM_STATE 寄存器 (偏移 = 1Ch) [复位 = 0777h]

PWM_STATE 寄存器 显示了 PWM_STATE , PWM_STATE 寄存器字段说明 对其进行了介绍。

[返回到汇总表。](#)

PWM 状态寄存器

图 8-16. PWM_STATE 寄存器

15	14	13	12	11	10	9	8
Parity_bit	RESERVED				PWMC_STATE		
R-0h	R-0-0h				R/W-7h		
7	6	5	4	3	2	1	0
RESERVED	PWMB_STATE			RESERVED	PWMA_STATE		
R-0-0h	R/W-7h			R-0-0h	R/W-7h		

表 8-18. PWM_STATE 寄存器字段说明

位	字段	类型	复位	说明
15	Parity_bit	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-11	RESERVED	R-0	0h	保留
10-8	PWMC_STATE	R/W	7h	相位 C 驱动器输出控制 0h = 高侧关闭、低侧关闭 1h = 高侧关闭、低侧强制开启 2h = 高侧强制开启、低侧关闭 3h = 保留 4h = 保留 5h = 高侧关闭、低侧 PWM 6h = 高侧 PWM、低侧关闭 7h = 高侧 PWM、低侧 !PWM
7	RESERVED	R-0	0h	保留
6-4	PWMB_STATE	R/W	7h	相位 B 驱动器输出控制 0h = 高侧关闭、低侧关闭 1h = 高侧关闭、低侧强制开启 2h = 高侧强制开启、低侧关闭 3h = 保留 4h = 保留 5h = 高侧关闭、低侧 PWM 6h = 高侧 PWM、低侧关闭 7h = 高侧 PWM、低侧 !PWM
3	RESERVED	R-0	0h	保留
2-0	PWMA_STATE	R/W	7h	相位 A 驱动器输出控制 0h = 高侧关闭、低侧关闭 1h = 高侧关闭、低侧强制开启 2h = 高侧强制开启、低侧关闭 3h = 保留 4h = 保留 5h = 高侧关闭、低侧 PWM 6h = 高侧 PWM、低侧关闭 7h = 高侧 PWM、低侧 !PWM

8.17 PWMG_CTRL 寄存器 (偏移 = 1Dh) [复位 = 0000h]

PWMG_CTRL 寄存器 显示了 PWMG_CTRL , PWMG_CTRL 寄存器字段说明 对其进行了介绍。

[返回到汇总表。](#)

PWM_GEN 控制寄存器

图 8-17. PWMG_CTRL 寄存器

15	14	13	12	11	10	9	8
Parity_bit		RESERVED		PWM_EN	PWMCNTR_MODE		
R-0h		R-0-0h		R/W-0h	R/W-0h		
7	6	5	4	3	2	1	0
PWM_OSC_SYNC			SPICLK_FREQ_SYNC		SPISYNC_ACRCY		
R/W-0h			R/W-0h		R/W-0h		

表 8-19. PWMG_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15	Parity_bit	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-11	RESERVED	R-0	0h	保留
10	PWM_EN	R/W	0h	启用 3X 内部模式 PWM 生成 0h = 禁用 PWM_GEN 1h = 启用 PWM_GEN
9-8	PWMCNTR_MODE	R/W	0h	PWM 生成计数器模式 0h = 向上和向下 1h = 打开 2h = 关断 3h = 无操作
7-5	PWM_OSC_SYNC	R/W	0h	振荡器同步和 PWM_SYNC 控制 0h = 禁用振荡器同步 1h = PWM_SYNC_PRD 指示 PWM_SYNC 信号的周期，可用于校准 PWM 周期 2h = PWM_SYNC 用于设置 PWM 周期 3h = 禁用振荡器同步 4h = 禁用振荡器同步 5h = PWM_SYNC 用于振荡器同步 (仅支持 20kHz 频率) 6h = PWM_SYNC 用于振荡器同步和设置 PWM 周期 (仅支持 20kHz 频率) 7h = SPI 时钟引脚 SCLK 用于振荡器同步 (配置 SPICLK_FREQ_SYNC)
4-2	SPICLK_FREQ_SYNC	R/W	0h	用于同步振荡器的 SPI 时钟频率 0h = 1MHz 1h = 1.25MHz 2h = 2MHz 3h = 2.5MHz 4h = 4MHz 5h = 5MHz 6h = 8MHz 7h = 10MHz

表 8-19. PWMG_CTRL 寄存器字段说明 (续)

位	字段	类型	复位	说明
1-0	SPISYNC_ACRCY	R/W	0h	同步振荡器所需的 SPI 时钟周期数 0h = 512 个时钟周期 (1%) 1h = 256 个时钟周期 (1%) 2h = 128 个时钟周期 (1%) 3h = 64 个时钟周期 (2%)

8.18 PWM_CTRL1 寄存器 (偏移 = 20h) [复位 = 0007h]

PWM_CTRL1 寄存器 显示了 PWM_CTRL1 , PWM_CTRL1 寄存器字段说明 中对此进行了介绍。

返回到 [汇总表](#)。

PWM 控制寄存器 1

图 8-18. PWM_CTRL1 寄存器

15	14	13	12	11	10	9	8
Parity_bit	RESERVED						
R-0h	R-0-0h						
7	6	5	4	3	2	1	0
RESERVED				SSC_DIS	PWM_MODE		
R-0-0h				R/W-1h	R/W-3h		

表 8-20. PWM_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
15	Parity_bit	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-3	RESERVED	R-0	0h	保留
2	SSC_DIS	R/W	1h	禁用内部振荡器的展频调制 0h = 启用展频调制 1h = 禁用展频调制
1-0	PWM_MODE	R/W	3h	PWM 模式选择 (DRV8311-Q1S 中的复位设置为 00b , DRV8311-Q1P 中的复位设置为 11b) 0h = 6x 模式 1h = 6x 模式 2h = 3x 模式 3h = PWM 生成模式

8.19 DRV_CTRL 寄存器 (偏移 = 22h) [复位 = 0000h]

DRV_CTRL 寄存器 显示了 DRV_CTRL , DRV_CTRL 寄存器字段说明 对其进行了介绍。

[返回到汇总表。](#)

前置驱动器控制寄存器

图 8-19. DRV_CTRL 寄存器

15	14	13	12	11	10	9	8
Parity_bit	RESERVED			RESERVED			
R-0h	R-0h			R/W-0h			
7	6	5	4	3	2	1	0
DLYCMP_EN	TDEAD_CTRL			RESERVED		SLEW_RATE	
R/W-0h	R/W-0h			R-0h		R/W-0h	

表 8-21. DRV_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15	Parity_bit	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-12	RESERVED	R-0	0h	保留
11-8	RESERVED	R/W	0h	保留
7	DLYCMP_EN	R/W	0h	启用驱动器延迟补偿 0h = 禁用驱动器延迟补偿 1h = 启用驱动器延迟补偿
6-4	TDEAD_CTRL	R/W	0h	死区时间插入控制 0h = 无死区时间 (仅握手) 1h = 200ns 2h = 400ns 3h = 600ns 4h = 800ns 5h = 1us 6h = 1.2us 7h = 1.4us
3-2	RESERVED	R-0	0h	保留
1-0	SLEW_RATE	R/W	0h	压摆率设置 0h = 压摆率为 35V/μs 1h = 压摆率为 75V/μs 2h = 压摆率为 180V/μs 3h = 压摆率为 230V/μs

8.20 CSA_CTRL 寄存器 (偏移 = 23h) [复位 = 0008h]

CSA_CTRL 如 CSA_CTRL 寄存器 所示，并在 [CSA_CTRL 寄存器字段说明](#) 中进行了说明。

[返回到汇总表。](#)

CSA 控制寄存器

图 8-20. CSA_CTRL 寄存器

15	14	13	12	11	10	9	8
Parity_bit	RESERVED						
R-0h	R-0-0h						
7	6	5	4	3	2	1	0
RESERVED			CSA_EN	RESERVED	CSA_GAIN		
R-0-0h			R/W-1h	R-0-0h	R/W-0h		

表 8-22. CSA_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15	Parity_bit	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-4	RESERVED	R-0	0h	保留
3	CSA_EN	R/W	1h	电流检测放大器启用 0h = 禁用电流检测放大器 1h = 启用电流检测放大器
2	RESERVED	R-0	0h	保留
1-0	CSA_GAIN	R/W	0h	电流检测放大器增益设置 0h = CSA 增益为 0.25V/A 1h = CSA 增益为 0.5V/A 2h = CSA 增益为 1V/A 3h = CSA 增益为 2V/A

8.21 SYS_CTRL 寄存器 (偏移 = 3Fh) [复位 = 0000h]

SYS_CTRL 寄存器 显示了 SYS_CTRL , SYS_CTRL 寄存器字段说明 对其进行了介绍。

[返回到汇总表。](#)

系统控制寄存器

图 8-21. SYS_CTRL 寄存器

15	14	13	12	11	10	9	8
Parity_bit	WRITE_KEY			RESERVED		RESERVED	
R-0h	W-0h			R-0-0h		R/W-0h	
7	6	5	4	3	2	1	0
REG_LOCK	SPI_PEN	RESERVED		RESERVED		RESERVED	
R/W-0h	R/W-0h	R/W-0h		R/W-0h		R/W-0h	

表 8-23. SYS_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15	Parity_bit	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-12	WRITE_KEY	W	0h	特定于该寄存器的 0x5 写入密钥。
11-9	RESERVED	R-0	0h	保留
8	RESERVED	R/W	0h	保留
7	REG_LOCK	R/W	0h	寄存器锁定位 0h = 寄存器未锁定 1h = 寄存器已锁定
6	SPI_PEN	R/W	0h	SPI 和 tSPI 的奇偶校验启用 0h = 奇偶校验禁用 1h = 奇偶校验启用
5-4	RESERVED	R/W	0h	保留
3	RESERVED	R/W	0h	保留
2-0	RESERVED	R/W	0h	保留

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

DRV8311-Q1 可用于驱动无刷直流电机。以下设计过程可用于配置 DRV8311-Q1。

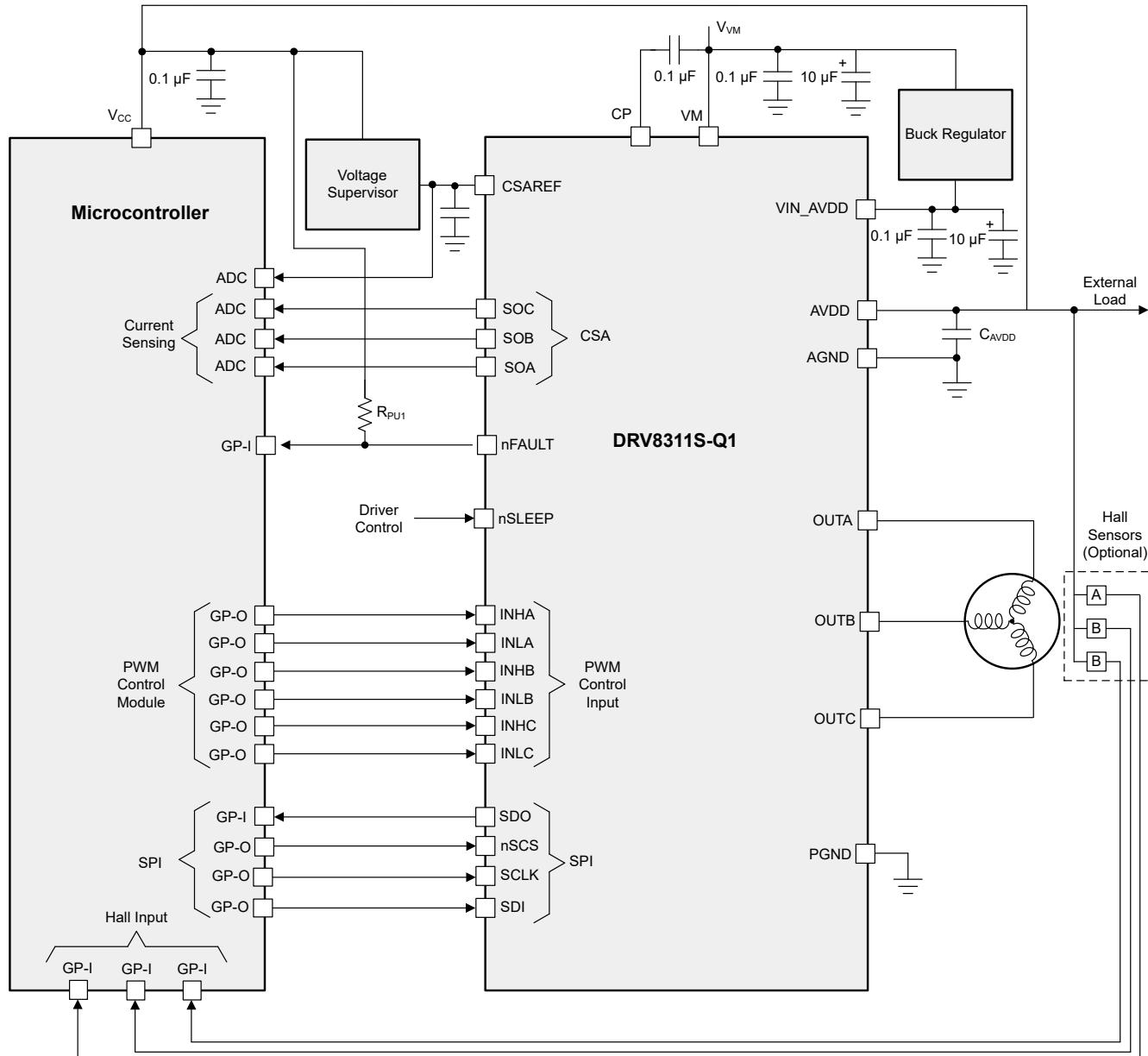


图 9-1. 应用原理图 (DRV8311S-Q1)

9.2 典型应用

9.2.1 三相无刷直流电机控制

在此应用中，DRV8311-Q1 通过外部微控制器输出的 PWM 信号来驱动无刷直流电机。

9.2.1.1 详细设计过程

表 9-1 列出了系统设计的输入参数示例。

表 9-1. 设计参数

设计参数	基准	示例值
电源电压	V_{VM}	12V
电机均方根电流	I_{RMS}	2A
电机峰值电流	I_{PEAK}	3A
PWM 频率	f_{PWM}	50kHz
压摆率设置	SR	230V/ μ s
V_{VIN_AVDD} 电源电压	V_{VIN_AVDD}	12V
CSA 基准电压	V_{CSA_REF}	3.0V
系统环境温度	T_A	-20°C 至 +105°C

9.2.1.1.1 电机电压

无刷直流电机通常具有特定的额定电压（例如 5V 或 12V）。DRV8311-Q1 支持 3V 至 20V 的各种可能的工作电压。

9.2.1.2 驱动器传播延迟和死区时间

传播延迟定义为更改输入逻辑边沿 INHx 和 INLx（如果增加 MCU 死区时间，则以先发生的更改为准）至更改半桥输出电压 (OUTx) 所花的时间。驱动器传播延迟 (t_{PD}) 和死区时间 (t_{dead}) 指定为典型值和最大值，而不是最小值。这是因为在同步开关期间，传播延迟可能小于典型值，具体取决于 OUTx 引脚上的电流方向。驱动器传播延迟和死区时间可能大于典型值，原因是高侧或低侧内部 MOSFET 的内部导通较慢，以避免内部 dV/dt 耦合。

有关输入 PWM 和输出配置的传播延迟和死区时间有何不同的更多信息和示例，请访问 [集成 MOSFET 驱动器中的延迟和死区时间](#)。

除了 DRV8311-Q1 内部击穿保护外，微控制器 PWM 输出的死区时间可用作额外的预防措施。DRV8311-Q1 使用内部逻辑，根据 MCU 死区时间或驱动器死区时间的持续时间来决定优先顺序。

如果 MCU 死区时间小于 DRV8311-Q1 驱动器死区时间，驱动器将进行补偿并确保真正的输出死区时间符合 DRV8311-Q1 指定的值。如果 MCU 插入的死区时间大于驱动器死区时间，则 DRV8311-Q1 将根据 MCU 死区时间调整时序。

表 9-2 中列出了与同步输入 INHx 和 INLx、OUTx 电流方向以及 MCU 死区时间相关的 DRV8311-Q1 延迟时间汇总。

表 9-2. DRV8311-Q1 中取决于逻辑输入和输出电流方向的延迟时间汇总

OUTx 电流方向	INHx	INLx	传播延迟时间 (t_{PD})	死区时间 (t_{dead})	插入的 MCU 死区时间 ($t_{dead(MCU)}$)	
					$t_{dead(MCU)} < t_{dead}$	$t_{dead(MCU)} > t_{dead}$
从 OUTx 输出	上升	下降	典型值	典型值	输出死区时间 = t_{dead}	输出死区时间 = $t_{dead(MCU)}$
	下降	上升	小于典型值	小于典型值	输出死区时间 < t_{dead}	输出死区时间 < $t_{dead(MCU)}$
输入 OUTx	上升	下降	小于典型值	小于典型值	输出死区时间 < t_{dead}	输出死区时间 < $t_{dead(MCU)}$
	下降	上升	典型值	典型值	输出死区时间 = t_{dead}	输出死区时间 = $t_{dead(MCU)}$

9.2.1.3 延迟补偿

死区时间延迟和传播延迟的差异可能导致 PWM 的输出时序不匹配，从而导致占空比失真。为了适应 表 9-2 中提到的各种输入条件之间的传播延迟差异，该器件集成了延迟补偿特性。

延迟补偿通过添加可变延迟时间 (t_{var})，使其与等于传播延迟加驱动器死区时间 ($t_{pd} + t_{dead}$) 的预设目标延迟时间相匹配，从而实现与进出相位 (OUTx) 的电流的延迟时间匹配。当 DLYCMP_EN 位设置为 1 时，DRV8311P/S-Q1 会自动配置该设置。

9.2.1.4 电流检测和输出滤波

通常，SOx 引脚通过 MCU 中的模数转换器进行采样，以计算相电流。相电流信息用于闭环控制，例如场定向控制。

方程式 15 中展示了相电流计算的一个示例。

$$SOx = \frac{V_{REF}}{2} \pm \left(G_{CSA} \times I_{OUTx} \right) \quad (15)$$

对于 $V_{REF} = 3.0V$ 、 $GAIN = 0.5V/A$ 且 SOx 电压为 $1.2V$ 的系统， $I_{OUTx} = 0.6A$ 。

有时， SOx 信号上会出现高频噪声，这可能是由于 V_{REF} 上的电压纹波、 SOx 布线上增加的电感或者 SOx 布线靠近高频元件而引起的。建议在 MCU 附近添加一个低通 RC 滤波器，其截止频率至少为梯形换向 PWM 开关频率的 10 倍和正弦换向 PWM 开关频率的 100 倍，以便滤除高频噪声。推荐使用 330Ω 、 $22pF$ 的 RC 滤波器，以尽可能减少向 ADC 和电流镜像电路添加的并联电容，而不增加 CSA 输出的趋稳时间。

低通 RC 滤波器的截止频率如方程式 16 所示。

$$f_c = \frac{1}{2\pi RC} \quad (16)$$

备注

在运行需要两路或三路电流检测的无传感器正弦波或 FOC 控制时，CSA 输出端会出现小范围的动态偏移和增益误差。有关纠正措施的详细信息，请参阅 节 7.3.10.2。

9.2.1.5 应用曲线

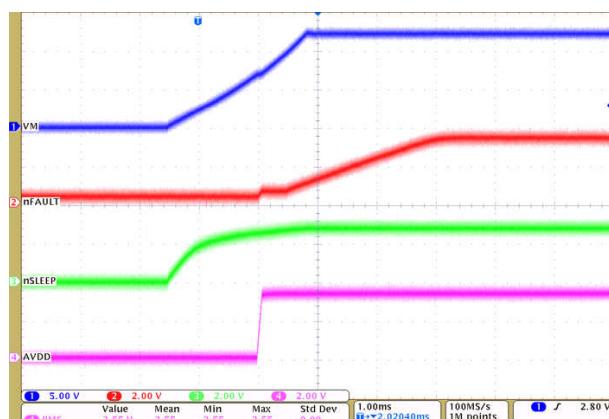


图 9-2. 通过 VM 为器件加电 (VM、nFAULT、nSLEEP、AVDD)

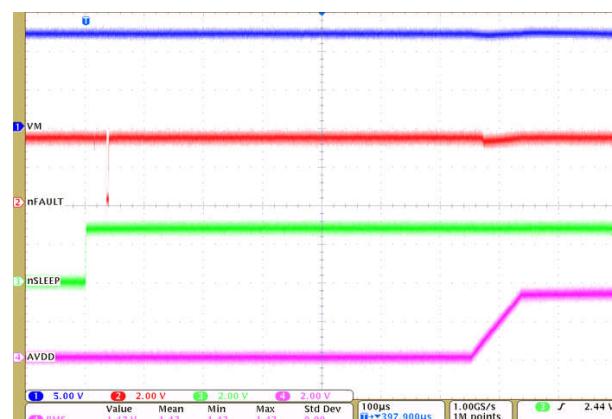


图 9-3. 通过 nSLEEP 为器件加电 (VM、nFAULT、nSLEEP、AVDD)

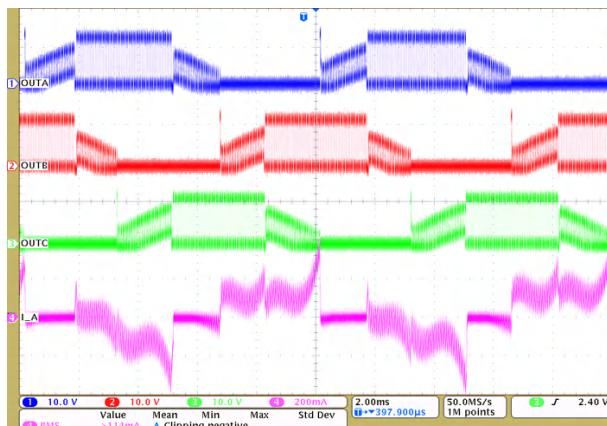


图 9-4. 驱动器 PWM 运行 (OUTA、OUTB、OUTC、I_A)

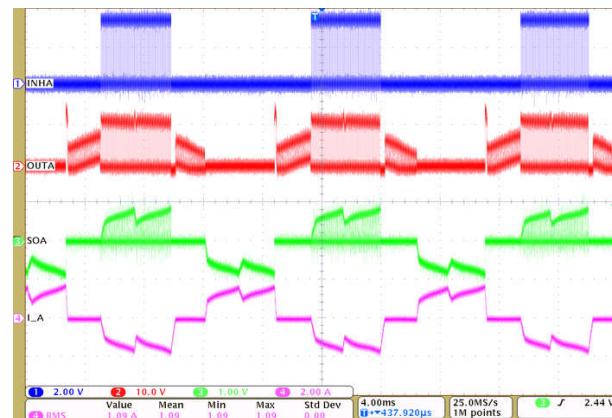


图 9-5. 具有电流检测反馈的驱动器 PWM 运行 (INHA、OUTA、SOA、I_A)

9.3 三相无刷直流 tSPI 电机控制

DRV8311-Q1 可利用来自微控制器的 tSPI 驱动无刷直流电机。以下设计过程可用于配置 DRV8311-Q1。

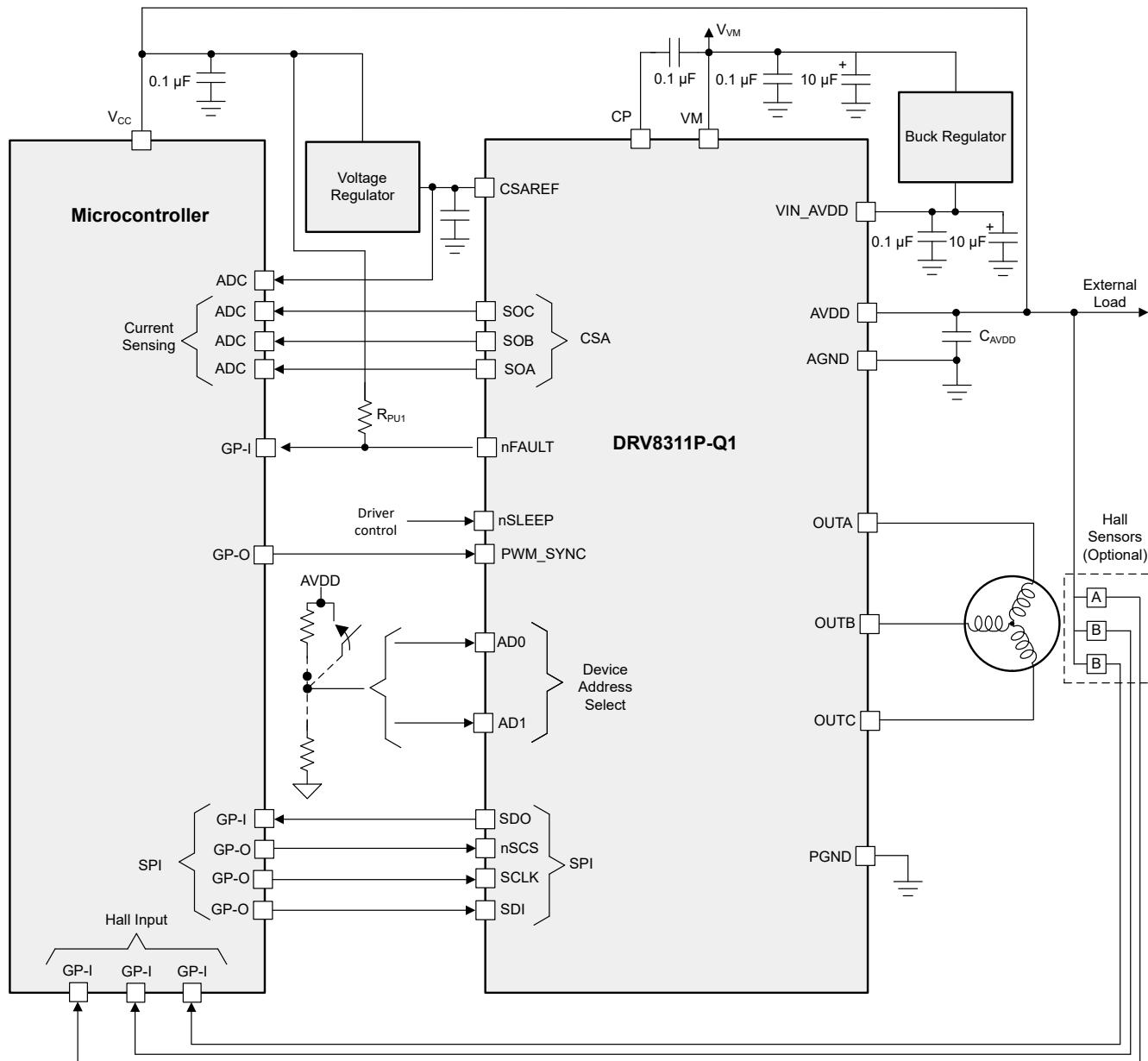


图 9-6. 应用原理图 (DRV8311P-Q1) - 三相无刷直流 tSPI 电机控制

9.3.1 详细设计过程

tSPI 的优势

DRV8311P-Q1 器件集成了 tSPI，可通过标准的 4 线 SPI 实现对次级电机驱动器器件的随机读写访问，从而同步控制多个电机。这显著减少了系统中的连线数量，有助于缩小整体系统尺寸并降低 BOM 成本。tSPI 在多电机系统中尤为有用，具体体现在：

- 允许使用通用广播地址随机访问各 DRV8311P-Q1 器件
- 可按任意顺序执行读写操作

- 无需所有 tSPI 器件始终处于活动状态
- 可与任何处于活动状态的次级器件进行事务处理，不受其他器件状态影响

有关在多电机系统中使用 tSPI 的更多信息，请参阅[使用 tSPI 协议减少下一个多电机 BLDC 设计中的导线数量。](#)

应用曲线

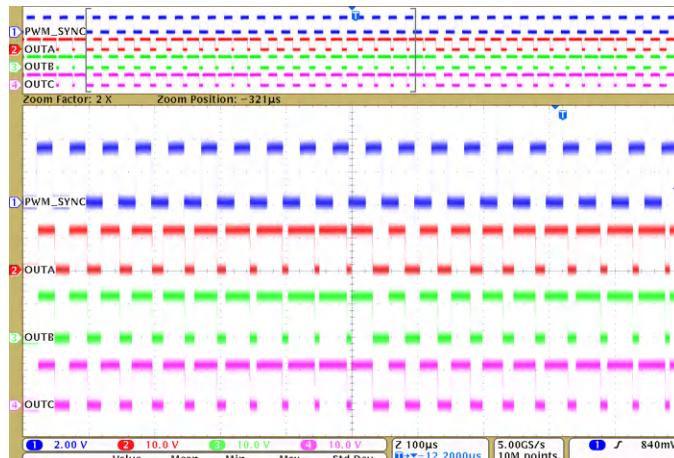


图 9-7. $\text{PWM_SYNC} = 2\text{b}$ (10% - 90%) 时的 PWM 同步占空比运行 (PWM_SYNC 、 OUTA 、 OUTB 、 OUTC)

9.4 备选应用

该器件可用于驱动有刷直流电机和螺线管负载。可采用以下设计过程来配置该器件。

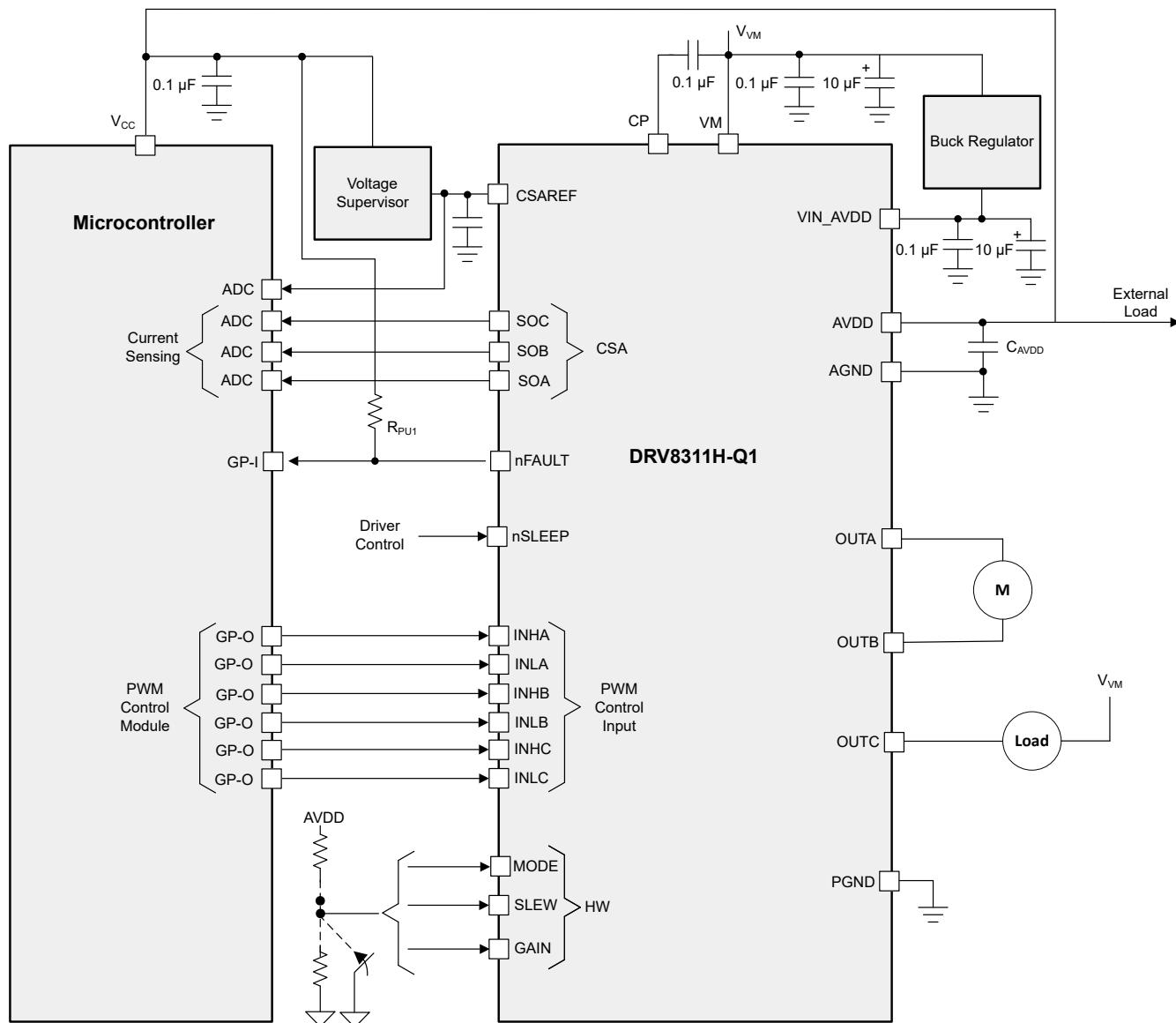


图 9-8. 应用原理图 (DRV8311H-Q1) - 有刷直流和螺线管负载驱动方框图

根据具体应用，可以使用 6x PWM 模式或 3x PWM 模式（具有或没有电流限制）来驱动有刷直流和/或螺线管负载。有刷直流电机可以连接到两个 OUT x 相位，以创建集成式全 H 桥配置，从而从两个方向驱动电机。

螺线管负载可以从 OUT x 连接到 VM 或 GND，以便在 6x PWM 或 3x PWM 模式下将该器件用作推挽驱动器。当负载从 OUT x 连接到 GND 时，HS MOSFET 向螺线管提供电流，而 LS MOSFET 则作为续流二极管，使螺线管中的电流形成续流回路。当负载从 OUT x 连接到 VM 时，LS MOSFET 从螺线管灌入电流到 GND，而 HS MOSFET 则作为续流二极管，使螺线管中的电流形成续流回路。

9.5 电源相关建议

9.5.1 大容量电容

配备合适的局部大容量电容是电机驱动系统设计中的一项重要因素。使用更多的大容量电容通常更有益，但缺点在于会增加成本和物理尺寸。

所需的局部电容数量取决于多种因素，包括：

- 电机系统所需的最高电流
- 电源的电容和电流能力
- 电源和电机系统之间的寄生电感量
- 可接受的电压纹波
- 使用的电机类型（有刷直流、无刷直流、步进电机）
- 机制动方法

电源与电机驱动系统之间的电感限制了电流随着电源而变化的速率。如果局部大容量电容太小，系统会响应电机电压变化带来的过大的电流需求或转储。当使用足够大的大容量电容时，电机电压保持稳定，并且可以快速提供大电流。

数据表通常会给出建议值，但需要进行系统级测试来确定大小适中的大容量电容。

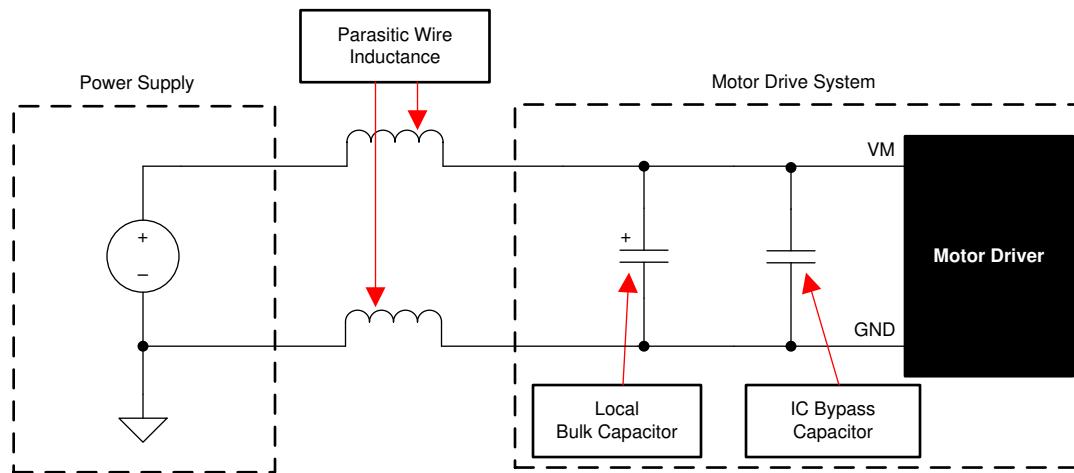


图 9-9. 带外部电源的电机驱动系统示例设置

大容量电容的额定电压高于工作电压，以便在电机向电源传递能量时提供裕度。

9.6 布局

9.6.1 布局指南

放置大容量电容器时，尽量缩短通过电机驱动器器件的大电流路径的距离。连接金属布线宽度尽可能宽，并且在连接 PCB 层时使用许多过孔。这些做法可更大限度地减少电感并允许大容量电容器提供大电流。

低容值电容器为陶瓷电容器，并靠近器件引脚放置，包括 AVDD、电荷泵、CSAREF、VINA VDD 和 VM。

大电流器件输出使用宽金属布线。

为减少大瞬态电流进入小电流信号路径的噪声耦合和 EMI 干扰，将接地划分为 PGND 和 AGND。TI 建议将所有非功率级电路（包括散热焊盘）连接到 AGND，以降低寄生效应并改善器件的功率耗散。保持接地端通过网络连接器连接，以减小电压偏移并保持栅极驱动器性能。PGND 和 AGND 也可以使用同一个接地平面，以尽可能减小接地电感，但 TI 建议将电机开关输出放置在远离模拟和数字信号的位置，使电机噪声不会耦合到模拟和数字电路中。

器件散热焊盘焊接到 PCB 顶层接地平面。使用多个过孔连接到较大的底层接地平面。使用大金属平面和多个过孔有助于散发器件中产生的热量。

为了提高热性能，请在 PCB 的所有可能层上尽可能地增大连接到散热焊盘接地端的接地面积。使用较厚的覆铜可以降低结至空气热阻并改善芯片表面的散热。

9.6.2 布局示例

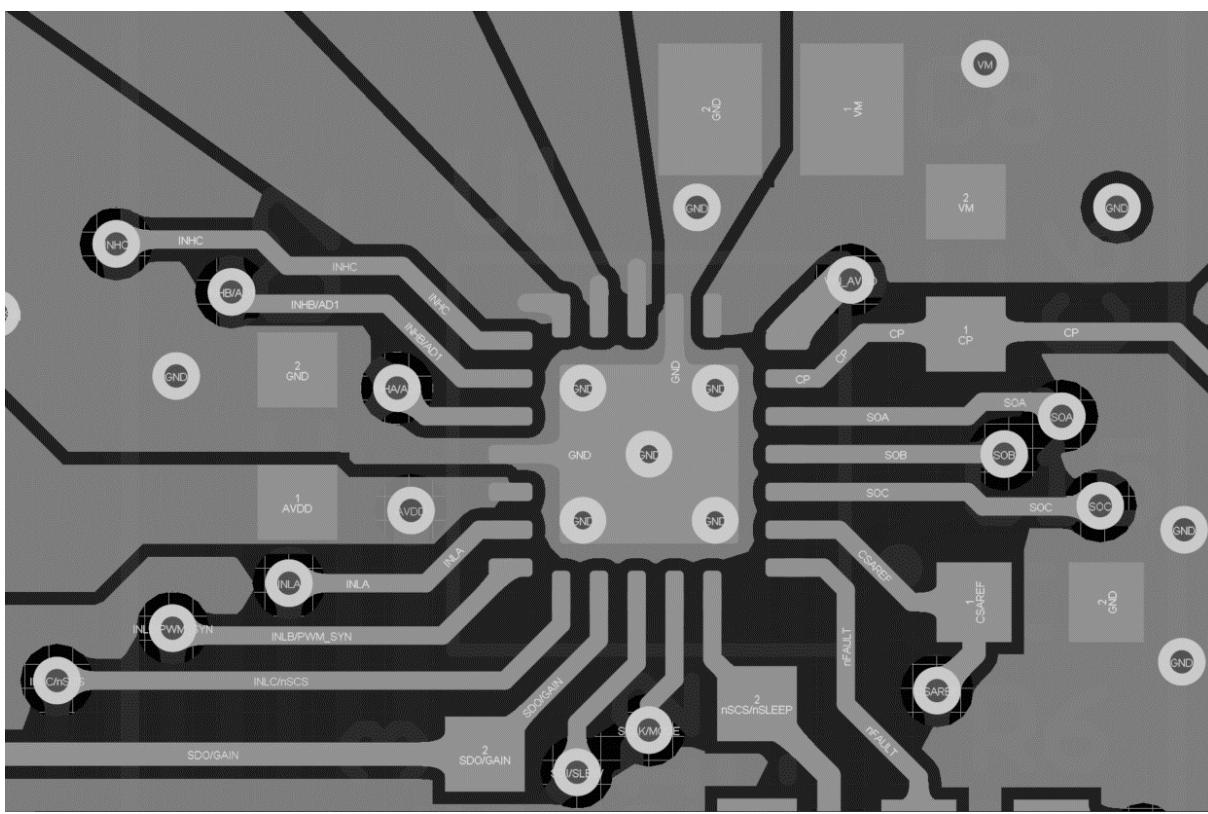


图 9-10. DRV8311-Q1 的建议布局示例

9.6.3 散热注意事项

DRV8311-Q1 具有热关断功能 (TSD) , 如前所述。如果内核温度超过 150°C (最低) , 则会禁用器件 , 直到温度降至安全水平。

如果该器件有任何进入热关断状态的倾向 , 则说明功耗过大、散热不足或环境温度过高。

9.6.3.1 功率损耗和结温估算

功率耗散

DRV8311-Q1 中的功率损耗包括待机功率损耗、LDO 功率损耗、FET 导通和开关损耗以及二极管损耗。FET 导通损耗在 DRV8311-Q1 的总功率耗散中占主导地位。在启动和故障情况下 , 输出电流远大于正常电流 ; 务必将这些峰值电流及持续时间考虑在内。总器件耗散是三个半桥中每个半桥耗散的总功率。器件可耗散的最大功率取决于环境温度和散热。请注意 , $R_{DS,ON}$ 随温度升高而增加 , 因此随着器件发热 , 功率耗散也会增大。在设计 PCB 和散热时 , 应考虑这一点。

表 9-3 列出了梯形控制和场定向控制的每个损耗计算公式的摘要。

表 9-3. DRV8311-Q1 梯形和场定向控制的功率损耗

损耗类型	梯形控制	场定向控制
待机功耗	$P_{standby} = V_{VM} \times I_{VM_TA}$	
LDO (来自 VM)	$P_{LDO} = (V_{VIN_AVDD} - V_{AVDD}) \times I_{AVDD}$	
FET 导通	$P_{CON} = 2 \times (I_{PK(trap)})^2 \times R_{DS,ON(TA)}$	$P_{CON} = 3 \times (I_{RMS(FOC)})^2 \times R_{DS,ON(TA)}$
FET 开关	$P_{SW} = I_{PK(trap)} \times V_{PK(trap)} \times t_{rise/fall} \times f_{PWM}$	$P_{SW} = 3 \times I_{RMS(FOC)} \times V_{PK(FOC)} \times t_{rise/fall} \times f_{PWM}$
二极管 (死区时间)	$P_{diode} = 2 \times I_{PK(trap)} \times V_{F(diode)} \times t_{DEAD} \times f_{PWM}$	$P_{diode} = 6 \times I_{RMS(FOC)} \times V_{F(diode)} \times t_{DEAD} \times f_{PWM}$

结温估算

要根据功率损耗计算芯片的结温 , 请使用 方程式 17。请注意 , 热阻 $R_{\theta JA}$ 取决于 PCB 配置 , 例如环境温度、PCB 层数、覆铜厚度以及 PCB 尺寸。

$$T_J(\text{°C}) = P_{LOSS}(W) \times R_{\theta JA}(\text{°C}/W) + T_A(\text{°C}) \quad (17)$$

请参阅 BLDC 集成 MOSFET 热计算器 估算不同用例中的近似器件功率耗散和结温。

10 器件和文档支持

10.1 支持资源

[TI E2E™ 中文支持论坛](#)是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

10.2 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.3 静电放电警告

 静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.4 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
October 2025	*	初始发行版

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查看左侧的导航窗格。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8311PQRRWRQ1	Active	Production	WQFN (RRW) 24	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8311PQ

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

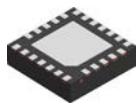
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

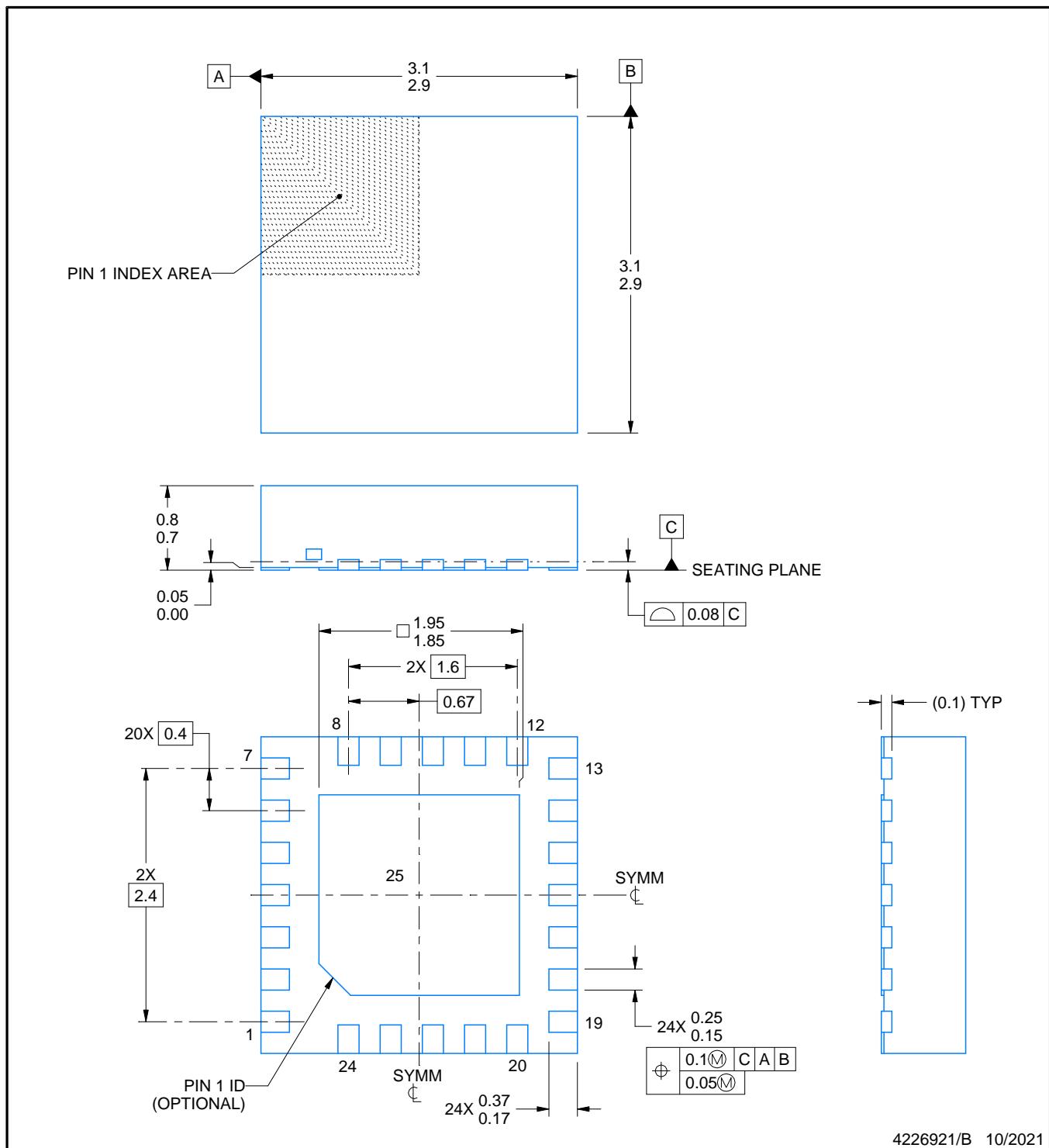
PACKAGE OUTLINE

RRW0024A



WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4226921/B 10/2021

NOTES:

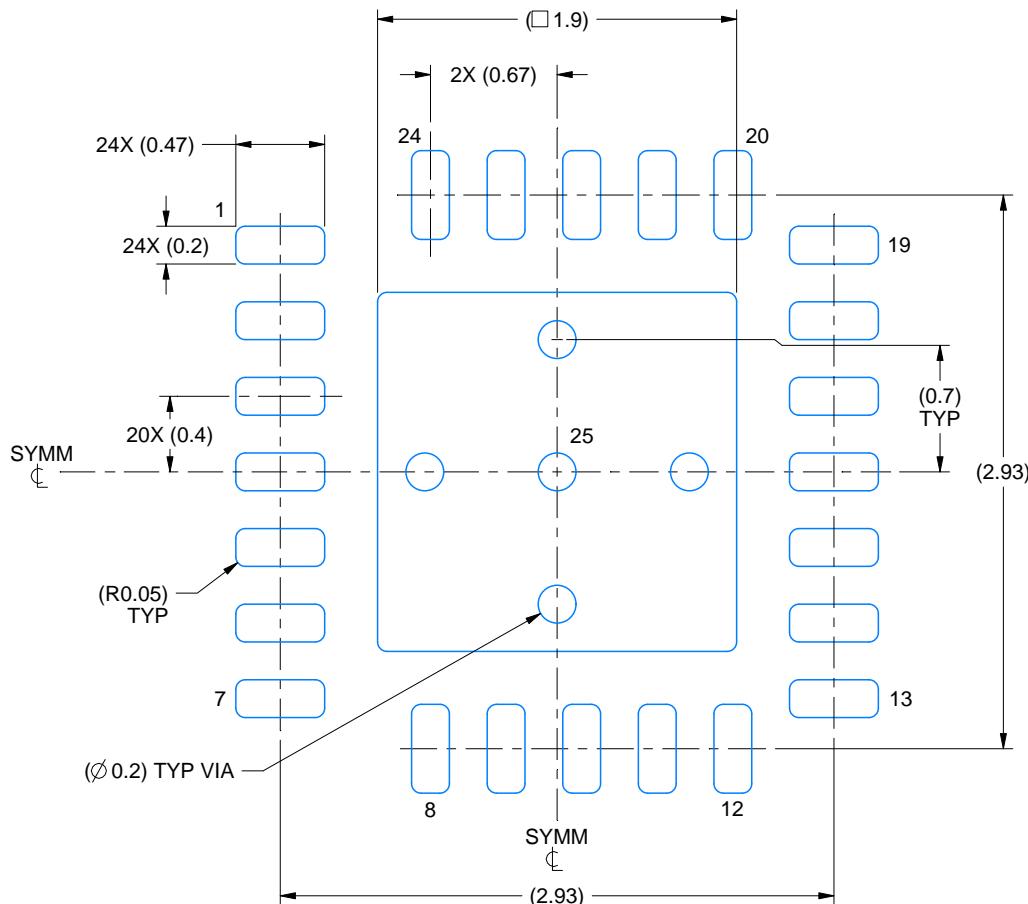
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

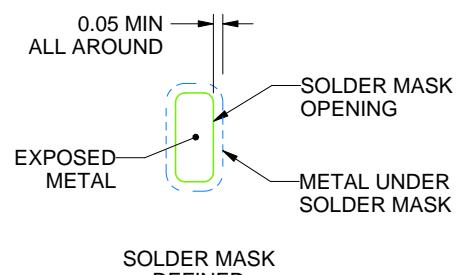
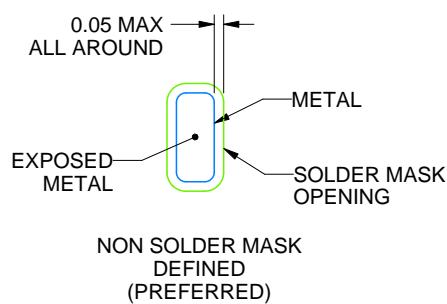
RRW0024A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:25X



SOLDER MASK DETAILS

4226921/B 10/2021

NOTES: (continued)

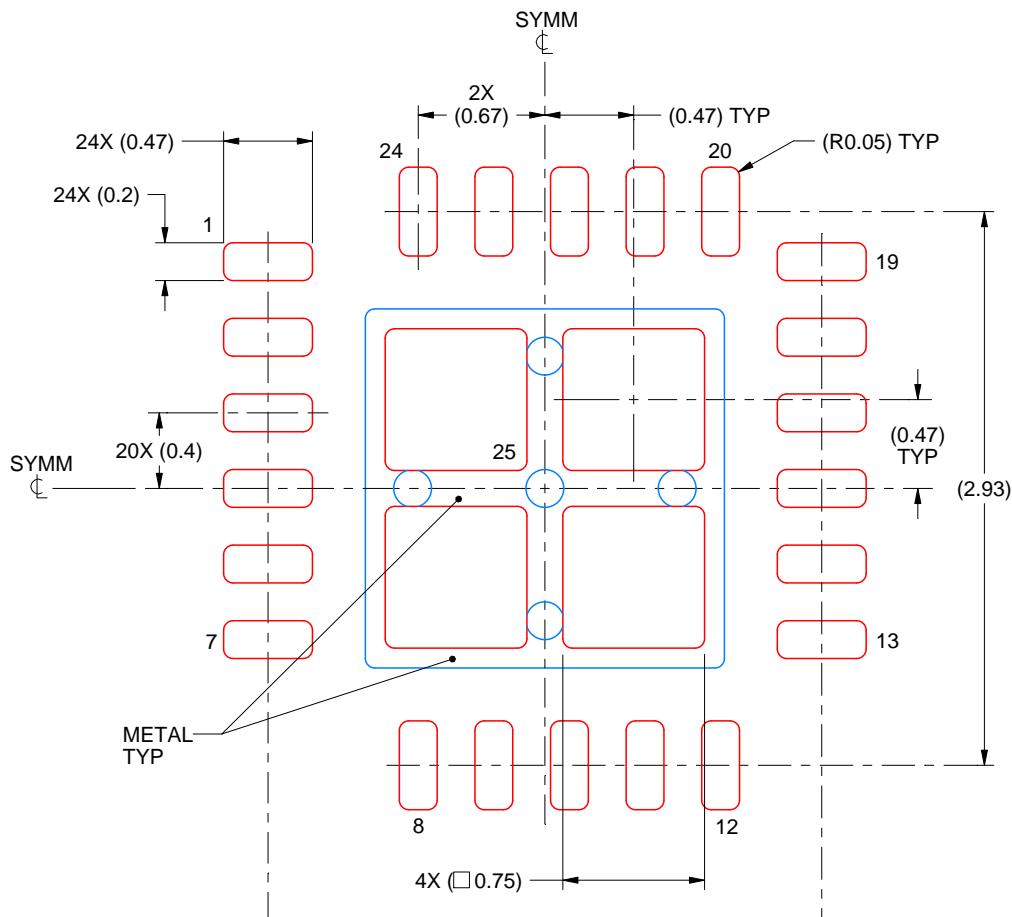
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RRW0024A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



EXPOSED PAD 25:
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4226921/B 10/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#))、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025 , 德州仪器 (TI) 公司

最后更新日期 : 2025 年 10 月