DLP800XE 0.8 4K+ 数字微镜器件

1 特性

- 0.8 英寸对角线微镜阵列
  - 4K+ (3840 × 2400) 显示分辨率
  - 9.0μm 微镜间距
  - ±14.5° 微镜倾斜度（相对于平坦表面）
  - 角落照明
- 支持高光功率密度，适用于高亮度大型场馆显示器
  - 高达 22W/cm^2 总光功率密度
- 2xLVDS 输入数据总线
- 支持高达 60Hz 的 4K+
- DLPC4420 显示控制器、DLPA100 电源管理和电机驱动器 IC 为激光荧光体和 RGB 激光提供支持

2 应用

- 大型场馆投影仪
- 智能投影仪
- 企业投影仪
- 数字标牌

3 说明

DLP800XE 数字微镜器件 (DMD) 是一款数控微机电系统 (MEMS) 空间光调制器 (SLM)，可用于实现高亮度 4K+ 固态照明显示系统。TI DLP® 0.8 英寸 4K+ 芯片组由 DMD、两个 DLPC4420 显示控制器、DLPA300 微镜驱动器以及 DLPA100 电源和电机驱动器组成。该芯片组外形紧凑，可为尺寸小巧并采用固态照明的 4K+ 显示提供完整的系统。

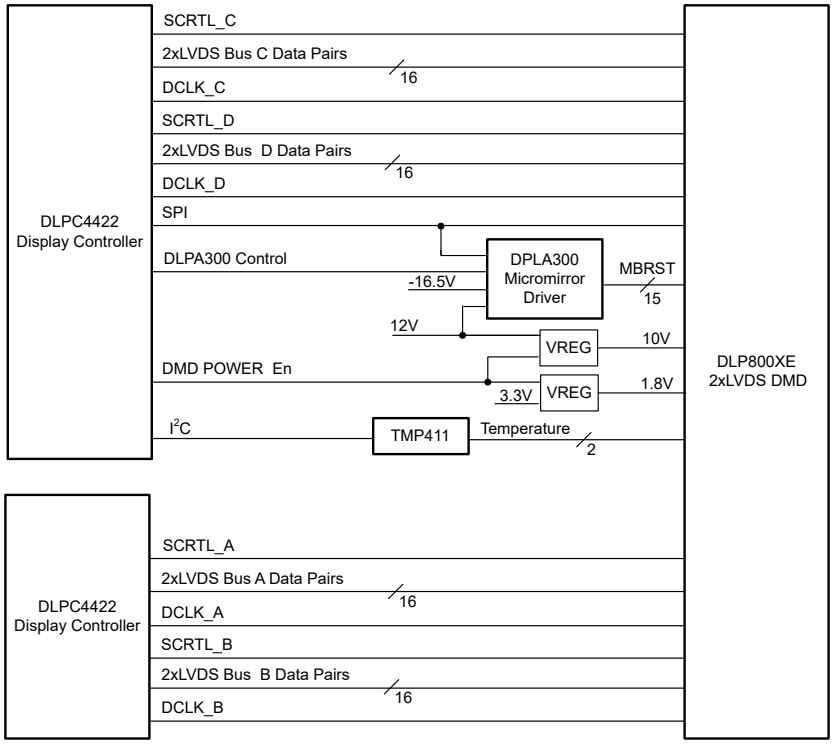
为了帮助缩短设计周期，DMD 生态系统包含现成的资源，其中包括量产就绪型光学模块、光学模块制造商和设计公司。

要了解有关如何使用 DMD 开始进行设计的更多信息，请访问 *TI DLP 显示技术入门* 页面。

器件信息

器件型号(1)	封装	封装尺寸
DLP800XE	FYV (350)	35.0mm × 32.2mm

(1) 如需更多信息，请参阅*机械、封装和可订购信息* 附录。



简化版应用

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
5 规格.... 12
5.1 绝对最大额定值.... 12
5.2 存储条件.... 12
5.3 ESD 等级.... 12
5.4 建议运行条件.... 13
5.5 热性能信息.... 15
5.6 电气特性.... 15
5.7 时序要求.... 16
5.8 系统安装接口负载.... 20
5.9 微镜阵列物理特性.... 21
5.10 微镜阵列光学特性.... 22
5.11 窗口特性.... 23
5.12 芯片组元件使用规格.... 23
6 详细说明.... 25
6.1 概述.... 25
6.2 功能方框图.... 25
6.3 特性说明.... 25
6.4 器件功能模式.... 26
6.5 光学接口和系统图像质量注意事项.... 26
6.6 微镜阵列温度计算.... 27
6.7 微镜功率密度计算.... 28
6.8 窗口孔隙照明溢出计算.... 29
6.9 微镜着陆打开/着陆关闭占空比.... 31
7 应用和实施.... 34
7.1 应用信息.... 34
7.2 典型应用.... 34
7.3 温度传感器二极管.... 37
8 电源相关建议.... 39
8.1 DMD 电源要求.... 39
8.2 DMD 电源上电过程.... 39
8.3 DMD 电源断电过程.... 39
9 布局.... 41
9.1 布局指南.... 41
9.2 布局示例.... 41
10 器件和文档支持.... 43
10.1 第三方产品免责声明.... 43
10.2 器件支持.... 43
10.3 器件标识.... 43
10.4 文档支持.... 44
10.5 接收文档更新通知.... 44
10.6 支持资源.... 44
10.7 商标.... 44
10.8 静电放电警告.... 44
10.9 术语表.... 44
11 修订历史记录.... 45
12 机械、封装和可订购信息.... 45

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

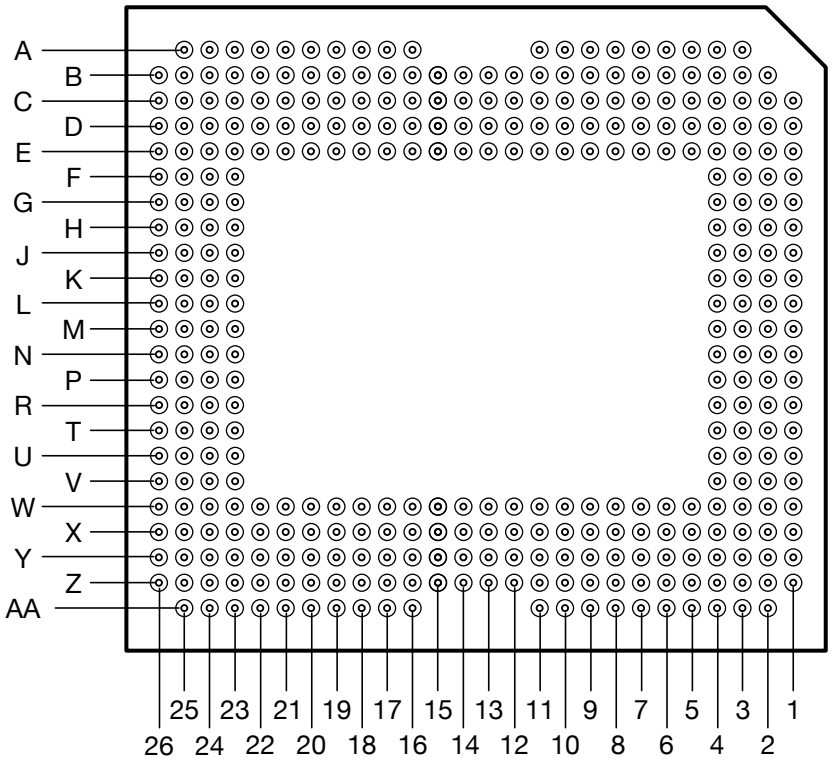


图 4-1. FYV 封装（350 引脚）底视图

表 4-1. 引脚功能

引脚		类型[1]	引脚说明	信号类型	终端
信号	PGA_PAD				
LVDS 总线 A					
D_AN(0)	E10	I	高速差分对	LVDS	差分 100Ω
D_AP(0)	E11	I			
D_AN(1)	D6	I	高速差分对		差分 100Ω
D_AP(1)	C6	I			
D_AN(2)	E3	I	高速差分对		差分 100Ω
D_AP(2)	D3	I			
D_AN(3)	C7	I	高速差分对		差分 100Ω
D_AP(3)	C8	I			
D_AN(4)	D8	I	高速差分对		差分 100Ω
D_AP(4)	D7	I			
D_AN(5)	E6	I	高速差分对		差分 100Ω
D_AP(5)	E5	I			
D_AN(6)	C5	I	高速差分对		差分 100Ω
D_AP(6)	C4	I			
D_AN(7)	B8	I	高速差分对		差分 100Ω
D_AP(7)	B9	I			
D_AN(8)	B6	I	高速差分对		差分 100Ω
D_AP(8)	B5	I			
D_AN(9)	C10	I	高速差分对		差分 100Ω
D_AP(9)	B10	I			
D_AN(10)	A9	I	高速差分对		差分 100Ω
D_AP(10)	A10	I			
D_AN(11)	C13	I	高速差分对		差分 100Ω
D_AP(11)	C14	I			
D_AN(12)	B12	I	高速差分对		差分 100Ω
D_AP(12)	B13	I			
D_AN(13)	C17	I	高速差分对		差分 100Ω
D_AP(13)	C16	I			
D_AN(14)	B15	I	高速差分对		差分 100Ω
D_AP(14)	B16	I			
D_AN(15)	D15	I	高速差分对		差分 100Ω
D_AP(15)	E15	I			
DCLK_AN	B3	I	高速差分对		差分 100Ω
DCLK_AP	C3	I			
SCTRL_AN	E4	I	高速差分对		差分 100Ω
SCTRL_AP	D4	I			
LVDS 总线 B					

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型[1]	引脚说明	信号类型	终端
信号	PGA_PAD				
D_BN(0)	W10	I	高速差分对	LVDS	差分 100Ω
D_BP(0)	W11	I			
D_BN(1)	Z3	I	高速差分对		差分 100Ω
D_BP(1)	Y3	I			
D_BN(2)	W4	I	高速差分对		差分 100Ω
D_BP(2)	X4	I			
D_BN(3)	Y7	I	高速差分对		差分 100Ω
D_BP(3)	Y8	I			
D_BN(4)	X8	I	高速差分对		差分 100Ω
D_BP(4)	X7	I			
D_BN(5)	Y6	I	高速差分对		差分 100Ω
D_BP(5)	X6	I			
D_BN(6)	X3	I	高速差分对		差分 100Ω
D_BP(6)	W3	I			
D_BN(7)	Z8	I	高速差分对		差分 100Ω
D_BP(7)	Z9	I			
D_BN(8)	Z6	I	高速差分对		差分 100Ω
D_BP(8)	Z5	I			
D_BN(9)	Y10	I	高速差分对		差分 100Ω
D_BP(9)	Z10	I			
D_BN(10)	AA9	I	高速差分对		差分 100Ω
D_BP(10)	AA10	I			
D_BN(11)	Y13	I	高速差分对		差分 100Ω
D_BP(11)	Y14	I			
D_BN(12)	Z12	I	高速差分对		差分 100Ω
D_BP(12)	Z13	I			
D_BN(13)	Y17	I	高速差分对		差分 100Ω
D_BP(13)	Y16	I			
D_BN(14)	Z15	I	高速差分对		差分 100Ω
D_BP(14)	Z16	I			
D_BN(15)	X15	I	高速差分对		差分 100Ω
D_BP(15)	W15	I			
DCLK_BN	Y4	I	高速差分对		差分 100Ω
DCLK_BP	Y5	I			
SCTRL_BN	W5	I	高速差分对		差分 100Ω
SCTRL_BP	W6	I			
LVDS 总线 C					

表 4-1. 引脚功能（续）

引脚		类型[1]	引脚说明	信号类型	终端
信号	PGA_PAD				
D_CN(0)	B18	I	高速差分对	LVDS	差分 100Ω
D_CP(0)	B19	I			
D_CN(1)	H24	I	高速差分对		差分 100Ω
D_CP(1)	G24	I			
D_CN(2)	L23	I	高速差分对		差分 100Ω
D_CP(2)	K23	I			
D_CN(3)	C18	I	高速差分对		差分 100Ω
D_CP(3)	C19	I			
D_CN(4)	A19	I	高速差分对		差分 100Ω
D_CP(4)	A20	I			
D_CN(5)	E24	I	高速差分对		差分 100Ω
D_CP(5)	D24	I			
D_CN(6)	K25	I	高速差分对		差分 100Ω
D_CP(6)	J25	I			
D_CN(7)	C26	I	高速差分对		差分 100Ω
D_CP(7)	D26	I			
D_CN(8)	C21	I	高速差分对		差分 100Ω
D_CP(8)	B21	I			
D_CN(9)	G25	I	高速差分对		差分 100Ω
D_CP(9)	F25	I			
D_CN(10)	A24	I	高速差分对		差分 100Ω
D_CP(10)	B24	I			
D_CN(11)	J26	I	高速差分对		差分 100Ω
D_CP(11)	K26	I			
D_CN(12)	D25	I	高速差分对		差分 100Ω
D_CP(12)	C25	I			
D_CN(13)	E23	I	高速差分对		差分 100Ω
D_CP(13)	D23	I			
D_CN(14)	B23	I	高速差分对		差分 100Ω
D_CP(14)	C23	I			
D_CN(15)	K24	I	高速差分对		差分 100Ω
D_CP(15)	L24	I			
DCLK_CN	H23	I	高速差分对		差分 100Ω
DCLK_CP	G23	I			
SCTRL_CN	F26	I	高速差分对		差分 100Ω
SCTRL_CP	G26	I			
LVDS 总线 D					

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型[1]	引脚说明	信号类型	终端
信号	PGA_PAD				
D_DN(0)	Z18	I	高速差分对	LVDS	差分 100Ω
D_DP(0)	Z19	I			
D_DN(1)	T24	I	高速差分对		差分 100Ω
D_DP(1)	U24	I			
D_DN(2)	N23	I	高速差分对		差分 100Ω
D_DP(2)	P23	I			
D_DN(3)	Y18	I	高速差分对		差分 100Ω
D_DP(3)	Y19	I			
D_DN(4)	AA19	I	高速差分对		差分 100Ω
D_DP(4)	AA20	I			
D_DN(5)	W24	I	高速差分对		差分 100Ω
D_DP(5)	X24	I			
D_DN(6)	P25	I	高速差分对		差分 100Ω
D_DP(6)	R25	I			
D_DN(7)	Y26	I	高速差分对		差分 100Ω
D_DP(7)	X26	I			
D_DN(8)	Y21	I	高速差分对		差分 100Ω
D_DP(8)	Z21	I			
D_DN(9)	U25	I	高速差分对		差分 100Ω
D_DP(9)	V25	I			
D_DN(10)	AA24	I	高速差分对		差分 100Ω
D_DP(10)	Z24	I			
D_DN(11)	R26	I	高速差分对		差分 100Ω
D_DP(11)	P26	I			
D_DN(12)	X25	I	高速差分对		差分 100Ω
D_DP(12)	Y25	I			
D_DN(13)	W23	I	高速差分对		差分 100Ω
D_DP(13)	X23	I			
D_DN(14)	Z23	I	高速差分对		差分 100Ω
D_DP(14)	Y23	I			
D_DN(15)	P24	I	高速差分对		差分 100Ω
D_DP(15)	N24	I			
DCLK_DN	T23	I	高速差分对		差分 100Ω
DCLK_DP	U23	I			
SCTRL_DN	V26	I	高速差分对		差分 100Ω
SCTRL_DP	U26	I			
SCP 接口					
SCPCLK	U2	I	串行通信端口 CLK。	LVCMOS	内部下拉电阻
SCPDI	T3	I	串行通信数据输入	LVCMOS	内部下拉电阻
SCPENZ	U4	I	串行通信端口启用	LVCMOS	内部下拉电阻
SCPDO	U3	O	串行通信端口输出	LVCMOS	内部下拉电阻
其他信号					
DMD_PWRDNZ	G4	I	芯片级 ResetZ	LVCMOS	内部下拉电阻

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型[1]	引脚说明	信号类型	终端
信号	PGA_PAD				
N/C	G1、H1、J1、J3、J4、K3、P3、R1、R3、R4、T1、U1、V3、D17、X17、K4、P4、F3、G2、W18、G3、H3、X16	无连接			
TEMP_N	W16	I/O			
TEMP_P	W17	I/O			
微镜偏置复位输入					
MBRST(0)	E14	I	微镜驱动信号		
MBRST(1)	D13	I	微镜驱动信号		
MBRST(2)	E13	I	微镜驱动信号		
MBRST(3)	C12	I	微镜驱动信号		
MBRST(4)	E12	I	微镜驱动信号		
MBRST(5)	C11	I	微镜驱动信号		
MBRST(6)	D16	I	微镜驱动信号		
MBRST(7)	C15	I	微镜驱动信号		
MBRST(8)	W14	I	微镜驱动信号		
MBRST(9)	X13	I	微镜驱动信号		
MBRST(10)	W13	I	微镜驱动信号		
MBRST(11)	Y12	I	微镜驱动信号		
MBRST(12)	W12	I	微镜驱动信号		
MBRST(13)	Y11	I	微镜驱动信号		
MBRST(14)	Y15	I	微镜驱动信号		
电源和接地					

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型[1]	引脚说明	信号类型	终端
信号	PGA_PAD				
VDD	A5、A6、B2、C1、D10、D12、D19、D22、E8、E19、E20、E21、E22、F1、F2、J2、K1、L1、L25、M3、M4、M25、N1、N25、P1、R2、V1、V2、W8、W19、W20、W21、W22、X10、X12、X19、X22、Y1、Z1、Z2、AA2、AA5、AA6	P	低电压 CMOS 内核电源		
VDDI	A7、A8、A11、A16、A17、A18、A21、A22、A23、AA7、AA8、AA11、AA16、AA17、AA18、AA21、AA22、AA23	P	I/O 电源		
VCC2	A3、A4、A25、B26、L26、M26、N26、Z26、AA3、AA4、AA25	P	存储器阵列升高电压		

表 4-1. 引脚功能（续）

引脚		类型[1]	引脚说明	信号类型	终端
信号	PGA_PAD				
VSS	B4、B7、B11、B14、B17、B20、B22、B25、C2、C9、C20、C22、C24、D1、D2、D5、D9、D11、D14、D18、D20、D21、E1、E2、E7、E9、E16、E17、E18、E25、E26、F4、F23、F24、H2、H4、H25、H26、J23、J24、K2、L2、L3、L4、M1、M2、M23、M24、N2、N3、N4、P2、R23、R24、T2、T4、T25、T26、V4、V23、V24、W1、W2、W7、W9、W25、W26、X1、X2、X5、X9、X11、X14、X18、X20、X21、Y2、Y9、Y20、Y22、Y24、Z4、Z7、Z11、Z14、Z17、	G	全局接地		

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型[1]	引脚说明	信号类型	终端
信号	PGA_PAD				
	Z20、 Z22、Z25				

(1) I = 输入，O = 输出，P = 电源，G = 接地，NC = 无连接。

5 规格

5.1 绝对最大额定值

超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。

		最小值	最大值	单位
电源电压				
V_{DD}	LVCMOS 内核逻辑的电源电压(1)	-0.5	2.3	V
V_{DDI}	LVDS 接口的电源电压(1)	-0.5	2.3	V
V_{CC2}	微镜电极和 HVCMOS 电压(1) (2)	-0.5	11	V
V_{MBRST}	MBRST 引脚的输入电压(1)	-17.5	22.5	V
$\|V_{DDI} - V_{DD}\|$	电源电压差值（绝对值）(3)		0.3	V
输入电压				
$\|V_{ID}\|$	LVDS 引脚的输入差分电压（绝对值）		500	mV
V_LVCMOS	所有其他输入引脚的输入电压(1)	-0.3	V_{DDI} + 0.3	V
环境				
T_{ARRAY}	工作时的温度(4)	0	90	°C
	未工作时的温度(4)	-40	90	°C
T_{DP}	工作和未工作时的露点温度（非冷凝）		81	°C

(1) 所有电压均以公共接地 V_{SS} 为基准。所有 DMD 运行模式都需要 V_{DD}、V_{DDI} 和 V_{CC2} 电源。
(2) V_{CC2} 电源电压瞬态必须处于指定的电压范围内。
(3) 如果超过 V_{DD} 和 V_{DDI} 之间的建议允许电压差值，则可能导致电流消耗过大。
(4) 阵列温度无法直接测量，必须根据图 6-1 中所示测试点 1 (TP1) 测量的温度进行分析计算（按照*“微镜阵列温度计算”*）。

5.2 存储条件

适用于作为元件或在系统中不运行的 DMD

		最小值	最大值	单位
T_{DMD}	DMD 贮存温度	-40	80	°C
T_{DP-AVG}	平均露点温度（非冷凝）(1)		28	°C
T_{DP-ELR}	高露点温度范围（非冷凝）(2)	28	36	°C
CT_{ELR}	高露点温度范围内的累积时间		24	月

(1) 这是器件不在“高露点温度范围”内的随时间变化的平均值（包括存储和运行）。
(2) 在存储和运行期间，暴露于高范围内的露点温度必须限制在 CT_{ELR} 的总累积时间以内。

5.3 ESD 等级

符号	参数	说明	值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002(2)	±500	V
$V_{(ESD)}$	静电放电（MBRST 引脚）	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001	±150	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

Copyright © 2025 Texas Instruments Incorporated

5.4 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）。在该表定义的限值内运行器件时，可实现本数据表中指定的器件的功能性能。在高于或低于这些限值的条件下运行器件时，不暗示任何性能水平。

		最小值	标称值	最大值	单位
电源电压					
V_{DD}	LVCMOS 内核逻辑的电源电压(1)	1.65	1.8	1.95	V
V_{DDI}	LVDS 接口的电源电压(1)	1.65	1.8	1.95	V
V_{CC2}	微镜电极和 HVCMOS 电压(1) (2)	9.5	10	10.5	V
V_{MBRST}	微镜偏置/复位电压(1)	-17		21.5	V
$\|V_{DD} - V_{DDI}\|$	电源电压差值（绝对值）(3)		0	0.3	V
LVCMOS					
$V_{IH(DC)}$	输入高电压	0.7 × VDD		V_{DD} + 0.3	V
$V_{IL(DC)}$	输入低电压	-0.3		0.3 × VDD	V
$V_{IH(AC)}$	输入高电压	0.8 × VDD		V_{DD} + 0.3	V
$V_{IL(AC)}$	输入低电压	-0.3		0.2 × VDD	V
I_{OH}	高电平输出电流			2	mA
I_{OL}	低电平输出电流	-2			mA
t_{PWRDNZ}	PWRDNZ 脉冲宽度(4)	10			ns
SCP 接口					
F_{SCPCLK}	SCP 时钟频率	50		500	kHz
$SCPCLK_{DCDIN}$	SCP 时钟输入占空比	40%		60%	
LVDS 接口					
F_{CLOCK}	LVDS 接口的时钟频率（所有通道），DCLK(5)			400	MHz
DCD_{IN}	输入 CLK 占空比失真容差	44%		56%	
$\|V_{ID}\|$	输入差分电压（绝对值）(6)	150	300	440	mV
V_{CM}	共模电压(6)	1100	1200	1300	mV
V_{LVDS}	LVDS 电压(6)	880		1520	mV
t_{LVDS_RSTZ}	LVDS 接收器从 PWRDNZ 恢复所需的时间	2			µs
Z_{IN}	内部差分端接电阻	80	100	120	Ω
Z_{LINE}	线路差分阻抗（PWB/引线）	90	100	110	Ω
环境					
T_{ARRAY}	长期工作时的阵列温度(7) (8) (9)	10		40 至 70(10)	°C
	短期工作（最长 500 个小时）时的阵列温度(9) (11)	0		10	°C
$T_{DP\text{-}AVG}$	平均露点温度（非冷凝）(12)			28	°C
$T_{DP\text{-}ELR}$	高露点温度范围（非冷凝）(13)	28		36	°C
CT_{ELR}	高露点温度范围内的累积时间			24	月
$Q_{AP\text{-}ILL}$	窗口孔隙照明溢出(14) (15) (16)			17	W/cm²
固态照明					
ILL_{UV}	波长 < 410nm 时的照明功率(7) (18)			10	mW/cm²
ILL_{VIS}	波长 ≥ 410nm 且 ≤ 800nm 时的照明功率(17) (18)			22	W/cm²
ILL_{IR}	波长 > 800nm 时的照明功率(18)			10	mW/cm²
ILL_{BLU}	波长 ≥ 410nm 且 ≤ 475nm 时的照明功率(17) (18)			7.5	W/cm²
ILL_{BLU1}	波长 ≥ 410nm 且 ≤ 440nm 时的照明功率(17) (18)			1.1	W/cm²

(1) 所有电压均以公共接地 V_{SS} 为基准。DMD 正常运行需要 V_{DD}、V_{DDI} 和 V_{CC2} 电源。还必须连接 V_{SS}。

(2) V_{CC2} 电源电压瞬态必须处于指定的最大电压范围内。
(3) 为了防止电流过大，电源电压差值 $|V_{DDI} - V_{DD}|$ 必须小于指定的限值。请参阅 *DMD 电源要求*。
(4) PWRDNZ 输入引脚将 SCP 复位并禁用 LVDS 接收器。PWRDNZ 输入引脚覆盖 SCPENZ 输入引脚并使 SCPDO 输出引脚处于三态。
(5) 请参阅*时序要求* 中的 LVDS 时钟时序要求。
(6) 有关 LVDS 波形要求，请参阅 *LVDS 波形参数*。
(7) 如果 DMD 同时暴露于温度和 UV 照明的最大*建议运行条件* 下，则会缩短器件寿命。
(8) 长期定义为器件的使用寿命。
(9) 阵列温度无法直接测量，必须根据图 6-1 中所示测试点 1 (TP1) 测量的温度进行分析计算（按照 *"微镜阵列温度计算"*）。
(10) 根据图 5-1，最大工作阵列温度根据 DMD 在终端应用中经历的微镜着陆占空比进行降额。有关微镜着陆占空比的定义，请参阅*微镜着陆开/着陆关占空比*。
(11) 短期是器件使用寿命期间的总累积时间。
(12) 器件不在高露点温度范围内的随时间变化的平均值（包括存储和运行）。
(13) 在存储和运行期间，暴露于高范围内的露点温度限制在 CT_{ELR} 的总累积时间以内。
(14) 适用于图 5-2 中定义的区域
(15) DMD 的工作区域被 DMD 窗口表面内的孔隙包围，该孔隙遮挡了正常视图中 DMD 器件组件的结构。 该孔隙的大小可以预测多种光学条件。照亮有源阵列外部区域的溢出光会产生散射，并对使用 DMD 的终端应用的性能产生不利影响。照明光学系统的一项设计要求是尽可能减少入射到有源阵列外部的光通量。根据光学系统的特定光学架构和组装公差，有源阵列外部的溢出光量可能会导致系统性能下降。
(16) 要进行计算，请参阅窗口孔隙照明溢出计算。
(17) 入射到 DMD 上的最大允许光功率受到每个指定波长范围的最大光功率密度以及微镜阵列温度 (T_{ARRAY}) 的限制。
(18) 如需计算，请参阅微镜功率密度计算。

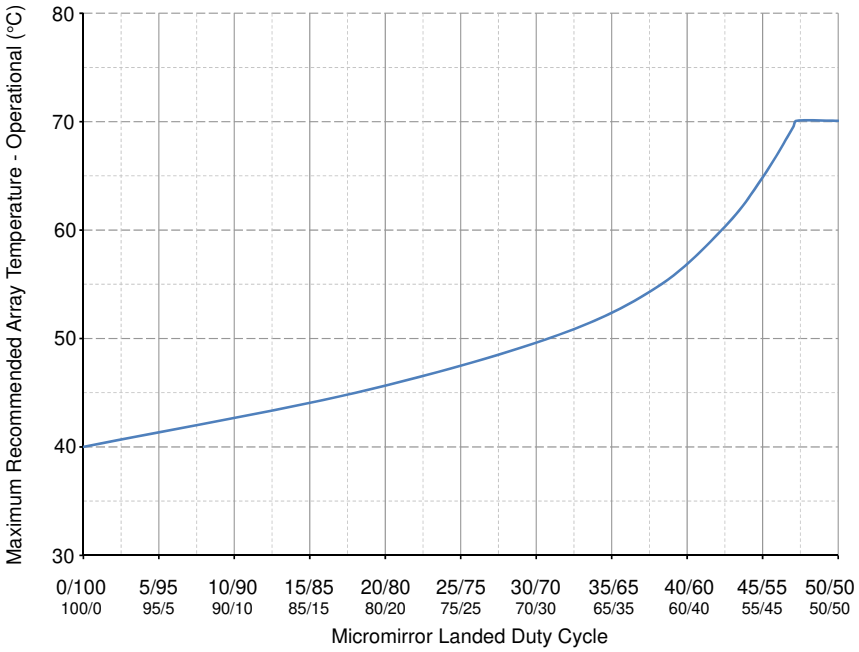


图 5-1. 最大建议阵列温度 — 降额曲线

Copyright © 2025 Texas Instruments Incorporated

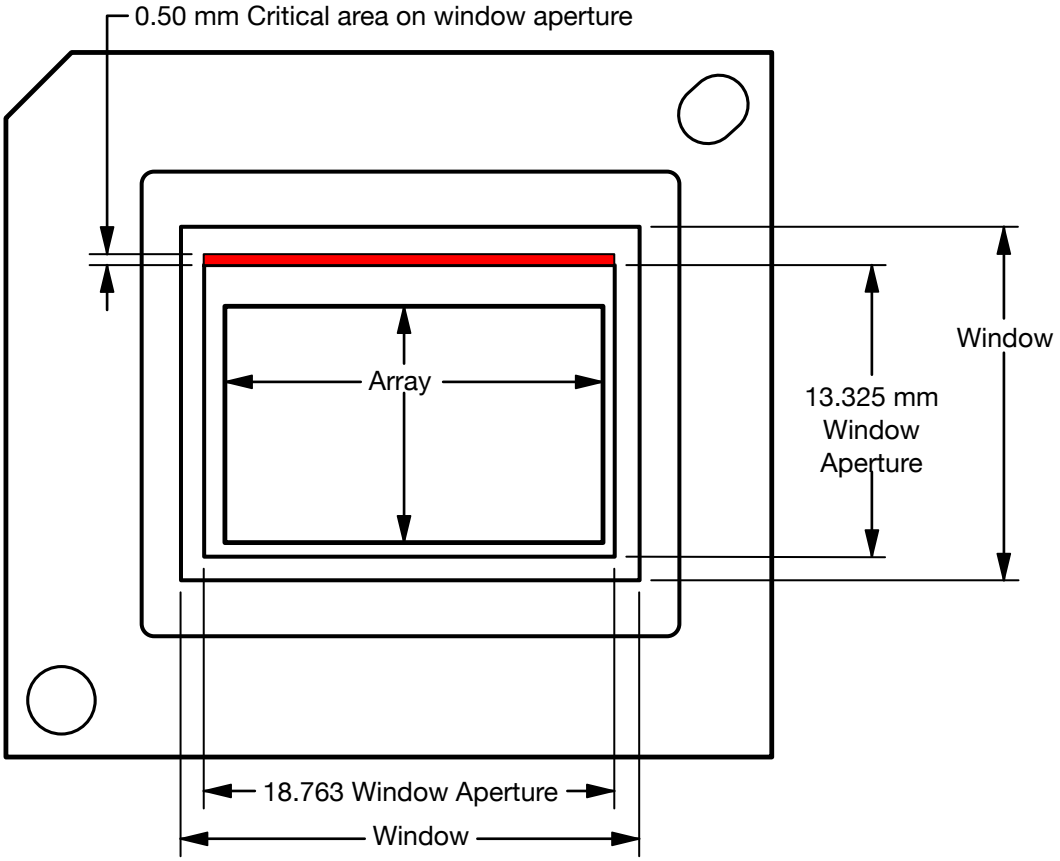


图 5-2. 照明溢出图 — 关键区域

5.5 热性能信息

热指标	DLP800XE FYV 350 引脚	单位
有源区域至测试点 1 (TP1) 的热阻(1)	0.50	°C/W

(1) 该 DMD 可以将吸收和耗散的热量传导至封装背面。冷却系统必须能够将 DMD 保持在*建议运行条件*中指定的温度范围内。该 DMD 上的总热负荷主要由工作区域吸收的入射光驱动，不过可能还会有一部分来自窗口孔隙吸收的光能和阵列的电功率耗散。光学系统的一项设计要求是尽量减少处于窗口通光孔径之外的光能，因为该区域的任何额外热负荷都会显著降低器件的可靠性。

5.6 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源信息						
I_{DD}	电源电流 V_{DD} (1)				1200	mA
I_{DDI}	电源电流 V_{DDI} (1)				340	mA
I_{CC2}	电源电流 V_{CC2}				40	mA
P_{DD}	电源功率 V_{DD} (1)				2340	mW
PDDI	电源功率 V_{DDI} (1)				663	mW
P_{CC2}	电源功率 V_{CC2}				420	mW
LVCMOS						

5.6 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	I_{OH} = 2mA	0.8			× V_{DD}
V_{OL}	低电平输出电压	I_{OL} = 2mA			0.2	× V_{DD}
I_{OZ}	高阻抗输出电流	V_{DD} = 1.95V			10	µA
I_{IL}	低电平输入电流	VDD = 1.95V，Vin = 0V	-60			µA
I_{IH}	高电平输入电流(2)	VDD = 1.95V，Vin = VDD			200	µA
电容						
C_I	输入电容：LVDS 引脚	f = 1MHz			20	pF
C_I	输入电容(2)	f = 1MHz			15	pF
C_O	输出电容(2)	f = 1MHz			15	pF
C_{IM}	MBRST[0:14] 引脚的输入电容	f = 75kHz	400	450	570	pF

(1) 为了防止电流过大，电源电压差值 |VDDI – VDD| 必须小于*绝对最大额定值* 中指定的限值。
(2) 仅适用于 LVCMOS 引脚。不包括 LVDS 引脚和测试焊盘引脚

5.7 时序要求

在*建议运行条件* 下测得（除非另有说明）

参数说明		最小值	标称值	最大值	单位
SCP					
t_{SCP_DS}	SCPDI 时钟建立时间（SCPCLK 下降沿之前）(1)	800			ns
t_{SCP_DH}	SCPDI 保持时间（SCPCLK 下降沿之后）(1)	900			ns
$t_{SCP_NEG_ENZ}$	SCPENZ 的下降沿和 SCPCLK 的上升沿之间的时间(1)	1			µs
$t_{SCP_POS_ENZ}$	SCPCLK 的下降沿和 SCPENZ 的上升沿之间的时间(1)	1			µs
$t_{SCP_OUT_EN}$	SCPENZ 之后 SCP 输出缓冲器恢复（从三态）所需的时间(1)			960	ns
$t_{SCP_PW_ENZ}$	SCPENZ 无效脉冲宽度（高电平）	1			$1/F_{scpclk}$
t_r	上升时间（20% 至 80%）。请参阅 (2)			200	ns
t_f	下降时间（80% 至 20%）。请参阅 (2)			200	ns
LVDS					
t_{R_LVDS}	上升时间（20% 至 80%）。请参阅 (3)			500	ps
t_{F_LVDS}	下降时间（80% 至 20%）。请参阅 (3)			500	ps
t_C	DCLK_C 和 DCLK_D 的时钟周期持续时间	2.5			ns
t_W	DCLK_C/D 的脉冲持续时间	1.19			ns
t_{SU_data}	DCLK 之前高速数据 (15:0) 的建立时间	350			ps
t_{SU_sctrl}	DCLK 之前 SCTRL 的建立时间	330			ps
t_{H_data}	DCLK 之后高速数据 (15:0) 的保持时间	150			ps
t_{H_sctrl}	DCLK 之后 SCTRL 的保持时间	170			ps
t_{SKEW_A2B}	通道 B 和通道 A 之间的偏差容限	-1.25		1.25	ns
t_{SKEW_A2C}	通道 A 和通道 C 之间的偏差容限(4) (5)	-1.25		1.25	ns
t_{SKEW_C2D}	通道 C 和通道 D 之间的偏差容限(4) (10)	-1.25		1.25	ns

(1) 请参阅 *LVDS 上升和下降时间*。
(2) 请参阅 *LVDS 时序参数*。
(3) 请参阅 *LVDS 波形参数*。
(4) 通道 C（总线 C）包括以下 LVDS 对：DCLK_C、SCTRL_C 和 D_C

Copyright © 2025 Texas Instruments Incorporated

(5) 通道 D（总线 D）包括以下 LVDS 对：DCLK_D、SCTRL_D 和 D_D。

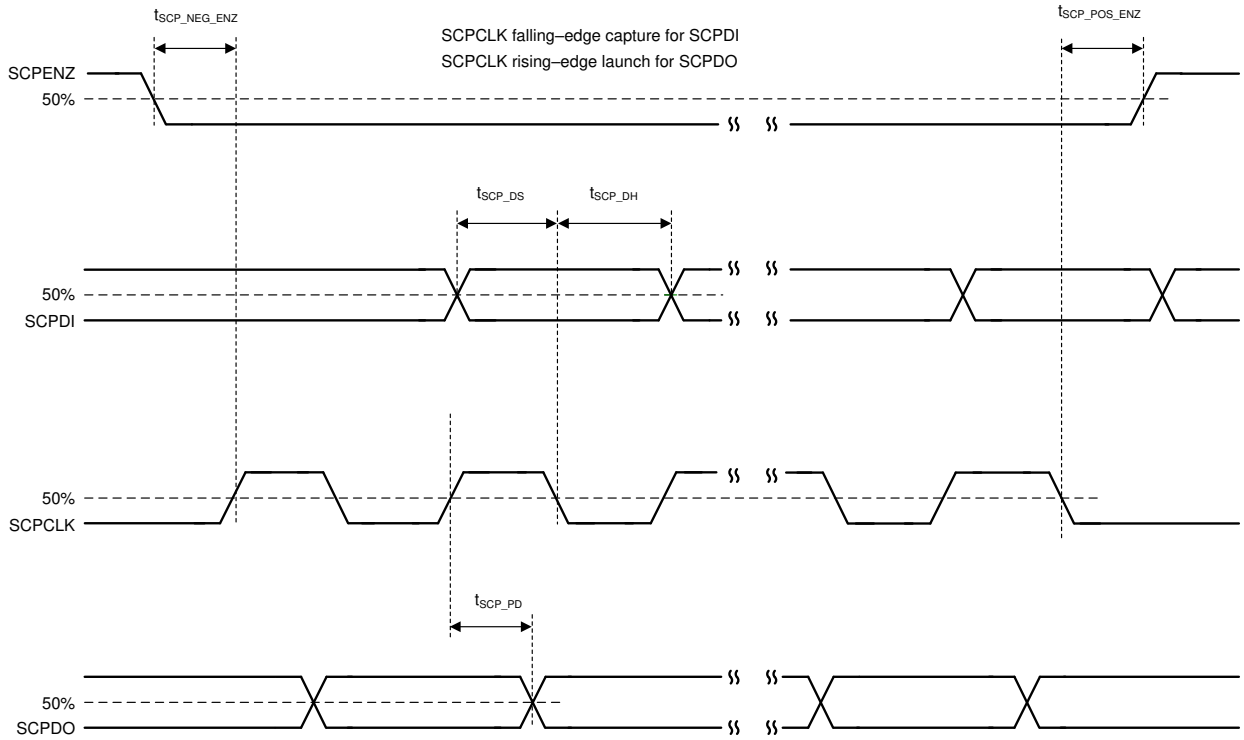


图 5-3. SCP 时序参数

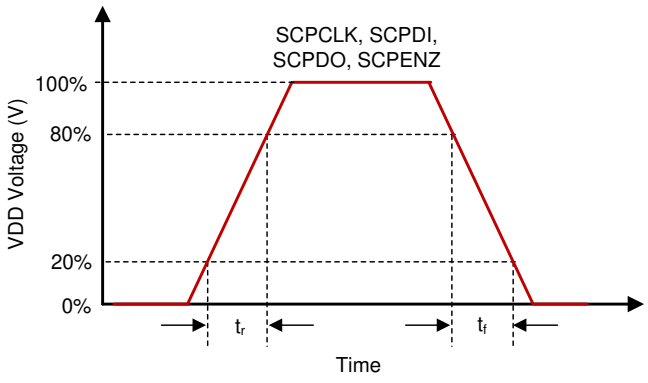


图 5-4. SCP 上升和下降时间

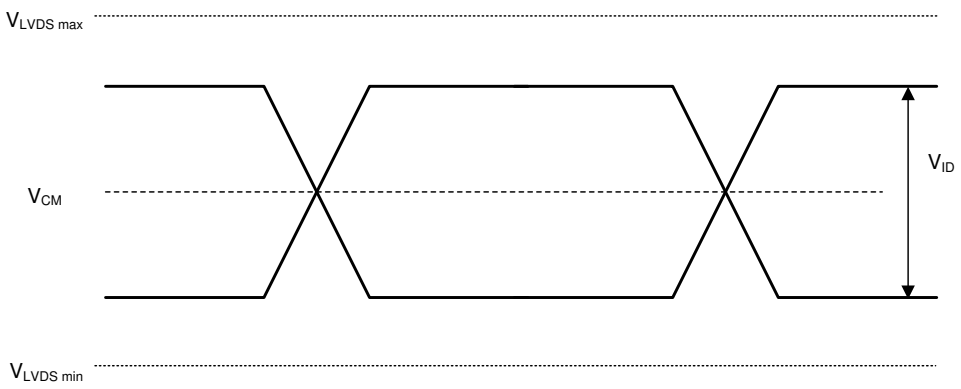


图 5-5. LVDS 波形参数

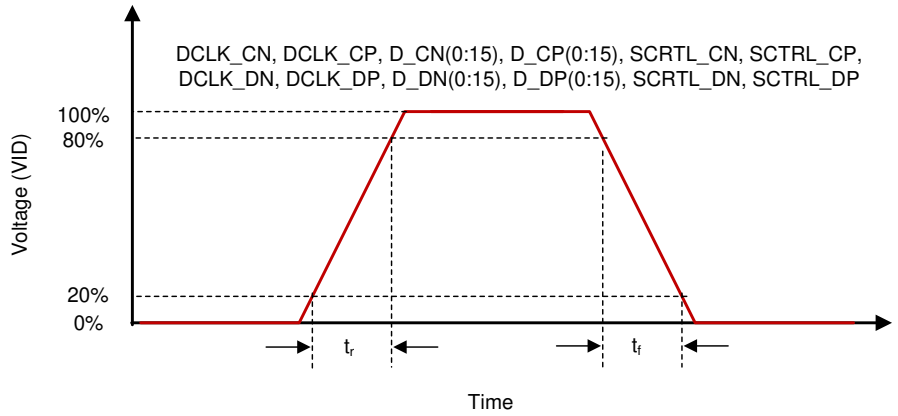


图 5-6. LVDS 上升和下降时间

Copyright © 2025 Texas Instruments Incorporated

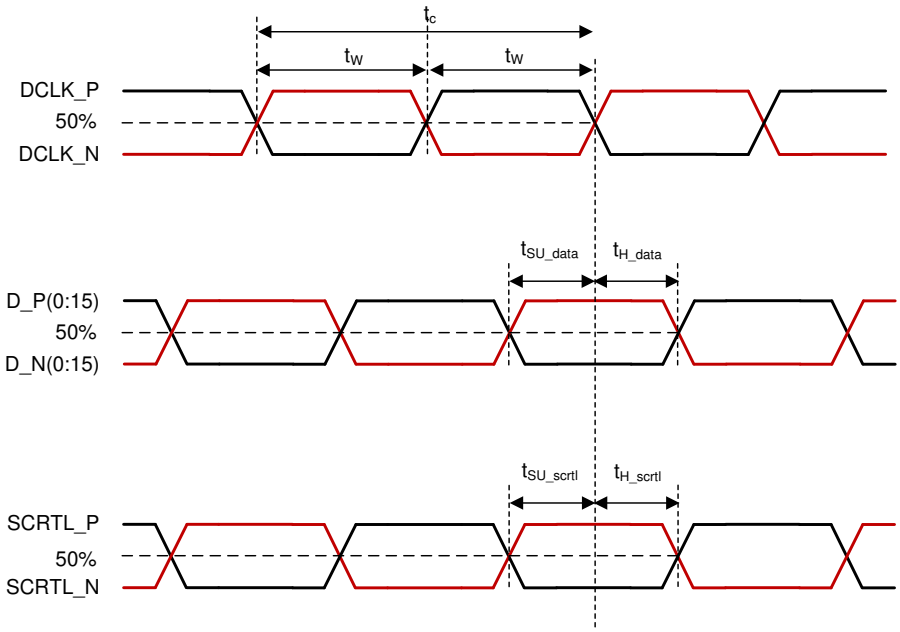


图 5-7. LVDS 时序参数

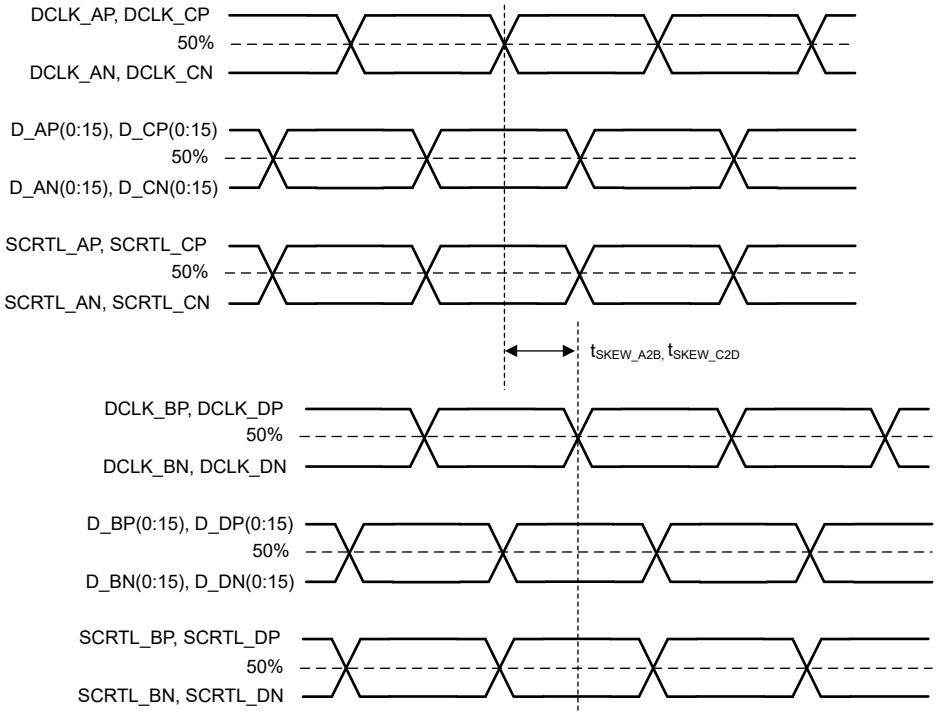


图 5-8. LVDS 偏斜参数

5.8 系统安装接口负载

参数	最小值	标称值	最大值	单位
当在电气接口和热界面区域上施加负载时				
要向电气接口区域施加的最大负载[(1)]			111	N
要向热界面区域施加的最大负载[(1)]			111	N
当仅在电气接口区域上施加负载时				
要向电气接口区域施加的最大负载[(1)]			222	N
要向热界面区域施加的最大负载[(1)]			0	N

(1) 负载必须均匀地施加在图 5-9 中所示的相应区域。

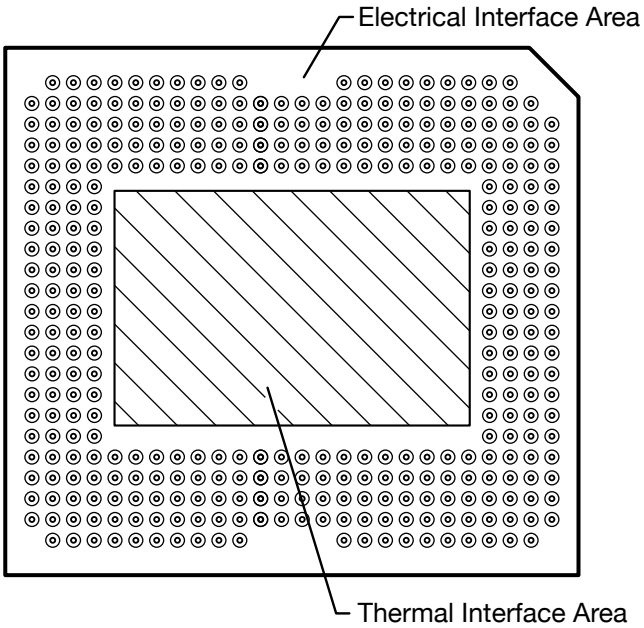


图 5-9. 系统安装接口负载

Copyright © 2025 Texas Instruments Incorporated

5.9 微镜阵列物理特性

参数说明		值	单位
M	有源列数(1)	1920	微镜
N	有源行数(1)	1200	微镜
P	微镜（像素）间距(1)	9.0	µm
微镜有源阵列宽度(1)	微镜间距 × 有源列数	17.280	mm
微镜有源阵列高度(1)	微镜间距 × 有源行数	10.800	mm
微镜有源边框（顶部和底部）(2)	微镜池 (POM)	12	微镜数/侧
微镜有源边框（右侧和左侧）(2)	微镜池 (POM)	12	微镜数/侧

(1) 请参阅图 5-10。
(2) 有源阵列周围边框的结构和质量包括一条称为 POM 的部分起作用的微镜带。这些微镜在结构上和/或电气上被阻止向亮或“打开”状态倾斜，但仍需要进行电偏置以向“关闭”状态倾斜。

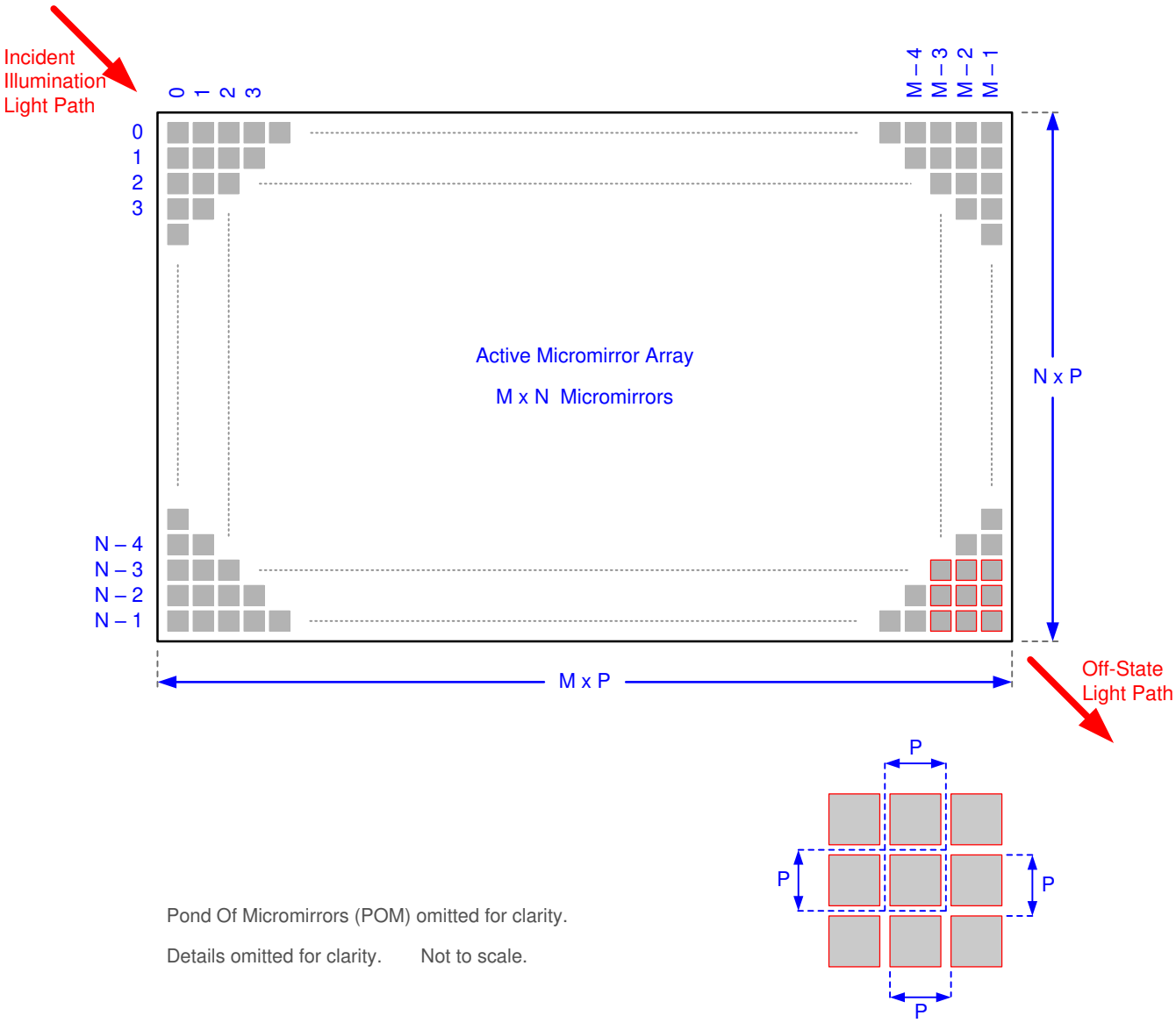


图 5-10. 微镜阵列物理特性

5.10 微镜阵列光学特性

	参数	测试条件	最小值	典型值	最大值	单位
微镜倾斜角(2) (3) (4) (5)		着陆状态(1)	13.5	14.5	15.5	度
微镜交叉时间(6)		典型性能		3		μs
微镜开关时间(7)		典型性能	8			μs
图像性能(8)	工作区域中的亮像素 (9)	灰度 10 屏幕(12)			0	微镜
	POM 中的亮像素(9) (11)	灰度 10 屏幕(12)			1	
	工作区域中的暗像素 (10)	白色屏幕(13)			4	
	相邻像素(16)	任何屏幕			0	
	有源区域中的不稳定像素(15)	任何屏幕			0	

(1) 相对于整个微镜阵列形成的平面进行测量。
(2) 微镜阵列和封装基准之间存在额外差异。
(3) 表示位于同一器件上或位于不同器件上的任意两个单独微镜之间可能产生的变化。
(4) 对于某些应用，在整个系统光学设计中考虑微镜倾斜角的变化是至关重要的。对于某些系统光学设计，器件内的微镜倾斜角变化可能会导致从微镜阵列反射的光场出现可察觉的不均匀性。对于某些系统光学设计，器件之间的微镜倾斜角变化可能会导致色度变化、系统效率变化或系统对比度变化。
(5) 请参阅图 5-11。
(6) 微镜标称从一个着陆状态转换到相反着陆状态所需的时间。
(7) 微镜连续转换之间的最短时间。
(8) 验收条件：使用以下投影图像测试条件评估所有 DMD 图像性能返回值：
    测试设置去伽玛校正应该是线性的。
    测试设置亮度、对比度应设置为标称值。
    投影图像的对角线尺寸应至少为 60 英寸。
    投影屏幕应具有 1 倍的增益。
    应以至少 8 英尺的观看距离查看投影图像。
    在所有图像质量测试期间，图像应处于焦点位置。
(9) 亮度像素定义： 卡在打开位置、明显比周围像素亮的单个像素或微镜
(10) 暗像素定义：卡在关闭位置，明显比周围像素暗的单个像素或微镜
(11) POM 定义：工作区域周围处于关闭状态的微镜的矩形边框
(12) 灰度 10 屏幕定义：RGB 值设置为 R = 10/255、G = 10/255、B = 10/255 的全屏
(13) 白屏定义： RGB 值设置为 R = 255/255、G = 255/255、B = 255/255 的全屏
(14) 相邻像素定义：共享公共边界或公共点的两个或多个卡住的像素，也称为集群。
(15) 不稳定像素定义：不按加载到存储器中的参数顺序运行的单个像素或微镜。不稳定像素看起来与图像异步闪烁。

Copyright © 2025 Texas Instruments Incorporated

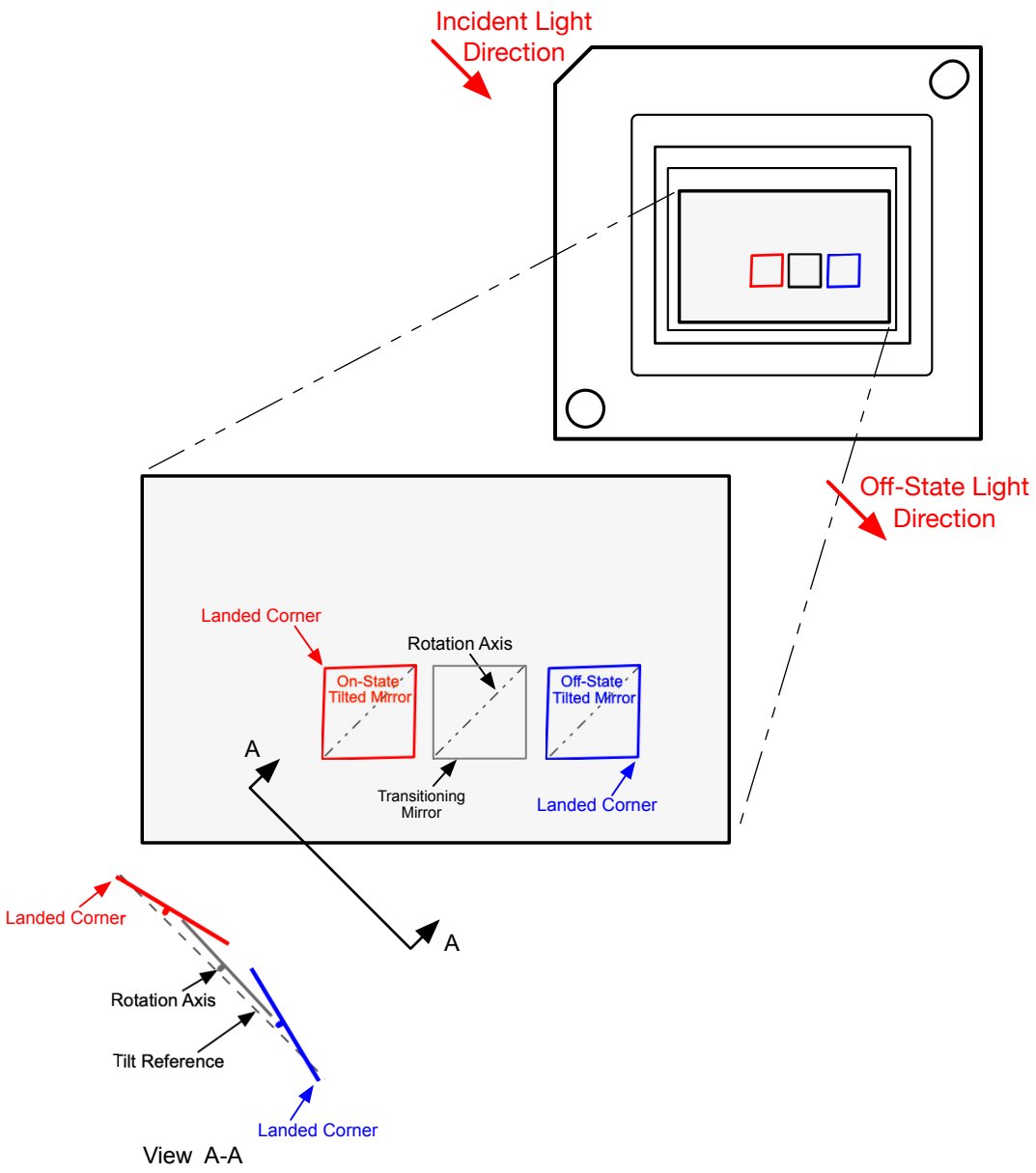


图 5-11. 微镜着陆方向和倾斜

5.11 窗口特性

参数说明	测试条件	最小值	标称值	最大值	单位
窗口材料			Corning EagleXG		
窗口折射率	546.1nm		1.5119		

5.12 芯片组元件使用规格

DLP800XE DMD 需要与适用 DLP 芯片组的其他元件（包括那些包含或实现 TI DMD 控制技术的元件）结合使用才能实现可靠运行。TI DMD 控制技术包含用于操作或控制 DLP DMD 的 TI 技术和器件。

备注

TI 对因光学系统工作条件超过上述限制而导致的图像质量伪影或 DMD 故障不承担任何责任。

Copyright © 2025 Texas Instruments Incorporated

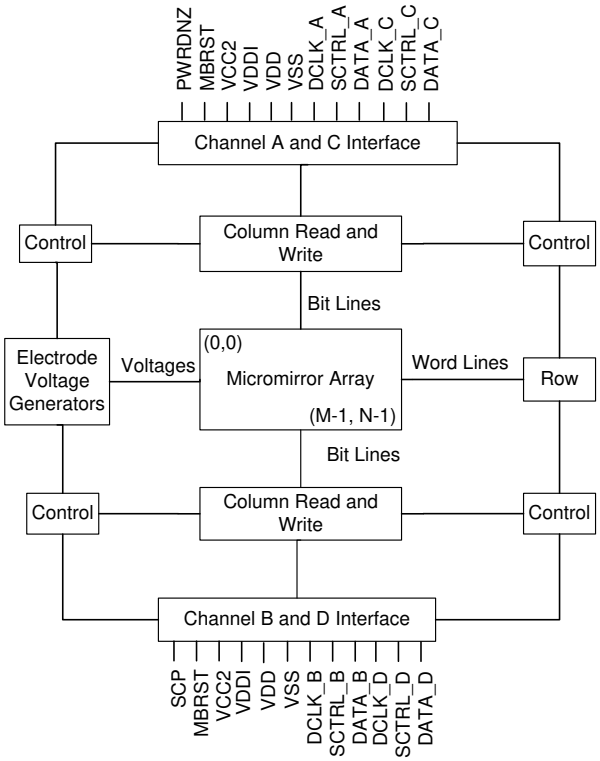
6 详细说明

6.1 概述

DLP800XE 数字微镜器件 (DMD) 是一款 0.8 英寸对角线空间光调制器，由一个高反射铝微镜阵列组成。该 DMD 是一个电子输入、光学输出的微光机电系统 (MOEMS)。DMD 微镜的快速切换速度与先进的 DLP 图像处理算法相结合，使微镜阵列能够以 60Hz 帧速率显示完整的 3840 × 2400 像素图像。电气接口为低压差分信号 (LVDS) 接口。该 DMD 由 1 位 CMOS 存储单元的二维阵列组成。该阵列排列为 M 个存储单元列乘以 N 个存储单元行的网格。请参阅节 6.2。通过改变底层 CMOS 寻址电路的地址电压和微镜复位信号 (MBRST)，可以单独控制微镜的正偏转角或负偏转角。

DLP 0.8 英寸 4K+ 芯片组由 DLP800XE DMD、两个 DLPC4420 显示控制器、DLPA300 微镜控制器以及 DLPA100 电源管理和电机驱动器组成。为了可靠运行，DLP800XE DMD 必须始终与芯片组中的 DLP 显示控制器以及电源和电机驱动器搭配使用。

6.2 功能方框图



6.3 特性说明

6.3.1 电源接口

该 DMD 需要两个直流电压：VDD 和 VDDI 使用 1.8V 电源，VCC2 使用 10V 电源。在典型配置中，DLPA100 电源管理和电机驱动器产生 3.3V 电压，并在 DMD 板上将此电压用于产生 1.8V 电压。DLPA300 微镜驱动器接收 12V 电压并生成微镜复位电压。

6.3.2 时序

此数据表指定了器件引脚上的时序。在分析输出时序时，必须考虑测试仪引脚电子元件及其传输线路影响。时序基准负载不能作为任何特定系统环境的精确表示，也不能描述生产测试所呈现的实际负载。TI 建议系统设计人员

使用 IBIS 或其他仿真工具将时序基准负载与系统环境相关联。仅将指定的负载电容值用于交流时序信号的表征和测量。该负载电容值并不表示器件能够驱动的最大负载。

6.4 器件功能模式

DMD 功能模式由 DLPC4420 显示控制器 控制。请参阅 *DLPC4420 显示控制器 数据表* 或联系 TI 应用工程师。

6.5 光学接口和系统图像质量注意事项

TI 对终端设备的光学性能不承担任何责任。要实现所需的终端设备光学性能，需要在众多元件和系统设计参数之间进行权衡。为了优化系统光学性能和图像质量，需要权衡光学系统设计参数。虽然不可能预见到每一个可以想象的应用，但投影仪图像质量和光学性能取决于是否符合以下各节中所述的光学系统工作条件。

6.5.1 数字光圈和杂散光控制

TI 建议由照明光学元件的数值孔径定义的光锥角与由投影光学元件的数值孔径定义的光锥角相同。除非在照明和投影光瞳中添加了适当的孔径以阻挡来自投影透镜的平面光和杂散光，否则该角度不得超过标称器件微镜倾斜角。DLP800XE 具有与 f/2.0 数值孔径相对应的 14.5° 倾斜角。微镜倾斜角定义了 DMD 将“打开”光路与任何其他光路分开的能力，包括来自 DMD 窗口、DMD 边框结构或 DMD 附近其他系统表面（例如棱镜或透镜表面）的不良平面状态镜面反射。如果数值孔径超过微镜倾斜角，或者如果投影数值孔径角比照明数值孔径角大 2 度以上（反之亦然），则显示器边框和/或有源区域中可能会出现对比度下降和不良的伪影。

6.5.2 光瞳匹配

TI 的光学和图像质量规格假定，照明光学元件的出射光瞳标称中心位于投影光学元件入射光瞳的 2° 范围内。光瞳失准会在显示边框和工作区域中产生不良伪影，这可能需要额外的系统孔隙来控制，尤其是在系统的数值孔隙超过像素倾斜角的情况下。

6.5.3 照明溢出

该器件的工作区域被 DMD 窗口表面内的孔隙包围，该孔隙遮挡了正常视图中 DMD 芯片组件的结构，并且其尺寸设计符合多种光学工作条件。照亮窗口孔隙的溢出光会因窗口孔隙开口的边缘和屏幕上可见的其他表面异常而产生伪影。将照明光学系统设计为限制入射到窗口孔隙任何位置的光通量，使其不超过工作区域中平均通量水平的约 10%。根据特定系统的光学架构，溢出光可能必须进一步减少到建议的 10% 水平以下才能被接受。

Copyright © 2025 Texas Instruments Incorporated

6.6 微镜阵列温度计算

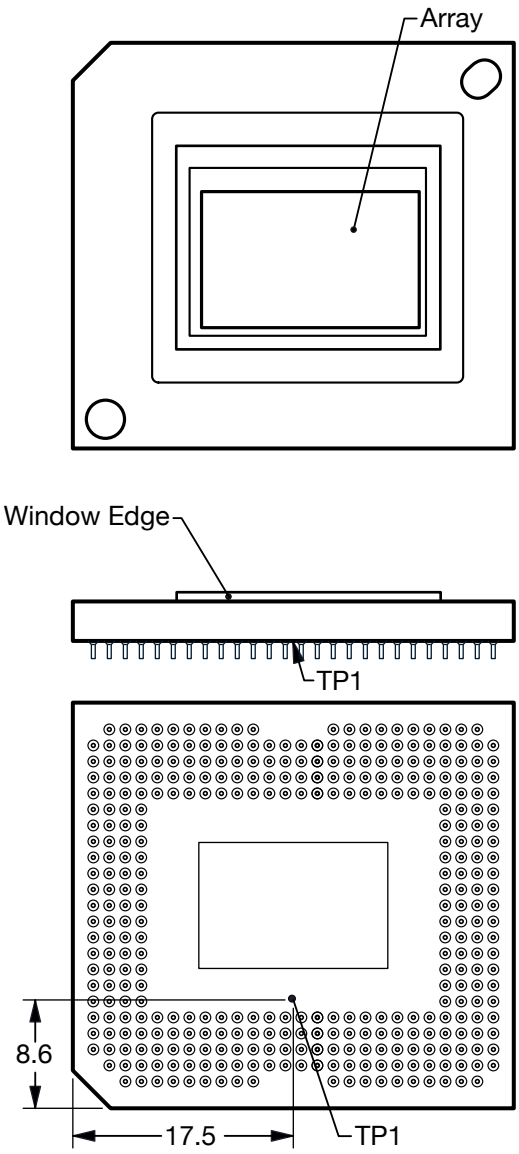


图 6-1. DMD 热测试点

微镜阵列温度无法直接测量，因此必须根据封装外部的测量点、封装热阻、电功率和照明热负荷进行分析计算。以下公式展示了阵列温度与基准陶瓷温度（如上所示的热测试 TP1）之间的关系：

$$T_{ARRAY} = T_{CERAMIC} + (Q_{ARRAY} \times R_{ARRAY\text{-}TO\text{-}CERAMIC}) \quad (1)$$

$$Q_{ARRAY} = Q_{ELECTRICAL} + Q_{ILLUMINATION} \quad (2)$$

其中

- T_{ARRAY} = 计算得出的阵列温度 (°C)
- $T_{CERAMIC}$ = 测得的陶瓷温度 (°C)（TP1 位置）
- $R_{ARRAY\text{-}TO\text{-}CERAMIC}$ = 节 5.5 中指定的阵列至陶瓷 TP1 的封装热阻 (°C/W)
- Q_{ARRAY} = 阵列上的总 DMD 功率 (W)（电气 + 吸收）

Copyright © 2025 Texas Instruments Incorporated

- $Q_{ELECTRICAL}$ = 标称电功率 (W)
- $Q_{INCIDENT}$ = 入射照明光功率 (W)
- $Q_{ILLUMINATION}$ = (DMD 平均热吸收率 × $Q_{INCIDENT}$) (W)
- DMD 平均热吸收率 = 0.55

DMD 的电功率耗散是可变的，取决于电压、数据速率和工作频率。计算阵列温度时使用的标称电功率耗散为 1.5W。从光源吸收的功率是可变的，具体取决于微镜的工作状态和光源的强度。上面显示的公式对于单芯片或多芯片 DMD 系统有效。它假设有源阵列上的照明分布为 83.7%，阵列边界上的照明分布为 16.3%。

以下是典型投影应用的示例计算：

$$Q_{INCIDENT} = 40W \text{ (measured)} \tag{3}$$

$$T_{CERAMIC} = 55.0°C \text{ (measured)} \tag{4}$$

$$Q_{ELECTRICAL} = 1.5W \tag{5}$$

$$Q_{ARRAY} = 1.5W + (0.55 \times 40W) = 23.5W \tag{6}$$

$$T_{ARRAY} = 55.0°C + (23.5W \times 0.50°C/W) = 66.8°C \tag{7}$$

6.7 微镜功率密度计算

在计算不同波长带内 DMD 上的照明光功率密度时，会使用在 DMD 上测量的总光功率、照明溢出百分比、有源阵列面积，以及所需波长带内的光谱与总光谱光功率的比率。

- $ILL_{UV} = [OP_{UV\text{-}RATIO} \times Q_{INCIDENT}] \times 1000 \div A_{ILL}$ (mW/cm^2)
- $ILL_{VIS} = [OP_{VIS\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{IR} = [OP_{IR\text{-}RATIO} \times Q_{INCIDENT}] \times 1000 \div A_{ILL}$ (mW/cm^2)
- $ILL_{BLU} = [OP_{BLU\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{BLU1} = [OP_{BLU1\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $A_{ILL} = A_{ARRAY} \div (1 - OV_{ILL})$ (cm^2)

其中：

- ILL_{UV} = DMD 上的 UV 照明功率密度 (mW/cm^2)
- ILL_{VIS} = DMD 上的 VIS 照明功率密度 (W/cm^2)
- ILL_{IR} = DMD 上的 IR 照明功率密度 (mW/cm^2)
- ILL_{BLU} = DMD 上的 BLU 照明功率密度 (W/cm^2)
- ILL_{BLU1} = DMD 上的 BLU1 照明功率密度 (W/cm^2)
- A_{ILL} = DMD 上的照明面积 (cm^2)
- $Q_{INCIDENT}$ = DMD 上的总入射光功率 (W) (测量值)
- A_{ARRAY} = 阵列面积 (cm^2) (数据表)
- OV_{ILL} = 阵列外部 DMD 上总照度的百分比 (%) (光学模型)
- $OP_{UV\text{-}RATIO}$ = 波长 <410nm 的光功率与照明光谱中总光功率的比率 (光谱测量)

Copyright © 2025 Texas Instruments Incorporated

- $OP_{VIS\text{-}RATIO}$ = 波长 ≥410nm 且 ≤800nm 的光功率与照明光谱中总光功率的比率（光谱测量）
- $OP_{IR\text{-}RATIO}$ = 波长 >800nm 的光功率与照明光谱中总光功率的比率（光谱测量）
- $OP_{BLU\text{-}RATIO}$ = 波长 ≥410nm 且 ≤475nm 的光功率与照明光谱中总光功率的比率（光谱测量）
- $OP_{BLU1\text{-}RATIO}$ = 波长 ≥410nm 且 ≤440nm 的光功率与照明光谱中总光功率的比率（光谱测量）

照明面积因照明溢出而异。DMD 上的总照明面积包括阵列面积和阵列周围的溢出面积。光学模型用于确定阵列外部 DMD 上总照度的百分比 (OV_{ILL}) 和有源阵列上总照度的百分比。根据这些值计算出照明面积 (A_{ILL})。假设整个阵列上的照明是均匀的。

根据测量到的照明光谱，计算出相关波长带内的光功率与总光功率的比率。

计算示例：

$$Q_{INCIDENT} = 40W \text{ (measured)} \tag{8}$$

$$A_{ARRAY} = (17.280mm \times 10.800mm) \div 100 = 1.8662cm^2 \text{ (data sheet)} \tag{9}$$

$$OV_{ILL} = 16.3\% \text{ (optical model)} \tag{10}$$

$$OP_{UV\text{-}RATIO} = 0.00017 \text{ (spectral measurement)} \tag{11}$$

$$OP_{VIS\text{-}RATIO} = 0.99977 \text{ (spectral measurement)} \tag{12}$$

$$OP_{IR\text{-}RATIO} = 0.00006 \text{ (spectral measurement)} \tag{13}$$

$$OP_{BLU\text{-}RATIO} = 0.28100 \text{ (spectral measurement)} \tag{14}$$

$$OP_{BLU1\text{-}RATIO} = 0.03200 \text{ (spectral measurement)} \tag{15}$$

$$A_{ILL} = 1.8662cm^2 \div (1 - 0.163) = 2.2297cm^2 \tag{16}$$

$$ILL_{UV} = [0.00017 \times 40W] \times 1000 \div 2.2297cm^2 = 3.05mW/cm^2 \tag{17}$$

$$ILL_{VIS} = [0.99977 \times 40W] \div 2.2297cm^2 = 17.94W/cm^2 \tag{18}$$

$$ILL_{IR} = [0.00006 \times 40W] \times 1000 \div 2.2297cm^2 = 1.076mW/cm^2 \tag{19}$$

$$ILL_{BLU} = [0.28100 \times 40W] \div 2.2297cm^2 = 5.04W/cm^2 \tag{20}$$

$$ILL_{BLU1} = [0.03200 \times 40W] \div 2.2297cm^2 = 0.57W/cm^2 \tag{21}$$

6.8 窗口孔隙照明溢出计算

窗口孔隙关键区域的光学溢出量无法直接测量。对于在阵列上有均匀照明的系统，应使用在 DMD 上测得的总入射光功率以及 DMD 上指定关键区域的总光功率比值来确定光学溢出量。应使用光学模型来确定窗口孔隙关键区域的光功率百分比，并估算该区域的大小。

- $Q_{AP\text{-}ILL} = [Q_{INCIDENT} \times OP_{AP_ILL_RATIO}] \div A_{AP_ILL}$ (W/cm^2)

其中：

- $Q_{AP\text{-}ILL}$ = 窗口孔隙照明溢出 (W/cm^2)
- $Q_{INCIDENT}$ = DMD 上的总入射光功率（瓦）（测量值）

- $OP_{AP_ILL_RATIO}$ = 窗口孔隙关键区域的光功率与 DMD 上的总光功率之比（光学模型）
- $A_{AP\text{-}ILL}$ = 窗口孔隙关键区域的大小 (cm^2)（数据表）
- OP_{CA_RATIO} = 入射光功率占窗口孔隙关键区域的百分比 (%)（光学模型）

计算示例：

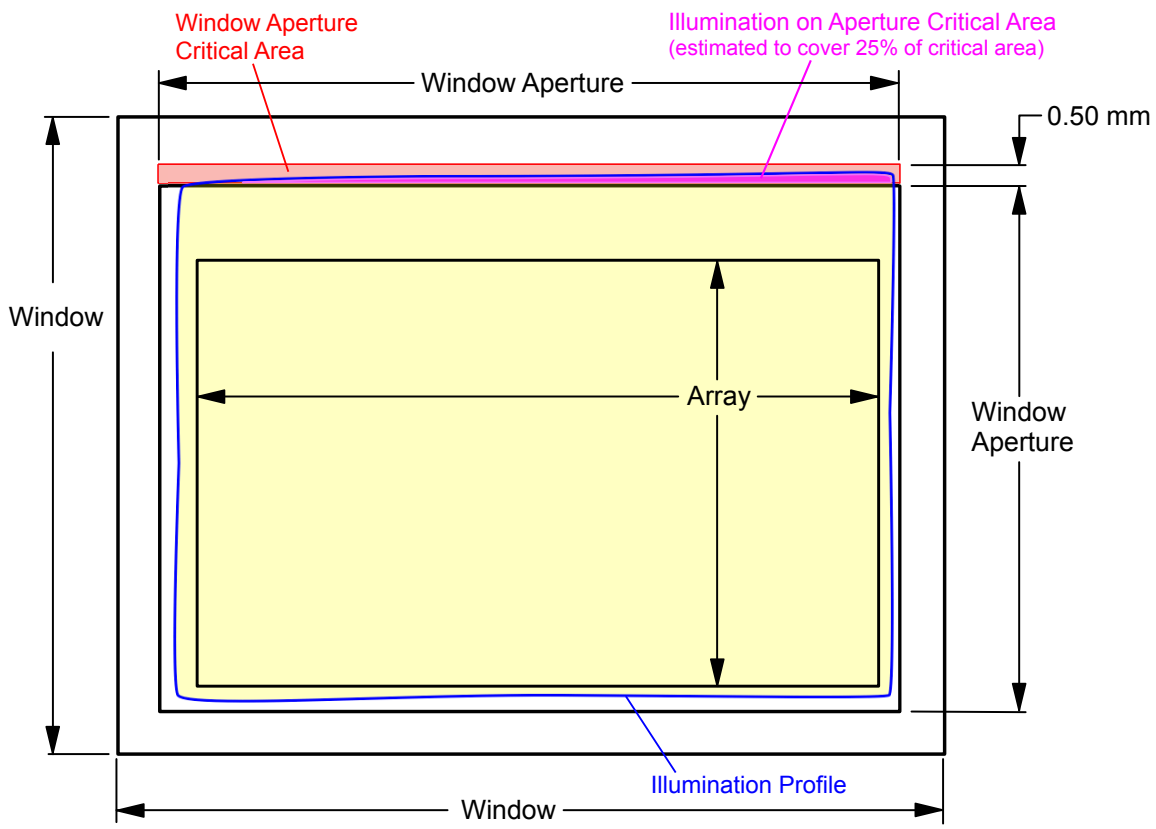


图 6-2. 窗口孔隙溢出示例

请参阅图中的关键孔隙长度。

$Q_{INCIDENT}$ = 40W (measured) (22)

$OP_{AP_ILL_RATIO}$ = 0.312% (optical model) (23)

OV_{CA_RATIO} = 25% (optical model) (24)

Length of the window aperture for the critical area = 1.8763cm (data sheet) (25)

Width of critical area = 0.050cm (data sheet) (26)

$A_{AP\text{-}ILL}$ = 1.8763cm × 0.050cm = 0.093815 (cm^2) (27)

$Q_{AP\text{-}ILL}$ = (40W × 0.00312) ÷ (0.093815cm^2 × 0.25) = 5.3 (W/cm^2) (28)

Copyright © 2025 Texas Instruments Incorporated

6.9 微镜着陆打开/着陆关闭占空比

6.9.1 微镜着陆开/着陆关占空比的定义

微镜着陆开/着陆关占空比（着陆占空比）表示单个微镜着陆于打开状态的时长（百分比）与同一微镜着陆于关闭状态的时长之比。

例如，100/0 的着陆占空比表示基准像素在 100% 的时间内处于打开状态（在 0% 的时间内处于关闭状态）；而 0/100 表示像素在 100% 的时间内处于关闭状态。同样，50/50 表示像素在 50% 的时间内处于打开状态（在 50% 的时间内处于关闭状态）。

请注意，在评估着陆占空比时，从一种状态（打开或关闭）切换到另一种状态（关闭或打开）所花费的时间被认为可以忽略不计，因此被忽略。

由于微镜只能以一种状态或另一种状态（打开或关闭）着陆，因此两个数字（百分比）的总和始终为 100。

6.9.2 DMD 的着陆占空比和使用寿命

了解（终端产品或应用的）长期平均着陆占空比很重要，因为使所有（或部分）DMD 微镜阵列（也称为有源阵列）长时间处于非对称着陆占空比会缩短 DMD 的使用寿命。

请注意，相关的是着陆占空比的对称性/不对称性。着陆占空比的对称性取决于两个数字（百分比）的接近程度。例如，50/50 的着陆占空比是完全对称的，而 100/0 或 0/100 的着陆占空比是完全不对称的。

6.9.3 着陆占空比和运行 DMD 温度

DMD 工作时的温度和着陆占空比会相互作用，从而影响 DMD 的使用寿命，我们可以利用这种相互作用来减少非对称着陆占空比对 DMD 使用寿命的影响。这是在图 5-1 显示的降额曲线中进行了量化。

该曲线的重要性在于：

- 该曲线上的所有点均表示相同的使用寿命。
- 该曲线上方的所有点均表示较短的使用寿命（离曲线越远，使用寿命越短）。
- 该曲线下方的所有点均表示较长的使用寿命（离曲线越远，使用寿命越长）。

实际上，该曲线指定了给定长期平均着陆占空比下的最高 DMD 工作温度。

6.9.4 估算产品或应用的长期平均着陆占空比

在给定的时间段内，给定像素的着陆占空比取决于该像素显示的图像内容。

例如，在最简单的情况下，当在给定时间段内在给定像素上显示纯白色时，该像素将在该时间段内在 100/0 着陆占空比下运行。同样，当显示纯黑色时，像素在 0/100 着陆占空比下运行。

在两个极端之间（暂时忽略可能对传入图像应用的颜色和任何图像处理），着陆占空比与灰度值一一对应，如表 6-1 中所示。

表 6-1. 灰度值和着陆占空比

灰度值	着陆占空比
0%	0/100
10%	10/90
20%	20/80
30%	30/70
40%	40/60
50%	50/50
60%	60/40
70%	70/30
80%	80/20
90%	90/10

表 6-1. 灰度值和着陆占空比（续）

灰度值	着陆占空比
100%	100/0

要考虑色彩再现（但仍忽略图像处理），需要了解给定像素的每种构成原色（红色、绿色和蓝色）的颜色强度（0% 至 100%）以及每种原色的颜色周期时间，其中“颜色周期时间”是必须显示某种给定原色以实现所需白点的帧时间的总百分比。

使用 方程式 29 计算给定时间段内给定像素的着陆占空比。

$$\text{Landed Duty Cycle} = (\text{Red_Cycle_\%} \times \text{Red_Scale_Value}) + (\text{Green_Cycle_\%} \times \text{Green_Scale_Value}) + (\text{Blue_Cycle_\%} \times \text{Blue_Scale_Value}) \quad (29)$$

其中

- Red_Cycle_% 表示显示红色以达到所需白点的帧时间百分比
- Green_Cycle_% 表示显示绿色以达到所需白点的帧时间百分比
- Blue_Cycle_% 表示显示蓝色以达到所需白点的帧时间百分比

例如，假设红色、绿色和蓝色周期时间分别为 30%、50% 和 20%（以实现所需的白点），那么各种红色、绿色和蓝色强度组合的着陆占空比如表 6-2 和表 6-3 所示。

表 6-2. 全色的着陆占空比示例，颜色百分比

周期百分比		
红色	绿色	蓝光
30%	50%	20%

表 6-3. 全色的着陆占空比示例

标度值			着陆占空比
红色	绿色	蓝光	
0%	0%	0%	0/100
100%	0%	0%	30/70
0%	100%	0%	50/50
0%	0%	100%	20/80
0%	12%	0%	6/94
0%	0%	35%	7/93
60%	0%	0%	18/82
0%	100%	100%	70/30
100%	0%	100%	50/50
100%	100%	0%	80/20
0%	12%	35%	13/87
60%	0%	35%	25/75
60%	12%	0%	24/76
100%	100%	100%	100/0

在估算着陆占空比时要考虑的最后一个因素是应用的图像处理。在 DLPC4420 显示控制器 内，伽马函数会影响着陆占空比。

伽马函数是 $\text{Output_Level} = A \times \text{Input_Level}^{\text{Gamma}}$ 形式的幂函数，其中 A 是一个比例因子，通常设置为 1。

在 DLPC4420 显示控制器 中，伽马以逐像素的方式应用于传入的图像数据。典型的伽马因子为 2.2，可转换输入的数据，如图 6-3 所示。

Copyright © 2025 Texas Instruments Incorporated

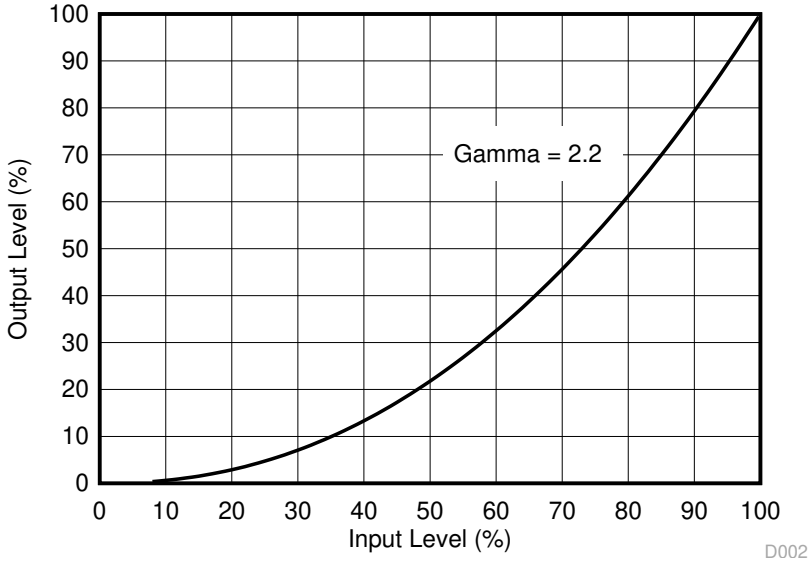


图 6-3. 伽马 = 2.2 的示例

如 图 6-3 所示，如果给定输入像素的灰度值为 40%（应用伽马之前），则应用伽马之后灰度值为 13%。因此，可以看出，伽马会直接影响像素的显示灰度水平，所以也会直接影响像素的着陆占空比。

还必须考虑在 DLPC4420 显示控制器 之前进行的图像处理。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

DMD 是空间光调制器，可将来自光源的入射光反射到两个方向之一，主要方向是进入投影光学元件或收集光学元件。每个应用主要源自系统的光学架构和进入 两个 DLPC4420 显示控制器 的数据格式。使用 DLP800XE DMD 的典型应用包括智能投影仪、企业投影仪、大型场馆投影仪以及数字标牌。

DMD 上电和下电时序通过 DLPA300 由 DLPC4420 显示控制器严格控制。请参阅有关上电和断电规格，请参阅*电源相关建议*。为了可靠运行，DLP800XE DMD 必须始终与 两个 DLPC4420 显示控制器、DLPA100 PMIC/电机驱动器和 DLPA300 微镜驱动器搭配使用。

7.2 典型应用

DLP800XE DMD 与 两个 DLPC4420 显示控制器 和电源管理器件相结合，可为明亮、多彩的显示应用提供 4K+ 分辨率。使用 RGB 激光荧光体照明的典型显示系统结合了 DLP800XE DMD、两个 DLPC4420 显示控制器、DLPA300 微镜驱动器以及 DLPA100 PMIC 和电机驱动器。图 7-1 显示了 DLP 0.8 英寸 4K+ 芯片组的此配置以及所需额外系统元件的系统方框图。请参阅图 7-2 来查看方框图，其中显示了所需的系统元件，以及 DLP 0.8 英寸 4K+ 芯片组的激光荧光体照明。相关元件包括 DLP800XE DMD、两个 DLPC4420 显示控制器 和 DLPA100 PMIC 和电机驱动器以及 DLPA300 微镜驱动器。

Copyright © 2025 Texas Instruments Incorporated

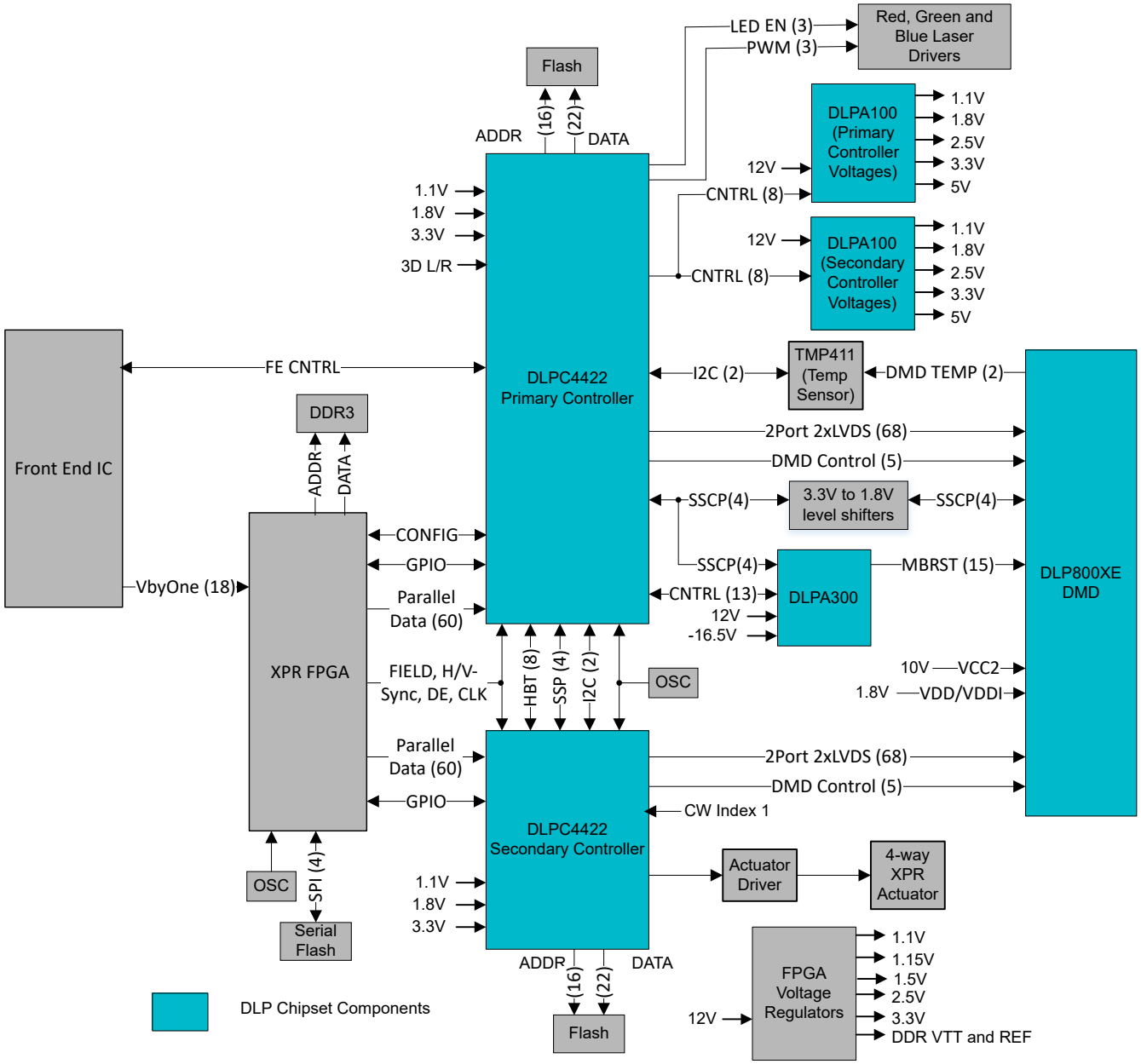


图 7-1. 典型 4K+ RGB 激光应用

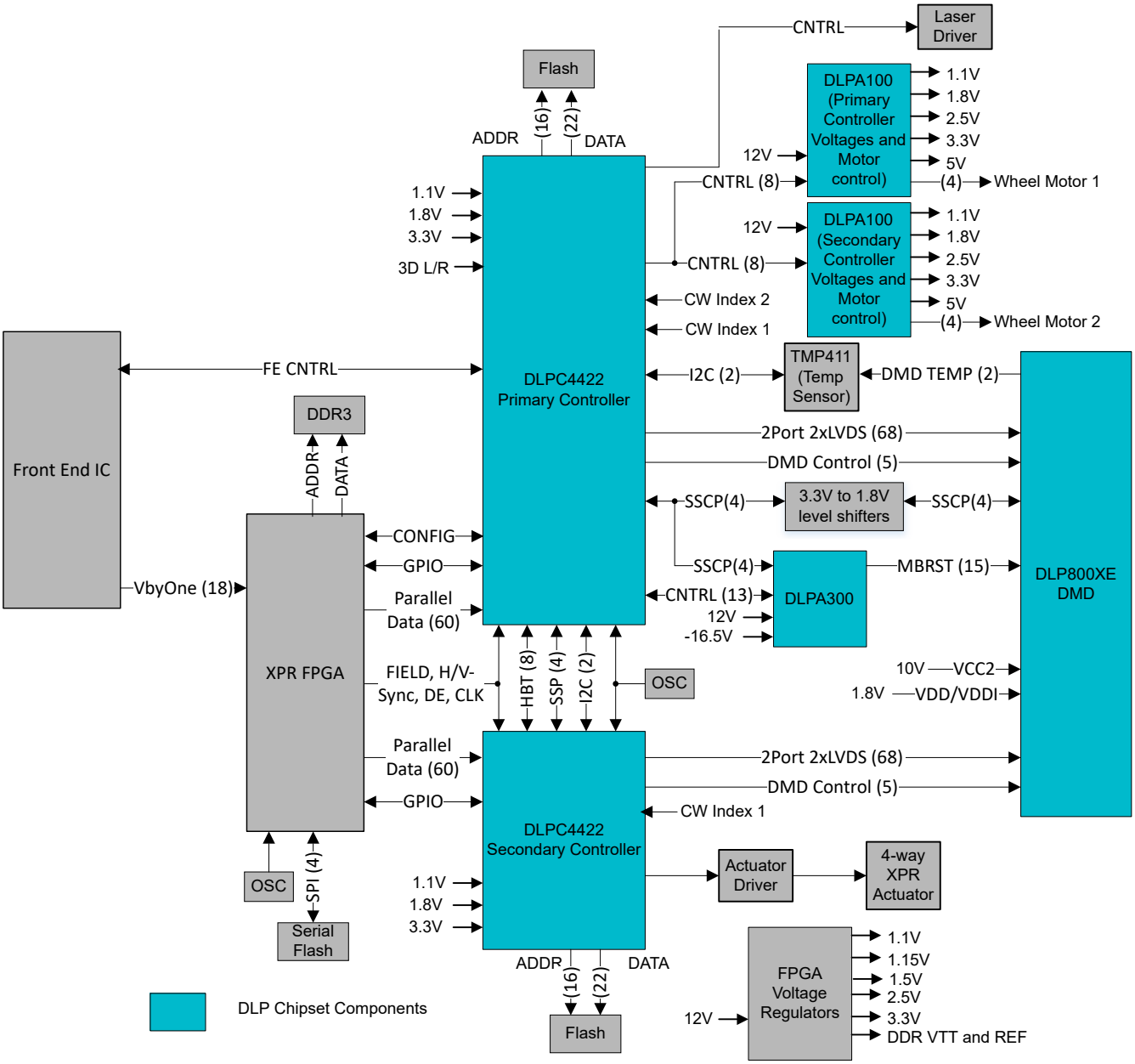


图 7-2. 典型 4k UHD 激光荧光体应用

7.2.1 设计要求

显示系统的其他核心元件包括光源、照明和投影光学元件的光学引擎、其他电气元件和机械部件以及软件。使用的照明类型和所需的亮度会对整个系统设计和尺寸产生重大影响。

显示系统使用 DLP800XE DMD 作为核心成像器件，并包含一个 0.8 英寸微镜阵列。DLPC4420 显示控制器是 DMD 与系统其余部分之间的数字接口，从前端接收器获取数字输入，并通过高速 LVDS 接口驱动 DMD。DLPA100 PMIC 用作控制器、滤色轮和荧光轮电机控制器的稳压器。DLPA300 提供 DMD 复位控制。

7.2.2 详细设计过程

对于完整的 DLP 系统，需要包含 DLP800XE DMD、相关光源、光学元件和必要机械部件的光学模块或光引擎。

Copyright © 2025 Texas Instruments Incorporated

为了确保可靠运行，DMD 必须始终与 两个 DLPC4420 显示控制器、DLPA300 微镜驱动器和 DLPA100 PMIC 及电机驱动器搭配使用。

7.2.3 应用曲线

在典型的投影仪应用中，DMD 在屏幕上的光通量取决于投影仪的光学设计。照明光学系统和投影光学系统的效率和总功率决定了投影仪的总光输出。DMD 本质上是一种线性空间光调制器，因此其效率与光输出成正比。图 7-3 显示了激光荧光体照明系统的激光输入光功率与光输出之间的关系，其中的荧光体不处于热淬极限状态。

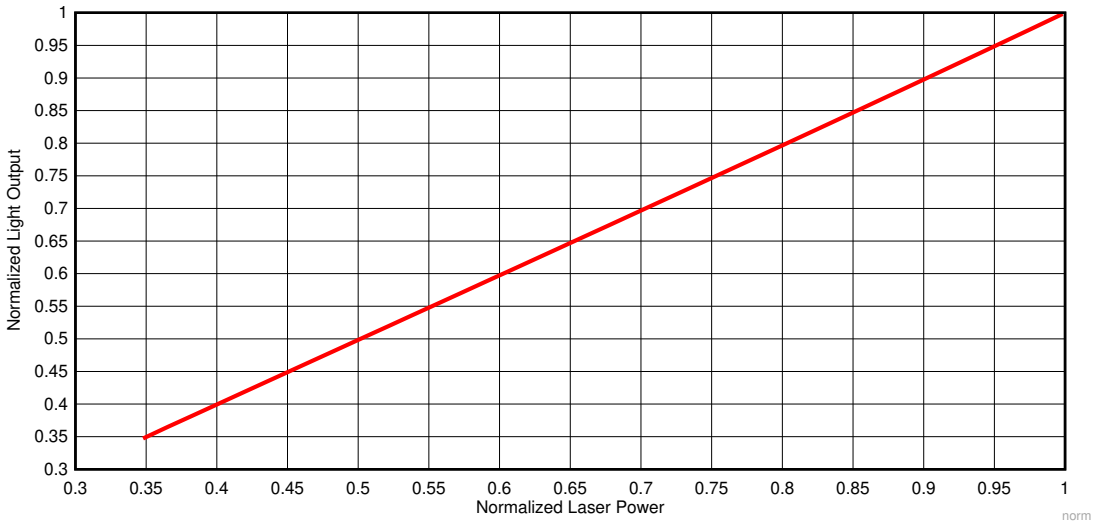
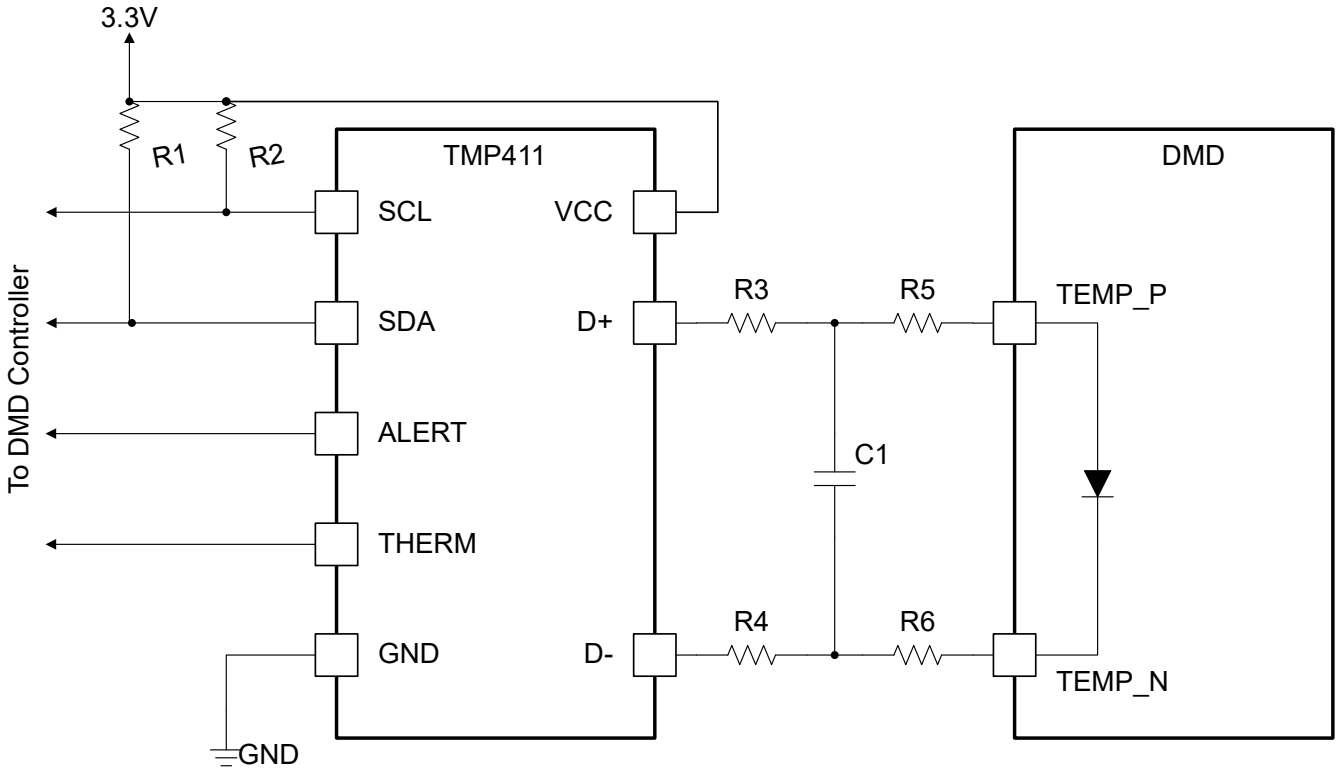


图 7-3. 激光荧光体照明的归一化光输出与归一化激光功率间的关系

7.3 温度传感器二极管

DMD 具有内置热敏二极管，用于测量微镜阵列外芯片某角的温度。热敏二极管可以与 TMP411 温度传感器连接，如图 7-4 中所示。软件应用程序包含用于配置 TMP411 以读取 DLP800XE DMD 温度传感器二极管数据的功能。客户可以使用这些数据在整体系统设计中整合额外的功能，例如调节照明、风扇速度等。TMP411 与 DLPC4420 显示控制器 显示控制器之间的所有通信均通过 I^2C 接口进行。TMP411 通过节 4 中列出的引脚连接至 DMD。

如果不使用温度传感器，请将 TEMP_N 和 TEMP_P 引脚保持未连接 (NC) 状态。



A. 为清晰起见，图中省略了细节。
B. 有关系统电路板布局布线建议，请参阅 TMP411 数据表。
C. 有关 R1、R2、R3、R4 和 C1 的建议元件值，请参阅 TMP411 数据表和 TI 参考设计。
D. R5 = 0Ω。R6 = 0Ω。将 0Ω 电阻器靠近 DMD 封装引脚放置。

图 7-4. TMP411 示例原理图

Copyright © 2025 Texas Instruments Incorporated

8 电源相关建议

8.1 DMD 电源要求

运行 DMD 需要以下所有电源：VDD、VDDI 和 VCC2。还必须连接 VSS。DMD 上电和下电时序由 DLPC4420 显示控制器严格控制。

> **小心**
>
> 为了确保 DMD 可靠运行，必须遵循以下电源时序要求。如果不遵循规定的上电和下电程序，则可能会影响器件的可靠性。在上电和下电操作期间必须协调 VDD、VDDI 和 VCC2 电源。还必须连接 VSS。如果未满足以下任何要求，则会导致 DMD 的可靠性和寿命显著降低。请参阅图 8-1。

8.2 DMD 电源上电过程

- 在上电期间，VDD 和 VDDI 必须始终在 DMD 上施加 VCC2 之前启动并稳定。
- 上电期间的电源转换率是灵活的，前提是瞬变电压电平符合节 5.1 和节 5.4 中列出的要求。
- 上电期间，只有在 VDD 和 VDDI 稳定至节 5.4 表中列出的工作电压后，LVCMOS 输入引脚才能被驱动为高电平。

8.3 DMD 电源断电过程

- 在断电期间，必须提供 VDD 和 VDDI，直到 VCC2 放电至处于指定的接地限制范围内。请参阅节 5.4。
- 断电期间的电源压摆率是灵活的，前提是瞬态电压电平符合节 5.1 和节 5.4 中列出的要求。
- 在断电期间，LVCMOS 输入引脚电压必须小于节 5.4 中指定的值。

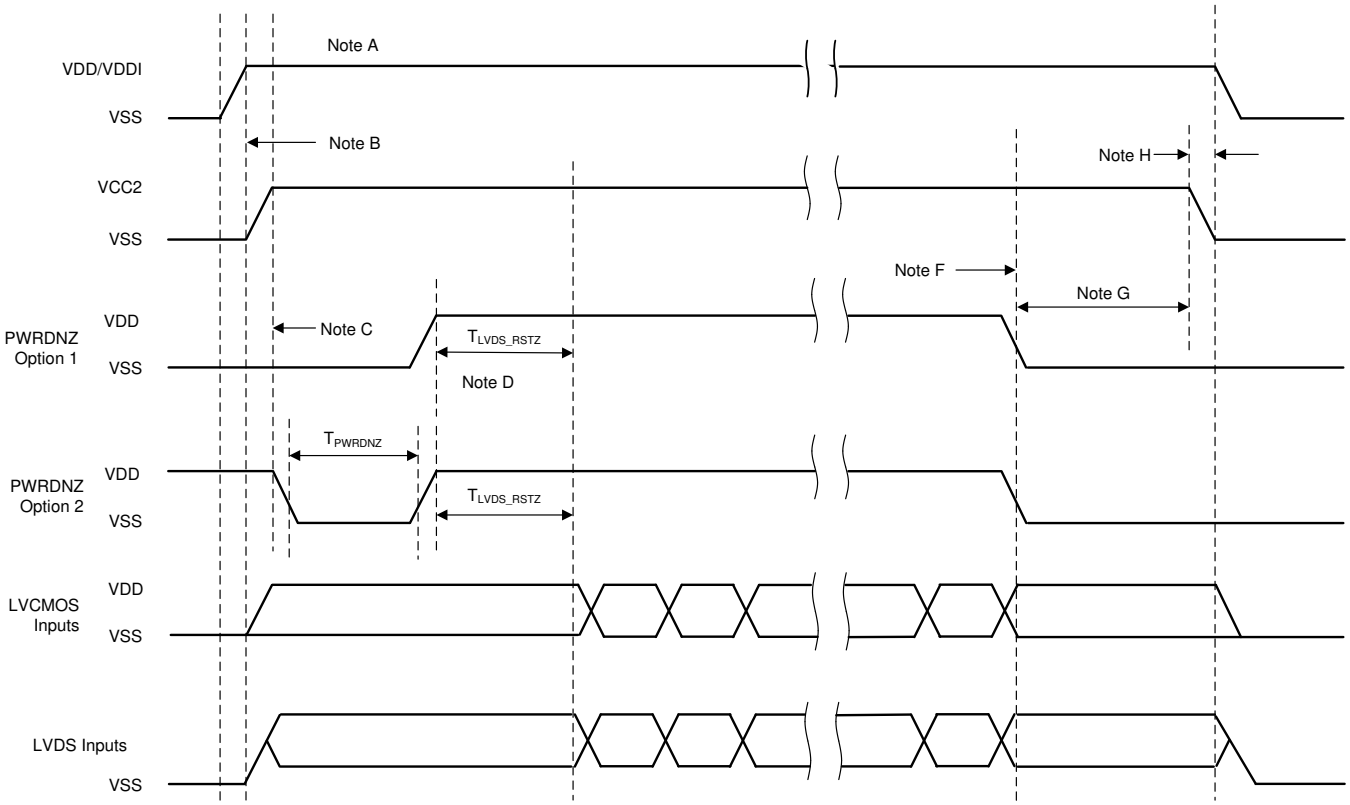


图 8-1. DMD 电源时序要求

A. 有关引脚功能，请参阅*引脚配置和功能*。

B. 在 VCC2 上电之前，VDD 必须已上电并保持稳定。
C. PWRDNZ 有两个打开选项。选项 1：直到 VDD 和 VCC2 上电并保持稳定后 PWRDNZ 才变为高电平，或选项 2：PWRDNZ 必须输出低电平脉冲并至少持续 T_{PWRDNZ}，或在 VDD 和 VCC2 上电并保持稳定后至少 10ns。
D. 至少经过 T_{LVDS_ARSTZ} 或 2 μ s PWRDNZ 变为高电平产生的等待时间后，LVDS 接收器才能恢复。
E. DMD 微镜停放序列完成后，DLP 控制器软件启动硬件断电，从而激活 PWRDNZ 并禁用 VCC2。
F. 在断电情况下，DLP 控制器硬件执行紧急 DMD 微镜停放程序，PWRDNZ 变为低电平。
G. VDD 必须保持高电平，直到 VCC2 变为低电平。
H. 为了防止电流过大，电源电压差值 |VDDI – VDD| 必须小于节 5.4 中指定的限值。

Copyright © 2025 Texas Instruments Incorporated

9 布局

9.1 布局指南

DLP800XE DMD 是由两个 DLPC4420 显示控制器与 DLP300 微镜驱动器和 DLPA100 电源和电机驱动器共同控制的芯片组的一部分。这些指南旨在帮助设计采用 DLP800XE DMD 的 PCB 板。DLP800XE DMD 板是一款高速多层 PCB，主要利用高速数字逻辑，为 DMD LVDS 信号提供高达约 400MHz 的双边沿时钟速率。其余的引线由低速数字 LVTTL 信号组成。需要为 DMD_P1P8V 和接地使用实心平面。PCB 的目标阻抗为 50Ω ±10%，LVDS 引线为 100Ω ±10% 差分。TI 建议使用表 9-1 中所述的 8 层堆叠。

9.2 布局示例

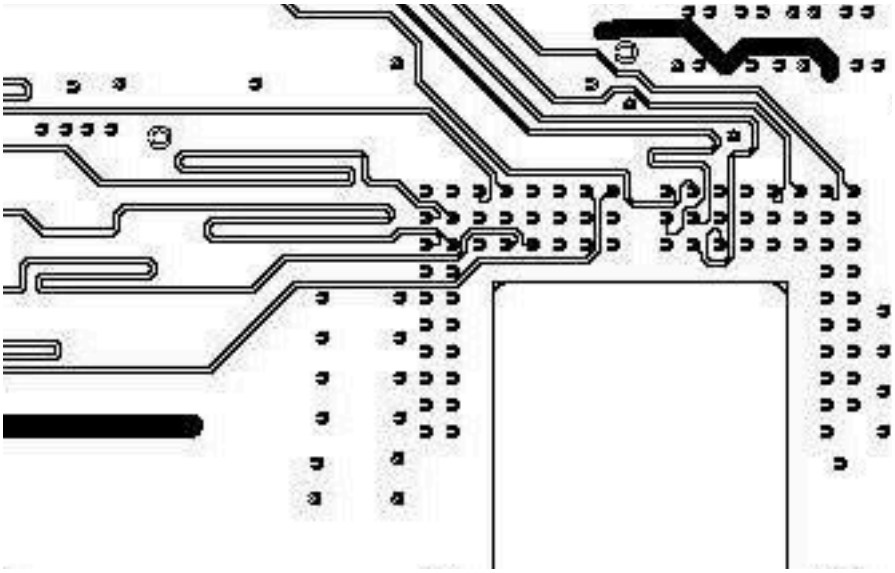


图 9-1. 通过蛇形部分匹配 LVDS 信号长度的典型示例

9.2.1 层

表 9-1 展示了每层的层堆叠和覆铜重量。如有必要，允许信号路由层上的小子平面将元件连接到顶层/底层的主要子平面。

表 9-1. 层堆叠

层号	层名称	覆铜重量（盎司）	注释
1	A 侧 - 仅 DMD	1.5	DMD、迂回、低频率信号、电源子平面
2	接地	1	实心接地平面（网络 GND）
3	信号	0.5	50Ω 和 100Ω 差分信号
4	接地	1	实心接地平面（网络 GND）
5	VDD 和 VDDI	1	+1.8V 电源层
6	信号	0.5	50Ω 和 100Ω 差分信号
7	接地	1	实心接地平面（网络 GND）
8	B 侧 — 所有其他元件	1.5	分立式元件、低频率信号、电源子平面

9.2.2 阻抗要求

TI 建议电路板对于所有信号具有 50Ω ±10% 的匹配阻抗。表 9-2 中列出了例外情况。

表 9-2. 特殊阻抗要求

信号类型	信号名称	阻抗 (Ω)
A 通道 LVDS 差分对	DDAP(0:15)、DDAN(0:1A)	每个对具有 100 ±10% 的差值
	DCLKA_P、DCLKA_N	
	SCTRL_AP、SCTRL_AN	
B 通道 LVDS 差分对	DDBP(0:15)、DDBN(0:15)	每个对具有 100 ±10% 的差值
	DCLKB_P、DCLKB_N	
	SCTRL_BP、SCTRL_BN	
C 通道 LVDS 差分对	DDCP(0:15)、DDCN(0:15)	每个对具有 100 ±10% 的差值
	DCLKC_P、DCLKC_N	
	SCTRL_CP、SCTRL_CN	
D 通道 LVDS 差分对	DDDP(0:15)、DDDN(0:15)	每个对具有 100 ±10% 的差值
	DCLKD_P、DCLKD_N	
	SCTRL_DP、SCTRL_DN	

9.2.3 布线宽度、间距

除非另有说明，否则 TI 建议所有信号都遵循 0.005 英寸/0.005 英寸设计规则。与 PWB 周围接地环之间的最小布线间隙为 0.1 英寸。阻抗和叠层要求的分析确定实际布线宽度和间隙。

9.2.3.1 电压信号

表 9-3. 特殊布线宽度、间距要求

信号名称	引脚的最小布线宽度 (MIL)	布局要求
GND	15	尽可能地增大到连接引脚的布线宽度
3.3V 电源轨	15	尽可能地增大到连接引脚的布线宽度
VDD、VDDI	15	尽可能地增大到连接引脚的布线宽度
MBRST(0.14)	15	使用 10mil 蚀刻将 DLPA300 的所有信号/电压连接到 DLP800XE
VCC2	15	创建一个从稳压器到 DLP800XE 的迷你层

Copyright © 2025 Texas Instruments Incorporated

10 器件和文档支持

10.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

10.2 器件支持

10.2.1 器件命名规则

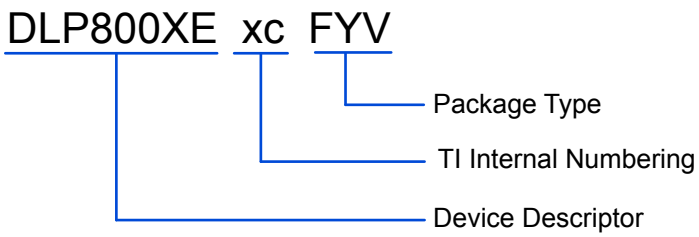


图 10-1. 器件型号说明

10.3 器件标识

器件标识包括人类可读的信息和二维矩阵码。人类可读信息在下面的 *DMD 标识位置* 中进行了说明。二维矩阵码是一个字母数字字符串，其中包含 DMD 器件型号以及序列号的第 1 部分和第 2 部分。

示例：

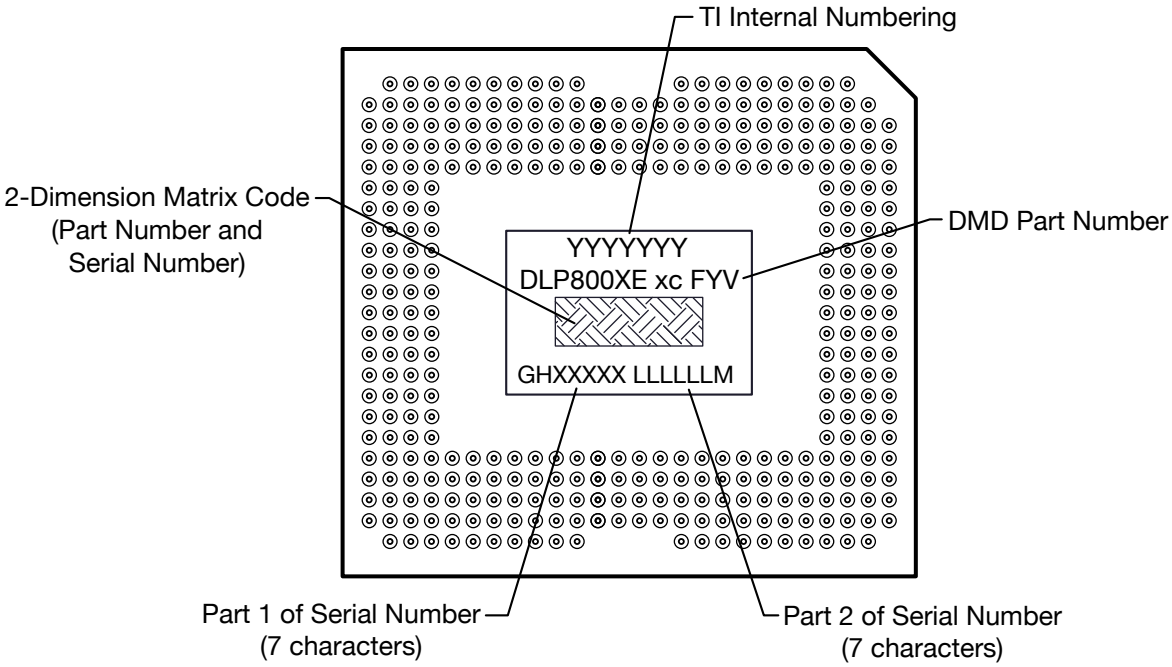


图 10-2. DMD 标识位置

10.4 文档支持

10.4.1 相关文档

请参阅以下相关文档：

- *DLPC4420 DLP 显示控制器数据表*
- *DLPA100 电源和电机驱动器数据表*
- *DLPA300 DMD 微镜驱动器数据表*

10.5 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.6 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.7 商标

TI E2E™ is a trademark of Texas Instruments.
DLP® is a registered trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.8 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.9 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2025 Texas Instruments Incorporated

11 修订历史记录

日期	修订版本	注释
August 2025	*	初始发行版

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DLP800XEA0FYV	Active	Production	CPGA (FYV) | 350	21 | JEDEC TRAY (5+1)	Yes	Call TI	N/A for Pkg Type	-	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

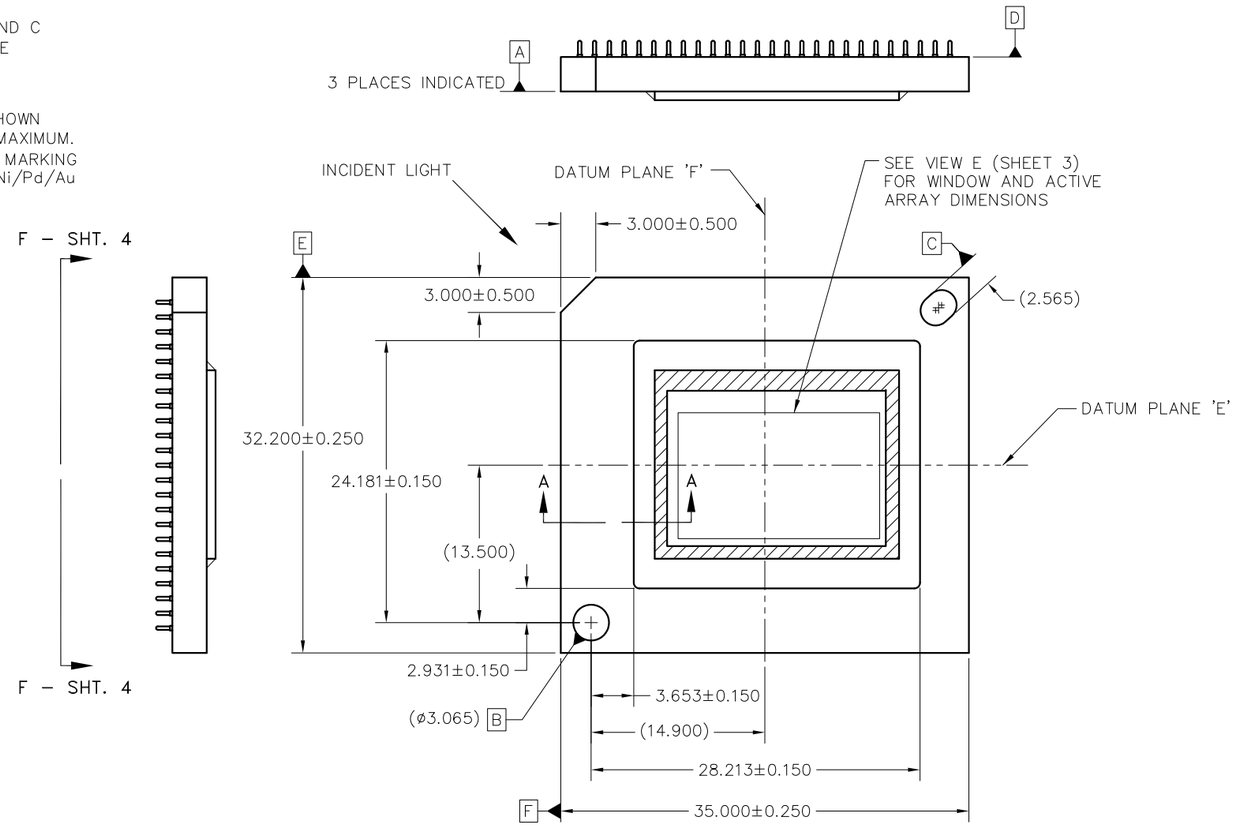
© COPYRIGHT 2020 TEXAS INSTRUMENTS UN-PUBLISHED, ALL RIGHTS RESERVED.

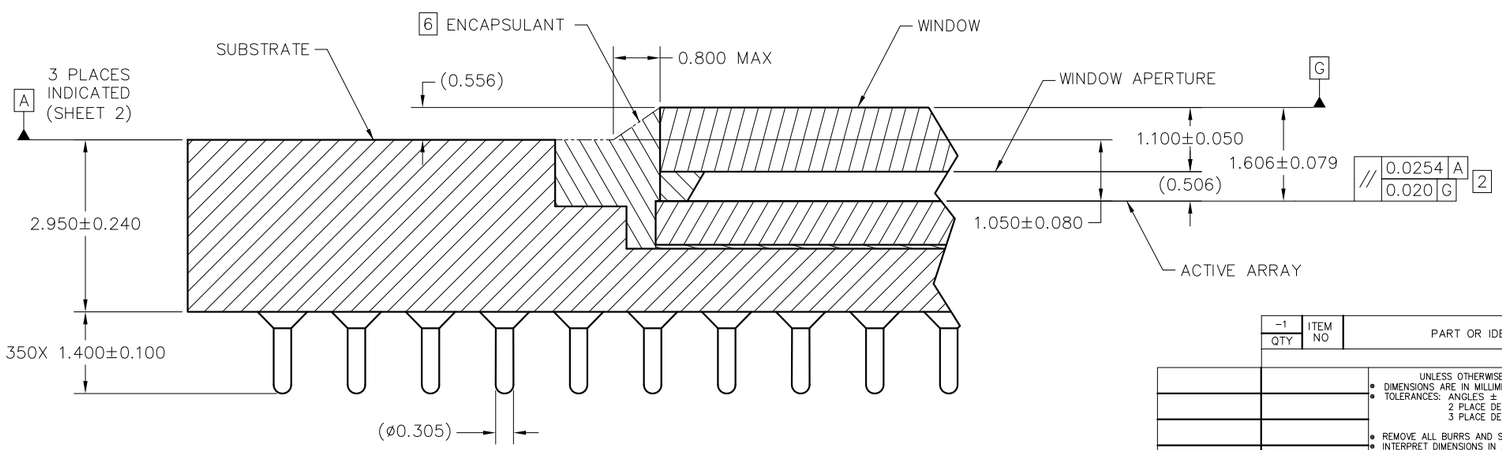
REVISIONS

REV	DESCRIPTION	DATE	APPROVED
A	ECO 2187184, INITIAL RELEASE	04/22/2020	F. ARMSTRONG

NOTES: UNLESS OTHERWISE SPECIFIED:

1. SUBSTRATE EDGE PERPENDICULARITY TOLERANCE APPLIES TO ENTIRE SURFACE
2. DIE PARALLELISM TOLERANCE APPLIES TO DMD ACTIVE ARRAY ONLY
3. ROTATION ANGLE OF DMD ACTIVE ARRAY IS A REFINEMENT OF THE LOCATION TOLERANCE AND HAS A MAXIMUM ALLOWED VALUE OF 0.8 DEGREES
4. SUBSTRATE SYMBOLIZATION PAD, AND PLATING AT BOTTOM OF DATUMS B AND C HOLES ARE ELECTRICALLY CONNECTED TO VSS PLANE WITHIN THE SUBSTRATE
5. BOUNDARY MIRRORS SURROUNDING THE DMD ACTIVE AREA
6. MAXIMUM ENCAPSULANT PROFILE SHOWN
7. ENCAPSULANT ALLOWED ON THE SURFACE OF THE CERAMIC IN THE AREA SHOWN IN VIEW B (SHEET 2). ENCAPSULANT SHALL NOT EXCEED 0.200 THICKNESS MAXIMUM.
8. SUBSTRATES PLATED WITH Ni/Au SHALL HAVE THE THREE-DIGIT NUMERICAL MARKING IN THE AREA ABOVE THE SYMBOLIZATION PAD. SUBSTRATES PLATED WITH Ni/Pd/Au SHALL HAVE THE MARKING IN THE AREA BELOW THE SYMBOLIZATION PAD.





SECTION A–A
SCALE 20/1

QTY	ITEM NO	PART OR IDENTIFYING NUMBER	NOMENCLATURE OR DESCRIPTION	NOTES

PARTS LIST

UNLESS OTHERWISE SPECIFIED
- DIMENSIONS ARE IN MILLIMETERS
- TOLERANCES: ANGLES ± 1°
  2 PLACE DECIMALS ±0.25
  3 PLACE DECIMALS ±0.50
- REMOVE ALL BURRS AND SHARP EDGES
- INTERPRET DIMENSIONS IN ACCORDANCE WITH ASME Y14.5–1994
- DIMENSIONAL LIMITS APPLY BEFORE PROCESSES
- PARENTHETICAL INFO FOR REF ONLY

DWN	F. ARMSTRONG	03/05/2020
ENGR	F. ARMSTRONG	03/05/2020
QA	S. HUDGENS	04/27/2020
CQE	M. DORAK	04/27/2020

TEXAS INSTRUMENTS
Dallas, Texas

ICD, MECHANICAL, DMD
.8" WUXGA MHEP 2XLVDS
SERIES 600 (FYV PACKAGE)

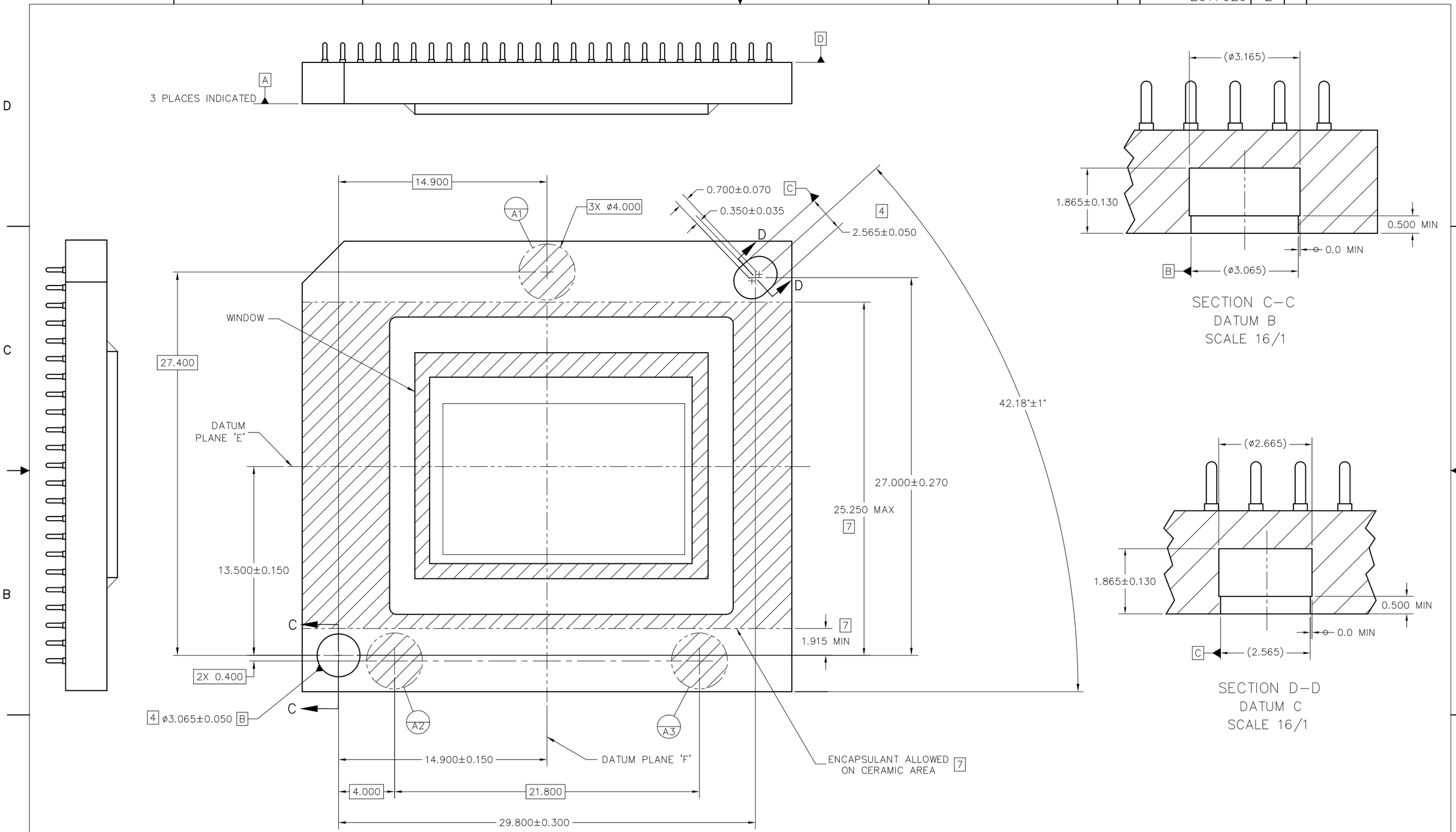
THIRD ANGLE PROJECTION

NEXT ASSY	USED ON
NONE	0314DA

APPLICATION

SIZE D | DRAWING NO 2517029 | REV A
SCALE 4/1 | SHEET 1 OF 4

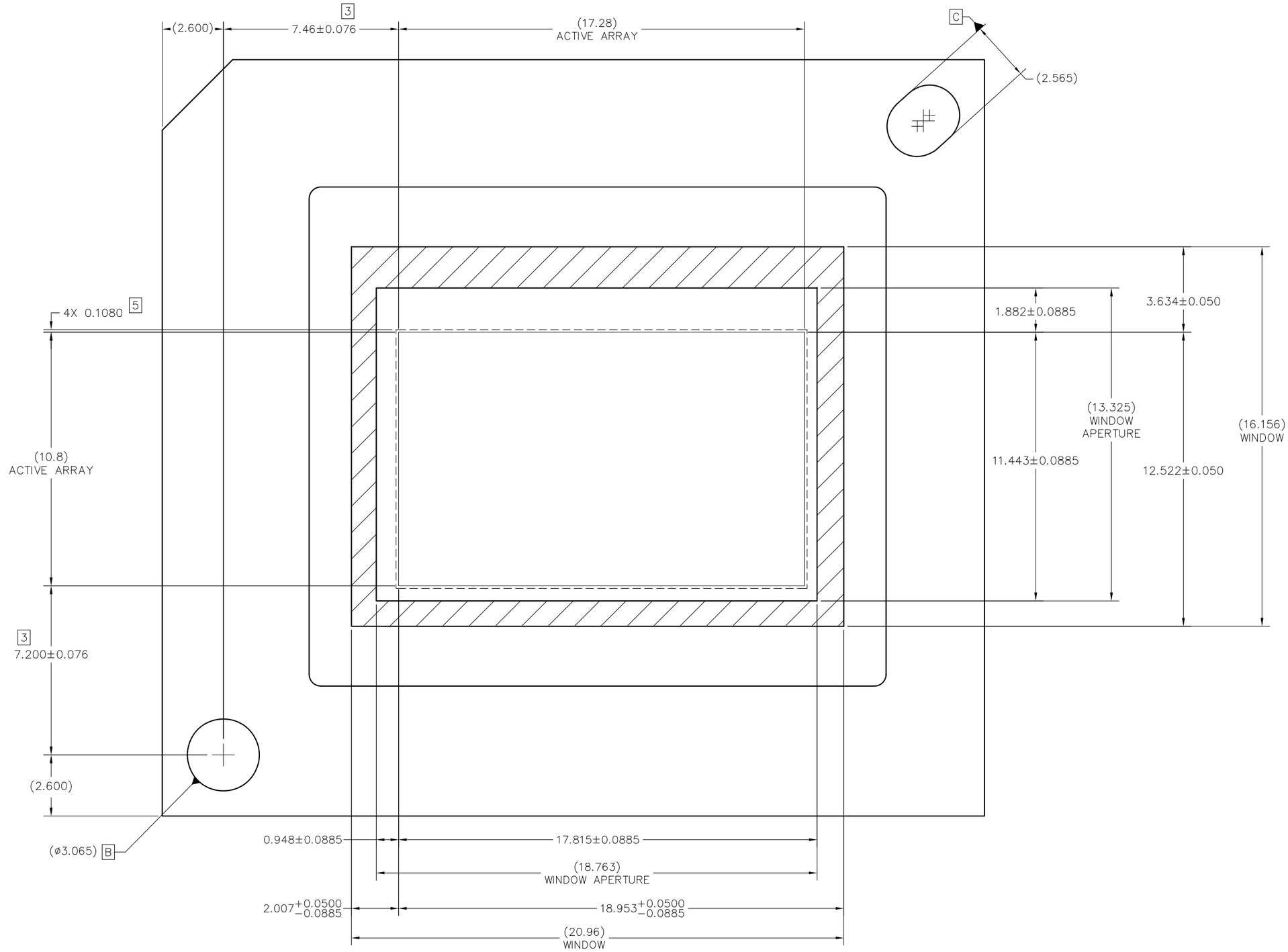
ACED1g



VIEW B
DATUMS AND ENCAPSULANT ALLOWABLE AREA
SCALE 8/1

TEXAS INSTRUMENTS Dallas, Texas	DWN DATE	SIZE D	DRAWING NO 2517029	REV A
	ISSUE DATE	SCALE 4/1	SHEET 2	

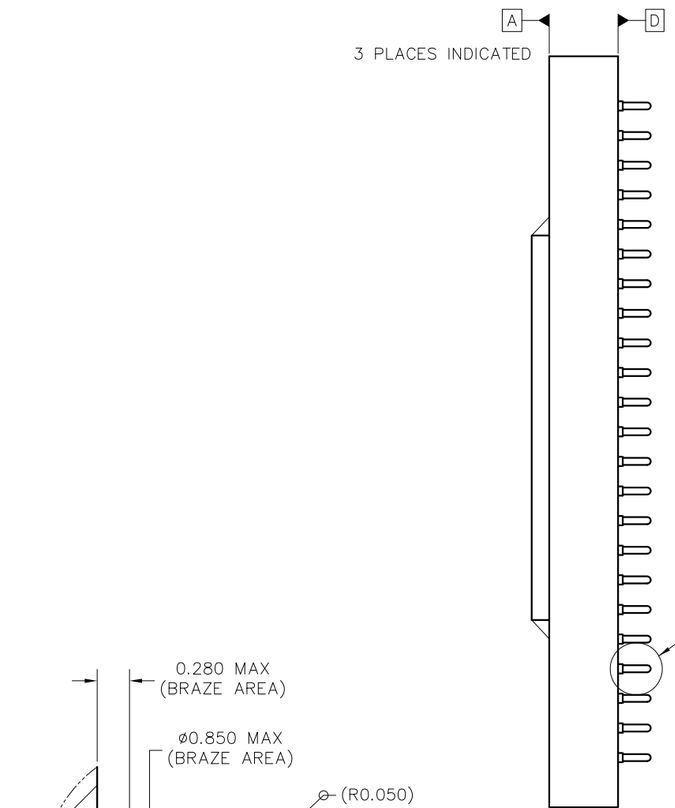
ACED2c

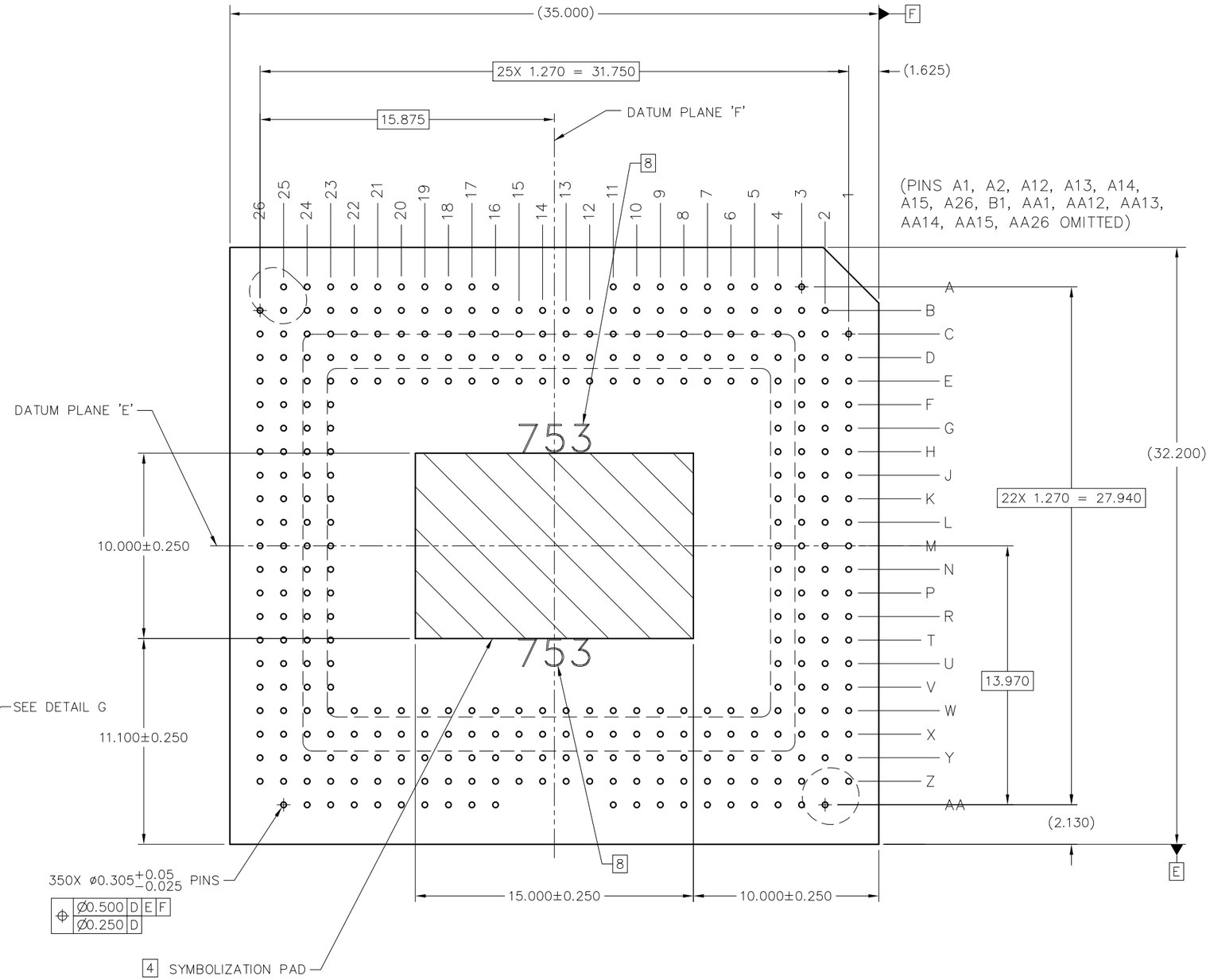


VIEW E (SHEET 1)
DMD WINDOW AND ACTIVE ARRAY
SCALE 12:1

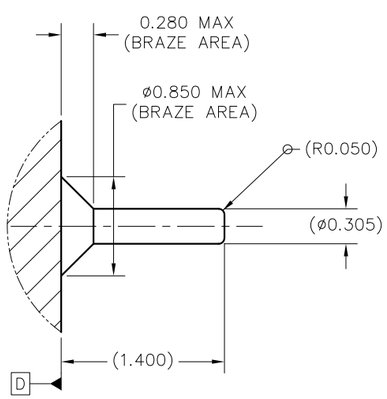
Texas Instruments, Dallas, Texas	DWN / DATE	SIZE D	DRAWING NO 2517029	REV A
	ISSUE DATE	SCALE 4/1	SHEET 3	

ACED2c





VIEW F–F (SHEET 1)
PINS AND SYMBOLIZATION PAD
SCALE 8/1



DETAIL G (350 PLACES)
PIN & BRAZE DIMENSIONS
SCALE 40/1

TEXAS INSTRUMENTS Dallas, Texas	DWN DATE	SIZE D	DRAWING NO 2517029	REV A
	ISSUE DATE	SCALE 4/1	SHEET 4	

ACED2c

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月