

AM67x 处理器

1 特性

处理器内核：

- 多达四核 64 位 Arm® Cortex®-A53 微处理器子系统 (频率高达 1.4GHz)
 - 四核 Cortex-A53 集群 (具有 512KB L2 共享缓存, 包括 SECEDED ECC)
 - 每个 A53 内核包含具有 SECEDED ECC 功能的 32KB L1 DCache 和具有奇偶校验保护的 32KB L1 ICache
- 单核 Arm® Cortex®-R5F (频率高达 800MHz), 作为具有 FFI 的 MCU 通道的一部分进行集成
 - 32KB ICache、32KB L1 DCache 和 64KB TCM, 所有存储器上都有 SECEDED ECC
 - 具有 SECEDED ECC 的 512KB SRAM
- 单核 Arm® Cortex®-R5F (频率高达 800MHz), 可进行集成以支持器件管理
 - 32KB ICache、32KB L1 DCache 和 64KB TCM, 所有存储器上都有 SECEDED ECC
- 单核 Arm® Cortex®-R5F (频率高达 800MHz), 可进行集成以支持运行时管理
 - 32KB ICache、32KB L1 DCache 和 64KB TCM, 所有存储器上都有 SECEDED ECC
- 两个深度学习加速器 (总计多达 4TOPS), 每个加速器：
 - 运算能力高达 40GFLOPS 且频率高达 1.0GHz 的 C7x 浮点、256 位矢量 DSP
 - 矩阵乘法加速器 (MMA), 性能高达 2TOPS (8b) (频率高达 1.0GHz)
 - 具有 SECEDED ECC 功能的 32KB L1 DCache 和具有奇偶校验保护的 64KB L1 ICache
 - 具有 SECEDED ECC 的 2.25MB L2 SRAM
- 深度和运动处理加速器 (DMPAC)
 - 密集光流 (DOF) 加速器
 - 立体视差引擎 (SDE) 加速器
- 具有图像信号处理器 (ISP) 和多个视觉辅助加速器的视觉处理加速器 (VPAC)：
 - 600MP/s ISP
 - 支持 12 位 RGB-IR
 - 支持多达 16 位的输入 RAW 格式
 - 线路支持高达 4096
 - 宽动态范围 (WDR)、镜头失真校正 (LDC)、视觉成像子系统 (VISS) 和多标量 (MSC) 支持
 - 输出颜色格式：8 位、12 位, 以及 YUV 4:2:2、YUV 4:2:0、RGB、HSV/HSL

多媒体：

- 显示子系统
 - 通过 OLDI/LVDS (1 个 OLDI-DL、1 个或 2 个 OLDI-SL)、DSI 或 DPI 实现三路显示支持
 - OLDI-SL (单链路)：60fps 时高达 1920 x 1080 (165MHz 像素时钟)
 - OLDI-DL (双链路)：60fps 时高达 3840 x 1080 (150MHz 像素时钟)
 - MIPI® DSI：具有 4 通道 MIPI® D-PHY, 在 60fps 下支持高达 3840 x 1080 (300MHz 像素时钟)
 - DPI (24 位 RGB 并行接口)：60fps 时高达 1920 x 1080 (165MHz 像素时钟)
 - 具有硬件叠加支持的四条显示流水线。每个显示屏最多可使用两条显示流水线。
 - 支持定帧检测和数据正确性检查等安全功能
- 3D 图形处理单元
 - 带有 256KB 高速缓存的 IMG BXS-4-64
 - 高达 50GFLOPS
 - 单着色器内核
 - OpenGL ES3.2 和 Vulkan 1.2 API 支持
- 四个具有 4 通道 D-PHY 的摄像头串行接口 (CSI-2) 接收器
 - 符合 MIPI® CSI-2 v1.3 标准 + MIPI® D-PHY 1.2
 - CSI-RX 支持 1、2、3 或 4 数据通道模式, 每通道速率高达 2.5Gbps
- 一个具有 4 通道 D-PHY 的 CSI2.0 发送器 (与 MIPI DSI 共享)
 - CSI-TX 支持 1、2 或 4 数据通道模式, 每通道速率高达 2.5Gbps
- 视频编码器/解码器
 - 支持 5.1 级高阶的 HEVC (H.265) Main 配置文件
 - 支持 5.2 级的 H.264 BaseLine/Main/High 配置文件
 - 支持高达 4K 超高清分辨率 (3840 x 2160)
 - 高达 400MP/s 的运行速度
- 动态 JPEG 编码速率为 416 百万像素/秒, 分辨率高达 4K UHD (3840 x 2160)

存储器子系统：

- 专用于关键处理内核的片上 RAM
 - 具有 SECEDED ECC 的 256KB 片上 RAM (OCRAM)



- SMS 子系统中具有 SECDED ECC 的 256KB 片上 RAM
- Cortex-R5F MCU 子系统中具有 SECDED ECC 的 512KB 片上 RAM
- R5F 器件管理器子系统中具有 SECDED ECC 的 64KB 片上 RAM
- R5F 运行时管理器子系统中具有 SECDED ECC 的 64KB 片上 RAM
- 每个 C7x 深度学习加速器中具有 SECDED ECC 的 2.25MB L2 SRAM (总计最多 4.5MB)
- DDR 子系统 (DDRSS)
 - 支持 LPDDR4 存储器类型
 - 具有内联 ECC 的 32 位数据总线
 - 支持高达 4000MT/s 的速度
 - 最大 LPDDR4 为 8GB

功能安全：

- 以符合功能安全标准为目标 (部分器件型号)
 - 专为功能安全应用开发
 - 将提供相关文档来协助进行符合 IEC 61508 标准的功能安全系统设计
 - 系统可满足 SIL 3 等级要求
 - 硬件完整性高达 SIL 2 级
 - 安全相关认证
 - 计划通过 IEC 61508 认证

安全性：

- 支持安全启动
 - 硬件强制可信根 (RoT)
 - 支持通过备用密钥转换 RoT
 - 支持接管保护、IP 保护和防回滚保护
- 支持可信执行环境 (TEE)
 - 基于 Arm TrustZone® 的 TEE
 - 可实现隔离的广泛防火墙支持
 - 安全看门狗/计时器/IPC
 - 安全存储支持
 - 支持回放保护内存块 (RPMB)
- 具有用户可编程 HSM 内核的专用安全控制器以及用于隔离式处理的专用安全 DMA 和 IPC 子系统
- 支持加密加速
 - 会话感知型加密引擎可基于输入数据流自动切换密钥材料
- 支持加密内核
 - AES - 128/192/256 位密钥大小
 - SHA2 - 224/256/384/512 位密钥大小
 - 具有真随机数生成器的 DRBG
 - 可在 RSA/ECC 处理中提供帮助的 PKA (公钥加速器)，支持安全启动

- 调试安全性
 - 受安全软件控制的调试访问
 - 安全感知调试

高速接口：

- PCI-Express® Gen3 单通道控制器 (PCIE)
 - 支持 Gen1 (2.5GT/s)、Gen2 (5.0GT/s) 和 Gen3 (8.0GT/s)，具有自动协商功能
- 支持集成以太网交换机 (总共 2 个外部端口)
 - RMII (10/100) 或 RGMII (10/100/1000) 或 SGMII (1Gbps)
 - IEEE1588 (附件 D、E 和 F，及 802.1AS PTP)
 - 第 45 条 MDIO PHY 管理规范
 - 基于 ALE 引擎的数据包分类器，具有 512 个分类器
 - 基于优先级的流量控制
 - 时间敏感型网络 (TSN) 支持
 - 四个 CPU 硬件中断节奏
 - 硬件中的 IP/UDP/TCP 校验和卸载
- USB3.1-Gen1 端口
 - 一个增强型超高速 Gen1 端口
 - 可配置为 USB 主机、USB 外设或 USB 双角色器件的端口
 - 集成了 USB VBUS 检测
- USB2.0 端口
 - 可配置为 USB 主机、USB 外设或 USB 双角色器件 (DRD 模式) 的端口
 - 集成了 USB VBUS 检测

通用连接和汽车接口：

- 9 个通用异步接收器/发送器 (UART)
- 5 个串行外设接口 (SPI) 控制器
- 7 个内部集成电路 (I²C) 端口
- 5 个多通道音频串行端口 (McASP)
- 通用 I/O (GPIO)，所有 LVCMOS I/O 均可配置为 GPIO
- 4 个支持 CAN-FD 的控制器局域网 (CAN) 模块

媒体和数据存储：

- 3 个 Secure Digital® (SD®) (4b+4b+8b) 接口
 - 1 个 8 位 eMMC 接口，速度高达 HS400
 - 2 个高达 UHS-I 的 4 位 SD/SDIO 接口
 - 符合 eMMC 5.1、SD 3.0 和 SDIO 3.0
- 1 个高达 133MHz 的通用存储器控制器 (GPMC)
- 具有 DDR/SDR 支持的 OSPI/QSPI
 - 支持串行 NAND 和串行 NOR 闪存
 - 支持 4GB 存储器地址
 - 具有可选实时加密的 XIP 模式

技术/封装：

- 16nm FinFET 技术
- 18mm x 18mm，0.65mm 间距，具有 VCA (AMW)

配套电源管理解决方案：

- 功能符合安全标准，最高可支持 ASIL-B 或 SIL-2
- TPS6522x PMIC
- TPS6287x 可堆叠快速瞬态降压转换器

2 应用

- [人机界面 \(HMI\)](#)
- [医院患者监护](#)
- [工业 PC](#)
- [楼宇安防系统](#)
- [非公路用车](#)
- [测试和测量](#)
- [储能系统](#)
- [视频监控](#)
- [机器视觉](#)
- [工业移动机器人 \(AGV/AMR\)](#)
- [前置摄像头系统](#)

3 说明

AM67x 可扩展处理器系列采用不断发展的 Jacinto™ 7 架构，面向智能视觉摄像头和通用计算应用，基于 TI 在视觉处理器市场上十多年所积累的广泛先进市场知识而构建。AM67x 系列专为工厂自动化、楼宇自动化和其他市场中广泛的成本敏感型高性能计算应用而构建。

AM67x 以业界卓越的功耗/性能比为传统和深度学习算法提供高性能计算技术，并且系统集成度高，可为高级视觉摄像头应用实现可扩展性和更低的成本。关键内核包括用于常规计算的新款 Arm 和 GPU 处理器、具有标量和矢量内核的下一代 DSP、专用深度学习和传统算法加速器、集成的下一代成像子系统 (ISP)、视频编解码器和 MCU 内核。所有这些都由工业级安全硬件加速器提供保护。

AM67x 包含多达四个具有 64 位架构的 Arm® Cortex®-A53 内核、一个具有图像信号处理器 (ISP) 和多个视觉辅助加速器的视觉处理加速器 (VPAC)、深度学习 (DL)、密集光流 (DOF) 视频和 3D 图形加速器、一个 Cortex®-R5F MCU 内核以及两个 Cortex®-R5F 内核，用于器件和运行时管理。Cortex-A53 提供了 Linux 应用所需的强大计算元件，以及基于视觉计算的传统算法的实现。TI 的第七代 ISP 以现有出色的 ISP 为基础，能够灵活地处理更广泛的传感器套件 (包括 RGB-IR)，支持更高的位深度，并且具有面向分析应用的特性。关键内核包括两个具有标量和矢量内核的下一代“C7x” DSP、专用“MMA”深度学习加速器和 2.25MB 大容量 L2 内存，在 125°C 的典型汽车级最差结温下工作时，可在业界超低的功耗范围内实现高达 4TOPS 的性能。

AM67x 集成了高速 IO，包括 PCIe Gen-3 (1L) 和具有一个内部端口和两个外部端口 (支持 TSN) 的 3 端口千兆以太网交换机。此外，AM67x 随附广泛的外设集，可实现 USB、MMC/SD、四个 CSI2.0 摄像头接口、OSPI、CAN-FD 和 GPMC 等系统级连接，用于将主机接口并行连接到外部 ASIC/FPGA。AM67x 通过内置 HSM (硬件安全模块) 支持安全启动来实现 IP 保护，并为功耗敏感型应用提供高级电源管理支持。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
XJ722S5A	AMW (FCBGA, 594)，采用了 VCA	18mm x 18mm
AM67A94	AMW (FCBGA, 594)，采用了 VCA	18mm x 18mm
AM67A74	AMW (FCBGA, 594)，采用了 VCA	18mm x 18mm
AM6754	AMW (FCBGA, 594)，采用了 VCA	18mm x 18mm
AM6734	AMW (FCBGA, 594)，采用了 VCA	18mm x 18mm

(1) 如需了解更多信息，请参阅[机械、封装和可订购信息](#)。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。

3.1 功能方框图

备注

要了解 TI 软件开发套件 (SDK) 目前支持哪些器件功能，请参阅 [PROCESSOR-SDK-AM67 软件构建表 \(PROCESSOR-SDK-AM69\)](#) 和 [PROCESSOR-SDK-AM67A 软件构建表](#)。

图 3-1 是器件的功能方框图。

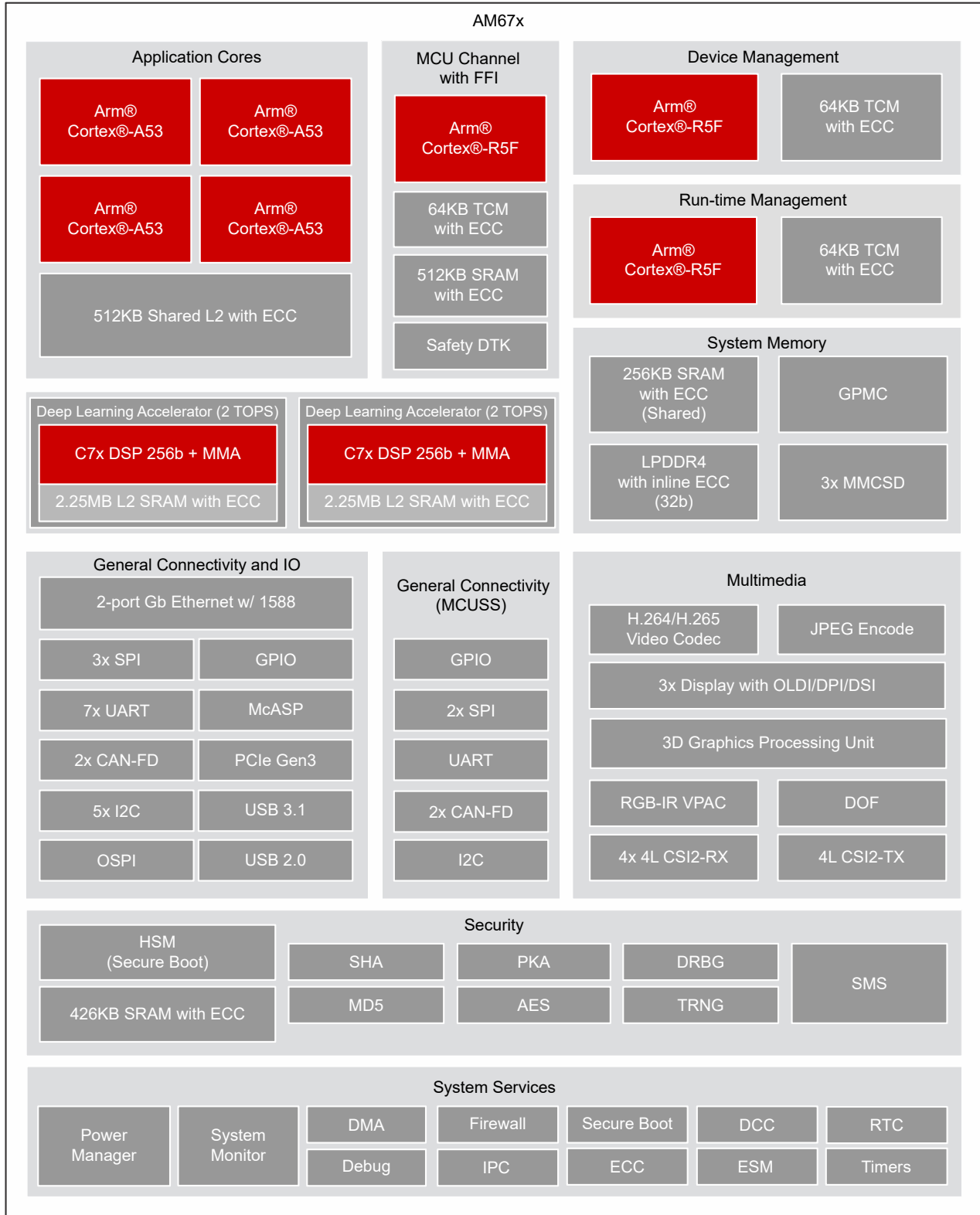


图 3-1. 功能方框图

内容

1 特性	1	6.9 时序和开关特性	96
2 应用	3	7 详细说明	216
3 说明	3	7.1 概述	216
3.1 功能方框图	4	8 应用、实现和布局	217
4 器件比较	6	8.1 器件连接和布局基本准则	217
5 终端配置和功能	8	8.2 外设和接口的相关设计信息	218
5.1 引脚图	8	8.3 时钟布线指南	224
5.2 引脚属性	9	9 器件和文档支持	225
5.3 信号说明	48	9.1 器件命名规则	225
5.4 引脚连接要求	80	9.2 工具与软件	228
6 规格	83	9.3 文档支持	228
6.1 绝对最大额定值	83	9.4 支持资源	228
6.2 未通过 AEC - Q100 认证的器件的 ESD 等级	85	9.5 商标	228
6.3 上电小时数 (POH)	85	9.6 静电放电警告	229
6.4 建议运行条件	86	9.7 术语表	229
6.5 运行性能点	88	10 修订历史记录	229
6.6 电气特性	89	11 机械、封装和可订购信息	230
6.7 一次性可编程 (OTP) 电子保险丝的 VPP 规格	94	11.1 封装信息	230
6.8 热阻特性	95		

4 器件比较

表 4-1 对各器件进行了比较，突出显示了其中的差异。

备注

此表中所列特性的可用性是共享 IO 引脚的函数，在函数中，与许多特性相关的 IO 信号会多路复用到有限数量的引脚。应使用 SysConfig 工具为引脚分配信号功能。这将帮助您更好地理解与引脚多路复用相关的限制。

备注

要了解 TI 软件开发套件 (SDK) 目前支持哪些器件功能，请参阅 [PROCESSOR-SDK-AM67 软件构建表 \(PROCESSOR-SDK-AM69\)](#) 和 [PROCESSOR-SDK-AM67A 软件构建表](#)。

表 4-1. 器件比较

特性 ⁽¹⁾	参考名称	AM67A94	AM67A74	AM6754	AM6734
处理器和加速器					
速度等级 (请参阅 器件速度等级)		J、K			
Arm Cortex-A53 微处理器子系统	Arm A53	四核			
MCU 域中的 Arm Cortex-R5F	MCU_R5F	单核			
MAIN 域中的 Arm Cortex-R5F	R5FSS0	单核			
器件管理子系统	WKUP_R5F	单核			
硬件安全模块	HSM	是			
加密加速器	安全性	是			
C7x 浮点, 矢量 DSP	C7x256V DSP	双核 ⁽⁶⁾		否	
深度学习加速器	MMA	双核 ⁽⁶⁾		否	
图形处理单元	GPU	是	否	是	否
视频编码器/解码器	VENC/VDEC	是			否
动态 JPEG 编码器	JPEG	是			否
深度和运动处理加速器	DMPAC	是		否	

表 4-1. 器件比较 (续)

特性 ⁽¹⁾	参考名称	AM67A94	AM67A74	AM6754	AM6734
视觉处理加速器	VPAC3L	是		否	
安全与安防					
以符合安全标准为目标	安全	可选 ⁽²⁾			
器件安全性	安全性	可选 ⁽³⁾			
符合 AEC-Q100 标准	Q1	否			
程序和数据存储					
MAIN 域中的片上共享存储器 (RAM)	OCSRAM	256KB			
MCU 域中的片上共享存储器 (RAM)	MCU_MSRAM	512KB			
LPDDR4 DDR 子系统	DDRSS	具有内联 ECC 的 32 位数据, 高达 8GB			
通用存储器控制器	GPMC	高达 128MB, 具有 ECC			
外设					
显示子系统	DSS7UL	1x DPI			
		1x LVDS			
		1x DSI			
模块化控制器局域网接口	MCAN	4			
完整 CAN-FD 支持	CAN-FD	是			
通用 I/O	GPIO	高达 147			
内部集成电路接口	I2C	7			
多通道音频串行端口	MCASP	5			
多通道串行外设接口	MCSPi	5			
多媒体卡/安全数字接口	MMC/SD	1x eMMC (8 位)			
		2x SD/SDIO (4 位)			
闪存子系统 (FSS) ⁽⁴⁾	OSPI0/QSPI0	是 ⁽⁴⁾			
千兆以太网接口	CPSW3G ⁽⁵⁾	2 个端口 (RGMII/RMII/SGMII ⁽⁵⁾)			
通用计时器	计时器	14 个 (MCU 中 4 个, WKUP 中 2 个)			
增强型脉宽调制器模块	EPWM	3			
增强型捕获模块	ECAP	3			
增强型正交编码器脉冲模块	EQEP	3			
通用异步接收器/发送器	UART	9			
具有集成 PHY 的 PCI Express Gen3 端口	PCIe ⁽⁵⁾	单通道			
具有 DPHY 的 CSI2-RX 控制器	CSI-RX	4x4L			
CSI2-TX 控制器	CSI-TX	1x4L			
具有 PHY 的 USB2.0 控制器	USB 2.0	1			
具有 PHY 的 USB3.0 控制器	USB 3.1 Gen 1 ⁽⁵⁾	1			

- (1) J722S 是超集器件的基本器件型号。软件应限制用于匹配预期生产器件的功能。
- (2) 包括 SIL/ASIL 等级在内的安全特性仅适用于器件命名约定表中的器件类型 (Y) 标识符所示的部分器件型号变体。
- (3) 器件安全特性 (包括安全启动和客户可编程密钥) 适用于如表 10-1 “命名规则说明” 表中的器件类型 (Y) 标识符所示的部分器件型号变体。
- (4) 1 个闪存接口, 配置为 OSPI0 或 QSPI0。
- (5) PCIe、USB3.0 和 SGMII 共用总共 2 个串行器/解串器端口。
- (6) 在 AM67A SoC 上, 深度学习加速器 C7x + MMA 为执行 TI 提供的代码而保留, 不可用于自定义代码。

5 终端配置和功能

5.1 引脚图

备注

在整个文档中，术语“焊球”、“引脚”和“端子”可互换使用。仅在提及物理封装时才尝试使用“焊球”。

图 5-1 展示了 594 球倒装晶片球栅阵列 (FCBGA) 封装的焊球位置，用以快速找到信号名称和球栅编号。该图应与节 5.2.1 至节 5.4 (引脚属性表和所有信号说明表，包括引脚连接要求表) 配合使用。

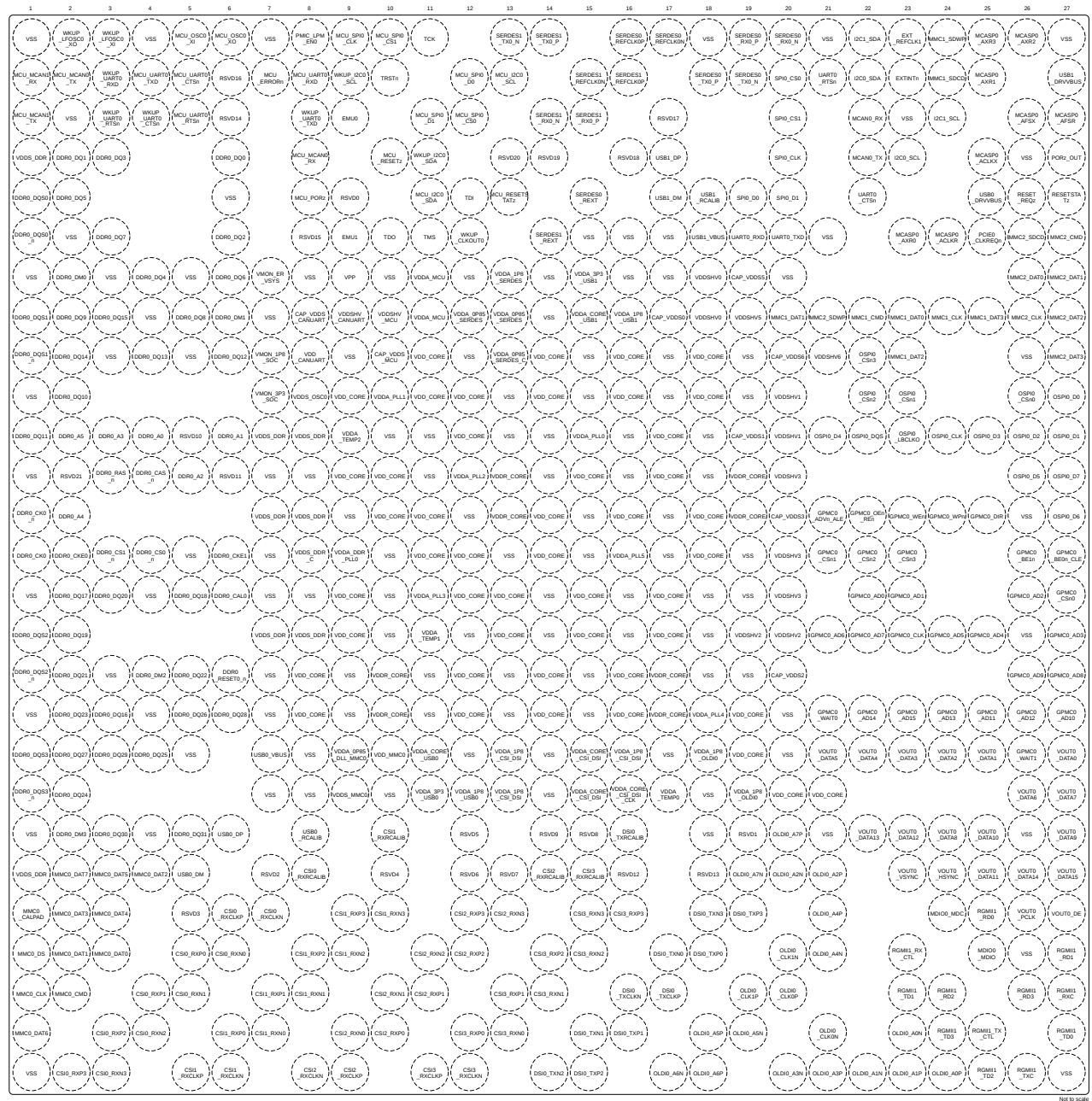


图 5-1. AMW FCBGA-N594 引脚图 (顶视图)

5.2 引脚属性

以下列表介绍了表 5-1 引脚属性 (AMW 封装) 表中每一列的内容：

1. **焊球编号**：分配给 Ball Grid Array 封装每个端子的焊球编号。
2. **焊球名称**：分配给 Ball Grid Array 封装每个端子的焊球名称 (该名称通常取自自主 MUXMODE 0 信号功能) 。
3. **信号名称**：与焊球相关的所有专用和引脚多路复用信号功能的信号名称。

备注

许多器件引脚支持多种信号功能。一些信号功能是通过与引脚关联的单层多路复用器来选择的。其他信号功能通过两层或多层多路复用器进行选择，其中一层与引脚相关联，其他层与外围逻辑功能相关联。

表 5-1 引脚属性 (AMW 封装) 表仅定义了引脚上的信号多路复用。有关引脚信号多路复用的更多信息，请参阅器件 TRM 的器件配置一章中的焊盘配置寄存器一节。有关与外设信号多路复用相关的信息，请参阅器件 TRM 中相应的外设章节。

4. **多路复用器模式**：与每个引脚多路复用信号功能相关的 MUXMODE 值：
 - a. MUXMODE 0 是主要引脚多路复用信号功能。然而，主要引脚多路复用信号功能不一定是默认引脚多路复用信号功能。

备注

“复位之后的多路复用器模式”列中的值定义了 MCU_PORz 被置为无效时选择的默认引脚多路复用信号功能。

- a. MUXMODE 值 1 至 15 可用于引脚多路复用信号功能。然而，并非所有 MUXMODE 值都已实现。仅有的有效 MUXMODE 值是引脚属性表中定义为引脚多路复用信号功能的值。只应使用 MUXMODE 的有效值。
- b. 自举定义了 SOC 配置引脚，其中应用于每个引脚的逻辑状态在 PORz_OUT 的上升沿被锁存。这些输入信号功能固定到各自的引脚，不能通过 MUXMODE 进行编程。
- c. 空框表示不适用。

备注

为了使器件正常运行，必须避免以下 MUXMODE 配置。

- 不支持将多个引脚配置为同一引脚多路复用信号功能的输入，因为这可能会产生意外结果。
- 将引脚配置为未定义的引脚多路复用模式将导致引脚行为未定义。

5. **类型**：信号类型和方向：

- I = 输入
- O = 输出
- OD = 输出，具有开漏输出功能
- IO = 输入、输出或同时输入和输出
- IOD = 输入、输出或同时输入和输出，具有开漏输出功能
- IOZ = 输入、输出或同时输入和输出，具有三态输出功能
- OZ = 具有三态输出功能的输出
- A = 模拟
- PWR = 电源
- GND = 地
- CAP = LDO 电容器。

6. **DSIS** : 未选择的输入状态 (DSIS) 指示当 MUXMODE 未选择引脚多路复用信号功能时驱动到子系统输入的状态 (逻辑“0”、逻辑“1”或“焊盘”电平)。
- 0 : 逻辑 0 被驱动至子系统输入。
 - 1 : 逻辑 1 被驱动至子系统输入。
 - 焊盘 : 焊盘的逻辑状态被驱动至子系统输入。
 - 空框表示不适用。
7. **复位期间的焊球状态 (RX/TX/拉动)** : MCU_PORz 被置为有效时的端子状态, 其中 RX 定义输入缓冲器的状态, TX 定义输出缓冲器的状态, “拉动”定义内部拉动电阻器的状态 :
- **RX** (输入缓冲器)
 - 关闭 : 输入缓冲器被禁用。
 - 亮 : 输入缓冲器被启用。
 - **TX** (输出缓冲器)
 - 关闭 : 输出缓冲器被禁用。
 - 低电平 : 输出缓冲器被启用并驱动 V_{OL} 。
 - **拉动** (内部拉动电阻器)
 - 关闭 : 内部拉动电阻器被关闭。
 - 上拉 : 内部上拉电阻器被开启。
 - 下拉 : 内部下拉电阻器被开启。
 - NA : 不适用。
 - 空框表示不适用。
8. **复位之后的焊球状态 (RX/TX/拉动)** : MCU_PORz 被置为无效后的端子状态, 其中 RX 定义输入缓冲器的状态, TX 定义输出缓冲器的状态, “拉动”定义内部拉动电阻器的状态 :
- **RX** (输入缓冲器)
 - 关闭 : 输入缓冲器被禁用。
 - 亮 : 输入缓冲器被启用。
 - **TX** (输出缓冲器)
 - 关闭 : 输出缓冲器被禁用。
 - SS : 使用 MUXMODE 选择的子系统决定输出缓冲器状态。
 - **拉动** (内部拉动电阻器)
 - 关闭 : 内部拉动电阻器被关闭。
 - 上拉 : 内部上拉电阻器被开启。
 - 下拉 : 内部下拉电阻器被开启。
 - NA : 不适用。
 - 空框表示不适用。
9. **复位之后的多路复用器模式** : 该列中的值定义了 MCU_PORz 被置为无效后的默认引脚多路复用信号功能。
空框表示不适用。
10. **I/O 电压值** : 该列介绍了相应电源的 I/O 工作电压选项 (如果适用)。
空框表示不适用。
有关更多信息, 请参阅节 6.4 建议运行条件中为每个电源定义的有效工作电压范围。
11. **电源** : 相关 I/O 的电源 (如果适用)。
空框表示不适用。
12. **HYS** : 指示与该 I/O 关联的输入缓冲器是否具有迟滞 :
- 是 : 具有迟滞
 - 否 : 不具有迟滞
 - 空框表示不适用。

有关更多信息，请参阅节 6.6 电气特性 中的迟滞值。

13. **缓冲器类型**：该列定义与端子关联的缓冲器类型。该信息可用于确定适用的电气特性表。

空框表示不适用。

有关电气特性，请参阅节 6.6 电气特性 中相应的缓冲器类型表。

14. **上拉/下拉类型**：指示存在内部上拉或下拉电阻器。可通过软件来启用或禁用上拉和下拉电阻器。

- PU：内部上拉
- PD：内部下拉
- PU/PD：内部上拉和下拉
- 空框表示无内部拉动。

15. **PADCONFIG 寄存器**：与焊球关联的 IO 焊盘配置寄存器的名称。

16. **PADCONFIG 地址**：与焊球关联的 IO 焊盘配置寄存器的物理地址。

表 5-1. 引脚属性 (AMW 封装)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
H17	CAP_VDDS0	CAP_VDDS0		CAP									
L19	CAP_VDDS1	CAP_VDDS1		CAP									
U20	CAP_VDDS2	CAP_VDDS2		CAP									
N20	CAP_VDDS3	CAP_VDDS3		CAP									
G19	CAP_VDDS5	CAP_VDDS5		CAP									
J20	CAP_VDDS6	CAP_VDDS6		CAP									
H8	CAP_VDDS_CANUART	CAP_VDDS_CANUART		CAP									
J10	CAP_VDDS_MCU	CAP_VDDS_MCU		CAP									
AC7	CSI0_RXCLKN	CSI0_RXCLKN		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AC6	CSI0_RXCLKP	CSI0_RXCLKP		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AB8	CSI0_RXRCALIB	CSI0_RXRCALIB		A					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AG6	CSI1_RXCLKN	CSI1_RXCLKN		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AG5	CSI1_RXCLKP	CSI1_RXCLKP		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AA10	CSI1_RXRCALIB	CSI1_RXRCALIB		A					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AG8	CSI2_RXCLKN	CSI2_RXCLKN		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AG9	CSI2_RXCLKP	CSI2_RXCLKP		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AB14	CSI2_RXRCALIB	CSI2_RXRCALIB		A					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AG12	CSI3_RXCLKN	CSI3_RXCLKN		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AG11	CSI3_RXCLKP	CSI3_RXCLKP		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AB15	CSI3_RXRCALIB	CSI3_RXRCALIB		A					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AD6	CSI0_RXN0	CSI0_RXN0		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AE5	CSI0_RXN1	CSI0_RXN1		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AF4	CSI0_RXN2	CSI0_RXN2		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AG3	CSI0_RXN3	CSI0_RXN3		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AD5	CSI0_RXP0	CSI0_RXP0		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AE4	CSI0_RXP1	CSI0_RXP1		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AF3	CSI0_RXP2	CSI0_RXP2		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AG2	CSI0_RXP3	CSI0_RXP3		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AF7	CSI1_RXN0	CSI1_RXN0		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AE8	CSI1_RXN1	CSI1_RXN1		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AD9	CSI1_RXN2	CSI1_RXN2		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AC10	CSI1_RXN3	CSI1_RXN3		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AF6	CSI1_RXP0	CSI1_RXP0		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AE7	CSI1_RXP1	CSI1_RXP1		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AD8	CSI1_RXP2	CSI1_RXP2		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AC9	CSI1_RXP3	CSI1_RXP3		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
AF9	CSI2_RXN0	CSI2_RXN0		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AE10	CSI2_RXN1	CSI2_RXN1		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AD11	CSI2_RXN2	CSI2_RXN2		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AC13	CSI2_RXN3	CSI2_RXN3		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AF10	CSI2_RXP0	CSI2_RXP0		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AE11	CSI2_RXP1	CSI2_RXP1		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AD12	CSI2_RXP2	CSI2_RXP2		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AC12	CSI2_RXP3	CSI2_RXP3		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AF13	CSI3_RXN0	CSI3_RXN0		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AE14	CSI3_RXN1	CSI3_RXN1		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AD15	CSI3_RXN2	CSI3_RXN2		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AC15	CSI3_RXN3	CSI3_RXN3		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AF12	CSI3_RXP0	CSI3_RXP0		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AE13	CSI3_RXP1	CSI3_RXP1		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AD14	CSI3_RXP2	CSI3_RXP2		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AC16	CSI3_RXP3	CSI3_RXP3		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
M4	DDR0_CAS_n	DDR0_CAS_n		O					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
M3	DDR0_RAS_n	DDR0_RAS_n		O					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
L4	DDR0_A0	DDR0_A0		O					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
L6	DDR0_A1	DDR0_A1		O					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
M5	DDR0_A2	DDR0_A2		O					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
L3	DDR0_A3	DDR0_A3		O					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
N2	DDR0_A4	DDR0_A4		O					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
L2	DDR0_A5	DDR0_A5		O					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
R6	DDR0_CAL0	DDR0_CAL0		A					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
P1	DDR0_CK0	DDR0_CK0		O					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
N1	DDR0_CK0_n	DDR0_CK0_n		O					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
P2	DDR0_CKE0	DDR0_CKE0		O					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
P6	DDR0_CKE1	DDR0_CKE1		O					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
P4	DDR0_CS0_n	DDR0_CS0_n		O					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
P3	DDR0_CS1_n	DDR0_CS1_n		O					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
G2	DDR0_DM0	DDR0_DM0		IO					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
H6	DDR0_DM1	DDR0_DM1		IO					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
U4	DDR0_DM2	DDR0_DM2		IO					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
AA2	DDR0_DM3	DDR0_DM3		IO					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
D6	DDR0_DQ0	DDR0_DQ0		IO					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
D2	DDR0_DQ1	DDR0_DQ1		IO					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
F6	DDR0_DQ2	DDR0_DQ2		IO					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
D3	DDR0_DQ3	DDR0_DQ3		IO					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
G4	DDR0_DQ4	DDR0_DQ4		IO					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
E2	DDR0_DQ5	DDR0_DQ5		IO					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
G6	DDR0_DQ6	DDR0_DQ6		IO					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
F3	DDR0_DQ7	DDR0_DQ7		IO					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
H5	DDR0_DQ8	DDR0_DQ8		IO					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
H2	DDR0_DQ9	DDR0_DQ9		IO					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
K2	DDR0_DQ10	DDR0_DQ10		IO					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
L1	DDR0_DQ11	DDR0_DQ11		IO					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
J6	DDR0_DQ12	DDR0_DQ12		IO					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
J4	DDR0_DQ13	DDR0_DQ13		IO					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
J2	DDR0_DQ14	DDR0_DQ14		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
H3	DDR0_DQ15	DDR0_DQ15		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
V3	DDR0_DQ16	DDR0_DQ16		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
R2	DDR0_DQ17	DDR0_DQ17		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
R5	DDR0_DQ18	DDR0_DQ18		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
T2	DDR0_DQ19	DDR0_DQ19		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
R3	DDR0_DQ20	DDR0_DQ20		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
U2	DDR0_DQ21	DDR0_DQ21		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
U5	DDR0_DQ22	DDR0_DQ22		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
V2	DDR0_DQ23	DDR0_DQ23		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
Y2	DDR0_DQ24	DDR0_DQ24		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
W4	DDR0_DQ25	DDR0_DQ25		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
V5	DDR0_DQ26	DDR0_DQ26		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
W2	DDR0_DQ27	DDR0_DQ27		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
V6	DDR0_DQ28	DDR0_DQ28		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
W3	DDR0_DQ29	DDR0_DQ29		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
AA3	DDR0_DQ30	DDR0_DQ30		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
AA5	DDR0_DQ31	DDR0_DQ31		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
E1	DDR0_DQS0	DDR0_DQS0		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
F1	DDR0_DQS0_n	DDR0_DQS0_n		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
H1	DDR0_DQS1	DDR0_DQS1		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
J1	DDR0_DQS1_n	DDR0_DQS1_n		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
T1	DDR0_DQS2	DDR0_DQS2		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
U1	DDR0_DQS2_n	DDR0_DQS2_n		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
W1	DDR0_DQS3	DDR0_DQS3		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
Y1	DDR0_DQS3_n	DDR0_DQS3_n		IO					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
U6	DDR0_RESET0_n	DDR0_RESET0_n		O					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
AE16	DSI0_TXCLKN	DSI0_TXCLKN		IO					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AE17	DSI0_TXCLKP	DSI0_TXCLKP		IO					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AA16	DSI0_TXRCALIB	DSI0_TXRCALIB		A					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AD17	DSI0_TXN0	DSI0_TXN0		IO					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AF15	DSI0_TXN1	DSI0_TXN1		IO					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AG14	DSI0_TXN2	DSI0_TXN2		IO					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AC18	DSI0_TXN3	DSI0_TXN3		IO					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AD18	DSI0_TXP0	DSI0_TXP0		IO					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AF16	DSI0_TXP1	DSI0_TXP1		IO					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AG15	DSI0_TXP2	DSI0_TXP2		IO					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AC19	DSI0_TXP3	DSI0_TXP3		IO					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
C9	EMU0 PADCONFIG MCU_PADCONFIG30 0x04084078	EMU0	0	IO	0	开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV_MCU	是	LVC MOS	PU/PD
F9	EMU1 PADCONFIG MCU_PADCONFIG31 0x0408407C	EMU1	0	IO	0	开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV_MCU	是	LVC MOS	PU/PD
B23	EXTINTn	EXTINTn	0	I	1								
	PADCONFIG PADCONFIG125 0x000F41F4	GPIO1_31	7	I/O D	焊盘	关闭/关闭/不适用	关闭/关闭/不适用	7	1.8V/3.3V	VDDSHV0	是	I2C 开	

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
A23	EXT_REFCLK1 PADCONFIG PADCONFIG124 0x000F41F0	EXT_REFCLK1	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SYNC1_OUT	1	O									
		SPI2_CS3	2	IO	1								
		SYSCLKOUT0	3	O									
		TIMER_IO4	4	IO	0								
		CLKOUT0	5	O									
		CP_GEMAC_CPTS0_RFT_CLK	6	I	0								
		GPIO1_30	7	IO	焊盘								
ECAP0_IN_APWM_OUT	8	IO	0										
N21	GPMC0_ADVn_ALE PADCONFIG PADCONFIG33 0x000F4084	GPMC0_ADVn_ALE	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP1_AXR2	2	IO	0								
		TRC_DATA7	6	O									
		GPIO0_32	7	IO	焊盘								
T23	GPMC0_CLK PADCONFIG PADCONFIG31 0x000F407C	GPMC0_CLK	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP1_AXR3	2	IO	0								
		GPMC0_FCLK_MUX	3	O									
		TRC_DATA6	6	O									
N25	GPMC0_DIR PADCONFIG PADCONFIG41 0x000F40A4	GPMC0_DIR	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP2_AXR13	3	IO	0								
		MAIN_ERRORn	5	IO	1								
		TRC_DATA14	6	O									
		GPIO0_40	7	IO	焊盘								
EQEP2_S	8	IO	0										
N22	GPMC0_OEn_REn PADCONFIG PADCONFIG34 0x000F4088	GPMC0_OEn_REn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP1_AXR1	2	IO	0								
		TRC_DATA8	6	O									
		GPIO0_33	7	IO	焊盘								
N23	GPMC0_WEn PADCONFIG PADCONFIG35 0x000F408C	GPMC0_WEn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP1_AXR0	2	IO	0								
		TRC_DATA9	6	O									
		GPIO0_34	7	IO	焊盘								

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
N24	GPMC0_WPn PADCONFIG PADCONFIG40 0x000F40A0	GPMC0_WPn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		AUDIO_EXT_REFCLK1	1	IO	0								
		GPMC0_A22	2	OZ									
		UART6_TXD	3	O									
		TRC_DATA13	6	O									
GPIO0_39	7	IO	焊盘										
R22	GPMC0_AD0 PADCONFIG PADCONFIG15 0x000F403C	GPMC0_AD0	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP2_AXR4	3	IO	0								
		TRC_CLK	6	O									
		GPIO0_15	7	IO	焊盘								
		BOOTMODE00	自举	I									
R23	GPMC0_AD1 PADCONFIG PADCONFIG16 0x000F4040	GPMC0_AD1	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP2_AXR5	3	IO	0								
		TRC_CTL	6	O									
		GPIO0_16	7	IO	焊盘								
		BOOTMODE01	自举	I									
R26	GPMC0_AD2 PADCONFIG PADCONFIG17 0x000F4044	GPMC0_AD2	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP2_AXR6	3	IO	0								
		TRC_DATA0	6	O									
		GPIO0_17	7	IO	焊盘								
		BOOTMODE02	自举	I									
T27	GPMC0_AD3 PADCONFIG PADCONFIG18 0x000F4048	GPMC0_AD3	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP2_AXR7	3	IO	0								
		TRC_DATA1	6	O									
		GPIO0_18	7	IO	焊盘								
		BOOTMODE03	自举	I									
T25	GPMC0_AD4 PADCONFIG PADCONFIG19 0x000F404C	GPMC0_AD4	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP2_AXR8	3	IO	0								
		TRC_DATA2	6	O									
		GPIO0_19	7	IO	焊盘								
		BOOTMODE04	自举	I									
T24	GPMC0_AD5 PADCONFIG PADCONFIG20 0x000F4050	GPMC0_AD5	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP2_AXR9	3	IO	0								
		TRC_DATA3	6	O									
		GPIO0_20	7	IO	焊盘								
		BOOTMODE05	自举	I									

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
T21	GPMC0_AD6 PADCONFIG PADCONFIG21 0x000F4054	GPMC0_AD6	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP2_AXR10	3	IO	0								
		TRC_DATA4	6	O									
		GPIO0_21	7	IO	焊盘								
		BOOTMODE06	自举	I									
T22	GPMC0_AD7 PADCONFIG PADCONFIG22 0x000F4058	GPMC0_AD7	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP2_AXR11	3	IO	0								
		TRC_DATA5	6	O									
		GPIO0_22	7	IO	焊盘								
		BOOTMODE07	自举	I									
U27	GPMC0_AD8 PADCONFIG PADCONFIG23 0x000F405C	GPMC0_AD8	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		VOUT0_DATA16	1	O									
		UART2_RXD	2	I	1								
		MCASP2_AXR0	3	IO	0								
		GPIO0_23	7	IO	焊盘								
BOOTMODE08	自举	I											
U26	GPMC0_AD9 PADCONFIG PADCONFIG24 0x000F4060	GPMC0_AD9	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		VOUT0_DATA17	1	O									
		UART2_TXD	2	O									
		MCASP2_AXR1	3	IO	0								
		GPIO0_24	7	IO	焊盘								
BOOTMODE09	自举	I											
V27	GPMC0_AD10 PADCONFIG PADCONFIG25 0x000F4064	GPMC0_AD10	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		VOUT0_DATA18	1	O									
		UART3_RXD	2	I	1								
		MCASP2_AXR2	3	IO	0								
		GPIO0_25	7	IO	焊盘								
		OBCLK0	8	O									
BOOTMODE10	自举	I											
V25	GPMC0_AD11 PADCONFIG PADCONFIG26 0x000F4068	GPMC0_AD11	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		VOUT0_DATA19	1	O									
		UART3_TXD	2	O									
		MCASP2_AXR3	3	IO	0								
		TRC_DATA23	6	O									
		GPIO0_26	7	IO	焊盘								
		BOOTMODE11	自举	I									

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
V26	GPMC0_AD12 PADCONFIG PADCONFIG27 0x000F406C	GPMC0_AD12	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		VOUT0_DATA20	1	O									
		UART4_RXD	2	I	1								
		MCASP2_AFSX	3	IO	0								
		TRC_DATA22	6	O									
		GPIO0_27	7	IO	焊盘								
		BOOTMODE12	自举	I									
V24	GPMC0_AD13 PADCONFIG PADCONFIG28 0x000F4070	GPMC0_AD13	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		VOUT0_DATA21	1	O									
		UART4_TXD	2	O									
		MCASP2_ACLKX	3	IO	0								
		TRC_DATA21	6	O									
		GPIO0_28	7	IO	焊盘								
		BOOTMODE13	自举	I									
V22	GPMC0_AD14 PADCONFIG PADCONFIG29 0x000F4074	GPMC0_AD14	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		VOUT0_DATA22	1	O									
		UART5_RXD	2	I	1								
		MCASP2_AFSR	3	IO	0								
		MCASP2_AXR4	4	IO	0								
		TRC_DATA20	6	O									
		GPIO0_29	7	IO	焊盘								
		UART2_CTSn	8	I	1								
BOOTMODE14	自举	I											
V23	GPMC0_AD15 PADCONFIG PADCONFIG30 0x000F4078	GPMC0_AD15	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		VOUT0_DATA23	1	O									
		UART5_TXD	2	O									
		MCASP2_ACLKR	3	IO	0								
		MCASP2_AXR5	4	IO	0								
		TRC_DATA19	6	O									
		GPIO0_30	7	IO	焊盘								
		UART2_RTSn	8	O									
BOOTMODE15	自举	I											
P27	GPMC0_BE0n_CLE PADCONFIG PADCONFIG36 0x000F4090	GPMC0_BE0n_CLE	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP1_ACLKX	2	IO	0								
		TRC_DATA10	6	O									
		GPIO0_35	7	IO	焊盘								

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
P26	GPMC0_BE1n PADCONFIG PADCONFIG37 0x000F4094	GPMC0_BE1n	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP2_AXR12	3	IO	0								
		TRC_DATA11	6	O									
		GPIO0_36	7	IO	焊盘								
R27	GPMC0_CSn0 PADCONFIG PADCONFIG42 0x000F40A8	GPMC0_CSn0	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		I2C4_SCL	1	IOD	1								
		MCASP2_AXR14	3	IO	0								
		TRC_DATA15	6	O									
P21	GPMC0_CSn1 PADCONFIG PADCONFIG43 0x000F40AC	GPMC0_CSn1	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		I2C4_SDA	1	IOD	1								
		MCASP2_AXR15	3	IO	0								
		TRC_DATA16	6	O									
P22	GPMC0_CSn2 PADCONFIG PADCONFIG44 0x000F40B0	GPMC0_CSn2	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		I2C2_SCL	1	IOD	1								
		MCASP1_AXR4	2	IO	0								
		UART4_RXD	3	I	1								
		MCAN1_TX	5	O									
		TRC_DATA17	6	O									
		GPIO0_43	7	IO	焊盘								
MCASP1_AFSR	8	IO	0										
P23	GPMC0_CSn3 PADCONFIG PADCONFIG45 0x000F40B4	GPMC0_CSn3	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		I2C2_SDA	1	IOD	1								
		GPMC0_A20	2	OZ									
		UART4_TXD	3	O									
		MCASP1_AXR5	4	IO	0								
		MCAN1_RX	5	I	1								
		TRC_DATA18	6	O									
		GPIO0_44	7	IO	焊盘								
MCASP1_ACLKR	8	IO	0										
V21	GPMC0_WAIT0 PADCONFIG PADCONFIG38 0x000F4098	GPMC0_WAIT0	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		MCASP1_AFSX	2	IO	0								
		TRC_DATA12	6	O									
		GPIO0_37	7	IO	焊盘								

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
W26	GPMC0_WAIT1 PADCONFIG PADCONFIG39 0x000F409C	GPMC0_WAIT1	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		VOUT0_EXTPLKIN	1	I	0								
		GPMC0_A21	2	OZ									
		UART6_RXD	3	I	1								
		AUDIO_EXT_REFCLK2	4	IO	0								
		GPIO0_38	7	IO	焊盘								
		EQEP2_I	8	IO	0								
D23	I2C0_SCL PADCONFIG PADCONFIG120 0x000F41E0	I2C0_SCL	0	IOD	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SYNC0_OUT	2	O									
		OBSCLK1	3	O									
		UART1_DCDn	4	I	1								
		EQEP2_A	5	I	0								
		EHRPWM_SOCA	6	O									
		GPIO1_26	7	IO	焊盘								
		ECAP1_IN_APWM_OUT	8	IO	0								
B22	I2C0_SDA PADCONFIG PADCONFIG121 0x000F41E4	I2C0_SDA	0	IOD	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SPI2_CS2	2	IO	1								
		TIMER_IO5	3	IO	0								
		UART1_DSRn	4	I	1								
		EQEP2_B	5	I	0								
		EHRPWM_SOCB	6	O									
		GPIO1_27	7	IO	焊盘								
		ECAP2_IN_APWM_OUT	8	IO	0								
C24	I2C1_SCL PADCONFIG PADCONFIG122 0x000F41E8	I2C1_SCL	0	IOD	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART1_RXD	1	I	1								
		TIMER_IO0	2	IO	0								
		SPI2_CS1	3	IO	1								
		EHRPWM0_SYNCI	4	I	0								
		GPIO1_28	7	IO	焊盘								
		EHRPWM2_A	8	IO	0								
		MMC2_SDCD	9	I	0								

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
A22	I2C1_SDA PADCONFIG PADCONFIG123 0x000F41EC	I2C1_SDA	0	IOD	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART1_TXD	1	O	0								
		TIMER_IO1	2	IO	0								
		SPI2_CLK	3	IO	0								
		EHRPWM0_SYNCO	4	O									
		GPIO1_29	7	IO	焊盘								
		EHRPWM2_B	8	IO	0								
MMC2_SDWP	9	I	0										
C22	MCAN0_RX PADCONFIG PADCONFIG119 0x000F41DC	MCAN0_RX	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART5_TXD	1	O									
		TIMER_IO3	2	IO	0								
		SYNC3_OUT	3	O									
		UART1_RIn	4	I	1								
		EQEP2_S	5	IO	0								
		I2C4_SDA	6	IOD	1								
		GPIO1_25	7	IO	焊盘								
		MCASP2_AXR1	8	IO	0								
EHRPWM_TZn_IN4	9	I	0										
D22	MCAN0_TX PADCONFIG PADCONFIG118 0x000F41D8	MCAN0_TX	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART5_RXD	1	I	1								
		TIMER_IO2	2	IO	0								
		SYNC2_OUT	3	O									
		UART1_DTRn	4	O									
		EQEP2_I	5	IO	0								
		I2C4_SCL	6	IOD	1								
		GPIO1_24	7	IO	焊盘								
		MCASP2_AXR0	8	IO	0								
EHRPWM_TZn_IN3	9	I	0										
F24	MCASP0_ACLKR PADCONFIG PADCONFIG108 0x000F41B0	MCASP0_ACLKR	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SPI2_CLK	1	IO	0								
		UART1_TXD	2	O									
		EHRPWM0_B	6	IO	0								
		GPIO1_14	7	IO	焊盘								
EQEP1_I	8	IO	0										

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
D25	MCASP0_ACLKX PADCONFIG PADCONFIG105 0x000F41A4	MCASP0_ACLKX	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SPI2_CS1	1	IO	1								
		ECAP2_IN_APWM_OUT	2	IO	0								
		GPIO1_11	7	IO	焊盘								
		EQEP1_A	8	I	0								
C27	MCASP0_AFSR PADCONFIG PADCONFIG107 0x000F41AC	MCASP0_AFSR	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SPI2_CS0	1	IO	1								
		UART1_RXD	2	I	1								
		EHRPWM0_A	6	IO	0								
		GPIO1_13	7	IO	焊盘								
		EQEP1_S	8	IO	0								
C26	MCASP0_AFSX PADCONFIG PADCONFIG106 0x000F41A8	MCASP0_AFSX	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SPI2_CS3	1	IO	1								
		AUDIO_EXT_REFCLK1	2	IO	0								
		GPIO1_12	7	IO	焊盘								
		EQEP1_B	8	I	0								
F23	MCASP0_AXR0 PADCONFIG PADCONFIG104 0x000F41A0	MCASP0_AXR0	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		AUDIO_EXT_REFCLK0	2	IO	0								
		EHRPWM1_B	6	IO	0								
		GPIO1_10	7	IO	焊盘								
		EQEP0_I	8	IO	0								
B25	MCASP0_AXR1 PADCONFIG PADCONFIG103 0x000F419C	MCASP0_AXR1	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SPI2_CS2	1	IO	1								
		ECAP1_IN_APWM_OUT	2	IO	0								
		MAIN_ERRORn	5	IO	1								
		EHRPWM1_A	6	IO	0								
		GPIO1_9	7	IO	焊盘								
		EQEP0_S	8	IO	0								
A26	MCASP0_AXR2 PADCONFIG PADCONFIG102 0x000F4198	MCASP0_AXR2	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SPI2_D1	1	IO	0								
		UART1_RTSn	2	O									
		UART6_TXD	3	O									
		ECAP2_IN_APWM_OUT	5	IO	0								
		GPIO1_8	7	IO	焊盘								
		EQEP0_B	8	I	0								

表 5-1. 引脚属性 (AMW 封装) (续)

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用器模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 (RX/TX/拉动) [7]	复位之后的焊球状态 (RX/TX/拉动) [8]	复位之后的多路复用器模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
A25	MCASP0_AXR3 PADCONFIG PADCONFIG101 0x000F4194	MCASP0_AXR3	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SPI2_D0	1	IO	0								
		UART1_CTSn	2	I	1								
		UART6_RXD	3	I	1								
		ECAP1_IN_APWM_OUT	5	IO	0								
		GPIO1_7	7	IO	焊盘								
		EQEP0_A	8	I	0								
B7	MCU_ERRORn PADCONFIG MCU_PADCONFIG24 0x04084060	MCU_ERRORn	0	IO		关闭/关闭/下拉	开启/SS/下拉	0	1.8V	VDDOSC0	是	LVCMOS	PU/PD
B13	MCU_I2C0_SCL PADCONFIG MCU_PADCONFIG17 0x04084044	MCU_I2C0_SCL	0	IOD	1	关闭/关闭/不适用	开启/SS/不适用	7	1.8V/3.3V	VDDSHV_MCU	是	I2C 开	
		MCU_GPIO0_17	7	IOD	焊盘								
E11	MCU_I2C0_SDA PADCONFIG MCU_PADCONFIG18 0x04084048	MCU_I2C0_SDA	0	IOD	1	关闭/关闭/不适用	开启/SS/不适用	7	1.8V/3.3V	VDDSHV_MCU	是	I2C 开	
		MCU_GPIO0_18	7	IOD	焊盘								
D8	MCU_MCAN0_RX PADCONFIG MCU_PADCONFIG14 0x04084038	MCU_MCAN0_RX	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		MCU_TIMER_IO0	1	IO	0								
		MCU_SPI1_CS3	2	IO	1								
		MCU_GPIO0_14	7	IO	焊盘								
B2	MCU_MCAN0_TX PADCONFIG MCU_PADCONFIG13 0x04084034	MCU_MCAN0_TX	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		WKUP_TIMER_IO0	1	IO	0								
		MCU_SPI0_CS3	2	IO	1								
		MCU_GPIO0_13	7	IO	焊盘								
B1	MCU_MCAN1_RX PADCONFIG MCU_PADCONFIG16 0x04084040	MCU_MCAN1_RX	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		MCU_TIMER_IO3	1	IO	0								
		MCU_SPI0_CS2	2	IO	1								
		MCU_SPI1_CS2	3	IO	1								
		MCU_SPI1_CLK	4	IO	0								
		MCU_GPIO0_16	7	IO	焊盘								
C1	MCU_MCAN1_TX PADCONFIG MCU_PADCONFIG15 0x0408403C	MCU_MCAN1_TX	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		MCU_TIMER_IO2	1	IO	0								
		MCU_SPI1_CS1	3	IO	1								
		MCU_EXT_REFCLK0	4	I	0								
		MCU_GPIO0_15	7	IO	焊盘								
A5	MCU_OSC0_XI	MCU_OSC0_XI		I					1.8V	VDDOSC0	是	HFXOSC	

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
A6	MCU_OSC0_XO	MCU_OSC0_XO		O					1.8V	VDDS_OSC0	是	HFXOSC	
E8	MCU_PORz PADCONFIG MCU_PADCONFIG22 0x04084058	MCU_PORz	0	I				0	1.8V	VDDS_OSC0	是	FS_RESET	
E13	MCU_RESETSTATz PADCONFIG MCU_PADCONFIG23 0x0408405C	MCU_RESETSTATz	0	O		关闭/低电平/关闭	关闭/SS/关闭	0	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_GPIO0_21	7	IO	焊盘								
D10	MCU_RESETz PADCONFIG MCU_PADCONFIG21 0x04084054	MCU_RESETz	0	I		开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
A9	MCU_SPI0_CLK PADCONFIG MCU_PADCONFIG2 0x04084008	MCU_SPI0_CLK	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_GPIO0_2	7	IO	焊盘								
C12	MCU_SPI0_CS0 PADCONFIG MCU_PADCONFIG0 0x04084000	MCU_SPI0_CS0	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		WKUP_TIMER_IO1	4	IO	0								
		MCU_GPIO0_0	7	IO	焊盘								
A10	MCU_SPI0_CS1 PADCONFIG MCU_PADCONFIG1 0x04084004	MCU_SPI0_CS1	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_OBSCLK0	1	O									
		MCU_SYSCLKOUT0	2	O									
		MCU_EXT_REFCLK0	3	I	0								
		MCU_TIMER_IO1	4	IO	0								
		MCU_GPIO0_1	7	IO	焊盘								
B12	MCU_SPI0_D0 PADCONFIG MCU_PADCONFIG3 0x0408400C	MCU_SPI0_D0	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_GPIO0_3	7	IO	焊盘								
C11	MCU_SPI0_D1 PADCONFIG MCU_PADCONFIG4 0x04084010	MCU_SPI0_D1	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_GPIO0_4	7	IO	焊盘								
B5	MCU_UART0_CTSn PADCONFIG MCU_PADCONFIG7 0x0408401C	MCU_UART0_CTSn	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		MCU_TIMER_IO0	1	IO	0								
		MCU_SPI1_D0	3	IO	0								
		MCU_GPIO0_7	7	IO	焊盘								

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
C5	MCU_UART0_RTSn PADCONFIG MCU_PADCONFIG8 0x04084020	MCU_UART0_RTSn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		MCU_TIMER_IO1	1	IO	0								
		MCU_SPI1_D1	3	IO	0								
		MCU_GPIO0_8	7	IO	焊盘								
B8	MCU_UART0_RXD PADCONFIG MCU_PADCONFIG5 0x04084014	MCU_UART0_RXD	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		MCU_GPIO0_5	7	IO	焊盘								
B4	MCU_UART0_TXD PADCONFIG MCU_PADCONFIG6 0x04084018	MCU_UART0_TXD	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		MCU_GPIO0_6	7	IO	焊盘								
AC24	MDIO0_MDC PADCONFIG PADCONFIG88 0x000F4160	MDIO0_MDC	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		GPIO0_86	7	IO	焊盘								
AD25	MDIO0_MDIO PADCONFIG PADCONFIG87 0x000F415C	MDIO0_MDIO	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		GPIO0_85	7	IO	焊盘								
AC1	MMC0_CALPAD	MMC0_CALPAD		A					1.8V	VDDS_MMC0		eMMCPHY	
AE1	MMC0_CLK	MMC0_CLK		IO	0	开启/低电平/关闭	开启/SS/关闭		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
AE2	MMC0_CMD	MMC0_CMD		IO	1	开启/关闭/上拉	开启/SS/上拉		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
AD1	MMC0_DS	MMC0_DS		IO	1	开启/关闭/下拉	开启/关闭/下拉		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
H24	MMC1_CLK PADCONFIG PADCONFIG141 0x000F4234	MMC1_CLK	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD
		TIMER_IO4	2	IO	0								
		UART3_RXD	3	IO	0								
		SPI1_CS0	5	IO	0								
		SPI2_CS2	6	IO	0								
GPIO1_46	7	IO	0										
H22	MMC1_CMD PADCONFIG PADCONFIG143 0x000F423C	MMC1_CMD	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD
		TIMER_IO5	2	IO	1								
		UART3_TXD	3	IO	1								
		SPI1_CLK	5	IO	1								
		SPI2_CS0	6	IO	1								
GPIO1_47	7	IO	1										

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
B24	MMC1_SDCD PADCONFIG PADCONFIG144 0x000F4240	MMC1_SDCD	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART6_RXD	1	I	0								
		TIMER_IO6	2	I	0								
		UART3_RTSn	3	I	0								
		MCAN1_TX	4	I	0								
		SPI1_CS3	5	I	0								
		SPI2_CLK	6	I	0								
GPIO1_48	7	I	0										
A24	MMC1_SDWP PADCONFIG PADCONFIG145 0x000F4244	MMC1_SDWP	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART6_TXD	1	I	0								
		TIMER_IO7	2	I	0								
		UART3_CTSn	3	I	0								
		MCAN1_RX	4	I	0								
		SPI1_CS1	5	I	0								
		GPIO1_49	7	I	0								
H26	MMC2_CLK PADCONFIG PADCONFIG70 0x000F4118	MMC2_CLK	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV6	是	SDIO	PU/PD
		MCASP1_ACLKR	1	IO	0								
		MCASP1_AXR5	2	IO	0								
		UART6_RXD	3	I	1								
		EHRPWM0_SYNCI	4	I	0								
		I2C3_SCL	6	IOD	1								
		GPIO0_69	7	IO	焊盘								
F27	MMC2_CMD PADCONFIG PADCONFIG72 0x000F4120	MMC2_CMD	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV6	是	SDIO	PU/PD
		MCASP1_AFSR	1	IO	0								
		MCASP1_AXR4	2	IO	0								
		UART6_TXD	3	O									
		EHRPWM0_SYNCO	4	O									
		EHRPWM_TZn_IN0	5	I	0								
		I2C3_SDA	6	IOD	1								
		GPIO0_70	7	IO	焊盘								
F26	MMC2_SDCD PADCONFIG PADCONFIG73 0x000F4124	MMC2_SDCD	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV6	是	LVCMOS	PU/PD
		MCASP1_ACLKX	1	IO	0								
		UART4_RXD	3	I	1								
		EHRPWM2_A	4	IO	0								
		EHRPWM_TZn_IN1	5	I	0								
		GPIO0_71	7	IO	焊盘								

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
H21	MMC2_SDWP PADCONFIG PADCONFIG74 0x000F4128	MMC2_SDWP	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV6	是	LVCMOS	PU/PD
		MCASP1_AFSX	1	IO	0								
		UART4_TXD	3	O									
		EHRPWM2_B	4	IO	0								
		EHRPWM_TZn_IN2	5	I	0								
		GPIO0_72	7	IO	焊盘								
AD3	MMC0_DAT0	MMC0_DAT0		IO	1	开启/关闭/上拉	开启/SS/上拉		1.8V	VDD5_MMC0		eMMCPHY	PU/PD
AD2	MMC0_DAT1	MMC0_DAT1		IO	1	开启/关闭/上拉	开启/SS/上拉		1.8V	VDD5_MMC0		eMMCPHY	PU/PD
AB4	MMC0_DAT2	MMC0_DAT2		IO	1	开启/关闭/上拉	开启/SS/上拉		1.8V	VDD5_MMC0		eMMCPHY	PU/PD
AC2	MMC0_DAT3	MMC0_DAT3		IO	1	开启/关闭/上拉	开启/SS/上拉		1.8V	VDD5_MMC0		eMMCPHY	PU/PD
AC3	MMC0_DAT4	MMC0_DAT4		IO	1	开启/关闭/上拉	开启/SS/上拉		1.8V	VDD5_MMC0		eMMCPHY	PU/PD
AB3	MMC0_DAT5	MMC0_DAT5		IO	1	开启/关闭/上拉	开启/SS/上拉		1.8V	VDD5_MMC0		eMMCPHY	PU/PD
AF1	MMC0_DAT6	MMC0_DAT6		IO	1	开启/关闭/上拉	开启/SS/上拉		1.8V	VDD5_MMC0		eMMCPHY	PU/PD
AB2	MMC0_DAT7	MMC0_DAT7		IO	1	开启/关闭/上拉	开启/SS/上拉		1.8V	VDD5_MMC0		eMMCPHY	PU/PD
H23	MMC1_DAT0 PADCONFIG PADCONFIG140 0x000F4230	MMC1_DAT0	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD
		CP_GEMAC_CPTS0_HW2TSPUSH	1	IO	1								
		TIMER_IO3	2	IO	1								
		UART2_CTSn	3	IO	1								
		ECAP2_IN_APWM_OUT	4	IO	1								
		SPI2_D1	6	IO	1								
		GPIO1_45	7	IO	1								
H20	MMC1_DAT1 PADCONFIG PADCONFIG139 0x000F422C	MMC1_DAT1	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD
		CP_GEMAC_CPTS0_HW1TSPUSH	1	IO	1								
		TIMER_IO2	2	IO	1								
		UART2_RTSn	3	IO	1								
		ECAP1_IN_APWM_OUT	4	IO	1								
		SPI1_CS2	5	IO	1								
		SPI2_D0	6	IO	1								
		GPIO1_44	7	IO	1								

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
J23	MMC1_DAT2 PADCONFIG PADCONFIG138 0x000F4228	MMC1_DAT2	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD
		CP_GEMAC_CPTS0_TS_SYNC	1	IO	1								
		TIMER_IO1	2	IO	1								
		UART2_TXD	3	IO	1								
		MCAN1_RX	4	IO	1								
		SPI1_D1	5	IO	1								
		SPI2_CS3	6	IO	1								
GPIO1_43	7	IO	1										
H25	MMC1_DAT3 PADCONFIG PADCONFIG137 0x000F4224	MMC1_DAT3	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD
		CP_GEMAC_CPTS0_TS_COMP	1	IO	1								
		TIMER_IO0	2	IO	1								
		UART2_RXD	3	IO	1								
		MCAN1_TX	4	IO	1								
		SPI1_D0	5	IO	1								
		SPI2_CS1	6	IO	1								
GPIO1_42	7	IO	1										
G26	MMC2_DAT0 PADCONFIG PADCONFIG69 0x000F4114	MMC2_DAT0	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV6	是	SDIO	PU/PD
		MCASP1_AXR0	1	IO	0								
		EHRPWM1_B	4	IO	0								
		I2C2_SCL	5	IOD	1								
		MCASP4_AXR9	6	IO	0								
		GPIO0_68	7	IO	焊盘								
G27	MMC2_DAT1 PADCONFIG PADCONFIG68 0x000F4110	MMC2_DAT1	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV6	是	SDIO	PU/PD
		MCASP1_AXR1	1	IO	0								
		EHRPWM1_A	4	IO	0								
		I2C2_SDA	5	IOD	1								
		MCASP4_AXR8	6	IO	0								
		GPIO0_67	7	IO	焊盘								
H27	MMC2_DAT2 PADCONFIG PADCONFIG67 0x000F410C	MMC2_DAT2	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV6	是	SDIO	PU/PD
		MCASP1_AXR2	1	IO	0								
		UART5_TXD	3	O									
		EHRPWM0_B	4	IO	0								
		I2C2_SDA	5	IOD	1								
		MCASP3_AXR9	6	IO	0								
GPIO0_66	7	IO	焊盘										

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
J27	MMC2_DAT3 PADCONFIG PADCONFIG66 0x000F4108	MMC2_DAT3	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV6	是	SDIO	PU/PD
		MCASP1_AXR3	1	IO	0								
		UART5_RXD	3	I	1								
		EHRPWM0_A	4	IO	0								
		MCASP3_AXR8	6	IO	0								
GPIO0_65	7	IO	焊盘										
AF23	OLDI0_A0N PADCONFIG PADCONFIG152 0x000F4260	OLDI0_A0N	0	IO	0	关闭/关闭/不适用	关闭/关闭/不适用	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_53	7	IO	焊盘								
AG24	OLDI0_A0P PADCONFIG PADCONFIG151 0x000F425C	OLDI0_A0P	0	IO	0	关闭/关闭/不适用	关闭/关闭/不适用	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_52	7	IO	焊盘								
AG22	OLDI0_A1N PADCONFIG PADCONFIG154 0x000F4268	OLDI0_A1N	0	IO	0	关闭/关闭/不适用	关闭/关闭/不适用	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_55	7	IO	焊盘								
AG23	OLDI0_A1P PADCONFIG PADCONFIG153 0x000F4264	OLDI0_A1P	0	IO	0	关闭/关闭/不适用	关闭/关闭/不适用	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_54	7	IO	焊盘								
AB20	OLDI0_A2N PADCONFIG PADCONFIG156 0x000F4270	OLDI0_A2N	0	IO	0	关闭/关闭/不适用	关闭/关闭/不适用	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_57	7	IO	焊盘								
AB21	OLDI0_A2P PADCONFIG PADCONFIG155 0x000F426C	OLDI0_A2P	0	IO	0	关闭/关闭/不适用	关闭/关闭/不适用	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_56	7	IO	焊盘								
AG20	OLDI0_A3N PADCONFIG PADCONFIG158 0x000F4278	OLDI0_A3N	0	IO	0	关闭/关闭/不适用	关闭/关闭/不适用	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_59	7	IO	焊盘								
AG21	OLDI0_A3P PADCONFIG PADCONFIG157 0x000F4274	OLDI0_A3P	0	IO	0	关闭/关闭/不适用	关闭/关闭/不适用	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_58	7	IO	焊盘								
AD21	OLDI0_A4N PADCONFIG PADCONFIG160 0x000F4280	OLDI0_A4N	0	IO	0	关闭/关闭/不适用	关闭/关闭/不适用	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_61	7	IO	焊盘								

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
AC21	PADCONFIG PADCONFIG159 0x000F427C	OLDI0_A4P	0	IO	0	关闭/关闭/不适用	关闭/关闭/不适用	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_60	7	IO	焊盘								
AF19	PADCONFIG PADCONFIG162 0x000F4288	OLDI0_A5N	0	IO	0	关闭/关闭/不适用	关闭/关闭/不适用	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_63	7	IO	焊盘								
AF18	PADCONFIG PADCONFIG161 0x000F4284	OLDI0_A5P	0	IO	0	关闭/关闭/不适用	关闭/关闭/不适用	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_62	7	IO	焊盘								
AG17	PADCONFIG PADCONFIG164 0x000F4290	OLDI0_A6N	0	IO	0	关闭/关闭/不适用	关闭/关闭/不适用	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_65	7	IO	焊盘								
AG18	PADCONFIG PADCONFIG163 0x000F428C	OLDI0_A6P	0	IO	0	关闭/关闭/不适用	关闭/关闭/不适用	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_64	7	IO	焊盘								
AB19	PADCONFIG PADCONFIG166 0x000F4298	OLDI0_A7N	0	IO	0	关闭/关闭/不适用	关闭/关闭/不适用	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_67	7	IO	焊盘								
AA20	PADCONFIG PADCONFIG165 0x000F4294	OLDI0_A7P	0	IO	0	关闭/关闭/不适用	关闭/关闭/不适用	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_66	7	IO	焊盘								
AF21	PADCONFIG PADCONFIG168 0x000F42A0	OLDI0_CLK0N	0	IO	0	关闭/关闭/不适用	关闭/关闭/不适用	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_69	7	IO	焊盘								
AE20	PADCONFIG PADCONFIG167 0x000F429C	OLDI0_CLK0P	0	IO	0	关闭/关闭/不适用	关闭/关闭/不适用	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_68	7	IO	焊盘								
AD20	PADCONFIG PADCONFIG170 0x000F42A8	OLDI0_CLK1N	0	IO	0	关闭/关闭/不适用	关闭/关闭/不适用	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_71	7	IO	焊盘								
AE19	PADCONFIG PADCONFIG169 0x000F42A4	OLDI0_CLK1P	0	IO	0	关闭/关闭/不适用	关闭/关闭/不适用	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_70	7	IO	焊盘								

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
L24	OSPI0_CLK PADCONFIG PADCONFIG0 0x000F4000	OSPI0_CLK	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		GPIO0_0	7	IO	焊盘								
L22	OSPI0_DQS PADCONFIG PADCONFIG2 0x000F4008	OSPI0_DQS	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		UART5_CTSn	5	I	1								
		GPIO0_2	7	IO	焊盘								
L23	OSPI0_LBCLKO PADCONFIG PADCONFIG1 0x000F4004	OSPI0_LBCLKO	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		UART5_RTSn	5	O									
		GPIO0_1	7	IO	焊盘								
K26	OSPI0_CSn0 PADCONFIG PADCONFIG11 0x000F402C	OSPI0_CSn0	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		GPIO0_11	7	IO	焊盘								
K23	OSPI0_CSn1 PADCONFIG PADCONFIG12 0x000F4030	OSPI0_CSn1	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		GPIO0_12	7	IO	焊盘								
K22	OSPI0_CSn2 PADCONFIG PADCONFIG13 0x000F4034	OSPI0_CSn2	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		SPI1_CS1	1	IO	1								
		OSPI0_RESET_OUT1	2	O									
		MCASP1_AFSR	3	IO	0								
		MCASP1_AXR2	4	IO	0								
		UART5_RXD	5	I	1								
		GPIO0_13	7	IO	焊盘								
J22	OSPI0_CSn3 PADCONFIG PADCONFIG14 0x000F4038	OSPI0_CSn3	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		OSPI0_RESET_OUT0	1	O									
		OSPI0_ECC_FAIL	2	I	1								
		MCASP1_ACLKR	3	IO	0								
		MCASP1_AXR3	4	IO	0								
		UART5_TXD	5	O									
		GPIO0_14	7	IO	焊盘								
K27	OSPI0_D0 PADCONFIG PADCONFIG3 0x000F400C	OSPI0_D0	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		GPIO0_3	7	IO	焊盘								
L27	OSPI0_D1 PADCONFIG PADCONFIG4 0x000F4010	OSPI0_D1	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		GPIO0_4	7	IO	焊盘								

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
L26	OSPI0_D2 PADCONFIG PADCONFIG5 0x000F4014	OSPI0_D2	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		GPIO0_5	7	IO	焊盘								
L25	OSPI0_D3 PADCONFIG PADCONFIG6 0x000F4018	OSPI0_D3	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		GPIO0_6	7	IO	焊盘								
L21	OSPI0_D4 PADCONFIG PADCONFIG7 0x000F401C	OSPI0_D4	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		SPI1_CS0	1	IO	1								
		MCASP1_AXR1	2	IO	0								
		UART6_RXD	3	I	1								
		GPIO0_7	7	IO	焊盘								
M26	OSPI0_D5 PADCONFIG PADCONFIG8 0x000F4020	OSPI0_D5	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		SPI1_CLK	1	IO	0								
		MCASP1_AXR0	2	IO	0								
		UART6_TXD	3	O									
		GPIO0_8	7	IO	焊盘								
N27	OSPI0_D6 PADCONFIG PADCONFIG9 0x000F4024	OSPI0_D6	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		SPI1_D0	1	IO	0								
		MCASP1_ACLKX	2	IO	0								
		UART6_RTSn	3	O									
		GPIO0_9	7	IO	焊盘								
M27	OSPI0_D7 PADCONFIG PADCONFIG10 0x000F4028	OSPI0_D7	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		SPI1_D1	1	IO	0								
		MCASP1_AFSX	2	IO	0								
		UART6_CTSn	3	I	1								
		GPIO0_10	7	IO	焊盘								
F25	PCIE0_CLKREQn PADCONFIG PADCONFIG171 0x000F42AC	PCIE0_CLKREQn	0	IOD	0	/低/不适用	开启/SS/不适用	0	1.8V/3.3V	VDDSHV0	是	I2C 开	
		GPIO1_72	7	IOD	焊盘								
A8	PMIC_LPM_EN0 PADCONFIG MCU_PADCONFIG32 0x04084080	PMIC_LPM_EN0	0	O		关闭/关闭/关闭	关闭/SS/关闭	0	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		MCU_GPIO0_22	7	IO	焊盘								
D27	PORz_OUT PADCONFIG PADCONFIG148 0x000F4250	PORz_OUT	0	O		关闭/低电平/关闭	关闭/SS/关闭		1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
E27	RESETSTATz PADCONFIG PADCONFIG147 0x000F424C	RESETSTATz	0	O		关闭/低电平/关闭	关闭/SS/关闭		1.8V/3.3V	VDDSHV0	是	LVC MOS	PU/PD
E26	RESET_REQz PADCONFIG PADCONFIG146 0x000F4248	RESET_REQz	0	I		开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV0	是	LVC MOS	PU/PD
AE27	RGMII1_RXC PADCONFIG PADCONFIG82 0x000F4148	RGMII1_RXC	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVC MOS	PU/PD
		RMII1_REF_CLK	1	I	0								
		GPIO0_80	7	IO	焊盘								
AD23	RGMII1_RX_CTL PADCONFIG PADCONFIG81 0x000F4144	RGMII1_RX_CTL	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVC MOS	PU/PD
		RMII1_RX_ER	1	I	0								
		GPIO0_79	7	IO	焊盘								
AG26	RGMII1_TXC PADCONFIG PADCONFIG76 0x000F4130	RGMII1_TXC	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVC MOS	PU/PD
		RMII1_CRSDV	1	I	0								
		GPIO0_74	7	IO	焊盘								
AF25	RGMII1_TX_CTL PADCONFIG PADCONFIG75 0x000F412C	RGMII1_TX_CTL	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVC MOS	PU/PD
		RMII1_TX_EN	1	O									
		GPIO0_73	7	IO	焊盘								
AC25	RGMII1_RD0 PADCONFIG PADCONFIG83 0x000F414C	RGMII1_RD0	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVC MOS	PU/PD
		RMII1_RXD0	1	I	0								
		GPIO0_81	7	IO	焊盘								
AD27	RGMII1_RD1 PADCONFIG PADCONFIG84 0x000F4150	RGMII1_RD1	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVC MOS	PU/PD
		RMII1_RXD1	1	I	0								
		GPIO0_82	7	IO	焊盘								
AE24	RGMII1_RD2 PADCONFIG PADCONFIG85 0x000F4154	RGMII1_RD2	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVC MOS	PU/PD
		GPIO0_83	7	IO	焊盘								
AE26	RGMII1_RD3 PADCONFIG PADCONFIG86 0x000F4158	RGMII1_RD3	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVC MOS	PU/PD
		GPIO0_84	7	IO	焊盘								
AF27	RGMII1_TD0 PADCONFIG PADCONFIG77 0x000F4134	RGMII1_TD0	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVC MOS	PU/PD
		RMII1_TXD0	1	O									
		GPIO0_75	7	IO	焊盘								

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
AE23	RGMII1_TD1 PADCONFIG PADCONFIG78 0x000F4138	RGMII1_TD1	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		RGMII1_TXD1	1	O									
		GPIO0_76	7	IO	焊盘								
AG25	RGMII1_TD2 PADCONFIG PADCONFIG79 0x000F413C	RGMII1_TD2	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		GPIO0_77	7	IO	焊盘								
AF24	RGMII1_TD3 PADCONFIG PADCONFIG80 0x000F4140	RGMII1_TD3	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		CLKOUT0	1	O									
		GPIO0_78	7	IO	焊盘								
E9	RSVD0	RSVD0		不适用									
AA19	RSVD1	RSVD1		不适用									
AB7	RSVD2	RSVD2		不适用									
AC5	RSVD3	RSVD3		不适用									
AB10	RSVD4	RSVD4		不适用									
AA12	RSVD5	RSVD5		不适用									
AB12	RSVD6	RSVD6		不适用									
AB13	RSVD7	RSVD7		不适用									
AA15	RSVD8	RSVD8		不适用									
AA14	RSVD9	RSVD9		不适用									
L5	RSVD10	RSVD10		不适用									
M6	RSVD11	RSVD11		不适用									
AB16	RSVD12	RSVD12		不适用									
AB18	RSVD13	RSVD13		不适用									
C6	RSVD14	RSVD14		不适用									
F8	RSVD15	RSVD15		不适用									
B6	RSVD16	RSVD16		不适用									
C17	RSVD17	RSVD17		不适用									
D16	RSVD18	RSVD18		不适用									
D14	RSVD19	RSVD19		不适用									
D13	RSVD20	RSVD20		不适用									
M2	RSVD21	RSVD21		不适用									
E15	SERDES0_REXT	SERDES0_REXT		A					1.8V	VDDA_1P8_SERDES		4L_PHY	
F14	SERDES1_REXT	SERDES1_REXT		A					1.8V	VDDA_1P8_SERDES		4L_PHY	
A17	SERDES0_REFCLK0N	SERDES0_REFCLK0N		IO					1.8V	VDDA_1P8_SERDES		4L_PHY	
A16	SERDES0_REFCLK0P	SERDES0_REFCLK0P		IO					1.8V	VDDA_1P8_SERDES		4L_PHY	
A20	SERDES0_RX0_N	SERDES0_RX0_N		I					1.8V	VDDA_1P8_SERDES		4L_PHY	

表 5-1. 引脚属性 (AMW 封装) (续)

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用器模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 (RX/TX/拉动) [7]	复位之后的焊球状态 (RX/TX/拉动) [8]	复位之后的多路复用器模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]	
A19	SERDES0_RX0_P	SERDES0_RX0_P		I					1.8V	VDDA_1P8_SERDES		4L_PHY		
B19	SERDES0_TX0_N	SERDES0_TX0_N		O					1.8V	VDDA_1P8_SERDES		4L_PHY		
B18	SERDES0_TX0_P	SERDES0_TX0_P		O					1.8V	VDDA_1P8_SERDES		4L_PHY		
B15	SERDES1_REFCLK0N	SERDES1_REFCLK0N		IO					1.8V	VDDA_1P8_SERDES		4L_PHY		
B16	SERDES1_REFCLK0P	SERDES1_REFCLK0P		IO					1.8V	VDDA_1P8_SERDES		4L_PHY		
C14	SERDES1_RX0_N	SERDES1_RX0_N		I					1.8V	VDDA_1P8_SERDES		4L_PHY		
C15	SERDES1_RX0_P	SERDES1_RX0_P		I					1.8V	VDDA_1P8_SERDES		4L_PHY		
A13	SERDES1_TX0_N	SERDES1_TX0_N		O					1.8V	VDDA_1P8_SERDES		4L_PHY		
A14	SERDES1_TX0_P	SERDES1_TX0_P		O					1.8V	VDDA_1P8_SERDES		4L_PHY		
D20	SPI0_CLK PADCONFIG PADCONFIG111 0x000F41BC	SPI0_CLK	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	
		CP_GEMAC_CPTS0_TS_SYNC	1	O										
		EHRPWM1_A	2	IO	0									
		GPIO1_17	7	IO	焊盘									
B20	SPI0_CS0 PADCONFIG PADCONFIG109 0x000F41B4	SPI0_CS0	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	
		EHRPWM0_A	2	IO	0									
		GPIO1_15	7	IO	焊盘									
C20	SPI0_CS1 PADCONFIG PADCONFIG110 0x000F41B8	SPI0_CS1	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	
		CP_GEMAC_CPTS0_TS_COMP	1	O										
		EHRPWM0_B	2	IO	0									
		ECAP0_IN_APWM_OUT	3	IO	0									
		MAIN_ERRORn	5	IO	1									
		GPIO1_16	7	IO	焊盘									
E19	SPI0_D0 PADCONFIG PADCONFIG112 0x000F41C0	SPI0_D0	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	
		CP_GEMAC_CPTS0_HW1TSPUSH	1	I	0									
		EHRPWM1_B	2	IO	0									
		GPIO1_18	7	IO	焊盘									
E20	SPI0_D1 PADCONFIG PADCONFIG113 0x000F41C4	SPI0_D1	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	
		CP_GEMAC_CPTS0_HW2TSPUSH	1	I	0									
		EHRPWM_TZn_IN0	2	I	0									
		GPIO1_19	7	IO	焊盘									
A11	TCK PADCONFIG MCU_PADCONFIG25 0x04084064	TCK	0	I		开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD	

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
E12	TDI PADCONFIG MCU_PADCONFIG27 0x0408406C	TDI	0	I		开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV_MCU	是	LVC MOS	PU/PD
F10	TDO PADCONFIG MCU_PADCONFIG28 0x04084070	TDO	0	OZ		关闭/关闭/上拉	关闭/SS/上拉	0	1.8V/3.3V	VDDSHV_MCU	是	LVC MOS	PU/PD
F11	TMS PADCONFIG MCU_PADCONFIG29 0x04084074	TMS	0	I		开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV_MCU	是	LVC MOS	PU/PD
B10	TRSTn PADCONFIG MCU_PADCONFIG26 0x04084068	TRSTn	0	I		开启/关闭/下拉	开启/关闭/下拉	0	1.8V/3.3V	VDDSHV_MCU	是	LVC MOS	PU/PD
E22	UART0_CTSn PADCONFIG PADCONFIG116 0x000F41D0	UART0_CTSn	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVC MOS	PU/PD
		SPI0_CS2	1	IO	1								
		I2C3_SCL	2	IOD	1								
		UART2_RXD	3	I	1								
		TIMER_IO6	4	IO	0								
		AUDIO_EXT_REFCLK0	5	IO	0								
		GPIO1_22	7	IO	焊盘								
		MCASP2_AFSX	8	IO	0								
MMC2_SDCD	9	I	0										
B21	UART0_RTSn PADCONFIG PADCONFIG117 0x000F41D4	UART0_RTSn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVC MOS	PU/PD
		SPI0_CS3	1	IO	1								
		I2C3_SDA	2	IOD	1								
		UART2_TXD	3	O									
		TIMER_IO7	4	IO	0								
		AUDIO_EXT_REFCLK1	5	IO	0								
		GPIO1_23	7	IO	焊盘								
		MCASP2_ACLKX	8	IO	0								
MMC2_SDWP	9	I	0										
F19	UART0_RXD PADCONFIG PADCONFIG114 0x000F41C8	UART0_RXD	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVC MOS	PU/PD
		ECAP1_IN_APWM_OUT	1	IO	0								
		SPI2_D0	2	IO	0								
		EHRPWM2_A	3	IO	0								
		GPIO1_20	7	IO	焊盘								

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]	
F20	UART0_TXD PADCONFIG PADCONFIG115 0x000F41CC	UART0_TXD	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	
		ECAP2_IN_APWM_OUT	1	IO	0									
		SPI2_D1	2	IO	0									
		EHRPWM2_B	3	IO	0									
		GPIO1_21	7	IO	焊盘									
AB5	USB0_DM	USB0_DM		IO				1.8V/3.3V	VDDA_1P8_USB0、 VDDA_3P3_USB0			USB2PHY		
AA6	USB0_DP	USB0_DP		IO				1.8V/3.3V	VDDA_1P8_USB0、 VDDA_3P3_USB0			USB2PHY		
E25	USB0_DRVVBUS PADCONFIG PADCONFIG149 0x000F4254	USB0_DRVVBUS	0	O		关闭/关闭/下拉	关闭/关闭/下拉	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	
		GPIO1_50	7	IO	焊盘									
AA8	USB0_RCALIB	USB0_RCALIB		A					1.8V/3.3V	VDDA_1P8_USB0、 VDDA_3P3_USB0			USB2PHY	
W7	USB0_VBUS	USB0_VBUS		A					1.8V/3.3V	VDDA_1P8_USB0、 VDDA_3P3_USB0			USB2PHY	
E17	USB1_DM	USB1_DM		IO					1.8V/3.3V	VDDA_1P8_USB1、 VDDA_3P3_USB1			USB2PHY	
D17	USB1_DP	USB1_DP		IO					1.8V/3.3V	VDDA_1P8_USB1、 VDDA_3P3_USB1			USB2PHY	
B27	USB1_DRVVBUS PADCONFIG PADCONFIG150 0x000F4258	USB1_DRVVBUS	0	O		关闭/关闭/下拉	关闭/关闭/下拉	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	
		GPIO1_51	7	IO	焊盘									
E18	USB1_RCALIB	USB1_RCALIB		A					1.8V/3.3V	VDDA_1P8_USB1、 VDDA_3P3_USB1			USB2PHY	
F18	USB1_VBUS	USB1_VBUS		A					1.8V/3.3V	VDDA_1P8_USB1、 VDDA_3P3_USB1			USB2PHY	
H12、H13	VDDA_0P85_SERDES	VDDA_0P85_SERDES		PWR										
J13	VDDA_0P85_SERDES_C	VDDA_0P85_SERDES_C		PWR										
W9	VDDA_0P85_DLL_MMC0	VDDA_0P85_DLL_MMC0		PWR										
W13、W16、 Y13	VDDA_1P8_CSI_DSI	VDDA_1P8_CSI_DSI		PWR										
G13	VDDA_1P8_SERDES	VDDA_1P8_SERDES		PWR										
W18、Y19	VDDA_1P8_OLDIO	VDDA_1P8_OLDIO		PWR										
Y12	VDDA_1P8_USB0	VDDA_1P8_USB0		PWR										
H16	VDDA_1P8_USB1	VDDA_1P8_USB1		PWR										
Y11	VDDA_3P3_USB0	VDDA_3P3_USB0		PWR										
G15	VDDA_3P3_USB1	VDDA_3P3_USB1		PWR										
W15、Y15	VDDA_CORE_CSI_DSI	VDDA_CORE_CSI_DSI		PWR										

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
Y16	VDDA_CORE_CSI_DSI_CLK	VDDA_CORE_CSI_DSI_CLK		PWR									
W11	VDDA_CORE_USB0	VDDA_CORE_USB0		PWR									
H15	VDDA_CORE_USB1	VDDA_CORE_USB1		PWR									
P9	VDDA_DDR_PLL0	VDDA_DDR_PLL0		PWR									
G11、H11	VDDA_MCU	VDDA_MCU		PWR									
L15	VDDA_PLL0	VDDA_PLL0		PWR									
K10	VDDA_PLL1	VDDA_PLL1		PWR									
M12	VDDA_PLL2	VDDA_PLL2		PWR									
R11	VDDA_PLL3	VDDA_PLL3		PWR									
V18	VDDA_PLL4	VDDA_PLL4		PWR									
P16	VDDA_PLL5	VDDA_PLL5		PWR									
Y17	VDDA_TEMP0	VDDA_TEMP0		PWR									
T11	VDDA_TEMP1	VDDA_TEMP1		PWR									
L9	VDDA_TEMP2	VDDA_TEMP2		PWR									
M13、M19、 N13、N19、 U10、U17、 V10、V17	VDDR_CORE	VDDR_CORE		PWR									
G18、H18	VDDSHV0	VDDSHV0		PWR									
K20、L20	VDDSHV1	VDDSHV1		PWR									
T19、T20	VDDSHV2	VDDSHV2		PWR									
M20、P20、 R20	VDDSHV3	VDDSHV3		PWR									
H19	VDDSHV5	VDDSHV5		PWR									
J21	VDDSHV6	VDDSHV6		PWR									
H9	VDDSHV_CANUART	VDDSHV_CANUART		PWR									
H10	VDDSHV_MCU	VDDSHV_MCU		PWR									
AB1、D1、 L7、L8、 N7、N8、 T7、T8	VDDS_DDR	VDDS_DDR		PWR									
P8	VDDS_DDR_C	VDDS_DDR_C		PWR									
Y9	VDDS_MMCO	VDDS_MMCO		PWR									
K8	VDDS_OSC0	VDDS_OSC0		PWR									
J8	VDD_CANUART	VDD_CANUART		PWR									

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]	
J11, J14, J16, J18, K11, K12, K14, K16, K18, K9, L12, L17, M10, M15, M17, M9, N10, N11, N14, N16, N18, P11, P12, P14, P18, R12, R13, R15, R17, R9, T13, T15, T17, T9, U12, U14, U16, U8, V12, V14, V16, V19, V8, W19, Y20, Y21	VDD_CORE	VDD_CORE		PWR										
W10	VDD_MMC0	VDD_MMC0		PWR										
J7	VMON_1P8_SOC	VMON_1P8_SOC		A										
K7	VMON_3P3_SOC	VMON_3P3_SOC		A										
G7	VMON_ER_VSYS	VMON_ER_VSYS		A										
AC27	VOUT0_DE PADCONFIG PADCONFIG63 0x000F40FC	VOUT0_DE	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD	
		GPMC0_A17	1	OZ										
		RGMI2_RD1	2	I	0									
		RMII2_RXD1	3	I	0									
		UART3_CTSn	4	I	1									
		MCASP4_AXR5	6	IO	0									
GPIO0_62	7	IO	焊盘											
AB24	VOUT0_HSYNC PADCONFIG PADCONFIG62 0x000F40F8	VOUT0_HSYNC	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD	
		GPMC0_A16	1	OZ										
		RGMI2_RD0	2	I	0									
		RMII2_RXD0	3	I	0									
		UART3_RTSn	4	O										
		MCASP4_AXR4	6	IO	0									
GPIO0_61	7	IO	焊盘											

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
AC26	VOUT0_PCLK PADCONFIG PADCONFIG65 0x000F4104	VOUT0_PCLK	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		GPMC0_A19	1	OZ									
		RGMII2_RD3	2	I	0								
		UART2_CTSn	4	I	1								
		MCASP4_AFSX	6	IO	0								
GPIO0_64	7	IO	焊盘										
AB23	VOUT0_VSYNC PADCONFIG PADCONFIG64 0x000F4100	VOUT0_VSYNC	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		GPMC0_A18	1	OZ									
		RGMII2_RD2	2	I	0								
		UART2_RTSn	4	O									
		MCASP4_ACLKX	6	IO	0								
GPIO0_63	7	IO	焊盘										
W27	VOUT0_DATA0 PADCONFIG PADCONFIG46 0x000F40B8	VOUT0_DATA0	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		GPMC0_A0	1	OZ									
		UART2_RXD	4	I	1								
		MCASP3_ACLKX	6	IO	0								
GPIO0_45	7	IO	焊盘										
W25	VOUT0_DATA1 PADCONFIG PADCONFIG47 0x000F40BC	VOUT0_DATA1	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		GPMC0_A1	1	OZ									
		UART2_TXD	4	O									
		MCASP3_AFSX	6	IO	0								
GPIO0_46	7	IO	焊盘										
W24	VOUT0_DATA2 PADCONFIG PADCONFIG48 0x000F40C0	VOUT0_DATA2	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		GPMC0_A2	1	OZ									
		UART3_RXD	4	I	1								
		MCASP3_AXR0	6	IO	0								
GPIO0_47	7	IO	焊盘										
W23	VOUT0_DATA3 PADCONFIG PADCONFIG49 0x000F40C4	VOUT0_DATA3	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		GPMC0_A3	1	OZ									
		UART3_TXD	4	O									
		AUDIO_EXT_REFCLK0	5	IO	0								
		MCASP3_AXR1	6	IO	0								
GPIO0_48	7	IO	焊盘										

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
W22	VOUT0_DATA4 PADCONFIG PADCONFIG50 0x000F40C8	VOUT0_DATA4	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		GPMC0_A4	1	OZ									
		UART4_RXD	4	I	1								
		EQEP2_I	5	IO	0								
		MCASP3_AXR2	6	IO	0								
GPIO0_49	7	IO	焊盘										
W21	VOUT0_DATA5 PADCONFIG PADCONFIG51 0x000F40CC	VOUT0_DATA5	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		GPMC0_A5	1	OZ									
		UART4_TXD	4	O									
		EQEP2_S	5	IO	0								
		MCASP3_AXR3	6	IO	0								
GPIO0_50	7	IO	焊盘										
Y26	VOUT0_DATA6 PADCONFIG PADCONFIG52 0x000F40D0	VOUT0_DATA6	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		GPMC0_A6	1	OZ									
		UART5_RXD	4	I	1								
		EQEP2_A	5	I	0								
		MCASP3_AXR6	6	IO	0								
GPIO0_51	7	IO	焊盘										
MCASP3_ACLKR	8	IO	0										
Y27	VOUT0_DATA7 PADCONFIG PADCONFIG53 0x000F40D4	VOUT0_DATA7	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		GPMC0_A7	1	OZ									
		UART5_TXD	4	O									
		EQEP2_B	5	I	0								
		MCASP3_AXR7	6	IO	0								
GPIO0_52	7	IO	焊盘										
MCASP3_AFSR	8	IO	0										
AA24	VOUT0_DATA8 PADCONFIG PADCONFIG54 0x000F40D8	VOUT0_DATA8	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		GPMC0_A8	1	OZ									
		RGMI12_TX_CTL	2	O									
		RMII2_TX_EN	3	O									
		UART6_RXD	4	I	1								
MCASP3_AXR4	6	IO	0										
GPIO0_53	7	IO	焊盘										

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
AA27	VOUT0_DATA9 PADCONFIG PADCONFIG55 0x000F40DC	VOUT0_DATA9	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		GPMC0_A9	1	OZ									
		RGMI2_TXC	2	O									
		RMI2_CRS_DV	3	I	0								
		UART6_TXD	4	O									
		MCASP3_AXR5	6	IO	0								
AA25	VOUT0_DATA10 PADCONFIG PADCONFIG56 0x000F40E0	VOUT0_DATA10	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		GPMC0_A10	1	OZ									
		RGMI2_TD0	2	O									
		RMI2_TXD0	3	O									
		UART6_RTSn	4	O									
		MCASP4_AXR6	6	IO	0								
AB25	VOUT0_DATA11 PADCONFIG PADCONFIG57 0x000F40E4	VOUT0_DATA11	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		GPMC0_A11	1	OZ									
		RGMI2_TD1	2	O									
		RMI2_TXD1	3	O									
		UART6_CTSn	4	I	1								
		MCASP4_AXR7	6	IO	0								
AA23	VOUT0_DATA12 PADCONFIG PADCONFIG58 0x000F40E8	VOUT0_DATA12	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		GPMC0_A12	1	OZ									
		RGMI2_TD2	2	O									
		UART5_RTSn	4	O									
		MCASP4_AXR0	6	IO	0								
		GPIO0_57	7	IO	焊盘								
AA22	VOUT0_DATA13 PADCONFIG PADCONFIG59 0x000F40EC	VOUT0_DATA13	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		GPMC0_A13	1	OZ									
		RGMI2_TD3	2	O									
		CLKOUT0	3	O									
		UART5_CTSn	4	I	1								
		MCASP4_AXR1	6	IO	0								
GPIO0_58	7	IO	焊盘										

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
AB26	VOUT0_DATA14 PADCONFIG PADCONFIG60 0x000F40F0	VOUT0_DATA14	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		GPMC0_A14	1	OZ									
		RGMII2_RX_CTL	2	I	0								
		RMII2_RX_ER	3	I	0								
		UART4_RTSn	4	O									
		MCASP4_AXR2	6	IO	0								
GPIO0_59	7	IO	焊盘										
AB27	VOUT0_DATA15 PADCONFIG PADCONFIG61 0x000F40F4	VOUT0_DATA15	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		GPMC0_A15	1	OZ									
		RGMII2_RXC	2	I	0								
		RMII2_REF_CLK	3	I	0								
		UART4_CTSn	4	I	1								
		MCASP4_AXR3	6	IO	0								
GPIO0_60	7	IO	焊盘										
G9	VPP	VPP		PWR									

表 5-1. 引脚属性 (AMW 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 器 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球状态 (RX/TX/拉动) [7]	复位 之后的 焊球状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 器 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
A1, A18, A21, A27, A4, A7, AA1, AA18, AA21, AA26, AA4, AD26, AG1, AG27, C2, C23, D26, E6, F15, F16, F17, F2, F21, G1, G10, G12, G14, G16, G17, G20, G3, G5, G8, H14, H4, H7, J12, J15, J17, J19, J26, J3, J5, J9, K1, K13, K15, K17, K19, L10, L11, L13, L14, L16, L18, M1, M11, M14, M16, M18, M7, M8, N12, N15, N17, N26, N9, P10, P13, P15, P17, P19, P5, P7, R1, R10, R14, R16, R18, R19, R4, R7, R8, T10, T12, T14, T16, T18, T26, U11, U13, U15, U18, U19, U3, U7, U9, V1, V11, V 13, V15, V20, V 4, V7, V9, W12, W14, W17, W20, W5, W8, Y10, Y14, Y18, Y7, Y8	VSS	VSS		GND									
F12	WKUP_CLKOUT0 PADCONFIG MCU_PADCONFIG33 0x04084084	WKUP_CLKOUT0 MCU_GPI00_23	0 7	O IO		关闭/关闭/关闭	关闭/SS/关闭	0	1.8V/3.3V	VDDSHV_MCU	是	LVC MOS	PU/PD

表 5-1. 引脚属性 (AMW 封装) (续)

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用器模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 (RX/TX/拉动) [7]	复位之后的焊球状态 (RX/TX/拉动) [8]	复位之后的多路复用器模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
B9	PADCONFIG MCU_PADCONFIG19 0x0408404C	WKUP_I2C0_SCL	0	IOD	1	关闭/关闭/不适用	开启/SS/不适用	7	1.8V/3.3V	VDDSHV_MCU	是	I2C 开	
		MCU_GPIO0_19	7	IOD	焊盘								
D11	PADCONFIG MCU_PADCONFIG20 0x04084050	WKUP_I2C0_SDA	0	IOD	1	关闭/关闭/不适用	开启/SS/不适用	7	1.8V/3.3V	VDDSHV_MCU	是	I2C 开	
		MCU_GPIO0_20	7	IOD	焊盘								
A3	WKUP_LFOSC0_XI	WKUP_LFOSC0_XI		I					1.8V	VDDS_OSC0		LFXOSC	
A2	WKUP_LFOSC0_XO	WKUP_LFOSC0_XO		O					1.8V	VDDS_OSC0		LFXOSC	
C4	PADCONFIG MCU_PADCONFIG11 0x0408402C	WKUP_UART0_CTSn	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		WKUP_TIMER_IO0	1	IO	0								
		MCU_SPI1_CS0	3	IO	1								
		MCU_GPIO0_11	7	IO	焊盘								
C3	PADCONFIG MCU_PADCONFIG12 0x04084030	WKUP_UART0_RTSn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		WKUP_TIMER_IO1	1	IO	0								
		MCU_SPI1_CLK	3	IO	0								
		MCU_GPIO0_12	7	IO	焊盘								
B3	PADCONFIG MCU_PADCONFIG9 0x04084024	WKUP_UART0_RXD	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		MCU_SPI0_CS2	2	IO	1								
		MCU_GPIO0_9	7	IO	焊盘								
C8	PADCONFIG MCU_PADCONFIG10 0x04084028	WKUP_UART0_TXD	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
		MCU_SPI1_CS2	2	IO	1								
		MCU_GPIO0_10	7	IO	焊盘								

5.3 信号说明

根据引脚多路复用选项的软件配置，许多信号可在多个引脚上使用。

以下列表说明了列标题：

1. **信号名称**：通过引脚的信号的名称。

备注

每个信号说明表中提供的信号名称和说明表示在引脚上实现并通过 PADCONFIG 寄存器选择的引脚多路复用信号功能。器件子系统可以提供信号功能的二次多路复用，这些表中没有说明这些功能。有关辅助多路复用信号功能的更多信息，请参阅器件 TRM 的相应外设章节。

2. **引脚类型**：信号方向和类型：

- I = 输入
- O = 输出
- OD = 输出，具有开漏输出功能
- IO = 输入、输出或同时输入和输出
- IOD = 输入、输出或同时输入和输出，具有开漏输出功能
- IOZ = 输入、输出或同时输入和输出，具有三态输出功能
- OZ = 具有三态输出功能的输出
- A = 模拟
- PWR = 电源
- GND = 接地
- CAP = LDO 电容器

3. **说明**：信号说明

4. **焊球**：与信号相关的球号

5.3.1 CPSW3G

5.3.1.1 MAIN 域

表 5-2. CPSW3G0 RGMII1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
RGMII1_RXC	I	RGMII 接收时钟	AE27
RGMII1_RX_CTL	I	RGMII 接收控制	AD23
RGMII1_TXC	O	RGMII 发送时钟	AG26
RGMII1_TX_CTL	O	RGMII 发送控制	AF25
RGMII1_RD0	I	RGMII 接收数据 0	AC25
RGMII1_RD1	I	RGMII 接收数据 1	AD27
RGMII1_RD2	I	RGMII 接收数据 2	AE24
RGMII1_RD3	I	RGMII 接收数据 3	AE26
RGMII1_TD0	O	RGMII 发送数据 0	AF27
RGMII1_TD1	O	RGMII 发送数据 1	AE23
RGMII1_TD2	O	RGMII 发送数据 2	AG25
RGMII1_TD3	O	RGMII 发送数据 3	AF24

表 5-3. CPSW3G0 RGMII2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
RGMII2_RXC	I	RGMII 接收时钟	AB27
RGMII2_RX_CTL	I	RGMII 接收控制	AB26
RGMII2_TXC	O	RGMII 发送时钟	AA27
RGMII2_TX_CTL	O	RGMII 发送控制	AA24
RGMII2_RD0	I	RGMII 接收数据 0	AB24
RGMII2_RD1	I	RGMII 接收数据 1	AC27
RGMII2_RD2	I	RGMII 接收数据 2	AB23
RGMII2_RD3	I	RGMII 接收数据 3	AC26
RGMII2_TD0	O	RGMII 发送数据 0	AA25
RGMII2_TD1	O	RGMII 发送数据 1	AB25
RGMII2_TD2	O	RGMII 发送数据 2	AA23
RGMII2_TD3	O	RGMII 发送数据 3	AA22

表 5-4. CPSW3G0 RMII1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
RMII1_CRSDV	I	RMII 载波侦听/数据有效	AG26
RMII1_REF_CLK	I	RMII 基准时钟	AE27
RMII1_RX_ER	I	RMII 接收数据错误	AD23
RMII1_TX_EN	O	RMII 发送使能	AF25
RMII1_RXD0	I	RMII 接收数据 0	AC25
RMII1_RXD1	I	RMII 接收数据 1	AD27
RMII1_TXD0	O	RMII 发送数据 0	AF27
RMII1_TXD1	O	RMII 发送数据 1	AE23

表 5-5. CPSW3G0 RMII2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
RMII2_CRSDV	I	RMII 载波侦听/数据有效	AA27
RMII2_REF_CLK	I	RMII 基准时钟	AB27
RMII2_RX_ER	I	RMII 接收数据错误	AB26
RMII2_TX_EN	O	RMII 发送使能	AA24
RMII2_RXD0	I	RMII 接收数据 0	AB24
RMII2_RXD1	I	RMII 接收数据 1	AC27
RMII2_TXD0	O	RMII 发送数据 0	AA25
RMII2_TXD1	O	RMII 发送数据 1	AB25

5.3.2 CPTS

5.3.2.1 MAIN 域

表 5-6. CPTS 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
CP_GEMAC_CPTS0_RFT_CLK	I	CPTS 基准时钟输入	A23

表 5-6. CPTS 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
CP_GEMAC_CPTS0_TS_COMP	O	来自 CPSW3G0 CPTS 的 CPTS 时间戳计数器比较输出	C20、H25
CP_GEMAC_CPTS0_TS_SYNC	IO	来自 CPSW3G0 CPTS 的 CPTS 时间戳计数器位输出	D20、J23
CP_GEMAC_CPTS0_HW1TSPUSH	IO	时间同步路由器的 CPTS 硬件时间戳推送输入	E19、H20
CP_GEMAC_CPTS0_HW2TSPUSH	IO	时间同步路由器的 CPTS 硬件时间戳推送输入	E20、H23

5.3.3 CSI-2

5.3.3.1 MAIN 域

表 5-7. CSIRX0 信号说明

信号名称 [1] (2)	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
CSI0_RXCLKN	I	CSI 差分接收时钟输入 (负)	AC7
CSI0_RXCLKP	I	CSI 差分接收时钟输入 (正)	AC6
CSI0_RXRCALIB (1)	A	CSI 引脚连接到外部电阻器, 用于片上电阻器校准	AB8
CSI0_RXN0	I	CSI 差分接收输入 (负)	AD6
CSI0_RXN1	I	CSI 差分接收输入 (负)	AE5
CSI0_RXN2	I	CSI 差分接收输入 (负)	AF4
CSI0_RXN3	I	CSI 差分接收输入 (负)	AG3
CSI0_RXP0	I	CSI 差分接收输入 (正)	AD5
CSI0_RXP1	I	CSI 差分接收输入 (正)	AE4
CSI0_RXP2	I	CSI 差分接收输入 (正)	AF3
CSI0_RXP3	I	CSI 差分接收输入 (正)	AG2

(1) 必须在该引脚和 VSS 之间连接一个外部 $499\ \Omega \pm 1\%$ 电阻器, 该电阻器的最大功耗为 7.2mW。不应向该引脚施加外部电压。

(2) DSI 引脚上提供 CSI TX 功能。有关更多信息, 请参阅节 5.3.5.1.1 DSITX0 信号说明。

表 5-8. CSIRX1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
CSI1_RXCLKN	I	CSI 差分接收时钟输入 (负)	AG6
CSI1_RXCLKP	I	CSI 差分接收时钟输入 (正)	AG5
CSI1_RXRCALIB (1)	A	CSI 引脚连接到外部电阻器, 用于片上电阻器校准	AA10
CSI1_RXN0	I	CSI 差分接收输入 (负)	AF7
CSI1_RXN1	I	CSI 差分接收输入 (负)	AE8
CSI1_RXN2	I	CSI 差分接收输入 (负)	AD9
CSI1_RXN3	I	CSI 差分接收输入 (负)	AC10
CSI1_RXP0	I	CSI 差分接收输入 (正)	AF6
CSI1_RXP1	I	CSI 差分接收输入 (正)	AE7
CSI1_RXP2	I	CSI 差分接收输入 (正)	AD8
CSI1_RXP3	I	CSI 差分接收输入 (正)	AC9

(1) 必须在该引脚和 VSS 之间连接一个外部 $499\ \Omega \pm 1\%$ 电阻器, 该电阻器的最大功耗为 7.2mW。不应向该引脚施加外部电压。

表 5-9. CSIRX2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
CSI2_RXCLKN	I	CSI 差分接收时钟输入 (负)	AG8
CSI2_RXCLKP	I	CSI 差分接收时钟输入 (正)	AG9
CSI2_RXRCALIB ⁽¹⁾	A	CSI 引脚连接到外部电阻器, 用于片上电阻器校准	AB14
CSI2_RXN0	I	CSI 差分接收输入 (负)	AF9
CSI2_RXN1	I	CSI 差分接收输入 (负)	AE10
CSI2_RXN2	I	CSI 差分接收输入 (负)	AD11
CSI2_RXN3	I	CSI 差分接收输入 (负)	AC13
CSI2_RXP0	I	CSI 差分接收输入 (正)	AF10
CSI2_RXP1	I	CSI 差分接收输入 (正)	AE11
CSI2_RXP2	I	CSI 差分接收输入 (正)	AD12
CSI2_RXP3	I	CSI 差分接收输入 (正)	AC12

(1) 必须在该引脚和 VSS 之间连接一个外部 499 Ω ±1% 电阻器, 该电阻器的最大功耗为 7.2mW。不应向该引脚施加外部电压。

表 5-10. CSIRX3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
CSI3_RXCLKN	I	CSI 差分接收时钟输入 (负)	AG12
CSI3_RXCLKP	I	CSI 差分接收时钟输入 (正)	AG11
CSI3_RXRCALIB ⁽¹⁾	A	CSI 引脚连接到外部电阻器, 用于片上电阻器校准	AB15
CSI3_RXN0	I	CSI 差分接收输入 (负)	AF13
CSI3_RXN1	I	CSI 差分接收输入 (负)	AE14
CSI3_RXN2	I	CSI 差分接收输入 (负)	AD15
CSI3_RXN3	I	CSI 差分接收输入 (负)	AC15
CSI3_RXP0	I	CSI 差分接收输入 (正)	AF12
CSI3_RXP1	I	CSI 差分接收输入 (正)	AE13
CSI3_RXP2	I	CSI 差分接收输入 (正)	AD14
CSI3_RXP3	I	CSI 差分接收输入 (正)	AC16

(1) 必须在该引脚和 VSS 之间连接一个外部 499 Ω ±1% 电阻器, 该电阻器的最大功耗为 7.2mW。不应向该引脚施加外部电压。

5.3.4 DDRSS

5.3.4.1 MAIN 域

表 5-11. DDRSS0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
DDR0_CAS_n ⁽¹⁾	O	DDRSS 列地址选通/LPDDR4 片选 1B	M4
DDR0_RAS_n ⁽¹⁾	O	DDRSS 行地址选通/LPDDR4 片选 0B	M3
DDR0_A0	O	DDRSS 地址总线	L4
DDR0_A1	O	DDRSS 地址总线	L6
DDR0_A2	O	DDRSS 地址总线	M5
DDR0_A3	O	DDRSS 地址总线	L3
DDR0_A4	O	DDRSS 地址总线	N2
DDR0_A5	O	DDRSS 地址总线	L2
DDR0_CAL0 ⁽²⁾	A	IO 焊盘校准电阻	R6

表 5-11. DDRSS0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
DDR0_CK0	O	DDRSS 时钟	P1
DDR0_CK0_n	O	DDRSS 负时钟	N1
DDR0_CKE0	O	DDRSS 时钟使能	P2
DDR0_CKE1	O	DDRSS 时钟使能	P6
DDR0_CS0_n ⁽¹⁾	O	DDRSS 片选 0/LPDDR4 片选 0A	P4
DDR0_CS1_n ⁽¹⁾	O	DDRSS 片选 1/LPDDR4 片选 1A	P3
DDR0_DM0	IO	DDRSS 数据掩码	G2
DDR0_DM1	IO	DDRSS 数据掩码	H6
DDR0_DM2	IO	DDRSS 数据掩码	U4
DDR0_DM3	IO	DDRSS 数据掩码	AA2
DDR0_DQ0	IO	DDRSS 数据	D6
DDR0_DQ1	IO	DDRSS 数据	D2
DDR0_DQ2	IO	DDRSS 数据	F6
DDR0_DQ3	IO	DDRSS 数据	D3
DDR0_DQ4	IO	DDRSS 数据	G4
DDR0_DQ5	IO	DDRSS 数据	E2
DDR0_DQ6	IO	DDRSS 数据	G6
DDR0_DQ7	IO	DDRSS 数据	F3
DDR0_DQ8	IO	DDRSS 数据	H5
DDR0_DQ9	IO	DDRSS 数据	H2
DDR0_DQ10	IO	DDRSS 数据	K2
DDR0_DQ11	IO	DDRSS 数据	L1
DDR0_DQ12	IO	DDRSS 数据	J6
DDR0_DQ13	IO	DDRSS 数据	J4
DDR0_DQ14	IO	DDRSS 数据	J2
DDR0_DQ15	IO	DDRSS 数据	H3
DDR0_DQ16	IO	DDRSS 数据	V3
DDR0_DQ17	IO	DDRSS 数据	R2
DDR0_DQ18	IO	DDRSS 数据	R5
DDR0_DQ19	IO	DDRSS 数据	T2
DDR0_DQ20	IO	DDRSS 数据	R3
DDR0_DQ21	IO	DDRSS 数据	U2
DDR0_DQ22	IO	DDRSS 数据	U5
DDR0_DQ23	IO	DDRSS 数据	V2
DDR0_DQ24	IO	DDRSS 数据	Y2
DDR0_DQ25	IO	DDRSS 数据	W4
DDR0_DQ26	IO	DDRSS 数据	V5
DDR0_DQ27	IO	DDRSS 数据	W2
DDR0_DQ28	IO	DDRSS 数据	V6
DDR0_DQ29	IO	DDRSS 数据	W3
DDR0_DQ30	IO	DDRSS 数据	AA3
DDR0_DQ31	IO	DDRSS 数据	AA5

表 5-11. DDRSS0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
DDR0_DQS0	IO	DDRSS 数据选通	E1
DDR0_DQS0_n	IO	DDRSS 互补数据选通	F1
DDR0_DQS1	IO	DDRSS 数据选通	H1
DDR0_DQS1_n	IO	DDRSS 互补数据选通	J1
DDR0_DQS2	IO	DDRSS 数据选通	T1
DDR0_DQS2_n	IO	DDRSS 互补数据选通	U1
DDR0_DQS3	IO	DDRSS 数据选通	W1
DDR0_DQS3_n	IO	DDRSS 互补数据选通	Y1
DDR0_RESET0_n	O	DDRSS 复位	U6

- (1) 当配置为与 LPDDR4 存储器器件一起运行时, DDRSS 在列地址选通、行地址选通、片选 0 和片选 1 上实现不同的信号功能。当 DDRSS 配置为与 LPDDR4 存储器器件一起运行时, 这些信号分别充当片选 1B、片选 0B、片选 0A 和片选 1A。有关更多信息, 请参阅节 8.2.1 “DDR 电路板设计和布局布线指南”。
- (2) 必须在该引脚和 VSS 之间连接一个外部 $240\ \Omega \pm 1\%$ 电阻。不应向该引脚施加外部电压。

5.3.5 DSI

5.3.5.1 MAIN 域

表 5-12. DSITX0 信号说明

信号名称 [1] (2)	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
DSI0_TXCLKN	IO	DSI 差分发送时钟输出 (负)	AE16
DSI0_TXCLKP	IO	DSI 差分发送时钟输出 (正)	AE17
DSI0_TXRCALIB (1)	A	DSI 引脚连接到外部电阻器, 用于片上电阻器校准	AA16
DSI0_TXN0	IO	DSI 差分发送输出 (负)	AD17
DSI0_TXN1	IO	DSI 差分发送输出 (负)	AF15
DSI0_TXN2	IO	DSI 差分发送输出 (负)	AG14
DSI0_TXN3	IO	DSI 差分发送输出 (负)	AC18
DSI0_TXP0	IO	DSI 差分发送输出 (正)	AD18
DSI0_TXP1	IO	DSI 差分发送输出 (正)	AF16
DSI0_TXP2	IO	DSI 差分发送输出 (正)	AG15
DSI0_TXP3	IO	DSI 差分发送输出 (正)	AC19

- (1) 必须在该引脚和 VSS 之间连接一个外部 $499\ \Omega \pm 1\%$ 电阻器, 该电阻器的最大功耗为 7.2mW。不应向该引脚施加外部电压。
- (2) 这些引脚的功能由 DPHY_TX0_CTRL[1:0] LANE_FUNC_SEL 来控制。0x0 = DSI PPI, 0x1 = CSI0 TX。

5.3.6 DSS

5.3.6.1 MAIN 域

表 5-13. DSS0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
VOUT0_DE	O	视频输出数据使能	AC27
VOUT0_EXTPCLKIN	I	视频输出外部像素时钟输入	W26
VOUT0_HSYNC	O	视频输出水平同步	AB24
VOUT0_PCLK	O	视频输出像素时钟输出	AC26
VOUT0_VSYNC	O	视频输出垂直同步	AB23
VOUT0_DATA0	O	视频输出数据 0	W27

表 5-13. DSS0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
VOUT0_DATA1	O	视频输出数据 1	W25
VOUT0_DATA2	O	视频输出数据 2	W24
VOUT0_DATA3	O	视频输出数据 3	W23
VOUT0_DATA4	O	视频输出数据 4	W22
VOUT0_DATA5	O	视频输出数据 5	W21
VOUT0_DATA6	O	视频输出数据 6	Y26
VOUT0_DATA7	O	视频输出数据 7	Y27
VOUT0_DATA8	O	视频输出数据 8	AA24
VOUT0_DATA9	O	视频输出数据 9	AA27
VOUT0_DATA10	O	视频输出数据 10	AA25
VOUT0_DATA11	O	视频输出数据 11	AB25
VOUT0_DATA12	O	视频输出数据 12	AA23
VOUT0_DATA13	O	视频输出数据 13	AA22
VOUT0_DATA14	O	视频输出数据 14	AB26
VOUT0_DATA15	O	视频输出数据 15	AB27
VOUT0_DATA16	O	视频输出数据 16	U27
VOUT0_DATA17	O	视频输出数据 17	U26
VOUT0_DATA18	O	视频输出数据 18	V27
VOUT0_DATA19	O	视频输出数据 19	V25
VOUT0_DATA20	O	视频输出数据 20	V26
VOUT0_DATA21	O	视频输出数据 21	V24
VOUT0_DATA22	O	视频输出数据 22	V22
VOUT0_DATA23	O	视频输出数据 23	V23

5.3.7 ECAP

5.3.7.1 MAIN 域

表 5-14. ECAP0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
ECAP0_IN_APWM_OUT	IO	增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	A23、C20

表 5-15. ECAP1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
ECAP1_IN_APWM_OUT	IO	增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	A25、B25、D23、F19、H20

表 5-16. ECAP2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
ECAP2_IN_APWM_OUT	IO	增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	A26、B22、D25、F20、H23

5.3.8 仿真和调试

5.3.8.1 MAIN 域

表 5-17. 布线信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
TRC_CLK	O	跟踪时钟	R22
TRC_CTL	O	跟踪控制	R23
TRC_DATA0	O	跟踪数据 0	R26
TRC_DATA1	O	跟踪数据 1	T27
TRC_DATA2	O	跟踪数据 2	T25
TRC_DATA3	O	跟踪数据 3	T24
TRC_DATA4	O	跟踪数据 4	T21
TRC_DATA5	O	跟踪数据 5	T22
TRC_DATA6	O	跟踪数据 6	T23
TRC_DATA7	O	跟踪数据 7	N21
TRC_DATA8	O	跟踪数据 8	N22
TRC_DATA9	O	跟踪数据 9	N23
TRC_DATA10	O	跟踪数据 10	P27
TRC_DATA11	O	跟踪数据 11	P26
TRC_DATA12	O	跟踪数据 12	V21
TRC_DATA13	O	跟踪数据 13	N24
TRC_DATA14	O	跟踪数据 14	N25
TRC_DATA15	O	跟踪数据 15	R27
TRC_DATA16	O	跟踪数据 16	P21
TRC_DATA17	O	跟踪数据 17	P22
TRC_DATA18	O	跟踪数据 18	P23
TRC_DATA19	O	跟踪数据 19	V23
TRC_DATA20	O	跟踪数据 20	V22
TRC_DATA21	O	跟踪数据 21	V24
TRC_DATA22	O	跟踪数据 22	V26
TRC_DATA23	O	跟踪数据 23	V25

5.3.8.2 MCU 域

表 5-18. JTAG 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
EMU0	IO	仿真控制 0	C9
EMU1	IO	仿真控制 1	F9
TCK	I	JTAG 测试时钟输入	A11
TDI	I	JTAG 测试数据输入	E12
TDO	OZ	JTAG 测试数据输出	F10
TMS	I	JTAG 测试模式选择输入	F11
TRSTn	I	JTAG 复位	B10

5.3.9 EPWM

5.3.9.1 MAIN 域

表 5-19. EPWM 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
EHRPWM_SOCA	O	EHRPWM 转换启动 A	D23
EHRPWM_SOCB	O	EHRPWM 转换启动 B	B22
EHRPWM_TZn_IN0	I	EHRPWM 触发区输入 0 (低电平有效)	E20、F27
EHRPWM_TZn_IN1	I	EHRPWM 触发区输入 1 (低电平有效)	F26
EHRPWM_TZn_IN2	I	EHRPWM 触发区输入 2 (低电平有效)	H21
EHRPWM_TZn_IN3	I	EHRPWM 触发区输入 3 (低电平有效)	D22
EHRPWM_TZn_IN4	I	EHRPWM 触发区输入 4 (低电平有效)	C22
EHRPWM_TZn_IN5	I	EHRPWM 触发区输入 5 (低电平有效)	C20

表 5-20. EPWM0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
EHRPWM0_A	IO	EHRPWM 输出 A	B20、C27、J27
EHRPWM0_B	IO	EHRPWM 输出 B	C20、F24、H27
EHRPWM0_SYNCI	I	从外部引脚到 EHRPWM 模块的同步输入	C24、H26
EHRPWM0_SYNCO	O	从外部引脚到 EHRPWM 模块的同步输入	A22、F27

表 5-21. EPWM1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
EHRPWM1_A	IO	EHRPWM 输出 A	B25、D20、G27
EHRPWM1_B	IO	EHRPWM 输出 B	E19、F23、G26

表 5-22. EPWM2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
EHRPWM2_A	IO	EHRPWM 输出 A	C24、F19、F26
EHRPWM2_B	IO	EHRPWM 输出 B	A22、F20、H21

5.3.10 EQEP

5.3.10.1 MAIN 域

表 5-23. EQEP0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
EQEP0_A ⁽¹⁾	I	EQEP 正交输入 A	A25
EQEP0_B ⁽¹⁾	I	EQEP 正交输入 B	A26
EQEP0_I ⁽¹⁾	IO	EQEP 索引	F23
EQEP0_S ⁽¹⁾	IO	EQEP 选通	B25

(1) 该 EQEP 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM 器件配置一章。

表 5-24. EQEP1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
EQEP1_A ⁽¹⁾	I	EQEP 正交输入 A	D25
EQEP1_B ⁽¹⁾	I	EQEP 正交输入 B	C26
EQEP1_I ⁽¹⁾	IO	EQEP 索引	F24
EQEP1_S ⁽¹⁾	IO	EQEP 选通	C27

(1) 该 EQEP 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM 器件配置一章。

表 5-25. EQEP2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
EQEP2_A ⁽¹⁾	I	EQEP 正交输入 A	D23、Y26
EQEP2_B ⁽¹⁾	I	EQEP 正交输入 B	B22、Y27
EQEP2_I ⁽¹⁾	IO	EQEP 索引	D22、W22、W26
EQEP2_S ⁽¹⁾	IO	EQEP 选通	C22、N25、W21

(1) 该 EQEP 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM 器件配置一章。

5.3.11 GPIO

5.3.11.1 MAIN 域

表 5-26. GPIO0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
GPIO0_0	IO	通用输入/输出	L24
GPIO0_1	IO	通用输入/输出	L23
GPIO0_2	IO	通用输入/输出	L22
GPIO0_3	IO	通用输入/输出	K27
GPIO0_4	IO	通用输入/输出	L27
GPIO0_5	IO	通用输入/输出	L26
GPIO0_6	IO	通用输入/输出	L25
GPIO0_7	IO	通用输入/输出	L21
GPIO0_8	IO	通用输入/输出	M26
GPIO0_9	IO	通用输入/输出	N27
GPIO0_10	IO	通用输入/输出	M27
GPIO0_11	IO	通用输入/输出	K26
GPIO0_12	IO	通用输入/输出	K23
GPIO0_13 ⁽¹⁾	IO	通用输入/输出	K22
GPIO0_14 ⁽¹⁾	IO	通用输入/输出	J22
GPIO0_15	IO	通用输入/输出	R22
GPIO0_16	IO	通用输入/输出	R23
GPIO0_17	IO	通用输入/输出	R26
GPIO0_18	IO	通用输入/输出	T27
GPIO0_19	IO	通用输入/输出	T25
GPIO0_20	IO	通用输入/输出	T24
GPIO0_21	IO	通用输入/输出	T21
GPIO0_22	IO	通用输入/输出	T22

表 5-26. GPIO0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
GPIO0_23	IO	通用输入/输出	U27
GPIO0_24	IO	通用输入/输出	U26
GPIO0_25	IO	通用输入/输出	V27
GPIO0_26	IO	通用输入/输出	V25
GPIO0_27	IO	通用输入/输出	V26
GPIO0_28	IO	通用输入/输出	V24
GPIO0_29	IO	通用输入/输出	V22
GPIO0_30	IO	通用输入/输出	V23
GPIO0_31	IO	通用输入/输出	T23
GPIO0_32	IO	通用输入/输出	N21
GPIO0_33	IO	通用输入/输出	N22
GPIO0_34	IO	通用输入/输出	N23
GPIO0_35	IO	通用输入/输出	P27
GPIO0_36	IO	通用输入/输出	P26
GPIO0_37	IO	通用输入/输出	V21
GPIO0_38	IO	通用输入/输出	W26
GPIO0_39	IO	通用输入/输出	N24
GPIO0_40	IO	通用输入/输出	N25
GPIO0_41	IO	通用输入/输出	R27
GPIO0_42	IO	通用输入/输出	P21
GPIO0_43 ⁽¹⁾	IO	通用输入/输出	P22
GPIO0_44 ⁽¹⁾	IO	通用输入/输出	P23
GPIO0_45	IO	通用输入/输出	W27
GPIO0_46	IO	通用输入/输出	W25
GPIO0_47	IO	通用输入/输出	W24
GPIO0_48	IO	通用输入/输出	W23
GPIO0_49	IO	通用输入/输出	W22
GPIO0_50	IO	通用输入/输出	W21
GPIO0_51	IO	通用输入/输出	Y26
GPIO0_52	IO	通用输入/输出	Y27
GPIO0_53	IO	通用输入/输出	AA24
GPIO0_54	IO	通用输入/输出	AA27
GPIO0_55	IO	通用输入/输出	AA25
GPIO0_56	IO	通用输入/输出	AB25
GPIO0_57	IO	通用输入/输出	AA23
GPIO0_58	IO	通用输入/输出	AA22
GPIO0_59	IO	通用输入/输出	AB26
GPIO0_60	IO	通用输入/输出	AB27
GPIO0_61	IO	通用输入/输出	AB24
GPIO0_62	IO	通用输入/输出	AC27
GPIO0_63	IO	通用输入/输出	AB23
GPIO0_64	IO	通用输入/输出	AC26

表 5-26. GPIO0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
GPIO0_65 ⁽¹⁾	IO	通用输入/输出	J27
GPIO0_66 ⁽¹⁾	IO	通用输入/输出	H27
GPIO0_67 ⁽¹⁾	IO	通用输入/输出	G27
GPIO0_68 ⁽¹⁾	IO	通用输入/输出	G26
GPIO0_69 ⁽¹⁾	IO	通用输入/输出	H26
GPIO0_70 ⁽¹⁾	IO	通用输入/输出	F27
GPIO0_71 ⁽¹⁾	IO	通用输入/输出	F26
GPIO0_72 ⁽¹⁾	IO	通用输入/输出	H21
GPIO0_73	IO	通用输入/输出	AF25
GPIO0_74	IO	通用输入/输出	AG26
GPIO0_75	IO	通用输入/输出	AF27
GPIO0_76	IO	通用输入/输出	AE23
GPIO0_77	IO	通用输入/输出	AG25
GPIO0_78	IO	通用输入/输出	AF24
GPIO0_79	IO	通用输入/输出	AD23
GPIO0_80	IO	通用输入/输出	AE27
GPIO0_81	IO	通用输入/输出	AC25
GPIO0_82	IO	通用输入/输出	AD27
GPIO0_83	IO	通用输入/输出	AE24
GPIO0_84	IO	通用输入/输出	AE26
GPIO0_85	IO	通用输入/输出	AD25
GPIO0_86	IO	通用输入/输出	AC24

(1) 该 GPIO 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM 器件配置一章。

表 5-27. GPIO1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
GPIO1_7	IO	通用输入/输出	A25
GPIO1_8	IO	通用输入/输出	A26
GPIO1_9	IO	通用输入/输出	B25
GPIO1_10	IO	通用输入/输出	F23
GPIO1_11	IO	通用输入/输出	D25
GPIO1_12	IO	通用输入/输出	C26
GPIO1_13	IO	通用输入/输出	C27
GPIO1_14	IO	通用输入/输出	F24
GPIO1_15	IO	通用输入/输出	B20
GPIO1_16 ⁽¹⁾	IO	通用输入/输出	C20
GPIO1_17	IO	通用输入/输出	D20
GPIO1_18	IO	通用输入/输出	E19
GPIO1_19	IO	通用输入/输出	E20
GPIO1_20	IO	通用输入/输出	F19
GPIO1_21	IO	通用输入/输出	F20

表 5-27. GPIO1 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
GPIO1_22	IO	通用输入/输出	E22
GPIO1_23	IO	通用输入/输出	B21
GPIO1_24	IO	通用输入/输出	D22
GPIO1_25	IO	通用输入/输出	C22
GPIO1_26	IO	通用输入/输出	D23
GPIO1_27	IO	通用输入/输出	B22
GPIO1_28	IO	通用输入/输出	C24
GPIO1_29	IO	通用输入/输出	A22
GPIO1_30	IO	通用输入/输出	A23
GPIO1_31 ⁽¹⁾	IOD	通用输入/输出	B23
GPIO1_42 ⁽¹⁾	IO	通用输入/输出	H25
GPIO1_43 ⁽¹⁾	IO	通用输入/输出	J23
GPIO1_44 ⁽¹⁾	IO	通用输入/输出	H20
GPIO1_45 ⁽¹⁾	IO	通用输入/输出	H23
GPIO1_46 ⁽¹⁾	IO	通用输入/输出	H24
GPIO1_47 ⁽¹⁾	IO	通用输入/输出	H22
GPIO1_48 ⁽¹⁾	I	通用输入/输出	B24
GPIO1_49 ⁽¹⁾	I	通用输入/输出	A24
GPIO1_50	IO	通用输入/输出	E25
GPIO1_51	IO	通用输入/输出	B27
GPIO1_52	IO	通用输入/输出	AG24
GPIO1_53	IO	通用输入/输出	AF23
GPIO1_54	IO	通用输入/输出	AG23
GPIO1_55	IO	通用输入/输出	AG22
GPIO1_56	IO	通用输入/输出	AB21
GPIO1_57	IO	通用输入/输出	AB20
GPIO1_58	IO	通用输入/输出	AG21
GPIO1_59	IO	通用输入/输出	AG20
GPIO1_60	IO	通用输入/输出	AC21
GPIO1_61	IO	通用输入/输出	AD21
GPIO1_62	IO	通用输入/输出	AF18
GPIO1_63	IO	通用输入/输出	AF19
GPIO1_64	IO	通用输入/输出	AG18
GPIO1_65	IO	通用输入/输出	AG17
GPIO1_66	IO	通用输入/输出	AA20
GPIO1_67	IO	通用输入/输出	AB19
GPIO1_68	IO	通用输入/输出	AE20
GPIO1_69	IO	通用输入/输出	AF21
GPIO1_70	IO	通用输入/输出	AE19
GPIO1_71	IO	通用输入/输出	AD20

表 5-27. GPIO1 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
GPIO1_72	IOD	通用输入/输出	F25

(1) 该 GPIO 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM 器件配置一章。

5.3.11.2 MCU 域

表 5-28. MCU_GPIO0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
MCU_GPIO0_0 ⁽¹⁾	IO	通用输入/输出	C12
MCU_GPIO0_1 ⁽¹⁾	IO	通用输入/输出	A10
MCU_GPIO0_2	IO	通用输入/输出	A9
MCU_GPIO0_3	IO	通用输入/输出	B12
MCU_GPIO0_4	IO	通用输入/输出	C11
MCU_GPIO0_5	IO	通用输入/输出	B8
MCU_GPIO0_6	IO	通用输入/输出	B4
MCU_GPIO0_7 ⁽¹⁾	IO	通用输入/输出	B5
MCU_GPIO0_8 ⁽¹⁾	IO	通用输入/输出	C5
MCU_GPIO0_9	IO	通用输入/输出	B3
MCU_GPIO0_10	IO	通用输入/输出	C8
MCU_GPIO0_11 ⁽¹⁾	IO	通用输入/输出	C4
MCU_GPIO0_12 ⁽¹⁾	IO	通用输入/输出	C3
MCU_GPIO0_13	IO	通用输入/输出	B2
MCU_GPIO0_14	IO	通用输入/输出	D8
MCU_GPIO0_15 ⁽¹⁾	IO	通用输入/输出	C1
MCU_GPIO0_16 ⁽¹⁾	IO	通用输入/输出	B1
MCU_GPIO0_17	IOD	通用输入/输出	B13
MCU_GPIO0_18	IOD	通用输入/输出	E11
MCU_GPIO0_19	IOD	通用输入/输出	B9
MCU_GPIO0_20	IOD	通用输入/输出	D11
MCU_GPIO0_21	IO	通用输入/输出	E13
MCU_GPIO0_22	IO	通用输入/输出	A8
MCU_GPIO0_23	IO	通用输入/输出	F12

(1) 该 GPIO 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM 器件配置一章。

5.3.12 GPMC

5.3.12.1 MAIN 域

表 5-29. GPMC0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
GPMC0_ADVn_ALE	O	GPMC 地址有效 (低电平有效) 或地址锁存使能	N21
GPMC0_CLK	O	GPMC 时钟	T23
GPMC0_DIR	O	GPMC 数据总线信号方向控制	N25
GPMC0_FCLK_MUX	O	GPMC 功能时钟输出	T23

表 5-29. GPMC0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
GPMC0_OEn_REn	O	GPMC 输出使能 (低电平有效) 或读取使能 (低电平有效)	N22
GPMC0_WEn	O	GPMC 写入使能 (低电平有效)	N23
GPMC0_WPn	O	GPMC 闪存写保护 (低电平有效)	N24
GPMC0_A0	OZ	GPMC 地址 0 输出。仅用于有效寻址 8 位数据非多路复用存储器	W27
GPMC0_A1	OZ	A/D 非多路复用模式下为 GPMC 地址 1 输出, A/D 多路复用模式下为地址 17	W25
GPMC0_A2	OZ	A/D 非多路复用模式下为 GPMC 地址 2 输出, A/D 多路复用模式下为地址 18	W24
GPMC0_A3	OZ	A/D 非多路复用模式下为 GPMC 地址 3 输出, A/D 多路复用模式下为地址 19	W23
GPMC0_A4	OZ	A/D 非多路复用模式下为 GPMC 地址 4 输出, A/D 多路复用模式下为地址 20	W22
GPMC0_A5	OZ	A/D 非多路复用模式下为 GPMC 地址 5 输出, A/D 多路复用模式下为地址 21	W21
GPMC0_A6	OZ	A/D 非多路复用模式下为 GPMC 地址 6 输出, A/D 多路复用模式下为地址 22	Y26
GPMC0_A7	OZ	A/D 非多路复用模式下为 GPMC 地址 7 输出, A/D 多路复用模式下为地址 23	Y27
GPMC0_A8	OZ	A/D 非多路复用模式下为 GPMC 地址 8 输出, A/D 多路复用模式下为地址 24	AA24
GPMC0_A9	OZ	A/D 非多路复用模式下为 GPMC 地址 9 输出, A/D 多路复用模式下为地址 25	AA27
GPMC0_A10	OZ	A/D 非多路复用模式下为 GPMC 地址 10 输出, A/D 多路复用模式下为地址 26	AA25
GPMC0_A11	OZ	A/D 非多路复用模式下为 GPMC 地址 11 输出, A/D 多路复用模式下未使用	AB25
GPMC0_A12	OZ	A/D 非多路复用模式下为 GPMC 地址 12 输出, A/D 多路复用模式下未使用	AA23
GPMC0_A13	OZ	A/D 非多路复用模式下为 GPMC 地址 13 输出, A/D 多路复用模式下未使用	AA22
GPMC0_A14	OZ	A/D 非多路复用模式下为 GPMC 地址 14 输出, A/D 多路复用模式下未使用	AB26
GPMC0_A15	OZ	A/D 非多路复用模式下为 GPMC 地址 15 输出, A/D 多路复用模式下未使用	AB27
GPMC0_A16	OZ	A/D 非多路复用模式下为 GPMC 地址 16 输出, A/D 多路复用模式下未使用	AB24
GPMC0_A17	OZ	A/D 非多路复用模式下为 GPMC 地址 17 输出, A/D 多路复用模式下未使用	AC27
GPMC0_A18	OZ	A/D 非多路复用模式下为 GPMC 地址 18 输出, A/D 多路复用模式下未使用	AB23
GPMC0_A19	OZ	A/D 非多路复用模式下为 GPMC 地址 19 输出, A/D 多路复用模式下未使用	AC26
GPMC0_A20	OZ	A/D 非多路复用模式下为 GPMC 地址 20 输出, A/D 多路复用模式下未使用	P23
GPMC0_A21	OZ	A/D 非多路复用模式下为 GPMC 地址 21 输出, A/D 多路复用模式下未使用	W26

表 5-29. GPMC0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
GPMC0_A22	OZ	A/D 非多路复用模式下为 GPMC 地址 22 输出, A/D 多路复用模式下未使用	N24
GPMC0_AD0	IO	A/D 非多路复用模式下为 GPMC 数据 0 输入/输出, A/D 多路复用模式下为附加的地址 1 输出	R22
GPMC0_AD1	IO	A/D 非多路复用模式下为 GPMC 数据 1 输入/输出, A/D 多路复用模式下为附加的地址 2 输出	R23
GPMC0_AD2	IO	A/D 非多路复用模式下为 GPMC 数据 2 输入/输出, A/D 多路复用模式下为附加的地址 3 输出	R26
GPMC0_AD3	IO	A/D 非多路复用模式下为 GPMC 数据 3 输入/输出, A/D 多路复用模式下为附加的地址 3 输出	T27
GPMC0_AD4	IO	A/D 非多路复用模式下为 GPMC 数据 4 输入/输出, A/D 多路复用模式下为附加的地址 3 输出	T25
GPMC0_AD5	IO	A/D 非多路复用模式下为 GPMC 数据 5 输入/输出, A/D 多路复用模式下为附加的地址 3 输出	T24
GPMC0_AD6	IO	A/D 非多路复用模式下为 GPMC 数据 6 输入/输出, A/D 多路复用模式下为附加的地址 3 输出	T21
GPMC0_AD7	IO	A/D 非多路复用模式下为 GPMC 数据 7 输入/输出, A/D 多路复用模式下为附加的地址 3 输出	T22
GPMC0_AD8	IO	A/D 非多路复用模式下为 GPMC 数据 8 输入/输出, A/D 多路复用模式下为附加的地址 3 输出	U27
GPMC0_AD9	IO	A/D 非多路复用模式下为 GPMC 数据 9 输入/输出, A/D 多路复用模式下为附加的地址 3 输出	U26
GPMC0_AD10	IO	A/D 非多路复用模式下为 GPMC 数据 10 输入/输出, A/D 多路复用模式下为附加的地址 11 输出	V27
GPMC0_AD11	IO	A/D 非多路复用模式下为 GPMC 数据 11 输入/输出, A/D 多路复用模式下为附加的地址 12 输出	V25
GPMC0_AD12	IO	A/D 非多路复用模式下为 GPMC 数据 12 输入/输出, A/D 多路复用模式下为附加的地址 13 输出	V26
GPMC0_AD13	IO	A/D 非多路复用模式下为 GPMC 数据 13 输入/输出, A/D 多路复用模式下为附加的地址 14 输出	V24
GPMC0_AD14	IO	A/D 非多路复用模式下为 GPMC 数据 14 输入/输出, A/D 多路复用模式下为附加的地址 15 输出	V22
GPMC0_AD15	IO	A/D 非多路复用模式下为 GPMC 数据 15 输入/输出, A/D 多路复用模式下为附加的地址 16 输出	V23
GPMC0_BE0n_CLE	O	GPMC 低字节使能 (低电平有效) 或命令锁存使能	P27
GPMC0_BE1n	O	GPMC 高字节使能 (低电平有效)	P26
GPMC0_CSn0	O	GPMC 片选 0 (低电平有效)	R27
GPMC0_CSn1	O	GPMC 片选 1 (低电平有效)	P21
GPMC0_CSn2	O	GPMC 片选 2 (低电平有效)	P22
GPMC0_CSn3	O	GPMC 片选 3 (低电平有效)	P23
GPMC0_WAIT0	I	GPMC 外部等待指示	V21
GPMC0_WAIT1	I	GPMC 外部等待指示	W26

5.3.13 I2C

5.3.13.1 MAIN 域

表 5-30. I2C0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
I2C0_SCL	IOD	I2C 时钟	D23
I2C0_SDA	IOD	I2C 数据	B22

表 5-31. I2C1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
I2C1_SCL	IOD	I2C 时钟	C24
I2C1_SDA	IOD	I2C 数据	A22

表 5-32. I2C2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
I2C2_SCL	IOD	I2C 时钟	G26、P22
I2C2_SDA	IOD	I2C 数据	G27、H27、P23

表 5-33. I2C3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
I2C3_SCL	IOD	I2C 时钟	E22、H26
I2C3_SDA	IOD	I2C 数据	B21、F27

表 5-34. I2C4 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
I2C4_SCL	IOD	I2C 时钟	D22、R27
I2C4_SDA	IOD	I2C 数据	C22、P21

5.3.13.2 MCU 域

表 5-35. MCU_I2C0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
MCU_I2C0_SCL	IOD	I2C 时钟	B13
MCU_I2C0_SDA	IOD	I2C 数据	E11

5.3.13.3 WKUP 域

表 5-36. WKUP_I2C0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
WKUP_I2C0_SCL	IOD	I2C 时钟	B9
WKUP_I2C0_SDA	IOD	I2C 数据	D11

5.3.14 MCAN

5.3.14.1 MAIN 域

表 5-37. MCAN0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
MCAN0_RX	I	MCAN 接收数据	C22
MCAN0_TX	O	MCAN 发送数据	D22

表 5-38. MCAN1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
MCAN1_RX	I	MCAN 接收数据	A24、J23、P23
MCAN1_TX	O	MCAN 发送数据	B24、H25、P22

5.3.14.2 MCU 域

表 5-39. MCU_MCAN0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
MCU_MCAN0_RX	I	MCAN 接收数据	D8
MCU_MCAN0_TX	O	MCAN 发送数据	B2

表 5-40. MCU_MCAN1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
MCU_MCAN1_RX	I	MCAN 接收数据	B1
MCU_MCAN1_TX	O	MCAN 发送数据	C1

5.3.15 MCASP

5.3.15.1 MAIN 域

表 5-41. MCASP0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
MCASP0_ACLKR	IO	MCASP 接收位时钟	F24
MCASP0_ACLKX	IO	MCASP 发送位时钟	D25
MCASP0_AFSR	IO	MCASP 接收帧同步	C27
MCASP0_AFSX	IO	MCASP 发送帧同步	C26
MCASP0_AXR0	IO	MCASP 串行数据 (输入/输出)	F23
MCASP0_AXR1	IO	MCASP 串行数据 (输入/输出)	B25
MCASP0_AXR2	IO	MCASP 串行数据 (输入/输出)	A26
MCASP0_AXR3	IO	MCASP 串行数据 (输入/输出)	A25

表 5-42. MCASP1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
MCASP1_ACLKR	IO	MCASP 接收位时钟	H26、J22、P23
MCASP1_ACLKX	IO	MCASP 发送位时钟	F26、N27、P27
MCASP1_AFSR	IO	MCASP 接收帧同步	F27、K22、P22

表 5-42. MCASP1 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
MCASP1_AFSX	IO	MCASP 发送帧同步	H21、M27、V21
MCASP1_AXR0	IO	MCASP 串行数据 (输入/输出)	G26、M26、N23
MCASP1_AXR1	IO	MCASP 串行数据 (输入/输出)	G27、L21、N22
MCASP1_AXR2	IO	MCASP 串行数据 (输入/输出)	H27、K22、N21
MCASP1_AXR3	IO	MCASP 串行数据 (输入/输出)	J22、J27、T23
MCASP1_AXR4	IO	MCASP 串行数据 (输入/输出)	F27、P22
MCASP1_AXR5	IO	MCASP 串行数据 (输入/输出)	H26、P23

表 5-43. MCASP2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
MCASP2_ACLKR	IO	MCASP 接收位时钟	V23
MCASP2_ACLKX	IO	MCASP 发送位时钟	B21、V24
MCASP2_AFSR	IO	MCASP 接收帧同步	V22
MCASP2_AFSX	IO	MCASP 发送帧同步	E22、V26
MCASP2_AXR0	IO	MCASP 串行数据 (输入/输出)	D22、U27
MCASP2_AXR1	IO	MCASP 串行数据 (输入/输出)	C22、U26
MCASP2_AXR2	IO	MCASP 串行数据 (输入/输出)	V27
MCASP2_AXR3	IO	MCASP 串行数据 (输入/输出)	V25
MCASP2_AXR4	IO	MCASP 串行数据 (输入/输出)	R22、V22
MCASP2_AXR5	IO	MCASP 串行数据 (输入/输出)	R23、V23
MCASP2_AXR6	IO	MCASP 串行数据 (输入/输出)	R26
MCASP2_AXR7	IO	MCASP 串行数据 (输入/输出)	T27
MCASP2_AXR8	IO	MCASP 串行数据 (输入/输出)	T25
MCASP2_AXR9	IO	MCASP 串行数据 (输入/输出)	T24
MCASP2_AXR10	IO	MCASP 串行数据 (输入/输出)	T21
MCASP2_AXR11	IO	MCASP 串行数据 (输入/输出)	T22
MCASP2_AXR12	IO	MCASP 串行数据 (输入/输出)	P26
MCASP2_AXR13	IO	MCASP 串行数据 (输入/输出)	N25
MCASP2_AXR14	IO	MCASP 串行数据 (输入/输出)	R27
MCASP2_AXR15	IO	MCASP 串行数据 (输入/输出)	P21

表 5-44. MCASP3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
MCASP3_ACLKR	IO	MCASP 接收位时钟	Y26
MCASP3_ACLKX	IO	MCASP 发送位时钟	W27
MCASP3_AFSR	IO	MCASP 接收帧同步	Y27
MCASP3_AFSX	IO	MCASP 发送帧同步	W25
MCASP3_AXR0	IO	MCASP 串行数据 (输入/输出)	W24
MCASP3_AXR1	IO	MCASP 串行数据 (输入/输出)	W23
MCASP3_AXR2	IO	MCASP 串行数据 (输入/输出)	W22
MCASP3_AXR3	IO	MCASP 串行数据 (输入/输出)	W21

表 5-44. MCASP3 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
MCASP3_AXR4	IO	MCASP 串行数据 (输入/输出)	AA24
MCASP3_AXR5	IO	MCASP 串行数据 (输入/输出)	AA27
MCASP3_AXR6	IO	MCASP 串行数据 (输入/输出)	Y26
MCASP3_AXR7	IO	MCASP 串行数据 (输入/输出)	Y27
MCASP3_AXR8	IO	MCASP 串行数据 (输入/输出)	J27
MCASP3_AXR9	IO	MCASP 串行数据 (输入/输出)	H27

表 5-45. MCASP4 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
MCASP4_ACLKR	IO	MCASP 接收位时钟	AA25
MCASP4_ACLKX	IO	MCASP 发送位时钟	AB23
MCASP4_AFSR	IO	MCASP 接收帧同步	AB25
MCASP4_AFSX	IO	MCASP 发送帧同步	AC26
MCASP4_AXR0	IO	MCASP 串行数据 (输入/输出)	AA23
MCASP4_AXR1	IO	MCASP 串行数据 (输入/输出)	AA22
MCASP4_AXR2	IO	MCASP 串行数据 (输入/输出)	AB26
MCASP4_AXR3	IO	MCASP 串行数据 (输入/输出)	AB27
MCASP4_AXR4	IO	MCASP 串行数据 (输入/输出)	AB24
MCASP4_AXR5	IO	MCASP 串行数据 (输入/输出)	AC27
MCASP4_AXR6	IO	MCASP 串行数据 (输入/输出)	AA25
MCASP4_AXR7	IO	MCASP 串行数据 (输入/输出)	AB25
MCASP4_AXR8	IO	MCASP 串行数据 (输入/输出)	G27
MCASP4_AXR9	IO	MCASP 串行数据 (输入/输出)	G26

5.3.16 MCSPI

5.3.16.1 MAIN 域

表 5-46. MCSPI0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
SPI0_CLK	IO	SPI 时钟	D20
SPI0_CS0	IO	SPI 片选 0	B20
SPI0_CS1	IO	SPI 片选 1	C20
SPI0_CS2	IO	SPI 片选 2	E22
SPI0_CS3	IO	SPI 片选 3	B21
SPI0_D0	IO	SPI 数据 0	E19
SPI0_D1	IO	SPI 数据 1	E20

表 5-47. MCSPI1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
SPI1_CLK	IO	SPI 时钟	H22、M26
SPI1_CS0	IO	SPI 片选 0	H24、L21

表 5-47. MCSP11 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
SPI1_CS1	IO	SPI 片选 1	A24、K22
SPI1_CS2	IO	SPI 片选 2	H20
SPI1_CS3	I	SPI 片选 3	B24
SPI1_D0	IO	SPI 数据 0	H25、N27
SPI1_D1	IO	SPI 数据 1	J23、M27

表 5-48. MCSP12 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
SPI2_CLK	IO	SPI 时钟	A22、B24、F24
SPI2_CS0	IO	SPI 片选 0	C27、D23、H22
SPI2_CS1	IO	SPI 片选 1	C24、D25、H25
SPI2_CS2	IO	SPI 片选 2	B22、B25、H24
SPI2_CS3	IO	SPI 片选 3	A23、C26、J23
SPI2_D0	IO	SPI 数据 0	A25、F19、H20
SPI2_D1	IO	SPI 数据 1	A26、F20、H23

5.3.16.2 MCU 域

表 5-49. MCU_MCSP10 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
MCU_SPI0_CLK	IO	SPI 时钟	A9
MCU_SPI0_CS0	IO	SPI 片选 0	C12
MCU_SPI0_CS1	IO	SPI 片选 1	A10
MCU_SPI0_CS2	IO	SPI 片选 2	B1、B3
MCU_SPI0_CS3	IO	SPI 片选 3	B2
MCU_SPI0_D0	IO	SPI 数据 0	B12
MCU_SPI0_D1	IO	SPI 数据 1	C11

表 5-50. MCU_MCSP11 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
MCU_SPI1_CLK	IO	SPI 时钟	B1、C3
MCU_SPI1_CS0	IO	SPI 片选 0	C4
MCU_SPI1_CS1	IO	SPI 片选 2	C1
MCU_SPI1_CS2	IO	SPI 片选 2	B1、C8
MCU_SPI1_CS3	IO	SPI 片选 3	D8
MCU_SPI1_D0	IO	SPI 数据 0	B5
MCU_SPI1_D1	IO	SPI 数据 1	C5

5.3.17 MDIO

5.3.17.1 MAIN 域

表 5-51. MDIO0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
MDIO0_MDC	O	MDIO 时钟	AC24
MDIO0_MDIO	IO	MDIO 数据	AD25

5.3.18 MMC

5.3.18.1 MAIN 域

表 5-52. MMC0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
MMC0_CALPAD ⁽¹⁾	A	MMC/SD/SDIO 校准电阻器	AC1
MMC0_CLK	IO	MMC/SD/SDIO 时钟	AE1
MMC0_CMD	IO	MMC/SD/SDIO 命令	AE2
MMC0_DS	IO	MMC 数据选通	AD1
MMC0_DAT0	IO	MMC/SD/SDIO 数据	AD3
MMC0_DAT1	IO	MMC/SD/SDIO 数据	AD2
MMC0_DAT2	IO	MMC/SD/SDIO 数据	AB4
MMC0_DAT3	IO	MMC/SD/SDIO 数据	AC2
MMC0_DAT4	IO	MMC/SD/SDIO 数据	AC3
MMC0_DAT5	IO	MMC/SD/SDIO 数据	AB3
MMC0_DAT6	IO	MMC/SD/SDIO 数据	AF1
MMC0_DAT7	IO	MMC/SD/SDIO 数据	AB2

(1) 必须在该引脚和 VSS 之间连接一个外部 10kΩ ±1% 电阻器。不应向该引脚施加外部电压。

表 5-53. MMC1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
MMC1_CLK	IO	MMC/SD/SDIO 时钟	H24
MMC1_CMD	IO	MMC/SD/SDIO 命令	H22
MMC1_SDCD	I	SD 卡检测	B24
MMC1_SDWP	I	SD 写保护	A24
MMC1_DAT0	IO	MMC/SD/SDIO 数据	H23
MMC1_DAT1	IO	MMC/SD/SDIO 数据	H20
MMC1_DAT2	IO	MMC/SD/SDIO 数据	J23
MMC1_DAT3	IO	MMC/SD/SDIO 数据	H25

表 5-54. MMC2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
MMC2_CLK	IO	MMC/SD/SDIO 时钟	H26
MMC2_CMD	IO	MMC/SD/SDIO 命令	F27
MMC2_SDCD	I	SD 卡检测	C24、E22、F26
MMC2_SDWP	I	SD 写保护	A22、B21、H21

表 5-54. MMC2 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
MMC2_DAT0	IO	MMC/SD/SDIO 数据	G26
MMC2_DAT1	IO	MMC/SD/SDIO 数据	G27
MMC2_DAT2	IO	MMC/SD/SDIO 数据	H27
MMC2_DAT3	IO	MMC/SD/SDIO 数据	J27

5.3.19 OLDI

5.3.19.1 MAIN 域

表 5-55. OLDI0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
OLDI0_A0N	IO	OLDI 差分数据 (负)	AF23
OLDI0_A0P	IO	OLDI 差分数据 (正)	AG24
OLDI0_A1N	IO	OLDI 差分数据 (负)	AG22
OLDI0_A1P	IO	OLDI 差分数据 (正)	AG23
OLDI0_A2N	IO	OLDI 差分数据 (负)	AB20
OLDI0_A2P	IO	OLDI 差分数据 (正)	AB21
OLDI0_A3N	IO	OLDI 差分数据 (负)	AG20
OLDI0_A3P	IO	OLDI 差分数据 (正)	AG21
OLDI0_A4N	IO	OLDI 差分数据 (负)	AD21
OLDI0_A4P	IO	OLDI 差分数据 (正)	AC21
OLDI0_A5N	IO	OLDI 差分数据 (负)	AF19
OLDI0_A5P	IO	OLDI 差分数据 (正)	AF18
OLDI0_A6N	IO	OLDI 差分数据 (负)	AG17
OLDI0_A6P	IO	OLDI 差分数据 (正)	AG18
OLDI0_A7N	IO	OLDI 差分数据 (负)	AB19
OLDI0_A7P	IO	OLDI 差分数据 (正)	AA20
OLDI0_CLK0N	IO	OLDI 差分时钟 (负)	AF21
OLDI0_CLK0P	IO	OLDI 差分时钟 (正)	AE20
OLDI0_CLK1N	IO	OLDI 差分时钟 (负)	AD20
OLDI0_CLK1P	IO	OLDI 差分时钟 (正)	AE19

5.3.20 OSPI

5.3.20.1 MAIN 域

表 5-56. OSPI0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
OSPI0_CLK	O	OSPI 时钟	L24
OSPI0_DQS	I	OSPI 数据选通 (DQS) 或环回时钟输入	L22
OSPI0_ECC_FAIL	I	OSPI ECC 状态	J22
OSPI0_LBCLKO	IO	OSPI 环回时钟输出	L23
OSPI0_CS0	O	OSPI 片选 0 (低电平有效)	K26
OSPI0_CS1	O	OSPI 片选 1 (低电平有效)	K23
OSPI0_CS2	O	OSPI 片选 2 (低电平有效)	K22

表 5-56. OSPI0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
OSPI0_CSn3	O	OSPI 片选 3 (低电平有效)	J22
OSPI0_D0	IO	OSPI 数据 0	K27
OSPI0_D1	IO	OSPI 数据 1	L27
OSPI0_D2	IO	OSPI 数据 2	L26
OSPI0_D3	IO	OSPI 数据 3	L25
OSPI0_D4	IO	OSPI 数据 4	L21
OSPI0_D5	IO	OSPI 数据 5	M26
OSPI0_D6	IO	OSPI 数据 6	N27
OSPI0_D7	IO	OSPI 数据 7	M27
OSPI0_RESET_OUT0	O	OSPI 复位	J22
OSPI0_RESET_OUT1	O	OSPI 复位	K22

5.3.21 电源

表 5-57. 电源信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
CAP_VDDS0 ⁽¹⁾	CAP	IO 组 0 的外部电容器连接	H17
CAP_VDDS1 ⁽¹⁾	CAP	IO 组 1 的外部电容器连接	L19
CAP_VDDS2 ⁽¹⁾	CAP	IO 组 2 的外部电容器连接	U20
CAP_VDDS3 ⁽¹⁾	CAP	IO 组 3 的外部电容器连接	N20
CAP_VDDS5 ⁽¹⁾	CAP	IO 组 5 的外部电容器连接	G19
CAP_VDDS6 ⁽¹⁾	CAP	IO 组 6 的外部电容器连接	J20
CAP_VDDS_CANUART ⁽¹⁾	CAP	IO CANUART 的外部电容器连接	H8
CAP_VDDS_MCU ⁽¹⁾	CAP	IO MCU 的外部电容器连接	J10
VDDA_0P85_SERDES	PWR	SERDES 模拟电源	H12、H13
VDDA_0P85_SERDES_C	PWR	串行器/解串器时钟模拟电源	J13
VDDA_0P85_DLL_MMC0	PWR	MMC0 DLL 模拟电源	W9
VDDA_1P8_CSI_DSI	PWR	CSIRX 和 DSITX 1.8V 模拟电源	W13、W16、Y13
VDDA_1P8_SERDES	PWR	串行器/解串器 1.8V 模拟电源	G13
VDDA_1P8_OLDI0	PWR	OLDI 模拟电源	W18、Y19
VDDA_1P8_USB0	PWR	USB 1.8V 模拟电源	Y12
VDDA_1P8_USB1	PWR	USB 1.8V 模拟电源	H16
VDDA_3P3_USB0	PWR	USB 3.3V 模拟电源	Y11
VDDA_3P3_USB1	PWR	USB 3.3V 模拟电源	G15
VDDA_CORE_CSI_DSI	PWR	CSIRX 和 DSITX 内核电源	W15、Y15
VDDA_CORE_CSI_DSI_CLK	PWR	CSIRX 和 DSITX 时钟内核电源	Y16
VDDA_CORE_USB0	PWR	USB 内核电源	W11
VDDA_CORE_USB1	PWR	USB 内核电源	H15
VDDA_DDR_PLL0	PWR	DDR 校正 PLL 模拟电源	P9
VDDA_MCU	PWR	POR 和 MCU PLL 模拟电源	G11、H11
VDDA_PLL0	PWR	MAIN PLL 模拟电源	L15
VDDA_PLL1	PWR	PER0 PLL 和 PER1 PLL 模拟电源	K10

表 5-57. 电源信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
VDDA_PLL2	PWR	VIDEO PLL 模拟电源	M12
VDDA_PLL3	PWR	C7x PLL 和 DSS PLL 模拟电源	R11
VDDA_PLL4	PWR	ARM0 PLL 和 SMS PLL 模拟电源	V18
VDDA_PLL5	PWR	DDR PLL 模拟电源	P16
VDDA_TEMP0	PWR	TEMP0 模拟电源	Y17
VDDA_TEMP1	PWR	TEMP1 模拟电源	T11
VDDA_TEMP2	PWR	TEMP2 模拟电源	L9
VDDR_CORE	PWR	内核电源	M13、M19、N13、 N19、U10、U17、 V10、V17
VDDSHV0	PWR	IO 组 0 的 IO 电源	G18、H18
VDDSHV1	PWR	IO 组 1 的 IO 电源	K20、L20
VDDSHV2	PWR	IO 组 2 的 IO 电源	T19、T20
VDDSHV3	PWR	IO 组 3 的 IO 电源	M20、P20、R20
VDDSHV5	PWR	IO 组 5 的 IO 电源	H19
VDDSHV6	PWR	IO 组 6 的 IO 电源	J21
VDDSHV_CANUART	PWR	IO CANUART 的 IO 电源	H9
VDDSHV_MCU	PWR	IO MCU 的 IO 电源	H10
VDDS_DDR	PWR	DDR PHY IO 电源	AB1、D1、L7、L8、 N7、N8、T7、T8
VDDS_DDR_C	PWR	DDR 时钟 IO 电源	P8
VDDS_MMC0	PWR	MMC0 PHY IO 电源	Y9
VDDS_OSC0	PWR	MCU_OSC0 电源	K8
VDD_CANUART	PWR	CANUART 内核电源	J8
VDD_CORE	PWR	内核电源	J11、J14、J16、 J18、K11、K12、 K14、K16、K18、 K9、L12、L17、 M10、M15、M17、 M9、N10、N11、 N14、N16、N18、 P11、P12、P14、 P18、R12、R13、 R15、R17、R9、 T13、T15、T17、 T9、U12、U14、 U16、U8、V12、 V14、V16、V19、 V8、W19、Y20、Y21
VDD_MMC0	PWR	MMC0 PHY 内核电源	W10
VPP	PWR	电子保险丝 ROM 编程电源	G9

表 5-57. 电源信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
VSS	GND	接地	A1、A18、A21、A27、A4、A7、AA1、AA18、AA21、AA26、AA4、AD26、AG1、AG27、C2、C23、D26、E6、F15、F16、F17、F2、F21、G1、G10、G12、G14、G16、G17、G20、G3、G5、G8、H14、H4、H7、J12、J15、J17、J19、J26、J3、J5、J9、K1、K13、K15、K17、K19、L10、L11、L13、L14、L16、L18、M1、M11、M14、M16、M18、M7、M8、N12、N15、N17、N26、N9、P10、P13、P15、P17、P19、P5、P7、R1、R10、R14、R16、R18、R19、R4、R7、R8、T10、T12、T14、T16、T18、T26、U11、U13、U15、U18、U19、U3、U7、U9、V1、V11、V13、V15、V20、V4、V7、V9、W12、W14、W17、W20、W5、W8、Y10、Y14、Y18、Y7、Y8

(1) 该引脚必须始终通过 1 μF 电容器连接至 VSS。

5.3.22 保留

表 5-58. 保留信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
RSVD0	不适用	保留，必须保持未连接状态	E9
RSVD1	不适用	保留，必须保持未连接状态	AA19
RSVD2	不适用	保留，必须保持未连接状态	AB7
RSVD3	不适用	保留，必须保持未连接状态	AC5
RSVD4	不适用	保留，必须保持未连接状态	AB10
RSVD5	不适用	保留，必须保持未连接状态	AA12
RSVD6	不适用	保留，必须保持未连接状态	AB12
RSVD7	不适用	保留，必须保持未连接状态	AB13
RSVD8	不适用	保留，必须保持未连接状态	AA15
RSVD9	不适用	保留，必须保持未连接状态	AA14

表 5-58. 保留信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
RSVD10	不适用	保留, 必须保持未连接状态	L5
RSVD11	不适用	保留, 必须保持未连接状态	M6
RSVD12	不适用	保留, 必须保持未连接状态	AB16
RSVD13	不适用	保留, 必须保持未连接状态	AB18
RSVD14	不适用	保留, 必须保持未连接状态	C6
RSVD15	不适用	保留, 必须保持未连接状态	F8
RSVD16	不适用	保留, 必须保持未连接状态	B6
RSVD17	不适用	保留, 必须保持未连接状态	C17
RSVD18	不适用	保留, 必须保持未连接状态	D16
RSVD19	不适用	保留, 必须保持未连接状态	D14
RSVD20	不适用	保留, 必须保持未连接状态	D13
RSVD21	不适用	保留, 必须保持未连接状态	M2

5.3.23 SERDES

5.3.23.1 MAIN 域

表 5-59. PCIE0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
PCIE0_CLKREQn	IOD	PCIE 时钟请求信号	F25

表 5-60. SERDES0 信号说明

信号名称 [1] (2)	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
SERDES0_REXT (1)	A	串行器/解串器 PHY 外部校准电阻器	E15
SERDES0_REFCLK0N	IO	串行器/解串器 PHY 时钟输入/输出 (负)	A17
SERDES0_REFCLK0P	IO	串行器/解串器 PHY 时钟输入/输出 (正)	A16
SERDES0_RX0_N	I	串行器/解串器 PHY 差分接收数据 (负)	A20
SERDES0_RX0_P	I	串行器/解串器 PHY 差分接收数据 (正)	A19
SERDES0_TX0_N	O	串行器/解串器 PHY 差分发送数据 (负)	B19
SERDES0_TX0_P	O	串行器/解串器 PHY 差分发送数据 (正)	B18

(1) 必须在该引脚和 VSS 之间连接一个外部 $3.01k\Omega \pm 1\%$ 电阻器。不应向该引脚施加外部电压。

(2) 引脚的功能由 SERDES0_LN0_CTRL 来控制。

表 5-61. SERDES1 信号说明

信号名称 [1] (2)	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
SERDES1_REXT (1)	A	串行器/解串器 PHY 外部校准电阻器	F14
SERDES1_REFCLK0N	IO	串行器/解串器 PHY 时钟输入/输出 (负)	B15
SERDES1_REFCLK0P	IO	串行器/解串器 PHY 时钟输入/输出 (正)	B16
SERDES1_RX0_N	I	串行器/解串器 PHY 差分接收数据 (负)	C14
SERDES1_RX0_P	I	串行器/解串器 PHY 差分接收数据 (正)	C15
SERDES1_TX0_N	O	串行器/解串器 PHY 差分发送数据 (负)	A13

表 5-61. SERDES1 信号说明 (续)

信号名称 [1] (2)	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
SERDES1_TX0_P	O	串行器/解串器 PHY 差分发送数据 (正)	A14

- (1) 必须在该引脚和 VSS 之间连接一个外部 3.01kΩ ±1% 电阻器。不应向该引脚施加外部电压。
 (2) 引脚的功能由 SERDES1_LN0_CTRL 来控制。

5.3.24 系统和其他

5.3.24.1 启动模式配置

5.3.24.1.1 MAIN 域

表 5-62. Sysboot 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
BOOTMODE00	I	引导模式引脚 0	R22
BOOTMODE01	I	引导模式引脚 1	R23
BOOTMODE02	I	引导模式引脚 2	R26
BOOTMODE03	I	引导模式引脚 3	T27
BOOTMODE04	I	引导模式引脚 4	T25
BOOTMODE05	I	引导模式引脚 5	T24
BOOTMODE06	I	引导模式引脚 6	T21
BOOTMODE07	I	引导模式引脚 7	T22
BOOTMODE08	I	引导模式引脚 8	U27
BOOTMODE09	I	引导模式引脚 9	U26
BOOTMODE10	I	引导模式引脚 10	V27
BOOTMODE11	I	引导模式引脚 11	V25
BOOTMODE12	I	引导模式引脚 12	V26
BOOTMODE13	I	引导模式引脚 13	V24
BOOTMODE14	I	引导模式引脚 14	V22
BOOTMODE15	I	引导模式引脚 15	V23

5.3.24.2 时钟

5.3.24.2.1 MCU 域

表 5-63. MCU 时钟信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
MCU_OSC0_XI	I	高频振荡器输入	A5
MCU_OSC0_XO	O	高频振荡器输出	A6

5.3.24.2.2 WKUP 域

表 5-64. WKUP 时钟信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
WKUP_LFOSC0_XI	I	低频 (32.768KHz) 振荡器输入	A3
WKUP_LFOSC0_XO	O	低频 (32.768KHz) 振荡器输出	A2

5.3.24.3 System

5.3.24.3.1 MAIN 域

表 5-65. 系统信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
AUDIO_EXT_REFCLK0	IO	McASP 的外部时钟输入或 McASP 的输出	E22、F23、W23
AUDIO_EXT_REFCLK1	IO	McASP 的外部时钟输入或 McASP 的输出	B21、C26、N24
AUDIO_EXT_REFCLK2	IO	McASP 的外部时钟输入或 McASP 的输出	W26
CLKOUT0	O	RMII 时钟输出 (50MHz)。该引脚用作外部 RMII PHY 的时钟源，并且还必须路由回相应的 RMII[x]_REF_CLK 引脚以确保器件正常运行。	A23、AA22、AF24
EXTINTn	I	外部中断	B23
EXT_REFCLK1	I	主域的外部时钟输入	A23
MAIN_ERRORn	IO	主域 ESM 的错误信号输出	B25、C20、N25
OBSCLK0	O	主域观察时钟输出，仅用于测试和调试目的	V27
OBSCLK1	O	主域观察时钟输出，仅用于测试和调试目的	D23
PORz_OUT	O	主域 POR 状态输出	D27
RESETSTATz	O	主域热复位状态输出	E27
RESET_REQz	I	主域外部热复位请求输入	E26
SYNC0_OUT	O	来自时间同步路由器的 CPTS 时间戳生成器位 0 输出	D23
SYNC1_OUT	O	来自时间同步路由器的 CPTS 时间戳生成器位 1 输出	A23
SYNC2_OUT	O	来自时间同步路由器的 CPTS 时间戳生成器位 2 输出	D22
SYNC3_OUT	O	来自时间同步路由器的 CPTS 时间戳生成器位 3 输出	C22
SYSCLKOUT0	O	主域系统时钟输出 (4 分频)，仅用于测试和调试目的	A23

5.3.24.3.2 MCU 域

表 5-66. MCU 系统信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
MCU_ERRORn	IO	MCU 域 ESM 的错误信号输出	B7
MCU_EXT_REFCLK0	I	MCU 域的外部输入	A10、C1
MCU_OBSCLK0	O	MCU 域观察时钟输出，仅用于测试和调试目的	A10
MCU_PORz	I	MCU 和主域冷复位	E8
MCU_RESETSTATz	O	MCU 域热复位状态输出	E13
MCU_RESETz	I	MCU 和主域热复位	D10
MCU_SYSCLKOUT0	O	MCU 域系统时钟输出 (除以 4)，仅用于测试和调试目的	A10

5.3.24.3.3 WKUP 域

表 5-67. WKUP 系统信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
PMIC_LPM_EN0	O	双功能 PMIC 控制输出，低功耗模式 (低电平有效) 或 PMIC 使能 (高电平有效)	A8
WKUP_CLKOUT0	O	WKUP 域 CLKOUT0 输出	F12

5.3.24.4 VMON

表 5-68. VMON 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
VMON_1P8_SOC	A	1.8 V SoC 电源的电压监控输入	J7
VMON_3P3_SOC	A	3.3V SoC 电源的电压监控输入	K7
VMON_ER_VSYS	A	电压监控输入, 0.45V (+/-3%) 固定阈值。与外部精密分压器配合使用, 以监控更高的电压轨, 例如 PMIC 输入电源。	G7

5.3.25 计时器

5.3.25.1 MAIN 域

表 5-69. TIMER 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
TIMER_IO0	IO	计时器输入和输出 (未连接到单个计时器实例)	C24、H25
TIMER_IO1	IO	计时器输入和输出 (未连接到单个计时器实例)	A22、J23
TIMER_IO2	IO	计时器输入和输出 (未连接到单个计时器实例)	D22、H20
TIMER_IO3	IO	计时器输入和输出 (未连接到单个计时器实例)	C22、H23
TIMER_IO4	IO	计时器输入和输出 (未连接到单个计时器实例)	A23、H24
TIMER_IO5	IO	计时器输入和输出 (未连接到单个计时器实例)	B22、H22
TIMER_IO6	I	计时器输入和输出 (未连接到单个计时器实例)	B24、E22
TIMER_IO7	IO	计时器输入和输出 (未连接到单个计时器实例)	A24、B21

5.3.25.2 MCU 域

表 5-70. MCU_TIMER 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
MCU_TIMER_IO0	IO	计时器输入和输出 (未连接到单个计时器实例)	B5、D8
MCU_TIMER_IO1	IO	计时器输入和输出 (未连接到单个计时器实例)	A10、C5
MCU_TIMER_IO2	IO	计时器输入和输出 (未连接到单个计时器实例)	C1
MCU_TIMER_IO3	IO	计时器输入和输出 (未连接到单个计时器实例)	B1

5.3.25.3 WKUP 域

表 5-71. WKUP_TIMER 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
WKUP_TIMER_IO0	IO	计时器输入和输出 (未连接到单个计时器实例)	B2、C4
WKUP_TIMER_IO1	IO	计时器输入和输出 (未连接到单个计时器实例)	C12、C3

5.3.26 UART

5.3.26.1 MAIN 域

表 5-72. UART0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
UART0_CTSn	I	UART 允许发送 (低电平有效)	E22
UART0_RTSn	O	UART 请求发送 (低电平有效)	B21

表 5-72. UART0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
UART0_RXD	I	UART 接收数据	F19
UART0_TXD	O	UART 发送数据	F20

表 5-73. UART1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
UART1_CTSn	I	UART 允许发送 (低电平有效)	A25
UART1_DCDn	I	UART 允许发送 (低电平有效)	D23
UART1_DSRn	I	UART 数据集就绪 (低电平有效)	B22
UART1_DTRn	O	UART 数据终端就绪 (低电平有效)	D22
UART1_RIn	I	UART 振铃指示器	C22
UART1_RTSn	O	UART 请求发送 (低电平有效)	A26
UART1_RXD	I	UART 接收数据	C24、C27
UART1_TXD	O	UART 发送数据	A22、F24

表 5-74. UART2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
UART2_CTSn	I	UART 允许发送 (低电平有效)	AC26、H23、V22
UART2_RTSn	IO	UART 请求发送 (低电平有效)	AB23、H20、V23
UART2_RXD	I	UART 接收数据	E22、H25、U27、W27
UART2_TXD	IO	UART 发送数据	B21、J23、U26、W25

表 5-75. UART3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
UART3_CTSn	I	UART 允许发送 (低电平有效)	A24、AC27
UART3_RTSn	I	UART 请求发送 (低电平有效)	AB24、B24
UART3_RXD	I	UART 接收数据	H24、V27、W24
UART3_TXD	IO	UART 发送数据	H22、V25、W23

表 5-76. UART4 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
UART4_CTSn	I	UART 允许发送 (低电平有效)	AB27
UART4_RTSn	O	UART 请求发送 (低电平有效)	AB26
UART4_RXD	I	UART 接收数据	F26、P22、V26、W22
UART4_TXD	O	UART 发送数据	H21、P23、V24、W21

表 5-77. UART5 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
UART5_CTSn	I	UART 允许发送 (低电平有效)	AA22、L22
UART5_RTSn	O	UART 请求发送 (低电平有效)	AA23、L23
UART5_RXD	I	UART 接收数据	D22、J27、K22、V22、Y26
UART5_TXD	O	UART 发送数据	C22、H27、J22、V23、Y27

表 5-78. UART6 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
UART6_CTSn	I	UART 允许发送 (低电平有效)	AB25、M27
UART6_RTSn	O	UART 请求发送 (低电平有效)	AA25、N27
UART6_RXD	I	UART 接收数据	A25、AA24、B24、H26、L21、W26
UART6_TXD	O	UART 发送数据	A24、A26、AA27、F27、M26、N24

5.3.26.2 MCU 域

表 5-79. MCU_UART0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
MCU_UART0_CTSn	I	UART 允许发送 (低电平有效)	B5
MCU_UART0_RTSn	O	UART 请求发送 (低电平有效)	C5
MCU_UART0_RXD	I	UART 接收数据	B8
MCU_UART0_TXD	O	UART 发送数据	B4

5.3.26.3 WKUP 域

表 5-80. WKUP_UART0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
WKUP_UART0_CTSn	I	UART 允许发送 (低电平有效)	C4
WKUP_UART0_RTSn	O	UART 请求发送 (低电平有效)	C3
WKUP_UART0_RXD	I	UART 接收数据	B3
WKUP_UART0_TXD	O	UART 发送数据	C8

5.3.27 USB

5.3.27.1 MAIN 域

表 5-81. USB0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
USB0_DM	IO	USB 2.0 差分数据 (负)	AB5
USB0_DP	IO	USB 2.0 差分数据 (正)	AA6
USB0_DRVBUS	O	USB VBUS 控制输出 (高电平有效)	E25
USB0_RCALIB ⁽¹⁾	A	连接到校准电阻的引脚	AA8

表 5-81. USB0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
USB0_VBUS ⁽²⁾	A	USB 电平转换的 VBUS 输入	W7

- (1) 必须在该引脚和 VSS 之间连接一个外部 $499\ \Omega \pm 1\%$ 电阻器，该电阻器的最大功耗为 7.2mW。不应向该引脚施加外部电压。
(2) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。有关更多信息，请参阅节 8.2.3 USB VBUS 设计指南。

表 5-82. USB1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AMW 引脚 [4]
USB1_DM	IO	USB 2.0 差分数据 (负)	E17
USB1_DP	IO	USB 2.0 差分数据 (正)	D17
USB1_DRVVBUS	O	USB VBUS 控制输出 (高电平有效)	B27
USB1_RCALIB ⁽¹⁾	A	连接到校准电阻的引脚	E18
USB1_VBUS ⁽²⁾	A	USB 电平转换的 VBUS 输入	F18

- (1) 必须在该引脚和 VSS 之间连接一个外部 $499\ \Omega \pm 1\%$ 电阻器，该电阻器的最大功耗为 7.2mW。不应向该引脚施加外部电压。
(2) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。有关更多信息，请参阅节 8.2.3 USB VBUS 设计指南。

5.4 引脚连接要求

本节介绍了具有特定连接要求的封装焊球和未使用封装焊球的连接要求。

备注

除非另有说明，否则必须为所有电源引脚提供 *建议运行条件* 中指定的电压。

备注

需要补充说明的是，“保持未连接状态”或“无连接”(NC) 表示这些器件焊球编号不能连接任何信号布线。

表 5-83. 连接要求

AMW 焊球编号	焊球名称	连接要求
B10	TRSTn	这些焊球每一个均必须通过单独的外部拉电阻器连接到 VSS，以确保如果 PCB 信号布线已连接并且未由连接的器件主动驱动，这些焊球会保持为有效的逻辑低电平。如果没有 PCB 信号布线连接到焊球，则可以使用内部下拉来保持有效的逻辑低电平。
A11 E12 F11	TCK TDI TMS	这些焊球每一个均必须通过单独的外部拉电阻器连接到相应的电源 ⁽¹⁾ ，以确保如果信号布线 PCB 已连接并且未由连接的器件主动驱动，则与这些焊球相关的输入保持为有效的逻辑高电平。如果没有 PCB 信号布线连接到焊球，则可以使用内部上拉来保持有效的逻辑高电平。

表 5-83. 连接要求 (续)

AMW 焊球 编号	焊球名称	连接要求
C9 F9 D10 E26 E8 B23 B13 E11 B9 D11 F1 J1 U1 T1	EMU0 EMU1 MCU_RESETz RESET_REQz MCU_PORz EXTINTN MCU_I2C0_SCL MCU_I2C0_SDA WKUP_I2C0_SCL WKUP_I2C0_SDA DDR0_DQS0_n DDR0_DQS1_n DDR0_DQS2_n DDR0_DQS3_n	这些焊球每一个均必须通过单独的外部拉电阻器连接到相应的电源 ⁽¹⁾ ，以确保与这些焊球相关的输入保持为有效的逻辑高电平（如果未使用）。
R22 R23 R26 T27 T25 T24 T21 T22 U27 U26 V27 V25 V26 V24 V22 V23	GPMC0_AD0 GPMC0_AD1 GPMC0_AD2 GPMC0_AD3 GPMC0_AD4 GPMC0_AD5 GPMC0_AD6 GPMC0_AD7 GPMC0_AD8 GPMC0_AD9 GPMC0_AD10 GPMC0_AD11 GPMC0_AD12 GPMC0_AD13 GPMC0_AD14 GPMC0_AD15	这些焊球每一个均必须通过单独的外部拉电阻器连接到相应的电源 ⁽¹⁾ 或 VSS，以确保与这些焊球相关的输入相应地保持为有效的逻辑高电平或逻辑低电平，从而选择所需的器件引导模式。
E1 H1 T1 W1 G7 J7 K7 A3	DDR0_DQS0 DDR0_DQS1 DDR0_DQS2 DDR0_DQS3 VMON_ER_VSYS VMON_1P8_SOC VMON_3P3_SOC WKUP_LFOSC0_XI	这些焊球每一个均必须通过单独的外部拉电阻器连接到 VSS，以确保这些焊球会保持为有效的逻辑低电平（如果未使用）。
E15 F14 AB8 AA10 AB14 AB15 AA16 AA8 E18	SERDES0_REXT SERDES1_REXT CSI0_RXRCALIB CSI1_RXRCALIB CSI2_RXRCALIB CSI3_RXRCALIB DSI0_TXRCALIB USB0_RCALIB USB1_RCALIB	这些焊球每一个均必须通过适合的外部拉电阻器连接到 VSS，以确保这些焊球会保持为有效的逻辑低电平（如果未使用）。有关每个信号的拉电阻的适当值，请参阅信号说明脚注。
G9 AC1	VPP MMC0_CALPAD	如果未使用，这些焊球中的每一个都必须保持未连接状态。

(1) 要确定与任何 IO 关联的电源，请参阅引脚属性表中的“电源”一列。

备注

带有焊盘配置寄存器的所有其他未使用信号焊球可保持未连接状态，它们的多路复用模式设置为 GPIO 输入且启用内部下拉电阻器。未使用的焊球定义为只与 PCB 焊盘连接的焊球。允许使用内部拉电阻器作为保持有效逻辑电平的唯一拉电流/灌电流。任何连接到过孔、测试点或 PCB 布线的焊球均视为已使用，并且不得依赖内部拉电阻器来保持有效的逻辑电平。

内部拉电阻器很弱，在某些工作条件下可能无法提供足够的电流来保持有效的逻辑电平。当连接到具有相反逻辑电平泄漏的元件时，或者当外部噪声源与连接到仅由内部电阻器拉至有效逻辑电平的焊球的信号布线耦合时，可能会出现这种情况。因此，建议使用外部拉电阻器来在具有外部连接的焊球上保持有效的逻辑电平。

很多处理器 I/O 默认处于关闭状态，并且可能需要外部拉电阻器才能将任何所连接器件的输入保持在有效逻辑状态，直到软件初始化相应的 I/O。引脚属性表的“复位 RX/TX/PULL 期间的焊球状态”和“复位 RX/TX/PULL 后的焊球状态”列中定义了可配置器件 IO 的状态。任何输入缓冲器 (RX) 关闭的 IO 都可以浮动，而不会损坏器件。但是，任何已打开输入缓冲器 (RX) 的 IO 不得浮动到 V_{ILSS} 和 V_{IHSS} 之间的任何电位。输入缓冲器可以进入高电流状态，如果允许在这些电平之间浮动，则可能会损坏 IO 单元。

6 规格

备注

列出的所有规格均为初步规格，在器件表征期间可能会发生变化。

6.1 绝对最大额定值

在工作结温范围内测得（除非另有说明）^{(1) (2)}

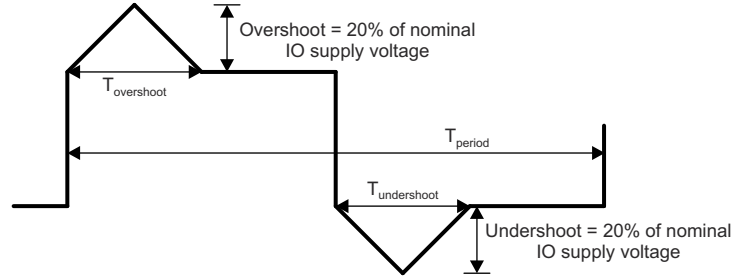
参数		最小值	最大值	单位
VDD_CORE	内核电源	-0.3	1.05	V
VDDR_CORE	RAM 内核电源	-0.3	1.05	V
VDD_CANUART	CANUART 内核电源	-0.3	1.05	V
VDDA_CORE_CSI_DSI	CSIRX0 和 DSITX0 内核电源	-0.3	1.05	V
VDDA_CORE_CSI_DSI_CLK	CSIRX0 和 DSITX0 时钟内核电源	-0.3	1.05	V
VDDA_CORE_USB0 VDDA_CORE_USB1	USB0 和 USB1 内核电源	-0.3	1.05	V
VDDA_DDR_PLL0	DDR 校正 PLL 电源	-0.3	1.05	V
VDD_MMC0	MMC0 PHY 内核电源	-0.3	1.05	V
VDDA_0P85_DLL_MMC0	MMC0 DLL 模拟电源	-0.3	1.05	V
VDDA_0P85_SERDES VDDA_0P85_SERDES_C	SERDES 模拟电源	-0.3	1.05	V
VDDS_DDR	DDR PHY IO 电源	-0.3	1.57	V
VDDS_DDR_C	DDR 时钟 IO 电源	-0.3	1.57	V
VDDA_1P8_SERDES	串行器/解串器 PHY IO 电源	-0.3	1.98	V
VDDS_MMC0	MMC0 PHY IO 电源	-0.3	1.98	V
VDDS_OSC0	MCU_OSC0 和 WKUP_LFOSC0 电源	-0.3	1.98	V
VDDA_MCU	RCOSC、POR、POK 和 MCU PLL 模拟电源	-0.3	1.98	V
VDDA_PLL0	SMS PLL 模拟电源	-0.3	1.98	V
VDDA_PLL1	主 PLL、PER0 PLL 和 PER1 PLL 模拟电源	-0.3	1.98	V
VDDA_PLL2	DDR PLL 和 ARM0 PLL 模拟电源	-0.3	1.98	V
VDDA_PLL3	VIDEO PLL 和 GPU PLL 模拟电源	-0.3	1.98	V
VDDA_PLL4	DSS PLL0、DSS PLL1 和 DSS PLL2 模拟电源	-0.3	1.98	V
VDDA_PLL5	C7x PLL 模拟电源	-0.3	1.98	V
VDDA_1P8_CSI_DSI	CSIRX0 和 DSITX0 1.8V 模拟电源	-0.3	1.98	V
VDDA_1P8_OLDIO	OLDIO 1.8V 模拟电源	-0.3	1.98	V
VDDA_1P8_USB0 VDDA_1P8_USB1	USB0 和 USB1 1.8V 模拟电源	-0.3	1.98	V
VDDA_TEMP0	TEMP0 模拟电源	-0.3	1.98	V
VDDA_TEMP1	TEMP1 模拟电源	-0.3	1.98	V
VDDA_TEMP2	TEMP2 模拟电源	-0.3	1.98	V
VPP	电子保险丝 ROM 编程电源	-0.3	1.98	V
VDDSHV_MCU	IO 组 MCU 的 IO 电源	-0.3	3.63	V
VDDSHV_CANUART	IO 组 CANUART 的 IO 电源	-0.3	3.63	V
VDDSHV0	IO 组 0 的 IO 电源	-0.3	3.63	V
VDDSHV1	IO 组 1 的 IO 电源	-0.3	3.63	V
VDDSHV2	IO 组 2 的 IO 电源	-0.3	3.63	V

在工作结温范围内测得 (除非另有说明) (1) (2)

参数		最小值	最大值	单位
VDDSHV3	IO 组 3 的 IO 电源	-0.3	3.63	V
VDDSHV5	IO 组 5 的 IO 电源	-0.3	3.63	V
VDDSHV6	IO 组 6 的 IO 电源	-0.3	3.63	V
VDDA_3P3_USB0 VDDA_3P3_USB1	USB0 和 USB1 3.3V 模拟电源	-0.3	3.63	V
所有失效防护 IO 引脚的稳态最大电压	MCU_PORz	-0.3	3.63	V
	以 1.8V 运行时的 MCU_I2C0_SCL、 MCU_I2C0_SDA、WKUP_I2C0_SCL、 WKUP_I2C0_SDA、EXTINTn	-0.3	1.98 ⁽³⁾	V
	以 3.3V 运行时的 MCU_I2C0_SCL、 MCU_I2C0_SDA、WKUP_I2C0_SCL、 WKUP_I2C0_SDA、EXTINTn	-0.3	3.63 ⁽³⁾	V
	VMON_1P8_SOC	-0.3	1.98	V
	VMON_3P3_SOC	-0.3	3.63	V
	VMON_VSYS ⁽⁴⁾	-0.3	1.98	V
所有其他 IO 引脚的稳态最大电压 ⁽⁵⁾	USB0_VBUS、USB1_VBUS ⁽⁶⁾	-0.3	3.6	V
	所有其他 IO 引脚	-0.3	IO 电源电压 + 0.3	V
IO 引脚的瞬态过冲和下冲	20% 信号周期期间 20% 的 IO 电源电压 (请参阅图 6-1)		$0.2 \times VDD$ ⁽⁷⁾	V
闩锁性能 ⁽⁸⁾	电流测试	-100	100	mA
	过压 (OV) 测试		$1.5 \times VDD$ ⁽⁷⁾	V
T _{STG}	贮存温度	-55	+150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出[建议运行条件](#)但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。
- (2) 除非另有说明，否则所有电压值均以 VSS 为基准。
- (3) 这些失效防护引脚的绝对最大额定值取决于其 IO 电源工作电压。因此，该值也由 [I2C 开漏和失效防护 \(I2C OD FS\) 电气特性](#) 一节中的最大 V_{IH} 值定义，其中电气特性表具有针对 1.8V 模式和 3.3V 模式的单独参数值。
- (4) VMON_VSYS 引脚提供了一种监测系统电源的方法。有关更多信息，请参阅[系统电源监测设计指南](#)。
- (5) 此参数适用于所有不具有失效防护功能的 IO 引脚，该要求适用于所有 IO 电源电压值。例如，如果施加到特定 IO 电源的电压为 0V，则由该电源供电的任何 IO 的有效输入电压范围将为 -0.3V 至 +0.3V。每当外设不是由用于为相应 IO 电源供电的相同电源供电时，都应特别注意。所连接的外设绝不能提供超出有效输入电压范围的电压（包括电源斜升和斜降序列），这一点很重要。
- (6) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。如需更多信息，请参阅[USB VBUS 设计指南](#)。
- (7) VDD 是 IO 相应电源引脚上的电压。
- (8) 对于电流脉冲注入（电流测试）：
 - 引脚应力符合 JEDEC JESD78（II 级），并施加额定 I/O 引脚注入电流和钳位电压（最大推荐 I/O 电压的 1.5 倍和最大推荐 I/O 电压的负 0.5 倍）。
 对于过压性能（过压 (OV) 测试）：
 - 电源应力符合 JEDEC JESD78（II 级）并施加额定电压注入。

失效防护 IO 终端的设计使其不依赖于相应的 IO 电源电压。这样便可在相应 IO 电源关闭时，将外部电压源连接到这些 IO 终端。MCU_I2C0_SCL、MCU_I2C0_SDA、WKUP_I2C0_SCL、WKUP_I2C0_SDA、EXTINTn、VMON_1P8_SOC、VMON_3P3_SOC 和 MCU_PORz 是仅有的失效防护 IO 端子。所有其他 IO 终端都不具有失效防护功能，对其施加的电压应限制为[节 6.1](#)中的所有 IO 引脚的稳态最大电压参数定义的值。



A. $T_{overshoot} + T_{undershoot} < T_{period}$ 的 20%

图 6-1. IO 瞬态电压范围

6.2 未通过 AEC - Q100 认证的器件的 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电 (ESD)	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±1000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±250	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 能够在标准 ESD 控制流程下安全生产。
 (2) JEDEC 文档 JEP157 指出: 250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 上电小时数 (POH)

上电小时数 (POH) ^{(1) (2) (3)}	
结温范围 (T_J) ⁽⁴⁾	使用寿命 (POH)
-40°C 至 105°C	100000
-40°C 至 125°C	20000 ⁽⁵⁾

- (1) 为方便起见, 单独提供这些信息, 并且未扩展或修改适用于 TI 半导体产品的 TI 标准条款和条件下提供的保修范围。
 (2) 除非上表中另有说明, 否则器件在额定温度下支持所有电压域和工作条件。
 (3) POH 是电压、温度和时间的函数。在较高电压和温度下使用会导致 POH 降低。
 (4) 应选择 -40 至 105C 或 -40 至 125C 温度曲线并在应用的整个生命周期内应用。为了延长温度和/或 POH 的目的而混合使用这些温度曲线可能会导致可靠性故障风险增加, 因此不建议这样做。
 (5) -40 至 125C 温度曲线定义为 20000 小时通电时间, 此时结温如下所示: 5% (-40°C)、65% (70°C)、20% (110°C) 和 10% (125°C)。

6.4 建议运行条件

在工作结温范围内测得 (除非另有说明)

电源名称	说明	最小值 ⁽¹⁾	标称值	最大值 ⁽¹⁾	单位	
VDD_CORE ⁽²⁾	内核电源 CSIRX0 和 DSITX0 内核电源	0.75V 工作电压	0.715	0.75	0.79	V
VDDA_CORE_CSI_DSI ⁽²⁾ VDDA_CORE_CSI_DSI_C LK ⁽²⁾		0.85V 工作电压	0.81	0.85	0.895	V
VDDA_CORE_USB0 ⁽²⁾ VDDA_CORE_USB1 ⁽²⁾ VDDA_DDR_PLL0 ⁽²⁾	DSITX0 时钟内核电源 USB0 和 USB1 内核电源 DDR 偏斜消除 PLL 电源		0.75V 工作电压	0.715	0.75	0.79
VDD_CANUART ⁽³⁾	CANUART 内核电源	0.85V 工作电压	0.81	0.85	0.895	V
VDDR_CORE		RAM 内核电源	0.81	0.85	0.895	V
VDD_MMC0 ⁽⁴⁾ VDDA_0P85_DLL_MMC0 (4)	MMC0 PHY 内核电源 MMC0 DLL 模拟电源	0.81	0.85	0.895	V	
VDDA_0P85_SERDES VDDA_0P85_SERDES_C	串行器/解串器 PHY 内核电源 串行器/解串器模拟电源	0.81	0.85	0.895	V	
VDDS_DDR ⁽⁵⁾ VDDS_DDR_C ⁽⁵⁾	DDR PHY IO 电源 DDR 时钟 IO 电源	1.1V 工作电压	1.06	1.1	1.17	V
VDDA_1P8_SERDES	SERDES 模拟电源	1.71	1.8	1.89	V	
VDDS_MMC0	MMC0 PHY IO 电源	1.71	1.8	1.89	V	
VDDS_OSC0	MCU_OSC0 和 WKUP_LFOSC0 电源	1.71	1.8	1.89	V	
VDDA_MCU	RCOSC、POR、POK 和 MCU PLL 模拟电源	1.71	1.8	1.89	V	
VDDA_PLL0	SMS PLL 模拟电源	1.71	1.8	1.89	V	
VDDA_PLL1	主 PLL、PER0 PLL 和 PER1 PLL 模拟电源	1.71	1.8	1.89	V	
VDDA_PLL2	DDR PLL 和 ARM0 PLL 模拟电源	1.71	1.8	1.89	V	
VDDA_PLL3	VIDEO PLL 和 GPU PLL 模拟电源	1.71	1.8	1.89	V	
VDDA_PLL4	DSS PLL0、DSS PLL1 和 DSS PLL2 模拟电源	1.71	1.8	1.89	V	
VDDA_PLL5	C7x PLL 模拟电源	1.71	1.8	1.89	V	
VDDA_1P8_CSI_DSI	CSIRX0 和 DSITX0 1.8V 模拟电源	1.71	1.8	1.89	V	
VDDA_1P8_OLDI0	OLDI0 1.8V 模拟电源	1.71	1.8	1.89	V	
VDDA_1P8_USB0 VDDA_1P8_USB1	USB0 和 USB1 1.8V 模拟电源	1.71	1.8	1.89	V	
VDDA_TEMP0	TEMP0 模拟电源	1.71	1.8	1.89	V	
VDDA_TEMP1	TEMP1 模拟电源	1.71	1.8	1.89	V	
VDDA_TEMP2	TEMP2 模拟电源	1.71	1.8	1.89	V	
VPP	电子保险丝 ROM 编程电源	请参阅 ⁽⁶⁾	请参阅 ⁽⁶⁾	请参阅 ⁽⁶⁾	V	
VMON_1P8_SOC	1.8V SoC 电源的电压监测	1.71	1.8	1.89	V	
VDDA_3P3_USB0	USB0 3.3V 模拟电源	3.135	3.3	3.465	V	
VDDA_3P3_USB1	USB1 3.3V 模拟电源					
VMON_3P3_SOC	3.3V SoC 电源的电压监测	3.135	3.3	3.465	V	
VMON_ER_VSYS	系统电源的电压监测	0	请参阅 ⁽⁷⁾	1	V	
USB0_VBUS	USB0 电平转换的 VBUS 输入	0	请参阅 ⁽⁸⁾	3.465	V	
USB1_VBUS	USB1 电平转换的 VBUS 输入	0	请参阅 ⁽⁸⁾	3.465	V	
VDDSHV_CANUART ⁽⁹⁾	IO 组 CANUART 的双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V

在工作结温范围内测得 (除非另有说明)

电源名称	说明	最小值 ⁽¹⁾	标称值	最大值 ⁽¹⁾	单位	
VDDSHV_MCU	IO 组 MCU 的双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV0	IO 组 0 的双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV1	IO 组 1 的双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV2	IO 组 2 的双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV3	IO 组 3 的双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV5	IO 组 5 的双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV6	IO 组 6 的双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
T _J	工作结温范围	125°C 工业和汽车	-40	125	°C	

- (1) 在器件正常运行期间, 器件焊球上的电压在任何时间段绝不能降至 MIN 电压以下或升至 MAX 电压以上。
- (2) VDD_CORE、VDDA_CORE_CSI_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB 和 VDDA_DDR_PLL0 应来自同一电源。应注意确保 VDD_CORE 和 VDDA_CORE_USB 之间的电压差处于 +/- 1% 之内。
- (3) 当使用部分 IO 或仅 IO + DDR 自刷新低功耗模式时, VDD_CANUART 应连接到常开型电源。当不使用 Partial IO 或 IO Only + DDR 自刷新低功耗模式时, VDD_CANUART 应连接到与 VDD_CORE、VDDA_CORE_CSI_DSI、VDDA_CORE_USB 和 VDDA_DDR_PLL0 相同的电源。
- (4) 不使用 MMC0 时, 必须将 VDD_MMC0 和 VDD_0P85_DLL_MMC0 连接到与 VDD_CORE 相同的电源。在这种情况下, VDD_MMC0 和 VDDA_0P85_DLL_MMC0 可以在 0.75 或 0.85 的标称电压下运行。
- (5) VDDS_DDR 和 VDDS_DDR_C 应来自同一电源。
- (6) 对于基于电子保险丝用法的 VPP 电源电压, 请参阅 [OTP 电子保险丝编程的建议运行条件表](#)。
- (7) VMON_VSYS 引脚提供了一种监测系统电源的方法。有关更多信息, 请参阅 [系统电源监测设计指南](#)。
- (8) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。有关更多信息, 请参阅 [USB VBUS 设计指南](#)。
- (9) 当使用部分 IO 或仅 IO + DDR 自刷新低功耗模式时, VDDSHV_CANUART 应连接到常开型电源。当使用部分 IO 或仅 IO + DDR 自刷新低功耗模式时, VDDSHV_CANUART 应连接到任何有效 IO 电源。

6.5 运行性能点

表 6-1 定义了每个器件速度等级的时钟的最大工作频率，表 6-2 定义了器件子系统和内核时钟的仅有有效运行性能点 (OPP)。

表 6-1. 器件速度等级

速度等级	VDD_CORE (V) ⁽¹⁾	最大工作频率 (MHz)												最大数据速率 (MT/s) ⁽²⁾	
		A53SS (Cortex-A53x)	C7/MMA	R5FSS0	主域 SYSCLK	MCU R5F	MCU 域 SYSCLK	设备管理器 R5F	设备管理器域 CLK	HSM	GPU	VPAC	DMPAC		VPU
J	0.75	1250	912.5	800	500	800	400	800	400	400	720	600	428.5	500	3200 至 3733
K	0.85	1400	1000								800				3466 至 4000

- 额定工作电压，请参阅节 6.4。
- 最大 DDR 频率将根据系统中使用的特定存储器类型 (供应商) 以及根据 PCB 实现进行限制。有关实现最大 DDR 频率的适当 PCB 实施方案，请参阅 LPDDR4 电路板设计和布局布线指南。建议软件使用可满足系统性能要求的所需最低 LPDDR4 传输速率。

表 6-2. 器件运行性能点

OPP	A53SS ⁽¹⁾	C7/MMA	固定工作频率选项 (MHz) ⁽²⁾											MT/s ⁽³⁾
			R5FSS0	主域 SYSCLK	MCU R5F	MCU 域 SYSCLK	设备管理器 R5F	设备管理器域 CLK	HSM	GPU	VPAC	DMPAC	VPU	
高电平	从 PLL BP 至速度等级最大值	从 PLL BP 至速度等级最大值	800	500	800	400	800	400	400	速度等级最大值	600	428.5	500、400、200 或 100	从 PLL BP 至速度等级最大值
低电平			400	250	400	200	400	133	133					

- 默认工作频率，在启动时由软件设置。支持启动后动态频率调节。
- 固定工作频率，在启动时由软件设置。
- 最大 DDR 频率将根据系统中使用的特定存储器类型 (供应商) 以及根据 PCB 实现进行限制。有关实现最大 DDR 频率的适当 PCB 实施方案，请参阅 LPDDR4 电路板设计和布局布线指南。

6.6 电气特性

备注

节 6.6 中所述的接口或信号对应于多路复用模式 0 (主信号功能) 中可用的接口或信号。

这些表中介绍的焊球上多路复用的所有接口或信号都具有相同的直流电气特性, 除非多路复用涉及 PHY 和 GPIO 组合, 在这种情况下, 会为不同的复用模式 (功能) 指定不同的直流电气特性。

6.6.1 I2C 开漏和失效防护 (I2C OD FS) 电气特性

在建议的运行条件下 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
1.8V 模式						
V _{IL}	输入低电压				0.3 × VDD ⁽¹⁾	V
V _{ILSS}	输入低电压稳态				0.3 × VDD ⁽¹⁾	V
V _{IH}	输入高电压		0.7 × VDD ⁽¹⁾		1.98 ⁽²⁾	V
V _{IHSS}	输入高电压稳态		0.7 × VDD ⁽¹⁾			V
V _{HYS}	输入迟滞电压		0.1 × VDD ⁽¹⁾			mV
I _{IN}	输入漏电流。	V _I = 1.8V 或 V _I = 0V			±10	μA
V _{OL}	输出低电压				0.2 × VDD ⁽¹⁾	V
I _{OL} ⁽³⁾	低电平输出电流	V _{OL(MAX)}	10			mA
SR _I ⁽⁵⁾	输入压摆率		18f ⁽⁴⁾ 或 1.8E+6			V/s
3.3V 模式⁽⁶⁾						
V _{IL}	输入低电压				0.3 × VDD ⁽¹⁾	V
V _{ILSS}	输入低电压稳态				0.25 × VDD ⁽¹⁾	V
V _{IH}	输入高电压		0.7 × VDD ⁽¹⁾		3.63 ⁽²⁾	V
V _{IHSS}	输入高电压稳态		0.7 × VDD ⁽¹⁾			V
V _{HYS}	输入迟滞电压		0.05 × VDD ⁽¹⁾			mV
I _{IN}	输入漏电流。	V _I = 3.3V 或 V _I = 0V			±10	μA
V _{OL}	输出低电压				0.4	V
I _{OL} ⁽³⁾	低电平输出电流	V _{OL(MAX)}	10			mA
SR _I ⁽⁵⁾	输入压摆率		33f ⁽⁴⁾ 或 3.3E+6		8E+7	V/s

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息, 请参阅引脚属性表的 POWER 列。

(2) 该值还定义了 IO 的“绝对最大额定值”值。

(3) I_{OL} 参数定义了器件能够保持指定 V_{OL} 值的最小低电平输出电流。此参数定义的值应被视为系统实现可提供的最大电流, 而系统实现需要为附加元件保持指定的 V_{OL} 值。

(4) f = 输入信号的切换频率 (以 Hz 为单位)。

(5) 此最小值参数仅适用于在相应的时序和开关特性部分中未定义的输入信号功能。选择会产生最大值的最小值参数。

(6) 在 3.3V 模式下操作 IO 时, 不支持 I2C Hs 模式。

6.6.2 失效防护复位 (FS 复位) 电气特性

在建议的运行条件下 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	输入低电压				$0.3 \times V_{DD5_OSC0}$	V
V_{ILSS}	输入低电压稳态				$0.3 \times V_{DD5_OSC0}$	V
V_{IH}	输入高电压		$0.7 \times V_{DD5_OSC0}$			V
V_{IHSS}	输入高电压稳态		$0.7 \times V_{DD5_OSC0}$			V
V_{HYS}	输入迟滞电压		200			mV
I_{IN}	输入漏电流。	$V_I = 1.8V$ 或 $V_I = 0V$			± 10	μA
$SR_I^{(2)}$	输入压摆率		$18f^{(1)}$ 或 $1.8E+6$			V/s

(1) f = 输入信号的切换频率 (以 Hz 为单位)。

(2) 此最小值参数仅适用于在相应的时序和开关特性部分中未定义的输入信号功能。选择会产生最大值的最小值参数。

6.6.3 高频振荡器 (HFOSC) 电气特性

在建议的运行条件下 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	输入低电压				$0.35 \times V_{DD5_OSC0}$	V
V_{IH}	输入高电压		$0.65 \times V_{DD5_OSC0}$			V
V_{HYS}	输入迟滞电压			49		mV
I_{IN}	输入漏电流。	$V_I = 1.8V$ 或 $V_I = 0.0V$			± 10	μA

6.6.4 低频振荡器 (LFXOSC) 电气特性

在建议的运行条件下 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	输入低电压				$0.30 \times V_{DD5_OSC0}$	V
V_{IH}	输入高电压		$0.70 \times V_{DD5_OSC0}$			V
V_{HYS}	输入迟滞电压	工作模式		85		mV
		旁路模式		324		mV
I_{IN}	输入漏电流。	$V_I = 1.8V$ 或 $V_I = 0.0V$			± 10	μA

6.6.5 SDIO 电气特性

在建议的运行条件下 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
1.8V 模式						
V _{IL}	输入低电压				0.58	V
V _{ILSS}	输入低电压稳态				0.58	V
V _{IH}	输入高电压		1.27			V
V _{IHSS}	输入高电压稳态		1.7			V
V _{HYS}	输入迟滞电压		150			mV
I _{IN}	输入漏电流。	V _I = 1.8V 或 V _I = 0V			±10	μA
R _{PU}	上拉电阻器		40	50	60	kΩ
R _{PD}	下拉电阻器		40	50	60	kΩ
V _{OL}	输出低电压				0.45	V
V _{OH}	输出高电压		VDD ⁽¹⁾ - 0.45			V
I _{OL} ⁽²⁾	低电平输出电流	V _{OL(MAX)}	4			mA
I _{OH} ⁽²⁾	高电平输出电流	V _{OH(MIN)}	4			mA
SR _I ⁽⁴⁾	输入压摆率		18f ⁽³⁾ 或 1.8E+6			V/s
3.3V 模式						
V _{IL}	输入低电压				0.25 × VDD ⁽¹⁾	V
V _{ILSS}	输入低电压稳态				0.15 × VDD ⁽¹⁾	V
V _{IH}	输入高电压		0.625 × VDD ⁽¹⁾			V
V _{IHSS}	输入高电压稳态		0.625 × VDD ⁽¹⁾			V
V _{HYS}	输入迟滞电压		150			mV
I _{IN}	输入漏电流。	V _I = 3.3V 或 V _I = 0V			±10	μA
R _{PU}	上拉电阻器		40	50	60	kΩ
R _{PD}	下拉电阻器		40	50	60	kΩ
V _{OL}	输出低电压				0.125 × VDD ⁽¹⁾	V
V _{OH}	输出高电压		0.75 × VDD ⁽¹⁾			V
I _{OL} ⁽²⁾	低电平输出电流	V _{OL(MAX)}	6			mA
I _{OH} ⁽²⁾	高电平输出电流	V _{OH(MIN)}	10			mA
SR _I ⁽⁴⁾	输入压摆率		33f ⁽³⁾ 或 3.3E+6			V/s

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅引脚属性表的“电源”列。

(2) I_{OL} 和 I_{OH} 参数定义了器件能够保持指定的 V_{OL} 和 V_{OH} 值的最小低电平输出电流和高电平输出电流。这些参数定义的值应被视为系统实现可提供的最大电流，而系统实现需要为附加元件保持指定的 V_{OL} 和 V_{OH} 值。

(3) f = 输入信号的切换频率 (以 Hz 为单位) 。

(4) 此最小值参数仅适用于在相应的时序和开关特性部分中未定义的输入信号功能。选择会产生最大值的最小值参数。

6.6.6 LVCMOS 电气特性

在建议的运行条件下 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
1.8V 模式						
V _{IL}	输入低电压			0.35 × VDD ⁽¹⁾		V
V _{ILSS}	输入低电压稳态			0.3 × VDD ⁽¹⁾		V
V _{IH}	输入高电压		0.65 × VDD ⁽¹⁾			V
V _{IHSS}	输入高电压稳态		0.85 × VDD ⁽¹⁾			V
V _{HYS}	输入迟滞电压		150			mV
I _{IN}	输入漏电流。	V _I = 1.8V 或 V _I = 0.0V			±10	μA
R _{PU}	上拉电阻器		15	22	30	kΩ
R _{PD}	下拉电阻器		15	22	30	kΩ
V _{OL}	输出低电压				0.45	V
V _{OH}	输出高电压		VDD ⁽¹⁾ - 0.45			V
I _{OL} ⁽²⁾	低电平输出电流	V _{OL(MAX)}	3			mA
I _{OH} ⁽²⁾	高电平输出电流	V _{OH(MIN)}	3			mA
SR _I ⁽⁴⁾	输入压摆率		18f ⁽³⁾ 或 1.8E+6			V/s
3.3V 模式						
V _{IL}	输入低电压				0.8	V
V _{ILSS}	输入低电压稳态				0.6	V
V _{IH}	输入高电压		2.0			V
V _{IHSS}	输入高电压稳态		2.0			V
V _{HYS}	输入迟滞电压		150			mV
I _{IN}	输入漏电流。	V _I = 3.3V 或 V _I = 0.0V			±10	μA
R _{PU}	上拉电阻器		15	22	30	kΩ
R _{PD}	下拉电阻器		15	22	30	kΩ
V _{OL}	输出低电压				0.4	V
V _{OH}	输出高电压		2.4			V
I _{OL} ⁽²⁾	低电平输出电流	V _{OL(MAX)}	5			mA
I _{OH} ⁽²⁾	高电平输出电流	V _{OH(MIN)}	9			mA
SR _I ⁽⁴⁾	输入压摆率		33f ⁽³⁾ 或 3.3E+6			V/s

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅引脚属性表的“电源”列。

(2) I_{OL} 和 I_{OH} 参数定义了器件能够保持指定的 V_{OL} 和 V_{OH} 值的最小低电平输出电流和高电平输出电流。这些参数定义的值应被视为系统实现可提供的最大电流，而系统实现需要为附加元件保持指定的 V_{OL} 和 V_{OH} 值。

(3) f = 输入信号的切换频率 (以 Hz 为单位)。

(4) 此最小值参数仅适用于在相应的时序和开关特性部分中未定义的输入信号功能。选择会产生最大值的最小值参数。

6.6.7 CSI-2 (D-PHY) 电气特性

备注

CSIRX0 符合 2014 年 8 月 1 日发布的 MIPI DPHY v1.2 标准，包括适用的 ECN 和勘误表。

6.6.8 USB2PHY 电气特性

备注

USB0 和 USB1 接口符合 2000 年 4 月 27 日发布的通用串行总线修订版 2.0 规范，包括适用的 ECN 和勘误表。

6.6.9 DDR 电气特性

备注

DDR 接口与符合 **JESD209-4B** 标准的 LPDDR4 器件兼容

6.7 一次性可编程 (OTP) 电子保险丝的 VPP 规格

本节规定了对 OTP 电子保险丝进行编程所需的运行条件。

6.7.1 OTP 电子保险丝编程的建议运行条件

在工作结温范围内测得 (除非另有说明)

参数	说明	最小值	标称值	最大值	单位
VDD_CORE	OTP 运行期间内核域电源电压范围; OPP NOM (BOOT)	请参阅 建议运行条件			V
VPP	在没有硬件支持对电子保险丝 ROM 进行编程的情况下正常运行期间电子保险丝 ROM 域的电源电压范围	NC ⁽¹⁾			V
	在有硬件支持对电子保险丝 ROM 进行编程的情况下正常运行期间电子保险丝 ROM 域的电源电压范围	0			V
	OTP 编程期间电子保险丝 ROM 域的电源电压范围 ⁽²⁾	1.71	1.8	1.89	V
I _(VPP)	VPP 电流	400			mA
SR _(VPP)	VPP 上电压摆率	6E + 4			V/s
T _J	对电子保险丝 ROM 进行编程时的工作结温范围。	0	25	85	°C

(1) NC 表示无连接。

(2) 电源电压范围包括直流误差和峰峰值噪声。

6.7.2 硬件要求

对 OTP 电子保险丝中的密钥进行编程时, 必须满足以下硬件要求:

- 当不对 OTP 寄存器进行编程时, 必须禁用 VPP 电源。
- 在执行正确的器件上电序列后, VPP 电源必须斜升 (有关更多详细信息, 请参阅 [节 6.9.2.2 电源时序控制](#))。

6.7.3 编程序列

OTP 电子保险丝的编程序列:

- 按照上电顺序为电路板加电。上电和正常运行期间, VPP 端子上不应施加电压。
- 加载对电子保险丝进行编程所需的 OTP 写入软件 (请联系您当地的 TI 代表以获取 OTP 软件包)。
- 根据 [节 6.7.1](#) 中的规格在 VPP 端子上施加电压。
- 运行对 OTP 寄存器进行编程的软件。
- 验证 OTP 寄存器的内容后, 移除 VPP 端子上的电压。

6.7.4 对硬件保修的影响

您同意使用安全密钥对 TI 器件进行电子熔断会永久改变它们。您承认, 由于程序序列不正确或中止或者您省略了某个序列步骤等, 电子保险丝可能会发生故障。此外, 如果量产密钥的错误代码校正检查失败, 或者映像未使用当前有效量产密钥进行签名和选择性加密, 则 TI 器件可能无法安全启动。这些类型的情况将导致 TI 器件无法运行, TI 将无法确认在尝试使用电子保险丝之前 TI 器件是否符合其规格。因此, TI 对任何已使用安全密钥进行电子熔断的 TI 器件不承担任何责任 (保修或其他责任)。

6.8 热阻特性

本节提供了该器件上使用的热阻特性。

出于可靠性和可操作性方面的考虑，器件的最高结温必须达到或低于[建议运行条件](#)中确定的 T_J 值。

6.8.1 AMW 封装的热阻特性 (待定)

建议在处于最坏的器件功耗情况下执行系统级热仿真。

编号	参数	说明	AMW 封装	
			$^{\circ}\text{C}/\text{W}^{(1) (3)}$	气流 (m/s) ⁽²⁾
T1	$R_{\Theta_{\text{JC}}}$	结点到外壳	0.50	不适用
T2	$R_{\Theta_{\text{JB}}}$	结点到电路板	2.4	不适用
T3	$R_{\Theta_{\text{JA}}}$	结点到环境空气	12.6	0
T4		结至流动空气	8.0	1
T5			6.9	2
T6			6.4	3
T7	Ψ_{JT}	结至封装顶部	0.25	0
T8			0.26	1
T9			0.27	2
T10			0.27	3
T11	Ψ_{JB}	结点到电路板	2.3	0
T12			2.0	1
T13			1.9	2
T14			1.9	3

(1) 以上值基于 JEDEC 定义的 2S2P 系统 (基于 JEDEC 定义的 1S0P 系统的 Θ_{JC} [$R_{\Theta_{\text{JC}}}$] 值除外)，将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environment Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-6, *Integrated Circuit Thermal Test Method Environmental Conditions - Forced Convection (Moving Air)*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Packages*

(2) m/s = 米/秒。

(3) $^{\circ}\text{C}/\text{W}$ = 摄氏度/瓦。

6.9 时序和开关特性

备注

时序要求和开关特性值可能会根据器件表征结果而变化。

备注

除非另有说明，否则必须使用每个焊盘配置寄存器中的默认 SLEWRATE 设置来确保时序。

6.9.1 时序参数和信息

节 6.9 时序和开关特性 中使用的时序参数符号是根据 JEDEC 标准 100 创建的。为了缩短符号，表 6-3 中缩写了一些引脚名称和其他相关术语：

表 6-3. 时序参数下标

符号	参数
c	周期时间 (周期)
d	延时时间
dis	禁用时间
en	启用时间
h	保持时间
su	设置时间
START	起始位
t	转换时间
v	有效时间
W	脉冲持续时间 (宽度)
X	未知、改变或者不关心级别
F	下降时间
H	高
L	低
R	上升时间
V	有效
IV	无效
AE	有效边沿
FE	第一个边沿
LE	最后一个边沿
Z	高阻抗

6.9.2 电源要求

本节介绍了确保器件正常运行的电源要求。

备注

除非在 *信号说明* 和 *引脚连接要求* 中另有说明，否则必须使用 *建议运行条件* 一节中指定的电压为所有电源焊球供电。

6.9.2.1 电源压摆率要求

为了维持内部 ESD 保护器件的安全工作范围，TI 建议将电源的最大压摆率限制为小于 $18\text{mV}/\mu\text{s}$ 。例如，如图 6-2 所示，对于高于 $100\mu\text{s}$ 的 1.8V 电源，TI 建议采用电源电压斜坡转换时间。

图 6-2 介绍了器件中的电源压摆率要求。

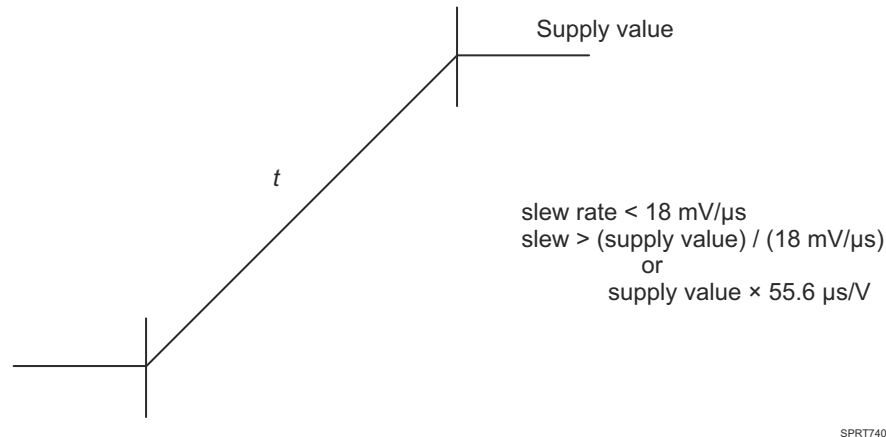


图 6-2. 电源电压转换时间和压摆率

6.9.2.2 电源时序

本节使用电源序列图和相关注释来介绍电源序列要求。每个电源序列图都展示了每个器件电源轨的预期顺序。这是通过将每个器件电源轨分配给一个或多个波形来完成的。双电压电源轨可能与多个波形相关联，相关注释将说明哪种波形适用。每个波形定义了相关电源轨的转换区域，并显示其与其他电源轨的转换区域的顺序关系。与电源时序图相关的注释提供了这些要求的更多详细信息。有关上电要求的详细信息，请参阅*上电序列*一节；有关断电要求的详细信息，请参阅*断电序列*一节。

使用两种类型的电源转换区域来简化电源时序图。提供了图 6-3 和图 6-4 中显示的图例及其说明，以阐明每个转换区域代表什么。

图 6-3 定义了具有多个电源轨的转换区域，这些电源轨可能来自多个电源或单个电源。转换区域内所示的转换代表一种用例，其中使用多个电源来提供与该波形相关的电源轨，允许这些电源在该区域内的不同时间升降，因为它们彼此之间没有任何特定的顺序要求。

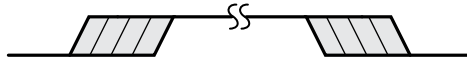


图 6-3. 多电源转换图例

图 6-4 定义了一个或多个电源轨的转换区域，这些电源轨必须来自单个公共电源。该区域内没有显示任何转换来表示转换区域内的单个斜坡。

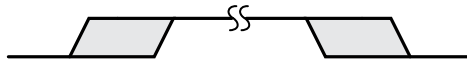


图 6-4. 单个公共电源转换图例

6.9.2.2.1 上电序列

表 6-4 和图 6-5 介绍了器件上电时序。

备注

本节中定义的电源时序要求不包括进入或退出低功耗模式。有关进入或退出部分 IO 低功耗模式的要求的更多信息，请参阅 [部分 IO 电源时序](#) 一节。

备注

只要电源轨降至 *建议运行条件* 中定义的最小值以下，就必须先关闭所有电源轨并使电压衰减到 300mV 以下，然后启动新的上电序列。唯一的例外是在进入/退出部分 IO 低功耗模式时，此时 VDDSHV_CANUART 和 VDD_CANUART 由常开型电源供电。对于此用例，允许 VDDSHV_CANUART 和 VDD_CANUART 电源轨保持开启状态。

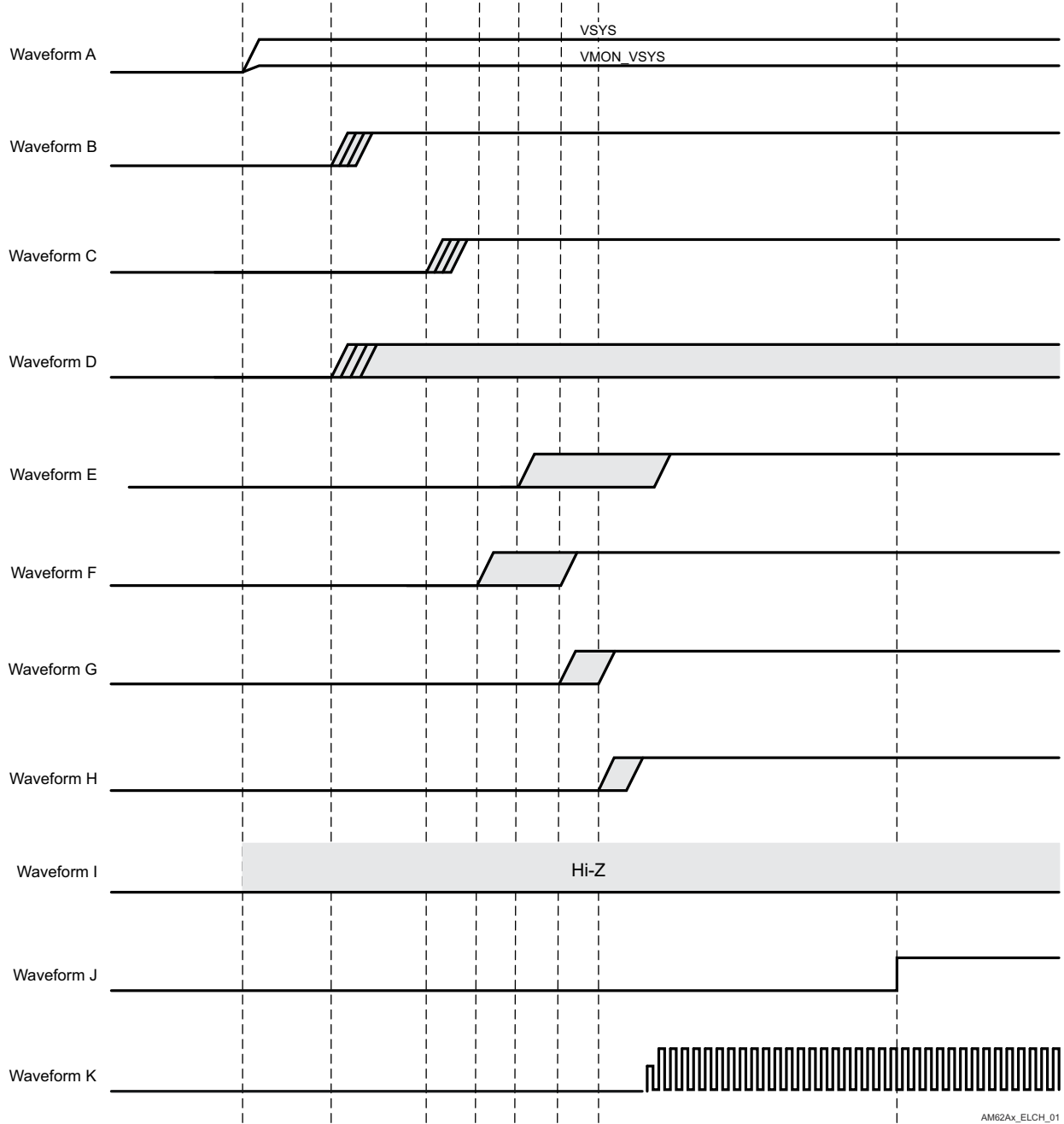
表 6-4. 上电时序 - 电源/信号分配

请参阅：图 6-5

波形	电源/信号名称
A	VSYS ⁽¹⁾ 、VMON_VSYS ⁽²⁾
B	VDDSHV_CANUART ⁽³⁾ 、VDDSHV_MCU ⁽³⁾ 、VDDSHV0 ⁽³⁾ 、VDDSHV1 ⁽³⁾ 、VDDSHV2 ⁽³⁾ 、VDDSHV3 ⁽³⁾ 、VDDA_3P3_USB、VMON_3P3_SOC ⁽⁴⁾
C	VDDSHV_CANUART ⁽⁵⁾ 、VDDSHV_MCU ⁽⁵⁾ 、VDDSHV0 ⁽⁵⁾ 、VDDSHV1 ⁽⁵⁾ 、VDDSHV2 ⁽⁵⁾ 、VDDSHV3 ⁽⁵⁾ 、VDDS_MMC0、VDDA_MCU、VDDS_OSC0、VDDA_PLL0、VDDA_PLL1、VDDA_PLL2、VDDA_1P8_CSI_DSI、VDDA_1P8_OLDIO、VDDA_1P8_USB、VDDA_TEMP0、VDDA_TEMP1、VMON_1P8_SOC ⁽⁶⁾
D	VDDSHV5 ⁽⁷⁾ 、VDDSHV6 ⁽⁷⁾
E	VDDS_DDR ⁽⁸⁾ 、VDDS_DDR_C ⁽⁸⁾
F	VDD_CANUART ⁽⁹⁾
G	VDD_CANUART ⁽¹⁰⁾ 、VDD_CORE ⁽¹⁰⁾ (12)、VDDA_CORE_CSI_DSI ⁽¹⁰⁾ 、VDDA_CORE_DSI_CLK ⁽¹⁰⁾ 、VDDA_CORE_USB0 ⁽¹⁰⁾ 、VDDA_DDR_PLLO ⁽¹⁰⁾
H	VDD_CANUART ⁽¹¹⁾ 、VDD_CORE ⁽¹¹⁾ (12)、VDDA_CORE_CSI_DSI ⁽¹¹⁾ 、VDDA_CORE_DSI_CLK ⁽¹¹⁾ 、VDDA_CORE_USB0 ⁽¹¹⁾ 、VDDA_DDR_PLLO ⁽¹¹⁾ 、VDDR_CORE ⁽¹²⁾ 、VDD_MMC0、VDDA_0P85_DLL_MMC0
I	VPP ⁽¹³⁾
J	MCU_PORz
K	MCU_OSC0_XI、MCU_OSC0_XO

- (1) VSYS 表示为整个系统供电的电源的名称。该电源应是一个预调节电源，为电源管理器件提供电源，而电源管理器件为所有其他电源提供电源。
- (2) VMON_VSYS 输入用于通过外部电阻分压器电路监测 VSYS。有关更多信息，请参阅 [节 8.2.4 系统电源监测设计指南](#)。
- (3) VDDSHV_CANUART、VDDSHV_MCU 和 VDDSHVx [x=0-3] 是双电压 IO 电源，可根据应用要求以 1.8V 或 3.3V 的电压运行。
当使用部分 IO 低功耗模式时，VDDSHV_CANUART 应连接到常开型电源，或者当不使用部分 IO 低功耗模式时，应连接到任何有效的 IO 电源。当 VDDSHV_CANUART 未连接至常开型电源且工作电压为 3.3V 时，应在该波形定义的 3.3V 斜坡周期内使用其他 3.3V 电源进行斜升。
当任何 VDDSHV_MCU 和 VDDSHVx [x=0-3] IO 电源以 3.3V 运行时，它们应在该波形定义的 3.3V 斜坡周期内与其他 3.3V 电源一起斜升。
- (4) VMON_3P3_SOC 输入用于监测电源电压，并应连接到相应的 3.3V 电源。
- (5) VDDSHV_CANUART、VDDSHV_MCU 和 VDDSHVx [x=0-3] 是双电压 IO 电源，可根据应用要求以 1.8V 或 3.3V 的电压运行。
当使用部分 IO 低功耗模式时，VDDSHV_CANUART 应连接到常开型电源，或者当不使用部分 IO 低功耗模式时，应连接到任何有效的 IO 电源。当 VDDSHV_CANUART 未连接至常开型电源且工作电压为 1.8V 时，应在该波形定义的 1.8V 斜坡周期内使用其他 1.8V 电源进行斜升。
当任何 VDDSHV_MCU 和 VDDSHVx [x=0-3] IO 电源以 1.8V 运行时，它们应在该波形定义的 1.8V 斜坡周期内与其他 1.8V 电源一起斜升。
- (6) VMON_1P8_SOC 输入用于监测电源电压，并应连接到相应的 1.8V 电源。
- (7) VDDSHV5 和 VDDSHV6 旨在支持上电、下电或不依赖于其他电源轨的动态电压变化。这是支持 UHS-I SD 卡所必需的功能。

- (8) VDDS_DDR 和 VDDS_DDR_C 应由同一电源供电，以便它们一起斜升。
- (9) 当使用部分 IO 低功耗模式时，VDD_CANUART 应连接到常开型电源。
当 VDD_CANUART 连接到常开型电源时，上电或断电期间施加到 VDD_CORE 的电势绝不能大于施加到 VDD_CANUART 的电势 + 0.18V。这要求 VDD_CANUART 在 VDD_CORE 之前斜升并在 VDD_CORE 之后斜降。除了为 VDD_CORE 定义的斜坡要求之外，VDD_CANUART 没有任何斜坡要求。
- (10) 在不使用部分 IO 低功耗模式时，VDD_CANUART 应连接到与 VDD_CORE、VDDA_CORE_CSI_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB 和 VDDA_DDR_PLL0 相同的电源。
VDD_CANUART、VDD_CORE、VDDA_CORE_CSI_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB 和 VDDA_DDR_PLL0 可在 0.75V 或 0.85V 下运行。当这些电源在 0.75V 下运行时，它们应在 VDDR_CORE 之前按照该波形的定义进行斜升。
- (11) 在不使用部分 IO 低功耗模式时，VDD_CANUART 应连接到与 VDD_CORE、VDDA_CORE_CSI_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB 和 VDDA_DDR_PLL0 相同的电源。
VDD_CANUART、VDD_CORE、VDDA_CORE_CSI_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB 和 VDDA_DDR_PLL0 可在 0.75V 或 0.85V 下运行。当这些电源在 0.85V 下运行时，它们应由与 VDDR_CORE 相同的电源供电，并在该波形定义的 0.85V 斜坡周期内斜升。
- (12) 在上电或断电期间，施加到 VDDR_CORE 的电势绝不能大于施加到 VDD_CORE 的电势 + 0.18V。当 VDD_CORE 工作电压为 0.75V 时，这要求 VDD_CORE 在 VDDR_CORE 之前斜升并在 VDDR_CORE 之后斜降。除了为 VDD_CORE 定义的斜坡要求之外，VDD_CORE 没有任何斜坡要求。
VDD_CORE 和 VDDR_CORE 应由同一电源供电，因此当 VDD_CORE 以 0.85V 电压运行时，这些电压会一起升降。
- (13) VPP 是 1.8V 电子保险丝编程电源，在上电/断电序列期间以及正常器件运行期间，应保持悬空（高阻态）或接地。该电源应仅在对电子保险丝进行编程时提供。



AM62Ax_ELCH_01

图 6-5. 上电序列

6.9.2.2.2 断电序列

表 6-5 和图 6-6 介绍了器件下电时序。

备注

本节中定义的电源时序要求不包括进入或退出低功耗模式。有关进入或退出部分 IO 低功耗模式的要求的更多信息，请参阅 [部分 IO 电源时序](#) 一节。

备注

只要电源轨降至 *建议运行条件* 中定义的最小值以下，就必须先关闭所有电源轨并使电压衰减到 300mV 以下，然后启动新的上电序列。唯一的例外是在进入/退出部分 IO 低功耗模式时，此时 VDDSHV_CANUART 和 VDD_CANUART 由常开型电源供电。对于此用例，允许 VDDSHV_CANUART 和 VDD_CANUART 电源轨保持开启状态。

表 6-5. 下电时序 - 电源/信号分配

请参阅：[图 6-6](#)

波形	电源/信号名称
A	VSYS、VMON_VSYS
B	VDDSHV_CANUART ⁽¹⁾ 、VDDSHV_MCU ⁽¹⁾ 、VDDSHV0 ⁽¹⁾ 、VDDSHV1 ⁽¹⁾ 、VDDSHV2 ⁽¹⁾ 、VDDSHV3 ⁽¹⁾ 、VDDA_3P3_USB、VMON_3P3_SOC
C	VDDSHV_CANUART ⁽²⁾ 、VDDSHV_MCU ⁽²⁾ 、VDDSHV0 ⁽²⁾ 、VDDSHV1 ⁽²⁾ 、VDDSHV2 ⁽²⁾ 、VDDSHV3 ⁽²⁾ 、VDDS_MMC0、VDDA_MCU、VDDS_OSC0、VDDA_PLL0、VDDA_PLL1、VDDA_PLL2、VDDA_1P8_CSI_DSI、VDDA_1P8_OLDI0、VDDA_1P8_USB、VDDA_TEMP0、VDDA_TEMP1、VMON_1P8_SOC
D	VDDSHV5 ⁽³⁾ 、VDDSHV6 ⁽³⁾
E	VDDS_DDR、VDDS_DDR_C
F	VDD_CANUART ⁽⁴⁾
G	VDD_CANUART ⁽⁵⁾ 、VDD_CORE ⁽⁵⁾ 、VDDA_CORE_CSI_DSI ⁽⁵⁾ 、VDDA_CORE_DSI_CLK ⁽⁵⁾ 、VDDA_CORE_USB0 ⁽⁵⁾ 、VDDA_DDR_PLL0 ⁽⁵⁾
H	VDD_CANUART ⁽⁶⁾ 、VDD_CORE ⁽⁶⁾ 、VDDA_CORE_CSI_DSI ⁽⁶⁾ 、VDDA_CORE_DSI_CLK ⁽⁶⁾ 、VDDA_CORE_USB0 ⁽⁶⁾ 、VDDA_DDR_PLL0 ⁽⁶⁾ 、VDDR_CORE、VDD_MMC0、VDDA_0P85_DLL_MMC0
I	VPP
J	MCU_PORz
K	MCU_OSC0_XI、MCU_OSC0_XO

- (1) 当工作电压为 3.3V 时为 VDDSHV_CANUART、VDDSHV_MCU 和 VDDSHVx [x=0-3]。
- (2) 当工作电压为 1.8V 时为 VDDSHV_CANUART、VDDSHV_MCU 和 VDDSHVx [x=0-3]。
- (3) VDDSHV5 和 VDDSHV6 旨在支持上电、下电或不依赖于其他电源轨的动态电压变化。这是支持 UHS-I SD 卡所必需的功能。
- (4) 当连接到用于部分 IO 低功耗模式的常开型电源时为 VDD_CANUART。
- (5) 当工作电压为 0.75V 时为 VDD_CANUART、VDD_CORE、VDDA_CORE_CSI_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB0 和 VDDA_DDR_PLL0
- (6) 当工作电压为 0.85V 时为 VDD_CANUART、VDD_CORE、VDDA_CORE_CSI_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB0 和 VDDA_DDR_PLL0

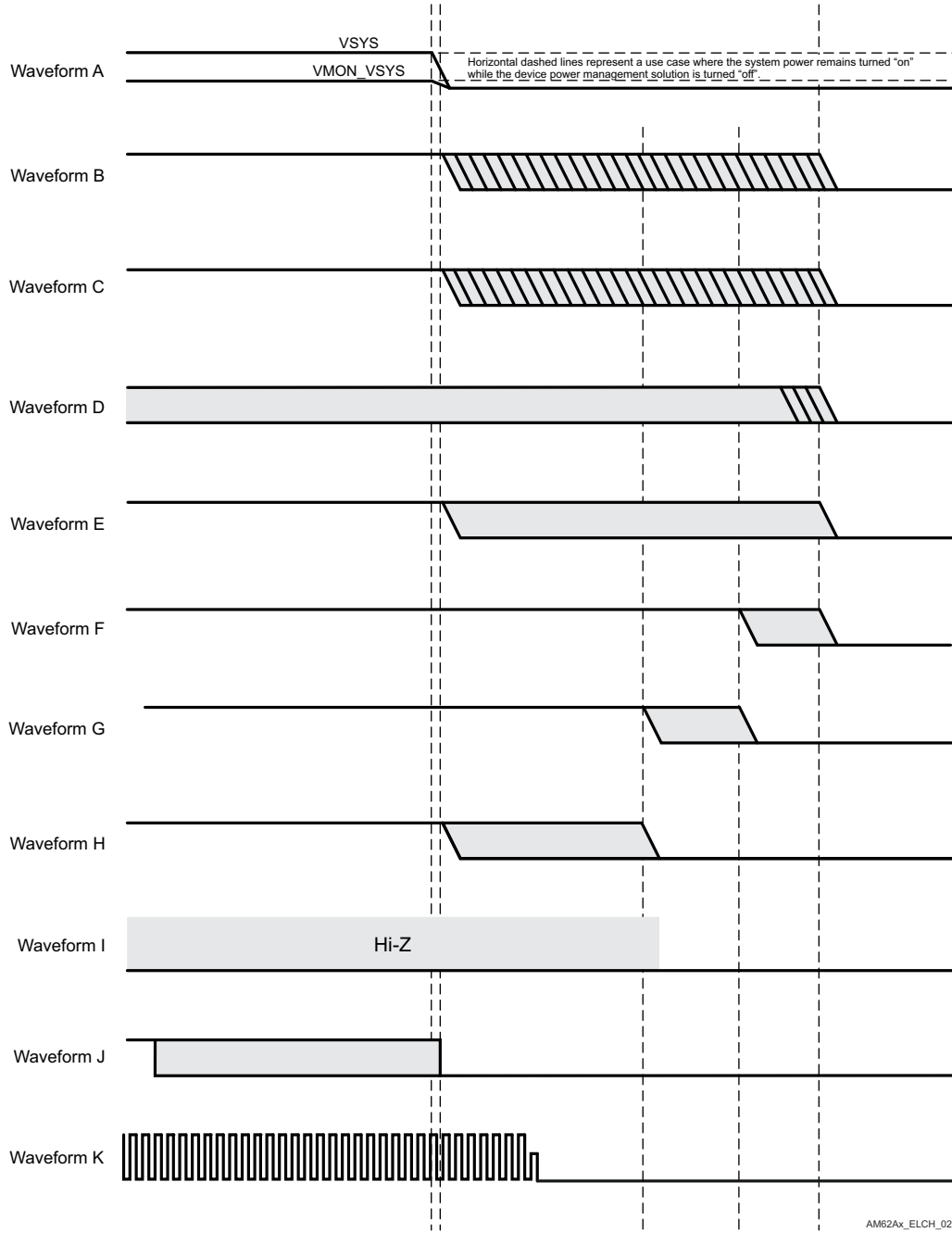


图 6-6. 断电序列

6.9.2.2.3 部分 IO 电源时序

本节介绍进入或退出低功耗模式时的电源序列要求。

有关该器件支持的低功耗模式以及分配给每个低功耗模式的名称的更多信息，请参阅技术参考手册的“器件配置”一章中的“功耗模式”一节。

部分 IO 是唯一需要更改器件电源轨电源的低功耗模式。在部分 IO 模式下工作时，除 VDD_CANUART 和 VDDSHV_CANUART 之外的所有电源轨均关闭。进入部分 IO 所需的电源序列与节 6.9.2.2.2 下电时序中定义的序列相同，但 VDD_CANUART 和 VDDSHV_CANUART 除外，这两者保持上电状态。退出部分 IO 所需的电源序列与节 6.9.2.2.1 上电时序中定义的序列相同，但 VDD_CANUART 和 VDDSHV_CANUART 除外，这两者已上电。

6.9.3 系统时序

有关子系统多路复用信号特性和其他说明信息的更多详情，请参阅信号说明和详细说明部分中的相应小节。

6.9.3.1 复位时序

本节中提供的表和图定义了复位相关信号的时序条件、时序要求和开关特性。

表 6-6. 复位时序条件

参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	VDD ⁽¹⁾ = 1.8V	0.0018	V/ns
		VDD ⁽¹⁾ = 3.3V	0.0033	V/ns
输出条件				
C _L	输出负载电容		30	pF

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅引脚属性表的“电源”列。

表 6-7. MCU_PORz 时序要求

请参阅图 6-7

编号	参数	最小值	最大值	单位
RST1	保持时间，在电源有效之后 MCU_PORz 在上电时有效（低电平）（使用外部晶体电路）	9500000		ns
RST2	t _h (SUPPLIES_VALID - MCU_PORz) 保持时间，在电源有效且外部时钟稳定之后 MCU_PORz 在上电时有效（低电平）（使用外部 LVCMOS 时钟源）	1200		ns
RST3	t _w (MCU_PORzL) 脉冲宽度，在上电之后 MCU_PORz 为低电平（不移除电源或系统基准时钟 MCU_OSC0_XI/XO）	1200		ns

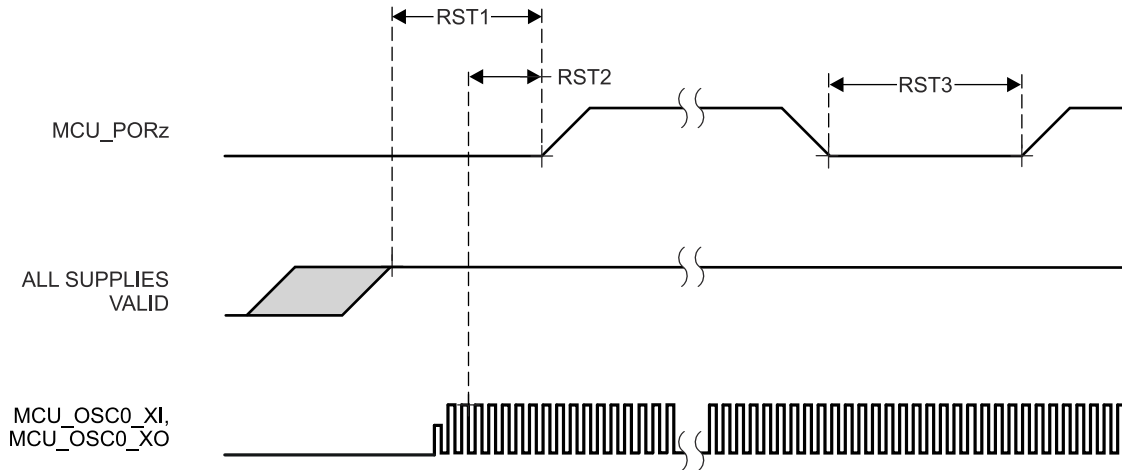


图 6-7. MCU_PORz 时序要求

表 6-8. MCU_RESETSTATz 和 RESETSTATz 开关特性

请参阅图 6-8

编号	参数	最小值	最大值	单位
RST4	$t_{d(MCU_PORzL-MCU_RESETSTATzL)}$	0		ns
RST5	$t_{d(MCU_PORzH-MCU_RESETSTATzH)}$	$6120 * S^{(1)}$		ns
RST6	$t_{d(MCU_PORzL-RESETSTATzL)}$	0		ns
RST7	$t_{d(MCU_PORzH-RESETSTATzH)}$	$9195 * S^{(1)}$		ns
RST8	$t_w(MCU_RESETSTATzL)$	$966 * S^{(1)}$		ns
RST9	$t_w(RESETSTATzL)$	$4040 * S$		ns

(1) S = MCU_OSC0_XI/XO 时钟周期 (以 ns 为单位)。

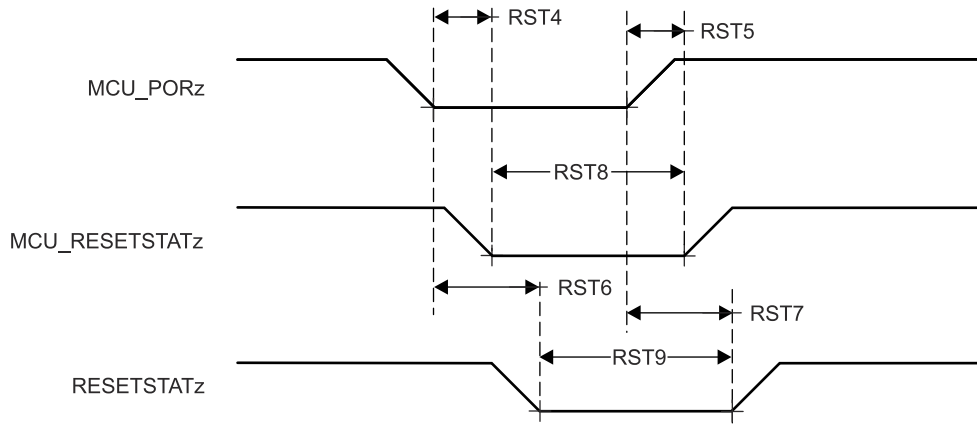


图 6-8. MCU_RESETSTATz 和 RESETSTATz 开关特性

表 6-9. MCU_RESEZt 时序要求

请参阅图 6-9

编号	参数	最小值	最大值	单位
RST10	$t_w(\text{MCU_RESEZtL})^{(1)}$	1200		ns

(1) 仅当所有电源有效且 MCU_PORz 已在指定时间内置为有效后，该时序参数才有效。

表 6-10. MCU_RESEZSTATz 和 RESEZSTATz 开关特性

请参阅图 6-9

编号	参数	最小值	最大值	单位
RST11	$t_d(\text{MCU_RESEZtL-MCU_RESEZSTATzL})$	0		ns
RST12	$t_d(\text{MCU_RESEZtH-MCU_RESEZSTATzH})$	$966 \cdot S^{(1)}$		ns
RST13	$t_d(\text{MCU_RESEZtL-RESEZSTATzL})$	960		ns
RST14	$t_d(\text{MCU_RESEZtH-RESEZSTATzH})$	$4040 \cdot S^{(1)}$		ns

(1) $S = \text{MCU_OSC0_XI/XO}$ 时钟周期 (以 ns 为单位)。

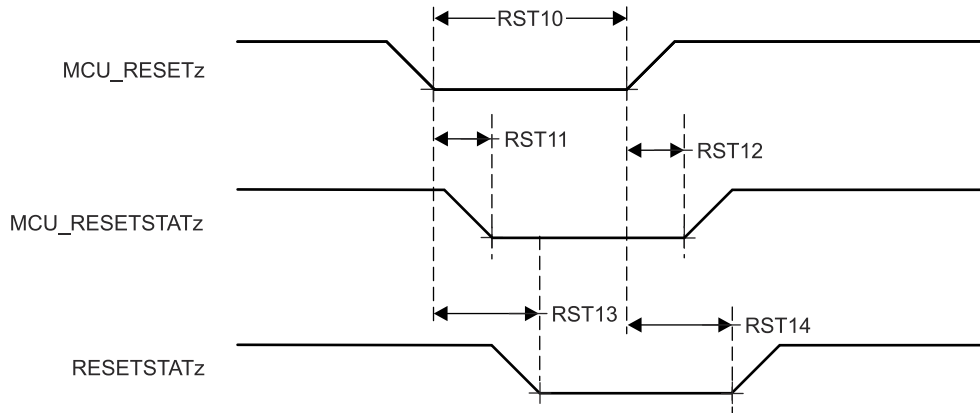


图 6-9. MCU_RESEZt、MCU_RESEZSTATz 和 RESEZSTATz 时序要求和开关特性

表 6-11. RESET_REQz 时序要求

请参阅图 6-10

编号	参数	最小值	最大值	单位
RST15	$t_w(\text{RESET_REQz})^{(1)}$	1200		ns

(1) 仅当所有电源有效且 MCU_PORz 已在指定时间内置为有效后, 该时序参数才有效。

表 6-12. RESETSTATz 开关特性

请参阅图 6-10

编号	参数	最小值	最大值	单位
RST16	$t_d(\text{RESET_REQzL-RESETSTATzL})$	$900 * T^{(1)}$		ns
RST17	$t_d(\text{RESET_REQzH-RESETSTATzH})$	$4040 * S^{(2)}$		ns

(1) T = 复位隔离时间 (取决于软件)

(2) S = MCU_OSC0_XI/XO 时钟周期 (以 ns 为单位)。

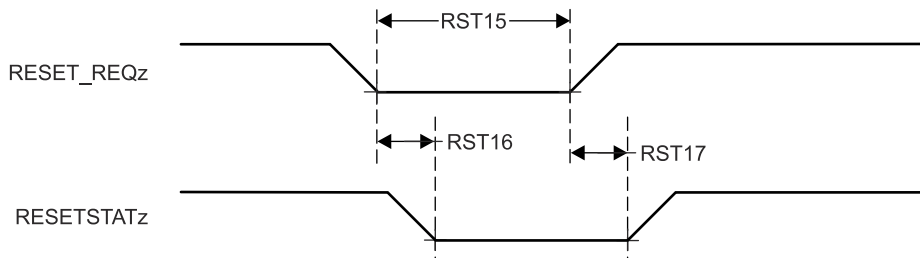


图 6-10. RESET_REQz 和 RESETSTATz 时序要求和开关特性

表 6-13. EMUx 时序要求

请参阅图 6-11

编号	参数	最小值	最大值	单位
RST18	$t_{su}(\text{EMUx-MCU_PORz})$	$3 * S^{(1)}$		ns
RST19	$t_h(\text{MCU_PORz - EMUx})$	10		ns

(1) S = MCU_OSC0_XI/XO 时钟周期 (以 ns 为单位)。

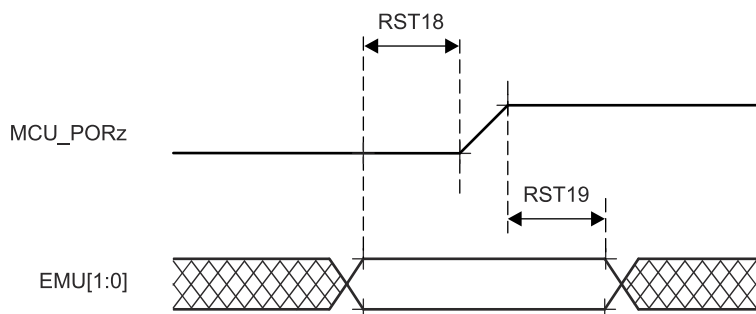


图 6-11. EMUx 时序要求

表 6-14. BOOTMODE 时序要求

请参阅图 6-12

编号	参数	最小值	最大值	单位
RST23	$t_{su}(\text{BOOTMODE-PORz_OUT})$	$3 \cdot S^{(1)}$		ns
RST24	$t_h(\text{PORz_OUT-BOOTMODE})$	0		ns

(1) $S = \text{MCU_OSC0_XI/XO}$ 时钟周期 (以 ns 为单位)。

表 6-15. PORz_OUT 开关特性

请参阅图 6-12

编号	参数	最小值	最大值	单位
RST25	$t_d(\text{MCU_PORzL-PORz_OUT})$	0		ns
RST26	$t_d(\text{MCU_PORzH-PORz_OUT})$	1840		ns
RST27	$t_w(\text{PORz_OUTL})$	1200		ns

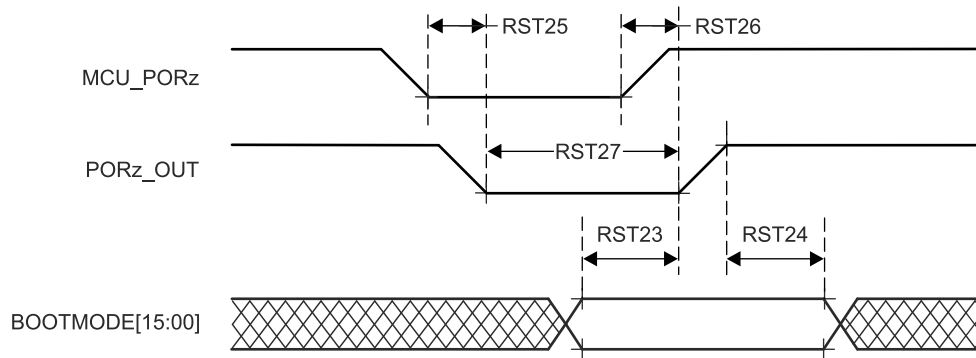


图 6-12. BOOTMODE 时序要求和 PORz_OUT 开关特性

6.9.3.2 错误信号时序

本节中提供的表和图定义了 MCU_ERRORn 的时序条件和开关特性。

表 6-16. 错误信号时序条件

参数		最小值	最大值	单位
输出条件				
C _L	输出负载电容		30	pF

表 6-17. MCU_ERRORn 开关特性

请参阅图 6-13

编号	参数	最小值	最大值	单位
ERR1	t _c (MCU_ERRORn) 最小周期时间, MCU_ERRORn (启用 PWM 模式)	(P*H)+(P*L) ^{(1) (3) (4)}		ns
ERR2	t _w (MCU_ERRORn) 最小脉冲宽度, MCU_ERRORn 有效 (禁用 PWM 模式) ⁽⁵⁾	P*R ^{(1) (2)}		ns
ERR3	t _d (ERROR_CONDITION- MCU_ERRORnL) 延迟时间, 错误条件到 MCU_ERRORn 有效 ⁽⁵⁾	50*P ⁽¹⁾		ns

(1) P = ESM 功能时钟周期 (以 ns 为单位)。

(2) R = 错误引脚计数器预加载寄存器计数值。

(3) H = 错误引脚 PWM 高预加载寄存器计数值。

(4) L = 错误引脚 PWM 低预加载寄存器计数值。

(5) 启用 PWM 模式后, MCU_ERRORn 会在 ERR3 后停止切换, 并将保持其值 (高电平或低电平), 直到错误被清除。禁用 PWM 模式时, MCU_ERRORn 为低电平有效。

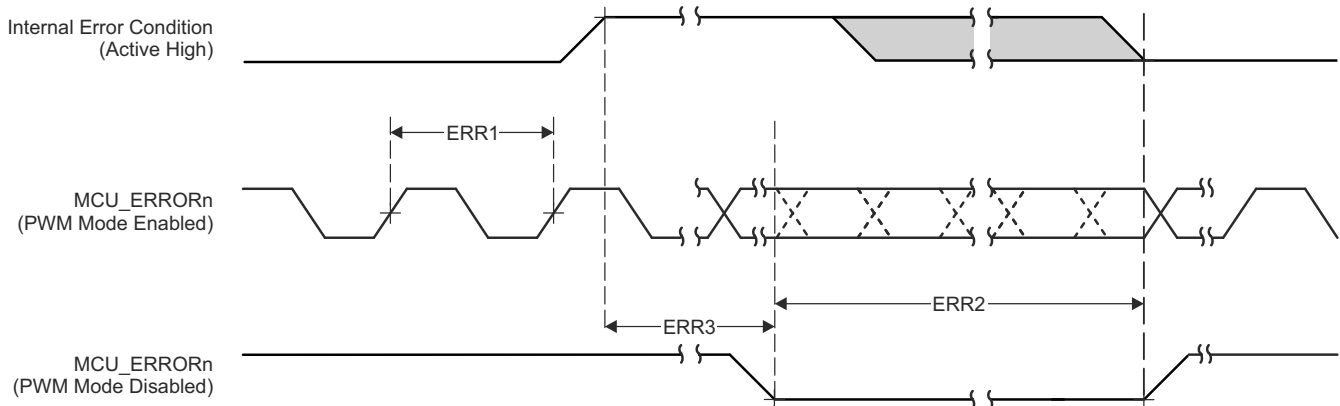


图 6-13. MCU_ERRORn 时序要求和开关特性

6.9.3.3 时钟时序

本节中提供的表和图定义了时钟信号的时序条件、时序要求和开关特性。

表 6-18. 时钟时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	0.5		V/ns
输出条件				
C _L	输出负载电容	5ns ≤ t _c < 8ns		5 pF
		8ns ≤ t _c < 20ns		10 pF
		20ns ≤ t _c		30 pF

表 6-19. 时钟时序要求

请参阅图 6-14

编号			最小值	最大值	单位
CLK1	t _c (EXT_REFCLK1)	最小周期时间, EXT_REFCLK1	10		ns
CLK2	t _w (EXT_REFCLK1H)	脉冲持续时间, EXT_REFCLK1 高电平	E*0.45 ⁽¹⁾	E*0.55 ⁽¹⁾	ns
CLK3	t _w (EXT_REFCLK1L)	脉冲持续时间, EXT_REFCLK1 低电平	E*0.45 ⁽¹⁾	E*0.55 ⁽¹⁾	ns
CLK1	t _c (MCU_EXT_REFCLK0)	最小周期时间, MCU_EXT_REFCLK0	10		ns
CLK2	t _w (MCU_EXT_REFCLK0H)	脉冲持续时间, MCU_EXT_REFCLK0 高电平	F*0.45 ⁽²⁾	F*0.55 ⁽²⁾	ns
CLK3	t _w (MCU_EXT_REFCLK0L)	脉冲持续时间, MCU_EXT_REFCLK0 低电平	F*0.45 ⁽²⁾	F*0.55 ⁽²⁾	ns
CLK1	t _c (AUDIO_EXT_REFCLK0)	最小周期时间, AUDIO_EXT_REFCLK0	20		ns
CLK2	t _w (AUDIO_EXT_REFCLK0H)	脉冲持续时间, AUDIO_EXT_REFCLK0 高电平	G*0.45 ⁽³⁾	G*0.55 ⁽³⁾	ns
CLK3	t _w (AUDIO_EXT_REFCLK0L)	脉冲持续时间, AUDIO_EXT_REFCLK0 低电平	G*0.45 ⁽³⁾	G*0.55 ⁽³⁾	ns
CLK1	t _c (AUDIO_EXT_REFCLK1)	最小周期时间, AUDIO_EXT_REFCLK1	20		ns
CLK2	t _w (AUDIO_EXT_REFCLK1H)	脉冲持续时间, AUDIO_EXT_REFCLK1 高电平	H*0.45 ⁽⁴⁾	H*0.55 ⁽⁴⁾	ns
CLK3	t _w (AUDIO_EXT_REFCLK1L)	脉冲持续时间, AUDIO_EXT_REFCLK1 低电平	H*0.45 ⁽⁴⁾	H*0.55 ⁽⁴⁾	ns

- (1) E = EXT_REFCLK1 周期时间 (以 ns 为单位)。
 (2) F = MCU_EXT_REFCLK0 周期时间 (以 ns 为单位)。
 (3) G = AUDIO_EXT_REFCLK0 周期时间 (以 ns 为单位)。
 (4) H = AUDIO_EXT_REFCLK1 周期时间 (以 ns 为单位)。

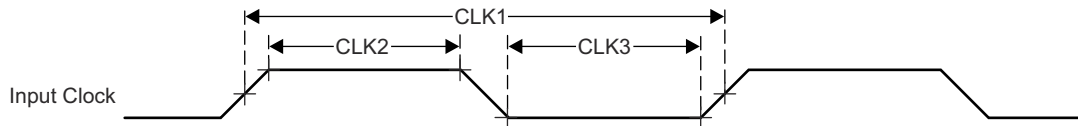


图 6-14. 时钟时序要求

表 6-20. 时钟开关特性

请参阅图 6-15

编号	参数	最小值	最大值	单位
CLK4	$t_{c}(\text{SYSCLKOUT0})$	最小周期时间, SYSCLKOUT0		ns
CLK5	$t_{w}(\text{SYSCLKOUT0H})$	A*0.4 ⁽¹⁾	A*0.6 ⁽¹⁾	ns
CLK6	$t_{w}(\text{SYSCLKOUT0L})$	A*0.4 ⁽¹⁾	A*0.6 ⁽¹⁾	ns
CLK4	$t_{c}(\text{OBSCLK0})$	最小周期时间, OBSCLK0		ns
CLK5	$t_{w}(\text{OBSCLK0H})$	B*0.45 ⁽²⁾	B*0.55 ⁽²⁾	ns
CLK6	$t_{w}(\text{OBSCLK0L})$	B*0.45 ⁽²⁾	B*0.55 ⁽²⁾	ns
CLK4	$t_{c}(\text{OBSCLK1})$	最小周期时间, OBSCLK1		ns
CLK5	$t_{w}(\text{OBSCLK1H})$	F*0.45 ⁽³⁾	F*0.55 ⁽³⁾	ns
CLK6	$t_{w}(\text{OBSCLK1L})$	F*0.45 ⁽³⁾	F*0.55 ⁽³⁾	ns
CLK4	$t_{c}(\text{CLKOUT0})$	最小周期时间, CLKOUT0		ns
CLK5	$t_{w}(\text{CLKOUT0H})$	C*0.4 ⁽⁴⁾	C*0.6 ⁽⁴⁾	ns
CLK6	$t_{w}(\text{CLKOUT0L})$	C*0.4 ⁽⁴⁾	C*0.6 ⁽⁴⁾	ns
CLK4	$t_{c}(\text{MCU_SYSCLKOUT0})$	最小周期时间, MCU_SYSCLKOUT0		ns
CLK5	$t_{w}(\text{MCU_SYSCLKOUT0H})$	E*0.4 ⁽⁵⁾	E*0.6 ⁽⁵⁾	ns
CLK6	$t_{w}(\text{MCU_SYSCLKOUT0L})$	E*0.4 ⁽⁵⁾	E*0.6 ⁽⁵⁾	ns
CLK4	$t_{c}(\text{MCU_OBSCLK0})$	最小周期时间, MCU_OBSCLK0		ns
CLK5	$t_{w}(\text{MCU_OBSCLK0H})$	D*0.45 ⁽⁶⁾	D*0.55 ⁽⁶⁾	ns
CLK6	$t_{w}(\text{MCU_OBSCLK0L})$	D*0.45 ⁽⁶⁾	D*0.55 ⁽⁶⁾	ns
CLK4	$t_{c}(\text{WKUP_CLKOUT0})$	最小周期时间, WKUP_CLKOUT0		ns
CLK5	$t_{w}(\text{WKUP_CLKOUT0H})$	W*0.4 ⁽⁷⁾	W*0.6 ⁽⁷⁾	ns
CLK6	$t_{w}(\text{WKUP_CLKOUT0L})$	W*0.4 ⁽⁷⁾	W*0.6 ⁽⁷⁾	ns
CLK4	$t_{c}(\text{AUDIO_EXT_REFCLK0})$	最小周期时间, AUDIO_EXT_REFCLK0 (McASP 时钟源)		ns
		最小周期时间, AUDIO_EXT_REFCLK0 (PLL 时钟源)		ns
CLK5	$t_{w}(\text{AUDIO_EXT_REFCLK0 H})$	G*0.4 ⁽⁸⁾	G*0.6 ⁽⁸⁾	ns
CLK6	$t_{w}(\text{AUDIO_EXT_REFCLK0 L})$	G*0.4 ⁽⁸⁾	G*0.6 ⁽⁸⁾	ns
CLK4	$t_{c}(\text{AUDIO_EXT_REFCLK1})$	最小周期时间, AUDIO_EXT_REFCLK1 (McASP 时钟源)		ns
		最小周期时间, AUDIO_EXT_REFCLK1 (PLL 时钟源)		ns
CLK5	$t_{w}(\text{AUDIO_EXT_REFCLK1 H})$	J*0.4 ⁽⁹⁾	J*0.6 ⁽⁹⁾	ns
CLK6	$t_{w}(\text{AUDIO_EXT_REFCLK1 L})$	J*0.4 ⁽⁹⁾	J*0.6 ⁽⁹⁾	ns

- (1) A = SYSCLKOUT0 周期时间 (以 ns 为单位)。
(2) B = OBSCLK0 周期时间 (以 ns 为单位)。
(3) F = OBSCLK1 周期时间 (以 ns 为单位)。
(4) C = CLKOUT0 周期时间 (以 ns 为单位)。
(5) E = MCU_SYSCLKOUT0 周期时间 (以 ns 为单位)。
(6) D = MCU_OBSCLK0 周期时间 (以 ns 为单位)。
(7) W = WKUP_CLKOUT0 周期时间 (以 ns 为单位)。
(8) G = AUDIO_EXT_REFCLK0 周期时间 (以 ns 为单位)。
(9) J = AUDIO_EXT_REFCLK1 周期时间 (以 ns 为单位)。

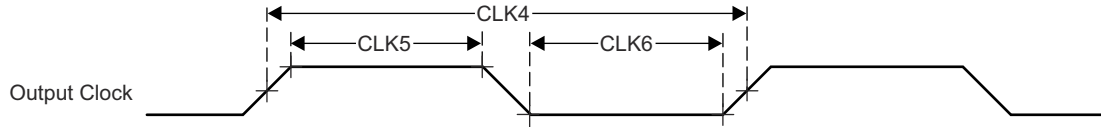


图 6-15. 时钟开关特性

6.9.4 时钟规范

6.9.4.1 输入时钟/振荡器

需要使用各种外部时钟输入/输出来驱动器件。这些输入时钟信号总结如下：

- MCU_OSC0_XO/MCU_OSC0_XI - 连接到内部高频振荡器 (MCU_HFOSC0) 的外部主晶体接口引脚，该振荡器是内部基准时钟 HFOSC0_CLKOUT 的默认时钟源。
- WKUP_LFOSC0_XO/WKUP_LFOSC0_XI - 连接到内部低频振荡器 (WKUP_LFOSC0) 的外部晶振接口引脚，该振荡器提供可选的 32768Hz 基准时钟。
- 通用时钟输入
 - MCU_EXT_REFCLK0 - 可选的外部系统时钟。
 - EXT_REFCLK1 - 可选的外部系统时钟。
- 外部 CPTS 基准时钟输入
 - CP_GEMAC_CPTS0_RFT_CLK - CPTS_RFT_CLK 的可选基准时钟输入。
- 外部音频基准时钟输入/输出
 - AUDIO_EXT_REFCLK[1:0] - 配置为输入时的可选 McASP 高频输入时钟。

有关输入时钟接口的详细信息，请参阅器件 TRM 的 *器件配置* 一章中的 *时钟* 一节。

6.9.4.1.1 MCU_OSC0 内部振荡器时钟源

图 6-16 展示了建议的晶体电路。用于实现振荡器电路的所有分立式元件必须尽可能靠近 MCU_OSC0_XI 和 MCU_OSC0_XO 引脚放置。

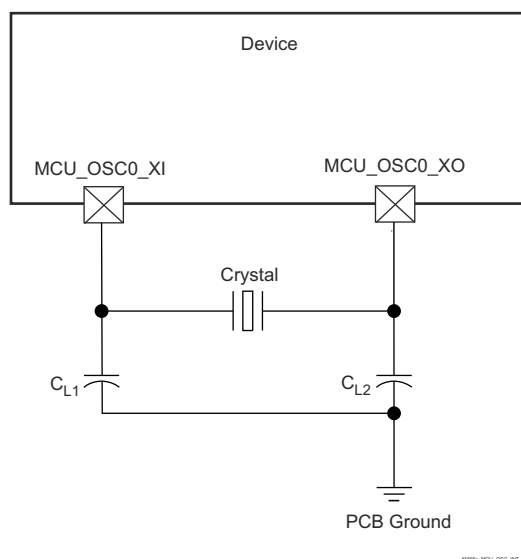


图 6-16. MCU_OSC0 晶体实现

晶体必须处于基本工作模式并且并联谐振。表 6-21 总结了所需的电气约束。

表 6-21. MCU_OSC0 晶体电路要求

参数		最小值	典型值	最大值	单位	
F_{xtal}	晶体并联谐振频率	25			MHz	
F_{xtal}	晶体频率稳定性和容差	未使用以太网 RGMII 和 RMII		± 100	ppm	
		RGMII 和 RMII 使用衍生的时钟		± 50		
$C_{L1+PCBXI}$	$C_{L1} + C_{PCBXI}$ 电容	12		24	pF	
$C_{L2+PCBXO}$	$C_{L2} + C_{PCBXO}$ 电容	12		24	pF	
C_L	晶体负载电容	6		12	pF	
C_{shunt}	晶体电路并联电容	$ESR_{xtal} = 30 \Omega$	25MHz		7	pF
		$ESR_{xtal} = 40 \Omega$	25MHz		5	pF
		$ESR_{xtal} = 50 \Omega$	25MHz		5	pF
ESR_{xtal}	晶体有效串联电阻			(1)	Ω	

(1) 晶体的最大 ESR 是晶体频率和并联电容的函数。请参阅 C_{shunt} 参数。

选择晶体时，系统设计必须根据最坏情况和系统预期寿命来考虑晶体的温度和老化特性。

表 6-22 详细说明了振荡器的开关特性。

表 6-22. MCU_OSC0 开关特性 - 晶体模式

参数		最小值	典型值	最大值	单位
C_{XI}	XI 电容			2.04	pF
C_{XO}	XO 电容			1.91	pF
C_{XIXO}	XI 至 XO 互电容			0.01	pF
t_s	启动时间		4		ms

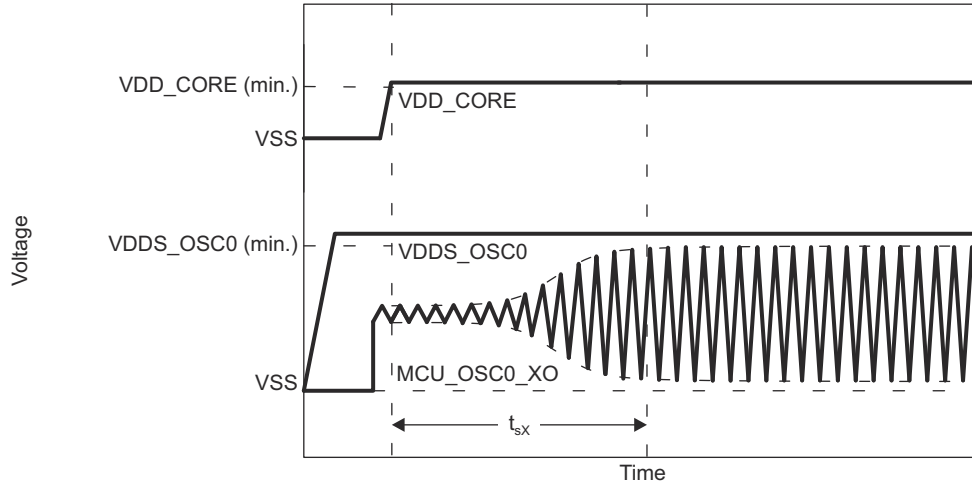


图 6-17. MCU_OSC0 启动时间

6.9.4.1.1.1 负载电容

晶体电路的设计必须能够向晶体施加适当的容性负载，如晶体制造商所定义的。该电路的容性负载 C_L 是分立式电容器 C_{L1} 、 C_{L2} 以及一些寄生电容的组合。将晶体电路元件到 MCU_OSC0_XI 和 MCU_OSC0_XO 的 PCB 信号引线具有接地寄生电容、 C_{PCBXI} 和 C_{PCBXO} ，PCB 设计人员应该能够提取每条信号引线的寄生电容。MCU_OSC0 电路和器件封装具有组合的接地寄生电容、 C_{PCBXI} 和 C_{PCBXO} ，表 6-22 定义了这些寄生电容值。

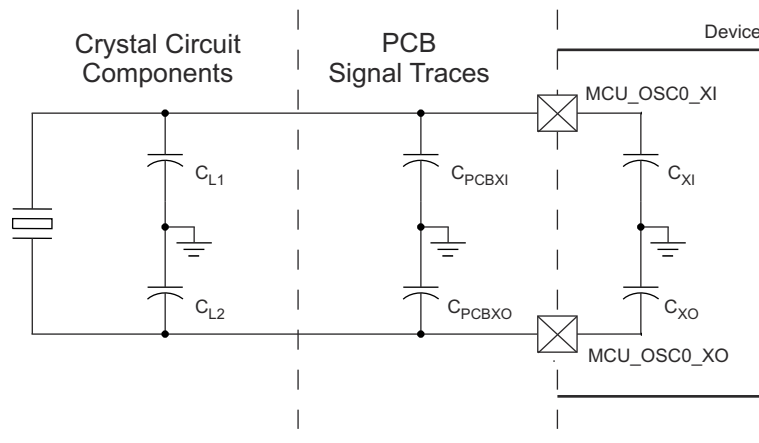


图 6-18. 负载电容

在选择图 6-16 中的负载电容器 C_{L1} 和 C_{L2} 时应满足以下公式。公式中的 C_L 是晶体制造商指定的负载。

$$C_L = [(C_{L1} + C_{PCBXI} + C_{XI}) \times (C_{L2} + C_{PCBXO} + C_{XO})] / [(C_{L1} + C_{PCBXI} + C_{XI}) + (C_{L2} + C_{PCBXO} + C_{XO})]$$

要确定 C_{L1} 和 C_{L2} 的值，请将容性负载值 C_L 乘以 2。使用该结果，减去 $C_{PCBXI} + C_{XI}$ 的组合值可确定 C_{L1} 的值，减去 $C_{PCBXO} + C_{XO}$ 的组合值可确定 C_{L2} 的值。例如，如果 $C_L = 10\text{pF}$ ， $C_{PCBXI} = 2.9\text{pF}$ ， $C_{XI} = 0.5\text{pF}$ ， $C_{PCBXO} = 3.7\text{pF}$ ， $C_{XO} = 0.5\text{pF}$ ，则 C_{L1} 的值 = $[(2C_L) - (C_{PCBXI} + C_{XI})] = [(2 \times 10\text{pF}) - 2.9\text{pF} - 0.5\text{pF}] = 16.6\text{pF}$ 且 $C_{L2} = [(2C_L) - (C_{PCBXO} + C_{XO})] = [(2 \times 10\text{pF}) - 3.7\text{pF} - 0.5\text{pF}] = 15.8\text{pF}$

6.9.4.1.1.2 并联电容

晶体电路的设计还必须使其不超过表 6-21 中定义的 MCU_OSC0 工作条件的最大并联电容。晶体电路的并联电容 C_{shunt} 是晶体并联电容和寄生作用的组合。将晶体电路组件连接到 MCU_OSC0 的 PCB 信号引线彼此之间存在互

寄生电容 $C_{PCBXIXO}$ ，PCB 设计人员应该能够提取这些信号引线之间的互寄生电容。器件封装还具有互寄生电容 C_{XIXO} ，表 6-22 定义了该互寄生电容值。

PCB 布线的设计应尽量减消 XI 和 XO 信号引线之间的互电容。这通常是通过使信号引线较短并且使其不相互靠近来实现的。当布局要求这些信号靠近布线时，还可以通过在这些信号之间放置接地引线来尽可能减小互电容。在选择晶体时，应尽量减小 PCB 上的互电容以提供尽可能大的裕度，这一点非常重要。

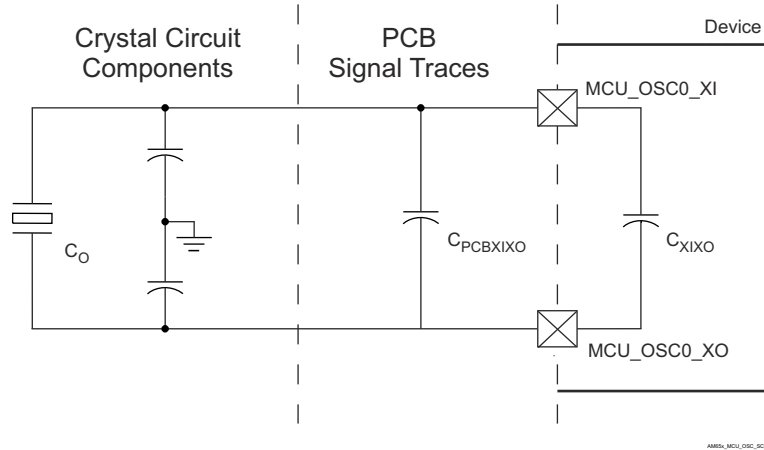


图 6-19. 并联电容

应选择满足以下公式的晶体。公式中的 C_O 是晶体制造商指定的最大并联电容。

$$C_{\text{shunt}} \geq C_O + C_{PCBXIXO} + C_{XIXO}$$

例如，当所用的晶体为 25MHz， $ESR = 30\Omega$ ， $C_{PCBXIXO} = 0.04\text{pF}$ ， $C_{XIXO} = 0.01\text{pF}$ ，且晶体的并联电容小于等于 6.95pF 时，应满足该公式。

6.9.4.1.2 MCU_OSC0 LVCMOS 数字时钟源

图 6-20 展示了当 MCU_OSC0_XI 连接到 1.8V LVCMOS 方波数字时钟源时建议的振荡器连接。

备注

1. 当振荡器上电时，MCU_OSC0_XI 上不允许出现直流稳态情况。这是不允许的，因为 MCU_OSC0_XI 在内部交流耦合到比较器，当向输入施加直流时，该比较器可能会进入未知状态。因此，只要 MCU_OSC0_XI 不在不同逻辑状态之间切换，应用软件就必须使 MCU_OSC0 断电。
2. 为 MCU_OSC0_XI 输入提供时钟源的 LVCMOS 时钟信号必须具有单调转换。该时钟源应通过放置在时钟源附近的串联端接电阻器以点对点连接的方式连接到 MCU_OSC0_XI。串联端接电阻值应使时钟源输出阻抗与传输线路阻抗相匹配。例如，如果时钟源的输出阻抗为 30 欧姆，并且 PCB 信号布线的特征阻抗为 50 欧姆，则串联端接电阻值需要为 20 欧姆。这样的电阻可以完全吸收从未端接传输线路的远端返回的反射，从而避免在信号上引入任何非单调事件。
3. 应最大限度缩短将 LVCMOS 时钟源连接到 MCU_OSC0_XI 的 PCB 布线长度。这样可以减小容性负载并降低外部噪声源耦合到时钟信号中的可能性。减小容性负载可优化时钟信号的上升/下降时间，从而降低系统中出现抖动的可能性。

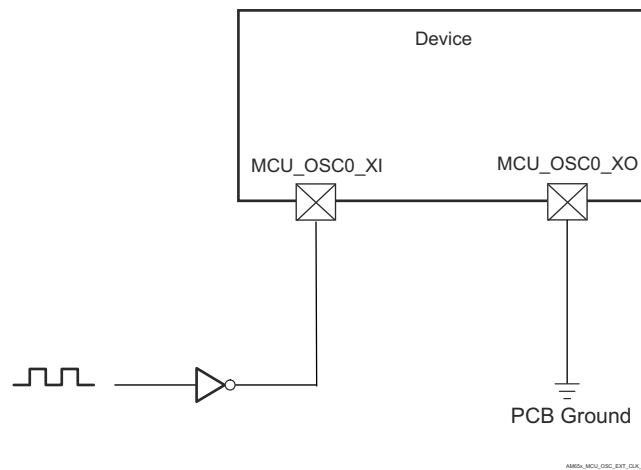


图 6-20. 与 1.8V LVCMOS 兼容的时钟输入

表 6-23. MCU_OSC0 LVCMOS 数字时钟源要求

参数		最小值	典型值	最大值	单位
F _{xtal}	频率		25		MHz
	频率稳定性和容差	未使用以太网 RGMII 和 RMII		±100	ppm
		RGMII 和 RMII 使用衍生的时钟		±50	
DC	占空比	45		55	%
t _{R/F}	上升/下降时间 (10%-90% 上升, 90%-10% 下降)			4 ⁽¹⁾	ns
J _{Period(RMS)}	周期抖动, RMS (100k 个样本)			20	ps
J _{Period(PK-PK)}	周期抖动, 峰峰值 (100k 个样本)			300	ps
J _{Phase(RMS)}	相位抖动, RMS (带宽 100Hz 至 1MHz)			10 ⁽²⁾	ps

- (1) 大多数 LVCMOS 振荡器数据表在其最大输出上升/下降时间的定义中使用的容性负载要比 PCB 布线电容与 MCU_OSC0_XI 输入电容组合所要施加的实际负载大得多。应该不难找到满足此要求的 LVCMOS 振荡器。但是，系统设计人员必须确认所选的 LVCMOS 振荡器能够为 MCU_OSC0_XI 输入提供适当的上升/下降时间。
- (2) 大多数 LVCMOS 振荡器数据表在其最大 RMS 相位抖动的定义中使用的带宽积分范围大于此器件的要求。为了获得更合适的值，可能有必要联系 LVCMOS 振荡器制造商，要求他们使用为此参数定义的带宽积分范围来提供最大 RMS 相位抖动。

6.9.4.1.3 WKUP_LFOSC0 内部振荡器时钟源

图 6-21 展示了建议的晶体电路。建议预量产印刷电路板 (PCB) 设计包含两个可选电阻器 R_{bias} 和 R_d ，因为在与量产晶体电路元件结合使用时，需要使用这些电阻器来确保振荡器正常运行。在大多数情况下，不需要 R_{bias} ， R_d 是一个 0Ω 电阻器。在使用安装在预量产 PCB 上的量产晶体电路元件评估振荡器性能后，可以从量产 PCB 设计中移除这些电阻器。

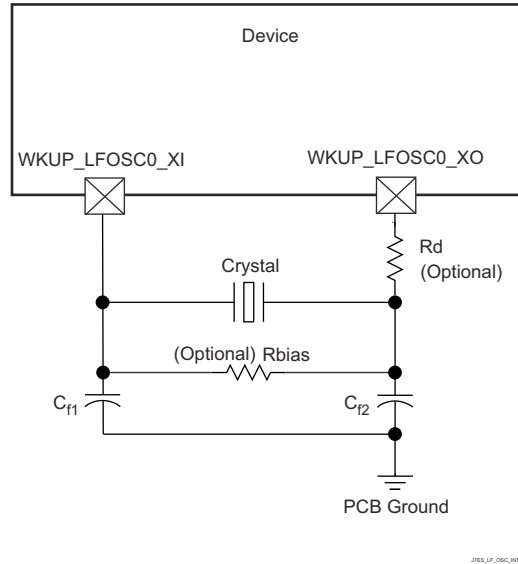


图 6-21. WKUP_LFOSC0 晶体实现

表 6-24 说明了 LFXOSC 运行模式。

表 6-24. LFXOSC 运行模式

模式	BP_C	PD_C	XI	XO	CLK_OUT	说明
运行	0	0	XTAL	XTAL	CLK_OUT	提供 32kHz 频率的有源振荡器模式
PWRDN	0	1	X	PD	低电平	输出将被下拉至低电平。PAD 为三态。有源模式被禁用
BYPASS	1	0	CLK	PD	CLK	XI 由外部时钟源驱动。XO 被下拉至低电平。由于有 ESD 二极管供电，除非存在振荡器电源，否则不应驱动 XI。

备注

用户应为 6pf 至 9.5pf 范围内的 CL 设置 CTRLMMR_WKUP_LFXOSC_TRIM[18:16] i_mult = 3b'001。应为 8.5pf 至 12pf 范围内的 CL 设置 CTRLMMR_WKUP_LFXOSC_TRIM [18:16] i_mult = 3b'010。默认设置为 3b'010。

备注

在选择图 6-22 中的负载电容器 C_{f1} 和 C_{f2} 时，应满足以下公式。公式中的 C_L 是晶体制造商指定的负载。用于实现振荡器电路的所有分立式元件应尽可能靠近关联的振荡器 WKUP_LFOSC0_XI、WKUP_LFOSC0_XO 和 VSS 引脚放置。

$$C_L = \frac{C_{f1} C_{f2}}{(C_{f1} + C_{f2})}$$

JES, CL, AM67A, 03

图 6-22. 负载电容公式

晶体必须处于基本工作模式并且并联谐振。表 6-25 总结了所需的电气约束。

表 6-25. WKUP_LFOSC0 晶体电气特性

名称	说明	最小值	典型值	最大值	单位
f _p	并联谐振晶体频率		32768		Hz
	晶体频率稳定性和容差			±100	PPM
C _{f1}	用于晶体并联谐振的 C _{f1} 负载电容, C _{f1} = C _{f2}	12		24	pF
C _{f2}	用于晶体并联谐振的 C _{f2} 负载电容, C _{f1} = C _{f2}	12		24	pF
C _{shunt}	并联电容	ESR _x tal - 40k Ω		4	pF
		ESR _x tal - 60k Ω		3	pF
		ESR _x tal - 80k Ω		2	pF
		ESR _x tal - 100k Ω		1	pF
ESR	晶体有效串联电阻			(1)	Ω

(1) 晶体的最大 ESR 是晶体频率和并联电容的函数。请参阅 C_{shunt} 参数。

选择晶体时，系统设计必须根据最坏情况和系统预期寿命来考虑温度和老化特性。

表 6-26 详细说明了振荡器的开关特性和输入时钟的要求。

表 6-26. WKUP_LFOSC0 开关特性 - 晶体模式

名称	说明	最小值	典型值	最大值	单位
f _{xtal}	振荡频率		32768		Hz
t _{sX}	启动时间			96.5	ms

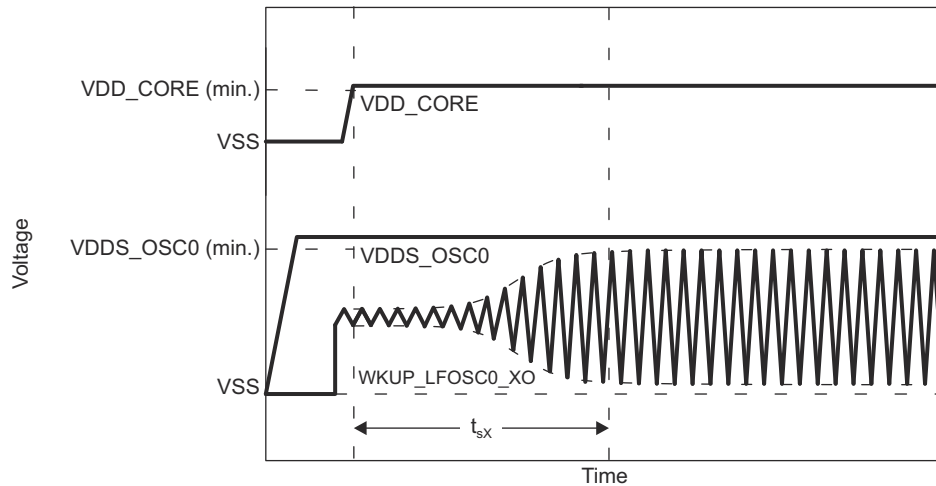


图 6-23. WKUP_LFOSC0 启动时间

6.9.4.1.4 WKUP_LFOSC0 LVCMOS 数字时钟源

图 6-24 展示了当 WKUP_LFOSC0_XI 连接到 1.8V LVCMOS 方波数字时钟源时建议的振荡器连接。

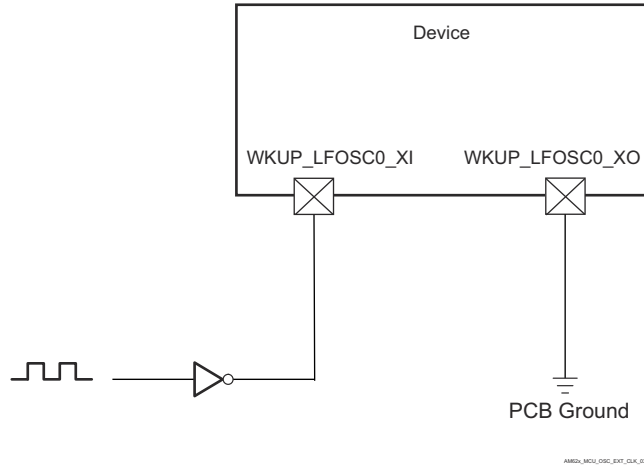


图 6-24. 与 1.8V LVCMOS 兼容的时钟输入

6.9.4.1.5 未使用 WKUP_LFOSC0

图 6-25 展示了未使用 WKUP_LFOSC0 时建议的振荡器连接。

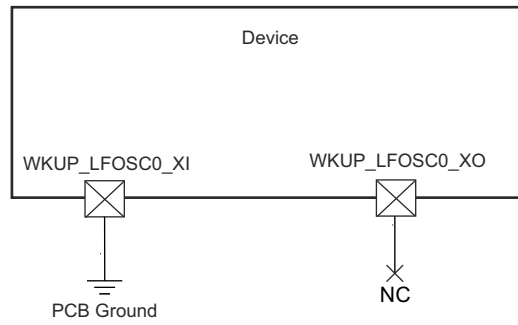


图 6-25. 未使用 WKUP_LFOSC0

6.9.4.2 输出时钟

该器件提供多个系统时钟输出。这些输出时钟总结如下：

- **MCU_SYCLKOUT0**
 - MCU_PLL0_HSDIV0_CLKOUT (MCU_SYCLKOUT0) 除以 4 后作为 MCU_SYCLKOUT0 从器件发出。该时钟输出仅用于测试和调试目的。
- **MCU_OBSCLK0**
 - 观察时钟输出，仅用于测试和调试目的。
- **WKUP_CLKOUT0**
 - WKUP 域 CLKOUT0 输出。
- **SYCLKOUT0**
 - MAIN_PLL0_HSDIV0_CLKOUT (SYCLKOUT0) 除以 4 后作为 SYCLKOUT0 从器件发出。该时钟输出仅用于测试和调试目的。
- **CLKOUT0**
 - CLKOUT0 是以太网子系统时钟 (MAIN_PLL2_HSDIV1_CLKOUT) 进行 5 分频或 10 分频。该时钟输出作为外部 PHY 的可选源提供。当配置为作为 RMII 时钟源 (50MHz) 运行时，信号还必须路由回至相应的 RMII[x]_REF_CLK 引脚，以便器件正常运行。
- **OBSCLK[1:0]**
 - 观察时钟输出，仅用于测试和调试目的。
- **AUDIO_EXT_REFCLK[1:0]**
 - 当配置为输出时提供六个 McASP 高频音频基准时钟之一的选项，MAIN_PLL1_HSDIV6_CLKOUT 或 MAIN_PLL2_HSDIV8_CLKOUT。

6.9.4.3 PLL

由内部稳压器向锁相环电路 (PLL) 供电，这些稳压器从片外电源获取电力。

MCU 域中有一个 PLL：

- MCU PLL

主域中有九个 PLL：

- 主 PLL
- PER0 PLL
- PER1 PLL
- GPU PLL
- ARM0 PLL
- DDR PLL
- SMS PLL
- DSS PLL0
- DSS PLL1
- DSS PLL2

在配置和使用任何 PLL 输出作为时钟源之前，系统设计人员应考虑基准时钟源启动时间和 PLL 锁定要求。节

[6.9.4.1 输入时钟/振荡器](#) 中定义了器件基准时钟输入要求。器件 TRM 中介绍了 PLL 配置详细信息。

有关 PLL 的更多信息，请参阅器件 TRM 的 [器件配置](#) 一节的 [时钟](#) 小节中的 [PLL](#) 小节。

6.9.4.4 时钟和控制信号转换的建议系统预防措施

所有时钟和选通信号必须在 V_{IH} 和 V_{IL} 之间 (或在 V_{IL} 和 V_{IH} 之间) 单调转换。

快速信号转换更有可能发生单调转换。噪声很容易在缓慢转换的信号上产生非单调事件。因此, 请避免所有时钟和控制信号上的缓慢信号转换, 因为它们更有可能在器件内部产生干扰。

6.9.5 外设

6.9.5.1 ATL

该器件包含 ATL 模块，可用于音频的异步采样速率转换。ATL 计算两个时基（例如音频同步）之间的误差，并可选择使用通过软件窃取周期来生成一个平均时钟。

备注

有关 ATL 更多信息，请参阅器件 TRM 的外设一章中的 *音频跟踪逻辑 (ATL)* 一节。

表 6-27 表示 ATL 时序条件。

表 6-27. ATL 时序条件

参数	模式	最小值	最大值	单位	
输入条件					
SR _I	输入压摆率	外部基准 CLK	0.5	5	V/ns
输出条件					
C _L	输出负载电容	内部基准 CLK	1	10	pF

节 6.9.5.1.1、节 6.9.5.1.2、节 6.9.5.1.3 和节 6.9.5.1.4 展示了 ATL 的时序、要求和开关特性。

6.9.5.1.1 ATL_PCLK 时序要求

编号	参数	模式	最小值	最大值	单位
D1	t _{c(pclk)}	周期时间，ATL_PCLK	外部基准 CLK	5	ns
D2	t _{w(pclkL)}	脉冲持续时间，ATL_PCLK 低电平	外部基准 CLK	0.45 × M ⁽¹⁾ + 2.5	ns
D3	t _{w(pclkH)}	脉冲持续时间，ATL_PCLK 高电平	外部基准 CLK	0.45 × M ⁽¹⁾ + 2.5	ns

(1) M = ATL_CLK[x] 周期

6.9.5.1.2 ATL_AWS[x] 时序要求

编号	参数	模式	最小值	最大值	单位
D4	t _{c(aws)}	周期时间，ATL_AWS[x] ⁽³⁾	外部基准 CLK	2 × M ⁽¹⁾	ns
D5	t _{w(awsL)}	脉冲持续时间，ATL_AWS[x] ⁽³⁾ 低电平	外部基准 CLK	0.45 × A ⁽²⁾ + 2.5	ns
D6	t _{w(awsH)}	脉冲持续时间，ATL_AWS[x] ⁽³⁾ 高电平	外部基准 CLK	0.45 × A ⁽²⁾ + 2.5	ns

(1) M = ATL_CLK[x] 周期

(2) A = ATL_AWS[x] 周期

(3) x = 0 至 3

6.9.5.1.3 ATL_BWS[x] 时序要求

编号	参数	模式	最小值	最大值	单位
D7	t _{c(bws)}	周期时间，ATL_BWS[x] ⁽³⁾	外部基准时钟	2 × M ⁽¹⁾	ns
D8	t _{w(bwsL)}	脉冲持续时间，ATL_BWS[x] 低电平 ⁽³⁾	外部基准时钟	0.45 × B ⁽²⁾ + 2.5	ns
D9	t _{w(bwsH)}	脉冲持续时间，ATL_BWS[x] 高电平 ⁽³⁾	外部基准时钟	0.45 × B ⁽²⁾ + 2.5	ns

(1) M = ATL_CLK[x] 周期

(2) B = ATL_BWS[x] 周期

(3) x = 0 至 3

6.9.5.1.4 ATCLK[x] 开关特性

编号	参数	模式	最小值	最大值	单位
D10	t _{c(atclk)}	周期时间，ATCLK[x] ⁽³⁾	内部基准 CLK	20	ns

编号	参数	模式	最小值	最大值	单位
D11	$t_{w(atclkL)}$	脉冲持续时间, ATCLK[x] 低电平 ⁽³⁾	内部基准 CLK	$0.45 \times P^{(2)} - M^{(1)} - 0.3$	ns
D12	$t_{w(atclkH)}$	脉冲持续时间, ATCLK[x] 高电平 ⁽³⁾	内部基准 CLK	$0.45 \times P^{(2)} - M^{(1)} - 0.3$	ns

- (1) M = ATCLK[x] 周期
(2) P = ATCLK[x] 周期
(3) x = 0 至 3

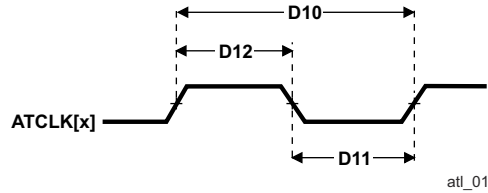


图 6-26. ATCLK[x] 时序

6.9.5.2 CPSW3G

有关器件千兆位以太网 MAC 特性和其他说明信息的更多详情, 请参阅信号说明和详细说明部分中的相应小节。

6.9.5.2.1 CPSW3G MDIO 时序

表 6-28、表 6-29、表 6-30 和图 6-27 说明了 CPSW3G MDIO 的时序条件、时序要求和开关特性。

表 6-28. CPSW3G MDIO 时序条件

参数	最小值	最大值	单位
输入条件			
SR_I	输入压摆率	0.9	3.6 V/ns
输出条件			
C_L	输出负载电容	10	470 pF
PCB 连接要求			
$t_d(\text{Trace Delay})$	每条引线的传播延迟	0	5 ns
$t_d(\text{Trace Mismatch Delay})$	所有布线之间的传播延迟不匹配		1 ns

表 6-29. CPSW3G MDIO 时序要求

请参阅图 6-27

编号	参数	最小值	最大值	单位
MDIO1	$t_{su}(\text{MDIO_MDC})$	建立时间, 在 MDIO[x]_MDC 高电平之前 MDIO[x]_MDIO 有效	45	ns
MDIO2	$t_h(\text{MDC_MDIO})$	保持时间, 在 MDIO[x]_MDC 高电平之后 MDIO[x]_MDIO 有效	0	ns

表 6-30. CPSW3G MDIO 开关特性

请参阅图 6-27

编号	参数	最小值	最大值	单位
MDIO3	$t_c(\text{MDC})$	周期时间, MDIO[x]_MDC	400	ns
MDIO4	$t_w(\text{MDCH})$	脉冲持续时间, MDIO[x]_MDC 高电平	160	ns
MDIO5	$t_w(\text{MDCL})$	脉冲持续时间, MDIO[x]_MDC 低电平	160	ns
MDIO7	$t_d(\text{MDC_MDIO})$	延迟时间, MDIO[x]_MDC 低电平到 MDIO[x]_MDIO 有效	-10	10 ns

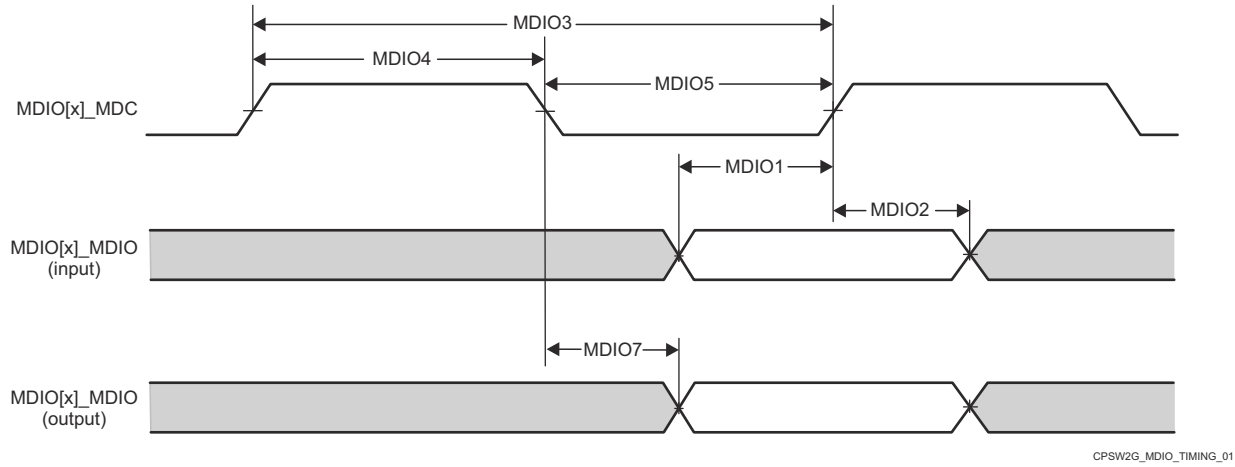


图 6-27. CPSW3G MDIO 时序要求和开关特性

6.9.5.2.2 CPSW3G RMII 时序

表 6-31、表 6-32、图 6-28、表 6-33、图 6-29、表 6-34 和图 6-30 说明了 CPSW3G RMII 的时序条件、时序要求和开关特性。

表 6-31. CPSW3G RMII 时序条件

参数		最小值	最大值	单位	
输入条件					
SR _I	输入压摆率	VDD ⁽¹⁾ = 1.8V	0.18	0.54	V/ns
		VDD ⁽¹⁾ = 3.3V	0.4	1.2	V/ns
输出条件					
C _L	输出负载电容	3	25	pF	

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅引脚属性表的“电源”列。

表 6-32. RMII[x]_REF_CLK 时序要求 - RMII 模式

请参阅图 6-28

编号	参数	说明	最小值	最大值	单位
RMII1	t _c (REF_CLK)	周期时间, RMII[x]_REF_CLK	19.999	20.001	ns
RMII2	t _w (REF_CLKH)	脉冲持续时间, RMII[x]_REF_CLK 高电平	7	13	ns
RMII3	t _w (REF_CLKL)	脉冲持续时间, RMII[x]_REF_CLK 低电平	7	13	ns

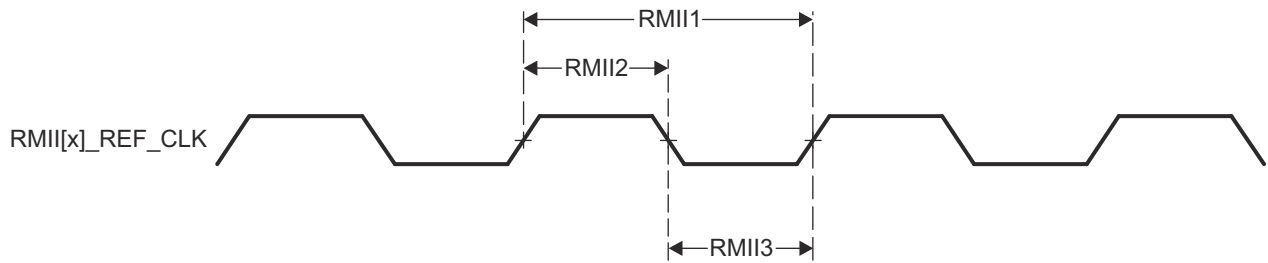


图 6-28. CPSW3G RMII[x]_REF_CLK 时序要求 - RMII 模式

表 6-33. RMII[x]_RXD[1:0]、RMII[x]_CRS_DV 和 RMII[x]_RX_ER 时序要求 - RMII 模式

请参阅图 6-29

编号	参数	说明	最小值	最大值	单位
RMII4	t _{su} (RXD-REF_CLK)	建立时间, 在 RMII[x]_REF_CLK 之前 RMII[x]_RXD[1:0] 有效	4		ns
	t _{su} (CRS_DV-REF_CLK)	建立时间, 在 RMII[x]_REF_CLK 之前 RMII[x]_CRS_DV 有效	4		ns
	t _{su} (RX_ER-REF_CLK)	建立时间, 在 RMII[x]_REF_CLK 之前 RMII[x]_RX_ER 有效	4		ns
RMII5	t _h (REF_CLK-RXD)	保持时间, 在 RMII[x]_REF_CLK 之后 RMII[x]_RXD[1:0] 有效	2		ns
	t _h (REF_CLK-CRS_DV)	保持时间, 在 RMII[x]_REF_CLK 之后 RMII[x]_CRS_DV 有效	2		ns
	t _h (REF_CLK-RX_ER)	保持时间, 在 RMII[x]_REF_CLK 之后 RMII[x]_RX_ER 有效	2		ns

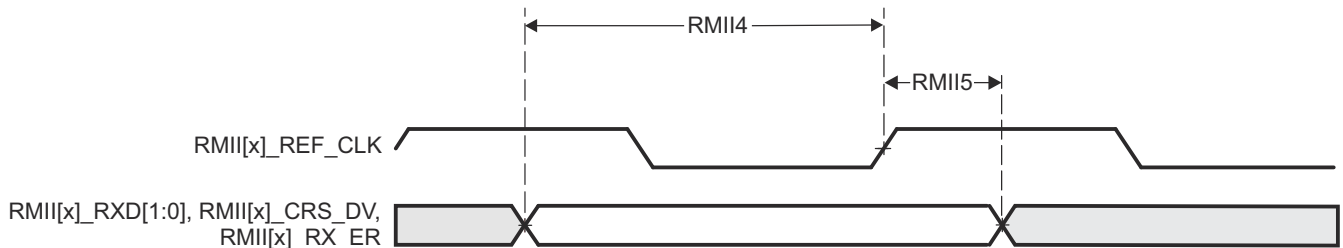


图 6-29. CPSW3G RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RX_ER 时序要求 - RMII 模式

表 6-34. RMII[x]_TXD[1:0] 和 RMII[x]_TX_EN 开关特性 - RMII 模式

请参阅图 6-30

编号	参数	说明	最小值	最大值	单位
RMII6	$t_{d(\text{REF_CLK-TXD})}$	延迟时间, RMII[x]_REF_CLK 高电平到 RMII[x]_TXD[1:0] 有效	2	10	ns
	$t_{d(\text{REF_CLK-TX_EN})}$	延迟时间, RMII[x]_REF_CLK 到 RMII[x]_TX_EN 有效	2	10	ns

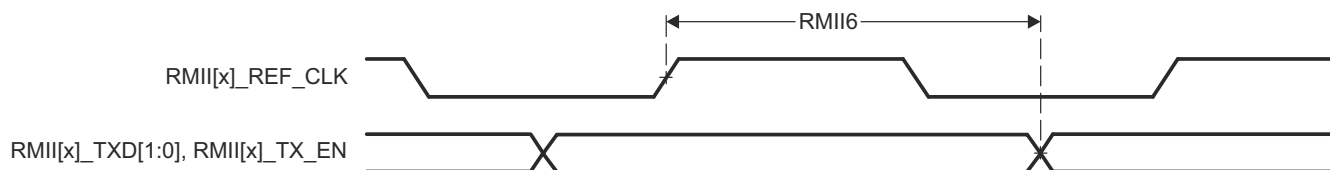


图 6-30. RMII[x]_TXD[1:0] 和 RMII[x]_TX_EN 开关特性 - RMII 模式

6.9.5.2.3 CPSW3G RGMII 时序

表 6-35、表 6-36、表 6-37、图 6-31、表 6-38、表 6-39 和图 6-32 说明了 CPSW3G RGMII 的时序条件、时序要求和开关特性。

表 6-35. CPSW3G RGMII 时序条件

参数		最小值	最大值	单位	
输入条件					
SR _I	输入压摆率	VDD ⁽¹⁾ = 1.8V	1.44	5	
		VDD ⁽¹⁾ = 3.3V	2.64	5	
输出条件					
C _L	输出负载电容	2	20	pF	
PCB 连接要求					
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配	RGMII[x]_RXC、 RGMII[x]_RD[3:0] 、 RGMII[x]_RX_CTL		50	ps
		RGMII[x]_TXC、 RGMII[x]_TD[3:0] 、 RGMII[x]_TX_CTL		50	ps

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅 *引脚属性* 表的“电源”列。

表 6-36. RGMII[x]_RXC 时序要求 - RGMII 模式

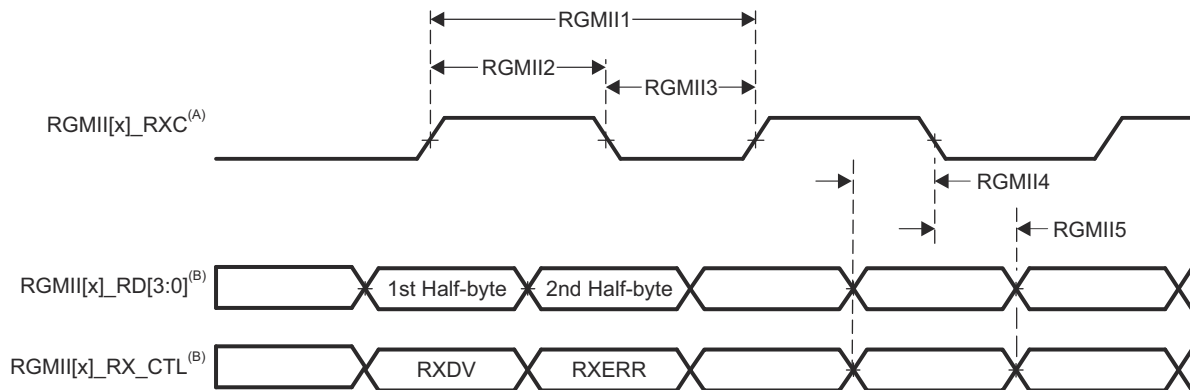
请参阅图 6-31

编号	参数	说明	模式	最小值	最大值	单位
RGMII1	$t_{c(RXC)}$	周期时间, RGMII[x]_RXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII2	$t_{w(RXCH)}$	脉冲持续时间, RGMII[x]_RXC 高电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII3	$t_{w(RXCL)}$	脉冲持续时间, RGMII[x]_RXC 低电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-37. RGMII[x]_RD[3:0] 和 RGMII[x]_RX_CTL 时序要求 - RGMII 模式

请参阅图 6-31

编号	参数	说明	模式	最小值	最大值	单位
RGMII4	$t_{su(RD-RXC)}$	建立时间, 在 RGMII[x]_RXC 高电平/低电平之前 RGMII[x]_RD[3:0] 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{su(RX_CTL-RXC)}$	建立时间, 在 RGMII[x]_RXC 高电平/低电平之前 RGMII[x]_RX_CTL 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII5	$t_{h(RXC-RD)}$	保持时间, 在 RGMII[x]_RXC 高电平/低电平之后 RGMII[x]_RD[3:0] 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{h(RXC-RX_CTL)}$	保持时间, 在 RGMII[x]_RXC 高电平/低电平之后 RGMII[x]_RX_CTL 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns



- A. RGMII[x]_RXC 必须相对于数据和控制引脚进行外部延迟。
- B. 使用时钟的两个边沿接收数据和控制信息。RGMII[x]_RD[3:0] 在 RGMII[x]_RXC 的上升沿承载数据位 3-0, 在 RGMII[x]_RXC 的下降沿承载数据位 7-4。类似地, RGMII[x]_RX_CTL 在 RGMII[x]_RXC 的上升沿承载 RXDV, 在 RGMII[x]_RXC 的下降沿承载 RXERR。

图 6-31. CPSW3G RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL 时序要求 - RGMII 模式

表 6-38. RGMII[x]_TXC 开关特性 - RGMII 模式

请参阅图 6-32

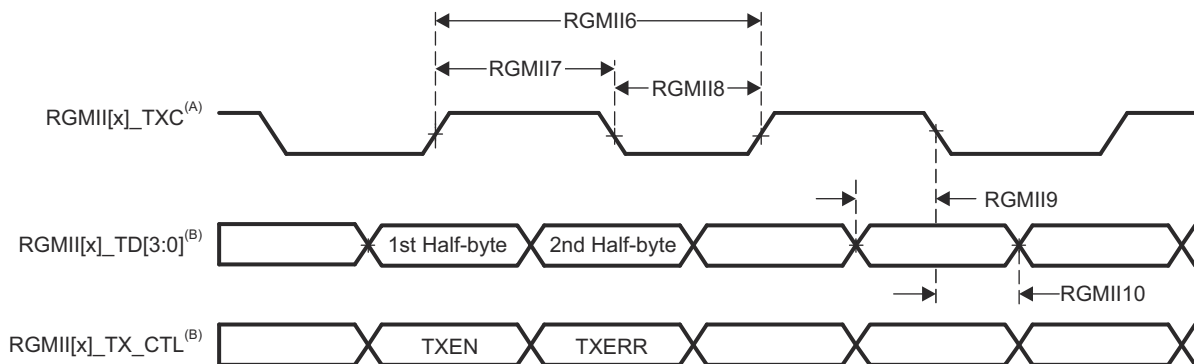
编号	参数	说明	模式	最小值	最大值	单位
RGMII6	$t_{c(TXC)}$	周期时间, RGMII[x]_TXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII7	$t_{w(TXCH)}$	脉冲持续时间, RGMII[x]_TXC 高电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII8	$t_{w(TXCL)}$	脉冲持续时间, RGMII[x]_TXC 低电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-39. RGMII[x]_TD[3:0] 和 RGMII[x]_TX_CTL 开关特性 - RGMII 模式

请参阅图 6-32

编号	参数	说明	模式	最小值	最大值	单位
RGMII9	$t_{osu(TD-TXC)}$	输出建立时间 ⁽¹⁾ , RGMII[x]_TD[3:0] 有效至 RGMII[x]_TXC 高电平/低电平	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{osu(TX_CTL-TXC)}$	输出建立时间 ⁽¹⁾ , RGMII[x]_TX_CTL 有效至 RGMII[x]_TXC 高电平/低电平	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
RGMII10	$t_{oh(TXC-TD)}$	输出保持时间 ⁽¹⁾ , RGMII[x]_TD[3:0] 在 RGMII[x]_TXC 高电平/低电平之后有效	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{oh(TXC-TX_CTL)}$	输出保持时间 ⁽¹⁾ , RGMII[x]_TX_CTL 在 RGMII[x]_TXC 高电平/低电平之后有效	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns

(1) 输出建立/保持时间定义了发送数据和控制输出相对于发送时钟输出的延迟关系, 但该输出关系被表示为提供给所连接的接收器的最小建立/保持时间。该方法符合 RGMII 规范中定义输出时序关系的方式。



- A. TXC 在驱动至 RGMII[x]_TXC 引脚之前会在内部延迟。该内部延迟始终启用。
- B. 使用时钟的两个边沿接收数据和控制信息。RGMII[x]_TD[3:0] 在 RGMII[x]_TXC 的上升沿承载数据位 3-0, 在 RGMII[x]_TXC 的下降沿承载数据位 7-4。类似地, RGMII[x]_TX_CTL 在 RGMII[x]_TXC 的上升沿承载 TXEN, 在 RGMII[x]_TXC 的下降沿承载 TXERR。

图 6-32. CPSW3G RGMII[x]_TXC、RGMII[x]_TD[3:0] 和 RGMII[x]_TX_CTL 开关特性 - RGMII 模式

6.9.5.3 CPTS

表 6-40、表 6-41、图 6-33、表 6-42 和图 6-34 说明了 CPTS 的时序条件、时序要求和开关特性。

表 6-40. CPTS 时序条件

参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	0.5	5	V/ns
输出条件				
C _L	输出负载电容	2	10	pF

表 6-41. CPTS 时序要求

请参阅图 6-33

编号	参数	说明	最小值	最大值	单位
T1	t _w (HWTSPUSHH)	脉冲持续时间, HWnTSPUSH 高电平	12P ⁽¹⁾ + 2		ns
T2	t _w (HWTSPUSHL)	脉冲持续时间, HWnTSPUSH 低电平	12P ⁽¹⁾ + 2		ns
T3	t _c (RFT_CLK)	周期时间, RFT_CLK	5	8	ns
T4	t _w (RFT_CLKH)	脉冲持续时间, RFT_CLK 高电平	0.45T ⁽²⁾		ns
T5	t _w (RFT_CLKL)	脉冲持续时间, RFT_CLK 低电平	0.45T ⁽²⁾		ns

(1) P = 功能时钟周期 (以 ns 为单位)。

(2) T = RFT_CLK 周期时间 (以 ns 为单位)。

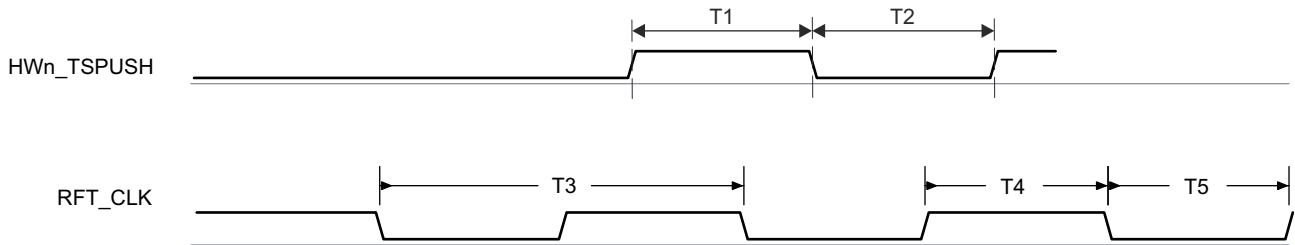


图 6-33. CPTS 时序要求

表 6-42. CPTS 开关特性

请参阅图 6-34

编号	参数	说明	源	最小值	最大值	单位
T6	$t_{w(TS_COMP)}$	脉冲持续时间, TS_COMP 高电平		$36P^{(1)} - 2$		ns
T7	$t_{w(TS_COMPL)}$	脉冲持续时间, TS_COMP 低电平		$36P^{(1)} - 2$		ns
T8	$t_{w(TS_SYNCH)}$	脉冲持续时间, TS_SYNC 高电平		$36P^{(1)} - 2$		ns
T9	$t_{w(TS_SYNCL)}$	脉冲持续时间, TS_SYNC 低电平		$36P^{(1)} - 2$		ns
T10	$t_{w(SYNCn_OUTH)}$	脉冲持续时间, SYNCn_OUT 高电平	TS_SYNC	$36P^{(1)} - 2$		ns
			GENF	$5P^{(1)} - 2$		ns
T11	$t_{w(SYNCn_OUTL)}$	脉冲持续时间, SYNCn_OUT 低电平	TS_SYNC	$36P^{(1)} - 2$		ns
			GENF	$5P^{(1)} - 2$		ns

(1) P = 功能时钟周期 (以 ns 为单位)。

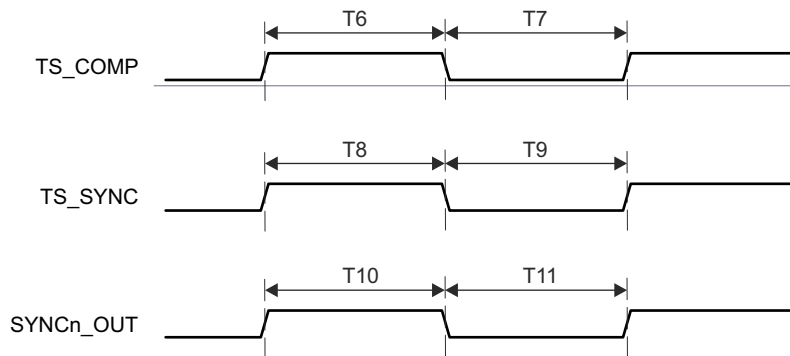


图 6-34. CPTS 开关特性

有关更多信息, 请参阅器件 TRM 中的 *数据移动架构 (DMA)* 一章。

6.9.5.4 CSI-2

备注

有关更多信息, 请参阅器件 TRM 中的 *摄像头串行接口接收器 (CSI_RX_IF)* 一节。CSI_RX_IF 连接到名为 CSIRXn 的器件端口实例, 其中 n 是实例编号。

CSI_RX_IF 及关联的 D-PHY 实现了一个符合 MIPI D-PHY 规范 v1.2 和 MIPI CSI-2 规范 v1.3 的 CSI-2 端口 (CSIRX0), 具有 4 个差分数据通道和 1 个差分时钟通道 (以同步双倍数据速率模式运行)。有关 CSI-2 时序的详细信息, 请参阅上述相应的 MIPI 规范。

- 支持高达 1.5Gbps 的 1、2、3 或 4 通道数据传输模式

6.9.5.5 CSI-2 TX

待定

6.9.5.6 DDRSS

有关器件 LPDDR4 存储器接口特性和其他说明信息的更多详情，请参阅 [信号说明](#) 和 [详细说明](#) 部分中的相应小节。

表 6-43 和图 6-35 展示了 DDRSS 的开关特性。

表 6-43. DDRSS 开关特性

请参阅图 1-1

编号	参数	DDR 类型	内核电压	最小值	最大值	单位
1	$t_c(\text{DDR_CKP/DDR_CKN})$	LPDDR	0.75V 工作电压	0.536 ⁽¹⁾	20	ns
			0.85V 工作电压	0.500 ⁽¹⁾	20	ns

- (1) 最大 DDR 频率将根据系统中使用的特定存储器类型（供应商）以及根据 PCB 实现进行限制。TI 强烈建议所有设计的每个细节（布线、间距、过孔/背钻、PCB 材料等）都严格遵循 TI LPDDR4 EVM PCB 布局，以便完全实现指定的时钟频率。有关详细信息，请参阅 [Jacinto 7 LPDDR4 电路板设计和布局布线指南](#)。

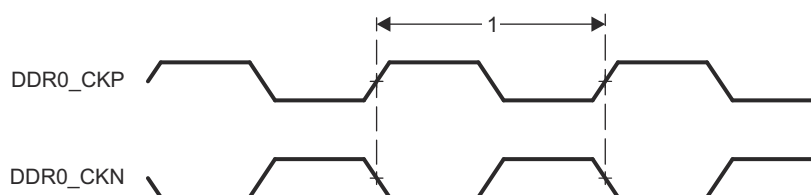


图 6-35. DDRSS 开关特性

有关更多信息，请参阅器件 TRM 的 [存储器控制器](#) 一章中的 [DDR 子系统 \(DDRSS\)](#) 一节。

6.9.5.7 DSS

表 6-44、表 6-45、图 6-36、表 6-46 和 图 6-37 说明了 DSS 的时序条件、时序要求和开关特性。

表 6-44. DSS 时序条件

参数		最小值	最大值	单位
输入条件				
SR_i	输入压摆率	1.44	26.4	V/ns
输出条件				
C_L	输出负载电容	1.5	5	pF
PCB 连接要求				
t_d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配		100	ps

表 6-45. DSS 外部像素时钟时序要求

请参阅图 6-36

编号	参数	描述	最小值	最大值	单位
D6	$t_{c(\text{extpclk})}$	周期时间, $VOUT(x)_EXTPCLKIN^{(2)}$	6.06		ns
D7	$t_{w(\text{extpclk}L)}$	脉冲持续时间, $VOUT(x)_EXTPCLKIN^{(2)}$ 低电平	0.475P ⁽¹⁾		ns
D8	$t_{w(\text{extpclk}H)}$	脉冲持续时间, $VOUT(x)_EXTPCLKIN^{(2)}$ 高电平	0.475P ⁽¹⁾		ns

- (1) $P = VOUT(x)_EXTPCLKIN$ 周期时间 (以 ns 为单位)
 (2) $VOUT(x)$ 中的 $x = 0$

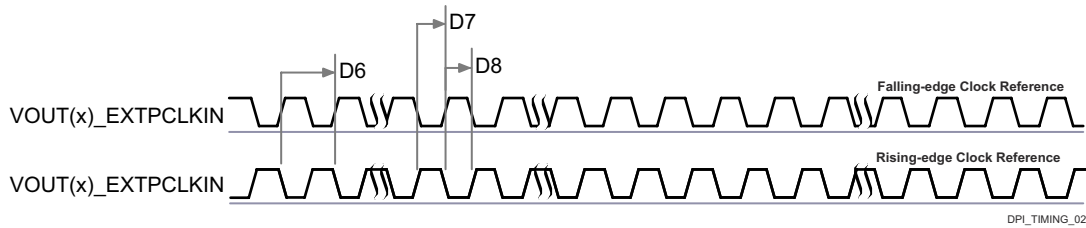
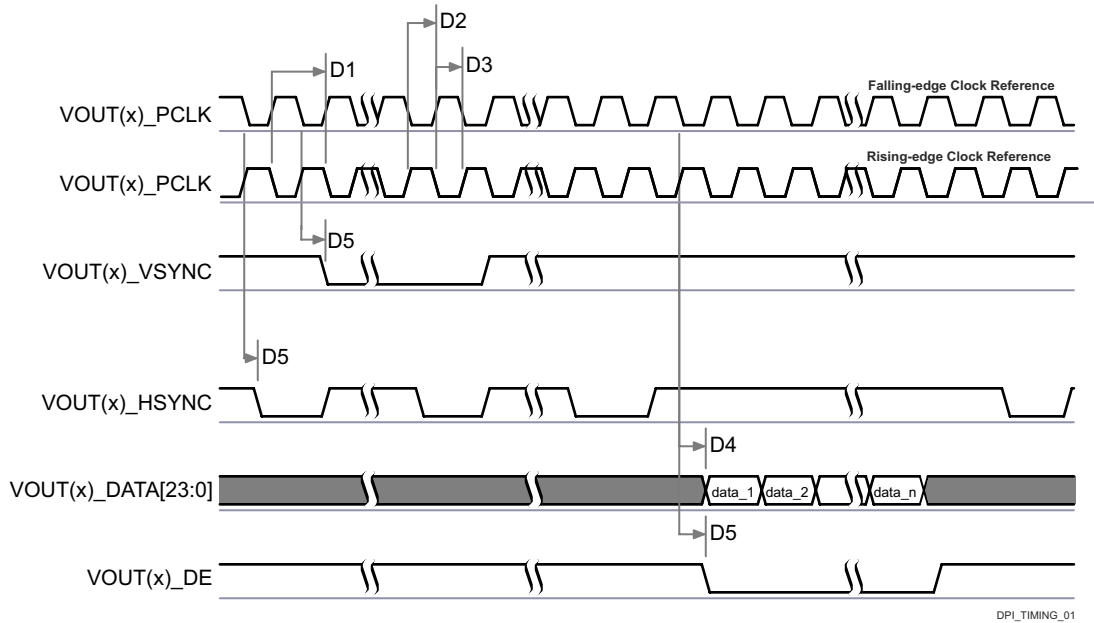


图 6-36. DSS 外部像素时钟时序要求

表 6-46. DSS 开关特性

请参阅图 6-37

编号	参数	模式	最小值	最大值	单位
D1	$t_{c(pclk)}$	周期时间, $VOUT(x)_PCLK^{(2)}$	6.06		ns
D2	$t_{w(pclkL)}$	内部 PLL	$0.475P^{(1)} - 0.3$		ns
		EXTPCLKIN	$Y^{(3)} - 0.45$		ns
D3	$t_{w(pclkH)}$	内部 PLL	$0.475P^{(1)} - 0.3$		ns
		EXTPCLKIN	$Z^{(4)} - 0.45$		ns
D4	$t_{d(pclkV-dataV)}$	内部 PLL	-0.68	1.78	ns
		EXTPCLKIN	-0.68	1.78	ns
D5	$t_{d(pclkV-ctrlL)}$	内部 PLL	-0.68	1.78	ns
		EXTPCLKIN	-0.68	1.78	ns

(1) $P = VOUT(x)_PCLK$ 周期时间 (以 ns 为单位)(2) $VOUT(x)$ 中的 $x = 0$ (3) $Y = t_{w(extpclkInL)}$, 表 6-45 DSS 外部像素时钟时序要求中的参数 D7(4) $Z = t_{w(extpclkInH)}$, 表 6-45 DSS 外部像素时钟时序要求中的参数 D8

- A. 可以将数据置为有效编程为在像素时钟的下降沿或上升沿发生。请参阅器件 TRM 的外设一章中的显示子系统 (DSS) 一节。
- B. $VOUT(x)_HSYNC$ 和 $VOUT(x)_VSYNC$ 的极性和脉冲宽度是可编程的, 请参阅器件 TRM 的外设一章中的显示子系统 (DSS) 一节。
- C. $VOUT(x)_PCLK$ 频率是可配置的, 请参阅器件 TRM 的外设一章中的显示子系统一节。

图 6-37. DSS 开关特性

有关更多信息, 请参阅器件 TRM 的外设一章中的显示子系统 (DSS) 和外设一节。

6.9.5.8 ECAP

表 6-47、表 6-48、图 6-38、表 6-49 和图 6-39 说明了 ECAP 的时序条件、时序要求和开关特性。

表 6-47. ECAP 时序条件

参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	1	4	V/ns
输出条件				
C _L	输出负载电容	2	7	pF

表 6-48. ECAP 时序要求

请参阅图 6-38

编号	参数	说明	最小值	最大值	单位
CAP1	t _w (CAP)	脉冲持续时间, CAP (异步)	2P ⁽¹⁾ + 2		ns

(1) P = sysclk 周期 (以 ns 为单位)。

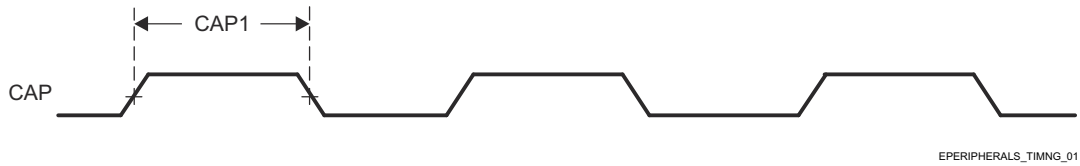


图 6-38. ECAP 时序要求

表 6-49. ECAP 开关特性

请参阅图 6-39

编号	参数	说明	最小值	最大值	单位
CAP2	t _w (APWM)	脉冲持续时间, APWMx 高电平/低电平	2P ⁽¹⁾ - 2		ns

(1) P = sysclk 周期 (以 ns 为单位)。

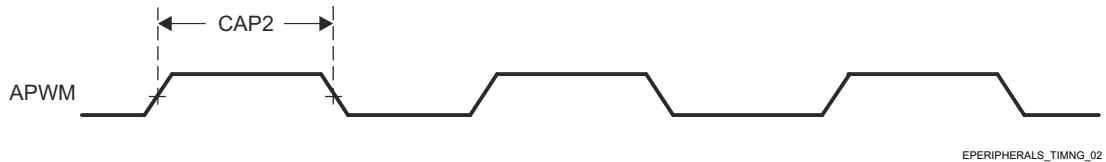


图 6-39. ECAP 开关特性

有关更多信息, 请参阅器件 TRM 的外设一章中的增强型捕获 (ECAP) 模块一节。

6.9.5.9 仿真和调试

有关器件跟踪和 JTAG 接口特性和其他说明信息的更多详情，请参阅 *信号说明* 和 *详细说明* 部分中的相应小节。

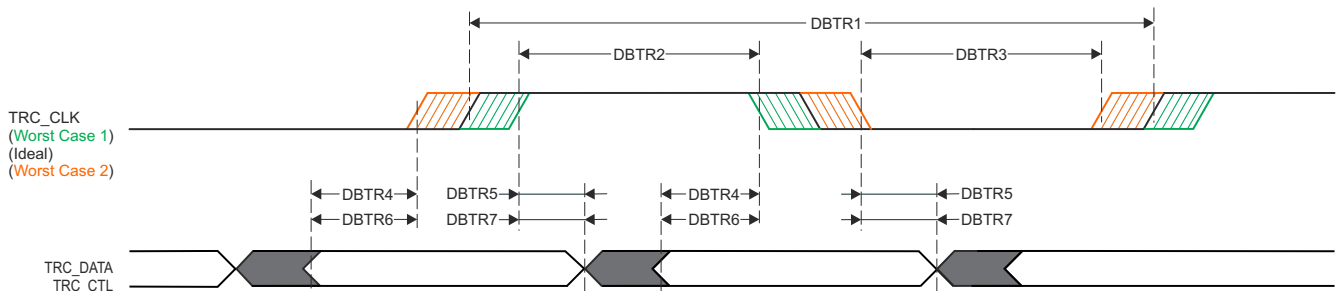
6.9.5.9.1 迹线

表 6-50. 布线时序条件

参数		最小值	最大值	单位
输出条件				
C_L	输出负载电容	2	5	pF
PCB 连接要求				
$t_d(\text{Trace Mismatch})$	所有布线之间的传播延迟不匹配		200	ps

表 6-51. 布线开关特性

编号	参数		最小值	最大值	单位
1.8V 模式					
DBTR1	$t_c(\text{TRC_CLK})$	TRC_CLK 周期时间	6.83		ns
DBTR2	$t_w(\text{TRC_CLKH})$	脉冲宽度, TRC_CLK 高电平	2.66		ns
DBTR3	$t_w(\text{TRC_CLKL})$	脉冲宽度, TRC_CLK 低电平	2.66		ns
DBTR4	$t_{osu}(\text{TRC_DATAV-TRC_CLK})$	输出建立时间, TRC_DATA 到 TRC_CLK 边沿有效的时间	0.85		ns
DBTR5	$t_{oh}(\text{TRC_CLK-TRC_DATAI})$	输出保持时间, TRC_CLK 边沿到 TRC_DATA 无效	0.85		ns
DBTR6	$t_{osu}(\text{TRC_CTLV-TRC_CLK})$	输出建立时间, TRC_CTL 到 TRC_CLK 边沿有效的时间	0.85		ns
DBTR7	$t_{oh}(\text{TRC_CLK-TRC_CTLI})$	输出保持时间, TRC_CLK 边沿到 TRC_CTL 无效	0.85		ns
3.3V 模式					
DBTR1	$t_c(\text{TRC_CLK})$	TRC_CLK 周期时间	8.78		ns
DBTR2	$t_w(\text{TRC_CLKH})$	脉冲宽度, TRC_CLK 高电平	3.64		ns
DBTR3	$t_w(\text{TRC_CLKL})$	脉冲宽度, TRC_CLK 低电平	3.64		ns
DBTR4	$t_{osu}(\text{TRC_DATAV-TRC_CLK})$	输出建立时间, TRC_DATA 到 TRC_CLK 边沿有效的时间	1.10		ns
DBTR5	$t_{oh}(\text{TRC_CLK-TRC_DATAI})$	输出保持时间, TRC_CLK 边沿到 TRC_DATA 无效	1.10		ns
DBTR6	$t_{osu}(\text{TRC_CTLV-TRC_CLK})$	输出建立时间, TRC_CTL 到 TRC_CLK 边沿有效的时间	1.10		ns
DBTR7	$t_{oh}(\text{TRC_CLK-TRC_CTLI})$	输出保持时间, TRC_CLK 边沿到 TRC_CTL 无效	1.10		ns



SPRSP08_Debug_01

图 6-40. 布线开关特性

6.9.5.9.2 JTAG

表 6-52. JTAG 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.5	2.0	V/ns
输出条件				
C_L	输出负载电容	5	15	pF
PCB 连接要求				
$t_d(\text{Trace Delay})$	每条引线的传播延迟	83.5	1000 ⁽¹⁾	ps
$t_d(\text{Trace Mismatch Delay})$	所有布线之间的传播延迟不匹配		100	ps

(1) 与 JTAG 信号引线相关的最大传播延迟对最大 TCK 工作频率有显著的影响。可以将跟踪延迟增加到超过该值，但必须降低 TCK 的工作频率以解决额外的跟踪延迟。

表 6-53. JTAG 时序要求

请参阅图 6-41

编号	参数	描述	最小值	最大值	单位
J1	$t_c(\text{TCK})$	最小周期时间, TCK	40 ⁽¹⁾		ns
J2	$t_w(\text{TCKH})$	最小脉冲宽度, TCK 高电平	0.4P ⁽²⁾		ns
J3	$t_w(\text{TCKL})$	最小脉冲宽度, TCK 低电平	0.4P ⁽²⁾		ns
J4	$t_{su}(\text{TDI-TCK})$	最小输入建立时间, TDI 有效到 TCK 高电平	2		ns
	$t_{su}(\text{TMS-TCK})$	最小输入建立时间, TMS 有效到 TCK 高电平	2		ns
J5	$t_h(\text{TCK-TDI})$	最小输入保持时间, 从 TCK 高电平到 TDI 有效	3		ns
	$t_h(\text{TCK-TMS})$	最小输入保持时间, 从 TCK 高电平到 TMS 有效	3		ns

(1) 最大 TCK 工作频率假定所连接的调试器具有以下时序要求和开关特性。如果调试器超出任何这些假设，则必须降低 TCK 的工作频率以提供适当的时序裕度。

- 相对于 TCK 上升沿的最小 TDO 建立时间为 2 ns
- 相对于 TCK 下降沿, TDI 和 TMS 输出延迟范围为 -12.9 ns 至 13.9 ns

(2) P = TCK 周期时间 (以 ns 为单位)

表 6-54. JTAG 开关特性

请参阅图 6-41

编号	参数	描述	最小值	最大值	单位
J6	$t_d(\text{TCKL-TDO})$	最小延迟时间, TCK 低电平到 TDO 无效	0		ns
J7	$t_d(\text{TCKL-TDOV})$	最大延迟时间, TCK 低电平到 TDO 有效		12	ns

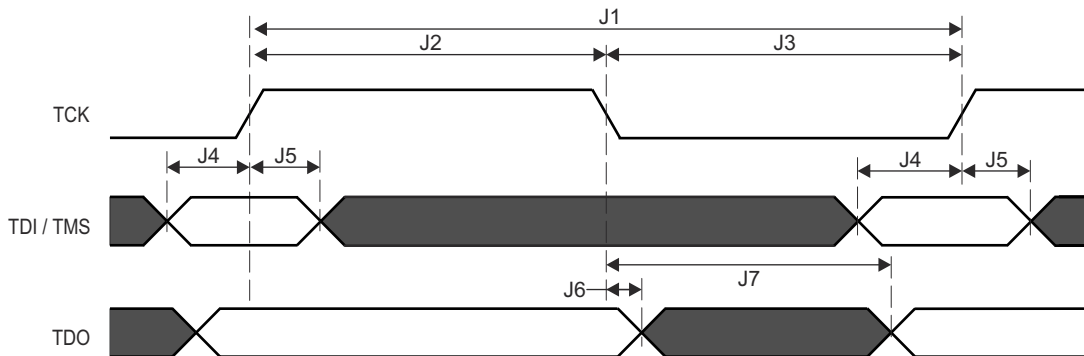


图 6-41. JTAG 时序要求和开关特性

6.9.5.10 EPWM

表 6-55、表 6-56、图 6-42、表 6-57、图 6-43、图 6-44 和图 6-45 说明了 EPWM 的时序条件、时序要求和开关特性。

表 6-55. EPWM 时序条件

参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	1	4	V/ns
输出条件				
C _L	输出负载电容	2	7	pF

表 6-56. EPWM 时序要求

请参阅图 6-42

编号	参数	说明	最小值	最大值	单位
PWM6	t _w (SYNClN)	脉冲持续时间, EHRPWM_SYNCI	2P ⁽¹⁾ + 2		ns
PWM7	t _w (TZ)	脉冲持续时间, EHRPWM_TZn_IN 低电平	3P ⁽¹⁾ + 2		ns

(1) P = sysclk 周期 (以 ns 为单位)。

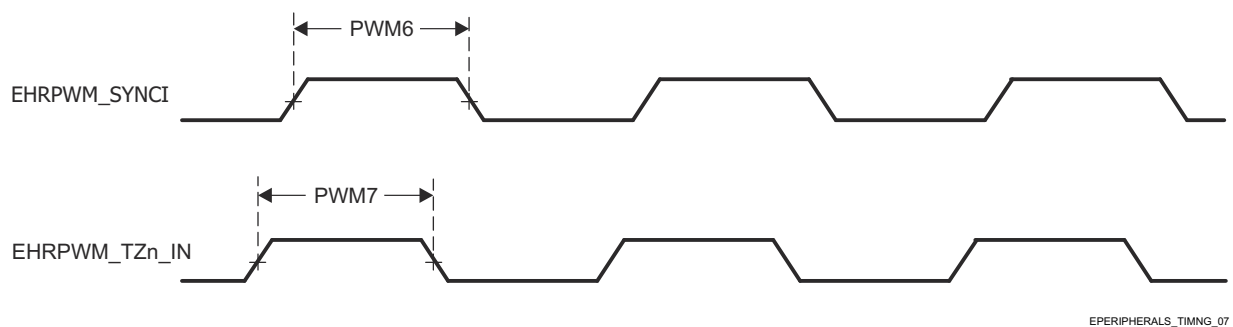


图 6-42. EPWM 时序要求

表 6-57. EPWM 开关特性

请参阅图 6-43、图 6-44 和图 6-45

编号	参数	说明	最小值	最大值	单位
PWM1	$t_w(\text{PWM})$	脉冲持续时间, EHRPWM_A/B 高电平/低电平	$P^{(1)} - 3$		ns
PWM2	$t_w(\text{SYNCO})$	脉冲持续时间, EHRPWM_SYNCO	$P^{(1)} - 3$		ns
PWM3	$t_d(\text{TZ-PWM})$	延迟时间, EHRPWM_TZn_IN 有效到 EHRPWM_A/B 强制高电平/低电平		11	ns
PWM4	$t_d(\text{TZ-PWMZ})$	延迟时间, EHRPWM_TZn_IN 有效到 EHRPWM_A/B 高阻态		11	ns
PWM5	$t_w(\text{SOC})$	脉冲持续时间, EHRPWM_SOC A/B 输出	$P^{(1)} - 3$		ns

(1) $P = \text{sysclk}$ 周期 (以 ns 为单位)。

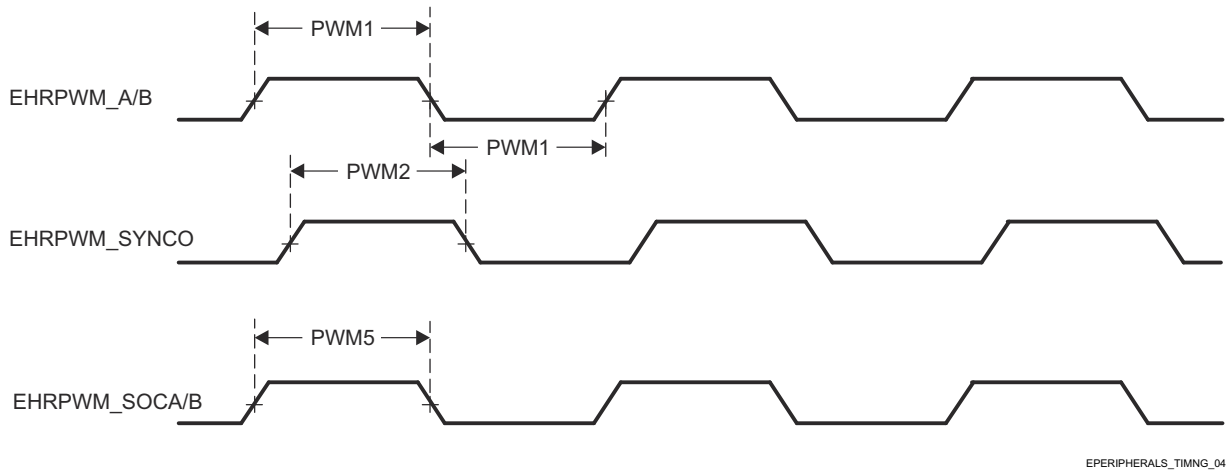


图 6-43. EHRPWM 开关特性

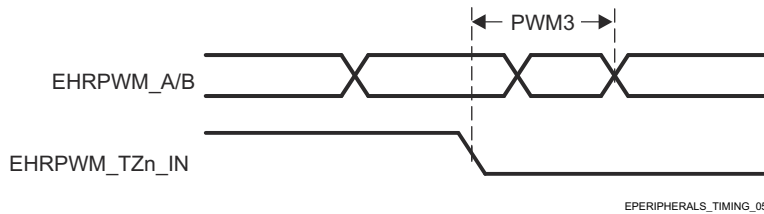


图 6-44. EHRPWM_TZn_IN 至 EHRPWM_A/B 强制开关特性

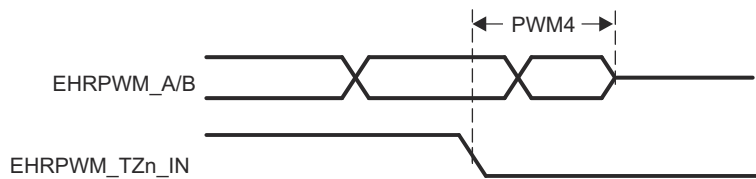


图 6-45. EHRPWM_TZn_IN 至 EHRPWM_A/B 高阻态开关特性

有关更多信息, 请参阅器件 TRM 的外设一章中的增强型脉宽调制 (EPWM) 模块一节。

6.9.5.11 EQEP

表 6-58、表 6-59、图 6-46 和表 6-60 说明了 EQEP 的时序条件、时序要求和开关特性。

表 6-58. EQEP 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	1	4	V/ns
输出条件				
C _L	输出负载电容	2	7	pF

表 6-59. EQEP 时序要求

请参阅图 6-46

编号	参数	说明	最小值	最大值	单位
QEP1	t _w (QEP)	脉冲持续时间, QEP_A/B	2P ⁽¹⁾ + 2		ns
QEP2	t _w (QEPIH)	脉冲持续时间, QEP_I 高电平	2P ⁽¹⁾ + 2		ns
QEP3	t _w (QEPIL)	脉冲持续时间, QEP_I 低电平	2P ⁽¹⁾ + 2		ns
QEP4	t _w (QEP SH)	脉冲持续时间, QEP_S 高电平	2P ⁽¹⁾ + 2		ns
QEP5	t _w (QEP SL)	脉冲持续时间, QEP_S 低电平	2P ⁽¹⁾ + 2		ns

(1) P = sysclk 周期 (以 ns 为单位)

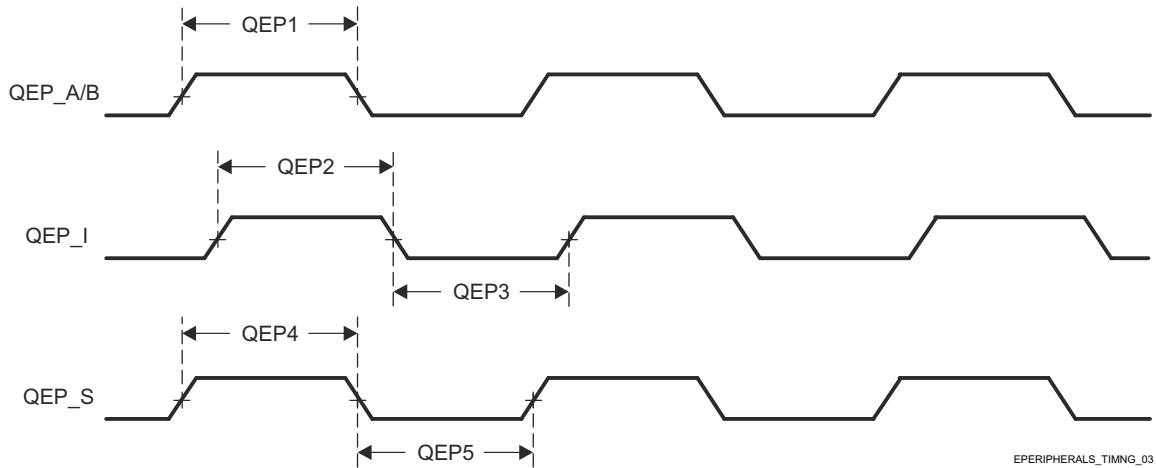


图 6-46. EQEP 时序要求

表 6-60. EQEP 开关特性

编号	参数	说明	最小值	最大值	单位
QEP6	t _d (QEP-CNTR)	延迟时间, 外部时钟到计数器增量		24	ns

有关更多信息, 请参阅器件 TRM 的外设一章中的增强型正交编码器脉冲 (EQEP) 模块一节。

6.9.5.12 GPIO

表 6-61、表 6-62 和表 6-63 说明了 GPIO 的时序条件、时序要求和开关特性。

该器件具有三个 GPIO 模块实例。

- MCU_GPIO0
- GPIO0
- GPIO1

备注

GPIO_{n_x} 是用于描述 GPIO 信号的通用名称，其中 n 表示特定的 GPIO 模块，x 表示与该模块关联的输入/输出信号之一。

有关器件 GPIO 的其他说明信息，请参阅 *信号说明* 和 *详细说明* 部分中的相应小节。

表 6-61. GPIO 时序条件

参数		缓冲器类型	最小值	最大值	单位
输入条件					
SR _i	输入压摆率	LVC MOS (VDD ⁽¹⁾ = 1.8V)	0.0018	6.6	V/ns
		LVC MOS (VDD ⁽¹⁾ = 3.3V)	0.0033	6.6	V/ns
		I2C OD FS (VDD ⁽¹⁾ = 1.8V)	0.0018	6.6	V/ns
		I2C OD FS (VDD ⁽¹⁾ = 3.3V)	0.0033	0.08	V/ns
输出条件					
C _L	输出负载电容	LVC MOS	3	10	pF
		I2C OD FS	3	100	pF

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅 *引脚属性表* 的“电源”列。

表 6-62. GPIO 时序要求

编号	参数	说明	最小值	最大值	单位
GPIO1	t _w (GPIO_IN)	脉冲宽度, GPIO _{n_x}	2P ⁽¹⁾ + 30		ns

(1) P = 功能时钟周期 (以 ns 为单位)。

表 6-63. GPIO 开关特性

编号	参数	说明	缓冲器类型	最小值	最大值	单位
GPIO2	t _w (GPIO_OUT)	脉冲宽度, GPIO _{n_x}	LVC MOS	0.975P ⁽¹⁾ - 3.6		ns
			I2C OD FS	160		ns

(1) P = 功能时钟周期 (以 ns 为单位)。

有关更多信息，请参阅器件 TRM 的 *外设* 一章中的 *通用接口 (GPIO)* 一节。

6.9.5.13 GPMC

有关器件通用存储器控制器特性和其他说明的更多详细信息，请参阅 [信号说明](#) 和 [详细说明](#) 部分中的相应小节。

表 6-64 展示了 GPMC 的时序条件。

表 6-64. GPMC 时序条件

参数		最小值	最大值	单位	
输入条件					
SR _i	输入压摆率	1.65	4	V/ns	
输出条件					
C _L	输出负载电容	2	20	pF	
PCB 连接要求					
t _d (Trace Delay)	每条引线的传播延迟	133MHz 同步模式	140	360	ps
		所有其他模式	140	720	ps
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配		200	ps	

有关更多信息，请参阅器件 TRM 的外设一章中的 [通用存储器控制器 \(GPMC\)](#) 一节。

6.9.5.13.1 GPMC 和 NOR 闪存 - 同步模式

表 6-65 和表 6-66 展示了 GPMC 和 NOR 闪存的时序要求和开关特性 - 同步模式。

表 6-65. GPMC 和 NOR 闪存时序要求 - 同步模式

请参阅图 6-47、图 6-48 和图 6-51

编号	参数	说明	模式 ⁽⁴⁾	最小值	最大值	最小值	最大值	单位
				GPMC_FCLK = 100MHz ⁽¹⁾	GPMC_FCLK = 133MHz ⁽¹⁾	GPMC_FCLK = 100MHz ⁽¹⁾	GPMC_FCLK = 133MHz ⁽¹⁾	
F12	t _{su} (dV-clkH)	建立时间，在输出时钟 GPMC_CLK 高电平之前输入数据 GPMC_AD[15:0] 有效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	1.61	0.92			ns
			not_div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	0.86	3.41			ns
F13	t _h (clkH-dV)	保持时间，在输出时钟 GPMC_CLK 高电平之后输入数据 GPMC_AD[15:0] 有效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	2.09	2.09			ns
			not_div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	2.09	2.09			ns
F21	t _{su} (waitV-clkH)	建立时间，在输出时钟 GPMC_CLK 高电平之前输入等待 GPMC_WAIT[ij] ^{(2) (3)} 有效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	1.61	0.92			ns
			not_div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	0.86	3.41			ns
F22	t _h (clkH-waitV)	保持时间，在输出时钟 GPMC_CLK 高电平之后输入等待 GPMC_WAIT[ij] ^{(2) (3)} 有效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	2.09	2.09			ns
			not_div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	2.09	2.09			ns

(1) GPMC_FCLK 选择

- gpmc_fclk_sel[1:0] = 2b01 选择 100MHz GPMC_FCLK
- gpmc_fclk_sel[1:0] = 2b00 选择 133MHz GPMC_FCLK

- (2) 在 GPMC_WAIT[j] 中, j 等于 0 或 1。
- (3) 等待监视支持仅限于 WaitMonitoringTime 值 > 0。有关等待监视功能的完整说明, 请参阅器件 TRM 中的通用存储器控制器 (GPMC) 一节。
- (4) 对于 div_by_1_mode :
- GPMC_CONFIG1_i 寄存器 : GPMCFCLKDIVIDER = 0h :
 - GPMC_CLK 频率 = GPMC_FCLK 频率
- 对于 not_div_by_1_mode :
- GPMC_CONFIG1_i 寄存器 : GPMCFCLKDIVIDER = 1h 至 3h :
 - GPMC_CLK 频率 = GPMC_FCLK 频率 / (2 至 4)
- 对于 GPMC_FCLK_MUX :
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 01 = PER1_PLL_CLKOUT/3 = 300/3 = 100MHz
- 对于 TIMEPARAGRANULARITY_X1 :
- GPMC_CONFIG1_i 寄存器 : TIMEPARAGRANULARITY = 0h = x1 延迟 (影响 RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRWD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS)

表 6-66. GPMC 和 NOR 闪存开关特性 - 同步模式

请参阅图 6-47、图 6-48、图 6-49、图 6-50 和图 6-51

编号 (2)	参数	说明	模式 ⁽¹⁶⁾	最小值	最大值	最小值	最大值	单位
				100MHz		133MHz		
F0	1/tc(clk)	周期, 输出时钟 GPMC_CLK ⁽¹⁵⁾	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	10.00		7.52		ns
F1	t _w (clkH)	典型脉冲持续时间, 输出时钟 GPMC_CLK 高电平	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	0.475P - 0.3 ⁽¹⁴⁾		0.475P - 0.3 ⁽¹⁴⁾		ns
F1	t _w (clkL)	典型脉冲持续时间, 输出时钟 GPMC_CLK 低电平	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	0.475P - 0.3 ⁽¹⁴⁾		0.475P - 0.3 ⁽¹⁴⁾		ns
F2	t _d (clkH-csnV)	延迟时间, 输出时钟 GPMC_CLK 上升沿到输出片选 GPMC_CS[n] 转换 ⁽¹³⁾	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1 ; 无 extra_delay	F - 2.2 (5)	F + 3.75	F - 2.2 (5)	F + 3.75	ns
F3	t _d (clkH-CS[n]IV)	延迟时间, 输出时钟 GPMC_CLK 上升沿到输出片选 GPMC_CS[n] 无效 ⁽¹³⁾	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1 ; 无 extra_delay	E - 2.2 (4)	E + 3.18	E - 2.2 (4)	E + 4.5	ns
F4	t _d (aV-clk)	延迟时间, 输出地址 GPMC_A[27:1] 有效到输出时钟 GPMC_CLK 第一个边沿	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	B - 2.3 (2)	B + 4.5	B - 2.3 (2)	B + 4.5	ns
F5	t _d (clkH-aIV)	延迟时间, 输出时钟 GPMC_CLK 上升沿到输出地址 GPMC_A[27:1] 无效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	-2.3	4.5	-2.3	4.5	ns
F6	t _d (be[x]nV-clk)	延迟时间, 输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效到输出时钟 GPMC_CLK 第一个边沿	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	B - 2.3 (2)	B + 1.9	B - 2.3 (2)	B + 1.9	ns
F7	t _d (clkH-be[x]nIV)	延迟时间, 输出时钟 GPMC_CLK 上升沿到输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效 ⁽¹⁰⁾	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	D - 2.3 (3)	D + 1.9	D - 2.3 (3)	D + 1.9	ns
F7	t _d (clkL-be[x]nIV)	延迟时间, GPMC_CLK 下降沿到 GPMC_BE0n_CLE、GPMC_BE1n 无效 ⁽¹¹⁾	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	D - 2.3 (3)	D + 1.9	D - 2.3 (3)	D + 1.9	ns

表 6-66. GPMC 和 NOR 闪存开关特性 - 同步模式 (续)

请参阅图 6-47、图 6-48、图 6-49、图 6-50 和图 6-51

编号 (2)	参数	说明	模式 ⁽¹⁶⁾	最小值	最大值	最小值	最大值	单位
				100MHz		133MHz		
F7	$t_{d(\text{clkL-be}[x]nIV)}$	延迟时间, GPMC_CLK 下降沿到 GPMC_BE0n_CLE、GPMC_BE1n 无效 ⁽¹²⁾	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	D - 2.3 (3)	D + 1.9	D - 2.3 (3)	D + 1.9	ns
F8	$t_{d(\text{clkH-advn})}$	延迟时间, 输出时钟 GPMC_CLK 上升沿到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 转换	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1 ; 无 extra_delay	G - 2.3 (6)	G + 4.5	G - 2.3 (6)	G + 4.5	ns
F9	$t_{d(\text{clkH-advnIV})}$	延迟时间, 输出时钟 GPMC_CLK 上升沿到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 无效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1 ; 无 extra_delay	D - 2.3 (3)	D + 4.5	D - 2.3 (3)	D + 4.5	ns
F10	$t_{d(\text{clkH-oen})}$	延迟时间, 输出时钟 GPMC_CLK 上升沿到输出使能 GPMC_OEn_REn 转换	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1 ; 无 extra_delay	H - 2.3 (7)	H + 3.5	H - 2.3 (7)	H + 3.5	ns
F11	$t_{d(\text{clkH-oenIV})}$	延迟时间, 输出时钟 GPMC_CLK 上升沿到输出使能 GPMC_OEn_REn 无效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1 ; 无 extra_delay	H - 2.3 (7)	H + 3.5	H - 2.3 (7)	H + 3.5	ns
F14	$t_{d(\text{clkH-wen})}$	延迟时间, 输出时钟 GPMC_CLK 上升沿到输出写入使能 GPMC_WEn 转换	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1 ; 无 extra_delay	I - 2.3 (8)	I + 4.5	I - 2.3 (8)	I + 4.5	ns
F15	$t_{d(\text{clkH-do})}$	延迟时间, 输出时钟 GPMC_CLK 上升沿到输出数据 GPMC_AD[15:0] 转换 ⁽¹⁰⁾	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	J - 2.3 (9)	J + 2.7	J - 2.3 (9)	J + 2.7	ns
F15	$t_{d(\text{clkL-do})}$	延迟时间, GPMC_CLK 下降沿到 GPMC_AD[15:0] 数据总线转换 ⁽¹¹⁾	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	J - 2.3 (9)	J + 2.7	J - 2.3 (9)	J + 2.7	ns
F15	$t_{d(\text{clkL-do})}$	延迟时间, GPMC_CLK 下降沿到 GPMC_AD[15:0] 数据总线转换 ⁽¹²⁾	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	J - 2.3 (9)	J + 2.7	J - 2.3 (9)	J + 2.7	ns
F17	$t_{d(\text{clkH-be}[x]n)}$	延迟时间, 输出时钟 GPMC_CLK 上升沿到输出低字节使能和命令锁存使能 GPMC_BE0n_CLE 转换 ⁽¹⁰⁾	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	J - 2.3 (9)	J + 1.9	J - 2.3 (9)	J + 1.9	ns
F17	$t_{d(\text{clkL-be}[x]n)}$	延迟时间, GPMC_CLK 下降沿到 GPMC_BE0n_CLE、GPMC_BE1n 转换 ⁽¹¹⁾	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	J - 2.3 (9)	J + 1.9	J - 2.3 (9)	J + 1.9	ns
F17	$t_{d(\text{clkL-be}[x]n)}$	延迟时间, GPMC_CLK 下降沿到 GPMC_BE0n_CLE、GPMC_BE1n 转换 ⁽¹²⁾	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	J - 2.3 (9)	J + 1.9	J - 2.3 (9)	J + 1.9	ns
F18	$t_{w(\text{csnV})}$	脉冲持续时间, 输出片选 GPMC_CS[n] ⁽¹³⁾ 低电平	读取	A		A		ns
			写入	A		A		ns
F19	$t_{w(\text{be}[x]nV)}$	脉冲持续时间, 输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 低电平	读取	C		C		ns
			写入	C		C		ns
F20	$t_{w(\text{advnV})}$	脉冲持续时间, 输出地址有效和地址锁存使能 GPMC_ADVn_ALE 低电平	读取	K		K		ns
			写入	K		K		ns

(1) 对于单次读取: $A = (\text{CSRdOffTime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(14)}$ 对于突发读取: $A = (\text{CSRdOffTime} - \text{CSOnTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(14)}$ 对于突发写入: $A = (\text{CSWrOffTime} - \text{CSOnTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(14)}$

n 是页面突发访问编号。

- (2) $B = \text{ClkActivationTime} \times \text{GPMC_FCLK}^{(14)}$
- (3) 对于单次读取: $D = (\text{RdCycleTime} - \text{AccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(14)}$
 对于突发读取: $D = (\text{RdCycleTime} - \text{AccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(14)}$
 对于突发写入: $D = (\text{WrCycleTime} - \text{AccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(14)}$
- (4) 对于单次读取: $E = (\text{CSRdOffTime} - \text{AccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(14)}$
 对于突发读取: $E = (\text{CSRdOffTime} - \text{AccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(14)}$
 对于突发写入: $E = (\text{CSWrOffTime} - \text{AccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(14)}$
- (5) 对于 csn 下降沿 (CS 激活):
- 如果 $\text{GPMCFCLKDIVIDER} = 0$:
 - $F = 0.5 \times \text{CSExtraDelay} \times \text{GPMC_FCLK}^{(14)}$
 - 如果 $\text{GPMCFCLKDIVIDER} = 1$:
 - 如果 (ClkActivationTime 和 CSOnTime 为奇数) 或 (ClkActivationTime 和 CSOnTime 为偶数), 则 $F = 0.5 \times \text{CSExtraDelay} \times \text{GPMC_FCLK}^{(14)}$
 - 否则 $F = (1 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC_FCLK}^{(14)}$
 - 如果 $\text{GPMCFCLKDIVIDER} = 2$:
 - 如果 ($(\text{CSOnTime} - \text{ClkActivationTime})$ 是 3 的倍数), 则 $F = 0.5 \times \text{CSExtraDelay} \times \text{GPMC_FCLK}^{(14)}$
 - 如果 ($(\text{CSOnTime} - \text{ClkActivationTime} - 1)$ 是 3 的倍数), 则 $F = (1 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC_FCLK}^{(14)}$
 - 如果 ($(\text{CSOnTime} - \text{ClkActivationTime} - 2)$ 是 3 的倍数), 则 $F = (2 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC_FCLK}^{(14)}$
- (6) 对于 ADV 下降沿 (ADV 激活):
- 如果 $\text{GPMCFCLKDIVIDER} = 0$:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(14)}$
 - 如果 $\text{GPMCFCLKDIVIDER} = 1$:
 - 如果 (ClkActivationTime 和 ADVOnTime 为奇数) 或 (ClkActivationTime 和 ADVOnTime 为偶数), 则 $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(14)}$
 - 否则 $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(14)}$
 - 如果 $\text{GPMCFCLKDIVIDER} = 2$:
 - 如果 ($(\text{ADVOnTime} - \text{ClkActivationTime})$ 是 3 的倍数), 则 $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(14)}$
 - 如果 ($(\text{ADVOnTime} - \text{ClkActivationTime} - 1)$ 是 3 的倍数), 则 $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(14)}$
 - 如果 ($(\text{ADVOnTime} - \text{ClkActivationTime} - 2)$ 是 3 的倍数), 则 $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(14)}$

对于读取模式下的 ADV 上升沿 (ADV 停用):

- 如果 $\text{GPMCFCLKDIVIDER} = 0$:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(14)}$
- 如果 $\text{GPMCFCLKDIVIDER} = 1$:
 - 如果 (ClkActivationTime 和 ADVRdOffTime 为奇数) 或 (ClkActivationTime 和 ADVRdOffTime 为偶数), 则 $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(14)}$
 - 否则 $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(14)}$
- 如果 $\text{GPMCFCLKDIVIDER} = 2$:
 - 如果 ($(\text{ADVRdOffTime} - \text{ClkActivationTime})$ 是 3 的倍数), 则 $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(14)}$
 - 如果 ($(\text{ADVRdOffTime} - \text{ClkActivationTime} - 1)$ 是 3 的倍数), 则 $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(14)}$
 - 如果 ($(\text{ADVRdOffTime} - \text{ClkActivationTime} - 2)$ 是 3 的倍数), 则 $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(14)}$

对于写入模式下的 ADV 上升沿 (ADV 停用):

- 如果 $\text{GPMCFCLKDIVIDER} = 0$:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(14)}$
- 如果 $\text{GPMCFCLKDIVIDER} = 1$:
 - 如果 (ClkActivationTime 和 ADVWrOffTime 为奇数) 或 (ClkActivationTime 和 ADVWrOffTime 为偶数), 则 $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(14)}$
 - 否则 $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(14)}$
- 如果 $\text{GPMCFCLKDIVIDER} = 2$:
 - 如果 ($(\text{ADVWrOffTime} - \text{ClkActivationTime})$ 是 3 的倍数), 则 $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(14)}$
 - 如果 ($(\text{ADVWrOffTime} - \text{ClkActivationTime} - 1)$ 是 3 的倍数), 则 $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(14)}$

- 如果 ($ADVWrrOffTime - ClkActivationTime - 2$) 是 3 的倍数) , 则 $G = (2 + 0.5 \times ADVExtraDelay) \times GPMC_FCLK^{(14)}$
- (7) 对于 OE 下降沿 (OE 激活) 和 IO DIR 上升沿 (数据总线输入方向) :
- 如果 $GPMCFCLKDIVIDER = 0$:
 - $H = 0.5 \times OEEExtraDelay \times GPMC_FCLK^{(14)}$
 - 如果 $GPMCFCLKDIVIDER = 1$:
 - 如果 ($ClkActivationTime$ 和 $OEOntime$ 为奇数) 或 ($ClkActivationTime$ 和 $OEOntime$ 为偶数) , 则 $H = 0.5 \times OEEExtraDelay \times GPMC_FCLK^{(14)}$
 - 否则 $H = (1 + 0.5 \times OEEExtraDelay) \times GPMC_FCLK^{(14)}$
 - 如果 $GPMCFCLKDIVIDER = 2$:
 - 如果 ($OEOntime - ClkActivationTime$) 是 3 的倍数) , 则 $H = 0.5 \times OEEExtraDelay \times GPMC_FCLK^{(14)}$
 - 如果 ($OEOntime - ClkActivationTime - 1$) 是 3 的倍数) , 则 $H = (1 + 0.5 \times OEEExtraDelay) \times GPMC_FCLK^{(14)}$
 - 如果 ($OEOntime - ClkActivationTime - 2$) 是 3 的倍数) , 则 $H = (2 + 0.5 \times OEEExtraDelay) \times GPMC_FCLK^{(14)}$

对于 OE 上升沿 (OE 停用) :

- 如果 $GPMCFCLKDIVIDER = 0$:
 - $H = 0.5 \times OEEExtraDelay \times GPMC_FCLK^{(14)}$
- 如果 $GPMCFCLKDIVIDER = 1$:
 - 如果 ($ClkActivationTime$ 和 $OEOffTime$ 为奇数) 或 ($ClkActivationTime$ 和 $OEOffTime$ 为偶数) , 则 $H = 0.5 \times OEEExtraDelay \times GPMC_FCLK^{(14)}$
 - 否则 $H = (1 + 0.5 \times OEEExtraDelay) \times GPMC_FCLK^{(14)}$
- 如果 $GPMCFCLKDIVIDER = 2$:
 - 如果 ($OEOffTime - ClkActivationTime$) 是 3 的倍数) , 则 $H = 0.5 \times OEEExtraDelay \times GPMC_FCLK^{(14)}$
 - 如果 ($OEOffTime - ClkActivationTime - 1$) 是 3 的倍数) , 则 $H = (1 + 0.5 \times OEEExtraDelay) \times GPMC_FCLK^{(14)}$
 - 如果 ($OEOffTime - ClkActivationTime - 2$) 是 3 的倍数) , 则 $H = (2 + 0.5 \times OEEExtraDelay) \times GPMC_FCLK^{(14)}$

(8) 对于 WE 下降沿 (WE 激活) :

- 如果 $GPMCFCLKDIVIDER = 0$:
 - $I = 0.5 \times WEEExtraDelay \times GPMC_FCLK^{(14)}$
- 如果 $GPMCFCLKDIVIDER = 1$:
 - 如果 ($ClkActivationTime$ 和 $WEOnTime$ 为奇数) 或 ($ClkActivationTime$ 和 $WEOnTime$ 为偶数) , 则 $I = 0.5 \times WEEExtraDelay \times GPMC_FCLK^{(14)}$
 - 否则 $I = (1 + 0.5 \times WEEExtraDelay) \times GPMC_FCLK^{(14)}$
- 如果 $GPMCFCLKDIVIDER = 2$:
 - 如果 ($WEOnTime - ClkActivationTime$) 是 3 的倍数) , 则 $I = 0.5 \times WEEExtraDelay \times GPMC_FCLK^{(14)}$
 - 如果 ($WEOnTime - ClkActivationTime - 1$) 是 3 的倍数) , 则 $I = (1 + 0.5 \times WEEExtraDelay) \times GPMC_FCLK^{(14)}$
 - 如果 ($WEOnTime - ClkActivationTime - 2$) 是 3 的倍数) , 则 $I = (2 + 0.5 \times WEEExtraDelay) \times GPMC_FCLK^{(14)}$

对于 WE 上升沿 (WE 停用) :

- 如果 $GPMCFCLKDIVIDER = 0$:
 - $I = 0.5 \times WEEExtraDelay \times GPMC_FCLK^{(14)}$
- 如果 $GPMCFCLKDIVIDER = 1$:
 - 如果 ($ClkActivationTime$ 和 $WEOffTime$ 为奇数) 或 ($ClkActivationTime$ 和 $WEOffTime$ 为偶数) , 则 $I = 0.5 \times WEEExtraDelay \times GPMC_FCLK^{(14)}$
 - 否则 $I = (1 + 0.5 \times WEEExtraDelay) \times GPMC_FCLK^{(14)}$
- 如果 $GPMCFCLKDIVIDER = 2$:
 - 如果 ($WEOffTime - ClkActivationTime$) 是 3 的倍数) , 则 $I = 0.5 \times WEEExtraDelay \times GPMC_FCLK^{(14)}$
 - 如果 ($WEOffTime - ClkActivationTime - 1$) 是 3 的倍数) , 则 $I = (1 + 0.5 \times WEEExtraDelay) \times GPMC_FCLK^{(14)}$
 - 如果 ($WEOffTime - ClkActivationTime - 2$) 是 3 的倍数) , 则 $I = (2 + 0.5 \times WEEExtraDelay) \times GPMC_FCLK^{(14)}$

(9) $J = GPMC_FCLK^{(14)}$

(10) 对于 CLK DIV 1 模式, 仅限第一次传输。

(11) 半周期; 对于 CLK DIV 1 模式, 针对初始传输后的所有数据。

(12) $GPMC_CLKOUT$ 的半个周期; 对于 CLK DIV 1 模式以外的模式, 针对所有数据。 $GPMC_CLKOUT$ 从 $GPMC_FCLK$ 进行分频。

(13) 在 $GPMC_CSn[j]$ 中, i 等于 0、1、2 或 3。在 $GPMC_WAIT[j]$ 中, j 等于 0 或 1。

- (14) P = 以 ns 为单位的 GPMC_CLK 周期
- (15) 与 GPMC_CLK 输出时钟相关的最大和最小频率可在 GPMC 模块中通过设置 GPMC_CONFIG1_i 配置寄存器位字段 GPMCFCLKDIVIDER 进行编程。
- (16) 对于 div_by_1_mode :
 - GPMC_CONFIG1_i 寄存器 : GPMCFCLKDIVIDER = 0h :
 - GPMC_CLK 频率 = GPMC_FCLK 频率

对于 GPMC_FCLK_MUX :

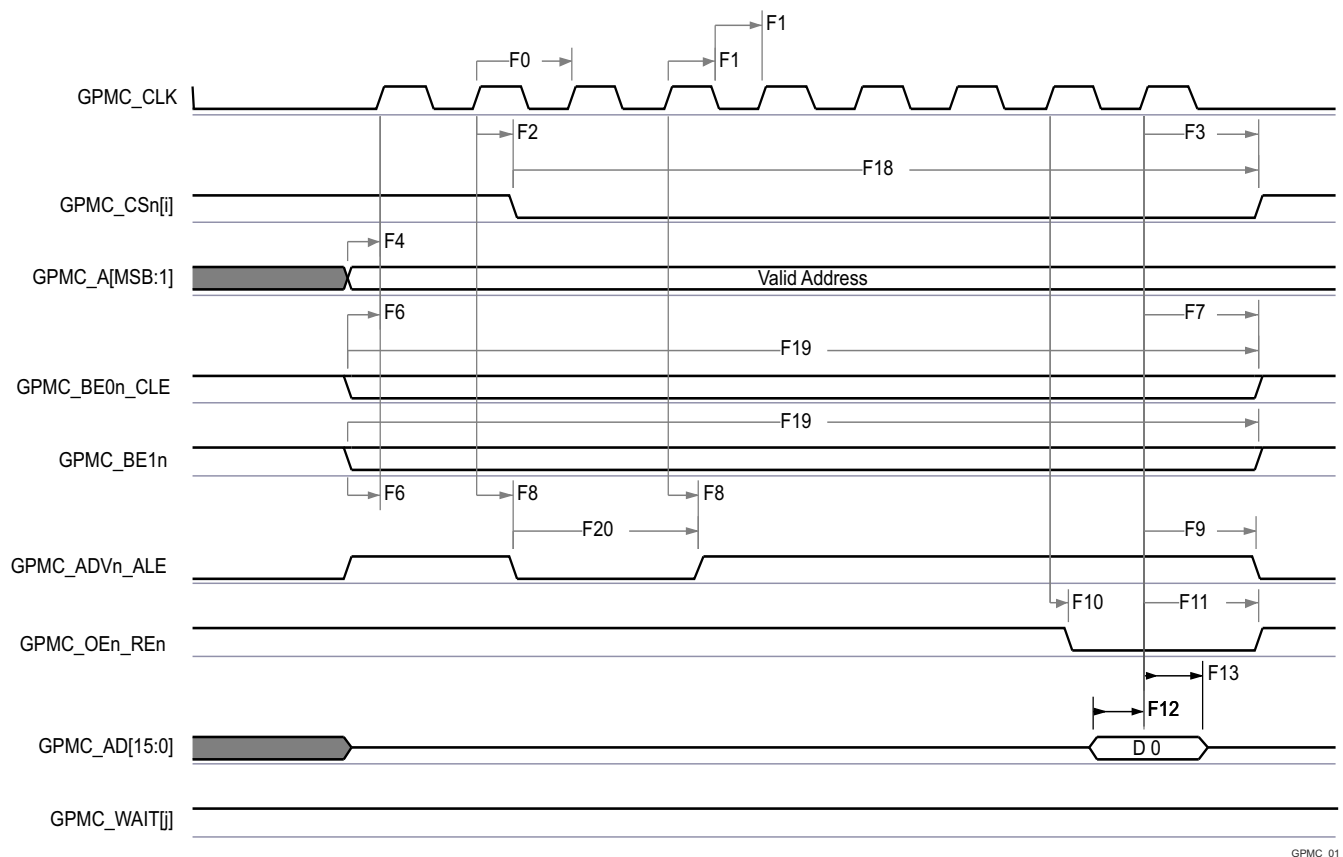
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 01 = PER1_PLL_CLKOUT/3 = 300/3 = 100MHz

对于 TIMEPARAGRANULARITY_X1 :

- GPMC_CONFIG1_i 寄存器 : TIMEPARAGRANULARITY = 0h = x1 延迟 (影响 RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRWD/WROFFTIME、ADVONTIME、ADV RD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS)

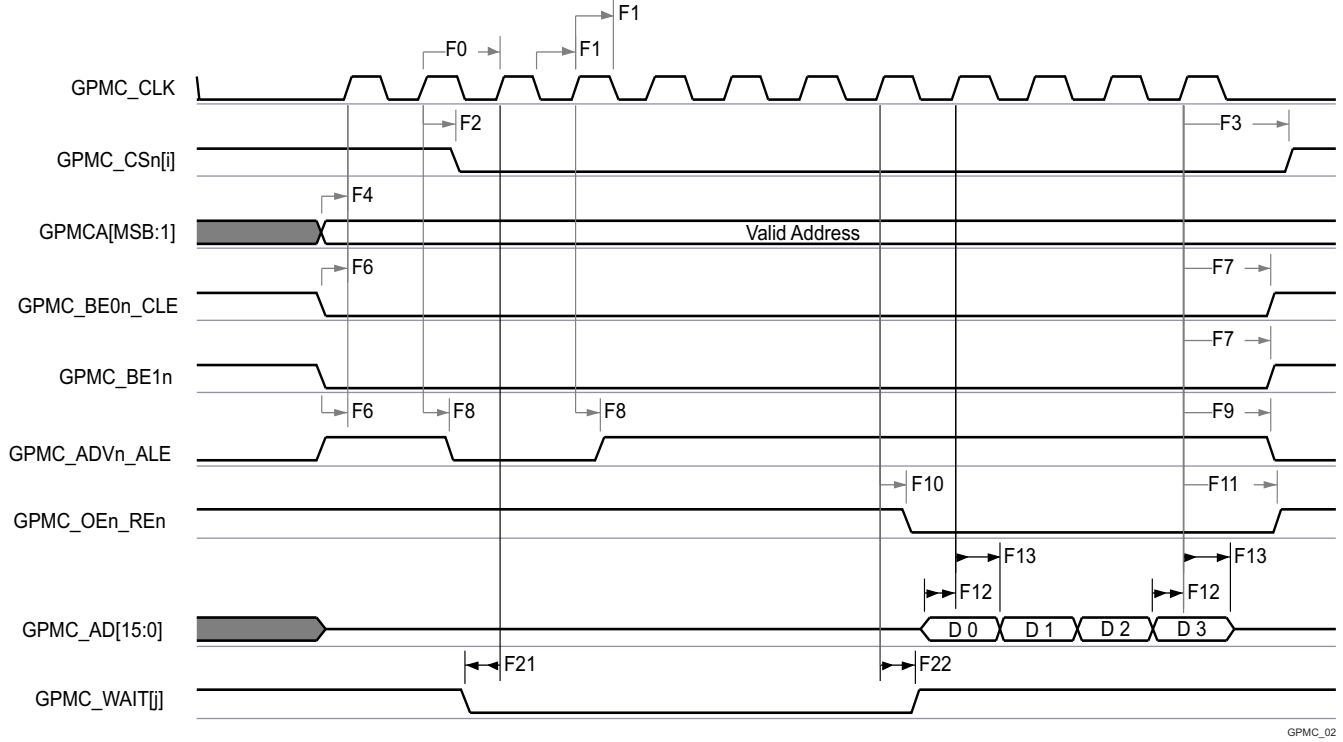
对于无 extra_delay 的情况 :

- GPMC_CONFIG2_i 寄存器 : CSEXTRADelay = 0h = CSn 时序控制信号不延迟
- GPMC_CONFIG4_i 寄存器 : WEEXTRADelay = 0h = nWE 时序控制信号不延迟
- GPMC_CONFIG4_i 寄存器 : OEEXTRADelay = 0h = nOE 时序控制信号不延迟
- GPMC_CONFIG3_i 寄存器 : ADVEXTRADelay = 0h = nADV 时序控制信号不延迟



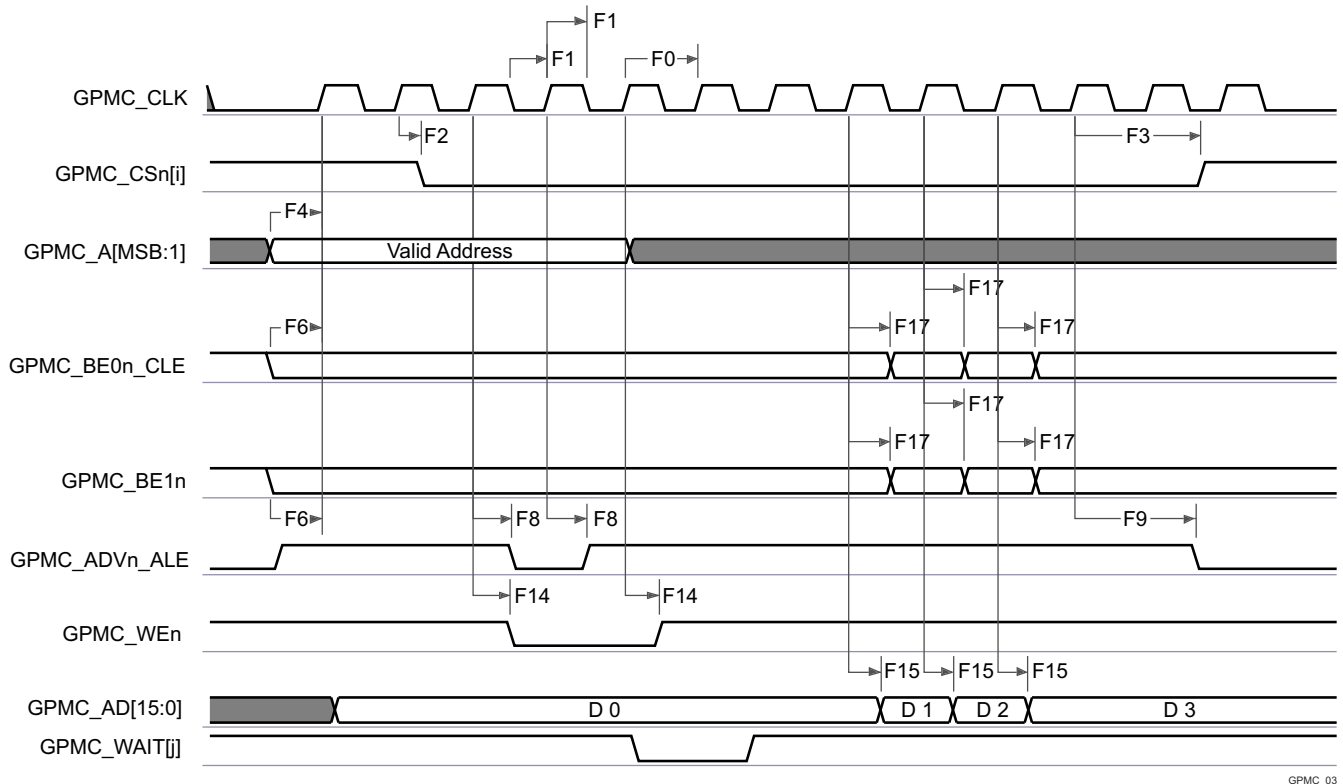
- A. 在 GPMC_CSn[i] 中, i 等于 0、1、2 或 3。
- B. 在 GPMC_WAIT[j] 中, j 等于 0 或 1。

图 6-47. GPMC 和 NOR 闪存 - 同步单次读取 (GPMCFCLKDIVIDER = 0)



- A. 在 GPMC_CS*n*[i] 中, i 等于 0、1、2 或 3。
- B. 在 GPMC_WAIT[i] 中, j 等于 0 或 1。

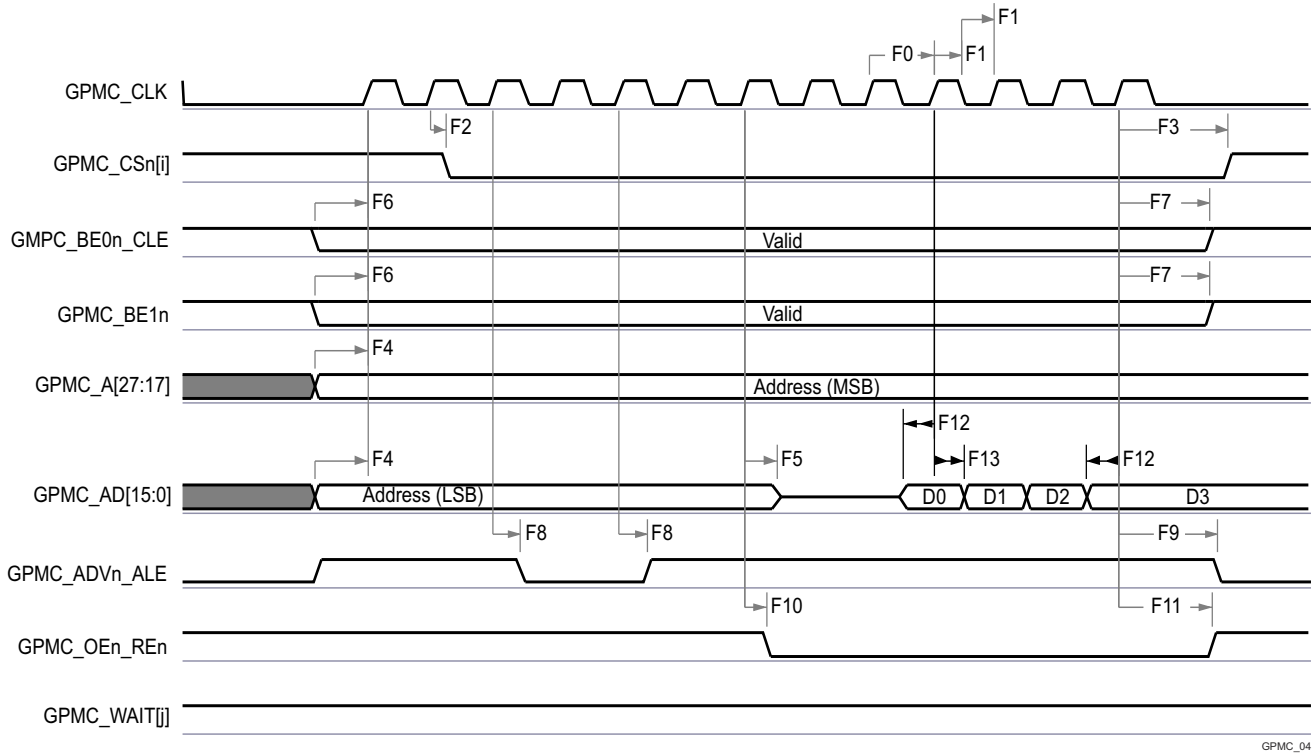
图 6-48. GPMC 和 NOR 闪存 - 同步突发读取 - 4x16 位 (GPMCFCLKDIVIDER = 0)



- A. 在 GPMC_CS*n*[i] 中, i 等于 0、1、2 或 3。

B. 在 GPMC_WAIT[j] 中, j 等于 0 或 1。

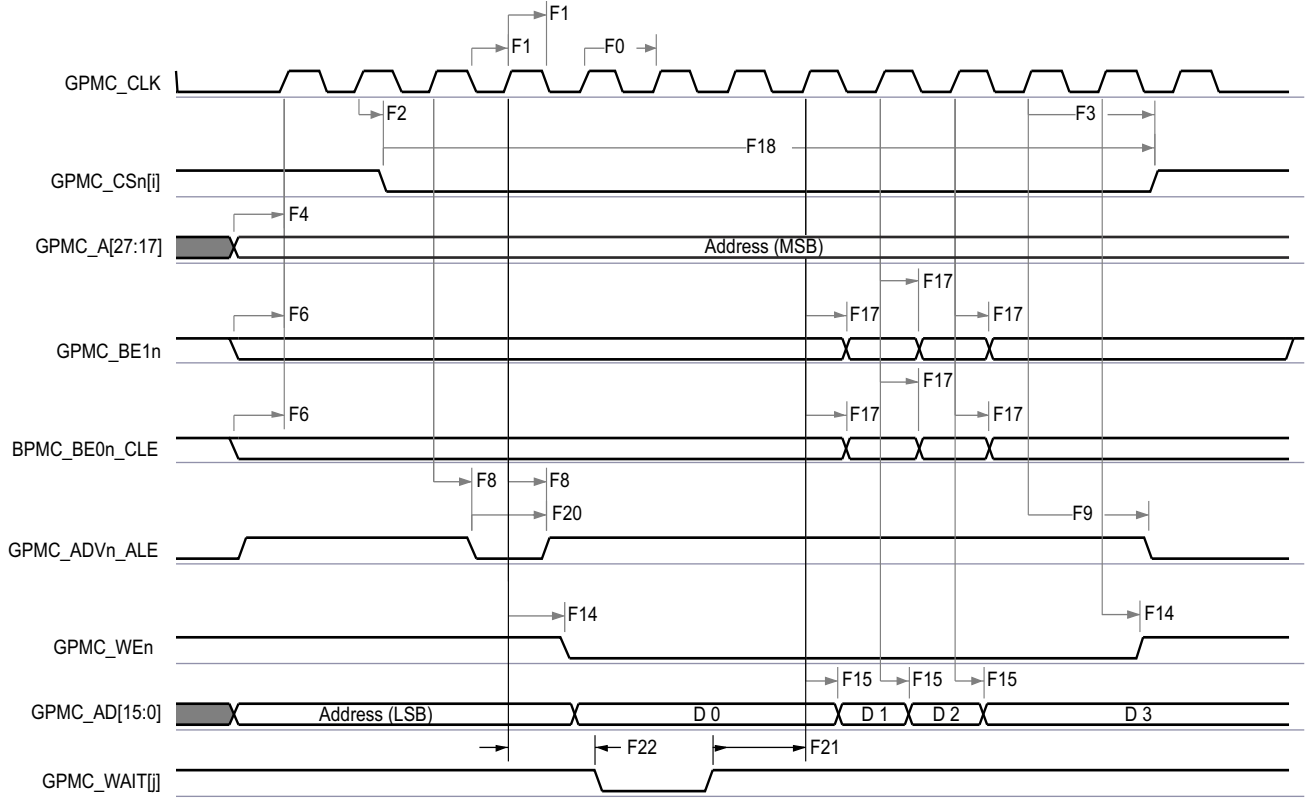
图 6-49. GPMC 和 NOR 闪存 - 同步突发写入 (GPMCFCLKDIVIDER = 0)



GPMC_04

- A. 在 GPMC_CSn[i] 中, i 等于 0、1、2 或 3。
- B. 在 GPMC_WAIT[j] 中, j 等于 0 或 1。

图 6-50. GPMC 和多路复用 NOR 闪存 - 同步突发读取



GPMC_05

- A. 在 GPMC_CSn[i] 中, i 等于 0、1、2 或 3。
- B. 在 GPMC_WAIT[j] 中, j 等于 0 或 1。

图 6-51. GPMC 和多路复用 NOR 闪存 - 同步突发写入

6.9.5.13.2 GPMC 和 NOR 闪存 - 异步模式

表 6-67 和表 6-68 展示了 GPMC 和 NOR 闪存的时序要求和开关特性 - 异步模式。

表 6-67. GPMC 和 NOR 闪存时序要求 - 异步模式

请参阅图 6-52、图 6-53、图 6-54 和图 6-56

编号	参数	说明	模式	最小值	最大值	单位
FA5 ⁽¹⁾	t _{acc(d)}	数据访问时间	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1		H ⁽⁴⁾	ns
FA20 ⁽²⁾	t _{acc1-pgmode(d)}	页面模式连续数据访问时间	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1		P ⁽³⁾	ns
FA21 ⁽¹⁾	t _{acc2-pgmode(d)}	页面模式首个数据访问时间	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1		H ⁽⁴⁾	ns

- (1) FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。
- (2) FA20 参数说明了在内部对连续输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。每次访问输入页面数据后，下一个输入页面数据将在 FA20 功能时钟周期后通过有效功能时钟边沿进行内部采样。FA20 值必须存储在 PageBurstAccessTime 寄存器位字段中。
- (3) $P = \text{PageBurstAccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(5)}$
- (4) $H = \text{AccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(5)}$
- (5) GPMC_FCLK 是通用存储器控制器内部功能时钟周期 (以 ns 为单位)。

表 6-68. GPMC 和 NOR 闪存开关特性 - 异步模式

请参阅图 6-52、图 6-53、图 6-54、图 6-55、图 6-56 和图 6-57

编号	参数	说明	模式 ⁽¹⁵⁾	最小值	最大值	单位
				133MHz		
FA0	t _{w(be x)nV)}	脉冲持续时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效时间	读取		N ⁽¹²⁾	ns
			写入		N ⁽¹²⁾	
FA1	t _{w(csnV)}	脉冲持续时间，输出片选 GPMC_CSn[ij] ⁽¹³⁾ 低电平	读取		A ⁽¹⁾	ns
			写入		A ⁽¹⁾	
FA3	t _{d(csnV-advnIV)}	延迟时间，输出片选 GPMC_CSn[ij] ⁽¹³⁾ 有效到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 无效	读取	B - 2 ⁽²⁾	B + 2 ⁽²⁾	ns
			写入	B - 2 ⁽²⁾	B + 2 ⁽²⁾	
FA4	t _{d(csnV-oenIV)}	延迟时间，输出片选 GPMC_CSn[ij] ⁽¹³⁾ 有效到输出使能 GPMC_OEn_REn 无效 (单次读取)	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	C - 2 ⁽³⁾	C + 2 ⁽³⁾	ns
FA9	t _{d(aV-csnV)}	延迟时间，输出地址 GPMC_A[27:1] 有效到输出片选 GPMC_CSn[ij] ⁽¹³⁾ 有效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	J - 2 ⁽⁹⁾	J + 2 ⁽⁹⁾	ns
FA10	t _{d(be x)nV-csnV)}	延迟时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效到输出片选 GPMC_CSn[ij] ⁽¹³⁾ 有效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	J - 2 ⁽⁹⁾	J + 2 ⁽⁹⁾	ns
FA12	t _{d(csnV-advnV)}	延迟时间，输出片选 GPMC_CSn[ij] ⁽¹³⁾ 有效到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 有效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	K - 2 ⁽¹⁰⁾	K + 2 ⁽¹⁰⁾	ns
FA13	t _{d(csnV-oenV)}	延迟时间，输出片选 GPMC_CSn[ij] ⁽¹³⁾ 有效到输出使能 GPMC_OEn_REn 有效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	L - 2 ⁽¹¹⁾	L + 2 ⁽¹¹⁾	ns
FA16	t _{w(aIV)}	脉冲持续时间，输出地址 GPMC_A[26:1] 在 2 次连续读取和写入访问之间无效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1		G ⁽⁷⁾	ns

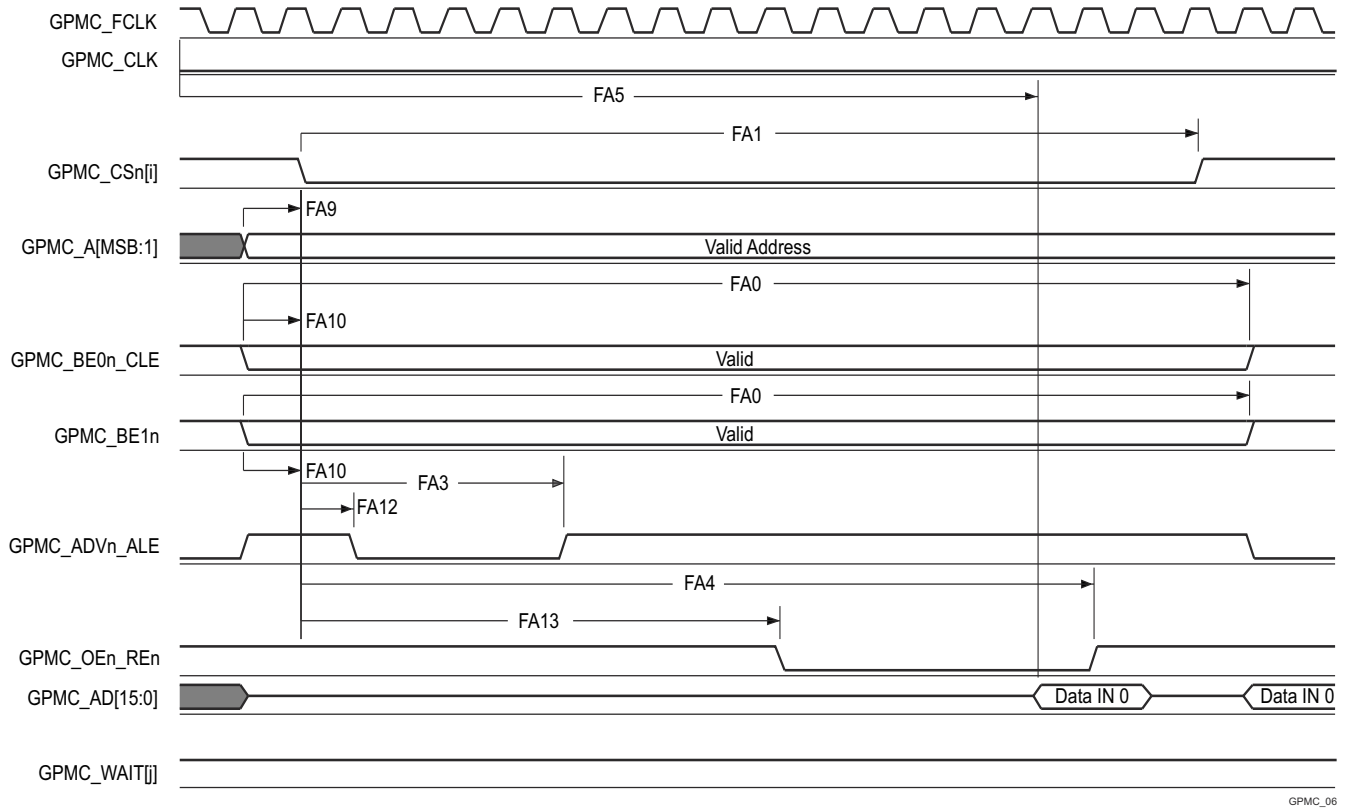
表 6-68. GPMC 和 NOR 闪存开关特性 - 异步模式 (续)

请参阅图 6-52、图 6-53、图 6-54、图 6-55、图 6-56 和图 6-57

编号	参数	说明	模式 ⁽¹⁵⁾	最小值	最大值	单位
				133MHz		
FA18	$t_{d(csnV-oenV)}$	延迟时间, 输出片选 GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有效到输出使能 GPMC_OEn_RE <i>n</i> 无效 (突发读取)	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	$l - 2^{(8)}$	$l + 2^{(8)}$	ns
FA20	$t_{w(aV)}$	脉冲持续时间, 输出地址 GPMC_A[27:1] 有效 - 第 2、3、4 次访问	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	D ⁽⁴⁾		ns
FA25	$t_{d(csnV-wenV)}$	延迟时间, 输出片选 GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有效到输出写入使能 GPMC_WEn 有效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	$E - 2^{(5)}$	$E + 2^{(5)}$	ns
FA27	$t_{d(csnV-wenV)}$	延迟时间, 输出片选 GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有效到输出写入使能 GPMC_WEn 无效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	$F - 2^{(6)}$	$F + 2^{(6)}$	ns
FA28	$t_{d(wenV-dV)}$	延迟时间, 输出写入使能 GPMC_WEn 有效到输出数据 GPMC_AD[15:0] 有效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	2		ns
FA29	$t_{d(dV-csnV)}$	延迟时间, 输出数据 GPMC_AD[15:0] 有效到输出片选 GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	$J - 2^{(9)}$	$J + 2^{(9)}$	ns
FA37	$t_{d(oenV-alV)}$	延迟时间, 输出使能 GPMC_OEn_RE <i>n</i> 有效到输出地址 GPMC_AD[15:0] 阶段结束	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	2		ns

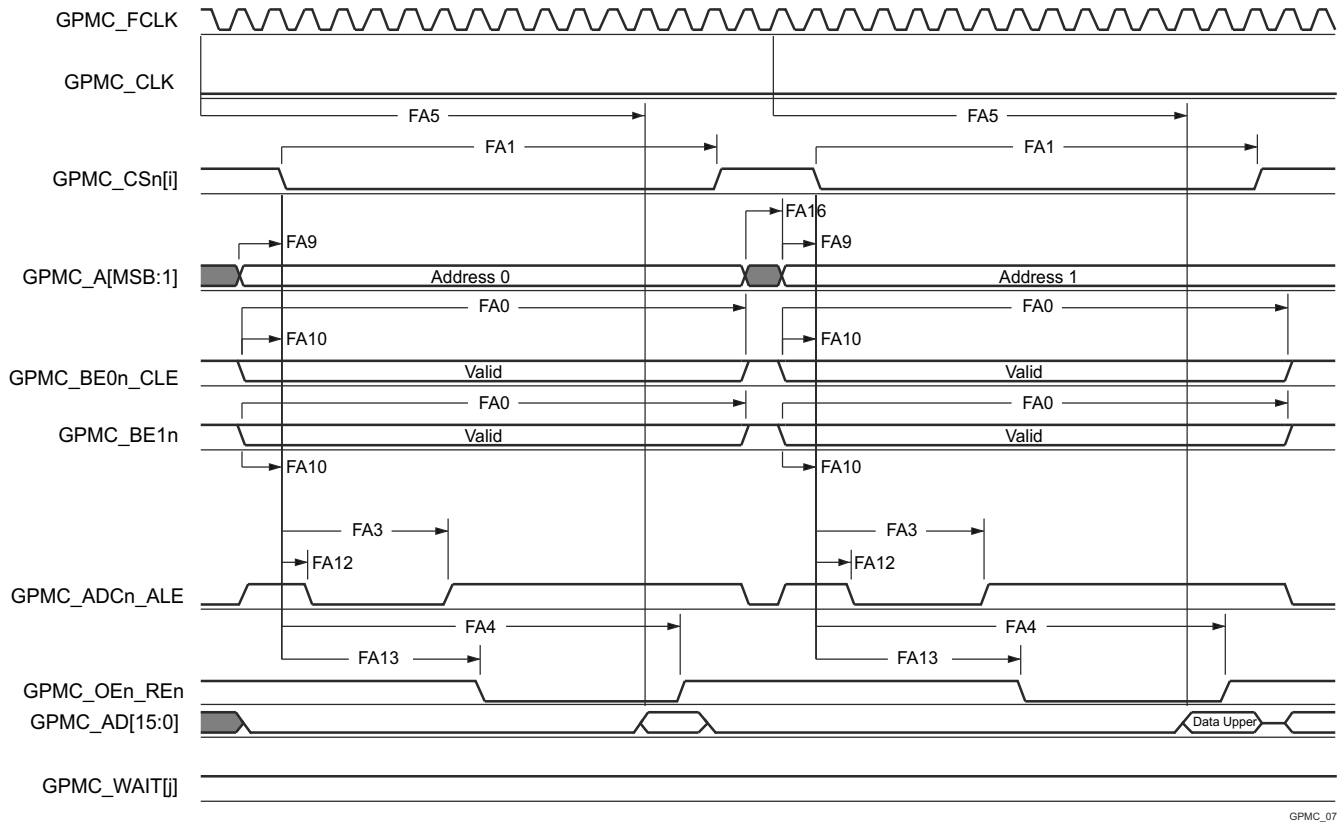
- (1) 对于单次读取: $A = (CSRdOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 对于单次写入: $A = (CSWrOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 对于突发读取: $A = (CSRdOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 对于突发写入: $A = (CSWrOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
n 是页面突发访问编号
- (2) 对于读取: $B = ((ADVrOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 对于写入: $B = ((ADVwOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (3) $C = ((OEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (4) $D = PageBurstAccessTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
- (5) $E = ((WEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (6) $F = ((WEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (7) $G = Cycle2CycleDelay \times GPMC_FCLK^{(14)}$
- (8) $I = ((OEOffTime + (n - 1) \times PageBurstAccessTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (9) $J = (CSOnTime \times (TimeParaGranularity + 1) + 0.5 \times CSEExtraDelay) \times GPMC_FCLK^{(14)}$
- (10) $K = ((ADVOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (11) $L = ((OEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (12) 对于单次读取: $N = RdCycleTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 对于单次写入: $N = WrCycleTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 对于突发读取: $N = (RdCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 对于突发写入: $N = (WrCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
- (13) 在 GPMC_CS*n*[*j*] 中, *i* 等于 0、1、2 或 3。
- (14) GPMC_FCLK 是通用存储器控制器内部功能时钟周期 (以 ns 为单位)。
- (15) 对于 div_by_1_mode :
- GPMC_CONFIG1_*i* 寄存器: GPMCFCLKDIVIDER = 0h :
 - GPMC_CLK 频率 = GPMC_FCLK 频率
- 对于 GPMC_FCLK_MUX :
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSIV_CLKOUT3 = 2000/15 = 133.33MHz
- 对于 TIMEPARAGRANULARITY_X1 :

- GPMC_CONFIG1_j 寄存器：TIMEPARAGRANULARITY = 0h = x1 延迟 (影响 RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRWD/WROFFTIME、ADVONTIME、ADV RD/WROFFTIME、OEONTIME、OE OFFTIME、WEONTIME、WE OFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS)



- 在 GPMC_CSn[i] 中, i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, j 等于 0 或 1。
- FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后, 输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。
- GPMC_FCLK 是内部时钟 (GPMC 功能时钟), 不从外部提供。

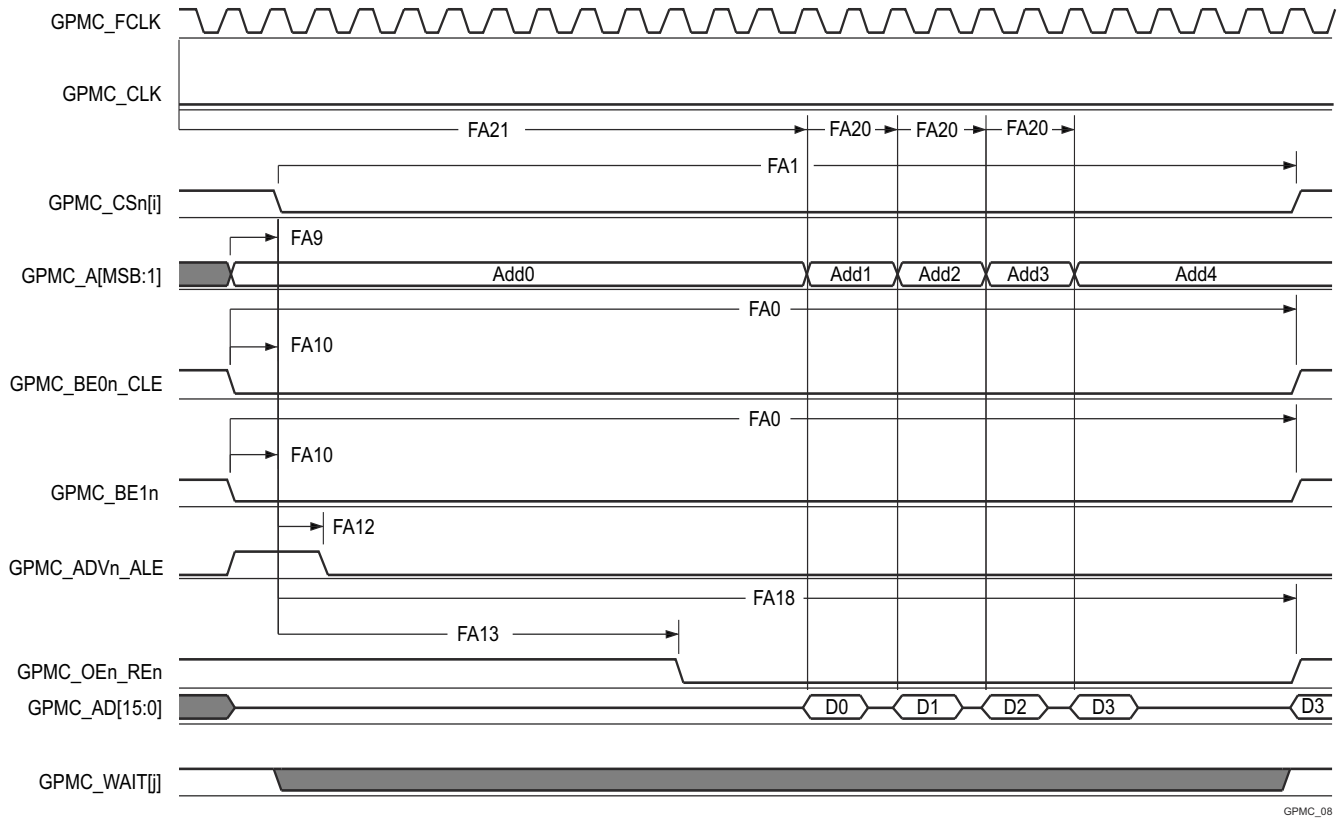
图 6-52. GPMC 和 NOR 闪存 - 异步读取 - 单字



GPMC_07

- 在 $\text{GPMC_CSn}[i]$ 中, i 等于 0、1、2 或 3。在 $\text{GPMC_WAIT}[j]$ 中, j 等于 0 或 1。
- FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后, 输入数据将通过有效功能时钟边沿在内部采样。 FA5 值必须存储在 AccessTime 寄存器位字段内。
- GPMC_FCLK 是内部时钟 (GPMC 功能时钟), 不从外部提供。

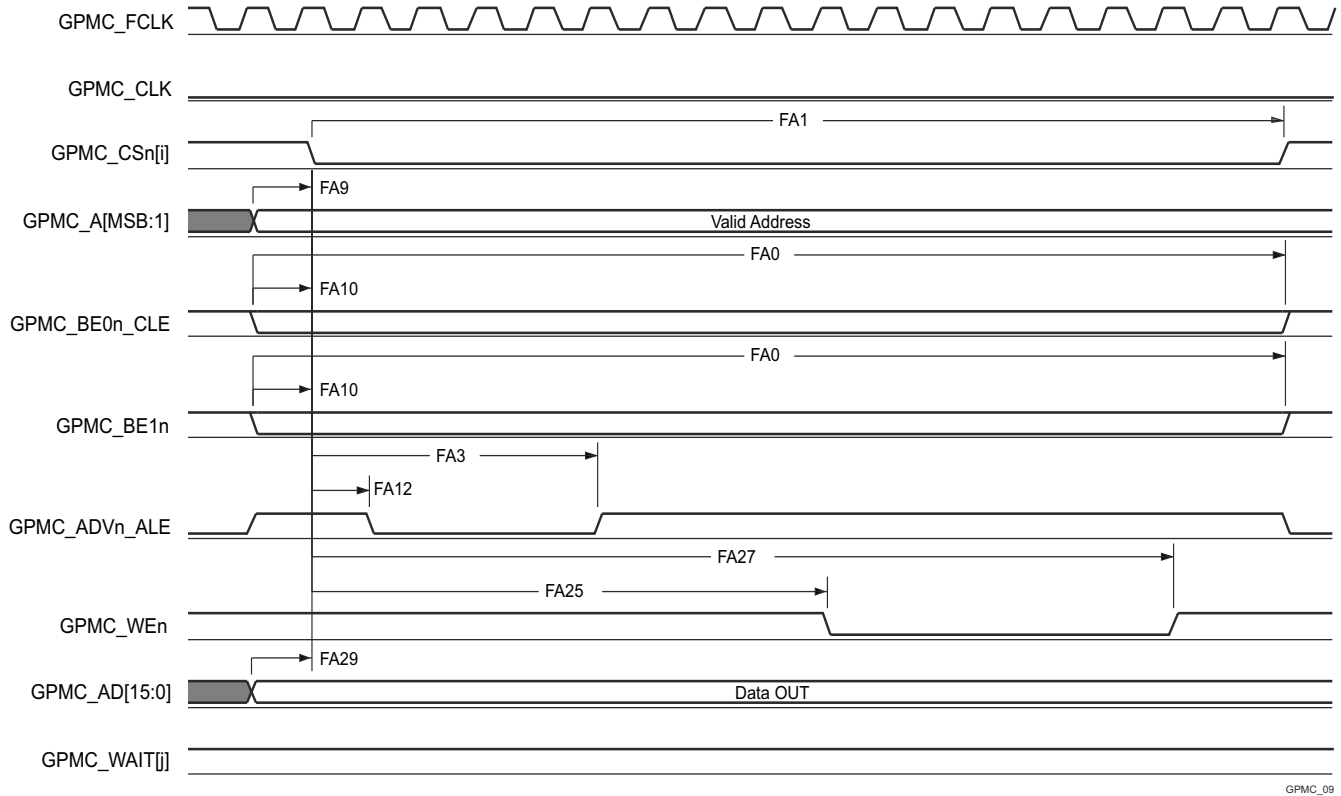
图 6-53. GPMC 和 NOR 闪存 - 异步读取 - 32 位



GPMC_08

- 在 GPMC_CS_n[i] 中, i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, j 等于 0 或 1。
- FA21 参数说明了在内部对首个输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA21 功能时钟周期结束后, 首个输入页面数据将通过有效功能时钟边沿在内部采样。FA21 计算结果必须存储在 AccessTime 寄存器位字段内。
- FA20 参数说明了在内部对连续输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。每次访问输入页面数据后, 下一个输入页面数据将在 FA20 功能时钟周期后通过有效功能时钟边沿进行内部采样。FA20 也是连续输入页面数据 (不包括第一个输入页面数据) 的寻址阶段的持续时间。FA20 值必须存储在 PageBurstAccessTime 寄存器位字段中。
- GPMC_FCLK 是内部时钟 (GPMC 功能时钟), 不从外部提供。

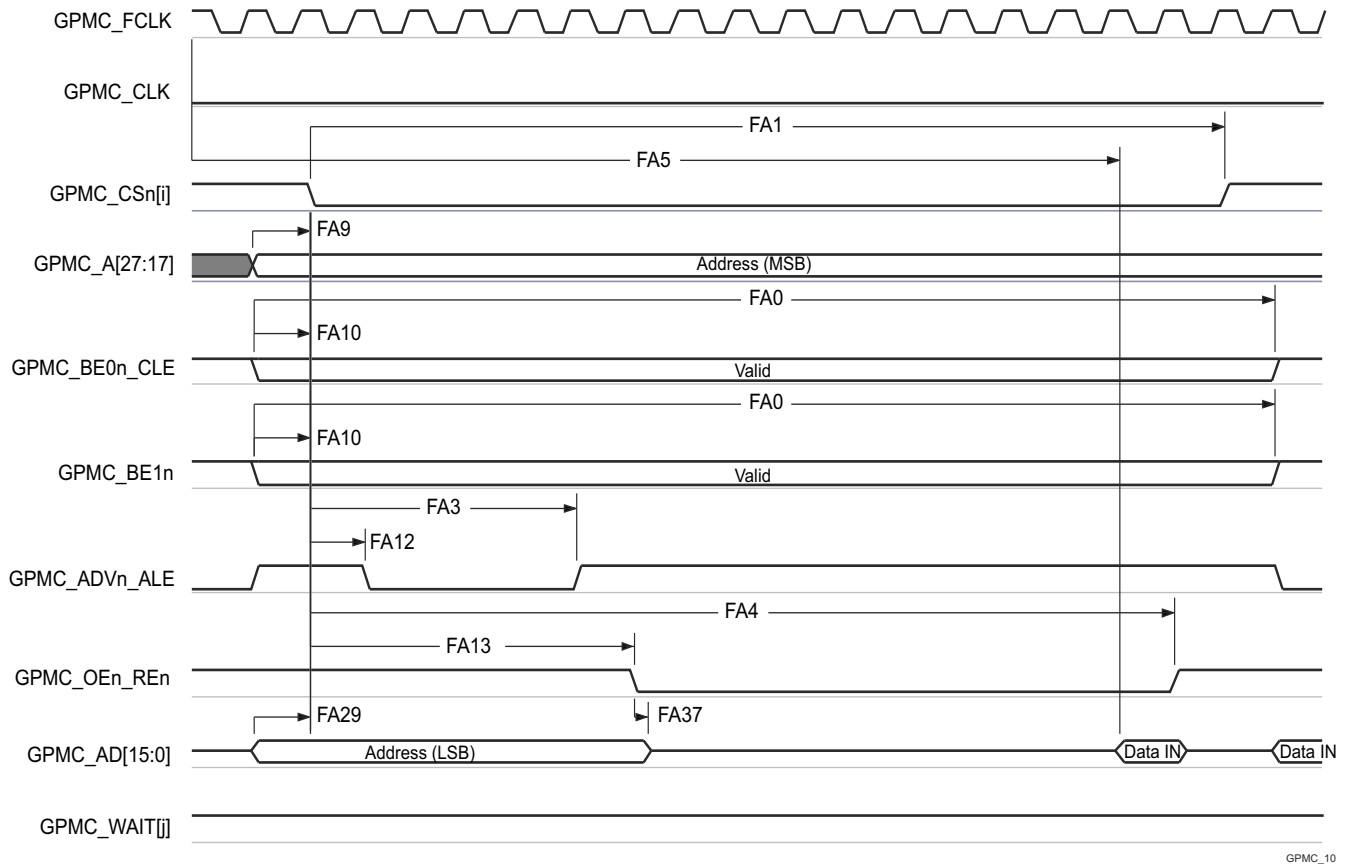
图 6-54. GPMC 和 NOR 闪存 - 异步读取 - 页面模式 4x16 位



GPMC_09

A. 在 GPMC_CS*n*[*i*] 中, *i* 等于 0、1、2 或 3。在 GPMC_WAIT[*j*] 中, *j* 等于 0 或 1。

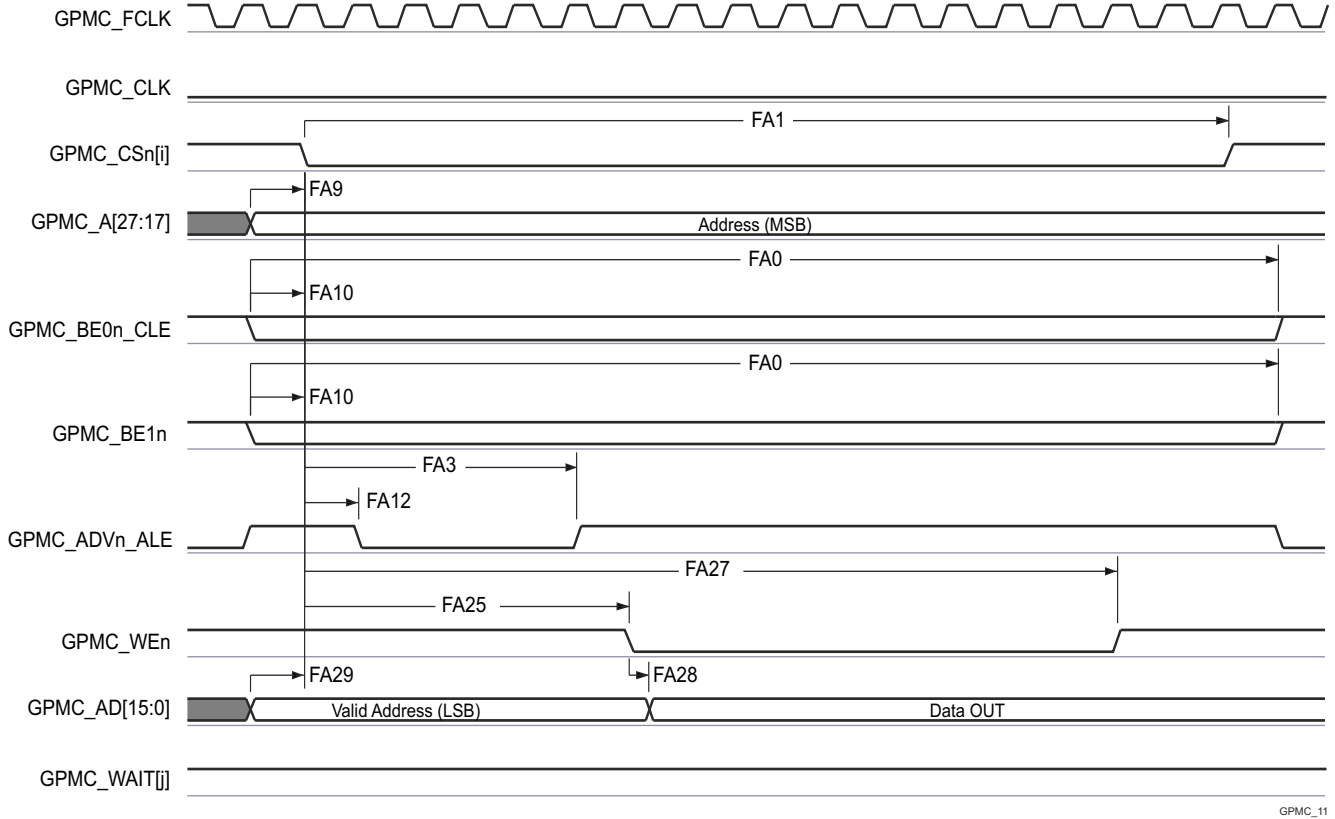
图 6-55. GPMC 和 NOR 闪存 - 异步写入 - 单字



GPMC_10

- A. 在 GPMC_CSn[i] 中, i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, j 等于 0 或 1。
- B. FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后, 输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。
- C. GPMC_FCLK 是内部时钟 (GPMC 功能时钟), 不从外部提供。

图 6-56. GPMC 和多路复用 NOR 闪存 - 异步读取 - 单字



GPMC_11

A. 在 GPMC_CS_n[i] 中, i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, j 等于 0 或 1。

图 6-57. GPMC 和多路复用 NOR 闪存 - 异步写入 - 单字

6.9.5.13.3 GPMC 和 NAND 闪存 - 异步模式

表 6-69 和表 6-70 展示了 GPMC 和 NAND 闪存的时序要求和开关特性 - 异步模式。

表 6-69. GPMC 和 NAND 闪存时序要求 - 异步模式

请参阅图 6-60

编号	参数	说明	模式 ⁽⁴⁾	最小值	最大值	单位
				133MHz		
GNF12 ⁽¹⁾	t _{acc(d)}	访问时间, 输入数据 GPMC_AD[15:0] ⁽³⁾	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1		J ⁽²⁾	ns

(1) GNF12 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 GNF12 功能时钟周期结束后, 输入数据通过有效功能时钟边沿在内部采样。GNF12 值必须存储在 AccessTime 寄存器位字段内。

(2) $J = \text{AccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}$ ⁽³⁾

(3) GPMC_FCLK 是通用存储器控制器内部功能时钟周期 (以 ns 为单位)。

(4) 对于 div_by_1_mode :

- GPMC_CONFIG1_i 寄存器 : GPMCFCLKDIVIDER = 0h :
 - GPMC_CLK 频率 = GPMC_FCLK 频率

对于 GPMC_FCLK_MUX :

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSIV_CLKOUT3 = 2000/15 = 133.33MHz

对于 TIMEPARAGRANULARITY_X1 :

- GPMC_CONFIG1_i 寄存器 : TIMEPARAGRANULARITY = 0h = x1 延迟 (影响 RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSR/WROFFTIME、ADVONTIME、ADV RD/WROFFTIME、OEONTIME、OE OFFTIME、WEONTIME、WE OFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS)

表 6-70. GPMC 和 NAND 闪存开关特性 - 异步模式

请参阅图 6-58、图 6-59、图 6-60 和图 6-61

编号	参数	说明	模式 ⁽⁴⁾	最小值	最大值	单位
GNF0	t _{w(wenV)}	脉冲持续时间, 输出写入使能 GPMC_WEn 有效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	A		ns
GNF1	t _{d(csnV-wenV)}	延迟时间, 输出片选 GPMC_CS <i>n</i> [<i>j</i>] ⁽²⁾ 有效到输出写入使能 GPMC_WEn 有效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	B - 2	B + 2	ns
GNF2	t _{w(cleH-wenV)}	延迟时间, 输出低字节使能和命令锁存使能 GPMC_BE0 <i>n</i> _CLE 高电平到输出写入使能 GPMC_WEn 有效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	C - 2	C + 2	ns
GNF3	t _{w(wenV-dV)}	延迟时间, 输出数据 GPMC_AD[15:0] 有效到输出写入使能 GPMC_WEn 有效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	D - 2	D + 2	ns
GNF4	t _{w(wenIV-dIV)}	延迟时间, 输出写入使能 GPMC_WEn 无效到输出数据 GPMC_AD[15:0] 无效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	E - 2	E + 2	ns
GNF5	t _{w(wenIV-cleIV)}	延迟时间, 输出写入使能 GPMC_WEn 无效到输出低字节使能和命令锁存使能 GPMC_BE0 <i>n</i> _CLE 无效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	F - 2	F + 2	ns
GNF6	t _{w(wenIV-csn[i]V)}	延迟时间, 输出写入使能 GPMC_WEn 无效到输出片选 GPMC_CS <i>n</i> [<i>j</i>] ⁽²⁾ 无效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	G - 2	G + 2	ns
GNF7	t _{w(aleH-wenV)}	延迟时间, 输出地址有效和地址锁存使能 GPMC_ADV <i>n</i> _ALE 高电平到输出写入使能 GPMC_WEn 有效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	C - 2	C + 2	ns

表 6-70. GPMC 和 NAND 闪存开关特性 - 异步模式 (续)

请参阅图 6-58、图 6-59、图 6-60 和图 6-61

编号	参数	模式 ⁽⁴⁾	最小值	最大值	单位
GNF8	$t_{w(wenV-aleIV)}$	延迟时间, 输出写入使能 GPMC_WEn 无效到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 无效	F - 2	F + 2	ns
GNF9	$t_{c(wen)}$	周期时间, 写入		H	ns
GNF10	$t_{d(csnV-oenV)}$	延迟时间, 输出片选 GPMC_CS <i>n</i> [<i>i</i>] ⁽²⁾ 有效到输出使能 GPMC_OEn_RE <i>n</i> 有效	I - 2	I + 2	ns
GNF13	$t_{w(oenV)}$	脉冲持续时间, 输出使能 GPMC_OEn_RE <i>n</i> 有效		K	ns
GNF14	$t_{c(oen)}$	周期时间, 读取	L		ns
GNF15	$t_{w(oenIV-CSn[i]V)}$	延迟时间, 输出使能 GPMC_OEn_RE <i>n</i> 无效到输出片选 GPMC_CS <i>n</i> [<i>i</i>] ⁽²⁾ 无效	M - 2	M + 2	ns

(1) $A = (WEOffTime - WEOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK$ ⁽³⁾(2) 在 GPMC_CS*n*[*i*] 中, *i* 等于 0、1、2 或 3。

(3) GPMC_FCLK 是通用存储器控制器内部功能时钟周期 (以 ns 为单位)。

(4) 对于 div_by_1_mode :

- GPMC_CONFIG1_i 寄存器 : GPMCFCLKDIVIDER = 0h :

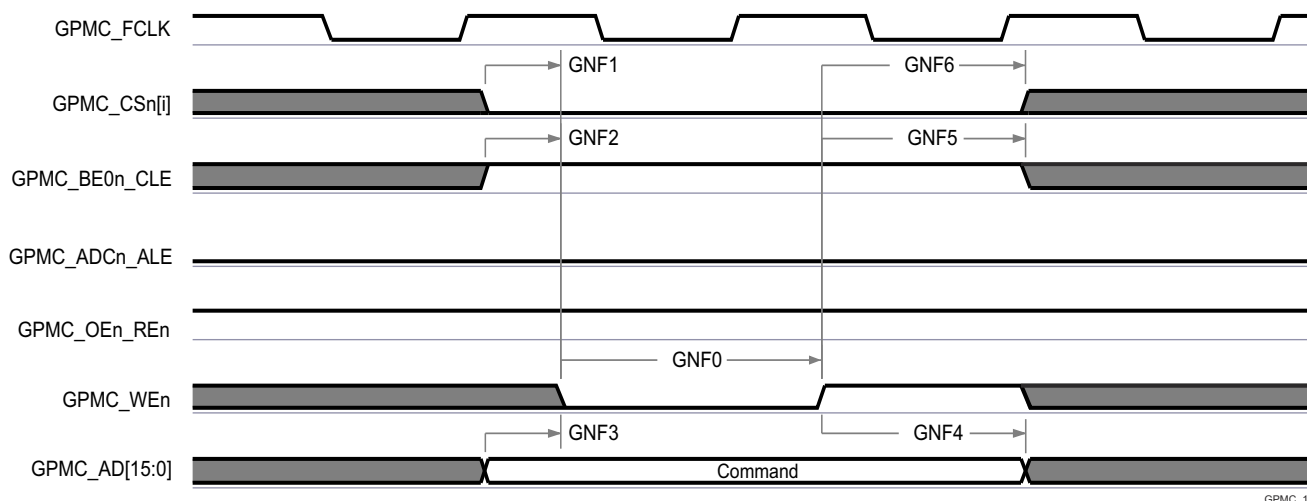
- GPMC_CLK 频率 = GPMC_FCLK 频率

对于 GPMC_FCLK_MUX :

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSIDIV_CLKOUT3 = 2000/15 = 133.33MHz

对于 TIMEPARAGRANULARITY_X1 :

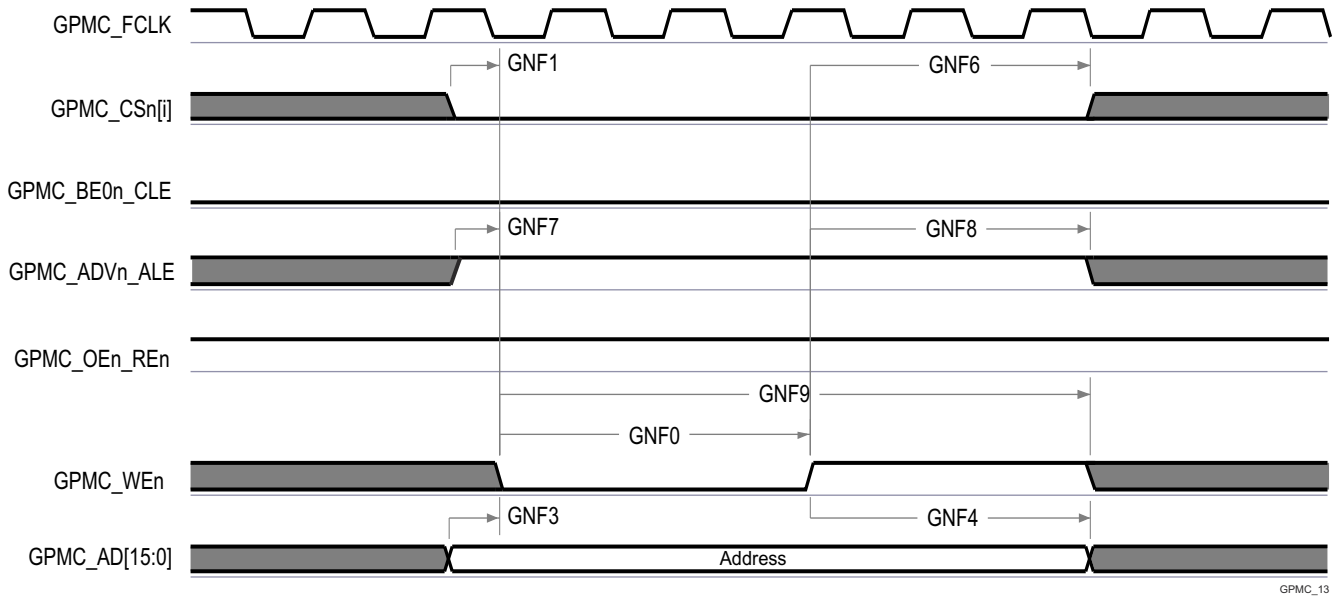
- GPMC_CONFIG1_i 寄存器 : TIMEPARAGRANULARITY = 0h = x1 延迟 (影响 RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRWD/WROFFTIME、ADVONTIME、ADV RD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS)



GPMC_12

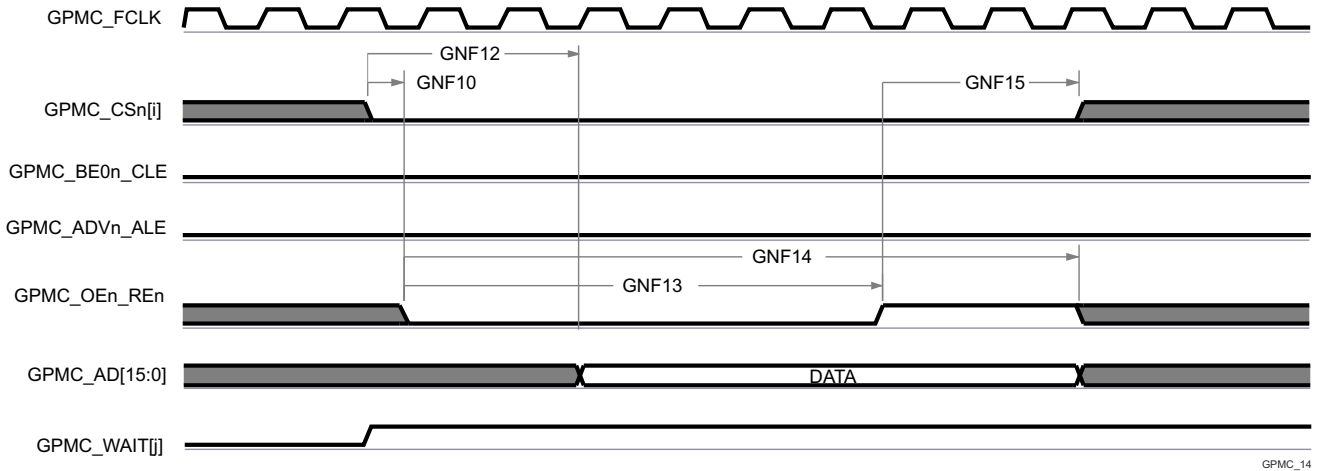
A. 在 GPMC_CS*n*[*i*] 中, *i* 等于 0、1、2 或 3。

图 6-58. GPMC 和 NAND 闪存 - 命令锁存周期



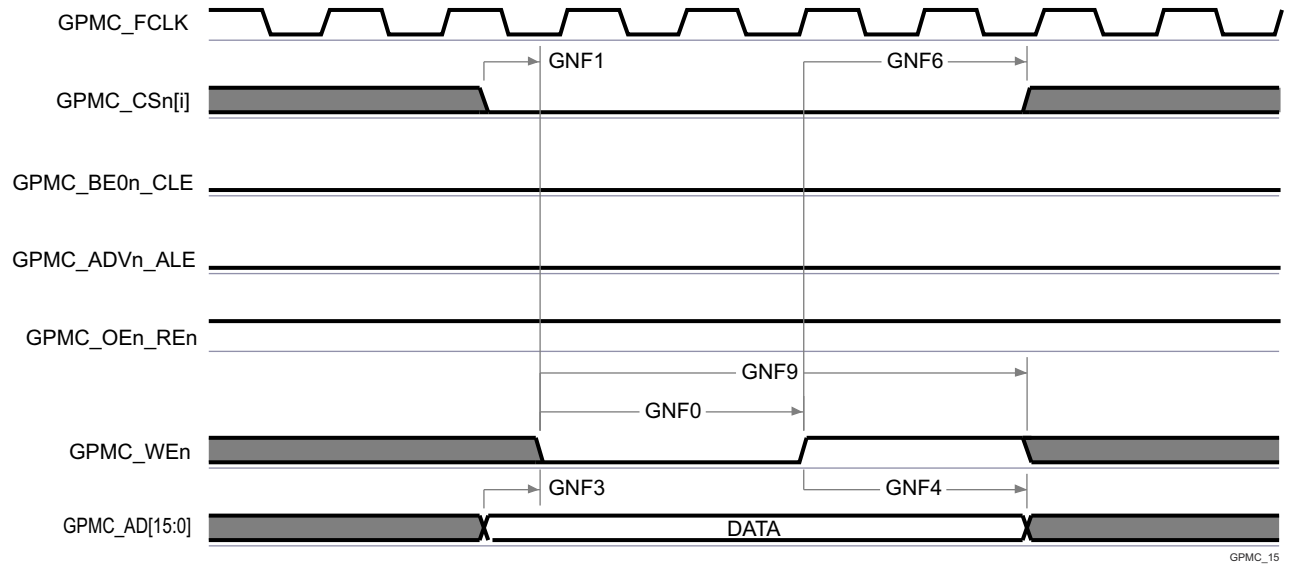
A. 在 GPMC_CS[n][i] 中, i 等于 0、1、2 或 3。

图 6-59. GPMC 和 NAND 闪存 - 地址锁存周期



- A. GNF12 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 GNF12 功能时钟周期结束后, 输入数据将通过有效功能时钟边沿在内部采样。GNF12 值必须存储在 AccessTime 寄存器位字段内。
- B. GPMC_FCLK 是内部时钟 (GPMC 功能时钟), 不从外部提供。
- C. 在 GPMC_CS[n][i] 中, i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, j 等于 0 或 1。

图 6-60. GPMC 和 NAND 闪存 - 数据读取周期



GPMC_15

A. 在 GPMC_CSn[i] 中, i 等于 0、1、2 或 3。

图 6-61. GPMC 和 NAND 闪存 - 数据写入周期

6.9.5.14 I2C

该器件包含六个多控制器集成电路总线 (I2C) 控制器。每个 I2C 控制器均设计为符合 Philips I²C-bus™ 规范版本 2.1。然而，器件 IO 并不完全符合 I2C 电气规格。下面介绍了每个端口支持的速度和例外情况：

- I2C0、I2C1、I2C2 和 I2C3
 - 速度：
 - 标准模式 (最高 100kb/s)
 - 1.8V
 - 3.3V
 - 快速模式 (最高 400kb/s)
 - 1.8V
 - 3.3V
 - 例外情况：
 - 与这些端口关联的 IO 不符合 I2C 规范中定义的下降时间要求，因为它们是通过性能更高的 LVCMOS 推挽 IO 实现的，这些 IO 旨在支持无法通过 I2C 兼容 IO 实现的其他信号功能。这些端口上使用的 LVCMOS IO 的连接方式可以对开漏输出进行仿真。该仿真通过强制实现恒定低电平输出并禁用输出缓冲器进入高阻态来实现的。
 - I2C 规范定义了大小为 ($V_{DD,max} + 0.5V$) 的最大输入电压 V_{IH} ，这超出了器件 IO 的绝对最大额定值。系统的设计必须确保 I2C 信号始终不会超过本数据表的绝对最大额定值部分中定义的限值。
- MCU_I2C0 和 WKUP_I2C0
 - 速度：
 - 标准模式 (最高 100kb/s)
 - 1.8V
 - 3.3V
 - 快速模式 (最高 400kb/s)
 - 1.8V
 - 3.3V
 - Hs 模式 (最高 3.4Mb/s)
 - 1.8V
 - 例外情况：
 - 与这些端口关联的 IO 并未设计为在 3.3V 下运行时支持 Hs 模式。因此，Hs 模式的运行电压限制为 1.8V。
 - 在 3.3V 下运行时，连接到这些端口的 I2C 信号的上升和下降时间不得超过 0.08V/ns (或 8E+7V/s) 的压摆率。该限制比 I2C 规范中定义的最小下降时间限制更严格。因此，可能需要向 I2C 信号添加额外的电容，以延长上升和下降时间，使其压摆率不超过 0.08V/ns。
 - I2C 规范定义了大小为 ($V_{DD,max} + 0.5V$) 的最大输入电压 V_{IH} ，这超出了器件 IO 的绝对最大额定值。系统的设计必须确保 I2C 信号始终不会超过本数据表的绝对最大额定值部分中定义的限值。

备注

I2C3 有一个或多个可以多路复用到多个引脚的信号。时序仅对称为 IOSET 的特定引脚组合有效。

[SysConfig-PinMux 工具](#)中定义了该接口的有效引脚组合或 IOSET。

有关时序详细信息，请参阅 Philips I2C 总线规范版本 2.1。

有关器件集成电路总线特性和其他说明的更多详细信息，请参阅 [信号说明](#) 和 [详细说明](#) 部分中的相应小节。

6.9.5.15 MCAN

表 6-71 和表 6-72 展示了 MCAN 的时序条件和开关特性。

有关器件控制器局域网接口特性和其他说明信息的更多详情，请参阅 *信号说明* 和 *详细说明* 部分中的相应小节。

备注

器件具有多个 MCAN 模块。MCANn 是应用于 MCAN 信号名称的通用前缀，其中 n 代表特定的 MCAN 模块。

表 6-71. MCAN 时序条件

参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	2	15	V/ns
输出条件				
C _L	输出负载电容	5	20	pF

表 6-72. MCAN 开关特性

编号	参数	说明	最小值	最大值	单位
MCAN1	t _d (MCAN_TX)	延迟时间，发送移位寄存器到 MCANn_TX		10	ns
MCAN2	t _d (MCAN_RX)	延迟时间，MCANn_RX 到接收移位寄存器		10	ns

有关更多信息，请参阅器件 TRM 中外设一章的 *控制器局域网 (MCAN)* 部分。

6.9.5.16 MCASP

备注

McASP 有一个或多个可以多路复用到多个引脚的信号。本节中定义的时序要求和开关特性仅对名为 IOSET 的特定引脚组合有效。[SysConfig-PinMux 工具](#)中定义了该接口的有效引脚组合或 IOSET。

表 6-73、表 6-74、图 6-62、表 6-75 和图 6-63 说明了 MCASP 的时序条件、时序要求和开关特性。

表 6-73. MCASP 时序条件

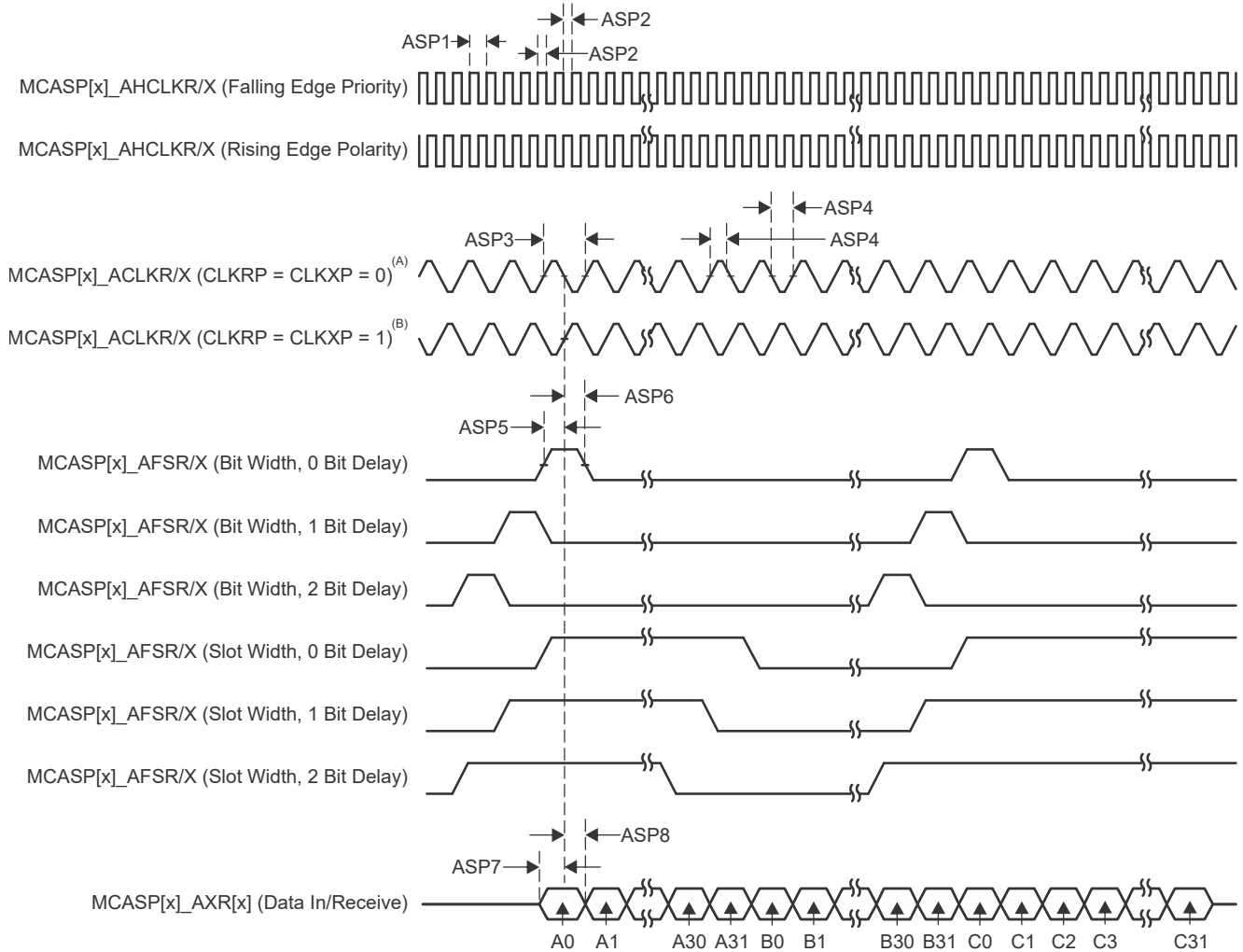
参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	0.7	5	V/ns
输出条件				
C _L	输出负载电容	1	10	pF
PCB 连接要求				
t _d (Trace Delay)	每条引线的传播延迟	100	1100	ps
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配		100	ps

表 6-74. MCASP 时序要求

请参阅图 6-62

编号			模式 ⁽¹⁾	最小值	最大值	单位
ASP1	t _c (AHCLKRX)	周期时间, MCASP[x]_AHCLKR/X ⁽⁴⁾		20		ns
ASP2	t _w (AHCLKRX)	脉冲持续时间, MCASP[x]_AHCLKR/X ⁽⁴⁾ 高电平或低电平		0.5P ⁽²⁾ - 1.53		ns
ASP3	t _c (ACLKRX)	周期时间, MCASP[x]_ACLKR/X ⁽⁴⁾		20		ns
ASP4	t _w (ACLKRX)	脉冲持续时间, MCASP[x]_ACLKR/X ⁽⁴⁾ 高电平或低电平		0.5R ⁽³⁾ - 1.53		ns
ASP5	t _{su} (AFSRX-ACLKRX)	建立时间, MCASP[x]_AFSR/X ⁽⁴⁾ 在 MCASP[x]_ACLKR/X 之前输入有效 ⁽⁴⁾	ACLKR/X 内部	9.29		ns
			ACLKR/X 外部输入/输出	4		
ASP6	t _h (ACLKRX-AFSRX)	保持时间, MCASP[x]_AFSR/X ⁽⁴⁾ 在 MCASP[x]_ACLKR/X 之后输入有效 ⁽⁴⁾	ACLKR/X 内部	-1		ns
			ACLKR/X 外部输入/输出	1.6		
ASP7	t _{su} (AXR-ACLKRX)	建立时间, MCASP[x]_AXR ⁽⁴⁾ 在 MCASP[x]_ACLKR/X 之前输入有效 ⁽⁴⁾	ACLKR/X 内部	9.29		ns
			ACLKR/X 外部输入/输出	4		
ASP8	t _h (ACLKRX-AXR)	保持时间, MCASP[x]_AXR ⁽⁴⁾ 在 MCASP[x]_ACLKR/X 之后输入有效 ⁽⁴⁾	ACLKR/X 内部	-1		ns
			ACLKR/X 外部输入/输出	1.6		

- (1) ACLKR 内部: ACLKRCTL.CLKRM=1, PDIR.ACLKR = 1
 ACLKR 外部输入: ACLKRCTL.CLKRM=0, PDIR.ACLKR=0
 ACLKR 外部输出: ACLKRCTL.CLKRM=0, PDIR.ACLKR=1
 ACLKX 外部: ACLKXCTL.CLKXM=1, PDIR.ACLKX = 1
 ACLKX 外部输入: ACLKXCTL.CLKXM=0, PDIR.ACLKX=0
 ACLKX 外部输出: ACLKXCTL.CLKXM=0, PDIR.ACLKX=1
- (2) P = AHCLKR/X 周期 (以 ns 为单位)。有关 AHCLKR/X 时钟源选项的详细信息, 请参阅技术参考手册“模块集成”一章的“多通道音频串行端口 (MCASP)”一节中的“McASP 时钟”表。
- (3) R = ACLKR/X 周期 (以 ns 为单位)。
- (4) MCASP[x]_* 中的 x 为 0、1 或 2



- A. 当 $CLKRP = CLKXP = 0$ 时，MCASP 发送器配置为上升沿（移出数据），MCASP 接收器配置为下降沿（移入数据）。
- B. 当 $CLKRP = CLKXP = 1$ 时，MCASP 发送器配置为下降沿（移出数据），MCASP 接收器配置为上升沿（移入数据）。

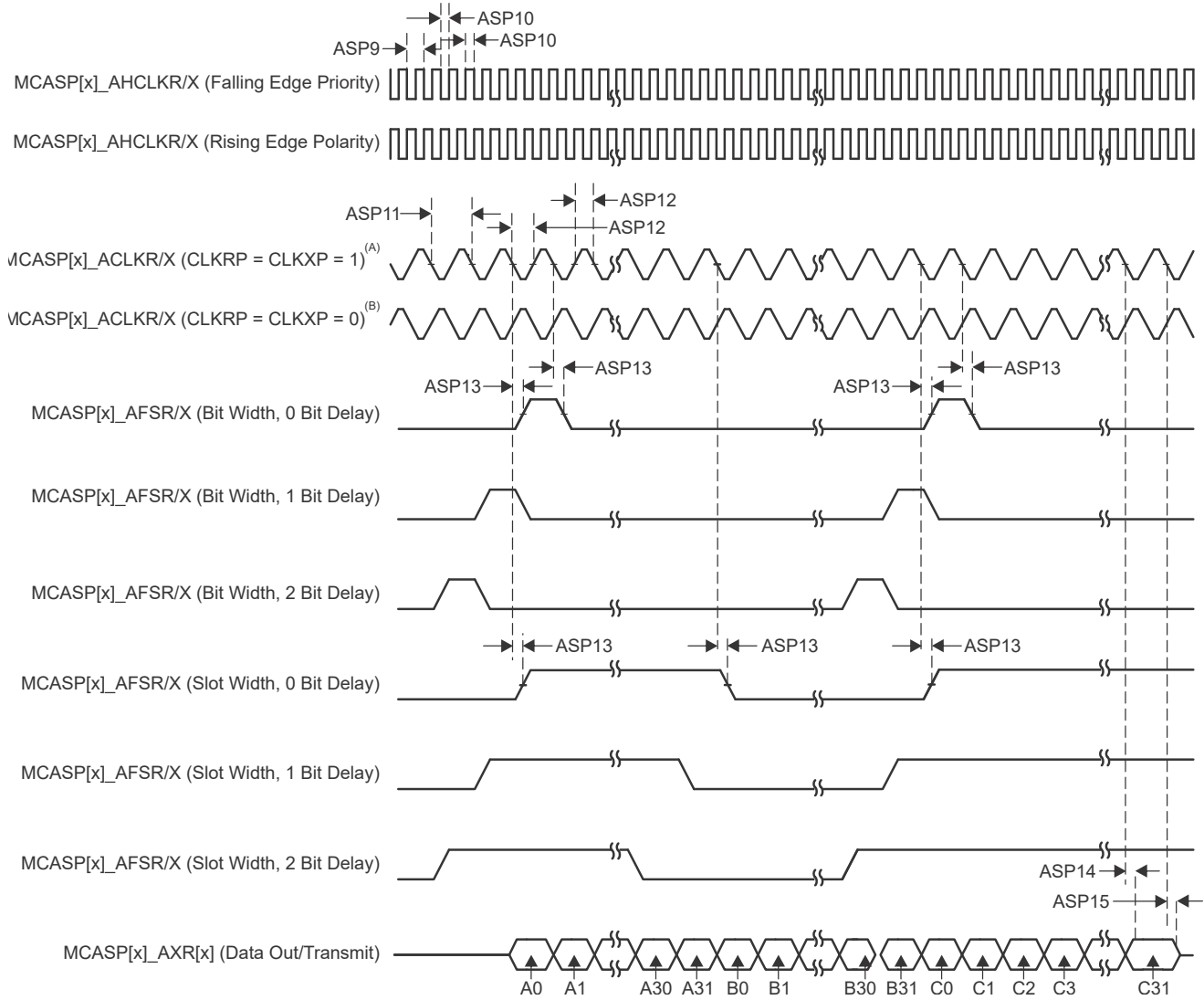
图 6-62. MCASP 时序要求

表 6-75. MCASP 开关特性

请参阅图 6-63

编号	参数	说明	模式 ⁽¹⁾	最小值	最大值	单位
ASP9	$t_c(\text{AHCLKRX})$	周期时间, MCASP[x]_AHCLKR/X ⁽⁴⁾		20		ns
ASP10	$t_w(\text{AHCLKRX})$	脉冲持续时间, MCASP[x]_AHCLKR/X ⁽⁴⁾ 高电平或低电平		0.5P ⁽²⁾ - 2		ns
ASP11	$t_c(\text{ACLKRX})$	周期时间, MCASP[x]_ACLKR/X ⁽⁴⁾		20		ns
ASP12	$t_w(\text{ACLKRX})$	脉冲持续时间, MCASP[x]_ACLKR/X ⁽⁴⁾ 高电平或低电平		0.5R ⁽³⁾ - 2		ns
ASP13	$t_d(\text{ACLKRX-AFSRX})$	延迟时间, MCASP[x]_ACLKR/X ⁽⁴⁾ 发送边沿到 MCASP[x]_AFSR/X ⁽⁴⁾ 输出有效	ACLKR/X 内部	-1	7.25	ns
			ACLKR/X 外部输入/输出	-15.29	12.84	
ASP14	$t_d(\text{ACLKX-AXR})$	延迟时间, MCASP[x]_ACLKX ⁽⁴⁾ 发送边沿到 MCASP[x]_AXR ⁽⁴⁾ 输出有效	ACLKR/X 内部	-1	7.25	ns
			ACLKR/X 外部输入/输出	-15.29	12.84	
ASP15	$t_{dis}(\text{ACLKX-AXR})$	禁用时间, MCASP[x]_ACLKX ⁽⁴⁾ 发送边沿到 MCASP[x]_AXR ⁽⁴⁾ 输出高阻抗	ACLKR/X 内部	-1	7.25	ns
			ACLKR/X 外部输入/输出	-14.9	14	

- (1) ACLKR 内部: ACLKRCTL.CLKRM=1, PDIR.ACLKR = 1
 ACLKR 外部输入: ACLKRCTL.CLKRM=0, PDIR.ACLKR=0
 ACLKR 外部输出: ACLKRCTL.CLKRM=0, PDIR.ACLKR=1
 ACLKX 外部: ACLKXCTL.CLKXM=1, PDIR.ACLKX = 1
 ACLKX 外部输入: ACLKXCTL.CLKXM=0, PDIR.ACLKX=0
 ACLKX 外部输出: ACLKXCTL.CLKXM=0, PDIR.ACLKX=1
- (2) P = AHCLKR/X 周期 (以 ns 为单位)。有关 AHCLKR/X 时钟源选项的详细信息, 请参阅技术参考手册“模块集成”一章的“多通道音频串行端口 (MCASP)”一节中的“McASP 时钟”表。
- (3) R = ACLKR/X 周期 (以 ns 为单位)。
- (4) MCASP[x]_* 中的 x 为 0、1 或 2



- A. 当 CLKRP = CLKXP = 1 时，MCASP 发送器配置为下降沿（移出数据），MCASP 接收器配置为上升沿（移入数据）。
- B. 当 CLKRP = CLKXP = 0 时，MCASP 发送器配置为上升沿（移出数据），MCASP 接收器配置为下降沿（移入数据）。

图 6-63. MCASP 开关特性

有关更多信息，请参阅器件 TRM 的外设一章中的多通道音频串行端口 (MCASP) 一节。

6.9.5.17 MCSPI

备注

McSPI 有一个或多个可以多路复用到多个引脚的信号。本节中定义的时序要求和开关特性仅对名为 IOSET 的特定引脚组合有效。[SysConfig-PinMux 工具](#)中定义了该接口的有效引脚组合或 IOSET。

有关器件串行端口接口特性和其他说明信息的更多详情，请参阅 [信号说明](#) 和 [详细说明](#) 部分中的相应小节。

[表 6-76](#) 展示了 MCSPI 的时序条件。

表 6-76. MCSPI 时序条件

参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	2	8.5	V/ns
输出条件				
C _L	输出负载电容	6	12	pF

有关更多信息，请参阅器件 TRM 的 [外设一章中的多通道串行外设接口 \(MCSPI\)](#) 一节。

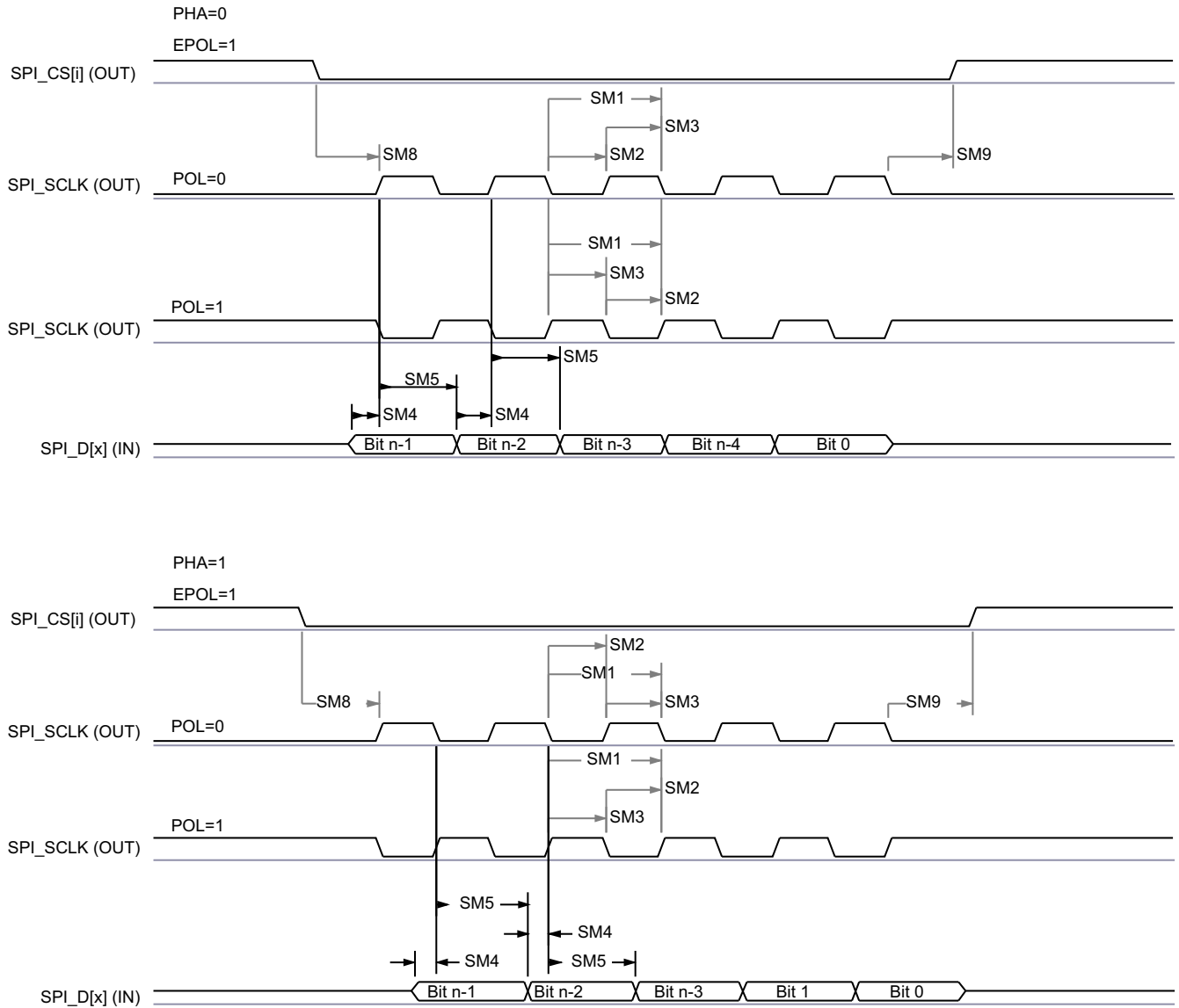
6.9.5.17.1 MCSPI - 控制器模式

表 6-77、图 6-64、表 6-78 和图 6-65 展示了 SPI 的时序要求和开关特性 - 控制器模式。

表 6-77. MCSPI 时序要求 - 控制器模式

请参阅图 6-64

编号	参数	说明	最小值	最大值	单位
SM4	$t_{su}(POCI-SPICLK)$	建立时间, 在 SPIn_CLK 有效边沿之前 SPIn_D[x] 有效	2.8		ns
SM5	$t_h(SPICLK-POCI)$	保持时间, 在 SPIn_CLK 有效边沿之后 SPIn_D[x] 有效	3		ns



SPRSP08_TIMING_McSPI_02

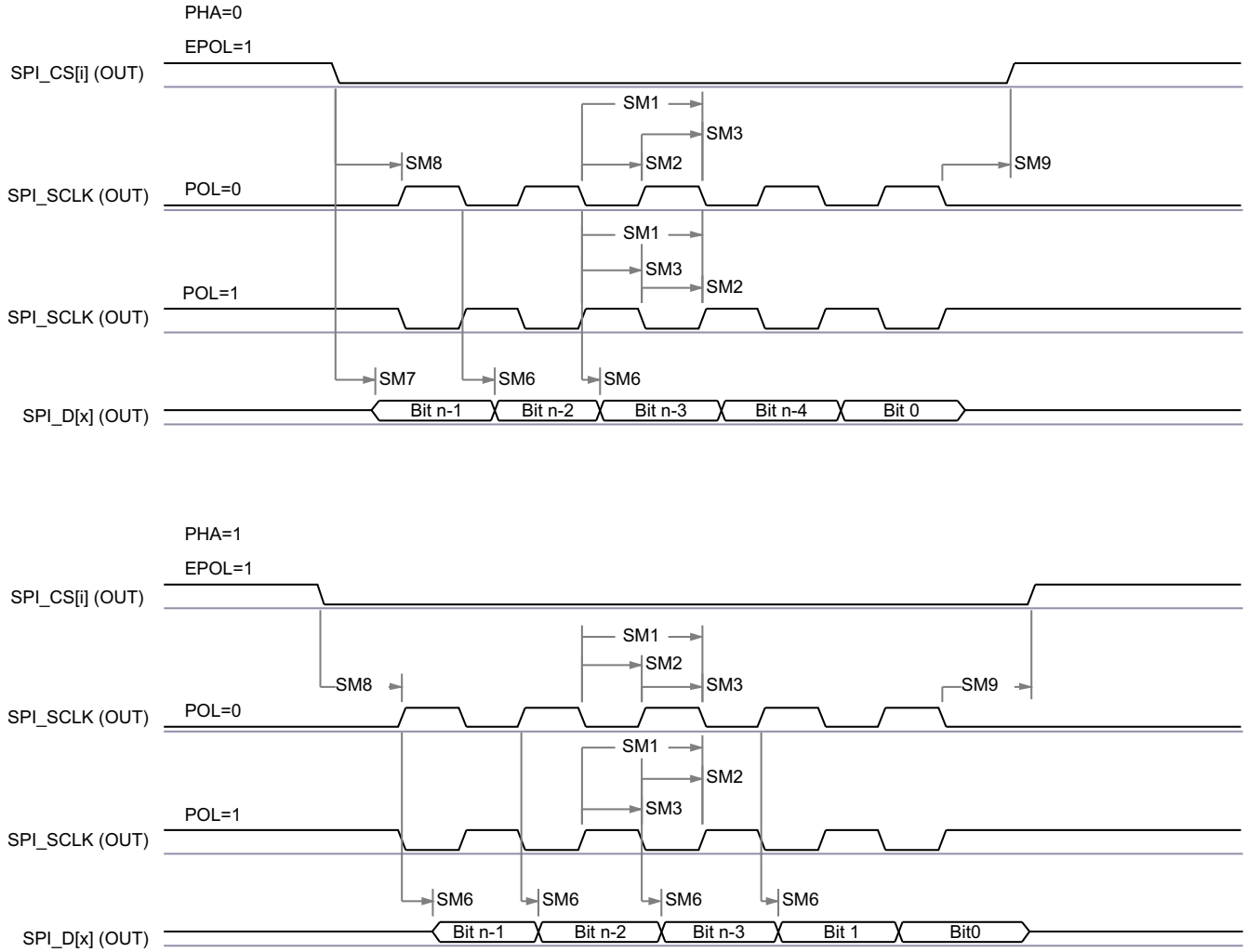
图 6-64. SPI 控制器模式接收时序

表 6-78. MCSPI 开关特性 - 控制器模式

请参阅图 6-65

编号	参数		最小值	最大值	单位
SM1	$t_{c(SPICLK)}$	周期时间, SPIn_CLK	20		ns
SM2	$t_{w(SPICLKL)}$	脉冲持续时间, SPIn_CLK 低电平	$0.5P - 1^{(1)}$		ns
SM3	$t_{w(SPICLKH)}$	脉冲持续时间, SPIn_CLK 高电平	$0.5P - 1^{(1)}$		ns
SM6	$t_{d(SPICLK-PICO)}$	延迟时间, SPIn_CLK 有效边沿到 SPIn_D[x]	-3	2.5	ns
SM7	$t_{d(CS-PICO)}$	延迟时间, SPIn_CSi 有效边沿到 SPIn_D[x]	5		ns
SM8	$t_{d(CS-SPICLK)}$	延迟时间, SPIn_CSi 有效到 SPIn_CLK 第一个边沿	PHA = 0	B - 4 ⁽²⁾	ns
			PHA = 1	A - 4 ⁽³⁾	ns
SM9	$t_{d(SPICLK-CS)}$	延迟时间, SPIn_CLK 最后一个边沿到 SPIn_CSi 无效	PHA = 0	A - 4 ⁽⁴⁾	ns
			PHA = 1	B - 4 ⁽⁵⁾	ns

- (1) P = SPIn_CLK 周期 (以 ns 为单位)。
- (2) T_{ref} 是 McSPI 功能时钟的周期 (以 ns 为单位)。Fratio 是 McSPI 功能时钟频率与 SPIn_CLK 时钟频率的分频比, 由 MSPI_CH(i)CONF 寄存器中的 CLKD 和 CLKG 位字段以及 MSPI_CH(i)CTRL 寄存器中的 EXTCLK 位字段控制。TCS(i) 是编程到 MSPI_CH(i)CONF 寄存器的片选时间控制位字段中的值。
- 当 Fratio = 1 时, $B = (TCS(i) + 0.5) * T_{ref}$ 。
 - 当 Fratio ≥ 2 且为偶数时, $B = (TCS(i) + 0.5) * Fratio * T_{ref}$ 。
 - 当 Fratio ≥ 3 且为奇数时, $B = ((TCS(i) * Fratio) + ((Fratio + 1)/2)) * T_{ref}$ 。
- (3) T_{ref} 是 McSPI 功能时钟的周期。Fratio 是 McSPI 功能时钟频率与 SPIn_CLK 时钟频率的分频比, 由 MSPI_CH(i)CONF 寄存器中的 CLKD 和 CLKG 位字段以及 MSPI_CH(i)CTRL 寄存器中的 EXTCLK 位字段控制。TCS(i) 是编程到 MSPI_CH(i)CONF 寄存器的片选时间控制位字段中的值。
- 当 Fratio = 1 时, $A = (TCS(i) + 1) * T_{ref}$ 。
 - 当 Fratio ≥ 2 且为偶数时, $A = (TCS(i) + 0.5) * Fratio * T_{ref}$ 。
 - 当 Fratio ≥ 3 且为奇数时, $A = ((TCS(i) * Fratio) + ((Fratio - 1)/2)) * T_{ref}$ 。
- (4) T_{ref} 是 McSPI 功能时钟的周期。Fratio 是 McSPI 功能时钟频率与 SPIn_CLK 时钟频率的分频比, 由 MSPI_CH(i)CONF 寄存器中的 CLKD 和 CLKG 位字段以及 MSPI_CH(i)CTRL 寄存器中的 EXTCLK 位字段控制。TCS(i) 是编程到 MSPI_CH(i)CONF 寄存器的片选时间控制位字段中的值。
- 当 Fratio = 1 时, $A = (TCS(i) + 1) * T_{ref}$ 。
 - 当 Fratio ≥ 2 且为偶数时, $A = (TCS(i) + 0.5) * Fratio * T_{ref}$ 。
 - 当 Fratio ≥ 3 且为奇数时, $A = ((TCS(i) * Fratio) + ((Fratio + 1)/2)) * T_{ref}$ 。
- (5) T_{ref} 是 McSPI 功能时钟的周期。Fratio 是 McSPI 功能时钟频率与 SPIn_CLK 时钟频率的分频比, 由 MSPI_CH(i)CONF 寄存器中的 CLKD 和 CLKG 位字段以及 MSPI_CH(i)CTRL 寄存器中的 EXTCLK 位字段控制。TCS(i) 是编程到 MSPI_CH(i)CONF 寄存器的片选时间控制位字段中的值。
- 当 Fratio = 1 时, $B = (TCS(i) + 0.5) * T_{ref}$ 。
 - 当 Fratio ≥ 2 且为偶数时, $B = (TCS(i) + 0.5) * Fratio * T_{ref}$ 。
 - 当 Fratio ≥ 3 且为奇数时, $B = ((TCS(i) * Fratio) + ((Fratio - 1)/2)) * T_{ref}$ 。



SPRSP08_TIMING_McSPI_01

图 6-65. SPI 控制器模式发送时序

6.9.5.17.2 MCSPI - 外设模式

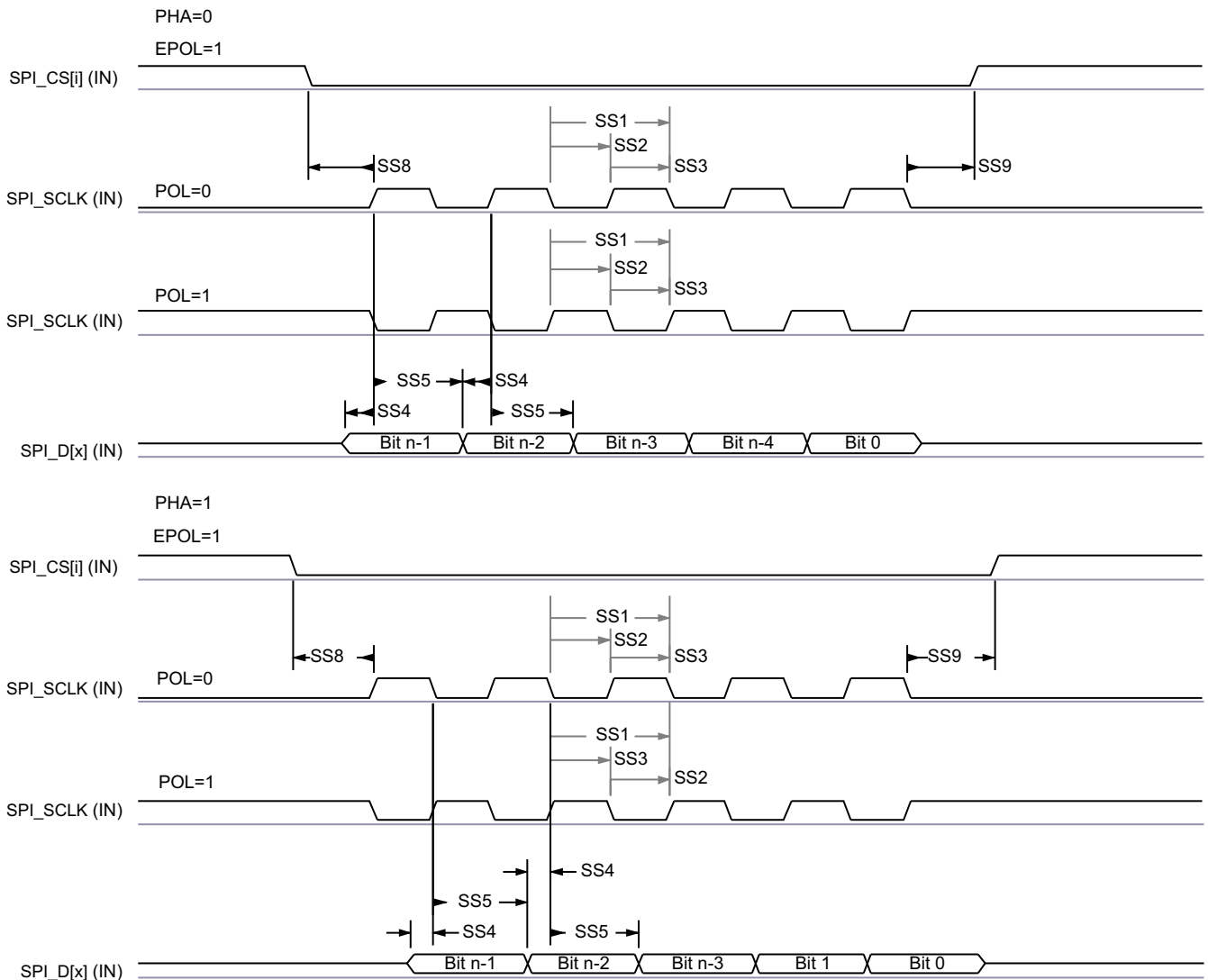
表 6-79、图 6-66、表 6-80 和图 6-67 展示了 SPI 的时序要求和开关特性 - 外设模式。

表 6-79. MCSPI 时序要求 - 外设模式

请参阅图 6-66

编号	参数	说明	最小值	最大值	单位
SS1	$t_c(\text{SPICLK})$	周期时间, SPI _{IN} _CLK	20		ns
SS2	$t_w(\text{SPICLK}_L)$	脉冲持续时间, SPI _{IN} _CLK 低电平	0.45P ⁽¹⁾		ns
SS3	$t_w(\text{SPICLK}_H)$	脉冲持续时间, SPI _{IN} _CLK 高电平	0.45P ⁽¹⁾		ns
SS4	$t_{su}(\text{PICO-SPICLK})$	建立时间, 在 SPI _{IN} _CLK 有效边沿之前 SPI _{IN} _D[x] 有效	5		ns
SS5	$t_h(\text{SPICLK-PICO})$	保持时间, 在 SPI _{IN} _CLK 有效边沿之后 SPI _{IN} _D[x] 有效	5		ns
SS8	$t_{su}(\text{CS-SPICLK})$	建立时间, 在 SPI _{IN} _CLK 第一个边沿之前 SPI _{IN} _CSi 有效	5		ns
SS9	$t_h(\text{SPICLK-CS})$	保持时间, 在 SPI _{IN} _CLK 最后一个边沿之后 SPI _{IN} _CSi 有效	5		ns

(1) P = SPI_{IN}_CLK 周期 (以 ns 为单位)。



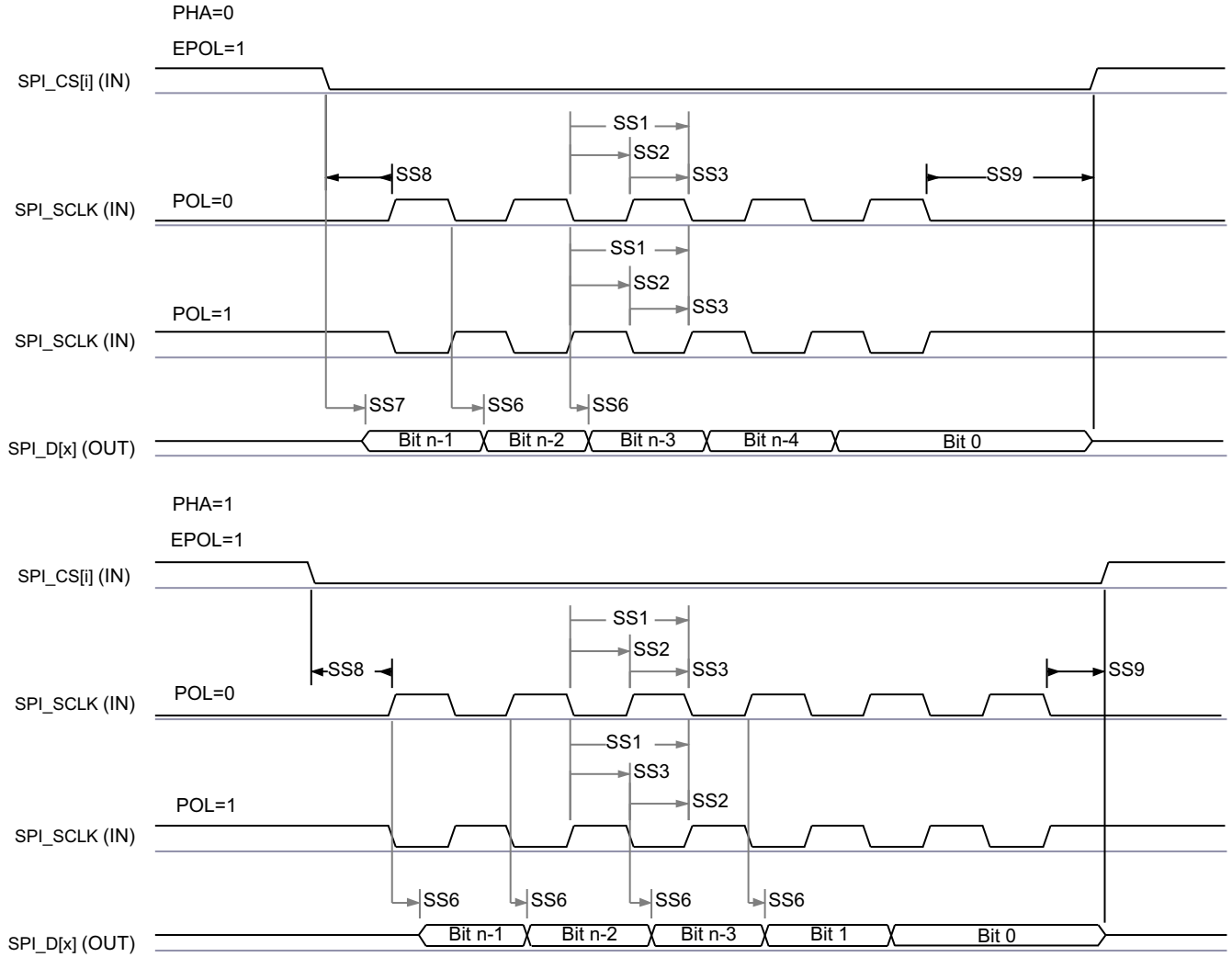
SPRSP08_TIMING_McSPI_04

图 6-66. SPI 外设模式接收时序

表 6-80. MCSPI 开关特性 - 外设模式

请参阅图 6-67

编号	参数	说明	最小值	最大值	单位
SS6	$t_{d(SPICLK-POCI)}$	延迟时间, SPIIn_CLK 有效边沿到 SPIIn_D[x]	2	17.12	ns
SS7	$t_{sk(CS-POCI)}$	延迟时间, SPIIn_CSi 有效边沿到 SPIIn_D[x]	20.95		ns



SPRSP08_TIMING_MCSPI_03

图 6-67. SPI 外设模式发送时序

6.9.5.18 MMCSDB

MMCSDB 主机控制器提供用于连接嵌入式多媒体卡 (MMC)、安全数字 (SD) 和安全数字 IO (SDIO) 器件的接口。MMCSDB 主机控制器在传输级别处理 MMC/SD/SDIO 协议、数据打包、添加循环冗余校验 (CRC)、开始/结束位插入以及语法正确性检查。

有关 MMCSDB 接口的更多详细信息，请参阅 *信号说明* 和 *详细说明* 中相应的 MMC0、MMC1 和 MMC2 小节。

备注

某些工作模式需要对 MMC DLL 延迟设置进行软件配置，如表 6-81 和表 6-99 所示。

表 6-81 和表 6-99 的 ITAPDLYSEL 列中显示“调优”值的模式需要使用调优算法来优化输入时序。有关优化输入时序所需的调优算法和输入延迟配置的更多信息，请参阅器件 TRM 中的 MMCSDB 编程指南。

有关更多信息，请参阅器件 TRM 的外设一章中的 *多媒体卡/安全数字 (MMCSDB) 接口* 一节。

6.9.5.18.1 MMC0 - eMMC 接口

MMC0 接口符合 JEDEC eMMC 电气标准 v5.1 (JESD84-B51)，支持以下 eMMC 应用：

- 旧 SDR
- 高速 SDR
- 高速 DDR
- HS200
- HS400

表 6-81 展示了 MMC0 时序模式所需的 DLL 软件配置设置。

表 6-81. 所有时序模式的 MMC0 DLL 延迟映射

寄存器名称		MMCS0_SS_PHY_CTRL_x_REG								
		x = 4					x = 5			x = 1
位字段		[31:24]	[20]	[15:12]	[8]	[4:0]	[17:16]	[10:8]	[2:0]	[1]
位字段名称		STRBSEL	OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	SELDLYTXCLK SELDLYRXCLK	FRQSEL	CLKBUFSEL	ENDLL
模式	说明	选通延迟	输出延迟启用	输出延迟值	输入延迟启用	输入延迟值	DLL 延迟链选择	DLL 基准频率	延迟缓冲器持续时间	启用 DLL
旧 SDR	8 位 PHY 工作 1.8V, 25MHz	0x0	0x1	0x1	0x1	0x10	0x3	不适用 ⁽¹⁾	0x7	0x0
高速 SDR	8 位 PHY 工作 1.8V, 50MHz	0x0	0x1	0x1	0x1	0xA	0x3	不适用 ⁽¹⁾	0x7	0x0
高速 DDR	8 位 PHY 工作 1.8V, 50MHz	0x0	0x1	0x6	0x1	0x3	0x0	0x4	不适用 ⁽¹⁾	0x1
HS200	8 位 PHY 工作 1.8V, 200MHz	0x0	0x1	0x8	0x1	调优 ⁽²⁾	0x0	0x0	不适用 ⁽¹⁾	0x1
HS400	8 位 PHY 工作 1.8V, 200MHz	0x77	0x1	0x5	0x1	调优 ⁽²⁾	0x0	0x0	不适用 ⁽¹⁾	0x1

(1) NA 意味着不适用

(2) 调优意味着此模式需要使用调优算法以实现适当输入时序

表 6-82 展示了 MMC0 的时序条件。

表 6-82. MMC0 时序条件

参数			最小值	最大值	单位
输入条件					
SR _i	输入压摆率	旧 SDR 高速 SDR	0.3	0.9	V/ns
		高速 DDR (CMD)	0.3	0.9	V/ns
		高速 DDR (DAT)	0.45	0.9	V/ns
输出条件					
C _L	输出负载电容	HS400	1	6	pF
		所有其他模式	1	12	pF
PCB 连接要求					
t _d (Trace Delay)	每条引线的传播延迟	所有模式	126	756	ps
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配	HS200 HS400		8	ps
		高速 DDR		20	ps
		所有其他模式		100	ps

6.9.5.18.1.1 旧 SDR 模式

表 6-83、图 6-68、表 6-84 和图 6-69 展示了 MMC0 的时序要求和开关特性 - 旧 SDR 模式。

表 6-83. MMC0 时序要求 - 旧 SDR 模式

请参阅图 6-68

编号			IO 工作 电压	最小值	最大值	单位
LSDR1	$t_{su(cmdV-clkH)}$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	1.8V	4.2		ns
			3.3V	2.15		ns
LSDR2	$t_{h(clkH-cmdV)}$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	1.8V	0.87		ns
			3.3V	1.67		ns
LSDR3	$t_{su(dV-clkH)}$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_DAT[7:0] 有效	1.8V	4.2		ns
			3.3V	2.15		ns
LSDR4	$t_{h(clkH-dV)}$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_DAT[7:0] 有效	1.8V	0.87		ns
			3.3V	1.67		ns

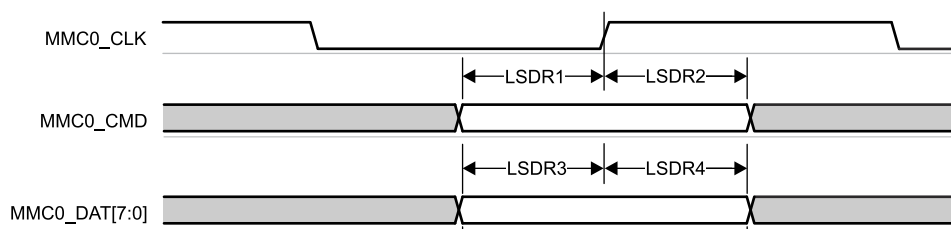


图 6-68. MMC0 - 旧 SDR - 接收模式

表 6-84. MMC0 开关特性 - 旧 SDR 模式

请参阅图 6-69

编号	参数	IO 工作 电压	最小值	最大值	单位
	$f_{op(clk)}$	工作频率, MMC0_CLK		25	MHz
LSDR5	$t_c(clk)$	周期时间, MMC0_CLK	40		ns
LSDR6	$t_w(clkH)$	脉冲持续时间, MMC0_CLK 高电平	18.7		ns
LSDR7	$t_w(clkL)$	脉冲持续时间, MMC0_CLK 低电平	18.7		ns
LSDR8	$t_d(clkL-cmdV)$	1.8V	-2.1	2.1	ns
		3.3V	-1.8	2.2	ns
LSDR9	$t_d(clkL-dV)$	1.8V	-2.1	2.1	ns
		3.3V	-1.8	2.2	ns

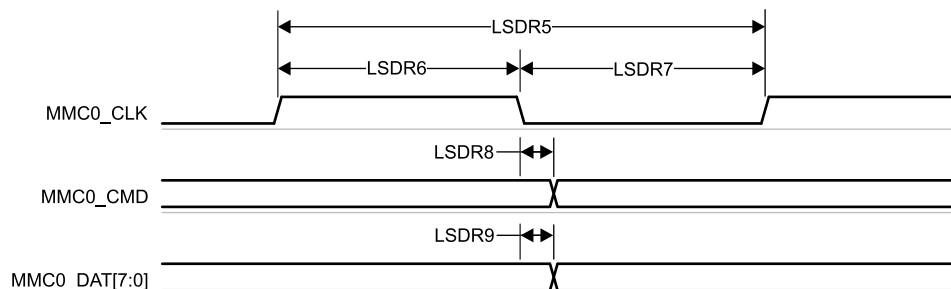


图 6-69. MMC0 - 旧 SDR - 发送模式

6.9.5.18.1.2 高速 SDR 模式

表 6-85、图 6-70、表 6-86 和图 6-71 说明了 MMC0 的时序要求和开关特性 - 高速 SDR 模式。

表 6-85. MMC0 时序要求 - 高速 SDR 模式

请参阅图 6-70

编号	参数	IO 工作电压	最小值	最大值	单位
HSSDR1	$t_{su(cmdV-clkH)}$ 建立时间, 在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	1.8V	2.15		ns
		3.3V	2.24		ns
HSSDR2	$t_h(clkH-cmdV)$ 保持时间, 在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	1.8V	1.27		ns
		3.3V	1.66		ns
HSSDR3	$t_{su(dV-clkH)}$ 建立时间, 在 MMC0_CLK 上升沿之前 MMC0_DAT[7:0] 有效	1.8V	2.15		ns
		3.3V	2.24		ns
HSSDR4	$t_h(clkH-dV)$ 保持时间, 在 MMC0_CLK 上升沿之后 MMC0_DAT[7:0] 有效	1.8V	1.27		ns
		3.3V	1.66		ns

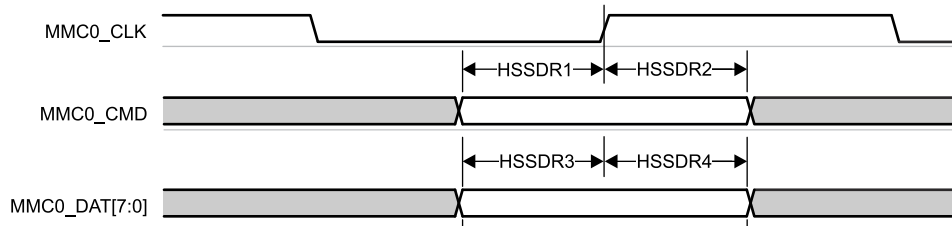


图 6-70. MMC0 - 高速 SDR 模式 - 接收模式

表 6-86. MMC0 开关特性 - 高速 SDR 模式

请参阅图 6-71

编号	参数	IO 工作电压	最小值	最大值	单位
	$f_{op(clk)}$ 工作频率, MMC0_CLK			50	MHz
HSSDR5	$t_c(clk)$ 周期时间, MMC0_CLK		20		ns
HSSDR6	$t_w(clkH)$ 脉冲持续时间, MMC0_CLK 高电平		9.2		ns
HSSDR7	$t_w(clkL)$ 脉冲持续时间, MMC0_CLK 低电平		9.2		ns
HSSDR8	$t_d(clkL-cmdV)$ 延迟时间, MMC0_CLK 下降沿到 MMC0_CMD 转换	1.8V	-1.55	3.05	ns
		3.3V	-1.8	2.2	ns
HSSDR9	$t_d(clkL-dV)$ 延迟时间, MMC0_CLK 下降沿到 MMC0_DAT[7:0] 转换	1.8V	-1.55	3.05	ns
		3.3V	-1.8	2.2	ns

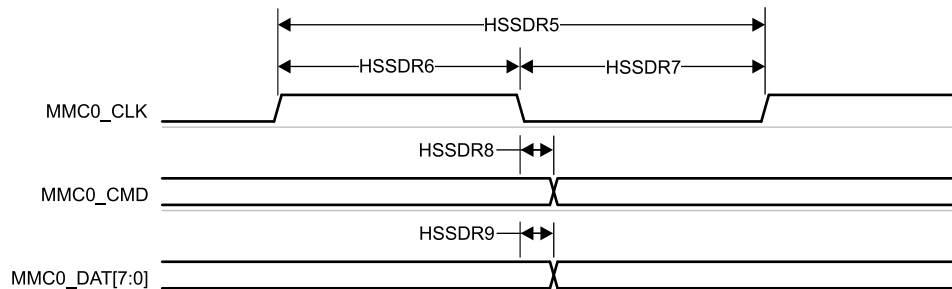


图 6-71. MMC0 - 高速 SDR 模式 - 发送模式

6.9.5.18.1.3 高速 DDR 模式

表 6-87、图 6-72、表 6-88 和图 6-73 展示了 MMC0 的时序要求和开关特性 - 高速 DDR 模式。

表 6-87. MMC0 时序要求 - 高速 DDR 模式

请参阅图 6-72

编号			最小值	最大值	单位
HSDDR1	$t_{su}(cmdV-clk)$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	1.62		ns
HSDDR2	$t_h(clk-cmdV)$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	2.52		ns
HSDDR3	$t_{su}(dV-clk)$	建立时间, 在 MMC0_CLK 转换之前 MMC0_DAT[7:0] 有效	0.83		ns
HSDDR4	$t_h(clk-dV)$	保持时间, 在 MMC0_CLK 转换之后 MMC0_DAT[7:0] 有效	1.76		ns

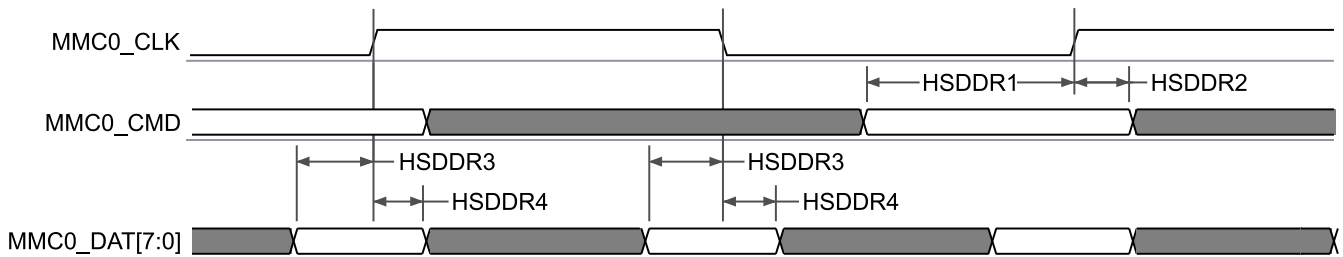


图 6-72. MMC0 - 高速 DDR 模式 - 接收模式

表 6-88. MMC0 开关特性 - 高速 DDR 模式

请参阅图 6-73

编号	参数	最小值	最大值	单位
	$f_{op}(clk)$		50	MHz
HSDDR5	$t_c(clk)$	20		ns
HSDDR6	$t_w(clkH)$	9.2		ns
HSDDR7	$t_w(clkL)$	9.2		ns
HSDDR8	$t_d(clk-cmdV)$	3.31	7.65	ns
HSDDR9	$t_d(clk-dV)$	2.81	6.94	ns

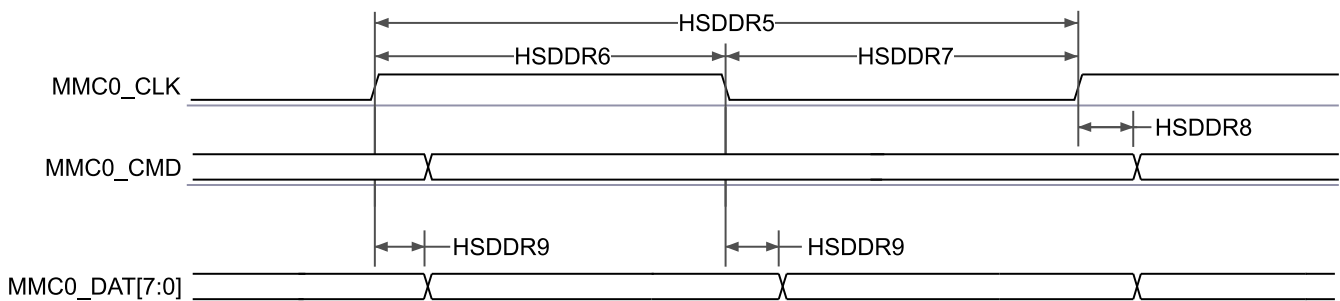


图 6-73. MMC0 - 高速 DDR 模式 - 发送模式

6.9.5.18.1.4 HS200 模式

表 6-89 和图 6-74 展示了 MMC0 的开关特性 - HS200 模式。

表 6-89. MMC0 开关特性 - HS200 模式

请参阅图 6-74

编号	参数		最小值	最大值	单位
	$f_{op}(clk)$	工作频率, MMC0_CLK		200	MHz
HS2005	$t_c(clk)$	周期时间, MMC0_CLK	5		ns
HS2006	$t_w(clkH)$	脉冲持续时间, MMC0_CLK 高电平	2.12		ns
HS2007	$t_w(clkL)$	脉冲持续时间, MMC0_CLK 低电平	2.12		ns
HS2008	$t_d(clkL-cmdV)$	延迟时间, MMC0_CLK 上升沿到 MMC0_CMD 转换	1.07	3.21	ns
HS2009	$t_d(clkL-dV)$	延迟时间, MMC0_CLK 上升沿到 MMC0_DAT[7:0] 转换	1.07	3.21	ns

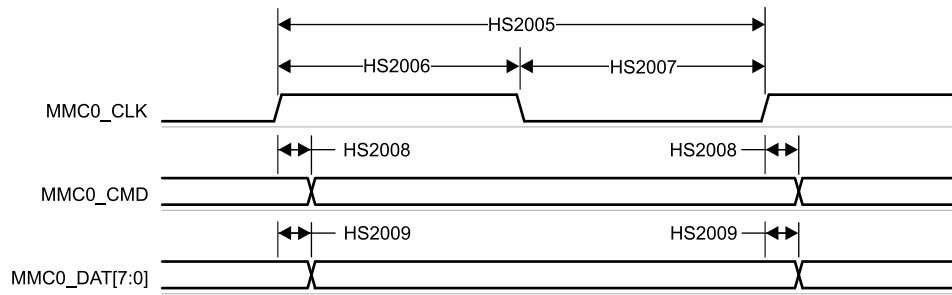


图 6-74. MMC0 - HS200 模式 - 发送模式

6.9.5.18.1.5 HS400 模式

表 6-90、图 6-75、表 6-91 和图 6-76 展示了 MMC0 的时序要求和开关特性 - HS400 模式。

表 6-90. MMC0 时序要求 - HS400 模式

请参阅图 6-75

编号			最小值	最大值	单位
HS4000	t_{DSMPW}	脉冲宽度, MMC0_DS	2.0		ns
HS4001	t_{RQ_DAT}	输入偏斜, MMC0_DS 到 MMC0_DAT 有效		475	ps
HS4002	t_{RQH_DAT}	输入偏斜保持, MMC0_DAT 无效到 MMC0_DS		475	ps
HS4003	t_{RQ_CMD}	输入偏斜, MMC0_DS 到 MMC0_CMD 有效		475	ps
HS4004	t_{RQH_CMD}	输入偏斜保持, MMC0_CMD 无效到 MMC0_DS		475	ps

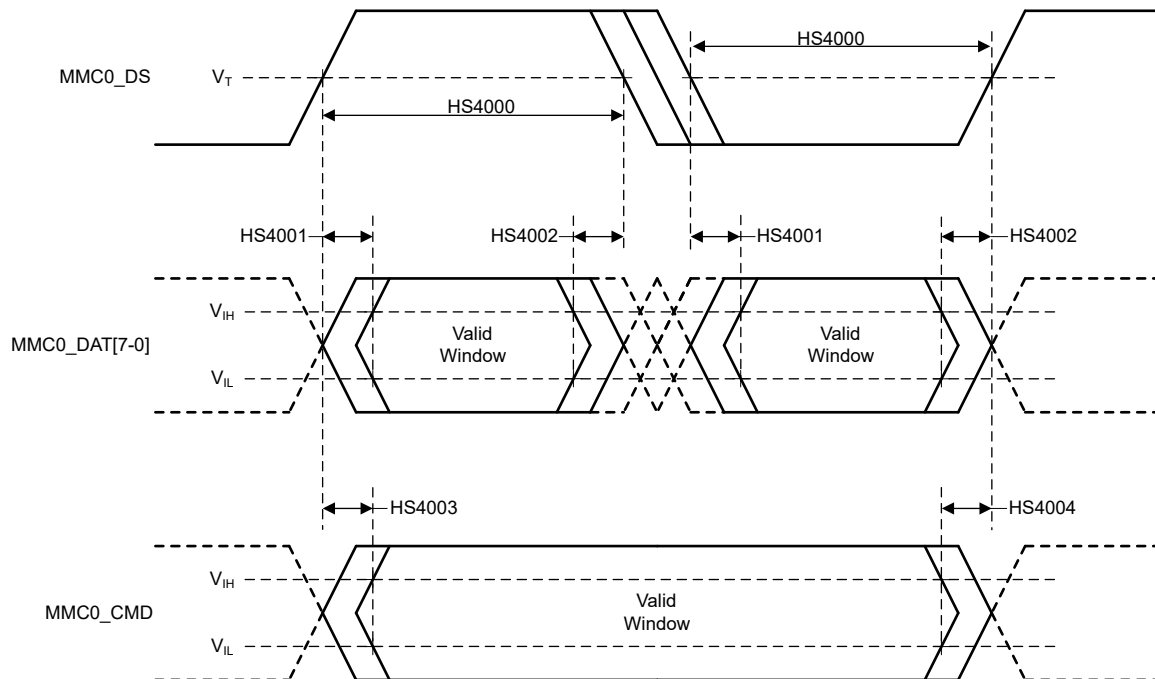


图 6-75. MMC0 - HS400 - 接收模式

表 6-91. MMC0 开关特性 - HS400 模式

请参阅图 6-76

编号	参数	说明	最小值	最大值	单位
	$f_{op}(clk)$	工作频率, MMC0_CLK		200	MHz
HS4005	$t_c(clkH)$	周期时间, MMC0_CLK	5		ns
HS4006	$t_w(clkH)$	脉冲持续时间, MMC0_CLK 高电平	2.24		ns
HS4007	$t_w(clkL)$	脉冲持续时间, MMC0_CLK 低电平	2.24		ns
HS4008	$t_{osu}(cmdV-clkH)$	输出建立时间, 从 MMC0_CMD 有效至 MMC0_CLK 上升沿 ⁽¹⁾	2.58		ns
HS4009	$t_{osu}(dV-clk)$	输出建立时间, 从 MMC0_DAT[7:0] 有效至 MMC0_CLK 上升或下降沿 ⁽¹⁾	0.60		ns
HS40010	$t_{oh}(clkH-cmdIV)$	输出保持时间, 从 MMC0_CLK 上升沿至 MMC0_CMD 无效 ⁽²⁾	1.12		ns
HS40011	$t_{oh}(clk-dIV)$	输出保持时间, 从 MMC0_CLK 上升或下降沿至 MMC0_DAT[7:0] 无效 ⁽²⁾	0.85		ns

- (1) 此参数定义了提供给所连接器件的输出建立时间。该时间相对于下一个捕获时钟边沿, 并且已经包含 MMC0 时序条件表中定义的最大传播延迟不匹配值。此参数的时序基准是从 DAT 或 CMD 信号转换的 1/2 Vs 到 CLK 信号转换的 1/2 Vs。eMMC 标准定义了建立时序基准是从 DAT 或 CMD 信号转换的 VIL 或 VIH 到 CLK 信号转换的 1/2 Vs。因此, 系统设计人员在设计 PCB 时必须考虑 DAT 信号压摆率的影响, 并确保 DAT 信号从 1/2 Vs 转换到 VIL 或 VIH 所需的时间不会减小建立时间裕度。
- (2) 此参数定义了提供给所连接器件的输出保持时间。该时间相对于上一个启动时钟边沿, 并且已经包含 MMC0 时序条件表中定义的最大传播延迟不匹配值。此参数的时序基准是从 CLK 信号转换的 1/2 Vs 到 DAT 或 CMD 信号转换的 1/2 Vs。eMMC 标准定义了保持时序基准是从 CLK 信号转换的 1/2 Vs 到 DAT 或 CMD 信号转换的 VIL 或 VIH。因此, 系统设计人员在设计 PCB 时必须考虑 DAT 信号压摆率的影响, 并确保 DAT 信号从 VIL 或 VIH 转换到 1/2 Vs 所需的时间不会减小保持时间裕度。

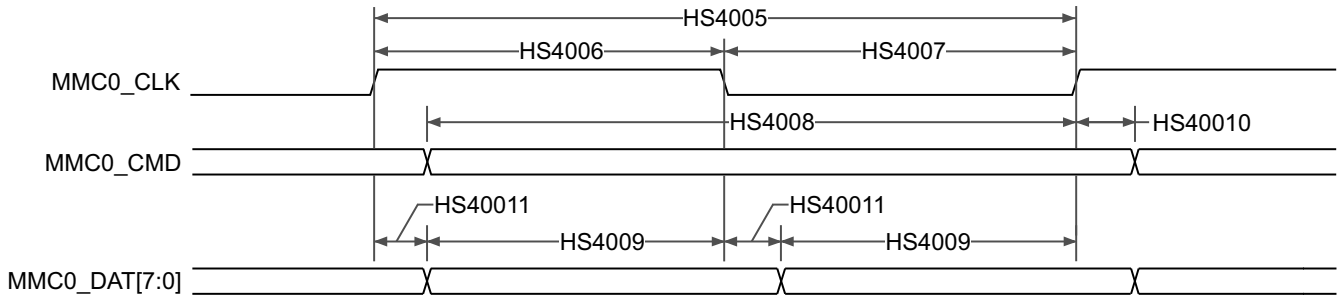


图 6-76. eMMC 接口 - HS400 模式 - 发送器模式

6.9.5.18.1.6 UHS -I SDR12 模式

表 6-92、图 6-77、表 6-93 和图 6-78 展示了 MMC0 的时序要求和开关特性 - UHS-I SDR12 模式。

表 6-92. MMC0 的时序要求 - UHS-I SDR12 模式

请参阅图 6-77

编号			最小值	最大值	单位
SDR121	$t_{su}(cmdV-clkH)$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	4.2		ns
SDR122	$t_h(clkH-cmdV)$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	0.87		ns
SDR123	$t_{su}(dV-clkH)$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_DAT[3:0] 有效	4.2		ns
SDR124	$t_h(clkH-dV)$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_DAT[3:0] 有效	0.87		ns

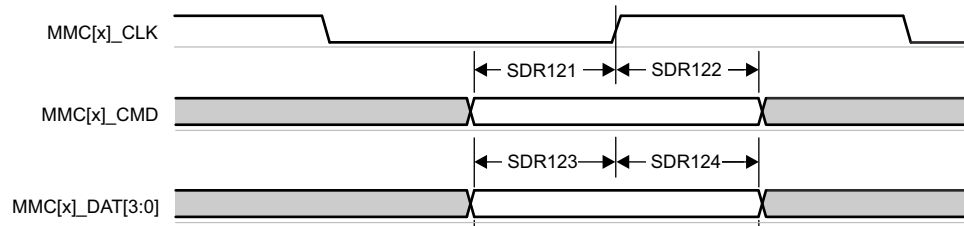


图 6-77. MMC0 - UHS-I SDR12 - 接收模式

表 6-93. MMC0 的开关特性 - UHS-I SDR12 模式

请参阅图 6-78

编号	参数	最小值	最大值	单位
	$f_{op}(clk)$		25	MHz
SDR125	$t_c(clk)$	40		ns
SDR126	$t_w(clkH)$	18.7		ns
SDR127	$t_w(clkL)$	18.7		ns
SDR128	$t_d(clkL-cmdV)$	1.5	8.6	ns
SDR129	$t_d(clkL-dV)$	1.5	8.6	ns

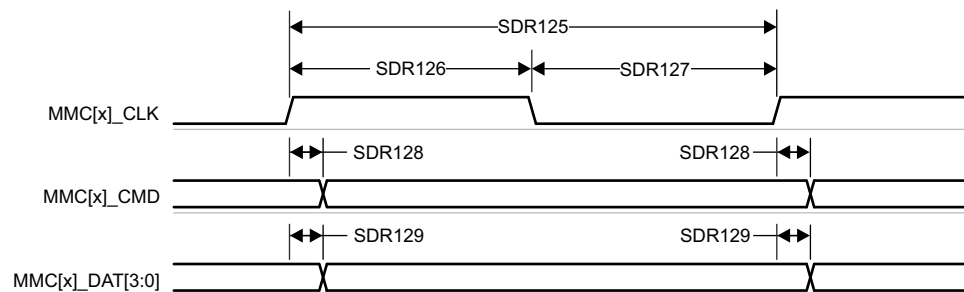


图 6-78. MMC0 - UHS-I SDR12 - 发送模式

6.9.5.18.1.7 UHS -I SDR25 模式

表 6-94、图 6-79、表 6-95 和图 6-80 展示了 MMC0 的时序要求和开关特性 - UHS-I SDR25 模式。

表 6-94. MMC0 的时序要求 - UHS-I SDR25 模式

请参阅图 6-79

编号	参数	描述	最小值	最大值	单位
SDR251	$t_{su}(cmdV-clkH)$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	2.15		ns
SDR252	$t_h(clkH-cmdV)$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	1.27		ns
SDR253	$t_{su}(dV-clkH)$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_DAT[3:0] 有效	2.15		ns
SDR254	$t_h(clkH-dV)$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_DAT[3:0] 有效	1.27		ns

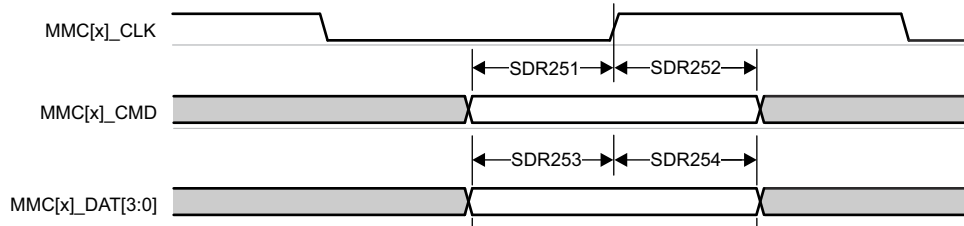


图 6-79. MMC0 - UHS-I SDR25 - 接收模式

表 6-95. MMC0 的开关特性 - UHS-I SDR25 模式

请参阅图 6-80

编号	参数	描述	最小值	最大值	单位
	$f_{op}(clk)$	工作频率, MMC0_CLK		50	MHz
SDR255	$t_c(clk)$	周期时间, MMC0_CLK	20		ns
SDR256	$t_w(clkH)$	脉冲持续时间, MMC0_CLK 高电平	9.2		ns
SDR257	$t_w(clkL)$	脉冲持续时间, MMC0_CLK 低电平	9.2		ns
SDR258	$t_d(clkL-cmdV)$	延迟时间, MMC0_CLK 上升沿到 MMC0_CMD 转换	2.4	8.1	ns
SDR259	$t_d(clkL-dV)$	延迟时间, MMC0_CLK 上升沿到 MMC0_DAT[3:0] 转换	2.4	8.1	ns

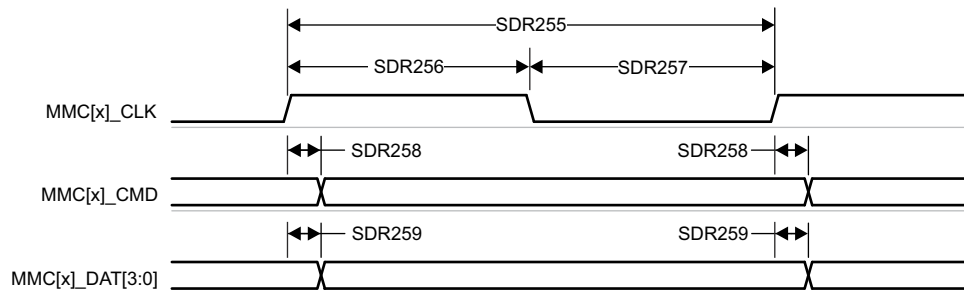


图 6-80. MMC0 - UHS-I SDR25 - 发送模式

6.9.5.18.1.8 UHS -I SDR50 模式

表 6-96 和图 6-81 展示了 MMC0 的开关特性 - UHS-I SDR50 模式。

表 6-96. MMC0 的开关特性 - UHS-I SDR50 模式

请参阅图 6-81

编号	参数	最小值	最大值	单位		
	$f_{op}(clk)$	工作频率, MMC0_CLK		100	MHz	
SDR505	$t_{c}(clk)$	周期时间, MMC0_CLK		10	ns	
SDR506	$t_{w}(clkH)$	脉冲持续时间, MMC0_CLK 高电平		4.45	ns	
SDR507	$t_{w}(clkL)$	脉冲持续时间, MMC0_CLK 低电平		4.45	ns	
SDR508	$t_{d}(clkL-cmdV)$	延迟时间, MMC0_CLK 上升沿到 MMC0_CMD 转换		1.2	6.35	ns
SDR509	$t_{d}(clkL-dV)$	延迟时间, MMC0_CLK 上升沿到 MMC0_DAT[3:0] 转换		1.2	6.35	ns

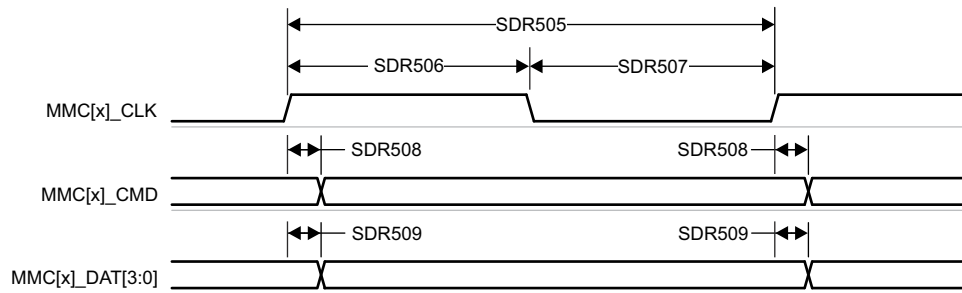


图 6-81. MMC0 - UHS-I SDR50 - 发送模式

6.9.5.18.1.9 UHS-I DDR50 模式

表 6-97 和图 6-82 展示了 MMC0 的开关特性 - UHS-I DDR50 模式。

表 6-97. MMC0 的开关特性 - UHS-I DDR50 模式

请参阅图 6-82

编号	参数		最小值	最大值	单位
	$f_{op}(clk)$	工作频率, MMC0_CLK		50	MHz
DDR505	$t_c(clk)$	周期时间, MMC0_CLK	20		ns
DDR506	$t_w(clkH)$	脉冲持续时间, MMC0_CLK 高电平	9.2		ns
DDR507	$t_w(clkL)$	脉冲持续时间, MMC0_CLK 低电平	9.2		ns
DDR508	$t_d(clk-cmdV)$	延迟时间, MMC0_CLK 上升沿到 MMC0_CMD 转换	1.12	6.43	ns
DDR509	$t_d(clk-dV)$	延迟时间, MMC0_CLK 转换到 MMC0_DAT[3:0] 转换	1.12	6.43	ns

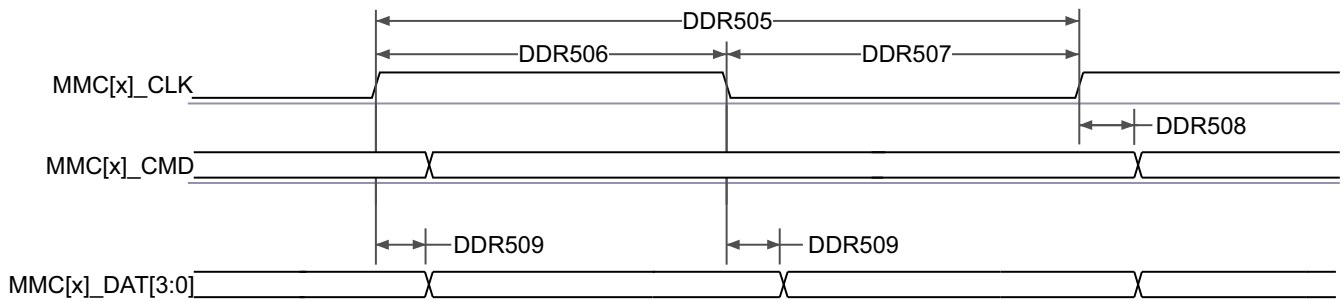


图 6-82. MMC0 - UHS-I DDR50 - 发送模式

6.9.5.18.1.10 UHS -I SDR104 模式

表 6-98 和图 6-83 展示了 MMC0 的开关特性 - UHS-I SDR104 模式。

表 6-98. MMC0 的开关特性 - UHS-I SDR104 模式

请参阅图 6-83

编号	参数	最小值	最大值	单位		
	$f_{op}(clk)$	工作频率, MMC0_CLK		200	MHz	
SDR1045	$t_{c}(clk)$	周期时间, MMC0_CLK		5	ns	
SDR1046	$t_{w}(clkH)$	脉冲持续时间, MMC0_CLK 高电平		2.12	ns	
SDR1047	$t_{w}(clkL)$	脉冲持续时间, MMC0_CLK 低电平		2.12	ns	
SDR1048	$t_{d}(clkL-cmdV)$	延迟时间, MMC0_CLK 上升沿到 MMC0_CMD 转换		1.07	3.21	ns
SDR1049	$t_{d}(clkL-dV)$	延迟时间, MMC0_CLK 上升沿到 MMC0_DAT[3:0] 转换		1.07	3.21	ns

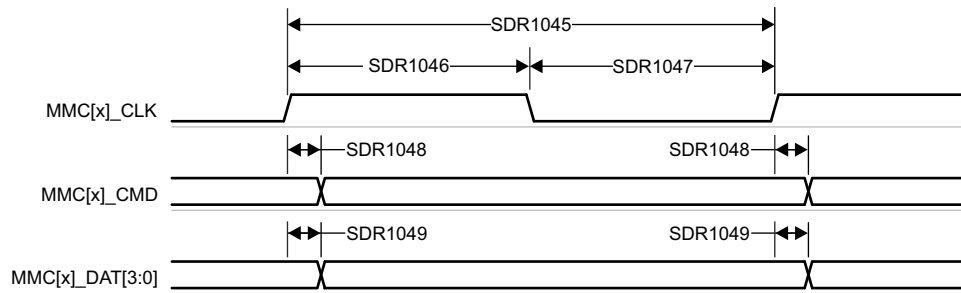


图 6-83. MMC0 - UHS-I SDR104 - 发送模式

6.9.5.18.2 MMC1/MMC2 - SD/SDIO 接口

MMC1/MMC2 接口符合 SD 主机控制器标准规范 4.10 和 SD 物理层规范 v3.01 以及 SDIO 规范 v3.00，并支持以下 SD 卡应用：

- 默认速度
- 高速
- UHS-I SDR12
- UHS-I SDR25
- UHS-I SDR50
- UHS-I DDR50
- UHS-I SDR104

表 6-99 提供了 MMC1/2 时序模式所需的 DLL 软件配置设置。

表 6-99. 所有时序模式的 MMC1/MMC2 DLL 延迟映射

寄存器名称		MMCSD1_SS_PHY_CTRL_4_REG/ MMCSD2_SS_PHY_CTRL_4_REG				MMCSD1_SS_PHY_CTRL_5_REG/ MMCSD2_SS_PHY_CTRL_5_REG
位字段		[20]	[15:12]	[8]	[4:0]	[2:0]
位字段名称		OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	CLKBUFSEL
模式	说明	延迟 启用	延迟 值	输入 延迟 启用	输入 延迟 值	延迟 缓冲器 持续时间
默认 速度	4 位 PHY 工作 3.3V, 25MHz	0x1	0x0	0x1	0x0	0x7
高速	4 位 PHY 工作 3.3V, 50MHz	0x1	0x0	0x1	0x0	0x7
UHS-I SDR12	4 位 PHY 工作 1.8V, 25MHz	0x1	0xF	0x1	0x0	0x7
UHS-I SDR25	4 位 PHY 工作 1.8V, 50MHz	0x1	0xF	0x1	0x0	0x7
UHS-I SDR50	4 位 PHY 工作 1.8V, 100MHz	0x1	0xC	0x1	调优 ⁽¹⁾	0x7
UHS-I DDR50	4 位 PHY 工作 1.8V, 50MHz	0x1	0x9	0x1	调优 ⁽¹⁾	0x7
UHS-I SDR104	4 位 PHY 工作 1.8V, 200MHz	0x1	0x6	0x1	调优 ⁽¹⁾	0x7

(1) 调优意味着此模式需要使用调优算法以实现适当输入时序

表 6-100 说明了 MMC1 的时序条件。

表 6-100. MMC1/MMC2 时序条件

参数			最小值	最大值	单位
输入条件					
SR _i	输入压摆率	默认速度 高速	0.69	2.06	V/ns
		UHS - I SDR12 UHS - I SDR25	0.34	1.34	V/ns
		UHS-I DDR50	1	2	V/ns
输出条件					
C _L	输出负载电容	所有模式	1	10	pF
PCB 连接要求					
t _d (Trace Delay)	每条引线的传播延迟	UHS-I DDR50	239	1134	ps
		所有其他模式	126	1386	ps
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配	高速 UHS - I SDR104		8	ps
		UHS-I DDR50		20	ps
		所有其他模式		100	ps

6.9.5.18.2.1 默认速度模式

表 6-101、图 6-84、表 6-102 和图 6-85 展示了 MMC1/MMC2 的时序要求和开关特性 - 默认速度模式。

表 6-101. MMC1/MMC2 的时序要求 - 默认速度模式

请参阅图 6-84

编号			最小值	最大值	单位
DS1	$t_{su}(cmdV-clkH)$	建立时间, 在 MMCx_CLK 上升沿之前 MMCx_CMD 有效	2.15		ns
DS2	$t_h(clkH-cmdV)$	保持时间, 在 MMCx_CLK 上升沿之后 MMCx_CMD 有效	1.67		ns
DS3	$t_{su}(dV-clkH)$	建立时间, 在 MMCx_CLK 上升沿之前 MMCx_DAT[3:0] 有效	2.15		ns
DS4	$t_h(clkH-dV)$	保持时间, 在 MMCx_CLK 上升沿之后 MMCx_DAT[3:0] 有效	1.67		ns

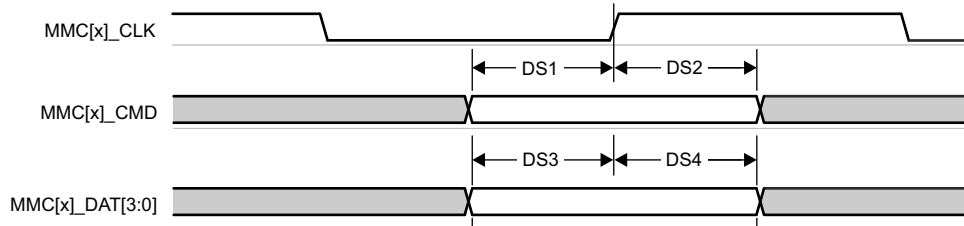


图 6-84. MMC1/MMC2 - 默认速度 - 接收模式

表 6-102. MMC1/MMC2 的开关特性 - 默认速度模式

请参阅图 6-85

编号	参数		最小值	最大值	单位
	$f_{op}(clk)$	工作频率, MMCx_CLK		25	MHz
DS5	$t_c(clk)$	周期时间, MMCx_CLK	40		ns
DS6	$t_w(clkH)$	脉冲持续时间, MMCx_CLK 高电平	18.7		ns
DS7	$t_w(clkL)$	脉冲持续时间, MMCx_CLK 低电平	18.7		ns
DS8	$t_d(clkL-cmdV)$	延迟时间, MMCx_CLK 下降沿到 MMCx_CMD 转换	- 1.8	2.2	ns
DS9	$t_d(clkL-dV)$	延迟时间, MMCx_CLK 下降沿到 MMCx_DAT[3:0] 转换	- 1.8	2.2	ns

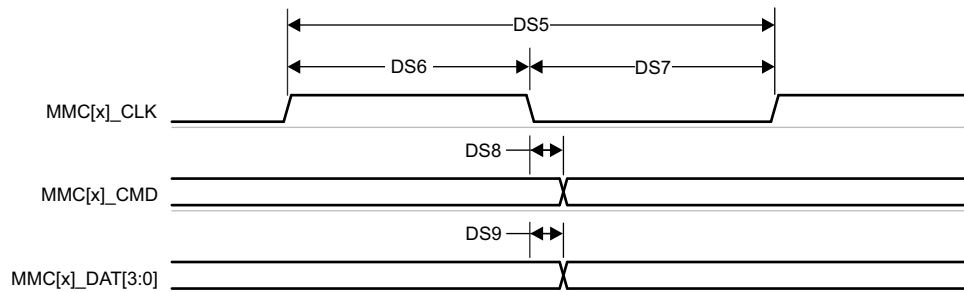


图 6-85. MMC1/MMC2 - 默认速度 - 发送模式

6.9.5.18.2.2 高速模式

表 6-103、图 6-86、表 6-104 和图 6-87 展示了 MMC1/MMC2 的时序要求和开关特性 - 高速模式。

表 6-103. MMC1/MMC2 的时序要求 - 高速模式

请参阅图 6-86

编号			最小值	最大值	单位
HS1	$t_{su}(\text{cmdV-clkH})$	建立时间, 在 MMCx_CLK 上升沿之前 MMCx_CMD 有效	2.24		ns
HS2	$t_h(\text{clkH-cmdV})$	保持时间, 在 MMCx_CLK 上升沿之后 MMCx_CMD 有效	1.66		ns
HS3	$t_{su}(\text{dV-clkH})$	建立时间, 在 MMCx_CLK 上升沿之前 MMCx_DAT[3:0] 有效	2.24		ns
HS4	$t_h(\text{clkH-dV})$	保持时间, 在 MMCx_CLK 上升沿之后 MMCx_DAT[3:0] 有效	1.66		ns

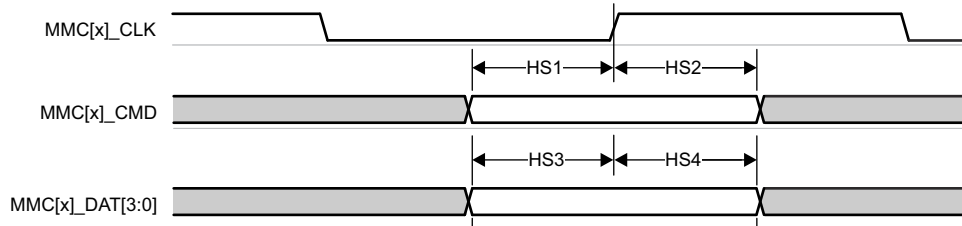


图 6-86. MMC1/MMC2 - 高速 - 接收模式

表 6-104. MMC1/MMC2 的开关特性 - 高速模式

请参阅图 6-87

编号	参数	最小值	最大值	单位
	$f_{op}(\text{clk})$	工作频率, MMCx_CLK	50	MHz
HS5	$t_c(\text{clk})$	周期时间, MMCx_CLK	20	ns
HS6	$t_w(\text{clkH})$	脉冲持续时间, MMCx_CLK 高电平	9.2	ns
HS7	$t_w(\text{clkL})$	脉冲持续时间, MMCx_CLK 低电平	9.2	ns
HS8	$t_d(\text{clkL-cmdV})$	延迟时间, MMCx_CLK 下降沿到 MMCx_CMD 转换	- 1.8	2.2 ns
HS9	$t_d(\text{clkL-dV})$	延迟时间, MMCx_CLK 下降沿到 MMCx_DAT[3:0] 转换	- 1.8	2.2 ns

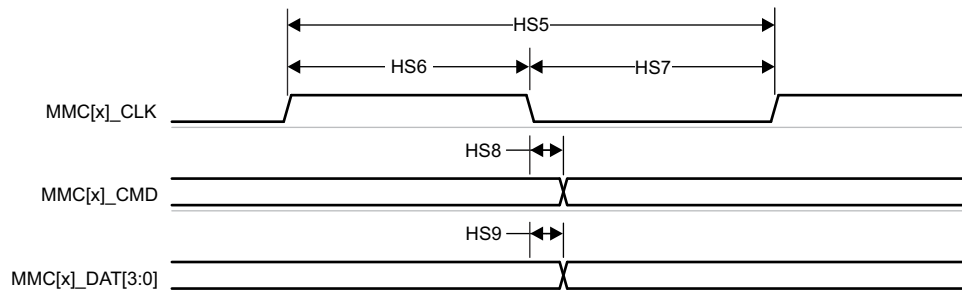


图 6-87. MMC1/MMC2 - 高速 - 发送模式

6.9.5.18.2.3 UHS -I SDR12 模式

表 6-105、图 6-88、表 6-106 和图 6-89 展示了 MMC1/MMC2 的时序要求和开关特性 - UHS-I SDR12 模式。

表 6-105. MMC1/MMC2 的时序要求 - UHS-I SDR12 模式

请参阅图 6-88

编号	参数	描述	最小值	最大值	单位
SDR121	$t_{su}(cmdV-clkH)$	建立时间, 在 MMCx_CLK 上升沿之前 MMCx_CMD 有效	4.2		ns
SDR122	$t_h(clkH-cmdV)$	保持时间, 在 MMCx_CLK 上升沿之后 MMCx_CMD 有效	0.87		ns
SDR123	$t_{su}(dV-clkH)$	建立时间, 在 MMCx_CLK 上升沿之前 MMCx_DAT[3:0] 有效	4.2		ns
SDR124	$t_h(clkH-dV)$	保持时间, 在 MMCx_CLK 上升沿之后 MMCx_DAT[3:0] 有效	0.87		ns

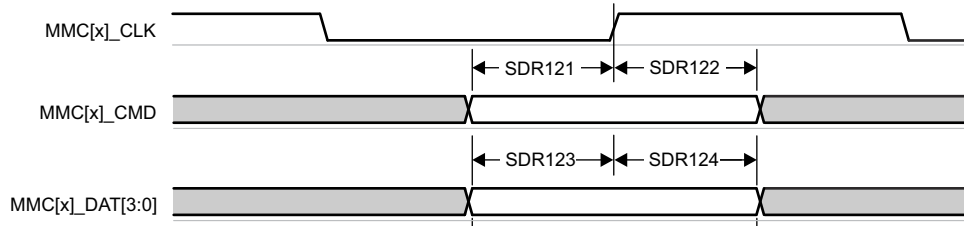


图 6-88. MMC1/MMC2 - UHS-I SDR12 - 接收模式

表 6-106. MMC1/MMC2 的开关特性 - UHS-I SDR12 模式

请参阅图 6-89

编号	参数	描述	最小值	最大值	单位
	$f_{op}(clk)$	工作频率, MMCx_CLK		25	MHz
SDR125	$t_c(clk)$	周期时间, MMCx_CLK	40		ns
SDR126	$t_w(clkH)$	脉冲持续时间, MMCx_CLK 高电平	18.7		ns
SDR127	$t_w(clkL)$	脉冲持续时间, MMCx_CLK 低电平	18.7		ns
SDR128	$t_d(clkL-cmdV)$	延迟时间, MMCx_CLK 上升沿到 MMCx_CMD 转换	1.5	8.6	ns
SDR129	$t_d(clkL-dV)$	延迟时间, MMCx_CLK 上升沿到 MMCx_DAT[3:0] 转换	1.5	8.6	ns

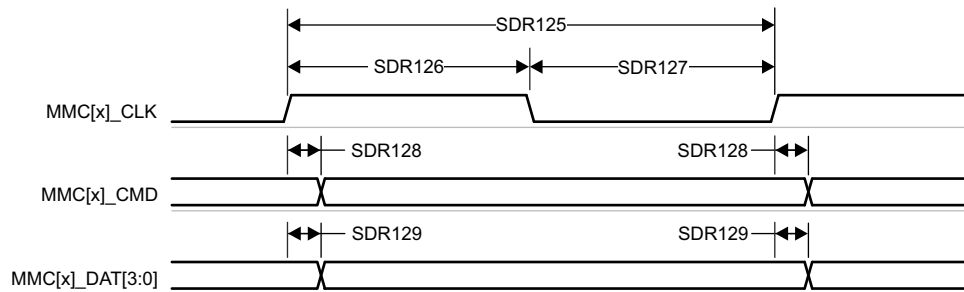


图 6-89. MMC1/MMC2 - UHS-I SDR12 - 发送模式

6.9.5.18.2.4 UHS -I SDR25 模式

表 6-107、图 6-90、表 6-108 和图 6-91 展示了 MMC1/MMC2 的时序要求和开关特性 - UHS-I SDR25 模式。

表 6-107. MMC1/MMC2 的时序要求 - UHS-I SDR25 模式

请参阅图 6-90

编号	参数	描述	最小值	最大值	单位
SDR251	$t_{su}(cmdV-clkH)$	建立时间, 在 MMCx_CLK 上升沿之前 MMCx_CMD 有效	2.15		ns
SDR252	$t_h(clkH-cmdV)$	保持时间, 在 MMCx_CLK 上升沿之后 MMCx_CMD 有效	1.27		ns
SDR253	$t_{su}(dV-clkH)$	建立时间, 在 MMCx_CLK 上升沿之前 MMCx_DAT[3:0] 有效	2.15		ns
SDR254	$t_h(clkH-dV)$	保持时间, 在 MMCx_CLK 上升沿之后 MMCx_DAT[3:0] 有效	1.27		ns



图 6-90. MMC1/MMC2 - UHS-I SDR25 - 接收模式

表 6-108. MMC1/MMC2 的开关特性 - UHS-I SDR25 模式

请参阅图 6-91

编号	参数	描述	最小值	最大值	单位
	$f_{op}(clk)$	工作频率, MMCx_CLK		50	MHz
SDR255	$t_c(clk)$	周期时间, MMCx_CLK	20		ns
SDR256	$t_w(clkH)$	脉冲持续时间, MMCx_CLK 高电平	9.2		ns
SDR257	$t_w(clkL)$	脉冲持续时间, MMCx_CLK 低电平	9.2		ns
SDR258	$t_d(clkL-cmdV)$	延迟时间, MMCx_CLK 上升沿到 MMCx_CMD 转换	2.4	8.1	ns
SDR259	$t_d(clkL-dV)$	延迟时间, MMCx_CLK 上升沿到 MMCx_DAT[3:0] 转换	2.4	8.1	ns

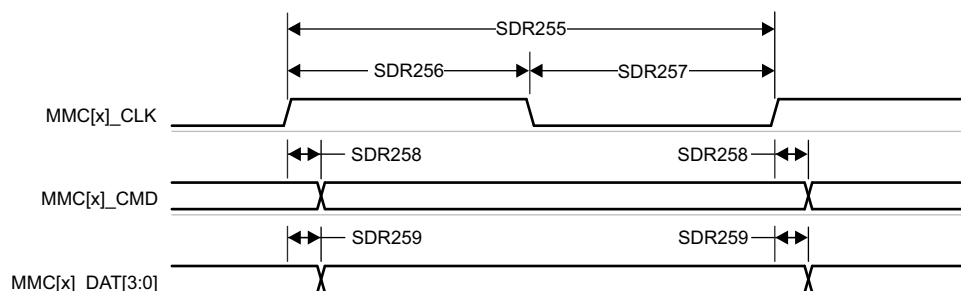


图 6-91. MMC1/MMC2 - UHS-I SDR25 - 发送模式

6.9.5.18.2.5 UHS -I SDR50 模式

表 6-109 和图 6-92 展示了 MMC1/MMC2 的开关特性 - UHS-I SDR50 模式。

表 6-109. MMC1/MMC2 的开关特性 - UHS-I SDR50 模式

请参阅图 6-92

编号	参数	最小值	最大值	单位
	$f_{op}(clk)$	工作频率, MMCx_CLK		100 MHz
SDR505	$t_{c}(clk)$	周期时间, MMCx_CLK		10 ns
SDR506	$t_{w}(clkH)$	脉冲持续时间, MMCx_CLK 高电平		4.45 ns
SDR507	$t_{w}(clkL)$	脉冲持续时间, MMCx_CLK 低电平		4.45 ns
SDR508	$t_{d}(clkL-cmdV)$	延迟时间, MMCx_CLK 上升沿到 MMCx_CMD 转换		1.2 ns - 6.35 ns
SDR509	$t_{d}(clkL-dV)$	延迟时间, MMCx_CLK 上升沿到 MMCx_DAT[3:0] 转换		1.2 ns - 6.35 ns

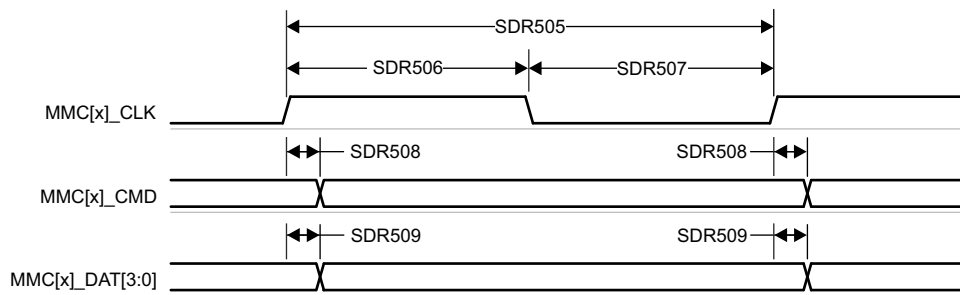


图 6-92. MMC1/MMC2 - UHS-I SDR50 - 发送模式

6.9.5.18.2.6 UHS-I DDR50 模式

表 6-110 和图 6-93 展示了 MMC1/MMC2 的开关特性 - UHS-I DDR50 模式。

表 6-110. MMC1/MMC2 的开关特性 - UHS-I DDR50 模式

请参阅图 6-93

编号	参数		最小值	最大值	单位
	$f_{op}(clk)$	工作频率, MMCx_CLK		50	MHz
DDR505	$t_c(clk)$	周期时间, MMCx_CLK	20		ns
DDR506	$t_w(clkH)$	脉冲持续时间, MMCx_CLK 高电平	9.2		ns
DDR507	$t_w(clkL)$	脉冲持续时间, MMCx_CLK 低电平	9.2		ns
DDR508	$t_d(clk-cmdV)$	延迟时间, MMCx_CLK 上升沿到 MMCx_CMD 转换	1.12	6.43	ns
DDR509	$t_d(clk-dV)$	延迟时间, MMCx_CLK 转换到 MMCx_DAT[3:0] 转换	1.12	6.43	ns

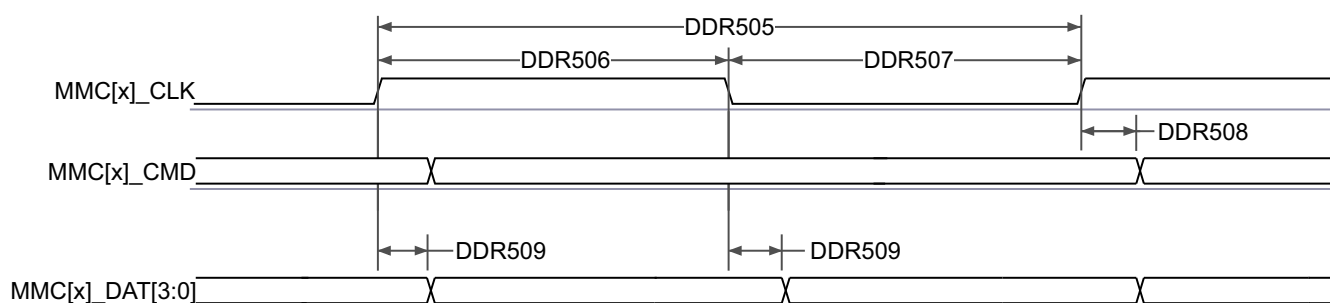


图 6-93. MMC1/MMC2 - UHS-I DDR50 - 发送模式

6.9.5.18.2.7 UHS -I SDR104 模式

表 6-111 和图 6-94 展示了 MMC1/MMC2 的开关特性 - UHS-I SDR104 模式。

表 6-111. MMC1/MMC2 的开关特性 - UHS-I SDR104 模式

请参阅图 6-94

编号	参数		最小值	最大值	单位
	$f_{op}(clk)$	工作频率, MMCx_CLK		200	MHz
SDR1045	$t_{c}(clk)$	周期时间, MMCx_CLK	5		ns
SDR1046	$t_{w}(clkH)$	脉冲持续时间, MMCx_CLK 高电平	2.12		ns
SDR1047	$t_{w}(clkL)$	脉冲持续时间, MMCx_CLK 低电平	2.12		ns
SDR1048	$t_{d}(clkL-cmdV)$	延迟时间, MMCx_CLK 上升沿到 MMCx_CMD 转换	1.07	3.21	ns
SDR1049	$t_{d}(clkL-dV)$	延迟时间, MMCx_CLK 上升沿到 MMCx_DAT[3:0] 转换	1.07	3.21	ns

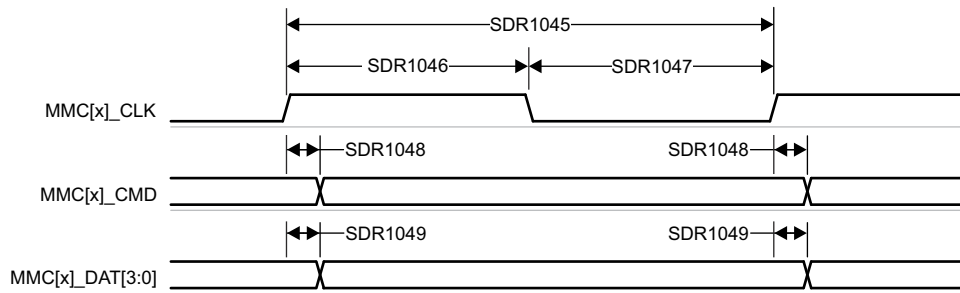


图 6-94. MMC1/MMC2 - UHS-I SDR104 - 发送模式

6.9.5.19 OSPI

OSPI0 提供两种数据捕获模式：PHY 模式和 Tap 模式。

PHY 模式使用内部基准时钟通过基于 DLL 的 PHY 发送和接收数据，在这种模式下，每个基准时钟周期为单倍数据速率 (SDR) 传输生成一个周期的 OSPI0_CLK，或为双倍数据速率 (DDR) 传输生成半个周期的 OSPI0_CLK。PHY 模式支持接收数据捕获时钟的四种时钟拓扑。内部 PHY 环回 - 使用内部基准时钟作为 PHY 接收数据采集时钟。内部焊盘环回 - 使用从 OSPI0_LBCLKO 引脚环回到 PHY 的 OSPI0_LBCLKO 作为 PHY 接收数据采集时钟。外部电路板环回 - 使用从 OSPI0_DQS 引脚环回到 PHY 的 OSPI0_LBCLKO 作为 PHY 接收数据采集时钟。DQS - 使用所连接器件的 DQS 输出作为 PHY 接收数据采集时钟。使用内部焊盘环回和 DQS 时钟拓扑时，不支持 SDR 传输。使用内部 PHY 环回或内部焊盘环回时钟拓扑时，不支持 DDR 传输。

Tap 模式使用具有可选 Tap 的内部基准时钟来调整相对于 OSPI0_CLK 的数据发送和接收捕获延迟，OSPI0_CLK 是 SDR 传输的内部基准时钟的 4 分频或 DDR 传输的内部基准时钟的 8 分频。Tap 模式仅支持接收数据捕获时钟的一种时钟拓扑。无环回 - 使用内部基准时钟作为 Tap 接收数据捕获时钟。此时钟拓扑支持 200MHz 的最大内部基准时钟速率，从而在 SDR 模式下产生高达 50MHz 的 OSPI0_CLK 速率，或在 DDR 模式下产生高达 25MHz 的 OSPI0_CLK 速率。

有关更多信息，请参阅器件 TRM 的外设一章中的八路串行外设接口 (OSPI) 一节。

有关器件八路串行外设接口特性和其他说明信息的更多详情，请参阅信号说明和详细说明部分中的相应小节。

节 6.9.5.19.1 定义了与 PHY 模式相关的时序要求和开关特性，节 6.9.5.19.2 定义了与 Tap 模式相关的时序要求和开关特性。

表 6-112 说明了 OSPI0 的时序条件。

表 6-112. OSPI0 时序条件

参数		模式	最小值	最大值	单位
输入条件					
SR _i	输入压摆率		1	6	V/ns
输出条件					
C _L	输出负载电容		3	10	pF
PCB 连接要求					
t _d (Trace Delay)	OSPI0_CLK 布线的传播延迟	无环回 内部 PHY 环回 内部焊盘环回		450	ps
	OSPI0_LBCLKO 布线的传播延迟	外部电路板环回	2L ⁽¹⁾ - 30	2L ⁽¹⁾ + 30	ps
	OSPI0_DQS 布线的传播延迟	DQS	L ⁽¹⁾ - 30	L ⁽¹⁾ + 30	ps
t _d (Trace Mismatch Delay)	OSPI0_D[7:0] 和 OSPI0_CS _n [3:0] 相对于 OSPI0_CLK 的传播延迟不匹配	所有模式		60	ps

(1) L = OSPI0_CLK 布线的传播延迟

6.9.5.19.1 OSPI0 PHY 模式

6.9.5.19.1.1 具有 PHY 数据训练的 OSPI0

读取和写入数据有效窗口将因工艺、电压、温度和工作频率的变化而发生变化。可以实现数据训练方法，以动态配置最优读取和写入时序。实现数据训练可以在特定工艺、电压和频率工作条件下的温度范围内实现正常运行，同时实现更高的工作频率。

由于数据传输和接收时序参数会根据运行条件进行动态调整，因此未针对数据训练用例定义这些参数。

表 6-113 定义了具有数据训练的 OSPI0 所需的 DLL 延迟。表 6-114、图 6-95、图 6-96、表 6-115、图 6-97 和图 6-98 展示了具有数据训练的 OSPI0 的时序要求和开关特性。

表 6-113. 用于 PHY 数据训练的 OSPI0 DLL 延迟映射

模式	OSPI0_PHY_CONFIGURATION_REG 位字段	延迟值
发送		
所有模式	PHY_CONFIG_TX_DLL_DELAY_FLD	(1)
接收		
所有模式	PHY_CONFIG_RX_DLL_DELAY_FLD	(2)

- (1) 发送由训练软件确定的 DLL 延迟值
(2) 接收由训练软件确定的 DLL 延迟值

表 6-114. OSPI0 时序要求 - PHY 数据训练

请参阅图 6-95 和图 6-96

编号	模式	最小值	最大值	单位
O15	建立时间，在有效 OSPI0_DQS 边沿之前 OSPI0_D[7:0] 有效	(1)		ns
O16	保持时间，在有效 OSPI0_DQS 边沿之后 OSPI0_D[7:0] 有效	(1)		ns
O21	建立时间，在有效 OSPI0_DQS 边沿之前 OSPI0_D[7:0] 有效	(1)		ns
O22	保持时间，在有效 OSPI0_DQS 边沿之后 OSPI0_D[7:0] 有效	(1)		ns
t_{Dwv}	数据有效窗口 (O15 + O16)	1.8V，具有 DQS 的 DDR	1.6	ns
		3.3V，具有 DQS 的 DDR	2.2	ns
	数据有效窗口 (O21 + O22)	1.8V，具有外部电路板环回的 SDR	2.3	ns
		3.3V，具有外部电路板环回的 SDR	2.9	ns

- (1) 当使用数据训练查找合适的数据有效窗口时，未定义 OSPI0_D[7:0] 输入的最小建立和保持时间要求。 t_{Dwv} 参数定义了所需的最小数据无效窗口。提供此参数来代替最小建立和最小保持时间，必须使用它来检查与所连接器件提供的数据有效窗口的兼容性。

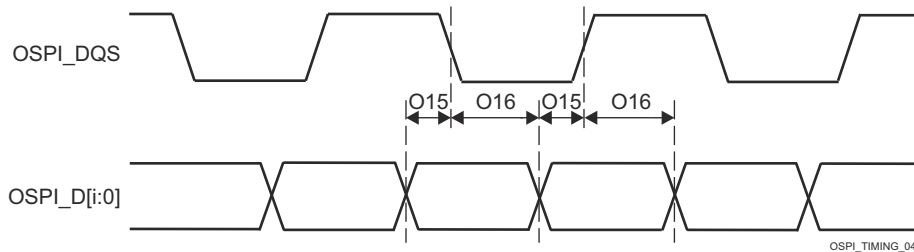


图 6-95. OSPI0 时序要求 - PHY 数据训练，带 DQS 的 DDR

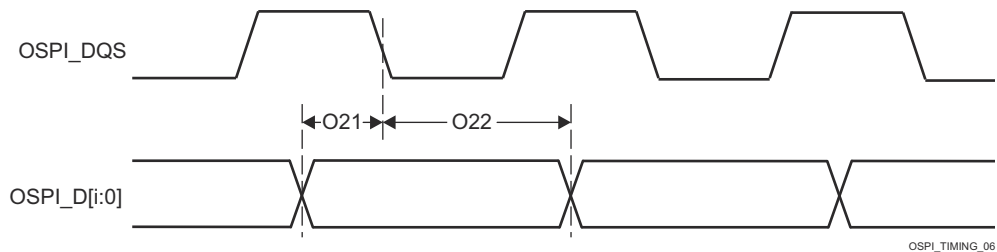


图 6-96. OSPI0 时序要求 - PHY 数据训练，带外部电路板环回的 SDR

表 6-115. OSPI0 开关特性 - PHY 数据训练

请参阅图 6-97 和图 6-98

编号	参数	模式	最小值	最大值	单位	
O1	$t_{c(\text{CLK})}$	周期时间, OSPI0_CLK	1.8V, DDR	6.0	10	ns
			3.3V, DDR	7.5	10	ns
O7	$t_{c(\text{CLK})}$	周期时间, OSPI0_CLK	1.8V, SDR	6.0	10	ns
			3.3V, SDR	7.5	10	ns
O2	$t_{w(\text{CLKL})}$	脉冲持续时间, OSPI0_CLK 低电平	DDR	$((0.475P^{(1)}) - 0.3)$		ns
O8			SDR			
O3	$t_{w(\text{CLKH})}$	脉冲持续时间, OSPI0_CLK 高电平	DDR	$((0.475P^{(1)}) - 0.3)$		ns
O9			SDR			
O4	$t_{d(\text{CSn-CLK})}$	延迟时间, OSPI0_CS[n:3:0] 有效边沿到 OSPI0_CLK 上升沿	DDR	$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)}) + (0.04TD^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)}) + (0.11TD^{(5)}) + 1)$	ns
O10			SDR			
O5	$t_{d(\text{CLK-CSn})}$	延迟时间, OSPI0_CLK 上升沿到 OSPI0_CS[n:3:0] 无效边沿	DDR	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - (0.04TD^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)}) - (0.11TD^{(5)}) + 1)$	ns
O11			SDR			
O6	$t_{d(\text{CLK-D})}$	延迟时间, OSPI0_CLK 有效边沿到 OSPI0_D[7:0] 转换	DDR	(6)	(6)	ns
O12			SDR			
	t_{DIVW}	数据无效窗口 (O6 最大值 - 最小值)	DDR		1.6	ns
		数据无效窗口 (O12 最大值 - 最小值)	SDR			

- (1) $P = \text{SCLK 周期时间 (以 ns 为单位)} = \text{OSPI0_CLK 周期时间 (以 ns 为单位)}$
- (2) $M = \text{OSPI_DEV_DELAY_REG[D_INIT_FLD]}$
- (3) $N = \text{OSPI_DEV_DELAY_REG[D_AFTER_FLD]}$
- (4) $R = \text{基准时钟周期时间 (以 ns 为单位)}$
- (5) $TD = \text{PHY_CONFIG_TX_DLL_DELAY_FLD}$
- (6) 当使用数据训练查找合适的数据有效窗口时, 不定义 OSPI0_D[7:0] 输出的最小和最大延迟时间。 t_{DIVW} 参数定义了最大数据无效窗口。提供此参数来代替最小和最大延迟时间, 必须使用它来检查与所连接器件的数据有效窗口要求的兼容性。

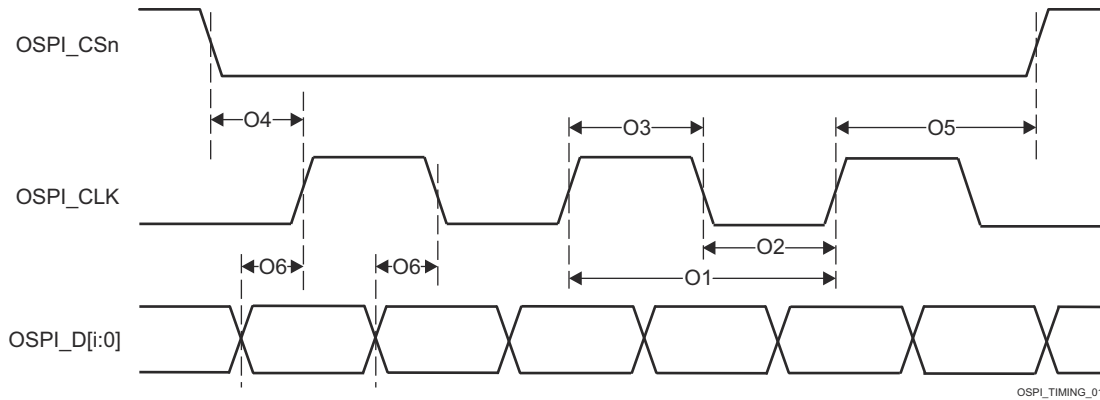


图 6-97. OSPI0 开关特性 - PHY DDR 数据训练

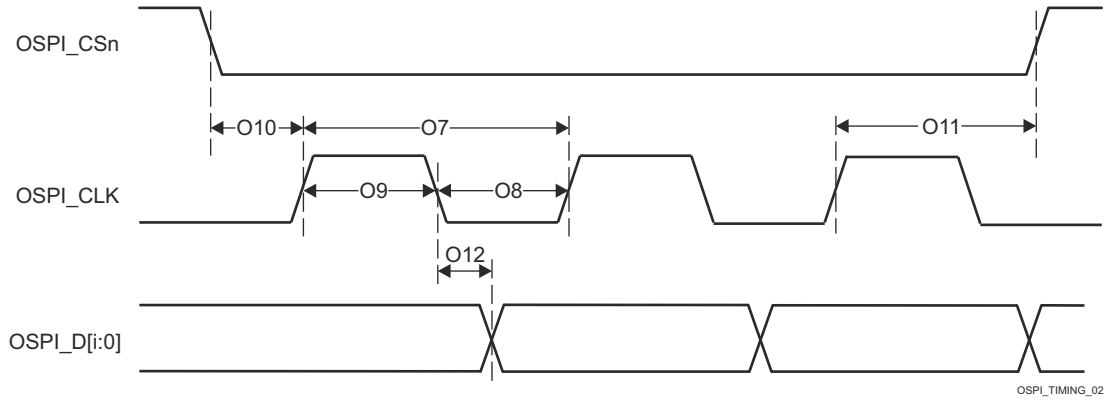


图 6-98. OSPI0 开关特性 - PHY SDR 数据训练

6.9.5.19.1.2 无数据训练的 OSPI0

备注

本节中定义的时序参数仅适用于未实现数据训练且 DLL 延迟按节 6.9.5.19.1.2.1 和节 6.9.5.19.1.2.2 中所述进行配置的情况。

6.9.5.19.1.2.1 OSPI0 PHY SDR 时序

表 6-116 定义了 OSPI0 PHY SDR 模式所需的 DLL 延迟。表 6-117、图 6-99、图 6-100、表 6-118 和图 6-101 展示了 OSPI0 PHY SDR 模式的时序要求和开关特性。

表 6-116. PHY SDR 时序模式的 OSPI0 DLL 延迟映射

模式	OSPI_PHY_CONFIGURATION_REG 位字段	延迟值
发送		
所有模式	PHY_CONFIG_TX_DLL_DELAY_FLD	0x0
接收		
所有模式	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0

表 6-117. OSPI0 时序要求 - PHY SDR 模式

请参阅图 6-99 和图 6-100

编号	模式	最小值	最大值	单位
O19	建立时间, 在有效 OSPI0_CLK 边沿之前 OSPI0_D[7:0] 有效	1.8V, 具有内部 PHY 环回的 SDR	4.8	ns
		3.3V, 具有内部 PHY 环回的 SDR	5.19	ns
O20	保持时间, 在有效 OSPI0_CLK 边沿之后 OSPI0_D[7:0] 有效	1.8V, 具有内部 PHY 环回的 SDR	-0.5	ns
		3.3V, 具有内部 PHY 环回的 SDR	-0.5	ns
O21	建立时间, 在有效 OSPI0_DQS 边沿之前 OSPI0_D[7:0] 有效	1.8V, 具有外部电路板环回的 SDR	0.6	ns
		3.3V, 具有外部电路板环回的 SDR	0.9	ns
O22	保持时间, 在有效 OSPI0_DQS 边沿之后 OSPI0_D[7:0] 有效	1.8V, 具有外部电路板环回的 SDR	1.7	ns
		3.3V, 具有外部电路板环回的 SDR	2.0	ns

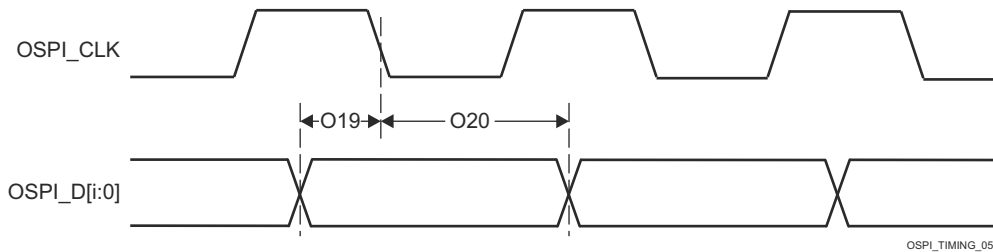


图 6-99. OSPI0 时序要求 - 具有内部 PHY 环回的 PHY SDR

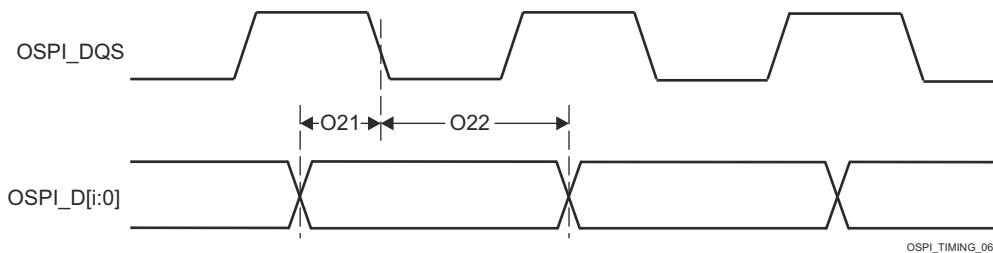


图 6-100. OSPI0 时序要求 - 具有外部电路板环回的 PHY SDR

表 6-118. OSPI0 开关特性 - PHY SDR 模式

请参阅图 6-101

编号	参数		模式	最小值	最大值	单位
O7	$t_{c(\text{CLK})}$	周期时间, OSPI0_CLK	1.8V	7		ns
			3.3V	6.03		ns
O8	$t_{w(\text{CLKL})}$	脉冲持续时间, OSPI0_CLK 低电平		$((0.475P^{(1)}) - 0.3)$		ns
O9	$t_{w(\text{CLKH})}$	脉冲持续时间, OSPI0_CLK 高电平		$((0.475P^{(1)}) - 0.3)$		ns
O10	$t_{d(\text{CSn-CLK})}$	延迟时间, OSPI0_CS _n [3:0] 有效边沿到 OSPI0_CLK 上升沿		$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)} - 1))$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)} + 1))$	ns
O11	$t_{d(\text{CLK-CSn})}$	延迟时间, OSPI0_CLK 上升沿到 OSPI0_CS _n [3:0] 无效边沿		$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)} - 1))$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)} + 1))$	ns
O12	$t_{d(\text{CLK-D})}$	延迟时间, OSPI0_CLK 有效边沿到 OSPI0_D[7:0] 转换	1.8V	-1.16	1.25	ns
			3.3V	-1.33	1.51	ns

- (1) P = SCLK 周期时间 (以 ns 为单位) = OSPI0_CLK 周期时间 (以 ns 为单位)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = 基准时钟周期时间 (以 ns 为单位)

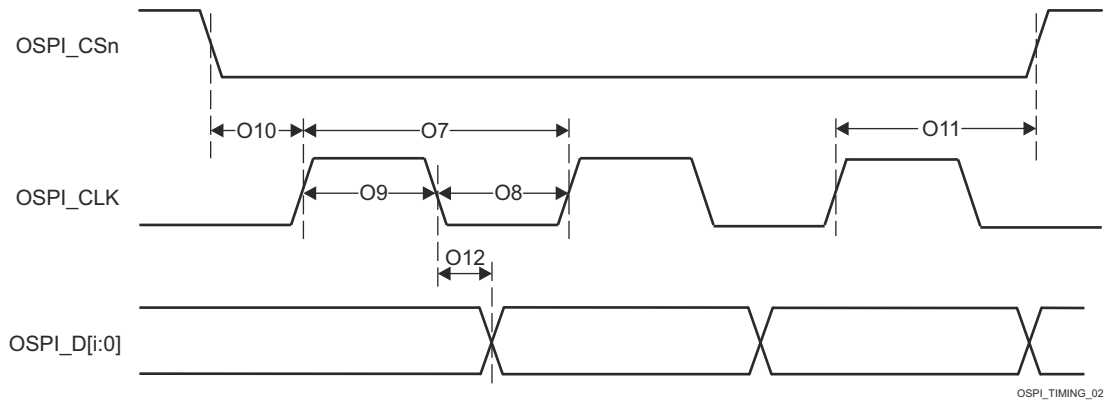


图 6-101. OSPI0 开关特性 - PHY SDR

6.9.5.19.1.2.2 OSPI0 PHY DDR 时序

表 6-119 定义了 OSPI0 PHY DDR 模式所需的 DLL 延迟。表 6-120、图 6-102、表 6-121 和图 6-103 展示了 OSPI0 PHY DDR 模式的时序要求和开关特性。

表 6-119. PHY DDR 时序模式的 OSPI0 DLL 延迟映射

模式	OSPI_PHY_CONFIGURATION_REG 位字段	延迟值
发送		
1.8V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x46
3.3V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x43
接收		
1.8V, DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x15
3.3V, DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x3A
所有其他模式	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0

表 6-120. OSPI0 时序要求 - PHY DDR 模式

请参阅图 6-102

编号		模式	最小值	最大值	单位
O15	$t_{su}(D-LBCLK)$	建立时间, 在有效 OSPI0_DQS 边沿之前 OSPI0_D[7:0] 有效	1.8V, 具有外部电路板环回的 DDR	0.53	ns
			1.8V, 具有 DQS 的 DDR	-0.46	ns
			3.3V, 具有外部电路板环回的 DDR	1.23	ns
			3.3V, 具有 DQS 的 DDR	-0.66	ns
O16	$t_h(LBCLK-D)$	保持时间, 在有效 OSPI0_DQS 边沿之后 OSPI0_D[7:0] 有效	1.8V, 具有外部电路板环回的 DDR	1.24 ⁽¹⁾	ns
			1.8V, 具有 DQS 的 DDR	3.59	ns
			3.3V, 具有外部电路板环回的 DDR	1.44 ⁽¹⁾	ns
			3.3V, 具有 DQS 的 DDR	7.92	ns

(1) 此保持时间要求大于典型 OSPI/QSPI/SPI 器件提供的保持时间。因此, SoC 和所连接 OSPI/QSPI/SPI 器件之间的布线长度必须足够长, 以确保满足 SoC 的保持时间。SoC 的外部环回时钟 (OSPI0_LBCLKO 至 OSPI0_DQS) 的长度可能需要缩短才能进行补偿。

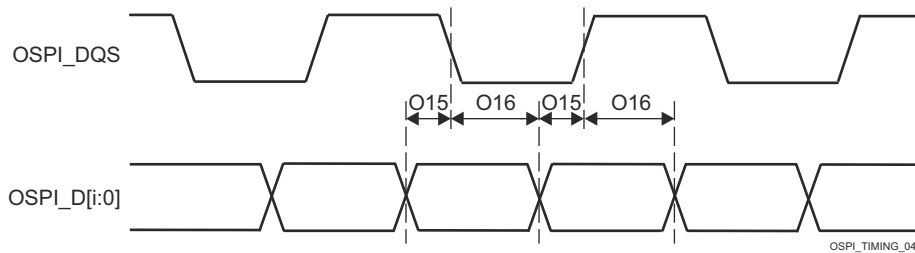


图 6-102. OSPI0 时序要求 - 具有外部电路板环回或 DQS 的 PHY DDR

表 6-121. OSPI0 开关特性 - PHY DDR 模式

请参阅图 6-103

编号	参数		模式	最小值	最大值	单位
O1	$t_{c(\text{CLK})}$	周期时间, OSPI0_CLK		19		ns
O2	$t_{w(\text{CLKL})}$	脉冲持续时间, OSPI0_CLK 低电平		$((0.475P^{(1)}) - 0.3)$		ns
O3	$t_{w(\text{CLKH})}$	脉冲持续时间, OSPI0_CLK 高电平		$((0.475P^{(1)}) - 0.3)$		ns
O4	$t_{d(\text{CSn-CLK})}$	延迟时间, OSPI0_CS _n [3:0] 有效边沿到 OSPI0_CLK 上升沿		$((0.475P^{(1)}) - (0.975M^{(2)}R^{(4)}))$	$((0.525P^{(1)}) - (1.025M^{(2)}R^{(4)}) + 7)$	ns
O5	$t_{d(\text{CLK-CSn})}$	延迟时间, OSPI0_CLK 上升沿到 OSPI0_CS _n [3:0] 无效边沿		$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - 7)$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)}))$	ns
O6	$t_{d(\text{CLK-D})}$	延迟时间, OSPI0_CLK 有效边沿到 OSPI0_D[7:0] 转换	1.8V	-7.71	-1.56	ns
			3.3V	-7.71	-1.56	ns

(1) P = SCLK 周期时间 (以 ns 为单位) = OSPI0_CLK 周期时间 (以 ns 为单位)

(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]

(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]

(4) R = 基准时钟周期时间 (以 ns 为单位)

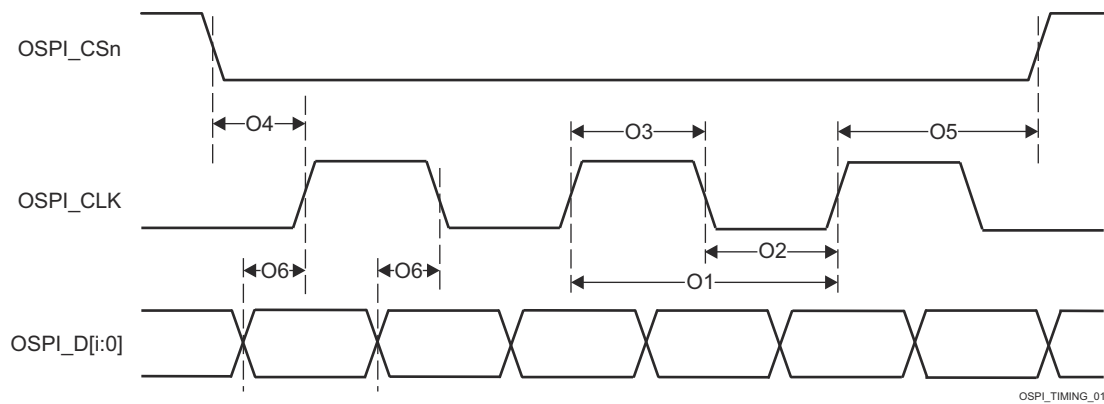


图 6-103. OSPI0 开关特性 - PHY DDR

6.9.5.19.2 OSPI0 Tap 模式

6.9.5.19.2.1 OSPI0 Tap SDR 时序

表 6-122、图 6-104、表 6-123 和图 6-105 说明了 OSPI0 的时序要求和开关特性 - Tap SDR 模式。

表 6-122. OSPI0 时序要求 - Tap SDR 模式

请参阅图 6-104

编号			模式	最小值	最大值	单位
O19	$t_{su}(D-CLK)$	建立时间，在有效 OSPI0_CLK 边沿之前 OSPI0_D[7:0] 有效	无环回	(15.4 - (0.975T ⁽¹⁾ R ⁽²⁾))		ns
O20	$t_{h}(CLK-D)$	保持时间，在有效 OSPI0_CLK 边沿之后 OSPI0_D[7:0] 有效	无环回	(- 4.3 + (0.975T ⁽¹⁾ R ⁽²⁾))		ns

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]

(2) R = 基准时钟周期时间 (以 ns 为单位)

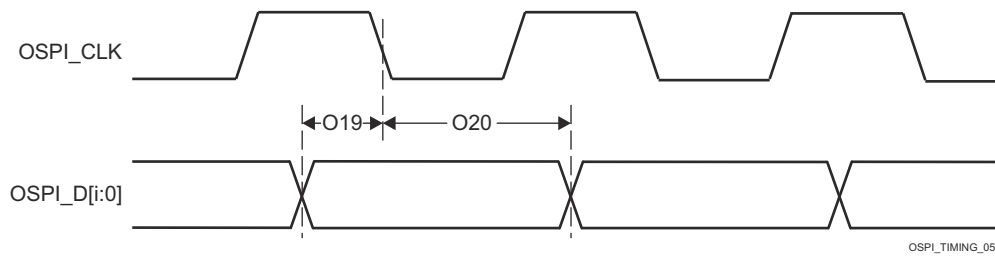


图 6-104. OSPI0 时序要求 - Tap SDR，无环回

表 6-123. OSPI0 开关特性 - Tap SDR 模式

请参阅图 6-105

编号	参数	模式	最小值	最大值	单位
O7	$t_{c(\text{CLK})}$	周期时间, OSPI0_CLK	20		ns
O8	$t_{w(\text{CLKL})}$	脉冲持续时间, OSPI0_CLK 低电平	$((0.475P^{(1)}) - 0.3)$		ns
O9	$t_{w(\text{CLKH})}$	脉冲持续时间, OSPI0_CLK 高电平	$((0.475P^{(1)}) - 0.3)$		ns
O10	$t_{d(\text{CSn-CLK})}$	延迟时间, OSPI0_CS _n [3:0] 有效边沿到 OSPI0_CLK 上升沿	$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)} - 1))$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)} + 1))$	ns
O11	$t_{d(\text{CLK-CSn})}$	延迟时间, OSPI0_CLK 上升沿到 OSPI0_CS _n [3:0] 无效边沿	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)} - 1))$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)} + 1))$	ns
O12	$t_{d(\text{CLK-D})}$	延迟时间, OSPI0_CLK 有效边沿到 OSPI0_D[7:0] 转换	- 4.25	7.25	ns

(1) P = SCLK 周期时间 (以 ns 为单位) = OSPI0_CLK 周期时间 (以 ns 为单位)

(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]

(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]

(4) R = 基准时钟周期时间 (以 ns 为单位)

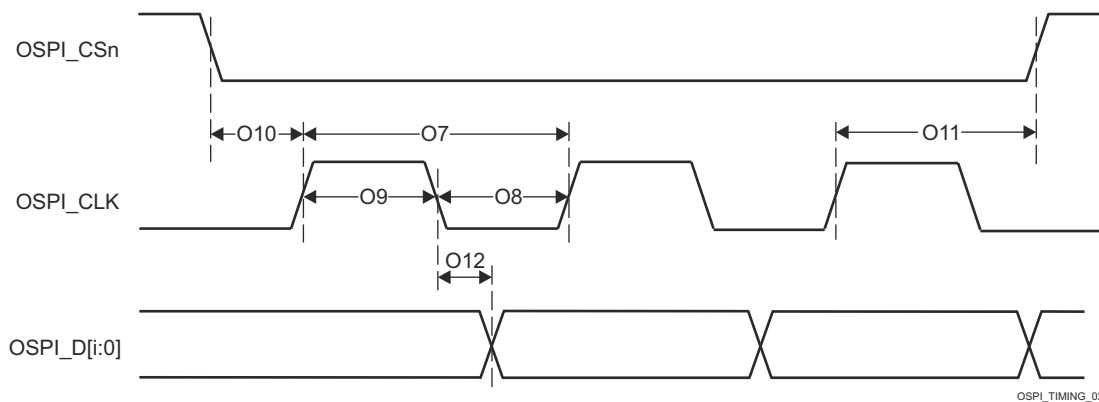


图 6-105. OSPI0 开关特性 - Tap SDR, 无环回

6.9.5.19.2.2 OSPI0 Tap DDR 时序

表 6-124、图 6-106、表 6-125 和图 6-107 展示了 OSPI0 的时序要求和开关特性 - Tap DDR 模式。

表 6-124. OSPI0 时序要求 - Tap DDR 模式

请参阅图 6-106

编号		模式	最小值	最大值	单位
O13	$t_{su(D-CLK)}$	建立时间，在有效 OSPI0_CLK 边沿之前 OSPI0_D[7:0] 有效	(17.04 - (0.975T ⁽¹⁾ R ⁽²⁾))		ns
O14	$t_{h(CLK-D)}$	保持时间，在有效 OSPI0_CLK 边沿之后 OSPI0_D[7:0] 有效	(- 3.16 + (0.975T ⁽¹⁾ R ⁽²⁾))		ns

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]

(2) R = 基准时钟周期时间 (以 ns 为单位)

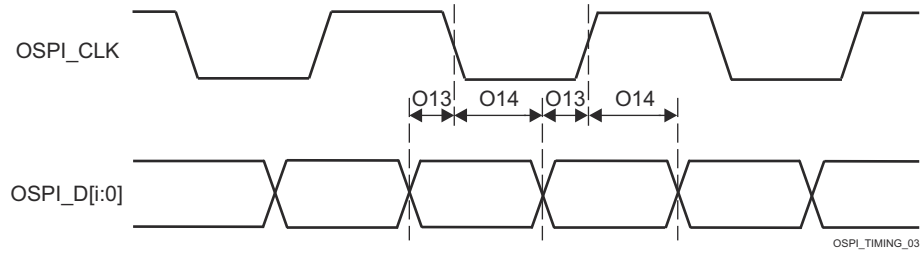


图 6-106. OSPI0 时序要求 - Tap DDR，无环回

表 6-125. OSPI0 开关特性 - Tap DDR 模式

请参阅图 6-107

编号	参数	模式	最小值	最大值	单位
O1	$t_{c}(\text{CLK})$	周期时间, OSPI0_CLK	40		ns
O2	$t_{w}(\text{CLKL})$	脉冲持续时间, OSPI0_CLK 低电平	$((0.475P^{(1)}) - 0.3)$		ns
O3	$t_{w}(\text{CLKH})$	脉冲持续时间, OSPI0_CLK 高电平	$((0.475P^{(1)}) - 0.3)$		ns
O4	$t_{d}(\text{CSn-CLK})$	延迟时间, OSPI0_CS _n [3:0] 有效边沿到 OSPI0_CLK 上升沿	$((0.475P^{(1)}) + ((0.975M^{(2)}R^{(5)}) - 1))$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(5)}) + 1)$	ns
O5	$t_{d}(\text{CLK-CSn})$	延迟时间, OSPI0_CLK 上升沿到 OSPI0_CS _n [3:0] 无效边沿	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(5)}) + 1)$	ns
O6	$t_{d}(\text{CLK-D})$	延迟时间, OSPI0_CLK 有效边沿到 OSPI0_D[7:0] 转换	$(- 5.04 + (0.975(T^{(4)} + 1)R^{(5)}) - (0.525P^{(1)}))$	$(3.64 + (1.025(T^{(4)} + 1)R^{(5)}) - (0.475P^{(1)}))$	ns

(1) P = SCLK 周期时间 (以 ns 为单位) = OSPI0_CLK 周期时间 (以 ns 为单位)

(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]

(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]

(4) T = OSPI_RD_DATA_CAPTURE_REG[DDR_READ_DELAY_FLD]

(5) R = 基准时钟周期时间 (以 ns 为单位)

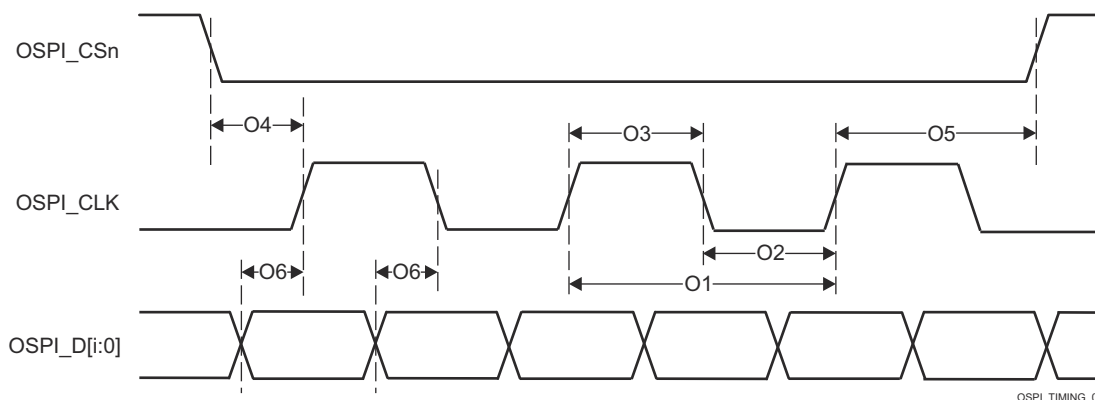


图 6-107. OSPI0 开关特性 - Tap DDR, 无环回

6.9.5.20 PCIe

PCI-Express 子系统符合 PCIe® 基础规范修订版 4.0。有关时序详细信息, 请参阅规范。

有关器件快速外设组件互连 (PCIe) 功能的更多详细信息和附加说明信息, 请参阅详细说明书中的 SERDES0 信号说明和相应小节。

有关更多信息, 请参阅器件 TRM 中外设一章的快速外设组件互连 (PCIe) 子系统一节。

6.9.5.21 计时器

有关器件计时器特性和其他说明信息的更多详情，请参阅 *信号说明* 和 *详细说明* 部分中的相应小节。

表 6-126. 计时器时序条件

参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	0.5	5	V/ns
输出条件				
C _L	输出负载电容	2	10	pF

表 6-127. 计时器输入时序要求

请参阅图 6-108

编号	参数	说明	模式	最小值	最大值	单位
T1	t _{w(TINPH)}	脉冲持续时间，高电平	捕获	4P ⁽¹⁾ + 2.5		ns
T2	t _{w(TINPL)}	脉冲持续时间，低电平	捕获	4P ⁽¹⁾ + 2.5		ns

(1) P = 功能时钟周期 (以 ns 为单位)。

表 6-128. 计时器输出开关特性

请参阅图 6-108

编号	参数	说明	模式	最小值	最大值	单位
T3	t _{w(TOUTH)}	脉冲持续时间，高电平	PWM	4P ⁽¹⁾ - 2.5		ns
T4	t _{w(TOURL)}	脉冲持续时间，低电平	PWM	4P ⁽¹⁾ - 2.5		ns

(1) P = 功能时钟周期 (以 ns 为单位)。

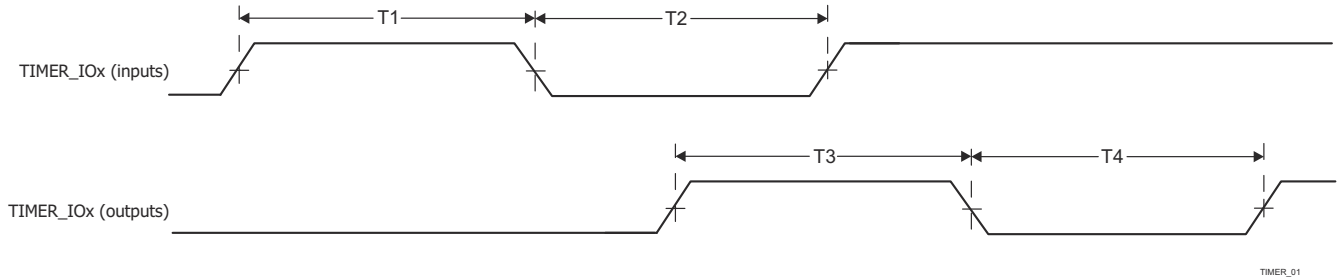


图 6-108. 计时器时序要求和开关特性

有关更多信息，请参阅器件 TRM 的外设一章中的 *计时器* 一节。

6.9.5.22 UART

有关器件通用异步接收器/发送器特性和其他说明信息的更多详情，请参阅 *信号说明* 和 *详细说明* 部分中的相应小节。

表 6-129. UART 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	0.5	5	V/ns
输出条件				
C _L	输出负载电容	1	30 ⁽¹⁾	pF

- (1) 该值表示绝对最大负载电容。随着 UART 波特率的增加，可能需要将负载电容减小到小于此最大限制的值，以便为连接的器件提供足够的时序裕度。输出上升/下降时间随着容性负载的增加而增加，这会减少数据对所连接器件的接收器有效的的时间。因此，了解连接器件在工作波特率下所需的最短数据有效时间非常重要。然后使用器件 IBIS 模型来验证 UART 信号上的实际负载电容是否不会将上升/下降时间增加到超出所连接器件的最小数据有效时间的点。

表 6-130. UART 时序要求

请参阅图 6-109

编号	参数	说明	最小值	最大值	单位
1	t _{w(RXD)}	脉冲宽度，接收数据位高电平或低电平	0.95U ⁽¹⁾ (2)	1.05U ⁽¹⁾ (2)	ns
2	t _{w(RXDS)}	脉冲宽度，接收开始位低电平	0.95U ⁽¹⁾ (2)		ns

- (1) U = UART 波特时间 (以 ns 为单位) = 1/编程波特率。
 (2) 该值定义了数据有效时间，其中要求输入电压高于 V_{IH} 或低于 V_{IL}。

表 6-131. UART 开关特性

请参阅图 6-109

编号	参数	说明	最小值	最大值	单位
	f _(baud)	主域 UART 的可编程波特率		12	Mbps
		MCU 和 WKUP 域 UART 的可编程波特率		3.7	Mbps
3	t _{w(TXD)}	脉冲宽度，发送数据位高电平或低电平	U ⁽¹⁾ - 2	U ⁽¹⁾ + 2	ns
4	t _{w(TXDS)}	脉冲宽度，发送开始位低电平	U ⁽¹⁾ - 2		ns

- (1) U = UART 波特时间 (以 ns 为单位) = 1/实际波特率，器件 TRM 的 UART 波特率设置表中定义了实际波特率。

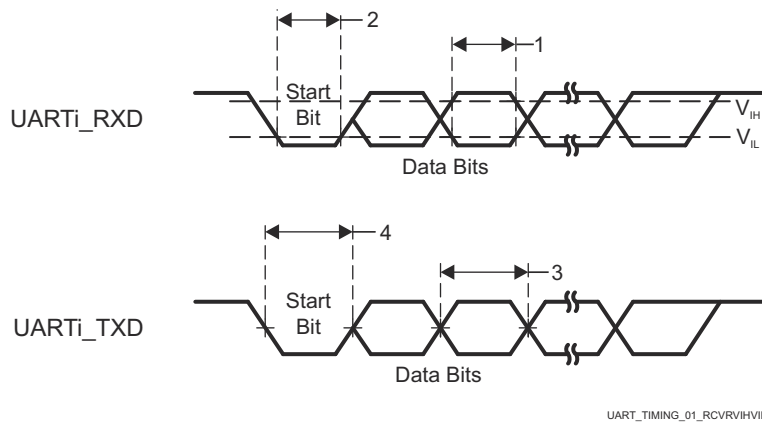


图 6-109. UART 时序要求和开关特性

有关更多信息，请参阅器件 TRM 的外设一章中的 *通用异步接收器/发送器 (UART)* 一节。

6.9.5.23 USB

USB 2.0 子系统符合通用串行总线 (USB) 规范修订版 2.0。有关时序详细信息，请参阅规范。

有关通用串行总线子系统 (USB) 特性和其他说明信息的更多详情，请参阅 *信号说明* 和 *详细说明* 部分中的相应小节。

7 详细说明

7.1 概述

AM67x 可扩展处理器系列采用不断发展的 Jacinto™ 7 架构，面向智能视觉摄像头和通用计算应用，基于 TI 十多年来引领视觉处理器市场所积累的广泛先进市场知识而构建。AM67x 系列专为工厂自动化、楼宇自动化和其他市场中广泛的成本敏感型高性能计算应用而构建。

主要特性和优势：

- 借助 Linux® 和 Android™ 以及实时功能安全和信息安全 SDK 专注于创新和快速开发。
- 利用新一代 3D GPU 和 4K 视频加速满足下一波 HMI 设计的需求。
- 通过广泛的汽车和高速 IO 增强您的设计连接性，其中包括：4x CAN-FD、3 端口千兆位以太网交换机（两个外部端口），支持 TSN，和两个 USB2.0 端口。
- 通过内置硬件安全模块 (HSM) 支持最新的网络安全要求。
- 使用 Arm® Cortex®-A53 CPU 及开源 AI 软件和工具提供智能功能，例如面部识别和非接触式 HMI

AM67x 处理器符合 AEC-Q100 汽车标准并支持工业级。可以使用集成的 Arm Cortex-R5F 内核和专用外设来满足 ASIL-B 和 SIL-2 功能安全要求，这些内核和外设均可与处理器的其余部分隔离。

8 应用、实现和布局

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 器件连接和布局基本准则

8.1.1 电源

8.1.1.1 配电网络实施指南

[Sitara 处理器配电网络：实施与分析](#) 为配电网络的成功实施提供指导。这包括 PCB 叠层指导以及优化去耦电容器的选择和放置的指导。TI 仅支持遵循此应用报告中所包含的电路板设计指南的设计。

8.1.2 外部振荡器

有关外部振荡器的更多信息，请参阅[时钟规格](#)一节。

8.1.3 JTAG、仿真和跟踪

德州仪器 (TI) 支持各种扩展开发系统 (XDS) JTAG 控制器，除了 JTAG 支持之外，还提供各种调试功能。[XDS 目标连接指南](#)中提供了有关此信息的摘要。

有关 JTAG、仿真和跟踪布线的建议，请参阅[仿真和跟踪接头技术参考手册](#)

8.1.4 未使用的引脚

有关未使用的引脚的更多信息，请参阅[引脚连接要求](#)。

8.2 外设和接口的相关设计信息

8.2.1 LPDDR4 电路板设计和布局布线指南

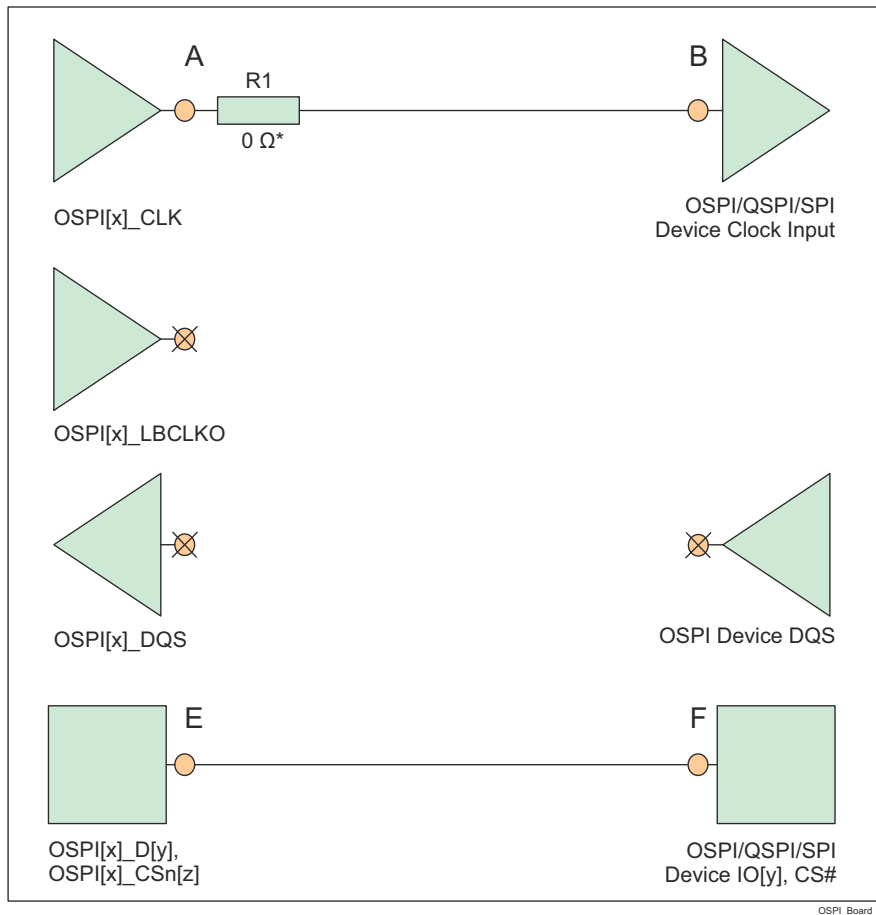
[Jacinto 7 DDR 电路板设计和布局布线指南](#) 旨在为所有设计人员简化 LPDDR4 系统的实现，并将要求提炼为一组布局和布线规则，使设计人员能够针对 TI 支持的拓扑成功实施稳健的设计。TI 仅支持遵循本文档中的指南并使用 LPDDR4 存储器的电路板设计。

8.2.2 OSPI/QSPI/SPI 电路板设计和布局指南

以下部分详细介绍了在连接 OSPI、QSPI 或 SPI 器件时必须遵守的 PCB 布线指南。

8.2.2.1 无环回、内部 PHY 环回和内部焊盘环回

- OSPI[x]_CLK 输出引脚必须连接到所连接的 OSPI/QSPI/SPI 器件的 CLK 输入引脚
- 从 OSPI[x]_CLK 引脚到所连接的 OSPI/QSPI/SPI 器件 CLK 引脚 (A 到 B) 的信号传播延迟必须 $\leq 450\text{ps}$ (带状线约为 7cm, 微带线约为 8cm)
- 每个 OSPI[x]_D[y] 和 OSPI[x]_CSn[z] 引脚到所连接的相应 OSPI/QSPI/SPI 器件数据和控制引脚 (E 到 F, 或 F 到 E) 的信号传播延迟必须约等于从 OSPI[x]_CLK 引脚到所连接 OSPI/QSPI/SPI 器件 CLK 引脚 (A 到 B) 的信号传播延迟
- 建议将 $50\ \Omega$ PCB 布线与串联端接一起使用, 如图 8-1 所示
- 传播延迟和匹配:
 - (A 到 B) $\leq 450\text{ps}$
 - (E 至 F, 或 F 至 E) = (A 至 B) $\pm 60\text{ps}$



* 尽可能靠近 OSPI[x]_CLK 引脚的 $0\ \Omega$ 电阻器 (R1) 是用于微调 (如果需要) 的占位元件。

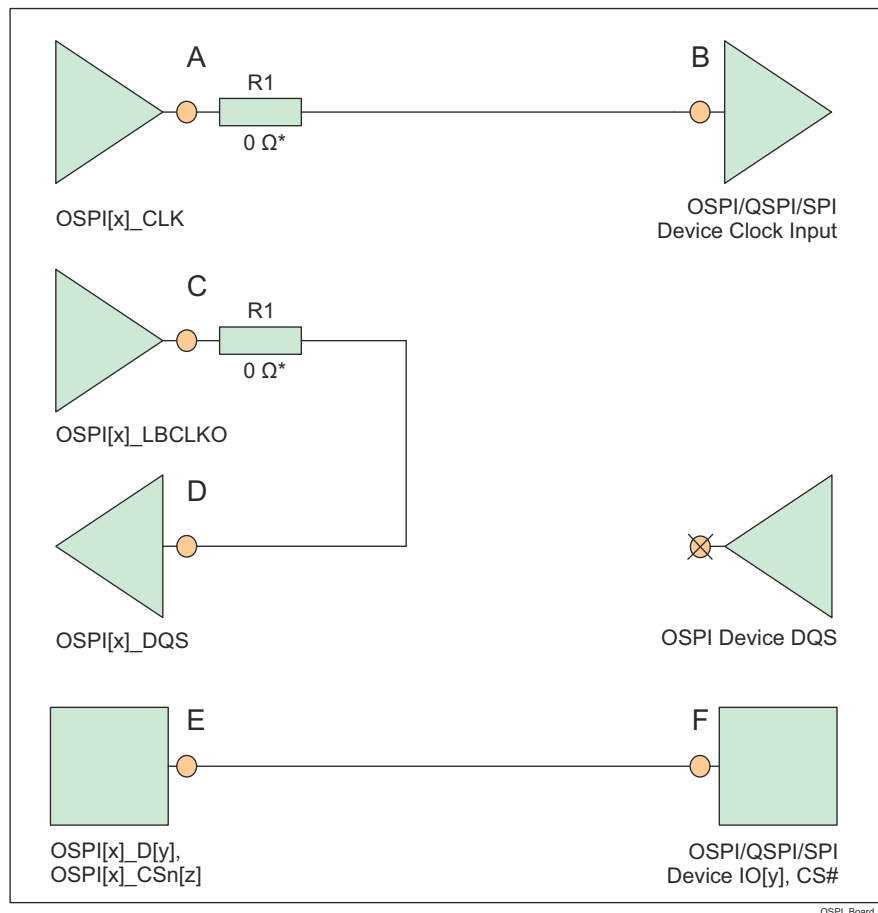
图 8-1. 无环回、内部 PHY 环回和内部焊盘环回的 OSPI 连接原理图

8.2.2.2 外部电路板环回

- OSPI[x]_CLK 输出引脚必须连接到所连接的 OSPI/QSPI/SPI 器件的 CLK 输入引脚
- OSPI[x]_LBCLKO 输出引脚必须环回 OSPI[x]_DQS 输入引脚
- OSPI[x]_LBCLKO 引脚到 OSPI[x]_DQS 引脚 (C 到 D) 的信号传播延迟必须大约是 OSPI[x]_CLK 引脚到所连接的 OSPI/QSPI/SPI 器件 CLK 引脚 (A 到 B) 的传播延迟的两倍
- 每个 OSPI[x]_D[y] 和 OSPI[x]_CSn[z] 引脚到所连接的相应 OSPI/QSPI/SPI 器件数据和控制引脚 (E 到 F , 或 F 到 E) 的信号传播延迟必须约等于从 OSPI[x]_CLK 引脚到所连接 OSPI/QSPI/SPI 器件 CLK 引脚 (A 到 B) 的信号传播延迟
- 建议将 50 Ω PCB 布线与串联端接一起使用, 如图 8-2 所示
- 传播延迟和匹配 :
 - (C 到 D) = $2 \times ((A 到 B) \pm 30ps)$, 请参阅下面的例外说明。
 - (E 到 F , 或 F 到 E) = $((A 到 B) \pm 60ps)$

备注

外部板环回保持时间要求 (由 *OSPI0 时序要求 - PHY DDR 模式* 一节中的编号为 O16 的参数定义) 可能大于典型 OSPI/QSPI/SPI 器件提供的保持时间。在这种情况下, 可以减少 OSPI[x]_LBCLKO 引脚到 OSPI[x]_DQS 引脚 (C 到 D) 的传播延迟, 以提供额外的保持时间。

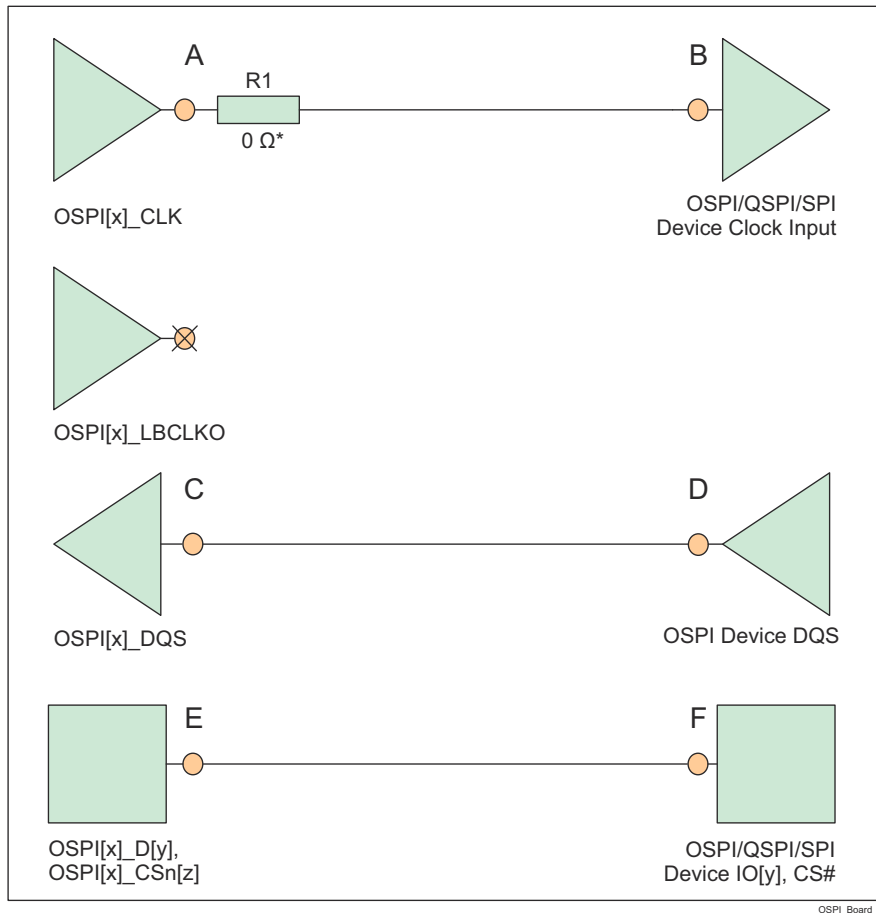


* 0 Ω 电阻器 (R1) 尽可能靠近 OSPI[x]_CLK 和 OSPI[x]_LBCLKO 引脚, 是用于微调 (如果需要) 的占位元件。

图 8-2. 外部板环回的 OSPI 连接原理图

8.2.2.3 DQS (仅适用于八路 SPI 器件)

- OSPI[x]_CLK 输出引脚必须连接到所连接的 OSPI/QSPI/SPI 器件的 CLK 输入引脚
- 所连接 OSPI/QSPI/SPI 器件的 DQS 引脚必须连接到 OSPI[x]_DQS 引脚
- 从所连接 OSPI/QSPI/SPI 器件 DQS 引脚到 OSPI[x]_DQS 引脚 (D 到 C) 的信号传播延迟必须约等于从 OSPI[x]_CLK 引脚到所连接 OSPI/QSPI/SPI 器件 CLK 引脚 (A 至 B) 的信号传播延迟
- 每个 OSPI[x]_D[y] 和 OSPI[x]_CSn[z] 引脚到所连接的相应 OSPI/QSPI/SPI 器件数据和控制引脚 (E 到 F, 或 F 到 E) 的信号传播延迟必须约等于从 OSPI[x]_CLK 引脚到所连接 OSPI/QSPI/SPI 器件 CLK 引脚 (A 到 B) 的信号传播延迟
- 建议将 50 Ω PCB 布线与串联端接一起使用, 如图 8-3 所示
- 传播延迟和匹配:
 - (D 至 C) = (A 至 B) ± 30ps
 - (E 至 F, 或 F 至 E) = (A 至 B) ± 60ps



* 尽可能靠近 OSPI[x]_CLK 引脚的 0 Ω 电阻器 (R1) 是用于微调 (如果需要) 的占位符。

图 8-3. DQS 的 OSPI 连接原理图

8.2.3 USB VBUS 设计指南

USB 3.1 规范允许 VBUS 电压在正常运行时高达 5.5V，在支持“电力输送”附录时高达 20V。一些汽车应用要求最大电压为 30V。

该器件要求使用外部电阻分压器按比例缩小 VBUS 信号电压（如图 8-4 所示），这限制了施加到实际器件引脚（USB_n_VBUS）的电压。这些外部电阻器的容差应等于或小于 1%，齐纳二极管在 5V 时的漏电流应小于 100nA。

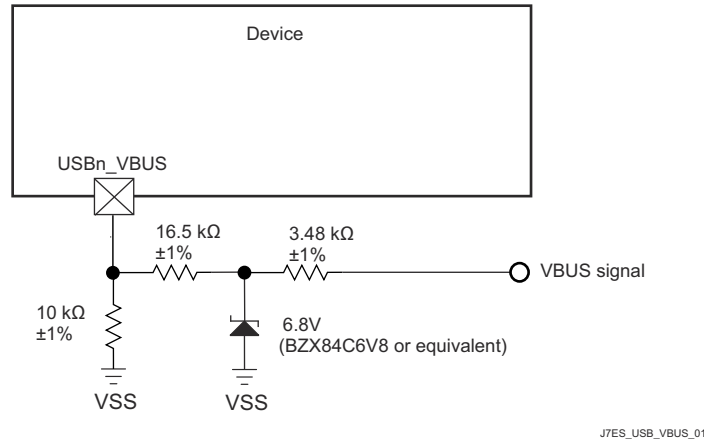


图 8-4. USB VBUS 检测分压器/钳位电路

USB₀_VBUS 引脚可被视为失效防护引脚，因为在器件断电时施加 VBUS 的情况下，图 8-4 中的外部电路会限制实际器件引脚的输入电流。

8.2.4 系统电源监测设计指南

VMON_VSYS 引脚提供了一种监测系统电源的方法。该系统电源通常是用于整个系统的单个预稳压电源，可通过外部电阻分压器电路连接到 VMON_VSYS 引脚。通过将外部分压器输出电压与内部电压基准进行比较来监控该系统电源，当施加到 VMON_VSYS 的电压降至内部基准电压以下时，将触发电源故障事件。在选择用于实现外部电阻分压器电路的元件值时，系统设计人员可确定实际系统电源电压跳闸点。

在设计电阻分压器电路时，设计人员必须了解导致系统电源监测跳闸点可变性的各种因素。首先要考虑的是 VMON_VSYS 输入阈值的初始精度，其标称值为 0.45V，变化为 ±3%。建议使用具有相似热系数的精度为 1% 的电阻器来实现电阻分压器。这可更大程度地减小电阻值容差导致的可变性。还必须考虑与 VMON_VSYS 相关的输入漏电流，因为任何流入引脚的电流都会在分压器输出上产生负载误差。当施加 0.45V 电压时，VMON_VSYS 输入漏电流范围为 10nA 至 2.5μA。

备注

电阻分压器的设计应确保在正常运行条件下，输出电压绝不超过 *建议运行条件* 部分中定义的最大值。

图 8-5 给出了一个示例，其中系统电源的标称电压为 5V，最大触发阈值为 5V - 10% 或 4.5V。

对于此示例，设计人员必须在选择电阻器值时了解哪些变量会影响最大触发阈值。在尝试设计一个在系统电源下降 10% 之前不会跳闸的分压器时，需要考虑 VMON_VSYS 输入阈值为 0.45V + 3% 的器件。还需要考虑电阻器容差和输入泄漏的影响，但对最大触发点的影响并不明显。在选择会产生最大触发电压的元件值时，系统设计人员必须考虑以下情况：R1 的值为 1% 低、R2 的值为 1% 高，再加上 VMON_VSYS 引脚的输入漏电流为 2.5μA。当采用 R1 = 4.81KΩ 且 R2 = 40.2KΩ 的电阻分压器时，产生的最大触发阈值为 4.517V。

一旦选择了满足上述最大触发电压的元件值，系统设计人员就可以通过计算施加的电压来确定最小触发电压，该电压可在 R1 的值为 1% 高、R2 的值为 1% 低且输入漏电流为 10nA 或零时产生 0.45V - 3% 的输出电压。使用零输入漏电流和上面给出的电阻器值，结果为最小触发阈值 4.013V。

该示例演示了一个范围为 4.013V 至 4.517V 的系统电源电压跳闸点。当 VMON_VSYS 输入漏电流为 2.5 μ A 时，该范围中约 250mV 是通过 $\pm 3\%$ 的 VMON_VSYS 输入阈值精度引入的，约 150mV 是通过 $\pm 1\%$ 的电阻容差引入的，约 100mV 是通过负载误差引入的。

当系统电源为 4.5V 时，该示例中选择的电阻值会通过电阻分压器产生大约 100 μ A 的偏置电流。通过将流经电阻分压器的偏置电流增大至大约 1mA，可将上述 100mV 的负载误差降低至大约 10mV。因此，系统设计人员在选择元件值时需要考虑电阻分压器偏置电流与负载误差之间的关系。

由于 VMON_VSYS 具有极小的迟滞和对瞬态的高带宽响应，系统设计人员还必须考虑在分压器输出端实现噪声滤波器。这可通过在 R1 上安装一个电容器来实现，如图 8-5 所示。然而，系统设计人员必须根据系统电源噪声和对瞬态事件的预期响应来确定此滤波器的响应时间。

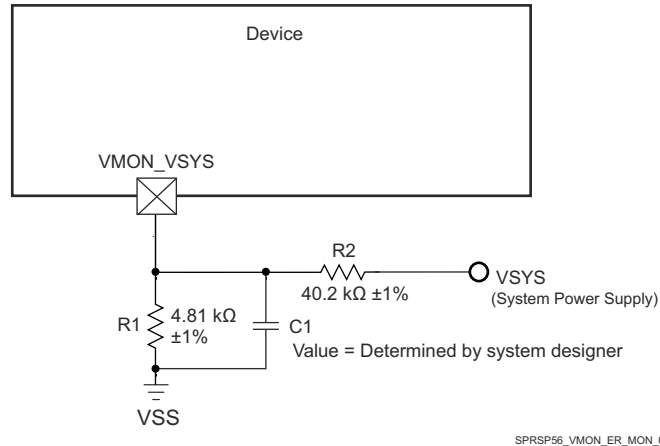


图 8-5. 系统电源监测分压器电路

VMON_1P8_SOC 引脚提供了一种监控外部 1.8V 电源的方法。该引脚必须直接连接到各自的电源。SoC 内部为这些引脚的每一个都实现了一个具有软件控制的内部电阻分压器。软件可以对每个内部电阻分压器进行编程，以创建适当的欠压和过压中断。

VMON_3P3_SOC 引脚提供了一种监控外部 3.3V 电源的方法。该引脚必须直接连接到各自的电源。SoC 内部为这些引脚的每一个都实现了一个具有软件控制的内部电阻分压器。软件可以对每个内部电阻分压器进行编程，以创建适当的欠压和过压中断。

8.2.5 高速差分信号布线指南

高速接口布局布线指南提供了如何为高速差分信号成功布线的指导。其中包括 PCB 堆叠和材料指导以及布线偏移、长度和间距限制。TI 仅支持遵循此应用手册中所包含的电路板设计指南的设计。

8.2.6 散热解决方案指导

DSP 和 ARM 应用处理器热设计指南为包含此器件的系统设计提供了如何成功实施散热解决方案的指导。本文档提供了与散热解决方案相关的常见术语和方法的背景信息。TI 仅支持遵循此应用手册中所包含的系统设计指南的设计。

8.3 时钟布线指南

8.3.1 振荡器路由

在设计印刷电路板时：

- 将所有晶体电路元件尽可能靠近相应的器件引脚放置。
- 在 PCB 的外层布置晶体电路布线，并尽量缩短布线长度，以减少寄生电容并尽可能减少其他信号的串扰。
- 在 PCB 的相邻层上放置一个连续的接地平面，使其位于所有晶体电路元件和晶体电路布线的下方。
- 在晶体电路元件周围布置接地防护，以屏蔽在与晶体电路布线布置在同一层上的所有相邻信号。插入多个过孔以拼接接地防护，使其没有任何末端接残桩。
- 在 MCU_OSC0_XI 和 MCU_OSC0_XO 信号之间布置接地防护，以使 MCU_OSC0_XO 信号和 MCU_OSC0_XI 信号相互屏蔽。插入多个过孔以拼接接地防护，使其没有任何末端接残桩。
- 如果在 PCB 的不同层上单独实现，则将所有晶体电路接地连接和接地防护连接直接连接到相邻层的接地平面和器件的 VSS 接地平面。

备注

在 MCU_OSC0_XI 和 MCU_OSC0_XO 信号之间实现接地防护对于尽可能减小两个信号之间的分流电容至关重要。在这两个信号间不存在接地防护的情况下，将这两个信号彼此相邻布置会有效地降低振荡器放大器的增益，进而降低其启动振荡的能力。

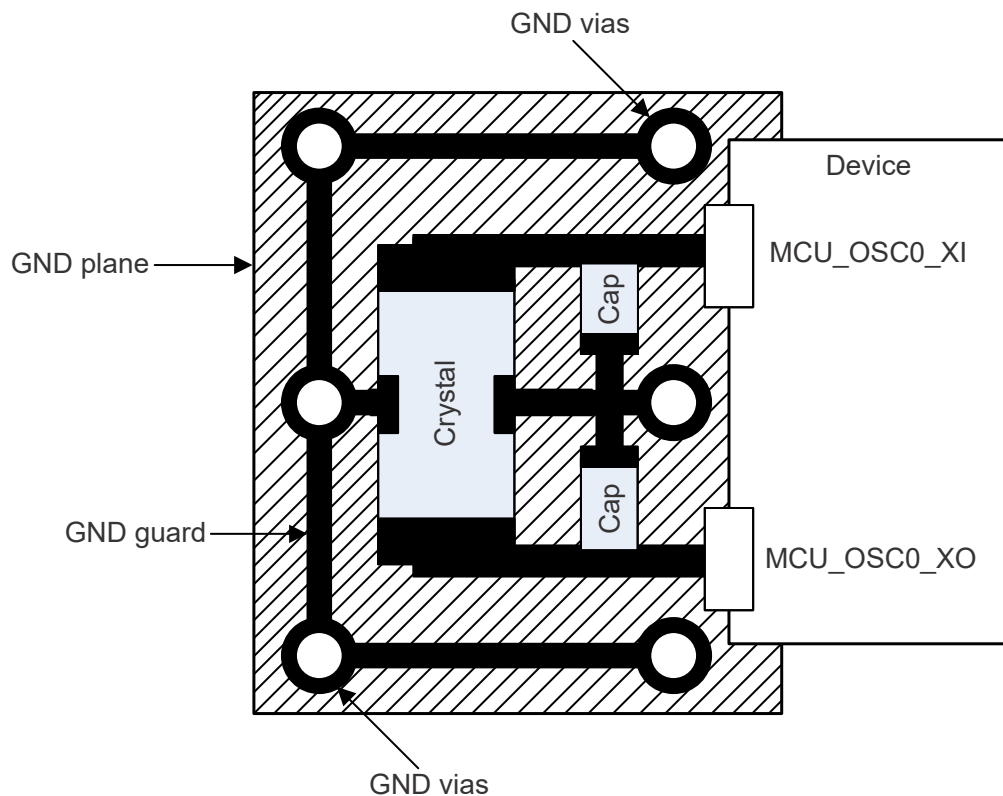


图 8-6. MCU_OSC0 PCB 要求

9 器件和文档支持

9.1 器件命名规则

为了指明产品开发周期所处的阶段，TI 为所有微处理器 (MPU) 和支持工具的器件型号分配了前缀。每个器件都具有以下三个前缀中的其中一个：X、P 或 null (无前缀) (例如，AM67xTBD)。德州仪器 (TI) 为其支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMDX) 直到完全合格的生产器件和工具 (TMDS)。

器件开发进化流程：

- X** 试验器件不一定代表最终器件的电气规格，并且可能不使用生产封装流程。
- P** 原型器件不一定是最终的器件芯片，并且不一定符合最终电气规格。
- 无** 完全合格的器件芯片量产版本。

支持工具开发演变流程：

- TMDX** 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。
- TMDS** 完全合格的开发支持产品。

X 和 P 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发中的产品用于内部评估用途。”

生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书对该器件适用。

预测显示原型器件 (X 或者 P) 的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

如需 AMW 封装类型的 AM67x 器件的可订购器件型号，请参阅本文档的“封装选项附录”、访问 TI 网站 (ti.com) 或联系您的 TI 销售代表。

9.1.1 标准封装编号法

备注

某些器件的器件封装顶部的表面可能有一个圆形标识，该标识是生产测试过程中产生的。此外，一些器件的封装基板颜色也可能因基板制造商的原因而有所不同。这些差异只在表面显示，不会影响可靠性。

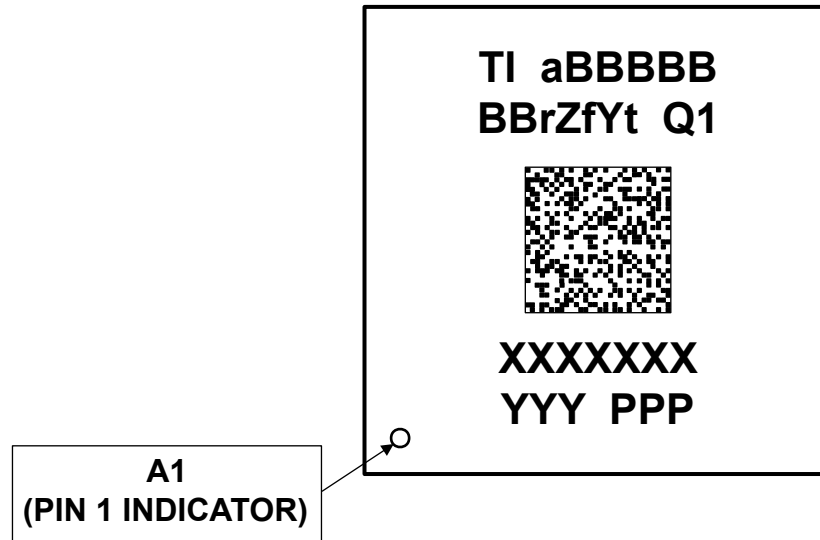


图 9-1. 印刷器件参考

9.1.2 器件命名约定

表 9-1. 命名规则说明

字段参数	字段说明	值	说明
a	器件演变阶段 ⁽¹⁾	X	原型
		P	预量产 (生产测试流程, 无可靠性数据)
		空白 (空)	量产
BBBBBBB 或 BBBBBB	基本生产器件型号	J722S ⁽²⁾	有关器件型号的更多详细信息, 请参阅 器件比较
		AM67A94	
		AM67A74	
		AM6754	
AM6734			
r	器件修订版本	A	SR 1.0
Z	器件速度等级	J	请参阅 器件速度等级表
		K	
f	特性	G	基本, 无额外特性
Y	安全性/功能安全	1 至 9	使用虚拟密钥进行保护/无功能安全
		H 至 R	使用生产密钥进行保护/无功能安全
		S 至 Z	使用生产密钥进行保护/功能安全
t	温度	I	- 40°C 至 125°C - “125°C 工业和汽车” (请参阅 建议运行条件)
Q1	汽车符号	空白	标准
		Q1	符合 AEC-Q100 认证要求, 但本文档 (数据表) 中指定的情况例外。 支持 T _J = - 40°C 至 125°C
	2D 条形码	不确定	可选 2D 条形码
		空白	
XXXXXXX	批次追踪代码 (LTC)		
YYY	生产代码; 仅供 TI 使用		
PPP	封装符号	AMW	AMW FCBGA (18mm × 18mm)
O	引脚 1 符号		

- (1) 为了标明产品开发周期的阶段, TI 为所有器件型号分配了前缀。这些前缀代表了产品开发的进展阶段, 即从工程原型直到完全合格的生产器件。
原型器件在供货时附带如下免责声明:
“本产品仍在开发中, 用于内部评估。”
无论是否有相反规定, TI 均不作任何明示、默示或法定的保证, 包括对此器件特定用途的适用性和适销性的任何暗示保证。
- (2) J722S 是预量产超集器件的基本器件型号。软件应限制用于匹配预期生产器件的功能。

备注

符号或器件型号中的空白将折叠显示, 以防字符间存在间隙。

9.2 工具与软件

以下开发工具支持针对 TI 嵌入式处理平台进行开发：

开发工具

Code Composer Studio™ 集成开发环境 Code Composer Studio (CCS) 集成开发环境 (IDE) 是支持 TI 微控制器和嵌入式处理器产品系列的开发环境。Code Composer Studio 包含一整套用于开发和调试嵌入式应用的工具。该工具包含优化的 C/C++ 编译器、源代码编辑器、工程构建环境、调试程序、分析器以及多种其他功能。直观的 IDE 提供了一个单一用户界面，可帮助用户完成应用开发流程的每个步骤。熟悉的工具和界面让用户能够比以往更快地上手。Code Composer Studio 将 Eclipse 软件框架的优势和 TI 高级嵌入式调试功能相结合，为嵌入式开发人员提供了一种极具吸引力且功能丰富的开发环境。

SysConfig-PinMux 工具 SysConfig-PinMux 工具是一款软件工具，可提供图形用户界面，用于配置引脚多路复用设置、解决冲突以及指定 TI 嵌入式处理器器件的 I/O 电池特性。该工具可用于自动计算适当的引脚多路复用配置，以满足输入的系统要求。该工具可生成输出 C 头文件/代码文件，这些文件可导入软件开发套件 (SDK)，并用于配置客户的软件以满足定制硬件要求。还提供[基于云的 SysConfig-PinMux 工具](#)。

有关处理器平台开发支持工具的完整列表，请访问德州仪器 (TI) 网站 www.ti.com.cn。有关价格和供货情况的信息，请联系最近的 TI 销售办事处或授权分销商。

9.3 文档支持

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击[通知](#)进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

以下文档对 AM67x 器件进行了介绍。

技术参考手册

J722S TDA4VEN TDA4AEN AM67 处理器器件版本 1.0 技术参考手册：详述了 AM67x 系列器件中每个外设和子系统的集成、环境、功能说明和编程模型。

勘误

J722S TDA4VEN TDA4AEN AM67 处理器器件版本 1.0 勘误表：说明了针对器件功能技术规格的已知例外情况。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或自行提出问题，以获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

9.5 商标

Android™ is a trademark of Google LLC.

Code Composer Studio™ and TI E2E™ are trademarks of Texas Instruments.

Arm®, Cortex®, and TrustZone® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

MIPI® is a registered trademark of Mobil Industry Processor Interface Alliance.

PCI-Express® is a registered trademark of PCI-SIG.

Secure Digital® and SD® are registered trademarks of SD Card Association.

Linux® is a registered trademark of Linus Torvalds.

所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

Changes from MARCH 22, 2024 to SEPTEMBER 30, 2024 (from Revision * (March 2024) to Revision A (September 2024))

	Page
• 通篇 ：将文档产品状态从“预告信息”更改为“量产数据”	1
• (特性)：添加了“运动 JPEG 编码”特性	1
• (特性/媒体和数据存储)：将“...eMMC 接口速度高达 HS200 速度”更新/更改为“...高达 HS400 速度” ..	1
• (特性)：更新了/更改了 CSI2.0 要点，并添加了子要点	1
• (应用)：添加终端设备 (EE) 链接到应用列表	3
• (功能方框图)：为非 A 型号 AM67 的 TI 软件开发套件 (SDK) 添加了一个额外的 ulink	4
• (功能方框图)：向多媒体主模块添加了一个“JPEG 编码”模块	4
• (器件比较)：在“要了解 TI 软件开发套件 (SDK) 目前支持的器件功能，……”注释中，为非 A 型号 AM67 的 TI 软件开发套件 (SDK) 添加了一个额外的 ulink	6
• (SDIO 电气特性)：更改了 VDDSHV5 电源轨名称 (如适用)，用于通过引用通用电源轨名称 (VDD) 来定义 $V_{IL}/V_{ILSS}/V_{IH}/V_{IHSS}/V_{OL}/V_{OH}$ 参数值，并添加了相关的表注	91
• (建议的 OTP 电子保险丝编程操作条件)：将“VPP 压摆率”参数名称更改为“VPP 上电压摆率”，用于阐明与该参数相关的限值仅在上电期间适用	94
• (上电时序)：添加了注释以阐明电源轨必须在启动新的上电序列之前衰减至 300mv 以下	99
• (下电时序)：添加了注释以阐明电源轨必须在启动新的上电序列之前衰减至 300mv 以下	102
• (BOOTMODE 时序要求)：更新了参数 RST23 和 RST24 的说明	105
• (MCU_OSC0 LVCMOS 数字时钟源)：添加了新的“MCU_OSC0 LVCMOS 数字时钟源要求”表	117
• (CPSW3G RGMII 时序条件)：向“输入压摆率”参数添加了工作电压条件以便在 1.8V 下运行时实现宽松的压摆率	129
• (I2C)：将最大压摆率值从 0.8V/ns 更改为 0.08V/ns，并添加了“在 3.3V 下运行时”以阐明该例外情况不适用于 1.8V 运行情况	165
• (MMC0 时序要求 - HS400 模式)：将与参数 HS4001、HS4002、HS4003 和 HS4004 相关的最大值从 500 更改为 475	184
• (MMC0 开关特性 - HS400 模式)：将延迟时间参数 HS4008 和 HS4009 替换为输出设置和输出保持参数 HS4008、HS4009、HS40010 和 HS40011	184
• (eMMC 接口 - HS400 模式 - 发送器模式)：更新了时序图，从而匹配与参数 HS4008、HS4009、HS40010 和 HS40011 相关的新定义	184
• (器件命名规则)：将可订购器件型号段落中的封装类型 (指示符) 从“AMH”更新/更改为“AMW”	225
• (命名规则说明)：更新/更改了该表以匹配标准封装符号图	227

11 机械、封装和可订购信息

11.1 封装信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM6734AKGHIAMWR	Active	Production	FCBGA (AMW) 594	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	AM67 34AKGHI
AM6734AKGHIAMWR.B	Active	Production	FCBGA (AMW) 594	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	AM67 34AKGHI
AM6754AKGHIAMWR	Active	Production	FCBGA (AMW) 594	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	AM67 54AKGHI
AM6754AKGHIAMWR.B	Active	Production	FCBGA (AMW) 594	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	AM67 54AKGHI
AM67A74AKGHIAMWR	Active	Production	FCBGA (AMW) 594	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	AM67A 74AKGHI
AM67A74AKGHIAMWR.B	Active	Production	FCBGA (AMW) 594	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	AM67A 74AKGHI
AM67A94AKGHIAMWR	Active	Production	FCBGA (AMW) 594	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	AM67A 94AKGHI
AM67A94AKGHIAMWR.B	Active	Production	FCBGA (AMW) 594	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	AM67A 94AKGHI

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

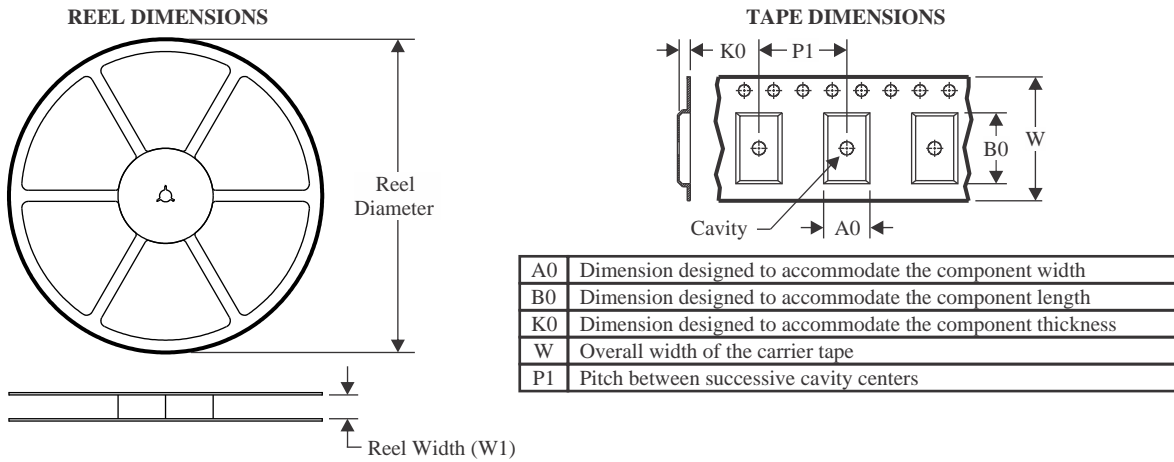
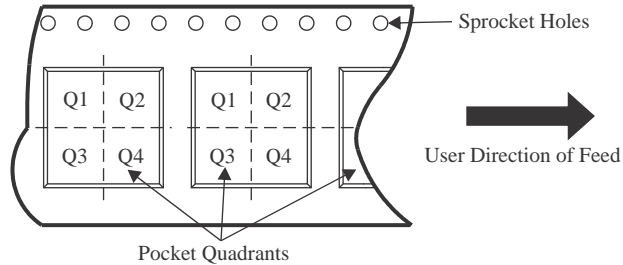
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

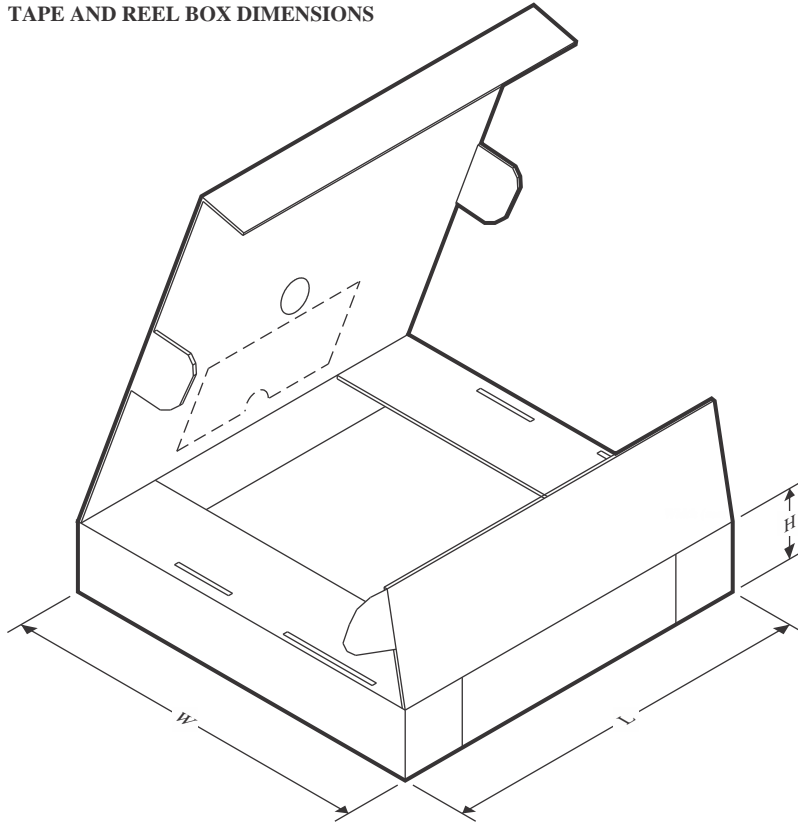
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

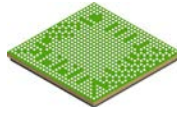
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AM6734AKGHAMWR	FCBGA	AMW	594	500	330.0	32.4	18.35	18.35	3.3	24.0	32.0	Q1
AM6754AKGHAMWR	FCBGA	AMW	594	500	330.0	32.4	18.35	18.35	3.3	24.0	32.0	Q1
AM67A74AKGHAMWR	FCBGA	AMW	594	500	330.0	32.4	18.35	18.35	3.3	24.0	32.0	Q1
AM67A94AKGHAMWR	FCBGA	AMW	594	500	330.0	32.4	18.35	18.35	3.3	24.0	32.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AM6734AKGHIAMWR	FCBGA	AMW	594	500	336.6	336.6	41.3
AM6754AKGHIAMWR	FCBGA	AMW	594	500	336.6	336.6	41.3
AM67A74AKGHIAMWR	FCBGA	AMW	594	500	336.6	336.6	41.3
AM67A94AKGHIAMWR	FCBGA	AMW	594	500	336.6	336.6	41.3

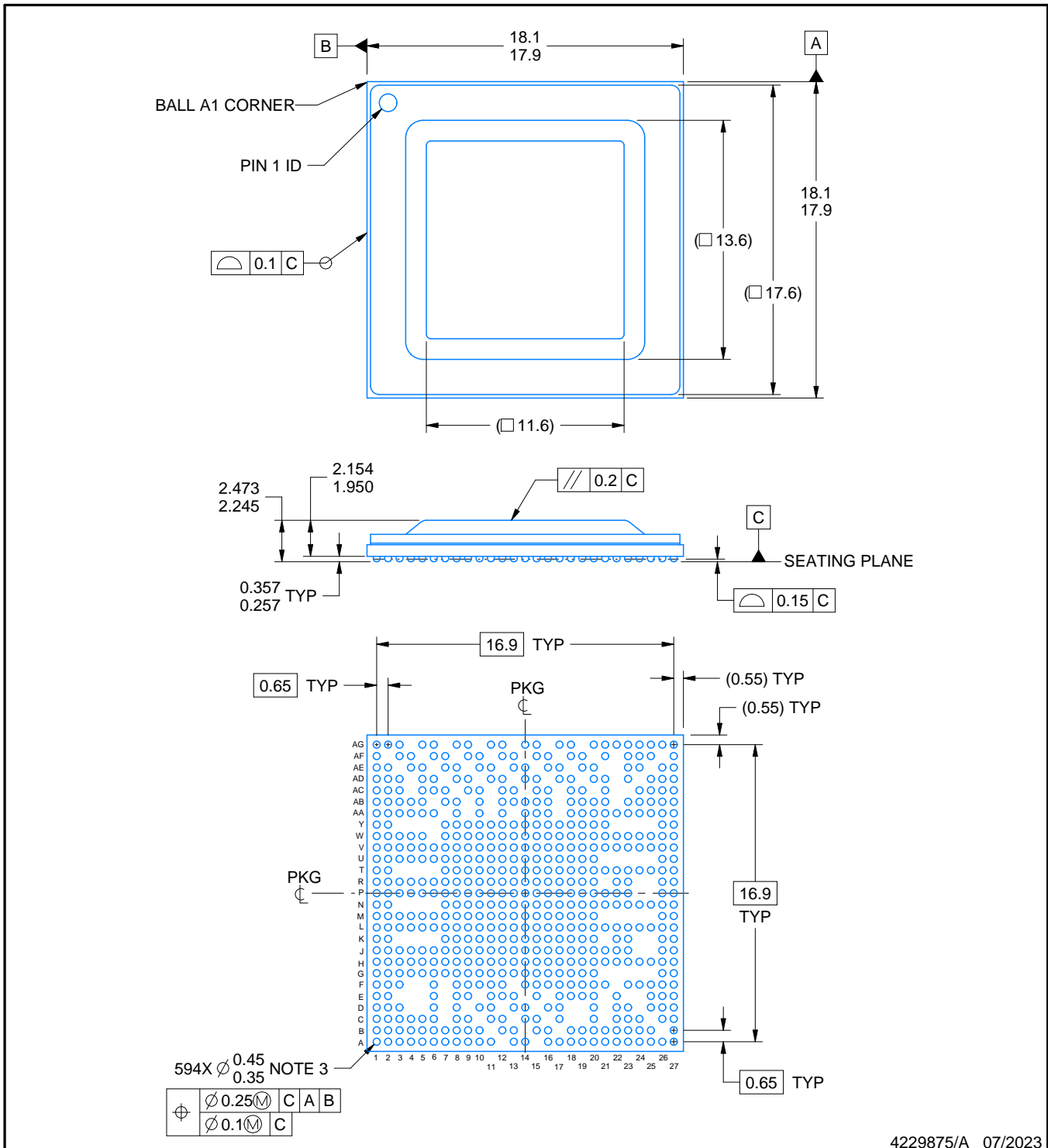


PACKAGE OUTLINE

AMW0594A

FCBGA - 2.473 mm max height

BALL GRID ARRAY



NOTES:

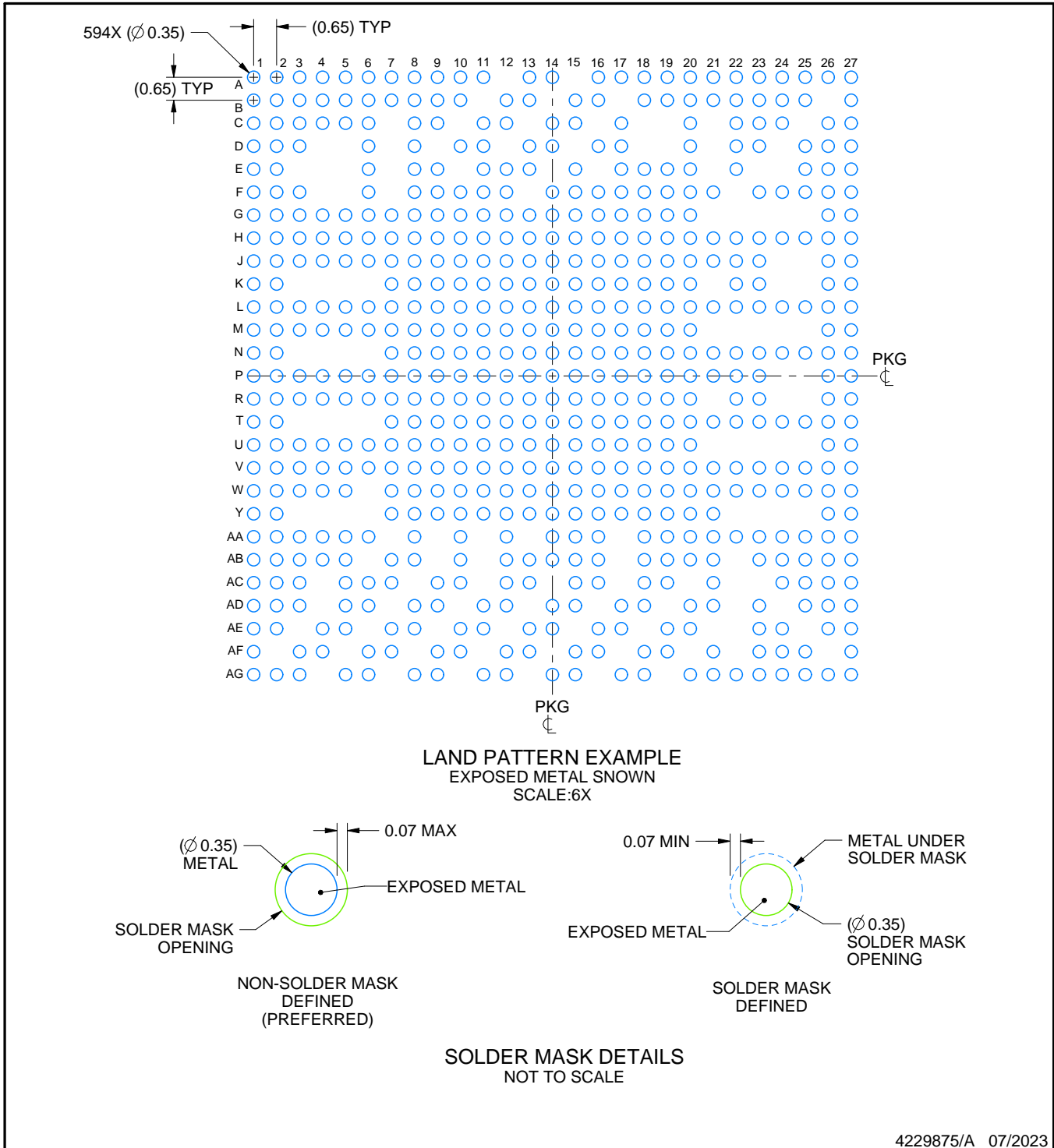
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- Ball diameter after reflow. Dimension is measured at the maximum solder ball diameter parallel to primary datum C.

EXAMPLE BOARD LAYOUT

AMW0594A

FCBGA - 2.473 mm max height

BALL GRID ARRAY



4229875/A 07/2023

NOTES: (continued)

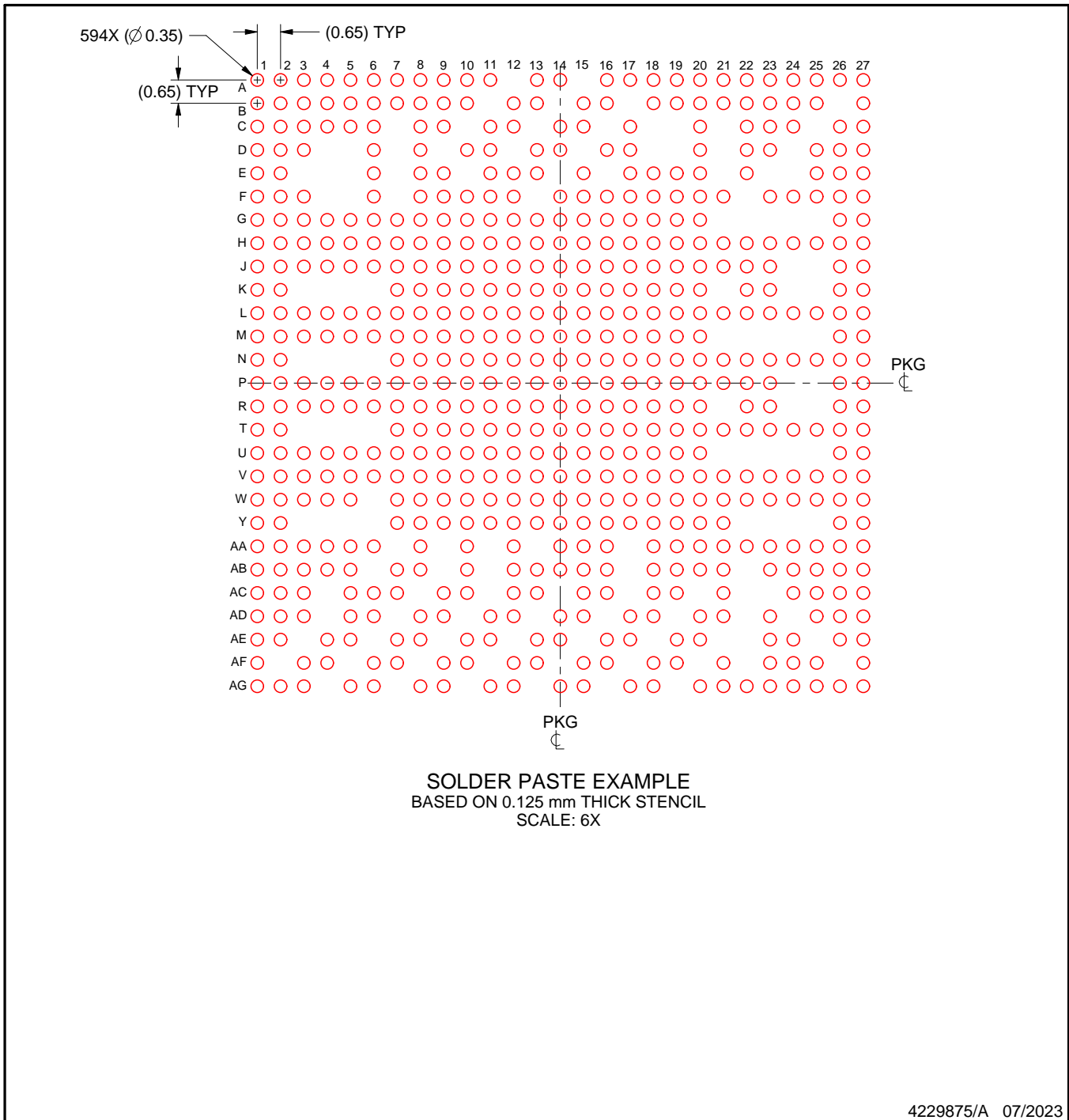
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).

EXAMPLE STENCIL DESIGN

AMW0594A

FCBGA - 2.473 mm max height

BALL GRID ARRAY



NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月