

AM261x Sitara™ 微控制器

1 特性

处理器内核：

- 单核和双核 Arm® Cortex® R5F CPU，每个内核运行频率高达 500MHz
 - 16KB 指令高速缓存，每个 CPU 内核具有 64 位 ECC
 - 16KB 数据高速缓存，每个 CPU 内核具有 32 位 ECC
 - 256KB 紧耦合存储器 (TCM)，每个内核具有 32 位 ECC
 - 支持锁步或双核操作
- 用于加速三角函数的三角函数加速器 (TMU)
 - 多达 2x，每个 R5F MCU 内核一个

存储器：

- 1.5MB 共享片上 RAM (OCSRAM)：
 - 3 组 x 512KB
 - 为完整的 1.5MB OCSRAM 提供 ECC 错误保护
 - 用于外部存储器的远程 L2 高速缓存 (RL2)，软件可编程，每个 CPU 内核高达 256KB
- 2 个八路串行外设接口 (OSPI)，高达 133MHz SDR 和 DDR
 - 1 个带就地执行 (XIP) 支持
 - RAM 无线扩展/闪存 (FOTA)
- 通用存储器控制器 (GPMC)
 - 16 位并行数据总线、22 位地址总线和 4 个片选信号
 - 高达 4MB 可寻址存储器空间
 - 支持错误检查的集成错误定位模块 (ELM)

片上系统 (SoC) 服务和架构：

- 1 个 EDMA，支持数据移动功能
- 支持从以下接口启动器件：
 - UART (主/备)
 - OSPI NOR 和 NAND 闪存 (50MHz SDR 和 25MHz DDR) (初级)
 - USB 外设引导
- 处理器间通信模块
 - 用于同步多核上运行的进程的自旋锁模块
 - 通过 CTRLMMR 寄存器实现的 MAILBOX 功能
- 通过时间同步和比较事件中断路由器支持中央平台时间同步 (CPTS)
- 计时器模块：
 - 2 个窗口化看门狗计时器 (WWDT)
 - 4 个实时中断 (RTI) 计时器

USB 2.0

- 可配置为 USB 主机、USB 器件或 USB 双角色器件的端口
- USB 2.0 主机模式
 - 高速 (HS, 480Mbps)
 - 全速 (FS, 12Mbps)
 - 低速 (LS, 1.5Mbps)
- USB 2.0 器件模式
 - 高速 (HS, 480Mbps)
 - 全速 (FS, 12Mbps)

工业连接：

- 2 个可编程实时单元 - 工业用通信子系统 (PRU-ICSS)
 - 每个 PRU-ICSS 的双核可编程实时单元子系统 (PRU0/PRU1)，总共 4 个内核
 - 确定性硬件
 - 动态固件
 - 每个 PRU 具有 20 通道增强型输入 (eGPI)
 - 每个 PRU 具有 20 通道增强型输出 (eGPO)
 - 嵌入式外设和存储器
 - 1 个 UART、1 个 ECAP、1 个 MDIO、1 个 IEP
 - 1 个 32KB 共享通用 RAM
 - 2 个 8KB 共享数据 RAM
 - 每个 PRU 1 个 12KB IRAM
 - 暂存器 (SPAD)、MAC/CRC
 - 数字编码器和 Σ - Δ 控制环路
 - PRU-ICSS 支持高级工业协议，包括：
 - EtherCAT®、Ethernet/IP™
 - PROFINET®、IO-Link®
 - 专用中断控制器 (INTC)
 - 动态 CONTROLSS XBAR 集成

高速接口

- 集成 3 端口千兆以太网交换机 (CPSW) 支持最多两个外部端口
 - 可选 MII (10/100)、RMII (10/100) 或 RGMII (10/100/1000)
 - IEEE 1588 (2008 附件 D、E 和 F) 及 802.1AS PTP
 - 第 45 条 MDIO PHY 管理规范
 - 512 个基于 ALE 引擎的数据包分类器
 - 基于优先级的流量控制，数据包大小高达 2KB
 - 四个 CPU 硬件中断节奏
 - 硬件中的 IP/UDP/TCP 校验和卸载
 - 时间敏感型网络 (TSN) 支持



- 直通交换和 Interexpress 流量 (IET) 支持

通用连接：

- 6 个通用异步接收器/发送器 (UART)
- 4 个串行外设接口 (SPI) 控制器
- 3 个本地互连网络 (LIN) 端口
- 3 个内部集成电路 (I2C) 端口
- 2 个具有 CAN-FD 支持的模块化控制器局域网 (MCAN) 模块
- 1 个快速串行接口发送器 (FSITX)
- 1 个快速串行接口接收器 (FSIRX)
- 多达 141 个通用 I/O (GPIO) 引脚

感应和驱动：

- 实时控制子系统 (CONTROLSS)
- 灵活的输入/输出交叉开关 (XBAR)
- 3 个具有 3MSPS 最大采样率的 12 位模数转换器 (ADC)
 - 每个 ADC 模块具有
 - 7 个单端通道或
 - 3 个差分通道
 - 高度可配置的 ADC 数字逻辑
 - 具有可选内部或外部基准
 - 每个 ADC 模块 4 个后处理块
- 9 个模拟具有内部 12 位 DAC 基准的模拟比较器 (CMPSSA)
- 1 个 12 位数模转换器 (DAC)
- 10 个增强型高分辨率脉宽调制 (eHRPWM) 模块
 - 单或双 PWM 通道
 - 高级 PWM 配置
 - 增强的 HRPWM 时间分辨率
- 8 个增强型捕捉 (ECAP) 模块
- 2 个增强型正交编码器脉冲 (EQEP) 模块
- 2 个 Σ - Δ 滤波器模块 (SDFM)

数据存储

- 1 个 4 位多媒体卡/安全数字 (MMC/SD) 接口

安全性：

- 支持 Auto SHE 1.1/EVITA 的硬件安全模块 (HSM)
- 旨在符合 ISO 21434 标准
- 安全启动支持
 - 器件接管保护
 - 硬件强制可信根
 - 经认证的引导
 - 软件防回滚保护
- 调试安全
 - 仅在通过正确的身份验证后才能安全调试器件
 - 能够禁用器件调试功能
- 器件 ID 和密钥管理

- 支持 OTP 存储器 (FUSEROM)
 - 存储根密钥和其他安全字段
- 独立的 EFUSE 控制器和 FUSE ROM
- 唯一器件公共标识符
- 存储器保护单元 (MPU)
 - 每个 Cortex®-R5F 内核具有专用的 Arm® MPU
 - 系统 MPU - 出现在 SoC 中的各种接口上 (MPU 或防火墙)
 - 8 至 16 个可编程区域
 - 启用/特权 ID
 - 起始/结束地址
 - 读取/写入/可缓存
 - 安全/非安全
- 加密加速
 - 支持 DMA 的加解密内核
 - AES - 128/192/256 位密钥大小
 - SHA2 - 256/384/512 位支持
 - 带有仿真随机数生成器的 DRBG

功能安全：

- 支持设计具有功能安全要求的系统
 - 错误信令模块 (ESM)
 - 计算临界存储器具有 ECC 或奇偶校验
 - 内置自检 (BIST) 片上 RAM
 - 运行时内部诊断模块，包括电压、温度和时钟监控，窗口式看门狗计时器，用于存储器完整性检查的 CRC 引擎
- 功能安全合规型 [工业类]
 - 专为功能安全应用开发
 - 可提供用于 IEC 61508 功能安全系统设计的文档
 - 系统可满足 SIL 3 级要求
 - 硬件完整性高达 SIL-3 级
 - 安全相关认证
 - 通过 IEC 61508 认证
- 功能安全合规型 [汽车]
 - 专为功能安全应用开发
 - 可提供用于 ISO 26262 功能安全系统设计的文档
 - 系统可满足 ASIL D 级要求
 - 硬件完整性高达 ASIL-D 级
 - 安全相关认证
 - 通过 ISO 26262 认证

技术/封装：

- 符合面向汽车应用的 AEC-Q100 标准
- ZCZ 封装
 - 324 引脚 NFBGA
 - 15.00mm × 15.00mm
 - 0.8mm 间距

- ZFG 封装
 - 304 引脚 NFBGA
 - 13.25mm × 13.25mm
 - 0.65mm 间距
- ZEJ 封装
 - 256 引脚 NFBGA
 - 13.00mm × 13.00mm
 - 0.8mm 间距
- ZNC 封装
 - 293 引脚 NFBGA
 - 10.00mm × 10.00mm
 - 0.5mm 间距

2 应用

- [交流逆变器](#)
- 汽车数字电源转换/控制
 - [电池管理系统 \(BMS\)](#)
 - [车载充电器、直流/直流转换器](#)
- [类人机器人](#)
- [工业与协作机器人](#)
- 工业数字电源控制
 - [储能系统](#)
 - [电动汽车充电](#)
 - [串式逆变器](#)
- [移动机器人](#)
- PLC、DCS 和 PAC
 - [通信模块](#)
 - [数字输入模块](#)
 - [数字输出模块](#)
 - [独立远程 IO](#)
- [远程 I/O](#)
- [单轴和多轴伺服驱动器](#)
- [远程信息处理控制单元](#)

3 说明

AM261x Sitara Arm® 微控制器属于 Sitara AM26x 实时 MCU 系列，旨在满足下一代工业和汽车嵌入式产品复杂的实时处理需求。AM261x 器件具有可扩展的 Arm Cortex® R5F 性能和丰富的外设集，广泛适用于各种应用，同时提供安全特性和优化的外设以进行实时控制。

主要特性和优势：

- 外设支持系统级连接，例如千兆位以太网、USB、OSPI/QSPI、CAN、UART、SPI 和 GPIO。
- 由硬件安全管理器 (HSM) 管理的粒度防火墙支持开发人员满足严格的安全敏感型系统设计要求。
- 多达两个 R5F 内核的集群以及每个内核 256KB 共享紧耦合存储器 (TCM) 和 1.5MB 共享 SRAM，共同显著降低了对外部存储器的需求。

封装信息

器件型号 ^{(1) (2)}	封装	封装尺寸 ⁽³⁾
AM261...ZCZ	ZCZ (nFBGA , 324)	15.00mm × 15.00mm
AM261...ZFG	ZFG (nFBGA , 304)	13.25mm × 13.25mm
AM261...ZEJ	ZEJ (nFBGA , 256)	13.00mm × 13.00mm
AM261...ZNC	ZNC (nFBGA , 293)	10.00mm × 10.00mm
AM261...ZCZQ1	ZCZQ1 (nFBGA , 324)	15.00mm × 15.00mm
AM261...ZEJQ1	ZEJQ1 (nFBGA , 256)	13.00mm × 13.00mm

- (1) 更多相关信息，请参阅第 11 节。
(2) 所有器件均采用托盘或卷带包装。
(3) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。

3.1 功能方框图

AM261x 功能方框图 是此器件的功能方框图。

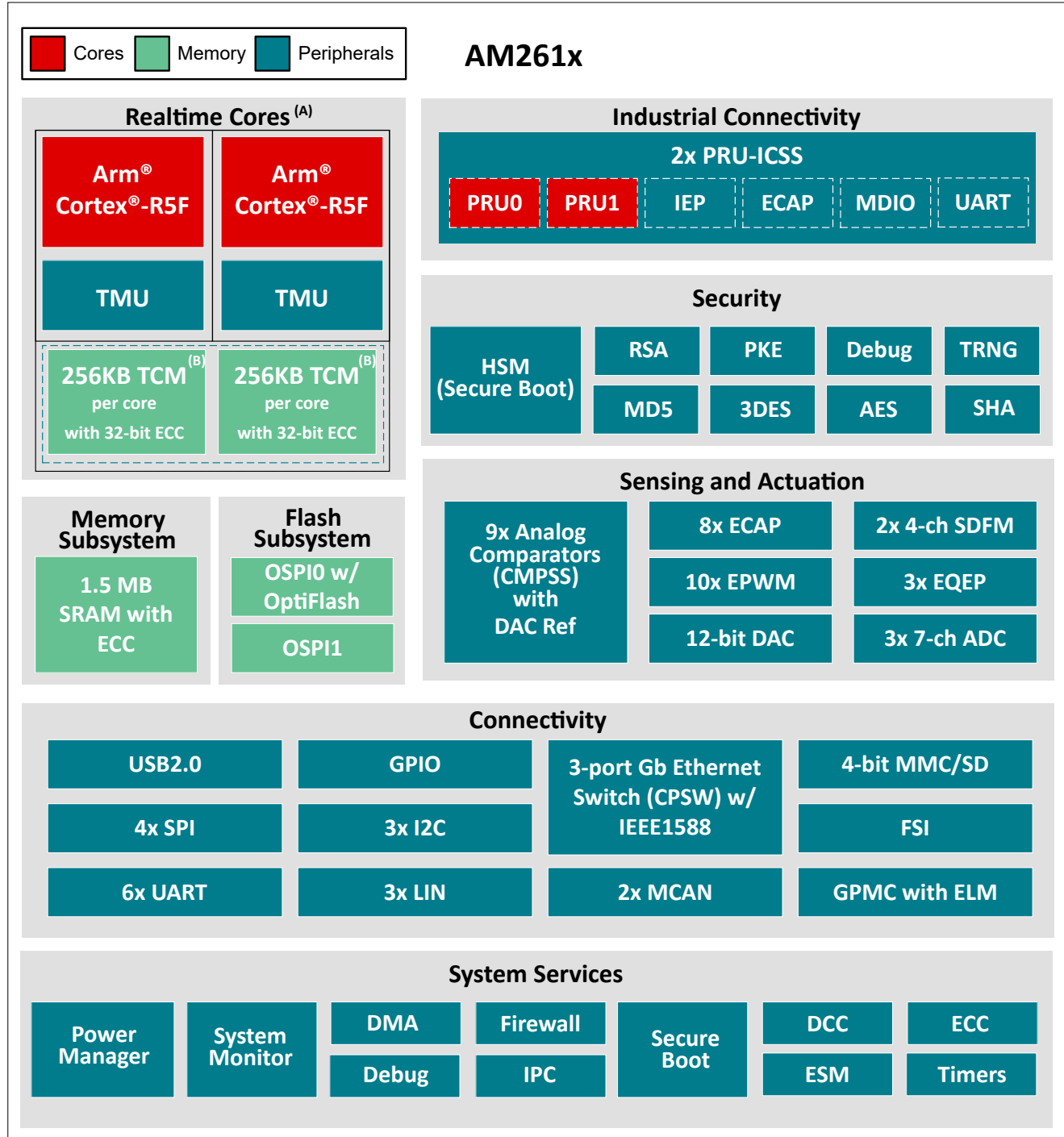


图 3-1. AM261x 功能方框图

- A. AM261x 提供两个和一个内核选项。请参阅[封装比较表](#)，了解更多特定于外设的详细信息。
- B. R5F 集群支持 512KB 的紧耦合存储器 (TCM)。当配置为锁步操作模式时，各个内核可以使用所有 512KB。在双核模式下，每个内核只能使用其指定的一半 (256KB TCM)。

内容

1 特性	1	6.9 一次性可编程 (OTP) 电子保险丝的 VPP 规格.....	98
2 应用	3	6.10 热阻特性.....	99
3 说明	4	6.11 时序和开关特性.....	104
3.1 功能方框图.....	5	6.12 去耦电容器要求.....	187
4 封装比较	7	7 详细说明	189
4.1 器件标识.....	8	7.1 概述.....	189
4.2 相关产品.....	9	7.2 处理器子系统.....	190
5 端子配置和功能	10	8 应用、实施和布局	191
5.1 引脚图.....	10	8.1 器件连接和布局基本准则.....	191
5.2 引脚属性.....	15	8.2 OSPI 复位.....	192
5.3 信号说明.....	52	9 器件和文档支持	193
5.4 引脚连接要求.....	85	9.1 器件命名规则.....	193
6 规格	86	9.2 工具与软件.....	196
6.1 绝对最大额定值.....	86	9.3 文档支持.....	196
6.2 静电放电 (ESD) 扩展汽车等级.....	87	9.4 支持资源.....	196
6.3 静电放电 (ESD) 工业等级.....	87	9.5 商标.....	196
6.4 上电小时数 (POH) 摘要.....	87	9.6 静电放电警告.....	196
6.5 建议运行条件.....	89	9.7 术语表.....	197
6.6 运行性能点.....	89	10 修订历史记录	197
6.7 功耗摘要.....	90	11 机械、封装和可订购信息	199
6.8 电气特性.....	91		

4 封装比较

表 4-1 基于封装对各器件进行了比较，突出显示了其中的差异。

表 4-1. 封装比较

		封装			
特性	参考文献名称	AM261...ZCZ AM261...ZCZ-Q1	AM261...ZFG	AM261...ZEJ AM261...ZEJ-Q1	AM261...ZNC
处理器和加速器					
速度等级		高达 500MHz，有关更多详细信息，请参阅 运行性能点			
Arm® Cortex-R5F	R5FSS	AM2612 和 AM2612-Q1：2 核（1 个双核，带锁步选项） AM2611 和 AM2611-Q1：1 核（单核）			
三角函数加速器	TMU	是			
硬件安全模块	HSM	是			
加密加速器	安全性	是			
程序和数据存储					
片上共享存储器 (RAM)	OCSRAM	高达 1.5MB，有关更多详细信息，请参阅 运行性能点			
R5F 紧耦合存储器 (TCM)	TCM	高达 512KB ⁽¹⁾			
外设					
模数转换器	ADC	3 个 6 通道	3 个 7 通道		2 个 7 通道
比较器模块：	CMPSS	9			6
千兆位以太网接口	CPSW	是			
数模转换器	DAC	1			
增强型捕获模块	ECAP	8			
增强型高分辨率脉宽调制	EHRPWM	10 个 20 通道			
增强型正交编码器脉冲模块	EQEP	2			
快速串行接口	FSI	1 个 FSI_RX + 1 个 FSI_TX			
通用 I/O	GPIO	多达 141 个 GPIO		多达 114 个 GPIO	多达 112 个 GPIO
通用存储器控制器	GPMC	1		不适用	
内部集成电路接口	I2C	3			
本地互连网络	LIN	3			
模块化控制器区域网，具有完整 CAN-FD	MCAN	2			
多媒体卡/安全数字接口	MMC-SD	1			不适用
八通道 SPI 闪存接口	OSPI	1 个 OSPI0（具有 OptiFlash）以及 1 个 OSPI1			
可编程实时单元子系统	PRU	2 ⁽²⁾			
工业通信子系统支持	PRU-ICSS	可选			
Σ-Δ 滤波器模块	SDFM	2 个 4 通道		1 个 4 通道	总共 3 个通道 ⁽³⁾
串行外设接口	SPI	4			2 ⁽⁴⁾
通用异步接收器/发送器	UART	6			
通用串行总线	USB 2.0	使用外部 VBUS 的 USB0			
其他					
结温		汽车级工作温度：-40°C 至 150°C ⁽⁵⁾			
		工业级工作温度：-40°C 至 125°C ⁽⁶⁾			
汽车认证		AEC-Q100 ⁽⁷⁾			

- (1) R5FSS 集群支持 512KB 的紧耦合存储器 (TCM)。当配置为单核或锁步操作模式时，各个内核可以利用整个 512KB 的 TCM 存储器，而在双核模式下，每个内核只可利用其指定的一半大小 (256KB TCM)。
- (2) AM261x 支持 2 个 PRU 子系统实例，总共 4 个实时 PRU 内核。
- (3) ZNC 封装器件没有一个或多个 SDFM 外设完整实例，而是具有 3 个 SDFM 通道：SDFM0_D2、SDFM1_D0 和 SDFM1_D1。
- (4) ZNC 封装器件将 SPI0 和 SPI2 用作可用的 SPI 接口。
- (5) 汽车级扩展温度适用于如[命名规则说明](#)表中的汽车级指示符 (Q1) 标识符所示的部分器件型号变体。
- (6) 工业级扩展温度适用于如[命名规则说明](#)表中缺少汽车级指示符 (Q1) 标识符所示的部分器件型号变体。
- (7) AEC-Q100 鉴定适用于如[命名规则说明](#)表中的汽车级指示符 (Q1) 标识符所示的部分器件型号变体。

4.1 器件标识

下面的器件标识详细说明了 AM261x 器件在每个 OPN 的封装中可用的特定 JTAG_USER_ID 和特性集。有关更多信息，请参阅[器件命名规则](#)。

表 4-2. 器件标识

可订购器件型号 (OPN) ⁽¹⁾	JTAG_USER_ID	R5F	PRU-ICSS	EtherCAT	集成堆栈	速度 ⁽²⁾	
ZCZ , 15.00mm × 15.00mm							
AM2612AOFFHMCZCR	0x5908 DBFE	2	x	x	x	500MHz	
AM2612ALDFHMCZRQ1	0x5908 9B3E		x			400MHz	
AM2612APDFHMCZRQ1	0x5908 9C3E		x			200MHz	
AM2611AOFFHIZCZR	0x5904 DBFE	1	x	x	x	500MHz	
ZFG , 13.25mm × 13.25mm							
AM2612AOFFHIZFGR	0x5908 DBEA	2	x	x	x	500MHz	
AM2612AOEFHIZFGR	0x5908 BBEA		x	x			
AM2612AODFHIZFGR	0x5908 9BEA		x				
AM2611AOFFHIZFGR	0x5904 DBEA	1	x	x	x		
AM2611AOEFHIZFGR	0x5904 BBEA		x	x			
AM2611AODFHIZFGR	0x5904 9BEA		x				
ZEJ , 13.00mm × 13.00mm							
AM2612AOFFHIZEJR	0x5908 DBEC	2	x	x	x	500MHz	
AM2612AOEFHIZEJR	0x5908 BBEC		x	x			
AM2612AODFHIZEJR	0x5908 9BEC		x				
AM2612ALDFHMEJRQ1	0x5908 9B3C		x				400MHz
AM2612APDFHMEJRQ1	0x5908 9C3C		x				200MHz
AM2611AOFFHIZEJR	0x5904 9BEC	1	x	x	x	500MHz	
AM2611AOEFHIZEJR	0x5904 9BEC		x	x			
AM2611AODFHIZEJR	0x5904 9BEC		x				
AM2611ALDFHMEJRQ1	0x5904 9B3C		x				400MHz
AM2611APDFHMEJRQ1	0x5904 9C3C		x				200MHz
ZNC , 10.00mm × 10.00mm							
AM2612AOFFHIZNCR	0x5908 DBE9	2	x	x	x	500MHz	
AM2612AOEFHIZNCR	0x5908 BBE9		x	x			
AM2612AODFHIZNCR	0x5908 9BE9		x				
AM2611AOFFHIZNCR	0x5904 DBE9	1	x	x	x		
AM2611AOEFHIZNCR	0x5904 BBE9		x	x			
AM2611AODFHIZNCR	0x5904 9BE9		x				

(1) 计划值。请参阅已发布的 OPN 的[机械、封装和可订购信息](#)。

(2) 有关更多详细信息，请参阅[运行性能点](#)

4.2 相关产品

Sitara™ 微控制器 基于 Arm® Cortex®-R 的高性能微控制器系列，具有先进的网络、实时控制和信号处理加速器，可满足工业和汽车应用新兴的 MCU 要求。

Sitara™ 微控制器 - 评估模块 TI 可提供针对特定器件的评估模块 (EVM) 设计，帮助快速启动产品开发。有关更多信息，请参阅 [LP-AM261](#) 和 [AM261-SOM-EVM](#)。

MCU-PLUS_SDK_AM261X AM261x 微控制器 (MCU) 和软件开发套件 (SDK) 共同构成一个面向嵌入式处理器的统一软件平台，此平台设置简单，可快速提供开箱即用的示例、基准测试和演示。此软件无需从头开始创建基本系统软件功能，可加快应用程序开发进程。

帮助您完成设计的产品：下面列出了经常购买或与 AM261x 器件结合使用的产品，以满足您的系统设计要求。

- **TPS65036x-Q1** - 适用于安全 MCU 应用的功能安全合规型多轨电源。
- **TPS3704-Q1** - 超高精度紧凑型汽车多通道窗口监控器。
- **DP83TG720S-Q1** - 具有 RGMII 的 1000BASE-T1 汽车以太网 PHY。
- **DP83826E** - 具有 MII 接口和 ENHANCED 模式的低延迟 10/100Mbps 以太网 PHY。
- **DP83869HM** - 具有铜缆和光纤接口、支持工作温度范围的高抗扰性千兆位以太网 PHY 收发器
- **TCAN1042H-Q1** - 具有灵活数据速率的汽车级 70V 总线故障保护 CAN 收发器。

5 端子配置和功能

5.1 引脚图

备注

在整个文档中，术语“焊球”、“引脚”和“端子”可互换使用。仅在提及物理封装时才尝试使用“焊球”。

本节中的图将与其他“端子配置和功能”表一起用于查找信号名称和球栅编号。

AM261x ZFG 引脚图

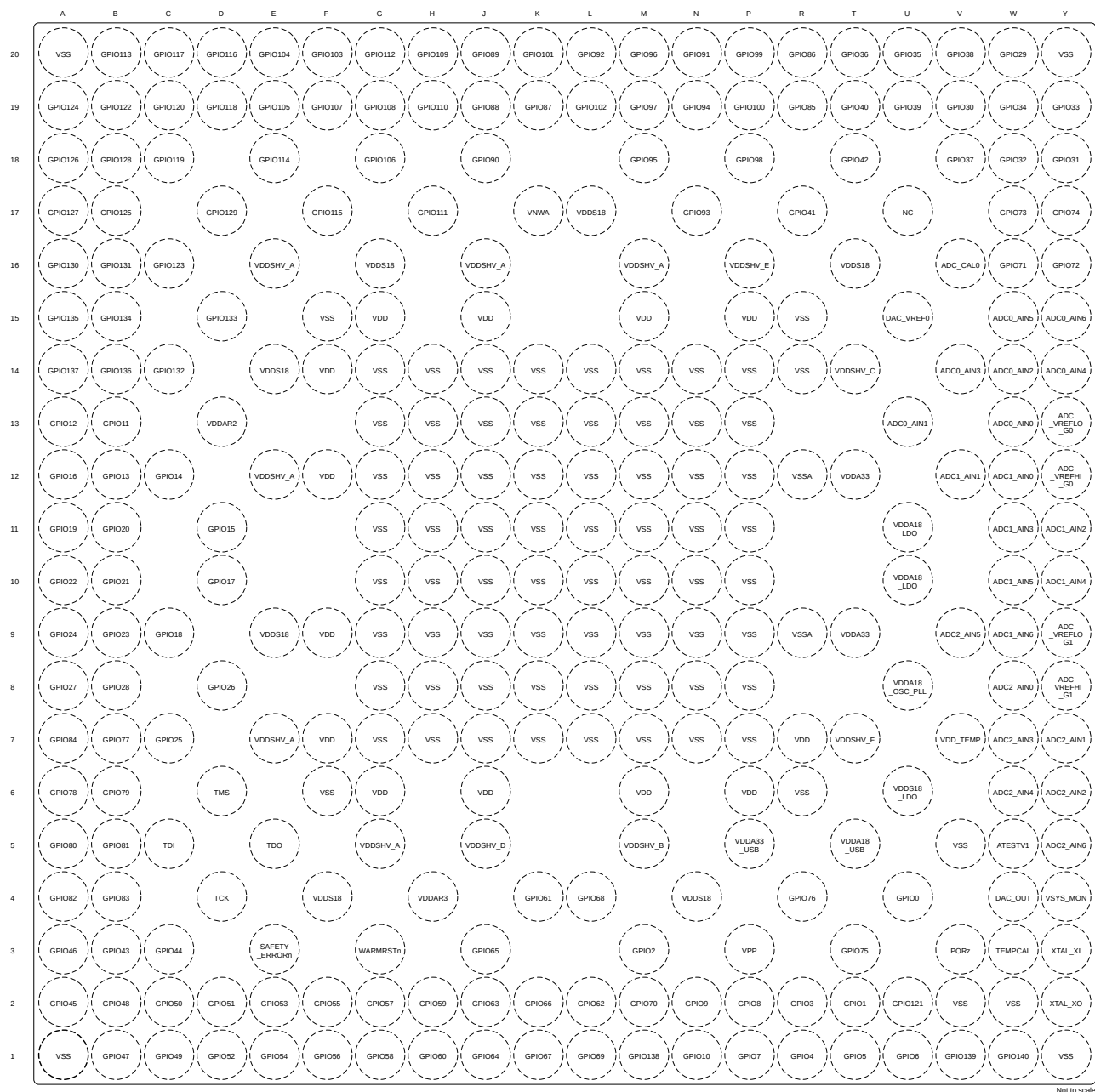
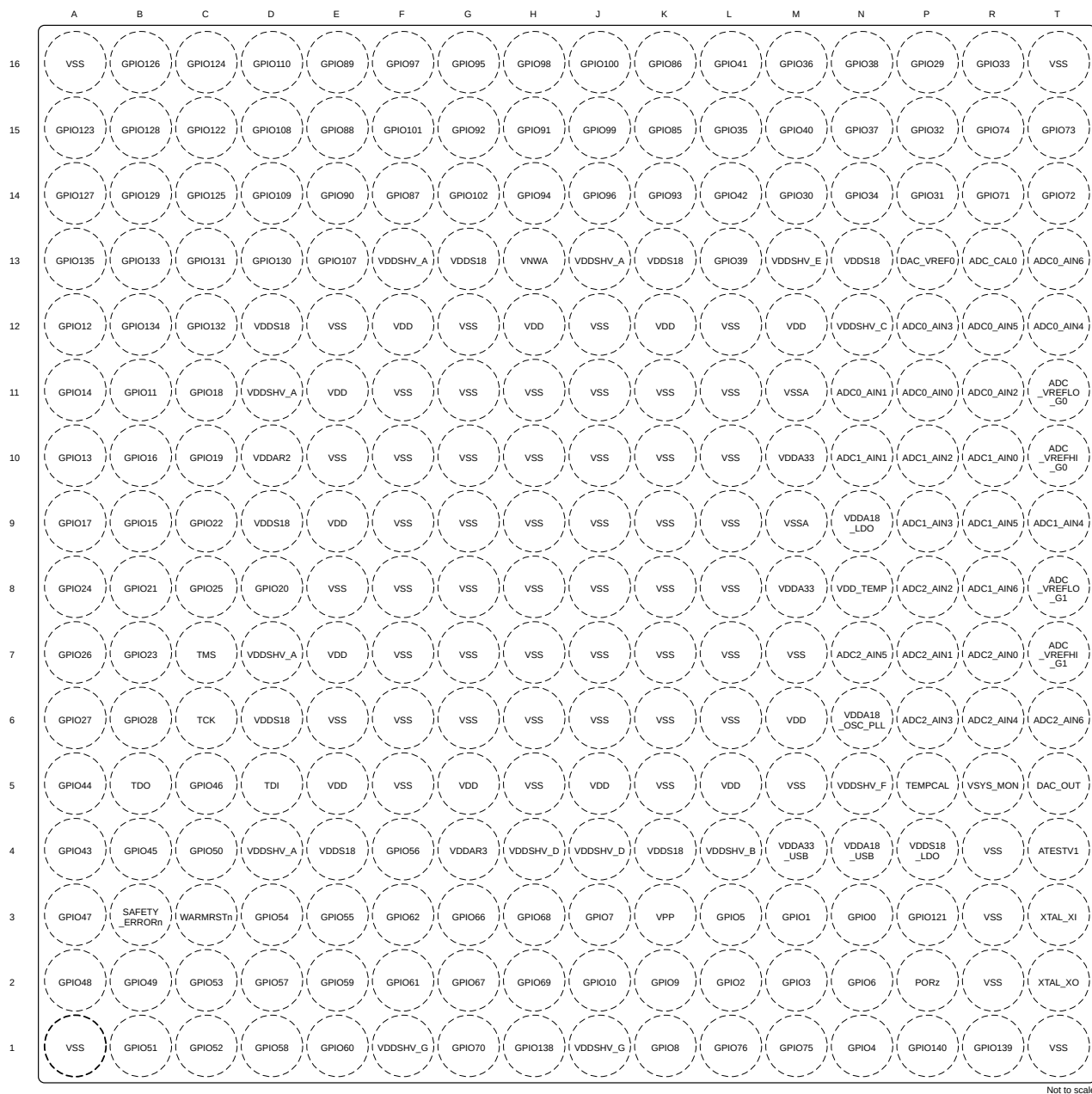


图 5-2. AM261x ZFG 引脚图

5.1.3 AM261x ZEJ 引脚图

AM261x ZEJ 引脚图



Not to scale

图 5-3. AM261x ZEJ 引脚图

AM261x ZNC 引脚图

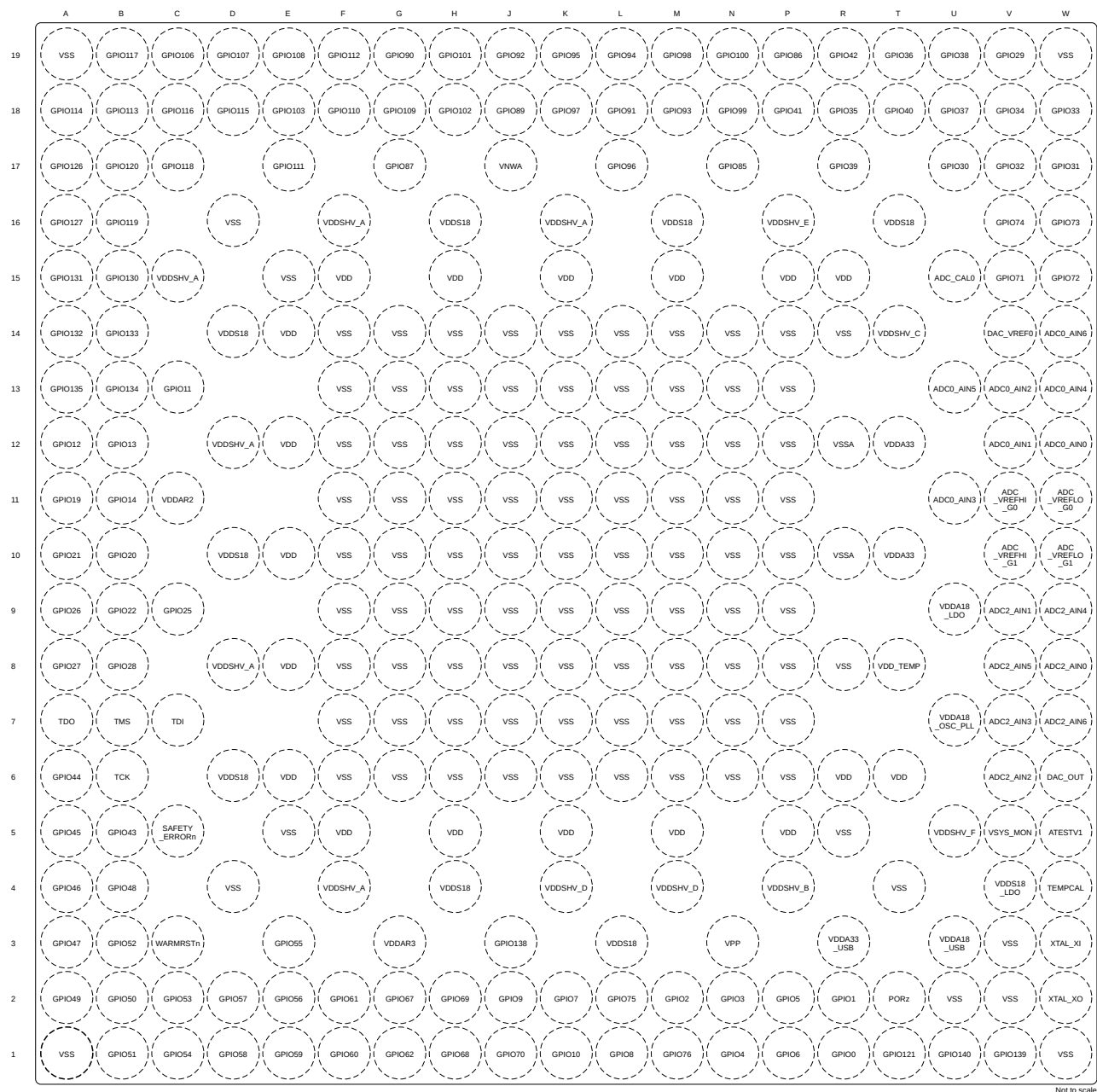


图 5-4. AM261x ZNC 引脚图

5.2 引脚属性

以下列表介绍了 *引脚属性* 表中每一列的内容：

1. **焊球编号**：分配给 Ball Grid Array 封装中每个端子的焊球编号。
2. **焊球名称**：分配给 Ball Grid Array 封装中每个端子的焊球名称（该名称通常取自主 MUXMODE 0 信号功能）。
3. **信号名称**：与焊球相关的所有专用和引脚多路复用信号功能的信号名称。

备注

引脚属性 表定义了引脚上实现的 SoC 引脚多路复用信号功能，而未定义器件子系统中实现的信号功能的次级多路复用。该表未说明信号功能的次级多路复用。有关辅助多路复用信号功能的更多信息，请参阅器件 TRM 的相应外设章节。

4. **多路复用模式**：与每个引脚多路复用信号功能相关的 MUXMODE 值：
 - MUXMODE 7 是主要引脚多路复用信号功能。然而，主要引脚多路复用信号功能不一定是默认引脚多路复用信号功能。
 - MUXMODE 值 1 至 15 可用于引脚多路复用信号功能。然而，并非所有 MUXMODE 值都已实现。仅有的有效 MUXMODE 值是引脚属性表中定义为引脚多路复用信号功能的值。只能使用 MUXMODE 的定义有效值。
 - 自举定义了 SOC 配置引脚，其中应用于每个引脚的逻辑状态在 PORz 的上升沿被锁存。这些输入信号功能固定到各自的引脚，不能通过 MUXMODE 进行编程。
 - 空框或“-”表示不适用。

备注

- “复位之后的多路复用模式”列中的值定义了 PORz 置为无效时选择的默认引脚多路复用信号功能。
- 将两个引脚配置为相同的引脚多路复用信号功能可能会产生意外结果，因此不受支持。适当的软件配置可以防止这种情况发生。
- 将焊盘配置为未定义的多路复用模式会导致未定义的行为，因此必须避免。

5. **类型**：信号类型和方向：

- I = 输入
- O = 输出
- ID = 输入，具有开漏输出功能
- OD = 输出，具有开漏输出功能
- IO = 输入、输出或同时输入和输出
- IOD = 输入、输出或同时输入和输出，具有开漏输出功能
- IOZ = 输入、输出或同时输入和输出，具有三态输出功能
- OZ = 具有三态输出功能的输出
- A = 模拟
- CAP = LDO 电容器
- PWR = 电源
- GND = 地

6. **复位期间的焊球状态 (RX/TX/拉动)**：PORz 置为有效时的端子状态，其中 RX 定义输入缓冲器的状态，TX 定义输出缓冲器的状态，“拉动”定义内部拉电阻器的状态：
 - RX (输入缓冲器)
 - 关闭：输入缓冲器被禁用。
 - 亮：输入缓冲器被启用。

- TX (输出缓冲器)
 - 关闭：输出缓冲器被**禁用**。
 - 低电平：输出缓冲器被**启用**并驱动 V_{OL} 。
 - 拉动 (内部拉电阻器)
 - 关闭：内部拉电阻器被**关闭**。
 - 上拉：内部**上拉**电阻器被开启。
 - 下拉：内部**下拉**电阻器被开启。
 - 不适用：无内部拉电阻器。
 - 空框或 “-” 表示不适用。
7. **复位之后的焊球状态 (RX/TX/拉动)**：PORz 置为无效后的端子状态，其中 RX 定义输入缓冲器的状态，TX 定义输出缓冲器的状态，“拉动”定义内部拉电阻器的状态：
- RX (输入缓冲器)
 - 关闭：输入缓冲器被**禁用**。
 - 亮：输入缓冲器被**启用**。
 - TX (输出缓冲器)
 - 关闭：输出缓冲器被**禁用**。
 - SS：使用 MUXMODE 选择的子系统决定输出缓冲器状态。
 - 拉动 (内部拉电阻器)
 - 关闭：内部拉电阻器被**关闭**。
 - 上拉：内部**上拉电阻器**被开启。
 - 下拉：内部**下拉电阻器**被开启。
 - 不适用：无内部拉电阻器。
 - 空框、不适用或 “-” 表示不适用。
8. **复位之后的多路复用模式**：该列中的值定义了 PORz 置为无效后的**默认**引脚多路复用信号功能。
- 空框、不适用或 “-” 表示不适用。
9. **I/O 电压**：该列介绍了相应电源的 I/O 工作电压选项 (如果适用) 。
- 空框、不适用或 “-” 表示不适用。
- 有关更多信息，请参阅**建议运行条件**中为每个电源定义的有效工作电压范围。
10. **电源**：相关 I/O 的电源 (如果适用) 。
- 空框、不适用或 “-” 表示不适用。
11. **Hys**：指示与该 I/O 关联的输入缓冲器是否具有迟滞：
- 是：滞后支持
 - 否：**无**迟滞支持
 - 空框、不适用或 “-” 表示不适用。
- 有关更多信息，请参阅**电气特性**中的迟滞值。
12. **拉动类型**：指示存在内部上拉电阻或下拉电阻。可通过软件来启用或禁用内部电阻器。
- PU：仅内部上拉电阻
 - PD：仅内部下拉电阻
 - PU/PD：内部上拉和下拉
 - 空框、NA 或 “-” 表示无内部拉动。

备注

不支持将两个引脚配置为同一引脚多路复用信号功能，因为这可能会产生意外结果。适当的软件配置可以轻松防止这种情况发生。

当某焊盘被设定为未由引脚多路复用定义的多路复用模式时，该焊盘的运行方式是未定义的。必须避免这种情况。

13. **缓冲器类型**：该列定义与端子关联的缓冲器类型。该信息可用于确定适用的“电气特性”表。

- 空框、不适用或“-”表示不适用。

有关电气特性，请参阅 *电气特性* 中相应的缓冲器类型表。

14. **焊盘配置寄存器名称**：这是器件焊盘/引脚配置寄存器的名称。

15. **焊盘配置寄存器地址**：这是器件焊盘/引脚配置寄存器的存储器地址。

16. **焊盘配置寄存器默认值**：这是 PORz 置为无效后寄存器器件焊盘/引脚配置寄存器的默认值。

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
V15	W13	P11	W12	ADC0_AIN0	ADC0_AIN0		-				-		模拟	
U15	U13	N11	V12	ADC0_AIN1	ADC0_AIN1		-				-		模拟	
T14	W14	R11	V13	ADC0_AIN2	ADC0_AIN2		-				-		模拟	
U14	V14	P12	U11	ADC0_AIN3	ADC0_AIN3		-				-		模拟	
U13	Y14	T12	W13	ADC0_AIN4	ADC0_AIN4		-				-		模拟	
R14	W15	R12	U13	ADC0_AIN5	ADC0_AIN5		-				-		模拟	
	Y15	T13	W14	ADC0_AIN6	ADC0_AIN6		-				-		模拟	
T11	W12	R10		ADC1_AIN0	ADC1_AIN0		-				-		模拟	
U11	V12	N10		ADC1_AIN1	ADC1_AIN1		-				-		模拟	
T12	Y11	P10		ADC1_AIN2	ADC1_AIN2		-				-		模拟	
V12	W11	P9		ADC1_AIN3	ADC1_AIN3		-				-		模拟	
U12	Y10	T9		ADC1_AIN4	ADC1_AIN4		-				-		模拟	
R12	W10	R9		ADC1_AIN5	ADC1_AIN5		-				-		模拟	
	W9	R8		ADC1_AIN6	ADC1_AIN6		-				-		模拟	
R10	W8	R7	W8	ADC2_AIN0	ADC2_AIN0		-				-		模拟	
T10	Y7	P7	V9	ADC2_AIN1	ADC2_AIN1		-				-		模拟	
U10	Y6	P8	V6	ADC2_AIN2	ADC2_AIN2		-				-		模拟	
T9	W7	P6	V7	ADC2_AIN3	ADC2_AIN3		-				-		模拟	
V9	W6	R6	W9	ADC2_AIN4	ADC2_AIN4		-				-		模拟	
T8	V9	N7	V8	ADC2_AIN5	ADC2_AIN5		-				-		模拟	
	Y5	T6	W7	ADC2_AIN6	ADC2_AIN6		-				-		模拟	
U16	V16	R13	U15	ADC_CAL0	ADC_CAL0		-				-		模拟	
			V11	ADC_VREFHI_G0	ADC_VREFHI0		-				-		模拟	
V14	Y12	T10	V11	ADC_VREFHI_G0	ADC_VREFHI1		-				-		模拟	
V10	Y8	T7	V10	ADC_VREFHI_G1	ADC_VREFHI2		-				-		模拟	
			W11	ADC_VREFLO_G0	ADC_VREFLO0		-				-		模拟	
V13	Y13	T11	W11	ADC_VREFLO_G0	ADC_VREFLO1		-				-		模拟	
V11	Y9	T8	W10	ADC_VREFLO_G1	ADC_VREFLO2		-				-		模拟	
T6	W5	T4	W5	ATESTV1	ATESTV1		-				-		模拟	
T5	W4	T5	W6	DAC_OUT	DAC_OUT		-				-		模拟	
T13	U15	P13	V14	DAC_VREF0	DAC_VREF0		-				-		模拟	
P1	U4	N3	R1	GPIO0 GPIO0_CFG_REG 0x5310 0000 0x0000 05F7	OSPI0_CS0	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					SPI0_CS0	1	IO							
					UART3_RXD	2	I							
					OSPI0_D0	4	IO							
					GPIO0	7	IO							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
R3	T2	M3	R2	GPIO1 GPIO1_CFG_REG 0x5310 0004 0x0000 05F7	OSPI0_CS _n 1	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					SPI0_CLK	1	IO							
					UART3_TXD	2	O							
					UART2_RT _S _n	5	O							
					GPIO1	7	IO							
					XBAROUT0	10	O							
N2	M3	L2	M2	GPIO2 GPIO2_CFG_REG 0x5310 0008 0x0000 05F7	OSPI0_CLK	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					OSPI0_D0	1	IO							
					UART3_CT _S _n	4	I							
					OSPI1_D0	5	IO							
					GPIO2	7	IO							
N1	R2	M2	N2	GPIO3 GPIO3_CFG_REG 0x5310 000C 0x0000 05D7	OSPI0_D0	0	IO	开启/关闭/关闭	开启/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					EPWM9_A	1	O							
					PR1_PRU1_GPIO11	2	IO							
					UART1_DCD _n	3	I							
					GPMC0_AD11	6	O							
					GPIO3	7	IO							
					SOP0	自举								
N4	R1	N1	N1	GPIO4 GPIO4_CFG_REG 0x5310 0010 0x0000 05D7	OSPI0_D1	0	IO	开启/关闭/关闭	开启/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					EPWM9_B	1	O							
					PR1_PRU1_GPIO12	2	IO							
					UART1_Rl _n	3	I							
					GPMC0_AD12	6	O							
					GPIO4	7	IO							
					SOP1	自举								
M4	T1	L3	P2	GPIO5 GPIO5_CFG_REG 0x5310 0014 0x0000 05F7	OSPI0_D2	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					SPI0_D0	1	IO							
					OSPI0_D6	2	IO							
					GPIO5	7	IO							
P3	U1	N2	P1	GPIO6 GPIO6_CFG_REG 0x5310 0018 0x0000 05F7	OSPI0_D3	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					SPI0_D1	1	IO							
					OSPI0_D4	2	IO							
					GPIO6	7	IO							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
M1	P1	J3	K2	GPIO7 GPIO7_CFG_REG 0x5310 001C 0x0000 05F7	MCAN0_RX	0	I	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					OSPI0_D4	1	IO							
					OSPI0_D2	2	IO							
					OSPI0_DQS	5	I							
					GPIO7	7	IO							
L1	P2	K1	L1	GPIO8 GPIO8_CFG_REG 0x5310 0020 0x0000 05F7	MCAN0_TX	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					OSPI0_D5	1	IO							
					OSPI0_D6	2	IO							
					OSPI0_D2	5	IO							
					GPIO8	7	IO							
L2	N2	K2	J2	GPIO9 GPIO9_CFG_REG 0x5310 0024 0x0000 05F7	MCAN1_RX	0	I	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					OSPI0_D6	1	IO							
					OSPI0_DQS	2	I							
					LIN1_TXD	3	IO							
					UART1_TXD	4	O							
					OSPI0_CLK	5	O							
					GPIO9	7	IO							
K1	N1	J2	K1	GPIO10 GPIO10_CFG_REG 0x5310 0028 0x0000 05F7	MCAN1_TX	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					OSPI0_D7	1	IO							
					OSPI0_CLK	2	O							
					UART1_DTRn	3	O							
					UART3_CTSn	4	I							
					OSPI1_CLK	5	O							
					GPIO10	7	IO							
C11	B13	B11	C13	GPIO11 GPIO11_CFG_REG 0x5310 002C 0x0000 05F7	SPI0_CS0	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRU0_GPIO2	1	IO							
					MMC0_CLK	2	IO							
					UART3_RXD	3	I							
					GPMC0_A0	6	O							
					GPIO11	7	IO							
					ADC_EXTCH_XBAROUT0	9	O							
					XBAROUT0	10	O							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
A11	A13	A12	A12	GPIO12 GPIO12_CFG_REG 0x5310 0030 0x0000 05D7	SPI0_CLK	0	IO	开启/关闭/关闭	开启/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRU0_GPIO9	1	IO							
					MMC0_CMD	2	IO							
					UART3_TXD	3	O							
					FSITX0_CLK	5	O							
					GPMC0_A7	6	O							
					GPIO12	7	IO							
					ADC_EXTCH_XBAROUT1	9	O							
					XBAROUT1	10	O							
C10	B12	A10	B12	GPIO13 GPIO13_CFG_REG 0x5310 0034 0x0000 05D7	SOP2	自举		开启/关闭/关闭	开启/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					SPI0_D0	0	IO							
					PR1_PRU0_GPIO0	1	IO							
					MMC0_D0	2	IO							
					UART3_CTSn	3	I							
					FSITX0_DATA0	5	O							
					GPMC0_A16	6	O							
					GPIO13	7	IO							
					ADC_EXTCH_XBAROUT2	9	O							
B11	C12	A11	B11	GPIO14 GPIO14_CFG_REG 0x5310 0038 0x0000 05F7	XBAROUT2	10	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					SOP3	自举								
					SPI0_D1	0	IO							
					PR1_PRU0_GPIO1	1	IO							
					MMC0_D1	2	IO							
					UART3_RTSn	3	O							
					FSITX0_DATA1	5	O							
					GPMC0_BE1n	6	O							
					GPIO14	7	IO							
					ADC_EXTCH_XBAROUT3	9	O							
					XBAROUT3	10	O							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
C9	D11	B9		GPIO15 GPIO15_CFG_REG 0x5310 003C 0x0000 05F7	SPI1_CS0	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					EPWM7_A	1	O							
					MMC0_D2	2	IO							
					UART4_TXD	3	O							
					PR1_PRU1_GPIO4	5	IO							
					GPIO15	7	IO							
					GPMC0_WAIT0	8	I							
					ADC_EXTCH_XBAROUT4	9	O							
					XBAROUT1	10	O							
A10	A12	B10		GPIO16 GPIO16_CFG_REG 0x5310 0040 0x0000 05F7	SPI1_CLK	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					EPWM7_B	1	O							
					MMC0_D3	2	IO							
					UART4_RXD	3	I							
					PR1_PRU1_GPIO3	5	IO							
					FSIRX0_CLK	6	I							
					GPIO16	7	IO							
					GPMC0_OEn_REn	8	O							
					ADC_EXTCH_XBAROUT5	9	O							
B10	D10	A9		GPIO17 GPIO17_CFG_REG 0x5310 0044 0x0000 05F7	XBAROUT2	10	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					SPI1_D0	0	IO							
					EPWM8_A	1	O							
					MMC0_WP	2	I							
					UART5_TXD	3	O							
					OSPI0_ECC_FAIL	4	I							
					PR1_PRU1_GPIO16	5	IO							
					FSIRX0_DATA0	6	I							
					GPIO17	7	IO							
					GPMC0_DIR	8	O							
					ADC_EXTCH_XBAROUT6	9	O							
					XBAROUT3	10	O							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
D9	C9	C11		GPIO18 GPIO18_CFG_REG 0x5310 0048 0x0000 05F7	SPI1_D1	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					EPWM8_B	1	O							
					MMC0_CD	2	I							
					UART5_RXD	3	I							
					OSPI0_RESET_OUT0	4	O							
					PR1_PRU1_GPIO15	5	IO							
					FSIRX0_DATA1	6	I							
					GPIO18	7	IO							
					GPCM0_WPn	8	O							
					ADC_EXTCH_XBAROUT7	9	O							
					XBAROUT4	10	O							
A9	A11	C10	A11	GPIO19 GPIO19_CFG_REG 0x5310 004C 0x0000 05F7	LIN1_RXD	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					OSPI0_ECC_FAIL	1	I							
					SPI2_CS0	2	IO							
					PR1_PRU1_GPIO6	3	IO							
					OSPI1_ECC_FAIL	4	I							
					UART1_RXD	5	I							
					GPCM0_AD6	6	IO							
					GPIO19	7	IO							
					OSPI0_RESET_OUT1	8	O							
					XBAROUT5	10	O							
					EPWM6_B	11	O							
M15	P19	J16	N19	GPIO100 GPIO100_CFG_REG 0x5310 0190 0x0000 05F7	PR0_PRU0_GPIO12	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					RMII2_TXD1	2	O							
					RGMI2_TD1	3	O							
					MII2_TXD1	4	O							
					GPIO100	7	IO							
H17	K20	F15	H19	GPIO101 GPIO101_CFG_REG 0x5310 0194 0x0000 05F7	PR0_PRU0_GPIO13	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					RGMI2_TD2	3	O							
					MII2_TXD2	4	O							
					GPIO101	7	IO							
H16	L19	G14	H18	GPIO102 GPIO102_CFG_REG 0x5310 0198 0x0000 05F7	PR0_PRU0_GPIO14	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					RGMI2_TD3	3	O							
					MII2_TXD3	4	O							
					GPIO102	7	IO							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
F15	F20		E18	GPIO103 GPIO103_CFG_REG 0x5310 019C 0x0000 05F7	PR0_PRU1_GPIO5	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					RMII1_RX_ER	2	I							
					MII1_RX_ER	4	I							
					GPIO103	7	IO							
					TRC_DATA0	8	O							
					ADC_EXTCH_XBAROUT6	9	O							
C18	E20			GPIO104 GPIO104_CFG_REG 0x5310 01A0 0x0000 05F7	PR0_PRU1_GPIO9	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR0_UART0_RXD	1	I							
					PR0_IEP0_EDIO_DATA_IN_OUT31	3	IO							
					MII1_COL	4	I							
					GPMC0_A21	6	O							
					GPIO104	7	IO							
					TRC_DATA1	8	O							
					ADC_EXTCH_XBAROUT7	9	O							
D17	E19			GPIO105 GPIO105_CFG_REG 0x5310 01A4 0x0000 05F7	PR0_PRU1_GPIO10	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR0_UART0_TXD	1	O							
					RMII1_CRS_DV	2	I							
					PR0_IEP0_EDIO_DATA_IN_OUT30	3	IO							
					MII1_CRS	4	I							
					GPMC0_A20	6	O							
					GPIO105	7	IO							
					TRC_DATA2	8	O							
D18	G18		C19	GPIO106 GPIO106_CFG_REG 0x5310 01A8 0x0000 05F7	PR0_PRU1_GPIO8	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					GPIO106	7	IO							
					TRC_DATA3	8	O							
E16	F19	E13	D19	GPIO107 GPIO107_CFG_REG 0x5310 01AC 0x0000 05F7	PR0_PRU1_GPIO6	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					MCAN0_RX	1	I							
					RMII1_REF_CLK	2	IO							
					RGMII1_RXC	3	I							
					MII1_RXCLK	4	I							
					GPIO107	7	IO							
					TRC_DATA4	8	O							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
F16	G19	D15	E19	GPIO108 GPIO108_CFG_REG 0x5310 01B0 0x0000 05F7	PR0_PRU1_GPIO4	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					MCAN0_TX	1	O							
					RGMII1_RX_CTL	3	I							
					MII1_RXDV	4	I							
					GPIO108	7	IO							
					TRC_DATA5	8	O							
F18	H20	D14	G18	GPIO109 GPIO109_CFG_REG 0x5310 01B4 0x0000 05F7	PR0_PRU1_GPIO0	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					MCAN1_RX	1	I							
					RMII1_RXD0	2	I							
					RGMII1_RD0	3	I							
					MII1_RXD0	4	I							
					GPIO109	7	IO							
G16	H19	D16	F18	GPIO110 GPIO110_CFG_REG 0x5310 01B8 0x0000 05F7	PR0_PRU1_GPIO1	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					MCAN1_TX	1	O							
					RMII1_RXD1	2	I							
					RGMII1_RD1	3	I							
					MII1_RXD1	4	I							
					GPIO110	7	IO							
E17	H17		E17	GPIO111 GPIO111_CFG_REG 0x5310 01BC 0x0000 05F7	PR0_PRU1_GPIO2	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					RGMII1_RD2	3	I							
					MII1_RXD2	4	I							
					GPIO111	7	IO							
					TRC_DATA8	8	O							
E18	G20		F19	GPIO112 GPIO112_CFG_REG 0x5310 01C0 0x0000 05F7	PR0_PRU1_GPIO3	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					RGMII1_RD3	3	I							
					MII1_RXD3	4	I							
					GPIO112	7	IO							
					TRC_DATA9	8	O							
C16	B20		B18	GPIO113 GPIO113_CFG_REG 0x5310 01C4 0x0000 05F7	PR0_PRU1_GPIO16	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					RGMII1_TXC	3	O							
					MII1_TXCLK	4	I							
					GPIO113	7	IO							
					TRC_DATA10	8	O							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
A17	E18		A18	GPIO114 GPIO114_CFG_REG 0x5310 01C8 0x0000 05F7	PR0_PRU1_GPIO15	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					RMII1_TX_EN	2	O							
					RGMII1_TX_CTL	3	O							
					MII1_TX_EN	4	O							
					GPIO114	7	IO							
					TRC_DATA11	8	O							
B18	F17		D18	GPIO115 GPIO115_CFG_REG 0x5310 01CC 0x0000 05F7	PR0_PRU1_GPIO11	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					RMII1_TXD0	2	O							
					RGMII1_TD0	3	O							
					MII1_TXD0	4	O							
					GPIO115	7	IO							
					TRC_DATA12	8	O							
B17	D20		C18	GPIO116 GPIO116_CFG_REG 0x5310 01D0 0x0000 05F7	PR0_PRU1_GPIO12	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					RMII1_TXD1	2	O							
					RGMII1_TD1	3	O							
					MII1_TXD1	4	O							
					GPIO116	7	IO							
					TRC_DATA13	8	O							
D16	C20		B19	GPIO117 GPIO117_CFG_REG 0x5310 01D4 0x0000 05F7	PR0_PRU1_GPIO13	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					RGMII1_TD2	3	O							
					MII1_TXD2	4	O							
					GPIO117	7	IO							
					TRC_DATA14	8	O							
					XBAROUT11	10	O							
C17	D19		C17	GPIO118 GPIO118_CFG_REG 0x5310 01D8 0x0000 05F7	PR0_PRU1_GPIO14	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					RGMII1_TD3	3	O							
					MII1_TXD3	4	O							
					GPIO118	7	IO							
					TRC_DATA15	8	O							
					XBAROUT12	10	O							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
D15	C18		B16	GPIO119 GPIO119_CFG_REG 0x5310 01DC 0x0000 05F7	PR0_PRU1_GPIO19	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					UART3_RXD	2	I							
					PR0_IEP0_EDC_SYNC_OUT0	3	O							
					GPMC0_A19	6	O							
					GPIO119	7	IO							
					TRC_CLK	8	O							
					EQEP1_A	9	I							
					XBAROUT13	10	O							
C15	C19		B17	GPIO120 GPIO120_CFG_REG 0x5310 01E0 0x0000 05F7	PR0_PRU1_GPIO18	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					UART3_TXD	2	O							
					PR0_IEP0_EDIO_DATA_IN_OUT31	3	IO							
					GPMC0_A17	6	O							
					GPIO120	7	IO							
					TRC_CTL	8	O							
					EQEP1_B	9	I							
					XBAROUT14	10	O							
P2	U2	P3	T1	GPIO121 GPIO121_CFG_REG 0x5310 01E4 0x0000 05F7	EXT_REFCLK0	0	I	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					SAFETY_ERRORn	1	IO							
					USB0_DRVVBUS	2	O							
					PR0_IEP0_EDIO_DATA_IN_OUT30	3	IO							
					GPMC0_A18	6	O							
					GPIO121	7	IO							
					EQEP1_INDEX	9	IO							
					XBAROUT15	10	O							
B16	B19	C15		GPIO122 GPIO122_CFG_REG 0x5310 01E8 0x0000 05F7	CLKOUT1	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRU0_GPIO7	1	IO							
					UART2_RTSn	2	O							
					PR1_UART0_CTSn	4	I							
					GPMC0_A5	6	O							
					GPIO122	7	IO							
					SDFM0_CLK0	8	I							
					EQEP1_STROBE	9	IO							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
D14	C16	A15		GPIO123 GPIO123_CFG_REG 0x5310 01EC 0x0000 05F7	PR0_ECAP0_APWM_OUT	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRU1_GPIO10	1	IO							
					UART2_CTSn	2	I							
					PR1_ECAP0_APWM_OUT	3	O							
					PR1_UART0_RTSn	4	O							
					GPMC0_AD10	6	IO							
					GPIO123	7	IO							
					SDFM0_D0	8	I							
A16	A19	C16		GPIO124 GPIO124_CFG_REG 0x5310 01F0 0x0000 05F7	PR0_PRU1_GPIO7	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					CPTS0_TS_SYNC	1	O							
					PR1_PRU0_GPIO10	2	IO							
					PR0_IEP0_EDC_SYNC_OUT1	3	O							
					PR1_UART0_RXD	4	I							
					GPMC0_A8	6	O							
					GPIO124	7	IO							
					SDFM0_CLK1	8	I							
					SDFM1_D0	9	I							
					UART2_TXD	10	O							
					UART5_RTSn	11	O							
D13	B17	C14		GPIO125 GPIO125_CFG_REG 0x5310 01F4 0x0000 05F7	PR0_PRU1_GPIO17	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRU1_GPIO13	1	IO							
					UART2_RXD	2	I							
					PR0_IEP0_EDIO_DATA_IN_OUT30	3	IO							
					PR1_UART0_TXD	4	O							
					UART5_CTSn	5	I							
					GPMC0_AD13	6	IO							
					GPIO125	7	IO							
					SDFM0_D1	8	I							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
B15	A18	B16	A17	GPIO126 GPIO126_CFG_REG 0x5310 01F8 0x0000 05F7	UART1_CTSn	0	I	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_MDIO0_MDIO	1	IO							
					SPI2_CS1	2	IO							
					PR1_IEP0_EDC_SYNC_OUT1	3	O							
					UART5_CTSn	4	I							
					UART5_TXD	5	O							
					GPMC0_CLKLB	6	IO							
					GPIO126	7	IO							
					SDFM0_CLK2	8	I							
					SDFM1_D1	9	I							
					ADC_EXTCH_XBAROUT8	10	O							
C13	A17	A14	A16	GPIO127 GPIO127_CFG_REG 0x5310 01FC 0x0000 05F7	UART2_CTSn	0	I	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_MDIO0_MDC	1	O							
					SPI3_CS1	2	IO							
					UART5_RXD	5	I							
					GPMC0_BE0n_CLE	6	O							
					GPIO127	7	IO							
					SDFM0_D2	8	I							
					ADC_EXTCH_XBAROUT0	10	O							
A15	B18	B15		GPIO128 GPIO128_CFG_REG 0x5310 0200 0x0000 05F7	SPI2_D1	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRU1_GPIO14	1	IO							
					UART5_RXD	5	I							
					GPMC0_AD14	6	IO							
					GPIO128	7	IO							
					SDFM0_CLK3	8	I							
					SDFM1_D2	9	I							
					ADC_EXTCH_XBAROUT9	10	O							
C14	D17	B14		GPIO129 GPIO129_CFG_REG 0x5310 0204 0x0000 05F7	SPI2_CLK	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRU1_GPIO17	1	IO							
					UART5_TXD	5	O							
					GPMC0_WEn	6	O							
					GPIO129	7	IO							
					SDFM0_D3	8	I							
					ADC_EXTCH_XBAROUT1	10	O							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
B14	A16	D13	B15	GPIO130 GPIO130_CFG_REG 0x5310 0208 0x0000 05F7	SPI2_D0	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRU1_GPIO18	1	IO							
					UART4_RTSn	2	O							
					PR1_IEP0_EDC_SYNC_OUT0	3	O							
					I2C1_SDA	4	IO							
					MCAN1_RX	5	I							
					GPMC0_OEn_REn	6	O							
					GPIO130	7	IO							
					EQEP0_A	8	I							
A14	B16	C13	A15	GPIO131 GPIO131_CFG_REG 0x5310 020C 0x0000 05F7	SPI2_CS0	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRU0_GPIO19	1	IO							
					UART4_CTSn	2	I							
					PR1_IEP0_EDIO_DATA_IN_OUT31	3	IO							
					I2C1_SCL	4	IO							
					MCAN1_TX	5	O							
					GPMC0_CSn0	6	O							
					GPIO131	7	IO							
					EQEP0_B	8	I							
C12	C14	C12	A14	GPIO132 GPIO132_CFG_REG 0x5310 0210 0x0000 05F7	SDFM1_CLK0	9	I	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					I2C2_SDA	0	IO							
					PR1_PRU0_GPIO20	1	IO							
					UART4_TXD	2	O							
					PR1_IEP0_EDIO_DATA_IN_OUT30	3	IO							
					GPMC0_A15	6	O							
					GPIO132	7	IO							
					EQEP0_STROBE	8	IO							
					ADC_EXTCH_XBAROUT2	10	O							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
D11	D15	B13	B14	GPIO133 GPIO133_CFG_REG 0x5310 0214 0x0000 05F7	I2C2_SCL	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRUI_GPIO7	1	IO							
					UART4_RXD	2	I							
					GPMMC0_AD7	6	IO							
					GPIO133	7	IO							
					EQEP0_INDEX	8	IO							
					SDFM1_D1	9	I							
					ADC_EXTCH_XBAROUT3	10	O							
B13	B15	B12	B13	GPIO134 GPIO134_CFG_REG 0x5310 0218 0x0000 05F7	I2C0_SDA	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	I2C 开漏	
					GPIO134	7	IO							
					SDFM1_CLK2	9	I							
A13	A15	A13	A13	GPIO135 GPIO135_CFG_REG 0x5310 021C 0x0000 05F7	I2C0_SCL	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	I2C 开漏	
					GPIO135	7	IO							
					SDFM1_CLK3	9	I							
B12	B14			GPIO136 GPIO136_CFG_REG 0x5310 0220 0x0000 05F7	UART1_RTSn	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					SPI0_CS1	1	IO							
					LIN0_RXD	2	IO							
					UART3_RXD	3	I							
					GPIO136	7	IO							
					SDFM1_D2	9	I							
A12	A14			GPIO137 GPIO137_CFG_REG 0x5310 0224 0x0000 05F7	UART2_RTSn	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					EQEP1_INDEX	1	IO							
					LIN0_TXD	2	IO							
					UART3_TXD	3	O							
					GPIO137	7	IO							
					SDFM1_D3	9	I							
M2	M1	H1	J3	GPIO138 GPIO138_CFG_REG 0x5310 0228 0x0000 0570	CLKOUT0	0	O	关闭/关闭/关闭	关闭/SS/关闭	模式 0	1.8V/3.3V	是	LVCMOS	PU/PD
					LIN1_RXD	1	IO							
					OSPI0_ECC_FAIL	2	I							
					UART1_RXD	3	I							
					SPI2_CS0	4	IO							
					OSPI1_ECC_FAIL	5	I							
					USB0_DRVVBUS	6	O							
					GPIO138	7	IO							
					SAFETY_ERRORn	8	IO							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
V2	V1	R1	V1	GPIO139 GPIO139_CFG_REG 0x5310 022C 0x00 0060	USB0_DP	0	IO	关闭/关闭/关闭	关闭/SS/关闭	模式 0	3.3V	0	模拟	0
					UART5_RXD	1	I							
					GPIO139	7	IO							
U3	W1	P1	U1	GPIO140 GPIO140_CFG_REG 0x5310 0230 0x00 0060	USB0_DM	0	IO	关闭/关闭/关闭	关闭/SS/关闭	模式 0	3.3V	0	模拟	0
					UART5_TXD	1	O							
					GPIO140	7	IO							
B9	B11	D8	B10	GPIO20 GPIO20_CFG_REG 0x5310 0050 0x0000 05F7	LIN1_TXD	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					OSPI0_RESET_OUT0	1	O							
					SPI2_CLK	2	IO							
					PR1_PRU1_GPIO8	3	IO							
					OSPI1_RESET_OUT0	4	O							
					UART1_TXD	5	O							
					GPMC0_AD8	6	IO							
					GPIO20	7	IO							
					XBAROUT6	10	O							
					EPWM6_A	11	O							
B8	B10	B8	A10	GPIO21 GPIO21_CFG_REG 0x5310 0054 0x0000 05F7	LIN2_RXD	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					UART2_RXD	1	I							
					SPI2_D0	2	IO							
					USB0_DRVVBUS	3	O							
					OSPI1_RESET_OUT1	4	O							
					OSPI0_RESET_OUT1	5	O							
					GPIO21	7	IO							
A8	A10	C9	B9	GPIO22 GPIO22_CFG_REG 0x5310 0058 0x0000 05F7	LIN2_TXD	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					UART2_TXD	1	O							
					SPI2_D1	2	IO							
					GPIO22	7	IO							
					GPMC0_ADVn_ALE	8	O							
D7	B9	B7		GPIO23 GPIO23_CFG_REG 0x5310 005C 0x0000 05F7	I2C1_SCL	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					SPI3_CS0	2	IO							
					PR1_PRU0_GPIO17	3	IO							
					GPMC0_WEn	6	O							
					GPIO23	7	IO							
					XBAROUT7	10	O							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
C8	A9	A8		GPIO24 GPIO24_CFG_REG 0x5310 0060 0x0000 05F7	I2C1_SDA	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					SPI3_CLK	2	IO							
					PR1_PRU0_GPIO18	3	IO							
					GPMC0_OEn_REn	6	O							
					GPIO24	7	IO							
					XBAROUT8	10	O							
C7	C7	C8	C9	GPIO25 GPIO25_CFG_REG 0x5310 0064 0x0000 05F7	UART0_RTSn	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					I2C2_SCL	1	IO							
					SPI3_D0	2	IO							
					PR1_PRU1_GPIO19	3	IO							
					PR1_PRU0_GPIO17	4	IO							
					UART3_RXD	5	I							
					GPMC0_WAIT1	6	I							
					GPIO25	7	IO							
B7	D8	A7	A9	GPIO26 GPIO26_CFG_REG 0x5310 0068 0x0000 05F7	UART0_CTSn	0	I	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					I2C2_SDA	1	IO							
					SPI3_D1	2	IO							
					SPI0_CS1	3	IO							
					PR1_PRU0_GPIO7	4	IO							
					UART3_TXD	5	O							
					GPIO26	7	IO							
					XBAROUT10	10	O							
A7	A8	A6	A8	GPIO27 GPIO27_CFG_REG 0x5310 006C 0x0000 05F7	UART0_RXD	0	I	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					LIN0_RXD	1	IO							
					GPIO27	7	IO							
					XBAROUT4	10	O							
A6	B8	B6	B8	GPIO28 GPIO28_CFG_REG 0x5310 0070 0x0000 05F7	UART0_TXD	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					LIN0_TXD	1	IO							
					GPIO28	7	IO							
					XBAROUT5	10	O							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
R17	W20	P16	V19	GPIO29 GPIO29_CFG_REG 0x5310 0074 0x0000 05F7	RGMII1_RXC	0	I	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					RMII1_REF_CLK	1	IO							
					MII1_RXCLK	2	I							
					OSPI1_CLK	3	O							
					FSITX0_CLK	6	O							
					GPIO29	7	IO							
R18	V19	M14	U17	GPIO30 GPIO30_CFG_REG 0x5310 0078 0x0000 05F7	RGMII1_RX_CTL	0	I	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					RMII1_RX_ER	1	I							
					MII1_RXDV	2	I							
					OSPI1_D0	3	IO							
					FSITX0_DATA0	6	O							
					GPIO30	7	IO							
U17	Y18	P14	W17	GPIO31 GPIO31_CFG_REG 0x5310 007C 0x0000 05F7	RGMII1_RD0	0	I	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					RMII1_RXD0	1	I							
					MII1_RXD0	2	I							
					OSPI1_D1	3	IO							
					FSITX0_DATA1	6	O							
					GPIO31	7	IO							
T17	W18	P15	V17	GPIO32 GPIO32_CFG_REG 0x5310 0080 0x0000 05F7	RGMII1_RD1	0	I	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					RMII1_RXD1	1	I							
					MII1_RXD1	2	I							
					OSPI1_D2	3	IO							
					FSIRX0_CLK	6	I							
					GPIO32	7	IO							
U18	Y19	R16	W18	GPIO33 GPIO33_CFG_REG 0x5310 0084 0x0000 05F7	RGMII1_RD2	0	I	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					PR1_IEP0_EDC_SYNC_OUT0	1	O							
					MII1_RXD2	2	I							
					OSPI1_D3	3	IO							
					UART1_RXD	4	I							
					FSIRX0_DATA0	6	I							
					GPIO33	7	IO							
					EQEP0_A	8	I							
					GPMC0_CSn2	9	O							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
T18	W19	N14	V18	GPIO34 GPIO34_CFG_REG 0x5310 0088 0x0000 05F7	RGMII1_RD3	0	I	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					PR1_IEP0_EDIO_DATA_IN_OUT31	1	IO							
					MII1_RXD3	2	I							
					OSPI1_D4	3	IO							
					UART1_TXD	4	O							
					FSIRX0_DATA1	6	I							
					GPIO34	7	IO							
					EQEP0_B	8	I							
					GPMC0_CSn3	9	O							
N18	U20	L15	R18	GPIO35 GPIO35_CFG_REG 0x5310 008C 0x0000 05F7	RGMII1_TXC	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					PR1_IEP0_EDIO_DATA_IN_OUT30	1	IO							
					MII1_TXCLK	2	I							
					OSPI1_D5	3	IO							
					UART4_RXD	4	I							
					GPIO35	7	IO							
					EQEP0_INDEX	8	IO							
M18	T20	M16	T19	GPIO36 GPIO36_CFG_REG 0x5310 0090 0x0000 05F7	RGMII1_TX_CTL	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					RMII1_TX_EN	1	O							
					MII1_TX_EN	2	O							
					OSPI1_D6	3	IO							
					GPIO36	7	IO							
					EQEP0_STROBE	8	IO							
P16	V18	N15	U18	GPIO37 GPIO37_CFG_REG 0x5310 0094 0x0000 05F7	RGMII1_TD0	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					RMII1_TXD0	1	O							
					MII1_TXD0	2	O							
					OSPI1_D7	3	IO							
					GPIO37	7	IO							
					EQEP1_A	8	I							
P17	V20	N16	U19	GPIO38 GPIO38_CFG_REG 0x5310 0098 0x0000 05F7	RGMII1_TD1	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					RMII1_TXD1	1	O							
					MII1_TXD1	2	O							
					OSPI1_CSn0	3	O							
					GPIO38	7	IO							
					EQEP1_B	8	I							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
P18	U19	L13	R17	GPIO39 GPIO39_CFG_REG 0x5310 009C 0x0000 05F7	RGMII1_TD2	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					RMII1_CRD_DV	1	I							
					MII1_TXD2	2	O							
					OSPI1_DQS	3	I							
					GPIO39	7	IO							
					EQEP1_STROBE	8	IO							
N17	T19	M15	T18	GPIO40 GPIO40_CFG_REG 0x5310 00A0 0x0000 05F7	RGMII1_TD3	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					PR0_PRU0_GPIO7	1	IO							
					MII1_TXD3	2	O							
					OSPI1_ECC_FAIL	3	I							
					UART4_TXD	4	O							
					PR0_IEP0_EDC_SYNC_OUT1	5	O							
					PR1_IEP0_EDC_SYNC_OUT1	6	O							
					GPIO40	7	IO							
N16	R17	L16	P18	GPIO41 GPIO41_CFG_REG 0x5310 00A4 0x0000 05F7	MDIO0_MDIO	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					MCAN1_RX	1	I							
					OSPI1_RESET_OUT0	3	O							
					GPIO41	7	IO							
M17	T18	L14	R19	GPIO42 GPIO42_CFG_REG 0x5310 00A8 0x0000 05F7	MDIO0_MDC	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					MCAN1_TX	1	O							
					GPIO42	7	IO							
B2	B3	A4	B5	GPIO43 GPIO43_CFG_REG 0x5310 00AC 0x0000 05F7	EPWM0_A	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRU0_GPIO5	2	IO							
					GPMC0_A3	6	O							
					GPIO43	7	IO							
					EPWM0_A	10	O							
B1	C3	A5	A6	GPIO44 GPIO44_CFG_REG 0x5310 00B0 0x0000 05F7	EPWM0_B	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRU0_GPIO8	2	IO							
					GPMC0_A6	6	O							
					GPIO44	7	IO							
					EPWM0_B	10	O							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
D3	A2	B4	A5	GPIO45 GPIO45_CFG_REG 0x5310 00B4 0x0000 05F7	EPWM1_A	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRU0_GPIO6	2	IO							
					GPMC0_A4	6	O							
					GPIO45	7	IO							
					EPWM1_A	10	O							
D2	A3	C5	A4	GPIO46 GPIO46_CFG_REG 0x5310 00B8 0x0000 05F7	EPWM1_B	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRU0_GPIO4	2	IO							
					GPMC0_A2	6	O							
					GPIO46	7	IO							
					EPWM4_B	10	O							
C2	B1	A3	A3	GPIO47 GPIO47_CFG_REG 0x5310 00BC 0x0000 05F7	EPWM2_A	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRU0_GPIO3	2	IO							
					GPMC0_A1	6	O							
					GPIO47	7	IO							
					EPWM2_A	10	O							
C1	B2	A2	B4	GPIO48 GPIO48_CFG_REG 0x5310 00C0 0x0000 05F7	EPWM2_B	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRU0_GPIO16	2	IO							
					PR1_PRU0_GPIO7	4	IO							
					GPMC0_A14	6	O							
					GPIO48	7	IO							
					EPWM2_B	10	O							
E2	C1	B2	A2	GPIO49 GPIO49_CFG_REG 0x5310 00C4 0x0000 05F7	EPWM3_A	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRU0_GPIO15	2	IO							
					GPMC0_A13	6	O							
					GPIO49	7	IO							
					EPWM3_A	10	O							
E3	C2	C4	B2	GPIO50 GPIO50_CFG_REG 0x5310 00C8 0x0000 05F7	EPWM3_B	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRU0_GPIO11	2	IO							
					GPMC0_A9	6	O							
					GPIO50	7	IO							
					EPWM6_A	10	O							
D1	D2	B1	B1	GPIO51 GPIO51_CFG_REG 0x5310 00CC 0x0000 05F7	EPWM4_A	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRU0_GPIO12	2	IO							
					GPMC0_A10	6	O							
					GPIO51	7	IO							
					EPWM4_A	10	O							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
E4	D1	C1	B3	GPIO52 GPIO52_CFG_REG 0x5310 00D0 0x0000 05F7	EPWM4_B	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRU0_GPIO13	2	IO							
					GPWC0_A11	6	O							
					GPIO52	7	IO							
					EPWM1_B	10	O							
F2	E2	C2	C2	GPIO53 GPIO53_CFG_REG 0x5310 00D4 0x0000 05F7	EPWM5_A	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRU0_GPIO14	2	IO							
					GPWC0_A12	6	O							
					GPIO53	7	IO							
					EPWM5_A	10	O							
G2	E1	D3	C1	GPIO54 GPIO54_CFG_REG 0x5310 00D8 0x0000 05F7	EPWM5_B	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRU1_GPIO5	2	IO							
					OSPI0_RESET_OUT0	3	O							
					GPWC0_AD5	6	IO							
					GPIO54	7	IO							
E1	F2	E3	E3	GPIO55 GPIO55_CFG_REG 0x5310 00DC 0x0000 05F7	EPWM8_B	10	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					EPWM6_A	0	O							
					PR1_PRU1_GPIO8	1	IO							
					CLKOUT0	2	O							
					GPWC0_AD8	6	IO							
F3	F1	F4	E2	GPIO56 GPIO56_CFG_REG 0x5310 00E0 0x0000 05F7	GPIO55	7	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					EPWM3_B	10	O							
					EPWM6_B	0	O							
					PR1_PRU1_GPIO6	1	IO							
					UART2_RTSn	3	O							
F4	G2	D2	D2	GPIO57 GPIO57_CFG_REG 0x5310 00E4 0x0000 05F7	GPWC0_A20	6	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					GPIO56	7	IO							
					EPWM6_B	10	O							
					EPWM7_A	0	O							
					PR1_PRU1_GPIO4	1	IO							
					OSPI0_CSn1	2	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					OSPI1_CSn1	5	O							
					GPWC0_AD4	6	IO							
					GPIO57	7	IO							
					EPWM7_A	10	O							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
F1	G1	D1	D1	GPIO58 GPIO58_CFG_REG 0x5310 00E8 0x0000 05F7	EPWM7_B	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					PR1_PRU1_GPIO3	1	IO							
					OSPI1_D1	2	IO							
					OSPI0_D1	5	IO							
					GPWC0_AD3	6	IO							
					GPIO58	7	IO							
					EPWM5_B	10	O							
G3	H2	E2	E1	GPIO59 GPIO59_CFG_REG 0x5310 00EC 0x0000 05F7	EPWM8_A	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					PR1_PRU1_GPIO16	1	IO							
					OSPI1_D0	2	IO							
					MCAN0_RX	3	I							
					PR0_PRU1_GPIO7	4	IO							
					OSPI0_D0	5	IO							
					GPWC0_CSn1	6	O							
					GPIO59	7	IO							
					UART4_TXD	8	O							
H2	H1	E1	F1	GPIO60 GPIO60_CFG_REG 0x5310 00F0 0x0000 05F7	EPWM8_B	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					PR1_PRU1_GPIO15	1	IO							
					OSPI1_CLK	2	O							
					MCAN0_TX	3	O							
					OSPI0_CLK	5	O							
					GPWC0_AD15	6	IO							
					GPIO60	7	IO							
					UART4_RXD	8	I							
					EPWM9_B	10	O							
G1	K4	F2	F2	GPIO61 GPIO61_CFG_REG 0x5310 00F4 0x0000 05F7	EPWM9_A	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					LIN1_TXD	1	IO							
					OSPI0_RESET_OUT0	2	O							
					SPI2_CLK	3	IO							
					UART1_TXD	4	O							
					OSPI1_RESET_OUT0	5	O							
					GPIO61	7	IO							
					EPWM9_A	10	O							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
J2	L2	F3	G1	GPIO62 GPIO62_CFG_REG 0x5310 00F8 0x0000 05F7	EPWM9_B	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					LIN1_RXD	1	IO							
					OSPI0_CSn0	2	O							
					UART1_RTSn	3	O							
					OSPI1_CSn0	5	O							
					GPIO62	7	IO							
G4	J2			GPIO63 GPIO63_CFG_REG 0x5310 00FC 0x0000 05F7	LIN0_RXD	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					UART1_CTSn	1	I							
					I2C0_SDA	3	IO							
					UART2_TXD	4	O							
					GPIO63	7	IO							
					EPWM7_B	10	O							
J3	J1			GPIO64 GPIO64_CFG_REG 0x5310 0100 0x0000 05F7	LIN0_TXD	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					UART2_RTSn	1	O							
					OSPI0_RESET_OUT0	2	O							
					I2C0_SCL	3	IO							
					UART4_TXD	4	O							
					GPIO64	7	IO							
H1	J3			GPIO65 GPIO65_CFG_REG 0x5310 0104 0x0000 05F7	OSPI0_ECC_FAIL	0	I	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					UART2_CTSn	1	I							
					OSPI0_RESET_OUT1	2	O							
					I2C1_SDA	3	IO							
					UART4_RXD	4	I							
					OSPI0_CSn0	6	O							
					GPIO65	7	IO							
J1	K2	G3		GPIO66 GPIO66_CFG_REG 0x5310 0108 0x0000 05F7	OSPI0_RESET_OUT0	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					UART3_RTSn	1	O							
					I2C1_SCL	3	IO							
					UART2_RXD	4	I							
					OSPI0_D1	6	IO							
					GPIO66	7	IO							
K2	K1	G2	G2	GPIO67 GPIO67_CFG_REG 0x5310 010C 0x0000 05F7	PR1_PRU0_GPIO0	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					OSPI0_D5	2	IO							
					UART3_CTSn	3	I							
					GPIO67	7	IO							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
J4	L4	H3	H1	GPIO68 GPIO68_CFG_REG 0x5310 0110 0x0000 05F7	PR1_PRU0_GPIO1	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					OSPI0_D7	2	IO							
					UART1_DCDn	3	I							
					GPIO68	7	IO							
K4	L1	H2	H2	GPIO69 GPIO69_CFG_REG 0x5310 0114 0x0000 05F7	PR1_PRU0_GPIO2	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					OSPI0_D3	2	IO							
					UART1_Rln	3	I							
					GPIO69	7	IO							
K3	M2	G1	J1	GPIO70 GPIO70_CFG_REG 0x5310 0118 0x0000 05F7	PR1_PRU0_GPIO9	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					OSPI0_D1	2	IO							
					UART1_DTRn	3	O							
					UART3_CTSn	4	I							
					OSPI1_D1	5	IO							
					OSPI0_ECC_FAIL	6	I							
					GPIO70	7	IO							
V17	W16	R14	V15	GPIO71 GPIO71_CFG_REG 0x5310 011C 0x0000 05F7	PR1_PRU1_GPIO0	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					UART1_DSRn	1	I							
					UART4_RTSn	3	O							
					GPMC0_AD0	6	IO							
					GPIO71	7	IO							
T16	Y16	T14	W15	GPIO72 GPIO72_CFG_REG 0x5310 0120 0x0000 05F7	PR1_PRU1_GPIO1	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					MII1_RX_ER	2	I							
					UART4_CTSn	3	I							
					GPMC0_AD1	6	IO							
					GPIO72	7	IO							
P15	W17	T15	W16	GPIO73 GPIO73_CFG_REG 0x5310 0124 0x0000 05F7	PR1_PRU1_GPIO2	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					MII1_COL	2	I							
					UART5_TXD	3	O							
					GPMC0_AD2	6	IO							
					GPIO73	7	IO							
					ADC_EXTCH_XBAROUT4	9	O							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
R16	Y17	R15	V16	GPIO74 GPIO74_CFG_REG 0x5310 0128 0x0000 05F7	PR1_PRU1_GPIO9	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					MII1_CRS	2	I							
					UART5_RXD	3	I							
					GPMMC0_AD9	6	IO							
					GPIO74	7	IO							
					ADC_EXTCH_XBAROUT5	9	O							
L3	T3	M1	L2	GPIO75 GPIO75_CFG_REG 0x5310 012C 0x0000 05F7	UART1_RXD	0	I	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					OSPI0_LBCLKO	1	O							
					LIN1_RXD	4	IO							
					OSPI1_LBCLKO	5	O							
					GPMMC0_CLK	6	IO							
					GPIO75	7	IO							
M3	R4	L1	M1	GPIO76 GPIO76_CFG_REG 0x5310 0130 0x0000 05F7	UART1_TXD	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	1.8V/3.3V	是	LVCMOS	PU/PD
					OSPI0_DQS	1	I							
					OSPI0_D4	2	IO							
					LIN1_TXD	4	IO							
					GPIO76	7	IO							
B6	B7			GPIO77 GPIO77_CFG_REG 0x5310 0134 0x0000 05F7	MMC0_CLK	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					UART0_RXD	1	I							
					LIN0_RXD	2	IO							
					MCAN0_RX	3	I							
					PR1_MDIO0_MDIO	4	IO							
					GPIO77	7	IO							
					SDFM1_CLK0	8	I							
A4	A6			GPIO78 GPIO78_CFG_REG 0x5310 0138 0x0000 05F7	MMC0_CMD	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					UART0_TXD	1	O							
					LIN0_TXD	2	IO							
					MCAN0_TX	3	O							
					PR1_MDIO0_MDC	4	O							
					GPIO78	7	IO							
					SDFM1_D0	8	I							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
B5	B6			GPIO79 GPIO79_CFG_REG 0x5310 013C 0x0000 05F7	MMC0_D0	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					UART2_RXD	1	I							
					I2C1_SCL	2	IO							
					MCAN1_RX	3	I							
					PR1_PRU0_GPIO10	4	IO							
					GPIO79	7	IO							
					SDFM1_CLK1	8	I							
B4	A5			GPIO80 GPIO80_CFG_REG 0x5310 0140 0x0000 05F7	MMC0_D1	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					MCAN1_TX	3	O							
					PR1_PRU0_GPIO9	4	IO							
					GPIO80	7	IO							
					SDFM1_D1	8	I							
A3	B5			GPIO81 GPIO81_CFG_REG 0x5310 0144 0x0000 05F7	MMC0_D2	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					UART2_TXD	1	O							
					I2C1_SDA	2	IO							
					PR1_PRU0_GPIO0	4	IO							
					GPIO81	7	IO							
					SDFM1_CLK2	8	I							
A2	A4			GPIO82 GPIO82_CFG_REG 0x5310 0148 0x0000 05F7	MMC0_D3	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					UART3_RTSn	1	O							
					PR1_PRU0_GPIO1	4	IO							
					GPIO82	7	IO							
					SDFM1_D2	8	I							
C6	B4			GPIO83 GPIO83_CFG_REG 0x5310 014C 0x0000 05F7	MMC0_WP	0	I	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					UART0_RTSn	1	O							
					I2C2_SCL	2	IO							
					PR1_PRU0_GPIO2	4	IO							
					GPIO83	7	IO							
					SDFM1_CLK3	8	I							
A5	A7			GPIO84 GPIO84_CFG_REG 0x5310 0150 0x0000 05F7	MMC0_CD	0	I	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					UART0_CTSn	1	I							
					I2C2_SDA	2	IO							
					GPIO84	7	IO							
					SDFM1_D3	8	I							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
L17	R19	K15	N17	GPIO85 GPIO85_CFG_REG 0x5310 0154 0x0000 05F7	PR0_MDIO0_MDIO	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					LIN0_RXD	1	IO							
					MCAN0_RX	2	I							
					GPIO85	7	IO							
					XBAROUT14	10	O							
L18	R20	K16	P19	GPIO86 GPIO86_CFG_REG 0x5310 0158 0x0000 05F7	PR0_MDIO0_MDC	0	O	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					LIN0_TXD	1	IO							
					MCAN0_TX	2	O							
					GPIO86	7	IO							
					XBAROUT15	10	O							
G17	K19	F14	G17	GPIO87 GPIO87_CFG_REG 0x5310 015C 0x0000 05F7	PR0_PRU0_GPIO5	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					UART3_RTSn	1	O							
					RMII2_RX_ER	2	I							
					MII2_RX_ER	4	I							
					GPIO87	7	IO							
					TRC_CTL	8	O							
					ADC_EXTCH_XBAROUT4	9	O							
					XBAROUT6	10	O							
F17	J19	E15		GPIO88 GPIO88_CFG_REG 0x5310 0160 0x0000 05F7	PR0_PRU0_GPIO9	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRU0_GPIO9	1	IO							
					PR0_IEP0_EDC_SYNC_OUT1	2	O							
					PR0_UART0_CTSn	3	I							
					MII2_COL	4	I							
					GPIO88	7	IO							
G18	J20	E16	J18	GPIO89 GPIO89_CFG_REG 0x5310 0164 0x0000 05F7	PR0_PRU0_GPIO10	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					UART3_CTSn	1	I							
					RMII2_CRS_DV	2	I							
					PR0_UART0_RTSn	3	O							
					MII2_CRS	4	I							
					GPIO89	7	IO							
G15	J18	E14	G19	GPIO90 GPIO90_CFG_REG 0x5310 0168 0x0000 05F7	PR0_PRU0_GPIO8	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					I2C0_SDA	1	IO							
					GPIO90	7	IO							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
K15	N20	H15	L18	GPIO91 GPIO91_CFG_REG 0x5310 016C 0x0000 05F7	PR0_PRU0_GPIO6	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					I2C0_SCL	1	IO							
					RMII2_REF_CLK	2	IO							
					RGMII2_RXC	3	I							
					MII2_RXCLK	4	I							
					GPIO91	7	IO							
K16	L20	G15	J19	GPIO92 GPIO92_CFG_REG 0x5310 0170 0x0000 05F7	PR0_PRU0_GPIO4	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					UART3_RXD	1	I							
					RGMII2_RX_CTL	3	I							
					MII2_RXDV	4	I							
					GPIO92	7	IO							
					TRC_CLK	8	O							
					ADC_EXTCH_XBAROUT5	9	O							
K17	N17	K14	M18	GPIO93 GPIO93_CFG_REG 0x5310 0174 0x0000 05F7	PR0_PRU0_GPIO0	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRU0_GPIO0	1	IO							
					RMII2_RXD0	2	I							
					RGMII2_RD0	3	I							
					MII2_RXD0	4	I							
					GPIO93	7	IO							
					TRC_DATA0	8	O							
					ADC_EXTCH_XBAROUT6	9	O							
K18	N19	H14	L19	GPIO94 GPIO94_CFG_REG 0x5310 0178 0x0000 05F7	PR0_PRU0_GPIO1	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRU0_GPIO1	1	IO							
					RMII2_RXD1	2	I							
					RGMII2_RD1	3	I							
					MII2_RXD1	4	I							
					GPIO94	7	IO							
					TRC_DATA1	8	O							
					ADC_EXTCH_XBAROUT7	9	O							
					XBAROUT11	10	O							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
J18	M18	G16	K19	GPIO95 GPIO95_CFG_REG 0x5310 017C 0x0000 05F7	PR0_PRU0_GPIO2	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					PR1_PRU0_GPIO2	1	IO							
					RGMI2_RD2	3	I							
					MII2_RXD2	4	I							
					GPIO95	7	IO							
					TRC_DATA2	8	O							
					ADC_EXTCH_XBAROUT8	9	O							
					XBAROUT12	10	O							
J17	M20	J14	L17	GPIO96 GPIO96_CFG_REG 0x5310 0180 0x0000 05F7	PR0_PRU0_GPIO3	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					UART3_TXD	1	O							
					RGMI2_RD3	3	I							
					MII2_RXD3	4	I							
					GPIO96	7	IO							
					TRC_DATA3	8	O							
					ADC_EXTCH_XBAROUT9	9	O							
					XBAROUT13	10	O							
H18	M19	F16	K18	GPIO97 GPIO97_CFG_REG 0x5310 0184 0x0000 05F7	PR0_PRU0_GPIO16	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					RGMI2_TXC	3	O							
					MII2_TXCLK	4	I							
					GPIO97	7	IO							
L16	P18	H16	M19	GPIO98 GPIO98_CFG_REG 0x5310 0188 0x0000 05F7	PR0_PRU0_GPIO15	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					RMII2_TX_EN	2	O							
					RGMI2_TX_CTL	3	O							
					MII2_TX_EN	4	O							
					GPIO98	7	IO							
M16	P20	J15	N18	GPIO99 GPIO99_CFG_REG 0x5310 018C 0x0000 05F7	PR0_PRU0_GPIO11	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	模式 7	3.3V	是	LVCMOS	PU/PD
					RMII2_TXD0	2	O							
					RGMI2_TD0	3	O							
					MII2_TXD0	4	O							
					GPIO99	7	IO							

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
J15、 R7、R9、 T15、 T7、U4、 U5、U6、 U7、U8、 U9、V3、 V4、V5、 V6、V7、 V8	U17			NC	NC	0	NC				不适用	0	-	0
R2	V3	P2	T2	PORz	PORz	0	I			模式 0	3.3V	是	HHV	
D4	E3	B3	C5	SAFETY_ERRORn SAFETY_ERRORn_CFG_RE G 0x5310 0238 0x0000 0410	SAFETY_ERRORn	0	IO	开启/低电平/下拉	开启/NA/下拉	模式 0	3.3V	是	LVC MOS	PU/PD
B3	D4	C6	B6	TCK TCK_CFG_REG 0x5310 0248 0x0000 0210	TCK	0	I	开启/低电平/上拉	开启/NA/上拉	模式 0	3.3V	是	LVC MOS	
C5	C5	D5	C7	TDI TDI_CFG_REG 0x5310 023C 0x0000 06D0	TDI	0	I	开启/低电平/上拉	开启/关闭/上拉	模式 0	3.3V	是	LVC MOS	PU/PD
C4	E5	B5	A7	TDO TDO_CFG_REG 0x5310 0240 0x0000 0630	TDO	0	O	关闭/低电平/上拉	关闭/NA/上拉	模式 0	3.3V	是	LVC MOS	PU/PD
U1	W3	P5	W4	TEMPCAL	TEMPCAL		-				-		模拟	
D5	D6	C7	B7	TMS TMS_CFG_REG 0x5310 0244 0x0000 0610	TMS	0	IO	开启/低电平/上拉	开启/NA/上拉	模式 0	3.3V	是	LVC MOS	PU/PD

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
E11、 E9、 F11、 F9、 G13、 G14、 G5、 G6、 K13、 K14、 K5、K6、 N13、 N14、 N5、N6	F12、 F14、 F7、F9、 G15、 G6、 J15、 J6、 M15、 M6、 P15、 P6、R7	E11、 E5、E7、 E9、 F12、 G5、 H12、 J5、 K12、 L5、 M12、M6	E10、 E12、 E14、 E6、E8、 F15、 F5、 H15、 H5、 K15、 K5、 M15、 M5、 P15、 P5、 R15、 R6、T6	VDD	VDD		电源				1.2V/1.25V	0	-	0
R11、 R6、R8	U10、U11	N9	U9	VDDA18_LDO	VDDA18_LDO		电源				1.8V	0	-	0
R4	U8	N6	U7	VDDA18_OSC_PLL	VDDA18_OSC_PLL		电源				1.8V	0	-	0
R4	T5	N4	U3	VDDA18_USB	VDDA18_USB		电源				1.8V	0	-	0
P11、 P7、P9	T12、T9	M10、M8	T10、T12	VDDA33	VDDA33		电源				3.3V	0	-	0
R15	P5	M4	R3	VDDA33_USB	VDDA33_USB		电源				3.3V	0	-	0
D10	D13	D10	C11	VDDAR2	VDDAR2		电源				1.2V/1.25V	0	-	0
H3	H4	G4	G3	VDDAR3	VDDAR3		电源				1.2V/1.25V	0	-	0
D6、 E15、 L4、N15	E14、 E9、F4、 G16、 L17、 N4、T16	D12、 D6、D9、 E4、 G13、 K13、 K4、N13	D10、 D14、 D6、 H16、 H4、L3、 M16、 T16	VDDS18	VDDS18		电源				1.8V	0	-	0
T3	U6	P4	V4	VDDS18_LDO	VDDS18_LDO		电源				1.8V	0	-	0
D12、 D8、 H15、 H4、 L15、 P4、R15				VDDS33	VDDS33		电源				3.3V	0	-	0
	E12、 E16、 E7、G5、 J16、M16	D11、 D4、D7、 F13、J13	C15、 D12、 D8、 F16、 F4、K16	VDDSHV_A	VDDS33		电源				3.3V	0	-	0
	M5	L4	P4	VDDSHV_B	VDDS33		电源				3.3V	0	-	0
	T14	N12	T14	VDDSHV_C	VDDS33		电源				3.3V	0	-	0

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
	J5	H4、J4	K4、M4	VDDSHV_D	VDD1833_FLASH0		电源				1.8V/3.3V	0	-	0
	P16	M13	P16	VDDSHV_E	VDD1833_FLASH1		电源				1.8V/3.3V	0	-	0
	T7	N5	U5	VDDSHV_F	VDD1833_FLASH0-SIP		电源				3.3V	0	-	0
		F1、J1		VDDSHV_G	VDD1833_FLASH0-SIP		电源				1.8V/3.3V	0	-	0
T4	V7	N8	T8	VDD_TEMP	VDD_TEMP		电源				1.8V	0	-	0
J16	K17	H13	J17	VNWA	VNWA		电源				1.2V/1.25V	0	-	0
N3	P3	K3	N3	VPP	VPP		电源				VPP	0	-	0

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
A1、 A18、 A20、 E10、 E12、 E13、 E14、 E5、E6、 E7、E8、 F10、 F12、 F13、 F14、 F5、F6、 F7、F8、 G10、 G11、 G12、 G7、 G8、 G9、 H10、 H11、 H12、 H13、 H14、 H5、H6、 H7、H8、 H9、 J10、 J11、 J12、 J13、 J14、 J5、J6、 J7、J8、 J9、 K10、 K11、 K12、 K7、K8、 K9、 L10、 L11、 L12、 L13、 L14、 L5、L6、 L7、L8、 L9、 M10、 M11、 M12、 M13、	A1、 A20、 F15、 F6、 G10、 G11、 G12、 G13、 G14、 G7、 G8、 G9、 H10、 H11、 H12、 H13、 H14、 H7、H8、 H9、 J10、 J11、 J12、 J13、 J14、 J7、J8、 J9、 K10、 K11、 K12、 K7、K8、 K9、 L10、 L11、 L12、 L13、 L14、 L5、L6、 L7、L8、 L9、 M10、 M11、 M12、 M13、	A1、 A16、 E10、 E12、 E6、E8、 F10、 F11、 F5、F6、 F7、F8、 G12、 G6、 G7、 G8、 G9、 H10、 H11、 H5、H6、 H7、H8、 H9、 J10、 J11、 J12、 J13、 J14、 J6、J7、 J8、J9、 K10、 K11、 K12、 K5、K6、 K7、K8、 K9、 L10、 L11、 L12、 L6、L7、 L8、L9、 M5、 M7、 R2、R3、 R4、T1、 T16	A1、 A19、 D16、 D4、 E15、 E5、 F10、 F11、 F12、 F13、 F14、 F6、F7、 F8、F9、 G10、 G11、 G12、 G13、 G14、 G6、 G7、 G8、 G9、 H10、 H11、 H12、 H13、 H14、 H6、H7、 H8、H9、 J10、 J11、 J12、 J13、 J14、 J6、J7、 J8、J9、 K10、 K11、 K12、 K13、 K14、 K6、K7、 K8、K9、 L10、 L11、 L12、 L13、 L14、 L6、L7、 L8、L9、 M10、 M11、 M12、	VSS	VSS		GND				VSS	0	-	0

表 5-1. 引脚属性 (ZCZ、ZFG、ZEJ、ZNC 封装) (续)

ZCZ 焊球 编号 [1]	ZFG 焊球 编号 [1]	ZEJ 焊球 编号 [1]	ZNC 焊球 编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [14]/ 地址 [15]/ 默认值 [16]	信号名称 [3]	多路复用 器 模式 [4]	[5] 类	复位 期间的 焊球 状态 RX/TX/拉动 [6]	复位 之后的 焊球 状态 RX/TX/拉动 [7]	复位 之后的 多路 复用器模式 [8]	IO 电压 [9]	HYS [11]	缓冲器 类型 [13]	拉杆 类型 [12]
M14、 M5、 M6、 M7、 M8、 M9、 N10、 N11、 N12、 N7、N8、 N9、 P13、 P14、 P5、T2、 V18	N7、N8、 N9、 P10、 P11、 P12、 P13、 P14、 P7、P8、 P9、 R14、 R15、 R6、V2、 V5、 W2、 Y1、Y20		M13、 M14、 M6、 M7、 M8、 M9、 N10、 N11、 N12、 N13、 N14、 N6、N7、 N8、N9、 P10、 P11、 P12、 P13、 P14、 P6、P7、 P8、P9、 R14、 R5、R8、 T4、U2、 V2、V3、 W1、W19											
P10、 P12、 P6、P8、 R13、 R5、V1、 V16	R12、R9	M11、M9	R10、 R12	VSSA	VSSA		-				-	0	模拟	0
U2	Y4	R5	V5	VSYS_MON	VSYS_MON		-				-		模拟	
C3	G3	C3	C3	WARMRSTn WARMRSTn_CFG_REG 0x5310 0234 0x0000 0510	WARMRSTn	0	IO	开启/低电平/关闭	开启/NA/关闭	模式 0	3.3V		FS_OPEN_D RAIN	
T1	Y3	T3	W3	XTAL_XI	XTAL_XI	0	I			More0	1.8V	是	OSC	
R1	Y2	T2	W2	XTAL_XO	XTAL_XO	0	O			模式 0	1.8V		OSC	

5.3 信号说明

根据引脚多路复用选项的软件配置，许多信号可在多个引脚上使用。

以下列表说明了列标题：

1. **信号名称**：通过引脚的信号的名称。

备注

每个“信号说明”表中提供的信号名称和说明表示在引脚上实现并通过 IOMUX 焊盘配置寄存器选择的引脚多路复用信号功能。某些器件子系统提供信号功能的二次多路复用，这些表中没有说明这些功能。有关辅助多路复用信号功能的更多信息，请参阅器件 TRM 的相应外设章节。

2. **引脚类型**：信号方向和类型：

- I = 输入
- O = 输出
- IO = 输入、输出或同时输入和输出
- ID = 输入，具有开漏输出功能
- OD = 输出，具有开漏输出功能
- IOD = 输入、输出或同时输入和输出，具有开漏输出功能
- IOZ = 输入、输出或同时输入和输出，具有三态输出功能
- OZ = 具有三态输出功能的输出
- A = 模拟
- CAP = LDO 电容器
- PWR = 电源
- GND = 地

3. **说明**：信号说明

4. **焊球**：相关焊球编号

更多有关 I/O 单元配置的信息，请参阅器件 TRM 中 *器件配置* 一章的 *焊盘配置寄存器* 部分。

5.3.1 ADC

表 5-2. ADC0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
ADC0_AIN0	-	ADC 模拟输入 0 (+IN0) CMPSSA0: inH (+IN)	V15	W13	P11	W12
ADC0_AIN1	-	ADC 模拟输入 1 (-IN0) CMPSSA0: inL (-IN)	U15	U13	N11	V12
ADC0_AIN2	-	ADC 模拟输入 2 (+IN1) CMPSSA1: inH (+IN)	T14	W14	R11	V13
ADC0_AIN3	-	ADC 模拟输入 3 (-IN1) CMPSSA1: inL (-IN)	U14	V14	P12	U11
ADC0_AIN4	-	ADC 模拟输入 4 (+IN2) CMPSSA2: inH (+IN)	U13	Y14	T12	W13
ADC0_AIN5	-	ADC 模拟输入 5 (-IN2) CMPSSA2: inL (-IN)	R14	W15	R12	U13
ADC0_AIN6	-	ADC 模拟输入 6		Y15	T13	W14

表 5-3. ADC1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
ADC1_AIN0	-	ADC 模拟输入 0 (+IN0) CMPSSA2: inH (+IN)	T11	W12	R10	
ADC1_AIN1	-	ADC 模拟输入 1 (-IN0) CMPSSA2: inL (-IN)	U11	V12	N10	
ADC1_AIN2	-	ADC 模拟输入 2 (+IN1) CMPSSA3: inH (+IN)	T12	Y11	P10	
ADC1_AIN3	-	ADC 模拟输入 3 (-IN1) CMPSSA3: inL (-IN)	V12	W11	P9	
ADC1_AIN4	-	ADC 模拟输入 4 (+IN2) CMPSSA4: inH (+IN)	U12	Y10	T9	
ADC1_AIN5	-	ADC 模拟输入 5 (-IN2) CMPSSA4: inL (-IN)	R12	W10	R9	
ADC1_AIN6	-	ADC 模拟输入 6		W9	R8	

表 5-4. ADC2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
ADC2_AIN0	-	ADC 模拟输入 0 (+IN0) CMPSSA4: inH (+IN)	R10	W8	R7	W8
ADC2_AIN1	-	ADC 模拟输入 1 (-IN0) CMPSSA4: inL (-IN)	T10	Y7	P7	V9
ADC2_AIN2	-	ADC 模拟输入 2 (+IN1) CMPSSA5: inH (+IN)	U10	Y6	P8	V6
ADC2_AIN3	-	ADC 模拟输入 3 (-IN1) CMPSSA5: inL (-IN)	T9	W7	P6	V7
ADC2_AIN4	-	ADC 模拟输入 4 (+IN2) CMPSSA6: inH (+IN)	V9	W6	R6	W9

表 5-4. ADC2 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
ADC2_AIN5	-	ADC 模拟输入 5 (-IN2) CMPSSA6: inL (-IN)	T8	V9	N7	V8
ADC2_AIN6	-	ADC 模拟输入 6		Y5	T6	W7

5.3.1.1 ADC-CMPSS 信号连接

在每个 ADC 中，三组差分引脚应与三个 CMPSSA 的引脚共享 的两个独立引脚。图 5-5 和 表 5-5 中演示了这些引脚，其中 CHSEL 值决定了如何将输入馈送到 ADC。

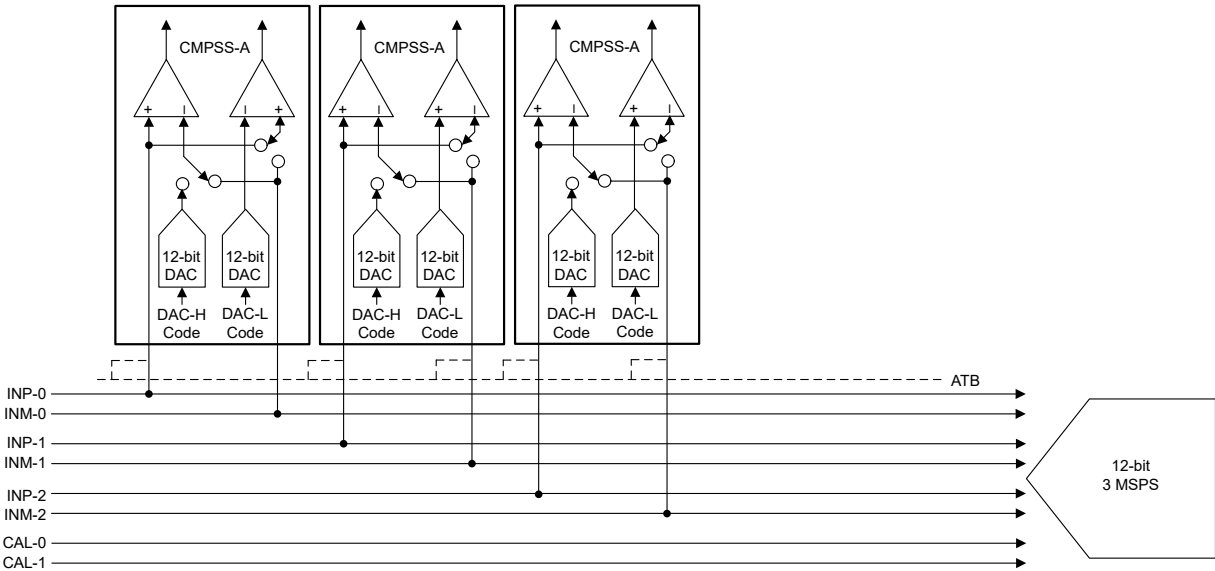


图 5-5. CMPSS 和 ADC 连接

备注

AM261x 的 ADC 采样速度为 3MSPS。

表 5-5. ADC 输入与 CMPSS 信号之间的连接

信号/引脚名称	ADC 输入	CMPSS 输入
ADC0 通道		
ADC0_AIN0	ADC0:inp0 (+IN0)	CMPSSA0:inH (+IN)
ADC0_AIN1	ADC0:inm0 (-IN0)	CMPSSA0:inL (-IN)
ADC0_AIN2	ADC0:inp1 (+IN1)	CMPSSA1:inH (+IN)
ADC0_AIN3	ADC0:inm1 (-IN1)	CMPSSA1:inL (-IN)
ADC0_AIN4	ADC0:inp2 (+IN2)	CMPSSA2:inH (+IN)
ADC0_AIN5	ADC0:inm2 (-IN2)	CMPSSA2:inL (-IN)
ADC0_AIN6	ADC0:inm3 (-IN3)	X
ADC_CAL0	ADC0:inp3 (+IN3)	X
ADC1 通道		
ADC1_AIN0	ADC1:inp0 (+IN0)	CMPSSA2:inH (+IN)

表 5-5. ADC 输入与 CMPSS 信号之间的连接 (续)

信号/引脚名称	ADC 输入	CMPSS 输入
ADC1_AIN1	ADC1:inm0 (-IN0)	CMPSSA2:inL (-IN)
ADC1_AIN2	ADC1:inp1 (+IN1)	CMPSSA3:inH (+IN)
ADC1_AIN3	ADC1:inm1 (-IN1)	CMPSSA3:inL (-IN)
ADC1_AIN4	ADC1:inp2 (+IN2)	CMPSSA4:inH (+IN)
ADC1_AIN5	ADC1:inm2 (-IN2)	CMPSSA4:inL (-IN)
ADC1_AIN6	ADC1:inm3 (-IN3)	X
ADC_CAL0	ADC1:inp3 (+IN3)	X
ADC2 通道		
ADC2_AIN0	ADC2:inp0 (+IN0)	CMPSSA4:inH (+IN)
ADC2_AIN1	ADC2:inm0 (-IN0)	CMPSSA4:inL (-IN)
ADC2_AIN2	ADC2:inp1 (+IN1)	CMPSSA5:inH (+IN)
ADC2_AIN3	ADC2:inm1 (-IN1)	CMPSSA5:inL (-IN)
ADC2_AIN4	ADC2:inp2 (+IN2)	CMPSSA6:inH (+IN)
ADC2_AIN5	ADC2:inm2 (-IN2)	CMPSSA6:inL (-IN)
ADC2_AIN6	ADC2:inm3 (-IN3)	X
ADC_CAL0	ADC2:inp3 (+IN3)	X

备注

在上方 [ADC-CMPSS 信号连接表](#) 的 **ADC 输入** 列中，“INP”表示正输入，“INM”表示负输入。

5.3.2 ADC_CAL

表 5-6. ADC_CAL 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
ADC_CAL0 ^{(1) (2)}	-	ADC 校准引脚 0	U16	V16	R13	U15

(1) 此引脚在 ADC[0:2] 之间共享。

(2) 该引脚连接到每个 ADC[0:2] 的模拟输入通道 ADCIN[7]。

5.3.3 ADC_VREF

表 5-7. ADC_VREF 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
ADC_VREFHI0	-	ADC 基准 (正)				V11
ADC_VREFHI1 ⁽²⁾	-	ADC 基准 (正)	V14	Y12	T10	V11
ADC_VREFHI2	-	ADC 基准 (正)	V10	Y8	T7	V10
ADC_VREFLO0 ⁽¹⁾	-	ADC 基准 (负)				W11
ADC_VREFLO1 ⁽³⁾	-	ADC 基准 (负)	V13	Y13	T11	W11
ADC_VREFLO2 ⁽¹⁾	-	ADC 基准 (负)	V11	Y9	T8	W10

(1) 此引脚可以连接 (短接) 至模拟地 (VSSA)。

(2) 此引脚可以连接 (短接) 至 ADC_VREFHI0。

(3) 此引脚可以连接 (短接) 至 ADC_VREFLO0。

5.3.4 CPSW

表 5-8. CPSW0 RGMII1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
RGMII1_RXC	I	RGMII 接收时钟	E16、R17	F19、W20	E13、P16	D19、V19
RGMII1_RX_CTL	I	RGMII 接收控制	F16、R18	G19、V19	D15、M14	E19、U17
RGMII1_TXC	O	RGMII 发送时钟	C16、N18	B20、U20	L15	B18、R18
RGMII1_TX_CTL	O	RGMII 发送控制	A17、M18	E18、T20	M16	A18、T19
RGMII1_RD0	I	RGMII 接收数据 0	F18、U17	H20、Y18	D14、P14	G18、W17
RGMII1_RD1	I	RGMII 接收数据 1	G16、T17	H19、W18	D16、P15	F18、V17
RGMII1_RD2	I	RGMII 接收数据 2	E17、U18	H17、Y19	R16	E17、W18
RGMII1_RD3	I	RGMII 接收数据 3	E18、T18	G20、W19	N14	F19、V18
RGMII1_TD0	O	RGMII 发送数据 0	B18、P16	F17、V18	N15	D18、U18
RGMII1_TD1	O	RGMII 发送数据 1	B17、P17	D20、V20	N16	C18、U19
RGMII1_TD2	O	RGMII 发送数据 2	D16、P18	C20、U19	L13	B19、R17
RGMII1_TD3	O	RGMII 发送数据 3	C17、N17	D19、T19	M15	C17、T18

表 5-9. CPSW0 RGMII2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
RGMII2_RXC	I	RGMII 接收时钟	K15	N20	H15	L18
RGMII2_RX_CTL	I	RGMII 接收控制	K16	L20	G15	J19

表 5-9. CPSW0 RGMII2 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
RGMII2_TXC	O	RGMII 发送时钟	H18	M19	F16	K18
RGMII2_TX_CTL	O	RGMII 发送控制	L16	P18	H16	M19
RGMII2_RD0	I	RGMII 接收数据 0	K17	N17	K14	M18
RGMII2_RD1	I	RGMII 接收数据 1	K18	N19	H14	L19
RGMII2_RD2	I	RGMII 接收数据 2	J18	M18	G16	K19
RGMII2_RD3	I	RGMII 接收数据 3	J17	M20	J14	L17
RGMII2_TD0	O	RGMII 发送数据 0	M16	P20	J15	N18
RGMII2_TD1	O	RGMII 发送数据 1	M15	P19	J16	N19
RGMII2_TD2	O	RGMII 发送数据 2	H17	K20	F15	H19
RGMII2_TD3	O	RGMII 发送数据 3	H16	L19	G14	H18

表 5-10. CPSW0 RMII1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
RMII1_CRS_DV	I	RMII 载波侦听/数据有效	D17、P18	E19、U19	L13	R17
RMII1_REF_CLK	IO	RMII 基准时钟	E16、R17	F19、W20	E13、P16	D19、V19
RMII1_RX_ER	I	RMII 接收数据错误	F15、R18	F20、V19	M14	E18、U17
RMII1_TX_EN	O	RMII 发送使能	A17、M18	E18、T20	M16	A18、T19
RMII1_RXD0	I	RMII 接收数据 0	F18、U17	H20、Y18	D14、P14	G18、W17
RMII1_RXD1	I	RMII 接收数据 1	G16、T17	H19、W18	D16、P15	F18、V17
RMII1_TXD0	O	RMII 发送数据 0	B18、P16	F17、V18	N15	D18、U18
RMII1_TXD1	O	RMII 发送数据 1	B17、P17	D20、V20	N16	C18、U19

表 5-11. CPSW0 RMII2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
RMII2_CRS_DV	I	RMII 载波侦听/数据有效	G18	J20	E16	J18
RMII2_REF_CLK	IO	RMII 基准时钟	K15	N20	H15	L18
RMII2_RX_ER	I	RMII 接收数据错误	G17	K19	F14	G17
RMII2_TX_EN	O	RMII 发送使能	L16	P18	H16	M19
RMII2_RXD0	I	RMII 接收数据 0	K17	N17	K14	M18
RMII2_RXD1	I	RMII 接收数据 1	K18	N19	H14	L19
RMII2_TXD0	O	RMII 发送数据 0	M16	P20	J15	N18
RMII2_TXD1	O	RMII 发送数据 1	M15	P19	J16	N19

表 5-12. CPSW0 MII1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
MI11_COL	I	检测到 MII 冲突	C18、P15	E20、W17	T15	W16
MI11_CRS	I	MI1 载波检测	D17、R16	E19、Y17	R15	V16

表 5-12. CPSW0 MII1 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
MII1_RXCLK	I	MII 接收时钟	E16、R17	F19、W20	E13、P16	D19、V19
MII1_RXDV	I	MII 接收数据有效	F16、R18	G19、V19	D15、M14	E19、U17
MII1_RX_ER	I	MII 接收数据错误	F15、T16	F20、Y16	T14	E18、W15
MII1_TXCLK	I	MII 发送时钟	C16、N18	B20、U20	L15	B18、R18
MII1_TX_EN	O	MII 发送使能	A17、M18	E18、T20	M16	A18、T19
MII1_RXD0	I	MII 接收数据 0	F18、U17	H20、Y18	D14、P14	G18、W17
MII1_RXD1	I	MII 接收数据 1	G16、T17	H19、W18	D16、P15	F18、V17
MII1_RXD2	I	MII 接收数据 2	E17、U18	H17、Y19	R16	E17、W18
MII1_RXD3	I	MII 接收数据 3	E18、T18	G20、W19	N14	F19、V18
MII1_TXD0	O	MII 发送数据 0	B18、P16	F17、V18	N15	D18、U18
MII1_TXD1	O	MII 发送数据 1	B17、P17	D20、V20	N16	C18、U19
MII1_TXD2	O	MII 发送数据 2	D16、P18	C20、U19	L13	B19、R17
MII1_TXD3	O	MII 发送数据 3	C17、N17	D19、T19	M15	C17、T18

表 5-13. CPSW0 MII2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
MII2_COL	I	检测到 MII 冲突	F17	J19	E15	
MII2_CRS	I	MII 载波检测	G18	J20	E16	J18
MII2_RXCLK	I	MII 接收时钟	K15	N20	H15	L18
MII2_RXDV	I	MII 接收数据有效	K16	L20	G15	J19
MII2_RX_ER	I	MII 接收错误	G17	K19	F14	G17
MII2_TXCLK	I	MII 发送时钟	H18	M19	F16	K18
MII2_TX_EN	O	MII 发送使能	L16	P18	H16	M19
MII2_RXD0	I	MII 接收数据 0	K17	N17	K14	M18
MII2_RXD1	I	MII 接收数据 1	K18	N19	H14	L19
MII2_RXD2	I	MII 接收数据 2	J18	M18	G16	K19
MII2_RXD3	I	MII 接收数据 3	J17	M20	J14	L17
MII2_TXD0	O	MII 发送数据 0	M16	P20	J15	N18
MII2_TXD1	O	MII 发送数据 1	M15	P19	J16	N19
MII2_TXD2	O	MII 发送数据 2	H17	K20	F15	H19
MII2_TXD3	O	MII 发送数据 3	H16	L19	G14	H18

表 5-14. MDIO0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
MDIO0_MDC	O	MDIO 时钟	M17	T18	L14	R19
MDIO0_MDIO	IO	MDIO 数据	N16	R17	L16	P18

5.3.5 CPTS

表 5-15. CPTS0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
CPTS0_TS_SYNC	O	CPTS 时间戳计数器位输出	A16	A19	C16	

5.3.6 DAC

表 5-16. DAC 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
DAC_OUT	-	DAC 输出	T5	W4	T5	W6
DAC_VREF0 (1) (2)	-	DAC 电压基准 0	T13	U15	P13	V14

(1) 有关连接这些引脚的详细信息，请参阅 *布局指南* 部分。

(2) 此引脚可以连接 (短接) 至 VDDA18_LDO。

5.3.7 EPWM

表 5-17. EPWM0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
EPWM0_A	O	EPWM 输出 A	B2	B3	A4	B5
EPWM0_B	O	EPWM 输出 B	B1	C3	A5	A6

表 5-18. EPWM1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
EPWM1_A	O	EPWM 输出 A	D3	A2	B4	A5
EPWM1_B	O	EPWM 输出 B	D2、E4	A3、D1	C1、C5	A4、B3

表 5-19. EPWM2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
EPWM2_A	O	EPWM 输出 A	C2	B1	A3	A3
EPWM2_B	O	EPWM 输出 B	C1	B2	A2	B4

表 5-20. EPWM3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
EPWM3_A	O	EPWM 输出 A	E2	C1	B2	A2
EPWM3_B	O	EPWM 输出 B	E1、E3	C2、F2	C4、E3	B2、E3

表 5-21. EPWM4 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
EPWM4_A	O	EPWM 输出 A	D1	D2	B1	B1
EPWM4_B	O	EPWM 输出 B	D2、E4	A3、D1	C1、C5	A4、B3

表 5-22. EPWM5 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
EPWM5_A	O	EPWM 输出 A	F2	E2	C2	C2
EPWM5_B	O	EPWM 输出 B	F1、G2	E1、G1	D1、D3	C1、D1

表 5-23. EPWM6 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
EPWM6_A	O	EPWM 输出 A	B9、E1、E3	B11、C2、F2	C4、D8、E3	B10、B2、E3
EPWM6_B	O	EPWM 输出 B	A9、F3	A11、F1	C10、F4	A11、E2

表 5-24. EPWM7 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
EPWM7_A	O	EPWM 输出 A	C9、F4	D11、G2	B9、D2	D2
EPWM7_B	O	EPWM 输出 B	A10、F1、G4	A12、G1、J2	B10、D1	D1

表 5-25. EPWM8 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
EPWM8_A	O	EPWM 输出 A	B10、G3	D10、H2	A9、E2	E1
EPWM8_B	O	EPWM 输出 B	D9、G2、H2	C9、E1、H1	C11、D3、E1	C1、F1

表 5-26. EPWM9 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
EPWM9_A	O	EPWM 输出 A	G1、N1	K4、R2	F2、M2	F2、N2
EPWM9_B	O	EPWM 输出 B	H2、J2、N4	H1、L2、R1	E1、F3、N1	F1、G1、N1

5.3.8 EQEP

表 5-27. EQEP0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
EQEP0_A	I	EQEP 正交输入 A	B14、U18	A16、Y19	D13、R16	B15、W18
EQEP0_B	I	EQEP 正交输入 B	A14、T18	B16、W19	C13、N14	A15、V18
EQEP0_INDEX	IO	EQEP 索引	D11、N18	D15、U20	B13、L15	B14、R18

表 5-27. EQEP0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
EQEP0_STROBE	IO	EQEP 选通	C12、M18	C14、T20	C12、M16	A14、T19

表 5-28. EQEP1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
EQEP1_A	I	EQEP 正交输入 A	D15、P16	C18、V18	N15	B16、U18
EQEP1_B	I	EQEP 正交输入 B	C15、P17	C19、V20	N16	B17、U19
EQEP1_INDEX	IO	EQEP 索引	A12、N17、P2	A14、T19、U2	M15、P3	T1、T18
EQEP1_STROBE	IO	EQEP 选通	B16、P18	B19、U19	C15、L13	R17

5.3.9 FSI

表 5-29. FSIRX0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
FSIRX0_CLK	I	FSI 时钟	A10、T17	A12、W18	B10、P15	V17
FSIRX0_DATA0	I	FSI 数据 0	B10、U18	D10、Y19	A9、R16	W18
FSIRX0_DATA1	I	FSI 数据 1	D9、T18	C9、W19	C11、N14	V18

表 5-30. FSITX0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
FSITX0_CLK	O	FSI 时钟	A11、R17	A13、W20	A12、P16	A12、V19
FSITX0_DATA0	O	FSI 数据 0	C10、R18	B12、V19	A10、M14	B12、U17
FSITX0_DATA1	O	FSI 数据 1	B11、U17	C12、Y18	A11、P14	B11、W17

5.3.10 GPIO

表 5-31. GPIO 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
GPIO0	IO	通用输入/输出	P1	U4	N3	R1
GPIO1	IO	通用输入/输出	R3	T2	M3	R2
GPIO2	IO	通用输入/输出	N2	M3	L2	M2
GPIO3 ⁽¹⁾	IO	通用输入/输出信号 (SOP0)	N1	R2	M2	N2
GPIO4 ⁽²⁾	IO	通用输入/输出信号 (SOP1)	N4	R1	N1	N1
GPIO5	IO	通用输入/输出	M4	T1	L3	P2
GPIO6	IO	通用输入/输出	P3	U1	N2	P1
GPIO7	IO	通用输入/输出	M1	P1	J3	K2
GPIO8	IO	通用输入/输出	L1	P2	K1	L1
GPIO9	IO	通用输入/输出	L2	N2	K2	J2
GPIO10	IO	通用输入/输出	K1	N1	J2	K1

表 5-31. GPIO 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
GPIO11	IO	通用输入/输出	C11	B13	B11	C13
GPIO12 ⁽⁵⁾	IO	通用输入/输出信号 (SOP2)	A11	A13	A12	A12
GPIO13 ⁽⁶⁾	IO	通用输入/输出信号 (SOP3)	C10	B12	A10	B12
GPIO14	IO	通用输入/输出	B11	C12	A11	B11
GPIO15	IO	通用输入/输出	C9	D11	B9	
GPIO16	IO	通用输入/输出	A10	A12	B10	
GPIO17	IO	通用输入/输出	B10	D10	A9	
GPIO18	IO	通用输入/输出	D9	C9	C11	
GPIO19	IO	通用输入/输出	A9	A11	C10	A11
GPIO100	IO	通用输入/输出	M15	P19	J16	N19
GPIO101	IO	通用输入/输出	H17	K20	F15	H19
GPIO102	IO	通用输入/输出	H16	L19	G14	H18
GPIO103	IO	通用输入/输出	F15	F20		E18
GPIO104	IO	通用输入/输出	C18	E20		
GPIO105	IO	通用输入/输出	D17	E19		
GPIO106	IO	通用输入/输出	D18	G18		C19
GPIO107	IO	通用输入/输出	E16	F19	E13	D19
GPIO108	IO	通用输入/输出	F16	G19	D15	E19
GPIO109	IO	通用输入/输出	F18	H20	D14	G18
GPIO110	IO	通用输入/输出	G16	H19	D16	F18
GPIO111	IO	通用输入/输出	E17	H17		E17
GPIO112	IO	通用输入/输出	E18	G20		F19
GPIO113	IO	通用输入/输出	C16	B20		B18
GPIO114	IO	通用输入/输出	A17	E18		A18
GPIO115	IO	通用输入/输出	B18	F17		D18
GPIO116	IO	通用输入/输出	B17	D20		C18
GPIO117	IO	通用输入/输出	D16	C20		B19
GPIO118	IO	通用输入/输出	C17	D19		C17
GPIO119	IO	通用输入/输出	D15	C18		B16
GPIO120	IO	通用输入/输出	C15	C19		B17
GPIO121	IO	通用输入/输出	P2	U2	P3	T1
GPIO122	IO	通用输入/输出	B16	B19	C15	
GPIO123	IO	通用输入/输出	D14	C16	A15	
GPIO124	IO	通用输入/输出	A16	A19	C16	
GPIO125	IO	通用输入/输出	D13	B17	C14	
GPIO126	IO	通用输入/输出	B15	A18	B16	A17
GPIO127	IO	通用输入/输出	C13	A17	A14	A16
GPIO128	IO	通用输入/输出	A15	B18	B15	
GPIO129	IO	通用输入/输出	C14	D17	B14	
GPIO130	IO	通用输入/输出	B14	A16	D13	B15
GPIO131	IO	通用输入/输出	A14	B16	C13	A15

表 5-31. GPIO 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
GPIO132	IO	通用输入/输出	C12	C14	C12	A14
GPIO133	IO	通用输入/输出	D11	D15	B13	B14
GPIO134 ⁽⁴⁾	IO	通用输入/输出	B13	B15	B12	B13
GPIO135 ⁽³⁾	IO	通用输入/输出	A13	A15	A13	A13
GPIO136	IO	通用输入/输出	B12	B14		
GPIO137	IO	通用输入/输出	A12	A14		
GPIO138	IO	通用输入/输出	M2	M1	H1	J3
GPIO139	IO	通用输入/输出	V2	V1	R1	V1
GPIO140	IO	通用输入/输出	U3	W1	P1	U1
GPIO20	IO	通用输入/输出	B9	B11	D8	B10
GPIO21	IO	通用输入/输出	B8	B10	B8	A10
GPIO22	IO	通用输入/输出	A8	A10	C9	B9
GPIO23	IO	通用输入/输出	D7	B9	B7	
GPIO24	IO	通用输入/输出	C8	A9	A8	
GPIO25	IO	通用输入/输出	C7	C7	C8	C9
GPIO26	IO	通用输入/输出	B7	D8	A7	A9
GPIO27	IO	通用输入/输出	A7	A8	A6	A8
GPIO28	IO	通用输入/输出	A6	B8	B6	B8
GPIO29	IO	通用输入/输出	R17	W20	P16	V19
GPIO30	IO	通用输入/输出	R18	V19	M14	U17
GPIO31	IO	通用输入/输出	U17	Y18	P14	W17
GPIO32	IO	通用输入/输出	T17	W18	P15	V17
GPIO33	IO	通用输入/输出	U18	Y19	R16	W18
GPIO34	IO	通用输入/输出	T18	W19	N14	V18
GPIO35	IO	通用输入/输出	N18	U20	L15	R18
GPIO36	IO	通用输入/输出	M18	T20	M16	T19
GPIO37	IO	通用输入/输出	P16	V18	N15	U18
GPIO38	IO	通用输入/输出	P17	V20	N16	U19
GPIO39	IO	通用输入/输出	P18	U19	L13	R17
GPIO40	IO	通用输入/输出	N17	T19	M15	T18
GPIO41	IO	通用输入/输出	N16	R17	L16	P18
GPIO42	IO	通用输入/输出	M17	T18	L14	R19
GPIO43	IO	通用输入/输出	B2	B3	A4	B5
GPIO44	IO	通用输入/输出	B1	C3	A5	A6
GPIO45	IO	通用输入/输出	D3	A2	B4	A5
GPIO46	IO	通用输入/输出	D2	A3	C5	A4
GPIO47	IO	通用输入/输出	C2	B1	A3	A3
GPIO48	IO	通用输入/输出	C1	B2	A2	B4
GPIO49	IO	通用输入/输出	E2	C1	B2	A2
GPIO50	IO	通用输入/输出	E3	C2	C4	B2
GPIO51	IO	通用输入/输出	D1	D2	B1	B1

表 5-31. GPIO 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
GPIO52	IO	通用输入/输出	E4	D1	C1	B3
GPIO53	IO	通用输入/输出	F2	E2	C2	C2
GPIO54	IO	通用输入/输出	G2	E1	D3	C1
GPIO55	IO	通用输入/输出	E1	F2	E3	E3
GPIO56	IO	通用输入/输出	F3	F1	F4	E2
GPIO57	IO	通用输入/输出	F4	G2	D2	D2
GPIO58	IO	通用输入/输出	F1	G1	D1	D1
GPIO59	IO	通用输入/输出	G3	H2	E2	E1
GPIO60	IO	通用输入/输出	H2	H1	E1	F1
GPIO61 ^{(7) (8)}	IO	通用输入/输出	G1	K4	F2	F2
GPIO62	IO	通用输入/输出	J2	L2	F3	G1
GPIO63	IO	通用输入/输出	G4	J2		
GPIO64	IO	通用输入/输出	J3	J1		
GPIO65	IO	通用输入/输出	H1	J3		
GPIO66	IO	通用输入/输出	J1	K2	G3	
GPIO67	IO	通用输入/输出	K2	K1	G2	G2
GPIO68	IO	通用输入/输出	J4	L4	H3	H1
GPIO69	IO	通用输入/输出	K4	L1	H2	H2
GPIO70	IO	通用输入/输出	K3	M2	G1	J1
GPIO71	IO	通用输入/输出	V17	W16	R14	V15
GPIO72	IO	通用输入/输出	T16	Y16	T14	W15
GPIO73	IO	通用输入/输出	P15	W17	T15	W16
GPIO74	IO	通用输入/输出	R16	Y17	R15	V16
GPIO75	IO	通用输入/输出	L3	T3	M1	L2
GPIO76	IO	通用输入/输出	M3	R4	L1	M1
GPIO77	IO	通用输入/输出	B6	B7		
GPIO78	IO	通用输入/输出	A4	A6		
GPIO79	IO	通用输入/输出	B5	B6		
GPIO80	IO	通用输入/输出	B4	A5		
GPIO81	IO	通用输入/输出	A3	B5		
GPIO82	IO	通用输入/输出	A2	A4		
GPIO83	IO	通用输入/输出	C6	B4		
GPIO84	IO	通用输入/输出	A5	A7		
GPIO85	IO	通用输入/输出	L17	R19	K15	N17
GPIO86	IO	通用输入/输出	L18	R20	K16	P19
GPIO87	IO	通用输入/输出	G17	K19	F14	G17
GPIO88	IO	通用输入/输出	F17	J19	E15	
GPIO89	IO	通用输入/输出	G18	J20	E16	J18
GPIO90	IO	通用输入/输出	G15	J18	E14	G19
GPIO91	IO	通用输入/输出	K15	N20	H15	L18
GPIO92	IO	通用输入/输出	K16	L20	G15	J19

表 5-31. GPIO 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
GPIO93	IO	通用输入/输出	K17	N17	K14	M18
GPIO94	IO	通用输入/输出	K18	N19	H14	L19
GPIO95	IO	通用输入/输出	J18	M18	G16	K19
GPIO96	IO	通用输入/输出	J17	M20	J14	L17
GPIO97	IO	通用输入/输出	H18	M19	F16	K18
GPIO98	IO	通用输入/输出	L16	P18	H16	M19
GPIO99	IO	通用输入/输出	M16	P20	J15	N18

- (1) GPIO3 引脚也用作 SOP0 引导模式配置引脚。
- (2) GPIO4 引脚也用作 SOP1 引导模式配置引脚。
- (3) GPIO135 通过 I2C OD FS (开漏失效防护) 电压缓冲器实现。
- (4) GPIO134 通过 I2C OD FS (开漏失效防护) 电压缓冲器实现。
- (5) GPIO12 引脚也用作 SOP2 引导模式配置引脚。
- (6) GPIO13 引脚也用作 SOP3 引导模式配置引脚。
- (7) 在 OSPI 启动模式下, AM261x ROM 代码会将 GPIO61 配置为 OSPI0_RESET_OUT0 信号, 并在此启动模式期间将该引脚驱动为低电平, 以复位外部 OSPI 器件。但是, 由于 OSPI 控制器中的配置, 该引脚不会在外部 OSPI 闪存器件复位后失效, 从而使任何外部闪存器件保持在复位状态并导致启动失败。这意味着 GPIO61 被拉高然后配置为低电平, 直到启动完成, 这可能会影响某些应用。如需更多信息, 请参阅 [AM261x Errata 文档](#)。
- (8) 有关 OSPI 闪存复位的更多信息, 请参阅 *应用、实现和布局* 部分中的 [OSPI 复位](#)。

5.3.11 GPMC0

表 5-32. GPMC0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
GPMC0_ADVn_ALE	O	GPMC 地址有效 (低电平有效) 或地址锁存使能	A8	A10	C9	B9
GPMC0_CLK ⁽¹⁾	IO	GPMC 时钟	L3	T3	M1	L2
GPMC0_CLKLB ⁽²⁾	IO	GPMC 时钟环回	B15	A18	B16	A17
GPMC0_DIR	O	GPMC 数据总线信号方向控制	B10	D10	A9	
GPMC0_OEn_REn	O	GPMC 输出使能 (低电平有效) 或读取使能 (低电平有效)	A10、B14、C8	A12、A16、A9	A8、B10、D13	B15
GPMC0_WEn	O	GPMC 写入使能 (低电平有效)	C14、D7	B9、D17	B14、B7	
GPMC0_WPn	O	GPMC 闪存写保护 (低电平有效)	D9	C9	C11	
GPMC0_A0	O	GPMC 地址 0 输出。仅用于有效寻址 8 位数据非多路复用存储器	C11	B13	B11	C13
GPMC0_A1	O	A/D 非多路复用模式下为 GPMC 地址 1 输出, A/D 多路复用模式下为地址 17	C2	B1	A3	A3
GPMC0_A2	O	A/D 非多路复用模式下为 GPMC 地址 2 输出, A/D 多路复用模式下为地址 18	D2	A3	C5	A4
GPMC0_A3	O	A/D 非多路复用模式下为 GPMC 地址 3 输出, A/D 多路复用模式下为地址 19	B2	B3	A4	B5
GPMC0_A4	O	A/D 非多路复用模式下为 GPMC 地址 4 输出, A/D 多路复用模式下为地址 20	D3	A2	B4	A5

表 5-32. GPMC0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
GPMC0_A5	O	A/D 非多路复用模式下为 GPMC 地址 5 输出, A/D 多路复用模式下为地址 21	B16	B19	C15	
GPMC0_A6	O	A/D 非多路复用模式下为 GPMC 地址 6 输出, A/D 多路复用模式下为地址 22	B1	C3	A5	A6
GPMC0_A7	O	A/D 非多路复用模式下为 GPMC 地址 7 输出, A/D 多路复用模式下为地址 23	A11	A13	A12	A12
GPMC0_A8	O	A/D 非多路复用模式下为 GPMC 地址 8 输出, A/D 多路复用模式下为地址 24	A16	A19	C16	
GPMC0_A9	O	A/D 非多路复用模式下为 GPMC 地址 9 输出, A/D 多路复用模式下为地址 25	E3	C2	C4	B2
GPMC0_A10	O	A/D 非多路复用模式下为 GPMC 地址 10 输出, A/D 多路复用模式下为地址 26	D1	D2	B1	B1
GPMC0_A11	O	A/D 非多路复用模式下为 GPMC 地址 11 输出, A/D 多路复用模式下未使用	E4	D1	C1	B3
GPMC0_A12	O	A/D 非多路复用模式下为 GPMC 地址 12 输出, A/D 多路复用模式下未使用	F2	E2	C2	C2
GPMC0_A13	O	A/D 非多路复用模式下为 GPMC 地址 13 输出, A/D 多路复用模式下未使用	E2	C1	B2	A2
GPMC0_A14	O	A/D 非多路复用模式下为 GPMC 地址 14 输出, A/D 多路复用模式下未使用	C1	B2	A2	B4
GPMC0_A15	O	A/D 非多路复用模式下为 GPMC 地址 15 输出, A/D 多路复用模式下未使用	C12	C14	C12	A14
GPMC0_A16	O	A/D 非多路复用模式下为 GPMC 地址 16 输出, A/D 多路复用模式下未使用	C10	B12	A10	B12
GPMC0_A17	O	A/D 非多路复用模式下为 GPMC 地址 17 输出, A/D 多路复用模式下未使用	C15	C19		B17
GPMC0_A18	O	A/D 非多路复用模式下为 GPMC 地址 18 输出, A/D 多路复用模式下未使用	P2	U2	P3	T1
GPMC0_A19	O	A/D 非多路复用模式下为 GPMC 地址 19 输出, A/D 多路复用模式下未使用	D15	C18		B16
GPMC0_A20	O	A/D 非多路复用模式下为 GPMC 地址 20 输出, A/D 多路复用模式下未使用	D17、F3	E19、F1	F4	E2
GPMC0_A21	O	A/D 非多路复用模式下为 GPMC 地址 21 输出, A/D 多路复用模式下未使用	C18	E20		
GPMC0_AD0	IO	A/D 非多路复用模式下为 GPMC 数据 0 输入/输出, A/D 多路复用模式下为附加的地址 1 输出	V17	W16	R14	V15
GPMC0_AD1	IO	A/D 非多路复用模式下为 GPMC 数据 1 输入/输出, A/D 多路复用模式下为附加的地址 2 输出	T16	Y16	T14	W15
GPMC0_AD2	IO	A/D 非多路复用模式下为 GPMC 数据 2 输入/输出, A/D 多路复用模式下为附加的地址 3 输出	P15	W17	T15	W16

表 5-32. GPMC0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
GPMC0_AD3	IO	A/D 非多路复用模式下为 GPMC 数据 3 输入/输出, A/D 多路复用模式下为附加的地址 4 输出	F1	G1	D1	D1
GPMC0_AD4	IO	A/D 非多路复用模式下为 GPMC 数据 4 输入/输出, A/D 多路复用模式下为附加的地址 5 输出	F4	G2	D2	D2
GPMC0_AD5	IO	A/D 非多路复用模式下为 GPMC 数据 5 输入/输出, A/D 多路复用模式下为附加的地址 6 输出	G2	E1	D3	C1
GPMC0_AD6	IO	A/D 非多路复用模式下为 GPMC 数据 6 输入/输出, A/D 多路复用模式下为附加的地址 7 输出	A9	A11	C10	A11
GPMC0_AD7	IO	A/D 非多路复用模式下为 GPMC 数据 7 输入/输出, A/D 多路复用模式下为附加的地址 8 输出	D11	D15	B13	B14
GPMC0_AD8	IO	A/D 非多路复用模式下为 GPMC 数据 8 输入/输出, A/D 多路复用模式下为附加的地址 9 输出	B9、E1	B11、F2	D8、E3	B10、E3
GPMC0_AD9	IO	A/D 非多路复用模式下为 GPMC 数据 9 输入/输出, A/D 多路复用模式下为附加的地址 10 输出	R16	Y17	R15	V16
GPMC0_AD10	IO	A/D 非多路复用模式下为 GPMC 数据 10 输入/输出, A/D 多路复用模式下为附加的地址 11 输出	D14	C16	A15	
GPMC0_AD11	O	A/D 非多路复用模式下为 GPMC 数据 11 输入/输出, A/D 多路复用模式下为附加的地址 12 输出	N1	R2	M2	N2
GPMC0_AD12	O	A/D 非多路复用模式下为 GPMC 数据 12 输入/输出, A/D 多路复用模式下为附加的地址 13 输出	N4	R1	N1	N1
GPMC0_AD13	IO	A/D 非多路复用模式下为 GPMC 数据 13 输入/输出, A/D 多路复用模式下为附加的地址 14 输出	D13	B17	C14	
GPMC0_AD14	IO	A/D 非多路复用模式下为 GPMC 数据 14 输入/输出, A/D 多路复用模式下为附加的地址 15 输出	A15	B18	B15	
GPMC0_AD15	IO	A/D 非多路复用模式下为 GPMC 数据 15 输入/输出, A/D 多路复用模式下为附加的地址 16 输出	H2	H1	E1	F1
GPMC0_BE0n_CLE	O	GPMC 低位字节使能 (低电平有效) 或命令锁存使能	C13	A17	A14	A16
GPMC0_BE1n	O	GPMC 高位字节使能 (低电平有效)	B11	C12	A11	B11
GPMC0_CS0	O	GPMC 片选 0 (低电平有效)	A14、B8	B10、B16	B8、C13	A10、A15
GPMC0_CS1	O	GPMC 片选 1 (低电平有效)	G3	H2	E2	E1
GPMC0_CS2	O	GPMC 片选 2 (低电平有效)	U18	Y19	R16	W18
GPMC0_CS3	O	GPMC 片选 3 (低电平有效)	T18	W19	N14	V18
GPMC0_WAIT0	I	GPMC 外部等待指示	C9	D11	B9	

表 5-32. GPMC0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
GPMC0_WAIT1	I	GPMC 外部等待指示	C7	C7	C8	C9

- (1) 当 GPMC0 在同步模式下运行时, MSS_IOMUX:PR0_PRU0_GPO9_CFG_REG 寄存器的 RXACTIVE 位必须设置为 0x1, MSS_IOMUX:PR0_PRU0_GPO9_CFG_REG 寄存器的 TX_DIS 位必须复位为 0x0。
(2) GPMC0_CLKLB 是一个在内部用于重定时的时钟环回信号。

5.3.12 I2C

表 5-33. I2C0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
I2C0_SCL (2)	IO	I2C 时钟	A13、J3、K15	A15、J1、N20	A13、H15	A13、L18
I2C0_SDA (1)	IO	I2C 数据	B13、G15、G4	B15、J18、J2	B12、E14	B13、G19

- (1) I2C0_SDA 是通过 I2C OD FS (开漏失效防护) 电压缓冲器实现。
(2) I2C0_SCL 是通过 I2C OD FS (开漏失效防护) 电压缓冲器实现。

表 5-34. I2C1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
I2C1_SCL (2)	IO	I2C 时钟	A14、B5、D7、J1	B16、B6、B9、K2	B7、C13、G3	A15
I2C1_SDA (1)	IO	I2C 数据	A3、B14、C8、H1	A16、A9、B5、J3	A8、D13	B15

- (1) I2C1_SDA 由典型 LVCMOS 电压缓冲器实现, 并且应该被适当配置为用作输入/输出开漏信号类型。
(2) I2C1_SCL 由典型 LVCMOS 电压缓冲器实现, 并且应该被适当配置为用作输入/输出开漏信号类型。

表 5-35. I2C2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
I2C2_SCL (2)	IO	I2C 时钟	C6、C7、D11	B4、C7、D15	B13、C8	B14、C9
I2C2_SDA (1)	IO	I2C 数据	A5、B7、C12	A7、C14、D8	A7、C12	A14、A9

- (1) I2C2_SDA 由典型 LVCMOS 电压缓冲器实现, 并且应该被适当配置为用作输入/输出开漏信号类型。
(2) I2C2_SCL 由典型 LVCMOS 电压缓冲器实现, 并且应该被适当配置为用作输入/输出开漏信号类型。

5.3.13 LIN

表 5-36. LIN0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
LIN0_RXD	IO	LIN 接收数据	A7、B12、B6、G4、L17	A8、B14、B7、J2、R19	A6、K15	A8、N17
LIN0_TXD	IO	LIN 发送数据	A12、A4、A6、J3、L18	A14、A6、B8、J1、R20	B6、K16	B8、P19

表 5-37. LIN1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
LIN1_RXD	IO	LIN 接收数据	A9、J2、L3、M2	A11、L2、M1、T3	C10、F3、H1、M1	A11、G1、J3、L2
LIN1_TXD	IO	LIN 发送数据	B9、G1、L2、M3	B11、K4、N2、R4	D8、F2、K2、L1	B10、F2、J2、M1

表 5-38. LIN2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
LIN2_RXD	IO	LIN 接收数据	B8	B10	B8	A10
LIN2_TXD	IO	LIN 发送数据	A8	A10	C9	B9

5.3.14 MCAN

表 5-39. MCAN0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
MCAN0_RX	I	MCAN 接收数据	B6、E16、G3、L17、M1	B7、F19、H2、P1、R19	E13、E2、J3、K15	D19、E1、K2、N17
MCAN0_TX	O	MCAN 发送数据	A4、F16、H2、L1、L18	A6、G19、H1、P2、R20	D15、E1、K1、K16	E19、F1、L1、P19

表 5-40. MCAN1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
MCAN1_RX	I	MCAN 接收数据	B14、B5、F18、L2、N16	A16、B6、H20、N2、R17	D13、D14、K2、L16	B15、G18、J2、P18
MCAN1_TX	O	MCAN 发送数据	A14、B4、G16、K1、M17	A5、B16、H19、N1、T18	C13、D16、J2、L14	A15、F18、K1、R19

5.3.15 MMC

表 5-41. MMC0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
MMC0_CD	I	MMC/SD 卡检测	A5、D9	A7、C9	C11	
MMC0_CLK	IO	MMC/SD 时钟	B6、C11	B13、B7	B11	C13
MMC0_CMD	IO	MMC/SD 命令	A11、A4	A13、A6	A12	A12
MMC0_WP	I	MMC/SD 写保护	B10、C6	B4、D10	A9	
MMC0_D0	IO	MMC/SD 数据	B5、C10	B12、B6	A10	B12
MMC0_D1	IO	MMC/SD 数据	B11、B4	A5、C12	A11	B11
MMC0_D2	IO	MMC/SD 数据	A3、C9	B5、D11	B9	

表 5-41. MMC0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
MMC0_D3	IO	MMC/SD 数据	A10、A2	A12、A4	B10	

5.3.16 OSPI

表 5-42. OSPI0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
OSPI0_CLK	O	OSPI0 时钟	H2、K1、L2、N2	H1、M3、N1、N2	E1、J2、K2、L2	F1、J2、K1、M2
OSPI0_DQS	I	OSPI0 数据选通 (DQS) 或环回时钟输入	L2、M1、M3	N2、P1、R4	J3、K2、L1	J2、K2、M1
OSPI0_ECC_FAIL	I	OSPI0 ECC 故障状态引脚	A9、B10、H1、K3、M2	A11、D10、J3、M1、M2	A9、C10、G1、H1	A11、J1、J3
OSPI0_LBCLKO ⁽¹⁾	O	OSPI0 环回时钟输出	L3	T3	M1	L2
OSPI0_CSn0	O	OSPI0 片选 0	H1、J2、P1	J3、L2、U4	F3、N3	G1、R1
OSPI0_CSn1	O	OSPI0 片选 1	F4、R3	G2、T2	D2、M3	D2、R2
OSPI0_D0	IO	OSPI0 数据位 0	G3、N1、N2、P1	H2、M3、R2、U4	E2、L2、M2、N3	E1、M2、N2、R1
OSPI0_D1	IO	OSPI0 数据位 1	F1、J1、K3、N4	G1、K2、M2、R1	D1、G1、G3、N1	D1、J1、N1
OSPI0_D2	IO	OSPI0 数据位 2	L1、M1、M4	P1、P2、T1	J3、K1、L3	K2、L1、P2
OSPI0_D3	IO	OSPI0 数据位 3	K4、P3	L1、U1	H2、N2	H2、P1
OSPI0_D4	IO	OSPI0 数据位 4	M1、M3、P3	P1、R4、U1	J3、L1、N2	K2、M1、P1
OSPI0_D5	IO	OSPI0 数据位 5	K2、L1	K1、P2	G2、K1	G2、L1
OSPI0_D6	IO	OSPI0 数据位 6	L1、L2、M4	N2、P2、T1	K1、K2、L3	J2、L1、P2
OSPI0_D7	IO	OSPI0 数据位 7	J4、K1	L4、N1	H3、J2	H1、K1
OSPI0_RESET_OUT0 ^{(2) (3)}	O	OSPI0 复位输出 0	B9、D9、G1、G2、J1、J3	B11、C9、E1、J1、K2、K4	C11、D3、D8、F2、G3	B10、C1、F2
OSPI0_RESET_OUT1	O	OSPI0 复位输出 1	A9、B8、H1	A11、B10、J3	B8、C10	A10、A11

- (1) OSPI0_LBCLKO 是用于外设时序的时钟环回输出信号。
- (2) 在 OSPI 引导模式下，AM261x ROM 代码将 GPIO61 配置为 OSPI0_RESET_OUT0，并将该引脚驱动为低电平，以便在此引导模式下复位外部 OSPI 器件。但是，由于 OSPI 控制器中的配置，该引脚不会在外部 OSPI 闪存器件复位后失效，从而使任何外部闪存器件保持在复位状态并导致引导失败。如需更多信息，请参阅 [AM261x Errata 文件](#)。
- (3) 有关 OSPI 闪存复位的更多信息，请参阅 [应用、实施和布局](#) 部分中的 [OSPI 复位](#)。

表 5-43. OSPI1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
OSPI1_CLK	O	OSPI1 时钟	H2、K1、R17	H1、N1、W20	E1、J2、P16	F1、K1、V19
OSPI1_DQS	I	OSPI1 数据选通 (DQS) 或环回时钟输入	P18	U19	L13	R17
OSPI1_ECC_FAIL	I	OSPI1 ECC 故障状态引脚	A9、M2、N17	A11、M1、T19	C10、H1、M15	A11、J3、T18

表 5-43. OSPI1 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
OSPI1_LBCLKO ⁽¹⁾	O	OSPI1 环回时钟输出	L3	T3	M1	L2
OSPI1_CSn0	O	OSPI1 片选 0	J2、P17	L2、V20	F3、N16	G1、U19
OSPI1_CSn1	O	OSPI1 片选 1	F4	G2	D2	D2
OSPI1_D0	IO	OSPI1 数据位 0	G3、N2、R18	H2、M3、V19	E2、L2、M14	E1、M2、U17
OSPI1_D1	IO	OSPI1 数据位 1	F1、K3、U17	G1、M2、Y18	D1、G1、P14	D1、J1、W17
OSPI1_D2	IO	OSPI1 数据位 2	T17	W18	P15	V17
OSPI1_D3	IO	OSPI1 数据位 3	U18	Y19	R16	W18
OSPI1_D4	IO	OSPI1 数据位 4	T18	W19	N14	V18
OSPI1_D5	IO	OSPI1 数据位 5	N18	U20	L15	R18
OSPI1_D6	IO	OSPI1 数据位 6	M18	T20	M16	T19
OSPI1_D7	IO	OSPI1 数据位 7	P16	V18	N15	U18
OSPI1_RESET_OUT0	O	OSPI1 复位输出 0	B9、G1、N16	B11、K4、R17	D8、F2、L16	B10、F2、P18
OSPI1_RESET_OUT1	O	OSPI1 复位输出 1	B8	B10	B8	A10

(1) OSPI1_LBCLKO 是用于外设时序的时钟环回输出信号。

5.3.17 电源

表 5-44. 电源信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
VDD	电源	1.2V/1.25V 内核电源 ⁽¹⁾	E11、E9、F11、F9、G13、G14、G5、G6、K13、K14、K5、K6、N13、N14、N5、N6	F12、F14、F7、F9、G15、G6、J15、J6、M15、M6、P15、P6、R7	E11、E5、E7、E9、F12、G5、H12、J5、K12、L5、M12、M6	E10、E12、E14、E6、E8、F15、F5、H15、H5、K15、K5、M15、M5、P15、P5、R15、R6、T6
VDDA18_LDO ⁽⁴⁾	电源	1.8V 模拟输出	R11、R6、R8	U10、U11	N9	U9
VDDA18_OSC_PLL	电源	1.8V PLL 电源		U8	N6	U7
VDDA18_USB	电源	USB 1.8V 模拟电源	R4	T5	N4	U3
VDDA33	电源	3.3V 模拟电源	P11、P7、P9	T12、T9	M10、M8	T10、T12
VDDA33_USB	电源	USB 3.3V 模拟电源	R15	P5	M4	R3
VDDAR2	电源	SRAM 阵列电源	D10	D13	D10	C11
VDDAR3	电源	SRAM 阵列电源	H3	H4	G4	G3
VDDS18	电源	1.8V IO 电源	D6、E15、L4、N15	E14、E9、F4、G16、L17、N4、T16	D12、D6、D9、E4、G13、K13、K4、N13	D10、D14、D6、H16、H4、L3、M16、T16
VDDS18_LDO ^{(2) (3)}	电源	1.8V 数字 LDO 输出	T3	U6	P4	V4
VDDS1833_FLASH0	电源	1.8V/3.3V 闪存 0 IO 电源		J5	H4、J4	K4、M4
VDDS1833_FLASH1	电源	1.8V/3.3V 闪存 1 IO 电源		P16	M13	P16

表 5-44. 电源信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
VDDS1833_FLASH0-SIP	电源	1.8V/3.3V SIP 闪存电源。必须短接至电路板上的 VDDSHV_D(VDDS1833_FLASH0)。将在未来的闪存 SIP 封装中用于闪存电源。			F1、J1	
VDDS33	电源	3.3V IO 电源	D12、H15、H4、L15、P4、R15	E12、E16、E7、G5、J16、M16、M5、T14、T7	D11、D4、D7、F13、J13、L4、N12、N5	C15、D12、D8、F16、F4、K16、P4、T14、U5
VDD_TEMP	电源	VDD Temp	T4	V7	N8	T8
VNWA	电源	1.2V/1.25V 阱偏置 ⁽¹⁾	J16	K17	H13	J17
VPP	电源	电子保险丝 ROM 编程电源	N3	P3	K3	N3

表 5-44. 电源信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
VSS	GND	接地	A1、A18、 E10、E12、 E13、E14、 E5、E6、 E7、E8、 F10、F12、 F13、F14、 F5、F6、 F7、F8、 G10、G11、 G12、G7、 G8、G9、 H10、H11、 H12、H13、 H14、H5、 H6、H7、 H8、H9、 J10、J11、 J12、J13、 J14、J5、 J6、J7、J8、 J9、K10、 K11、K12、 K7、K8、 K9、L10、 L11、L12、 L13、L14、 L5、L6、L7、 L8、L9、 M10、M11、 M12、M13、 M14、M5、 M6、M7、 M8、M9、 N10、N11、 N12、N7、 N8、N9、 P13、P14、 P5、T2、V18	A1、A20、 F15、F6、 G10、G11、 G12、G13、 G14、G7、 G8、G9、 H10、H11、 H12、H13、 H14、H7、 H8、H9、 J10、J11、 J12、J13、 J14、J7、 J8、J9、 K10、K11、 K12、K13、 K14、K7、 K8、K9、 L10、L11、 L12、L13、 L14、L7、 L8、L9、 M10、M11、 M12、M13、 M14、M7、 M8、M9、 N10、N11、 N12、N13、 N14、N7、 N8、N9、 P10、P11、 P12、P13、 P14、P7、 P8、P9、 R14、R15、 R6、V2、 V5、W2、 Y1、Y20	A1、A16、 E10、E12、 E6、E8、 F10、F11、 F5、F6、 F7、F8、 F9、G10、 G11、G12、 G6、G7、 G8、G9、 H10、H11、 H5、H6、 H7、H8、 H9、J10、 J11、J12、 J13、J14、 J6、J7、J8、 J9、K10、 K11、K5、 K6、K7、 K8、K9、 L10、L11、 L12、L6、 L7、L8、L9、 M5、M7、 R2、R3、 R4、T1、T16	A1、A19、 D16、D4、 E15、E5、 F10、F11、 F12、F13、 F14、F6、 F7、F8、 F9、G10、 G11、G12、 G13、G14、 G6、G7、 G8、G9、 H10、H11、 H12、H13、 H14、H6、 H7、H8、 H9、J10、 J11、J12、 J13、J14、 J6、J7、J8、 J9、K10、 K11、K12、 K13、K14、 K6、K7、 K8、K9、 L10、L11、 L12、L13、 L14、L6、 L7、L8、L9、 M10、M11、 M12、M13、 M14、M6、 M7、M8、 M9、N10、 N11、N12、 N13、N14、 N6、N7、 N8、N9、 P10、P11、 P12、P13、 P14、P6、 P7、P8、 P9、R14、 R5、R8、 T4、U2、 V2、V3、 W1、W19
VSSA	AGND	模拟接地	P10、P12、 P6、P8、 R13、R5、 V1、V16	R12、R9	M11、M9	R10、R12

(1) 有关特定器件内核电压的更多信息，请参阅 [建议运行条件](#)。

(2) 有关连接此引脚的详细信息，请参阅 [布局指南](#) 部分。

(3) PCB 应将 VDD18_LDO 直接连接到所有 VDD18 引脚。

(4) 在 AM261x 上，模拟 LDO 在内部连接到 1.8V 模拟电源，因此用作常规 1.8V 输出。

5.3.18 PRU-ICSS

表 5-45. PRU-ICSS ECAP 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
PR0_ECAP0_APWM_OUT	O	PRU-ICSS 增强型捕获 (ECAP) 输入或 ECAP 辅助 PWM (APWM) 输出	D14	C16	A15	
PR1_ECAP0_APWM_OUT	O	PRU-ICSS 增强型捕获 (ECAP) 输入或 ECAP 辅助 PWM (APWM) 输出	D14	C16	A15	

表 5-46. PRU-ICSS GPIO 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
PR0_PRU0_GPIO0	IO	PRU0 通用输入/输出	K17	N17	K14	M18
PR0_PRU0_GPIO1	IO	PRU0 通用输入/输出	K18	N19	H14	L19
PR0_PRU0_GPIO2	IO	PRU0 通用输入/输出	J18	M18	G16	K19
PR0_PRU0_GPIO3	IO	PRU0 通用输入/输出	J17	M20	J14	L17
PR0_PRU0_GPIO4	IO	PRU0 通用输入/输出	K16	L20	G15	J19
PR0_PRU0_GPIO5	IO	PRU0 通用输入/输出	G17	K19	F14	G17
PR0_PRU0_GPIO6	IO	PRU0 通用输入/输出	K15	N20	H15	L18
PR0_PRU0_GPIO7	IO	PRU0 通用输入/输出	N17	T19	M15	T18
PR0_PRU0_GPIO8	IO	PRU0 通用输入/输出	G15	J18	E14	G19
PR0_PRU0_GPIO9	IO	PRU0 通用输入/输出	F17	J19	E15	
PR0_PRU0_GPIO10	IO	PRU0 通用输入/输出	G18	J20	E16	J18
PR0_PRU0_GPIO11	IO	PRU0 通用输入/输出	M16	P20	J15	N18
PR0_PRU0_GPIO12	IO	PRU0 通用输入/输出	M15	P19	J16	N19
PR0_PRU0_GPIO13	IO	PRU0 通用输入/输出	H17	K20	F15	H19
PR0_PRU0_GPIO14	IO	PRU0 通用输入/输出	H16	L19	G14	H18
PR0_PRU0_GPIO15	IO	PRU0 通用输入/输出	L16	P18	H16	M19
PR0_PRU0_GPIO16	IO	PRU0 通用输入/输出	H18	M19	F16	K18
PR0_PRU1_GPIO0	IO	PRU1 通用输入/输出	F18	H20	D14	G18
PR0_PRU1_GPIO1	IO	PRU1 通用输入/输出	G16	H19	D16	F18
PR0_PRU1_GPIO2	IO	PRU1 通用输入/输出	E17	H17		E17
PR0_PRU1_GPIO3	IO	PRU1 通用输入/输出	E18	G20		F19
PR0_PRU1_GPIO4	IO	PRU1 通用输入/输出	F16	G19	D15	E19
PR0_PRU1_GPIO5	IO	PRU1 通用输入/输出	F15	F20		E18
PR0_PRU1_GPIO6	IO	PRU1 通用输入/输出	E16	F19	E13	D19
PR0_PRU1_GPIO7	IO	PRU1 通用输入/输出	A16、G3	A19、H2	C16、E2	E1
PR0_PRU1_GPIO8	IO	PRU1 通用输入/输出	D18	G18		C19
PR0_PRU1_GPIO9	IO	PRU1 通用输入/输出	C18	E20		
PR0_PRU1_GPIO10	IO	PRU1 通用输入/输出	D17	E19		
PR0_PRU1_GPIO11	IO	PRU1 通用输入/输出	B18	F17		D18
PR0_PRU1_GPIO12	IO	PRU1 通用输入/输出	B17	D20		C18
PR0_PRU1_GPIO13	IO	PRU1 通用输入/输出	D16	C20		B19
PR0_PRU1_GPIO14	IO	PRU1 通用输入/输出	C17	D19		C17

表 5-46. PRU-ICSS GPIO 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
PR0_PRU1_GPIO15	IO	PRU1 通用输入/输出	A17	E18		A18
PR0_PRU1_GPIO16	IO	PRU1 通用输入/输出	C16	B20		B18
PR0_PRU1_GPIO17	IO	PRU1 通用输入/输出	D13	B17	C14	
PR0_PRU1_GPIO18	IO	PRU1 通用输入/输出	C15	C19		B17
PR0_PRU1_GPIO19	IO	PRU1 通用输入/输出	D15	C18		B16
PR1_PRU0_GPIO0	IO	PRU0 通用输入/输出	A3、C10、K17、K2	B12、B5、K1、N17	A10、G2、K14	B12、G2、M18
PR1_PRU0_GPIO1	IO	PRU0 通用输入/输出	A2、B11、J4、K18	A4、C12、L4、N19	A11、H14、H3	B11、H1、L19
PR1_PRU0_GPIO2	IO	PRU0 通用输入/输出	C11、C6、J18、K4	B13、B4、L1、M18	B11、G16、H2	C13、H2、K19
PR1_PRU0_GPIO3	IO	PRU0 通用输入/输出	C2	B1	A3	A3
PR1_PRU0_GPIO4	IO	PRU0 通用输入/输出	D2	A3	C5	A4
PR1_PRU0_GPIO5	IO	PRU0 通用输入/输出	B2	B3	A4	B5
PR1_PRU0_GPIO6	IO	PRU0 通用输入/输出	D3	A2	B4	A5
PR1_PRU0_GPIO7	IO	PRU0 通用输入/输出	B16、B7、C1	B19、B2、D8	A2、A7、C15	A9、B4
PR1_PRU0_GPIO8	IO	PRU0 通用输入/输出	B1	C3	A5	A6
PR1_PRU0_GPIO9	IO	PRU0 通用输入/输出	A11、B4、F17、K3	A13、A5、J19、M2	A12、E15、G1	A12、J1
PR1_PRU0_GPIO10	IO	PRU0 通用输入/输出	A16、B5	A19、B6	C16	
PR1_PRU0_GPIO11	IO	PRU0 通用输入/输出	E3	C2	C4	B2
PR1_PRU0_GPIO12	IO	PRU0 通用输入/输出	D1	D2	B1	B1
PR1_PRU0_GPIO13	IO	PRU0 通用输入/输出	E4	D1	C1	B3
PR1_PRU0_GPIO14	IO	PRU0 通用输入/输出	F2	E2	C2	C2
PR1_PRU0_GPIO15	IO	PRU0 通用输入/输出	E2	C1	B2	A2
PR1_PRU0_GPIO16	IO	PRU0 通用输入/输出	C1	B2	A2	B4
PR1_PRU0_GPIO17	IO	PRU0 通用输入/输出	C7、D7	B9、C7	B7、C8	C9
PR1_PRU0_GPIO18	IO	PRU0 通用输入/输出	C8	A9	A8	
PR1_PRU0_GPIO19	IO	PRU0 通用输入/输出	A14	B16	C13	A15
PR1_PRU0_GPIO20	IO	PRU1 通用输入/输出	C12	C14	C12	A14
PR1_PRU1_GPIO0	IO	PRU1 通用输入/输出	V17	W16	R14	V15
PR1_PRU1_GPIO1	IO	PRU1 通用输入/输出	T16	Y16	T14	W15
PR1_PRU1_GPIO2	IO	PRU1 通用输入/输出	P15	W17	T15	W16
PR1_PRU1_GPIO3	IO	PRU1 通用输入/输出	A10、F1	A12、G1	B10、D1	D1
PR1_PRU1_GPIO4	IO	PRU1 通用输入/输出	C9、F4	D11、G2	B9、D2	D2
PR1_PRU1_GPIO5	IO	PRU1 通用输入/输出	G2	E1	D3	C1
PR1_PRU1_GPIO6	IO	PRU1 通用输入/输出	A9、F3	A11、F1	C10、F4	A11、E2
PR1_PRU1_GPIO7	IO	PRU1 通用输入/输出	D11	D15	B13	B14
PR1_PRU1_GPIO8	IO	PRU1 通用输入/输出	B9、E1	B11、F2	D8、E3	B10、E3
PR1_PRU1_GPIO9	IO	PRU1 通用输入/输出	R16	Y17	R15	V16
PR1_PRU1_GPIO10	IO	PRU1 通用输入/输出	D14	C16	A15	
PR1_PRU1_GPIO11	IO	PRU1 通用输入/输出	N1	R2	M2	N2

表 5-46. PRU-ICSS GPIO 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
PR1_PRU1_GPIO12	IO	PRU1 通用输入/输出	N4	R1	N1	N1
PR1_PRU1_GPIO13	IO	PRU1 通用输入/输出	D13	B17	C14	
PR1_PRU1_GPIO14	IO	PRU1 通用输入/输出	A15	B18	B15	
PR1_PRU1_GPIO15	IO	PRU1 通用输入/输出	D9、H2	C9、H1	C11、E1	F1
PR1_PRU1_GPIO16	IO	PRU1 通用输入/输出	B10、G3	D10、H2	A9、E2	E1
PR1_PRU1_GPIO17	IO	PRU1 通用输入/输出	C14	D17	B14	
PR1_PRU1_GPIO18	IO	PRU1 通用输入/输出	B14	A16	D13	B15
PR1_PRU1_GPIO19	IO	PRU1 通用输入/输出	C7	C7	C8	C9

表 5-47. PRU-ICSS IEP 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
PR0_IEP0_EDC_SYNC_OUT0	O	PRU-ICSS 工业以太网分布式时钟同步输出	D15	C18		B16
PR0_IEP0_EDC_SYNC_OUT1	O	PRU-ICSS 工业以太网分布式时钟同步输出	A16、F17、N17	A19、J19、T19	C16、E15、M15	T18
PR0_IEP0_EDIO_DATA_IN_OUT30	IO	PRU-ICSS 工业以太网数字 I/O 数据输入/输出	D13、D17、P2	B17、E19、U2	C14、P3	T1
PR0_IEP0_EDIO_DATA_IN_OUT31	IO	PRU-ICSS 工业以太网数字 I/O 数据输入/输出	C15、C18	C19、E20		B17
PR1_IEP0_EDC_SYNC_OUT0	O	PRU-ICSS 工业以太网分布式时钟同步输出	B14、U18	A16、Y19	D13、R16	B15、W18
PR1_IEP0_EDC_SYNC_OUT1	O	PRU-ICSS 工业以太网分布式时钟同步输出	B15、N17	A18、T19	B16、M15	A17、T18
PR1_IEP0_EDIO_DATA_IN_OUT30	IO	PRU-ICSS 工业以太网数字 I/O 数据输入/输出	C12、N18	C14、U20	C12、L15	A14、R18
PR1_IEP0_EDIO_DATA_IN_OUT31	IO	PRU-ICSS 工业以太网数字 I/O 数据输入/输出	A14、T18	B16、W19	C13、N14	A15、V18

表 5-48. PRU-ICSS MDIO 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
PR0_MDIO0_MDC	O	PRU-ICSS MDIO 时钟	L18	R20	K16	P19
PR0_MDIO0_MDIO	IO	PRU-ICSS MDIO 数据	L17	R19	K15	N17
PR1_MDIO0_MDC	O	PRU-ICSS MDIO 时钟	A4、C13	A17、A6	A14	A16
PR1_MDIO0_MDIO	IO	PRU-ICSS MDIO 数据	B15、B6	A18、B7	B16	A17

表 5-49. PRU-ICSS UART 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
PR0_UART0_CTSn	I	PRU-ICSS UART 允许发送 (低电平有效)	F17	J19	E15	
PR0_UART0_RTSn	O	PRU-ICSS UART 请求发送 (低电平有效)	G18	J20	E16	J18

表 5-49. PRU-ICSS UART 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
PR0_UART0_RXD	I	PRU-ICSS UART 接收数据	C18	E20		
PR0_UART0_TXD	O	PRU-ICSS UART 发送数据	D17	E19		
PR1_UART0_CTSn	I	PRU-ICSS UART 允许发送 (低电平有效)	B16	B19	C15	
PR1_UART0_RTSn	O	PRU-ICSS UART 请求发送 (低电平有效)	D14	C16	A15	
PR1_UART0_RXD	I	PRU-ICSS UART 接收数据	A16	A19	C16	
PR1_UART0_TXD	O	PRU-ICSS UART 发送数据	D13	B17	C14	

5.3.19 SDFM

表 5-50. SDFM0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
SDFM0_CLK0	I	SDFM 通道 0 时钟	B16	B19	C15	
SDFM0_CLK1	I	SDFM 通道 1 时钟	A16	A19	C16	
SDFM0_CLK2	I	SDFM 通道 2 时钟	B15	A18	B16	A17
SDFM0_CLK3	I	SDFM 通道 3 时钟	A15	B18	B15	
SDFM0_D0	I	SDFM 通道 0 数据	D14	C16	A15	
SDFM0_D1	I	SDFM 通道 1 数据	D13	B17	C14	
SDFM0_D2	I	SDFM 通道 2 数据	C13	A17	A14	A16
SDFM0_D3	I	SDFM 通道 3 数据	C14	D17	B14	

表 5-51. SDFM1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
SDFM1_CLK0	I	SDFM 通道 0 时钟	B14、B6	A16、B7	D13	B15
SDFM1_CLK1	I	SDFM 通道 1 时钟	B5、C12	B6、C14	C12	A14
SDFM1_CLK2 ⁽²⁾	I	SDFM 通道 2 时钟	A3、B13	B15、B5	B12	B13
SDFM1_CLK3 ⁽¹⁾	I	SDFM 通道 3 时钟	A13、C6	A15、B4	A13	A13
SDFM1_D0	I	SDFM 通道 0 数据	A14、A16、A4	A19、A6、B16	C13、C16	A15
SDFM1_D1	I	SDFM 通道 1 数据	B15、B4、D11	A18、A5、D15	B13、B16	A17、B14
SDFM1_D2	I	SDFM 通道 2 数据	A15、A2、B12	A4、B14、B18	B15	
SDFM1_D3	I	SDFM 通道 3 数据	A12、A5	A14、A7		

(1) SDFM1_CLK3 通过 I2C OD FS (开漏失效防护) 电压缓冲器实现。

(2) SDFM1_CLK2 通过 I2C OD FS (开漏失效防护) 电压缓冲器实现。

5.3.20 SPI

表 5-52. SPI0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
SPI0_CLK	IO	SPI0 时钟	A11、R3	A13、T2	A12、M3	A12、R2
SPI0_CS0	IO	SPI0 片选 0	C11、P1	B13、U4	B11、N3	C13、R1
SPI0_CS1	IO	SPI0 片选 1	B12、B7	B14、D8	A7	A9
SPI0_D0	IO	SPI0 数据 0	C10、M4	B12、T1	A10、L3	B12、P2
SPI0_D1	IO	SPI0 数据 1	B11、P3	C12、U1	A11、N2	B11、P1

表 5-53. SPI1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
SPI1_CLK	IO	SPI1 时钟	A10	A12	B10	
SPI1_CS0	IO	SPI1 片选 0	C9	D11	B9	
SPI1_D0	IO	SPI1 数据 0	B10	D10	A9	
SPI1_D1	IO	SPI1 数据 1	D9	C9	C11	

表 5-54. SPI2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
SPI2_CLK	IO	SPI2 时钟	B9、C14、G1	B11、D17、K4	B14、D8、F2	B10、F2
SPI2_CS0	IO	SPI2 片选 0	A14、A9、M2	A11、B16、M1	C10、C13、H1	A11、A15、J3
SPI2_CS1	IO	SPI2 片选 1	B15	A18	B16	A17
SPI2_D0	IO	SPI2 数据 0	B14、B8	A16、B10	B8、D13	A10、B15
SPI2_D1	IO	SPI2 数据 1	A15、A8	A10、B18	B15、C9	B9

表 5-55. SPI3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
SPI3_CLK	IO	SPI3 时钟	C8	A9	A8	
SPI3_CS0	IO	SPI3 片选 0	D7	B9	B7	
SPI3_CS1	IO	SPI3 片选 1	C13	A17	A14	A16
SPI3_D0	IO	SPI3 数据 0	C7	C7	C8	C9
SPI3_D1	IO	SPI3 数据 1	B7	D8	A7	A9

5.3.21 系统和其他

5.3.21.1 启动模式配置

表 5-56. 引导模式信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
SOP0		引导模式配置位 0 (GPIO3)	N1	R2	M2	N2
SOP1		引导模式配置位 1 (GPIO4)	N4	R1	N1	N1
SOP2		引导模式配置位 2 (GPIO12)	A11	A13	A12	A12
SOP3		引导模式配置位 3 (GPIO13)	C10	B12	A10	B12

5.3.21.2 时钟

表 5-57. XTAL 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
XTAL_XI ⁽¹⁾	I	外部晶振 (XTAL) 输入	T1	Y3	T3	W3
XTAL_XO ⁽¹⁾	O	外部晶振 (XTAL) 输出	R1	Y2	T2	W2

(1) XTAL 接口需要一个 25MHz 时钟源。

表 5-58. 输出时钟信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
CLKOUT0	O	输出时钟 0	E1、M2	F2、M1	E3、H1	E3、J3
CLKOUT1	O	输出时钟 1	B16	B19	C15	

表 5-59. 外部基准时钟信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
EXT_REFCLK0	I	外部基准时钟输入	P2	U2	P3	T1

5.3.21.3 仿真和调试

表 5-60. 布线信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
TRC_CLK	O	跟踪时钟	D15、K16	C18、L20	G15	B16、J19
TRC_CTL	O	跟踪控制	C15、G17	C19、K19	F14	B17、G17
TRC_DATA0	O	跟踪数据 0	F15、K17	F20、N17	K14	E18、M18
TRC_DATA1	O	跟踪数据 1	C18、K18	E20、N19	H14	L19
TRC_DATA2	O	跟踪数据 2	D17、J18	E19、M18	G16	K19
TRC_DATA3	O	跟踪数据 3	D18、J17	G18、M20	J14	C19、L17
TRC_DATA4	O	跟踪数据 4	E16	F19	E13	D19
TRC_DATA5	O	跟踪数据 5	F16	G19	D15	E19
TRC_DATA6	O	跟踪数据 6	F18	H20	D14	G18
TRC_DATA7	O	跟踪数据 7	G16	H19	D16	F18

表 5-60. 布线信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
TRC_DATA8	O	跟踪数据 8	E17	H17		E17
TRC_DATA9	O	跟踪数据 9	E18	G20		F19
TRC_DATA10	O	跟踪数据 10	C16	B20		B18
TRC_DATA11	O	跟踪数据 11	A17	E18		A18
TRC_DATA12	O	跟踪数据 12	B18	F17		D18
TRC_DATA13	O	跟踪数据 13	B17	D20		C18
TRC_DATA14	O	跟踪数据 14	D16	C20		B19
TRC_DATA15	O	跟踪数据 15	C17	D19		C17

表 5-61. JTAG 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
TCK	I	JTAG 测试时钟输入	B3	D4	C6	B6
TDI	I	JTAG 测试数据输入	C5	C5	D5	C7
TDO	O	JTAG 测试数据输出	C4	E5	B5	A7
TMS	IO	JTAG 测试模式选择输入	D5	D6	C7	B7

5.3.21.4 系统

表 5-62. 系统信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
PORz	I	器件上电 (PORz) 冷复位	R2	V3	P2	T2
SAFETY_ERRORn	IO	ESM 安全错误信号	D4、M2、P2	E3、M1、U2	B3、H1、P3	C5、J3、T1
WARMRSTn	IO	热复位请求 (输入) / 热复位状态 (输出)	C3	G3	C3	C3

5.3.21.5 VMON

表 5-63. VMON 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
VSYS_MON ⁽¹⁾	-	具有 0.9 V (+/-3%) 设定点的外部电压监控器。	U2	Y4	R5	V5

(1) 有关此引脚的更多详细信息，请参阅 *电气规格 - 安全比较器* 部分。

5.3.21.6 保留

表 5-64. 保留信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
ATESTV1	-	保留。该引脚必须保持未连接状态。	T6	W5	T4	W5
TEMPCAL	-	保留。此引脚必须连接至地 (VSS)。	U1	W3	P5	W4

表 5-65. 无连接说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
NC ⁽¹⁾	NC	无连接	J15、R7、R9、T15、T7、U4、U5、U6、U7、U8、U9、V3、V4、V5、V6、V7、V8	U17		

(1) 这些引脚应保持未连接状态。

5.3.22 UART

表 5-66. UART0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
UART0_CTSn	I	UART 允许发送 (低电平有效)	A5、B7	A7、D8	A7	A9
UART0_RTSn	O	UART 请求发送 (低电平有效)	C6、C7	B4、C7	C8	C9
UART0_RXD	I	UART 接收数据	A7、B6	A8、B7	A6	A8
UART0_TXD	O	UART 发送数据	A4、A6	A6、B8	B6	B8

表 5-67. UART1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
UART1_CTSn	I	UART 允许发送 (低电平有效)	B15、G4	A18、J2	B16	A17
UART1_DCDn	I	UART 数据载波检测 (低电平有效)	J4、N1	L4、R2	H3、M2	H1、N2
UART1_DSRn	I	UART 数据集就绪 (低电平有效)	V17	W16	R14	V15
UART1_DTRn	O	UART 数据终端就绪 (低电平有效)	K1、K3	M2、N1	G1、J2	J1、K1
UART1_RIn	I	UART 振铃指示器	K4、N4	L1、R1	H2、N1	H2、N1
UART1_RTSn	O	UART 请求发送 (低电平有效)	B12、J2	B14、L2	F3	G1
UART1_RXD	I	UART 接收数据	A9、L3、M2、U18	A11、M1、T3、Y19	C10、H1、M1、R16	A11、J3、L2、W18
UART1_TXD	O	UART 发送数据	B9、G1、L2、M3、T18	B11、K4、N2、R4、W19	D8、F2、K2、L1、N14	B10、F2、J2、M1、V18

表 5-68. UART2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
UART2_CTSn	I	UART 允许发送 (低电平有效)	C13、D14、H1	A17、C16、J3	A14、A15	A16
UART2_RTSn	O	UART 请求发送 (低电平有效)	A12、B16、F3、J3、R3	A14、B19、F1、J1、T2	C15、F4、M3	E2、R2
UART2_RXD	I	UART 接收数据	B5、B8、D13、J1	B10、B17、B6、K2	B8、C14、G3	A10

表 5-68. UART2 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
UART2_TXD	O	UART 发送数据	A16、A3、A8、G4	A10、A19、B5、J2	C16、C9	B9

表 5-69. UART3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
UART3_CTSn	I	UART 允许发送 (低电平有效)	C10、G18、K1、K2、K3、N2	B12、J20、K1、M2、M3、N1	A10、E16、G1、G2、J2、L2	B12、G2、J1、J18、K1、M2
UART3_RTSn	O	UART 请求发送 (低电平有效)	A2、B11、G17、J1	A4、C12、K19、K2	A11、F14、G3	B11、G17
UART3_RXD	I	UART 接收数据	B12、C11、C7、D15、K16、P1	B13、B14、C18、C7、L20、U4	B11、C8、G15、N3	B16、C13、C9、J19、R1
UART3_TXD	O	UART 发送数据	A11、A12、B7、C15、J17、R3	A13、A14、C19、D8、M20、T2	A12、A7、J14、M3	A12、A9、B17、L17、R2

表 5-70. UART4 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
UART4_CTSn	I	UART 允许发送 (低电平有效)	A14、T16	B16、Y16	C13、T14	A15、W15
UART4_RTSn	O	UART 请求发送 (低电平有效)	B14、V17	A16、W16	D13、R14	B15、V15
UART4_RXD	I	UART 接收数据	A10、D11、H1、H2、N18	A12、D15、H1、J3、U20	B10、B13、E1、L15	B14、F1、R18
UART4_TXD	O	UART 发送数据	C12、C9、G3、J3、N17	C14、D11、H2、J1、T19	B9、C12、E2、M15	A14、E1、T18

表 5-71. UART5 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
UART5_CTSn	I	UART 允许发送 (低电平有效)	B15、D13	A18、B17	B16、C14	A17
UART5_RTSn	O	UART 请求发送 (低电平有效)	A16	A19	C16	
UART5_RXD	I	UART 接收数据	A15、C13、D9、R16、V2	A17、B18、C9、V1、Y17	A14、B15、C11、R1、R15	A16、V1、V16
UART5_TXD	O	UART 发送数据	B10、B15、C14、P15、U3	A18、D10、D17、W1、W17	A9、B14、B16、P1、T15	A17、U1、W16

5.3.23 USB0

表 5-72. USB0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
USB0_DM	IO	USB 2.0 差分数据 (负)	U3	W1	P1	U1
USB0_DP	IO	USB 2.0 差分数据 (正)	V2	V1	R1	V1
USB0_DRVBUS	O	USB VBUS 控制输出 (高电平有效)	B8、M2、P2	B10、M1、U2	B8、H1、P3	A10、J3、T1

5.3.24 XBAR

表 5-73. 输出 XBAR 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
XBAROUT0	O	OUTPUTXBAR 信号 0	C11、R3	B13、T2	B11、M3	C13、R2
XBAROUT1	O	OUTPUTXBAR 信号 1	A11、C9	A13、D11	A12、B9	A12
XBAROUT2	O	OUTPUTXBAR 信号 2	A10、C10	A12、B12	A10、B10	B12
XBAROUT3	O	OUTPUTXBAR 信号 3	B10、B11	C12、D10	A11、A9	B11
XBAROUT4	O	OUTPUTXBAR 信号 4	A7、D9	A8、C9	A6、C11	A8
XBAROUT5	O	OUTPUTXBAR 信号 5	A6、A9	A11、B8	B6、C10	A11、B8
XBAROUT6	O	OUTPUTXBAR 信号 6	B9、G17	B11、K19	D8、F14	B10、G17
XBAROUT7	O	OUTPUTXBAR 信号 7	D7、K16	B9、L20	B7、G15	J19
XBAROUT8	O	OUTPUTXBAR 信号 8	C8、K17	A9、N17	A8、K14	M18
XBAROUT9	O	OUTPUTXBAR 信号 9	C7	C7	C8	C9
XBAROUT10	O	OUTPUTXBAR 信号 10	B7	D8	A7	A9
XBAROUT11	O	OUTPUTXBAR 信号 11	D16、K18	C20、N19	H14	B19、L19
XBAROUT12	O	OUTPUTXBAR 信号 12	C17、J18	D19、M18	G16	C17、K19
XBAROUT13	O	OUTPUTXBAR 信号 13	D15、J17	C18、M20	J14	B16、L17
XBAROUT14	O	OUTPUTXBAR 信号 14	C15、L17	C19、R19	K15	B17、N17
XBAROUT15	O	OUTPUTXBAR 信号 15	L18、P2	R20、U2	K16、P3	P19、T1

表 5-74. 外部 ADC 通道选择 XBAR 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
ADC_EXTCH_XBAROUT0	O	外部 ADC 通道选择 XBAR 信号 0	C11、C13	A17、B13	A14、B11	A16、C13
ADC_EXTCH_XBAROUT1	O	外部 ADC 通道选择 XBAR 信号 1	A11、C14	A13、D17	A12、B14	A12
ADC_EXTCH_XBAROUT2	O	外部 ADC 通道选择 XBAR 信号 2	C10、C12	B12、C14	A10、C12	A14、B12
ADC_EXTCH_XBAROUT3	O	外部 ADC 通道选择 XBAR 信号 3	B11、D11	C12、D15	A11、B13	B11、B14
ADC_EXTCH_XBAROUT4	O	外部 ADC 通道选择 XBAR 信号 4	C9、G17、P15	D11、K19、W17	B9、F14、T15	G17、W16
ADC_EXTCH_XBAROUT5	O	外部 ADC 通道选择 XBAR 信号 5	A10、K16、R16	A12、L20、Y17	B10、G15、R15	J19、V16
ADC_EXTCH_XBAROUT6	O	外部 ADC 通道选择 XBAR 信号 6	B10、F15、K17	D10、F20、N17	A9、K14	E18、M18
ADC_EXTCH_XBAROUT7	O	外部 ADC 通道选择 XBAR 信号 7	C18、D9、K18	C9、E20、N19	C11、H14	L19

表 5-74. 外部 ADC 通道选择 XBAR 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]	ZFG 引脚 [4]	ZEJ 引脚 [4]	ZNC 引脚 [4]
ADC_EXTCH_XBAROUT8	O	外部 ADC 通道选择 XBAR 信号 8	B15、J18	A18、M18	B16、G16	A17、K19
ADC_EXTCH_XBAROUT9	O	外部 ADC 通道选择 XBAR 信号 9	A15、J17	B18、M20	B15、J14	L17

5.4 引脚连接要求

本节介绍了具有特定连接要求的封装焊球和未使用焊球的连接要求。

引脚连接要求

ZCZ 焊球 编号	ZFG 焊球 编号	ZEJ 焊球编 号	ZNC 焊球 编号	焊球名称	引脚连接要求
D4	E3	B3	C5	SAFETY_ERRORn	该引脚必须通过单独的外部拉电阻器连接到地 (VSS)，以确保如果 PCB 信号布线已连接并且未由连接的器件主动驱动，它会保持为有效的逻辑低电平。如果没有 PCB 信号布线连接到焊球，则可以使用内部下拉来保持有效的逻辑低电平。
B3 C5 D5	D4 C5 D6	C6 D5 C7	B6 C7 B7	TCK TDI TMS	这些引脚均必须通过单独的外部拉电阻器连接到相应的电源，以确保如果 PCB 信号布线已连接并且未由连接的器件主动驱动，则这些焊球保持为有效的逻辑高电平。如果没有 PCB 信号布线连接到焊球，则可以使用内部上拉来保持有效的逻辑高电平。
A13 B13	A15 B15	A13 B12	A13 B13	GPIO135 (I2C0_SCL) GPIO134 (I2C0_SDA)	这些引脚均必须通过单独的外部拉电阻器连接到相应的电源，以确保这些焊球保持为有效的逻辑高电平。
N1 N4 A11 C10	R2 R1 A13 B12	M2 N1 A12 A10	N2 N1 A12 B12	GPIO3 (SOP0) GPIO4 (SOP1) GPIO12 (SOP2) GPIO13 (SOP3)	这些引脚均必须通过单独的外部拉电阻器连接到相应的电源或接地端 (VSS)，以确保这些焊球相应地保持为有效的逻辑高电平或低电平，从而选择所需的器件引导模式。
U16	V16	R13	U15	ADC_CAL0	如果所有 ADC 实例 (ADC[0:2]_AIN[0:6]) 的所有 ADCx_AINy 输入都未使用，必须将 ADC_CAL0 模拟引脚直接连接 (短接) 至地 (VSS)。
U2	Y4	R5	V5	VSYS_MON	如果未使用 VSYS_MON，可以将此引脚直接连接 (短接) 至地 (VSS)。
T4	V7	N8	T8	VDD_TEMP	如果正在使用内部温度二极管，必须将此引脚连接至 1.2V/1.25V 电源轨。如果未使用内部温度二极管，可以将此引脚直接连接 (短接) 至地 (VSS)。
T6	W5	T4	W5	ATESTV1	此引脚为保留引脚，必须保持未连接状态。
U1	W3	P5	W4	TEMPCAL	此引脚为保留引脚，必须连接至地 (VSS)。
NC ZCZ 引 脚	NC ZFG 引 脚	-	-	NC	任何标有 NC 的引脚都应保持未连接状态。
ADC ZCZ PIN	ADC ZFG 引脚	ADC ZEJ 引脚	ADC ZNC 引脚	ADC[0:2]_AIN[0:6]	必须将任何 ADC 实例 (ADC[0:2]_AIN[0:6]) 的任何未使用 ADCx_AINy 输入引脚直接连接 (短接) 至地 (VSS)。
LVC MOS ZCZ PIN	LVC MOS ZFG 引脚	LVC MOS ZEJ 引脚	LVC MOS ZNC 引脚	任何 LVC MOS 电压缓冲 器引脚	如果给定引脚存在相关的 IOMUX 焊盘配置寄存器，则它可能保持未连接状态。在 PORz 之后，LVC MOS 电压缓冲器配置为与未连接焊球兼容的默认状态。

6 规格

6.1 绝对最大额定值

在工作结温范围内测得 (除非另有说明) (1) (2)

参数		最小值	最大值	单位
VDD	SOC VDD 内核电源	-0.5	1.5	V
VDDAR1	SRAM 阵列电源 1	-0.5	1.5	V
VDDAR2	SRAM 阵列电源 2	-0.5	1.5	V
VDDAR3	SRAM 阵列电源 3	-0.5	1.5	V
VDDS18	来自偏置 LDO 的 1.8V IO 辅助电源通过电路板布线	-0.5	2.1	V
VDDS33	3.3V IO 电源	-0.5	4.0	V
VDDA18_OSC_PLL	用于 PLL 的 1.8V 模拟电源。从 1.8V 模拟 LDO 输出通过电路板布线	-0.5	2.1	V
VDDA33	模拟 3.3V 电源	-0.5	4.0	V
VDDA18	1.8V 模拟电源。从 1.8V 模拟 LDO 输出通过电路板布线	-0.5	2.1	V
IO 引脚稳态电压	3.3V LVCMOS IO 缓冲器	-0.3	$V_{DDS33}^{(3)} + 0.3$	V
	3.3V I2C 开漏 IO 缓冲器	-0.3	$V_{DDS33}^{(3)} + 0.3$	V
	XTAL 焊盘	-0.5	2.1	V
瞬态 过冲和 下冲	所有其他 IO 端子	-0.3	$V_{DDS33}^{(3)} + 0.2 \times V_{DDS33}^{(3)}$, 持续 高达 20% 的信号周期	V
	XTAL 焊盘 VDDA18_OSC_PLL 的 20%, 持续高达 20% 的信号周期		$0.2 \times V_{DDA18_OSC_PLL}$	V
闩锁性能 II 类 (150°C)	锁存 I-test 性能 (每个 IO 引脚上的电流脉冲 注入)		$\pm 100^{(5)}$	mA
	闩锁过压性能 (每个 IO 引脚上的电压注 入)		$1.5 \times V_{DDS33}$	V
输出电流	数字输出 (每引脚) , I_{OUT}	-20	20	mA
贮存温度 ⁽⁴⁾	T_{stg}	-55	155	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 除非另有说明, 否则所有电压值均以 VSS 为基准。
- (3) VDDS33 是 IC 相应电源引脚上的电压。
- (4) 长期高温贮存或在最大温度条件下超期使用可能会导致器件总体使用寿命缩短。有关更多信息, 请参阅“[半导体和 IC 封装热指标](#)”应用报告。
- (5) LVCMOS 引脚 GPIO77、GPIO118、GPIO106、GPIO103、GPIO89、GPIO91、TMS 可以承受每个 IO 引脚高达 ± 50 mA 的闩锁效应电流脉冲注入。

6.2 静电放电 (ESD) 扩展汽车等级

在建议运行条件下测得 (除非另有说明)

				值	单位
324 焊球 ZCZ-Q1 封装					
V _(ESD)	静电放电 (ESD)	人体放电模型 (HBM)，符合 AEC-Q100-002 ⁽¹⁾		±2000	V
		充电器件模型 (CDM)，符合 AEC-Q100-011 标准	所有引脚	±500	
			324 焊球 ZCZ 上的转角焊球： A1、A18、V1、V18	±750	
256 焊球 ZEJ-Q1 封装					
V _(ESD)	静电放电 (ESD)	人体放电模型 (HBM)，符合 AEC-Q100-002 ⁽¹⁾		±2000	V
		充电器件模型 (CDM)，符合 AEC-Q100-011 标准	所有引脚	±500	
			256 焊球 ZCZ 上的转角焊球： A1、A16、T1、T16	±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试

6.3 静电放电 (ESD) 工业等级

在建议运行条件下测得 (除非另有说明)

			值	单位
324 焊球 ZCZ 封装				
V _(ESD)	静电放电 (ESD)	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±500	
304 焊球 ZFG 封装				
V _(ESD)	静电放电 (ESD)	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±500	
256 焊球 ZEJ 封装				
V _(ESD)	静电放电 (ESD)	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±500	
293 焊球 ZNC 封装				
V _(ESD)	静电放电 (ESD)	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±500	

(1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 规定: 250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.4 上电小时数 (POH) 摘要

在建议运行条件下测得 (除非另有说明) ^{(1) (2) (3)}

参数		扩展工业级	汽车级工作温度
工作结温 (T _J)		-40°C 至 125°C	-40°C 至 150°C
POH @ 温度曲线	R5F = 400MHz ⁽⁵⁾ (6)	100K @ 105°C (100% @ 105°C) 25K @ 125°C (100% @ 125°C)	20K @ 汽车温度曲线 ⁽⁴⁾
	R5F = 500MHz (默认值)	55K @ 105°C (100% @ 105°C) 15K @ 125°C (100% @ 125°C)	20K @ 汽车温度曲线 ⁽⁴⁾

(1) 为方便起见, 单独提供这些信息, 并且未扩展或修改适用于 TI 半导体产品的 TI 标准条款和条件下提供的保修范围。

(2) 除非上表中另有说明, 否则器件在额定温度下支持所有电压域和工作条件。

- (3) POH 是电压、温度 and 时间的函数。在较高电压和温度下使用会导致 POH 降低。
- (4) 请参阅 *汽车温度曲线* 部分
- (5) 对于 AM261x 器件，降低 R5F 内核频率可实现更好的 POH。
- (6) 无论内核频率设置如何，“O”速度等级的器件都必须遵循 500MHz 处 R5F 的建议运行条件

6.4.1 汽车温度曲线

T _J (°C)	小时	天	年	时间百分比
-40	1200	约 50	约 0.14	6%
75	4000	约 167	约 0.46	20%
95	13000	约 541	约 1.48	65%
130	1600	约 67	约 0.18	8%
150	200	约 8.5	约 0.023	1%
总计	20000	约 833	约 2.28	100%

6.5 建议运行条件

在工作结温范围内测得 (除非另有说明)

参数	说明		最小值	标称值	最大值	单位
VDD ⁽¹⁾	SOC VDD 内核电源	R5F = 400MHz	1.140	1.2	1.26	V
		R5F = 500MHz	1.188	1.25	1.32	V
VDDAR1、VDDAR2、VDDAR3 ⁽¹⁾	SRAM 阵列电源	R5F = 400MHz	1.140	1.2	1.26	V
		R5F = 500MHz	1.188	1.25	1.32	V
VDDS18	来自偏置 LDO 的 1.8V IO 辅助电源通过电路板布线		1.710	1.800	1.890	V
VDDS33	3.3V IO 电源		3.135	3.300	3.465	V
VDDA18_OSC_PLL	用于 PLL 的 1.8V 模拟电源。从模拟 LDO 输出通过电路板布线		1.710	1.800	1.890	V
VDDA33	模拟 3.3V 电源		3.135	3.300	3.465	V
VDDA18	1.8V 模拟电源。从 1.8V 模拟 LDO 输出通过电路板布线		1.710	1.800	1.890	V
T _J	工作结温范围	汽车级工作温度	-40		150	°C
		扩展工业级	-40		125	°C

(1) 无论内核频率设置如何，“O”速度等级的器件都必须遵循 500MHz 处 R5F 的建议运行条件

6.6 运行性能点

本节介绍了器件的运行条件。本节还包含处理器时钟、器件内核时钟和可用存储器的每个运行性能点 (OPP) 的说明。

器件	等级	RAM (MB)	R5FSS (MHz)	HSM (MHz)	ICSS (MHz)	INFRA ⁽¹⁾ (MHz)
AM261x	L	1.5	400	200	200	200
AM261x	O ⁽²⁾	1.5	500	250	225	200
AM261x	P	1.5	200	200	200	200

(1) 基础设施包括器件中集成的所有其他模块和 IP (例如 CBASS/互连和其他 SoC 级外设)，除非表中另有说明。

(2) 无论内核频率设置如何，“O”速度等级的器件都必须遵循 500MHz 处 R5F 的建议运行条件

6.7 功耗摘要

节 6.7.1，功耗 - 最大值 展示了每个电源轨消耗的最大电流，应该用于电源选型。

6.7.1 功耗 - 400MHz 时 R5F 的最大值

频率为 400MHz、T_J 为 150℃ 时的 R5F

电源名称	参数		最小值	MAX ⁽¹⁾	单位
VDD + VDDARn	内核域和 SRAM 电源的最大电流额定值			1.75	A
VDDS33	3.3V IO 电源的最大电流额定值	仅限 3.3V IO ⁽²⁾		200	mA
		1.8V IO 和 3.3V IO ⁽³⁾		120	mA
VDDS18	1.8V IO 电源的最大电流额定值	仅限 3.3V IO ⁽²⁾		0	mA
		1.8V IO 和 3.3V IO ⁽³⁾		80	mA
VDDA33	3.3V 模拟电源的最大电流额定值			100	mA

- (1) 最大值显示了每个电源轨所需的最大可能电流，仅用于电源选择。有关典型应用中的功耗，请参阅 功耗 - 典型值。
- (2) 这是所有 IO 均在 3.3V 域中运行时的情况。
- (3) 这是 OSPI0 和 OSPI1 IO 在 1.8V 域中运行时的情况。

6.7.2 功耗 - 500MHz 时 R5F 的最大值

频率为 500MHz、T_J 为 125℃ 时的 R5F

电源名称	参数		最小值	最大值 ⁽¹⁾	单位
VDD + VDDARn	内核域和 SRAM 电源的最大电流额定值			1.5	A
VDDS33	3.3V IO 电源的最大电流额定值	仅限 3.3V IO ⁽²⁾		200	mA
		1.8V IO 和 3.3V IO ⁽³⁾		120	mA
VDDS18	1.8V IO 电源的最大电流额定值	仅限 3.3V IO ⁽²⁾		0	mA
		1.8V IO 和 3.3V IO ⁽³⁾		80	mA
VDDA33	3.3V 模拟电源的最大电流额定值			100	mA

- (1) 最大值显示了每个电源轨所需的最大可能电流，仅用于电源选择。有关典型应用中的功耗，请参阅 功耗 - 典型值。
- (2) 这是所有 IO 均在 3.3V 域中运行时的情况。
- (3) 这是 OSPI0 和 OSPI1 IO 在 1.8V 域中运行时的情况。

6.8 电气特性

备注

数字和模拟 IO 电气特性中描述的接口或信号对应于多路复用模式 0 (主要功能) 下可用的接口或信号。

这些表中介绍的焊球上多路复用的所有接口或信号都具有相同的直流电气特性，除非多路复用涉及 PHY 和 GPIO 组合，在这种情况下，会为不同的复用模式 (功能) 指定不同的直流电气特性。

AM261x 具有 1.8V 或 3.3V 兼容 IO，具体取决于连接到 VDDSD1833_FLASH0 和 VDDSD1833_FLASH1 的电源。1.8V IO 的电气特性将在本数据表的未来修订版本中进行更新。

6.8.1 数字和模拟 IO 电气特性

在建议运行条件下测得 (除非另有说明)

参数		最小值	典型值	最大值	单位
PORz IO					
V _{IH}	高电平输入电压	1.35			V
V _{IL}	低电平输入电压			0.5	V
V _{HYS}	输入端的迟滞电压	0.070			V
I _L	输入漏电流	-2		2	μA
热复位 IO					
V _{IH}	高电平输入电压	2.15			V
V _{IL}	低电平输入电压			0.55	V
V _{HYS}	输入端的迟滞电压	0.347			V
V _{OL}	低电平输出电压，驱动器被启用：I _{OL} = 6mA			0.45	V
I _L	输入漏电流、接收器被禁用、拉电阻被禁用	-57			μA
TCK IO					
V _{IH}	高电平输入电压	2.15			V
V _{IL}	低电平输入电压			0.55	V
V _{HYS}	输入端的迟滞电压	0.4			V
I _L	输入漏电流、接收器被禁用、拉电阻被禁用	-3.9	8.9	17.2	μA
	输入漏电流、接收器被禁用、上拉电阻被启用		106.9	128.2	μA
	输入漏电流、接收器被禁用、下拉被启用		100.3	130.3	μA
I2C OD IO					
V _{IH}	高电平输入电压	2			V
V _{IL}	低电平输入电压			0.55	V
V _{HYS}	输入端的迟滞电压	0.165			V
I _L	输入漏电流、接收器被禁用、拉电阻被禁用	-18		18	μA
V _{OL}	低电平输出电压，驱动器被启用：I _{OL} = 3mA			0.45	V
所有其他 LVCMOS					
V _{IH}	高电平输入电压	2			V
V _{IL}	低电平输入电压			0.55	V
V _{HYS}	输入端的迟滞电压	0.265			V
V _{OL}	低电平输出电压，驱动器被启用：I _{OL} = 6mA			0.45	V
V _{OH}	高电平输出电压，驱动器被启用：I _{OH} = 6mA		VDDSD33 ⁽¹⁾ - 0.45		V

在建议运行条件下测得（除非另有说明）

参数		最小值	典型值	最大值	单位
I _L	输入漏电流、接收器被禁用、拉电阻被禁用	-18		18	μA
	输入漏电流、接收器被禁用、上拉电阻被启用	-243	-100	-19	μA
	输入漏电流、接收器被禁用、下拉被启用	51	100	210	μA

(1) V_{DDS33} 是 IC 相应电源引脚上的电压。

6.8.2 模数转换器特性

本节介绍了确保器件正常运行所需的模数转换器电气特性。

6.8.2.1 模数转换器 (ADC)

在工作结温范围内测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
V _{REFHI}		1.71	1.8	1.89	V
输入转换范围 (Vin+、Vin-)	必须 < VDDA33	0		33/18 × V _{REFHI}	V
上电时间				500	μs
增益误差		-5	±3	5	LSB
偏移误差		-4	±2	4	LSB
通道间增益误差			±4		LSB
通道间偏移误差			±2		LSB
ADC 间增益误差	同一参考组		±4		LSB
ADC 间偏移误差	同一参考组		±2		LSB
DNL	受控环境，可更大程度地降低输入噪声	-1	±0.5	1	LSB
INL	受控环境，可更大程度地降低输入噪声	-2	±1.0	2	LSB
SNR	受控环境，可更大程度地降低输入噪声		68		dB
ENOB (同步运行)			11		位
ENOB (异步运行)			9.7		位
ADC 间隔离	同步运行	-10		10	LSB
V _{REFHI} 输入电流			500		μA
转换时间				330	ns
采样持续时间		75			ns
寄生输入电容 (C _p) ⁽¹⁾			7		pF
采样/保持电阻 (R _{on}) ⁽¹⁾				1.2	kΩ
采样/保持电容 (C _h) ⁽¹⁾				8	pF
输入漏电流		-1.2	0.1	1.2	μA
电源 (VDDA33)		3.13	3.3	3.46	V
电源 (VDDA18)		1.71	1.8	1.89	V
功耗 (VDDA33)			200		μA
功耗 (VDDA18)			500		μA
最大输入时钟频率	在 50% 占空比下具有 7.5ns 的最小脉冲宽度		50	66.667	MHz

(1) 请参阅 ADC 输入模型

6.8.2.2 ADC 输入模型

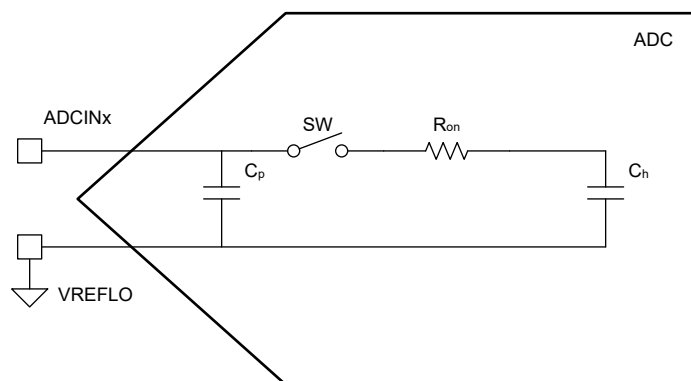


图 6-1. ADC 输入模型

6.8.3 比较器子系统 A (CMPSSA)

子组	参数	最小值	典型值	最大值	单位
比较器	上电时间			10	μs
	比较器输入范围	0.1	VDDA33 ⁽¹⁾ – 50mV		V
	以输入为基准的失调电压误差	-20		20	mV
	迟滞 (H1)		不适用		LSB
	迟滞 (H2)		15		LSB
	迟滞 (H3)		35		LSB
	迟滞 (H4)		55		LSB
	传播延迟		21	50	ns
DAC	DAC_VREF 基准电压	1.71	1.8	1.89	V
	DAC 输出范围	0.1	33/18 × DAC_VREF 或 VDDA33 ⁽¹⁾ 的最小值 - 50mV		V
	静态失调电压误差	-45		45	mV
	静态增益误差	-2		2	FSR 百分比
	静态 DNL	>-1		4	LSB
	静态 INL	-16		16	LSB
	稳定时间			1	μs
	分辨率		12		位
	DAC 输出干扰 (比较器跳闸反冲)	-100		100	LSB
	DAC 输出干扰 (比较器跳闸反冲)		200		ns
	DAC_VREF 负载		37		kΩ
通用	输入漏电流	-1.2	0.1	1.2	μA
	电源 (VDDA33)	3.13	3.3	3.46	V
	电源 (VDDA18)	1.71	1.8	1.89	V
	功耗 (VDDA33)		900		μA
	功耗 (VDDA18)		120		μA
	失效防护输入电流注入			10	mA

(1) VDDA33 是 IC 相应电源引脚上的电压。

6.8.4 数模转换器 (DAC)

在工作结温范围内测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
上电时间				1	μs
DAC_VREF		1.71	1.8	1.89	V
电压输出范围		0.3	VDDA33 ⁽¹⁾	0.3	V
已修整偏移误差	在中点检查偏移 (代码 2048)	-10		10	mV
增益误差	DAC_VREF = 1.8V	-2.5		2.5	FSR 百分比
DNL	已更正端点	-1		1	LSB
INL	已更正端点	-20		20	LSB
稳定时间	在 0.3V 至 3V 切换后稳定到 2LSB (约 1.6mV)		2		μs
分辨率			12		位
容性负载	输出驱动能力			100	pF
阻性负载	输出驱动能力	5			kΩ
DAC_VREF 负载	DAC_VREF		64		kΩ
输出噪声 (100Hz-100KHz)	从 100 Hz 到 100 kHz 的积分噪声		1		mVrms
SNR @ 1KHz	2MHz DACVALA 更新速率, 200kHz 输出滤波器		60		dB
电源 (VDDA33)		3.13	3.3	3.46	V
电源 (VDDA18)		1.71	1.8	1.89	V
功耗 (VDDA33)			850		μA
功耗 (VDDA18)			35		μA

(1) VDDA33 是 IC 相应电源引脚上的电压。

6.8.5 电源管理单元 (PMU)

在工作结温范围内测得 (除非另有说明)

GROUP	参数	最小值	典型值	最大值	单位
PMU	电源 (VDDA33)	3.1	3.3	3.46	V
带隙	V _{REF} 已修整	0.886	0.9	0.914	V
1.8V LDO	DC 精度	1.764	1.8	1.836	V
	瞬态负载调整率	1.71	1.8	1.89	V
	直流负载调整率			5	mV
	负载电流	0		100	mA
	上电时间			800	μs
	浪涌电流			300	mA
	外部去耦电容	-20%	4.7	20%	μF
ADC 基准	负载调整率		±1		mV
	DC 精度	1.764	1.8	1.836	V
	上电时间			800	μs
	浪涌电流			80	mA
	外部去耦电容	-20%	4.7	20%	μF

6.8.6 安全比较器

参数			最小值	典型值	最大值	单位
C0	C0 : 1.8V 监控阈值		1.40	1.5	1.6	V
C1	BGAP 监测器	阈值下限	0.75	0.8	0.85	V
		阈值上限	0.935	1	1.065	V
C2	监控 1.8V 电源与 BGAP	阈值下限	1.608	1.65	1.691	V
		阈值上限	1.907	1.956	2.001	V
C3	监控 1.2V/1.25V 与 BGAP	阈值下限	0.98	1.011	1.041	V
		阈值上限	1.407	1.451	1.494	V
C4	Vref 监控器 (ROK0)	阈值下限	1.56	1.61	1.66	V
		阈值上限	2.09	2.16	2.22	V
C5	监控器 IO 辅助电源与 BGAP 间的关系	阈值下限	1.58	1.621	1.661	V
		阈值上限	1.928	1.978	2.027	V
C6	Vref 监控器 (ROK0B)	阈值下限	1.56	1.61	1.66	V
		阈值上限	2.09	2.16	2.22	V
C7	系统电源监控器 (VSYS_MON)	阈值下限	0.873	0.9	0.927	V
C8	欠压阈值		2.606	2.773	2.94	V

6.9 一次性可编程 (OTP) 电子保险丝的 VPP 规格

本节规定了对 OTP 电子保险丝进行编程所需的运行条件。。

6.9.1 VPP 规格

在建议运行条件下测得 (除非另有说明)

参数	说明	测试条件	最小值	标称值	最大值	单位
VDD	OTP 运行期间内核域电源电压范围 (1)	正常运行, R5F = 400MHz	1.140	1.200	1.260	V
		正常运行, R5F = 500MHz	1.188	1.250	1.320	V
VPP	电子保险丝 ROM 域的电源电压范围	正常运行	无连接			V
	OTP 编程期间电子保险丝 ROM 域的电源电压范围	OTP 编程	1.65	1.7	1.75	V
I _(VPP)	VPP 电流	I _(VPP)			100	mA
T _A	环境温度	环境温度	0	30	50	°C

(1) 有关更多信息, 请参阅 节 6.5

6.9.2 硬件要求

对 OTP 电子保险丝中的密钥进行编程时, 必须满足以下硬件要求:

- 当不对 OTP 寄存器进行编程时, 必须禁用 VPP 电源。
- 在执行正确的器件加电时序后, VPP 电源必须斜升 (有关更多详细信息, 请参阅 节 6.11.2.1, 加电和复位时序控制)。

6.9.3 编程序列

OTP 电子保险丝的编程序列:

- 按照加电时序为电路板加电。上电和正常运行期间, VPP 端子上不应施加电压。
- 加载对电子保险丝进行编程所需的 OTP 写入软件 (请联系您当地的 TI 代表以获取 OTP 软件包)。
- 根据 VPP 规格中的规格在 VPP 端子上施加电压。
- 运行对 OTP 寄存器进行编程的软件。
- 验证 OTP 寄存器的内容后, 移除 VPP 端子上的电压。

6.9.4 对硬件保修的影响

您同意使用安全密钥对 TI 器件进行电子熔断会永久改变它们。您承认, 由于程序序列不正确或中止或者您省略了某个序列步骤等, 电子保险丝可能会发生故障。此外, 如果量产密钥的错误代码校正检查失败, 或者映像未使用当前有效量产密钥进行签名和选择性加密, 则 TI 器件可能无法安全启动。这些类型的情况将导致 TI 器件无法运行, TI 将无法确认在尝试使用电子保险丝之前 TI 器件是否符合其规格。

因此, TI 对任何已使用安全密钥进行电子熔断的 TI 器件不承担任何责任 (保修或其他责任)。

6.10 热阻特性

本节提供了该器件上使用的热阻特性。

出于可靠性和可操作性方面的考虑，器件的最高结温必须达到或低于[建议运行条件](#)中确定的 T_J 值。

6.10.1 ZCZ 封装热特性

建议在处于最坏的器件功耗情况下执行系统级热仿真。

参数	说明	°C/W ^{(1) (2)}	气流(m/s) ⁽³⁾
$R_{\Theta JC}$	结点到外壳	6.5	不适用
$R_{\Theta JB}$	结点到电路板	6.6	不适用
$R_{\Theta JA}$	结点到环境空气	19.9	0
$R_{\Theta JA}$	结至流动空气	13.7	1
		12.5	2
		11.9	3
Ψ_{JT}	结至封装顶部	0.13	0
		0.38	1
		0.52	2
		0.61	3
Ψ_{JB}	结点到电路板	6.5	0
		6.0	1
		5.9	2
		5.8	3

- (1) 以上值基于 JEDEC 定义的 2S2P 系统 (基于 JEDEC 定义的 1S0P 系统的 Θ_{JC} [$R_{\Theta JC}$] 值除外) , 将随环境和应用的变化而更改。有关更多信息, 请参阅以下 EIA/JEDEC 标准 :
- JESD51-2, Integrated Circuits Thermal Test Method Environment Conditions - Natural Convection (Still Air)
 - JESD51-3, Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages
 - JESD51-6, Integrated Circuit Thermal Test Method Environmental Conditions - Forced Convection (Moving Air)
 - JESD51-7, High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages
 - JESD51-9, Test Boards for Area Array Surface Mount Packages
- (2) °C/W = 摄氏度/瓦
- (3) m/s = 米/秒

6.10.2 ZFG 封装热特性

建议在处于最坏的器件功耗情况下执行系统级热仿真。

参数	说明	°C/W ^{(1) (2)}	气流 (m/s) ⁽³⁾
$R_{\Theta JC}$	结点到外壳	7.1	不适用
$R_{\Theta JB}$	结点到电路板	6.7	不适用
$R_{\Theta JA}$	结点到环境空气	20.7	0
$R_{\Theta JA}$	结至流动空气	14.5	1
		13.3	2
		12.6	3
Ψ_{JT}	结至封装顶部	0.14	0
		0.40	1
		0.53	2
		0.64	3
Ψ_{JB}	结点到电路板	6.5	0
		6.0	1
		5.9	2
		5.9	3

(1) 以上值基于 JEDEC 定义的 2S2P 系统 (基于 JEDEC 定义的 1S0P 系统的 Θ_{JC} [$R_{\Theta JC}$] 值除外) , 将随环境和应用的变化而更改。有关更多信息, 请参阅以下 EIA/JEDEC 标准:

- JESD51-2, Integrated Circuits Thermal Test Method Environment Conditions - Natural Convection (Still Air)
- JESD51-3, Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages
- JESD51-6, Integrated Circuit Thermal Test Method Environmental Conditions - Forced Convection (Moving Air)
- JESD51-7, High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages
- JESD51-9, Test Boards for Area Array Surface Mount Packages

(2) °C/W = 摄氏度/瓦

(3) m/s = 米/秒

6.10.3 ZEJ 封装热特性

建议在处于最坏的器件功耗情况下执行系统级热仿真。

参数	说明	°C/W ^{(1) (2)}	气流 (m/s) ⁽³⁾
$R_{\Theta JC}$	结点到外壳	7.1	不适用
$R_{\Theta JB}$	结点到电路板	7	不适用
$R_{\Theta JA}$	结点到环境空气	20.4	0
$R_{\Theta JA}$	结至流动空气	14.6	1
		13.4	2
		12.7	3
Ψ_{JT}	结至封装顶部	0.15	0
		0.42	1
		0.57	2
		0.67	3
Ψ_{JB}	结点到电路板	7.0	0
		6.5	1
		6.4	2
		6.3	3

(1) 以上值基于 JEDEC 定义的 2S2P 系统 (基于 JEDEC 定义的 1S0P 系统的 Θ_{JC} [$R_{\Theta JC}$] 值除外) , 将随环境和应用的变化而更改。有关更多信息, 请参阅以下 EIA/JEDEC 标准:

- JESD51-2, Integrated Circuits Thermal Test Method Environment Conditions - Natural Convection (Still Air)
- JESD51-3, Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages
- JESD51-6, Integrated Circuit Thermal Test Method Environmental Conditions - Forced Convection (Moving Air)
- JESD51-7, High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages
- JESD51-9, Test Boards for Area Array Surface Mount Packages

(2) °C/W = 摄氏度/瓦

(3) m/s = 米/秒

6.10.4 ZNC 封装热特性

建议在处于最坏的器件功耗情况下执行系统级热仿真。

参数	说明	°C/W ^{(1) (2)}	气流 (m/s) ⁽³⁾
$R_{\Theta JC}$	结点到外壳	8.3	不适用
$R_{\Theta JB}$	结点到电路板	5.8	不适用
$R_{\Theta JA}$	结点到环境空气	21.9	0
$R_{\Theta JA}$	结至流动空气	15.5	1
		14.3	2
		13.5	3
Ψ_{JT}	结至封装顶部	0.15	0
		0.44	1
		0.58	2
		0.69	3
Ψ_{JB}	结点到电路板	5.8	0
		5.4	1
		5.4	2
		5.3	3

(1) 以上值基于 JEDEC 定义的 2S2P 系统 (基于 JEDEC 定义的 1S0P 系统的 Θ_{JC} [$R_{\Theta JC}$] 值除外) , 将随环境和应用的变化而更改。有关更多信息, 请参阅以下 EIA/JEDEC 标准:

- JESD51-2, Integrated Circuits Thermal Test Method Environment Conditions - Natural Convection (Still Air)
- JESD51-3, Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages
- JESD51-6, Integrated Circuit Thermal Test Method Environmental Conditions - Forced Convection (Moving Air)
- JESD51-7, High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages
- JESD51-9, Test Boards for Area Array Surface Mount Packages

(2) °C/W = 摄氏度/瓦

(3) m/s = 米/秒

6.11 时序和开关特性

备注

除非另有说明，否则必须使用每个焊盘配置寄存器中的默认 SLEWRATE 设置来确保时序。

6.11.1 时序参数和信息

时序和开关特性 部分中使用的时序参数符号是根据 JEDEC 标准 100 创建的。为了缩短符号，表 6-1 中缩写了一些引脚名称和其他相关术语：

表 6-1. 时序参数下标

符号	参数
c	周期时间 (周期)
d	延迟时间
dis	禁用时间
en	启用时间
h	保持时间
su	建立时间
开始	起始位
t	转换时间
v	有效时间
W	脉冲持续时间 (宽度)
X	未知、改变或者不用考虑级别
F	下降时间
H	高
L	低
R	上升时间
V	有效
IV	无效
AE	有效边沿
FE	第一个边沿
LE	最后一个边沿
Z	高阻抗

6.11.2 电源时序

本节介绍了确保器件正常运行所需的电源时序控制。

备注

请注意，根据器件的速度等级，VDD 内核电压电源会有所不同。本节在提及这一差异时使用 1.2V/1.25V 符号。有关特定器件的更多信息，请参阅 [建议的运行连接](#) 和 [运行性能点](#)，了解更多信息。

6.11.2.1 加电和复位时序

与之前的 AM26x 器件一样，AM261x 对初级内核数字 VDD 1.2V/1.25V 和 I/O 电源 3.3V 电源轨没有时序要求。有两个片上 LDO 分别通过 VDDS33 和 VDDA33 电源网供电。这些片上 LDO 可生成所需的 VDDS1V8 和 VDDA1V8 1.8V 数字和模拟电源。AM261x 确实需要考虑 3.3V 上电的最短斜坡时间。EVM 设计还必须考虑其他 PORz 和 SOP 引导模式锁存时序。[加电时序](#) 描述了器件加电时序。

表 6-2. AM261x 加电时序

参 数		最小值	最大值	单 位
t _{RAMP_3V3}	3.3V 数字 VDDSHV_x 电源网的最短斜坡时间。从 GND 测量到 VDDSHV_x 3.3V 标称电压	100	–	μ s
t _{RAMP_1V8}	1.8V 数字 VDDSHV_x 电源网的最短斜坡时间。从 GND 测量到 VDDSHV_x 1.8V 标称电压。	100	–	μ s
t _{RAMP_1V2}	1.2V/1.25V 内核数字 VDD 和电源网的最短斜坡时间。从 GND 测量到 VDD 1.2V/1.25V 标称电压。	100	–	μ s
t _{DELAY_3V3}	从 VDDSHV_x 3.3V 电源处于标称电压时到启用 VDDSHV_x 1.8V 和 VDD 1.2V/1.25V 网的最小延迟。	(1)	–	μ s
t _{DELAY_PG}	从 VDDSHV_x 3.3V、VDDSHV_x 1.8V 和 VDD 1.2V/1.25V 电源轨均在标称电压下检测为有效到 PORz 信号可以从低电压转换为高电压的最短时间。	–	–	μ s
t _{SOP_Sampled}	从 PORz 置为无效到对 SOP[3:0] 引脚进行采样的时间。这是器件内部参数。当内部生成的电源稳定时，会进行采样。仅供参考。有关应用的使用，请参阅 T _{SU_SOP} 和 T _{H_SOP} 参数。	0	–	μ s
t _{SU_SOP}	相对于 PORz 置为有效的 SOP 建立时间。	20	–	μ s
t _{H_SOP}	相对于 WARMRSTn 置为无效的 SOP 保持时间。	0	–	μ s
t _{WARMRSTn}	从 PORz 置为无效到器件使 WARMRESETn 信号无效的时间。	2.0	–	ms

(1) 使用 1.8V OSPI 闪存时， $t_{\text{DELAY_3V3}}$ 的最小值为 50 μs 。

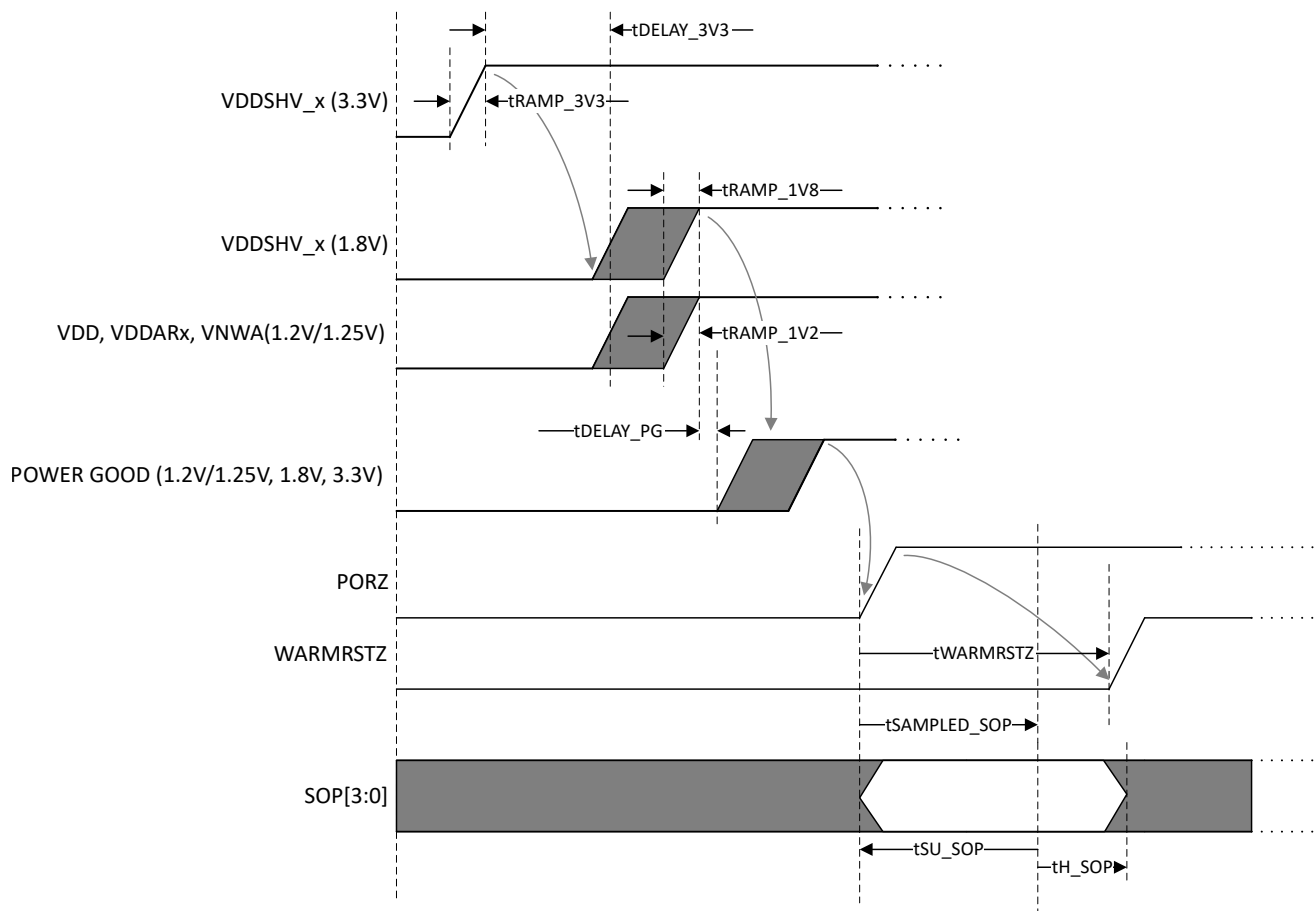


图 6-2. 加电时序

6.11.2.1.1 电源复位时序说明

应对 EVM 和 AM261x 执行以下这组步骤，以从上电复位启动器件。

1. PORz 由外部电源监控器保持低电平
2. VDDSHV_x 3.3V 电源斜升至其标称电压
 - a. 这需要将逻辑 AND 应用于从每个电源生成的电源正常信号
3. 在 VDDSHV_x 3.3VB 处于有效范围之后延迟至少 50 μ s
4. VDDSHV_x 1.8V 和 VDD 1.2V/1.25V 电源斜升至其标称电压 (对 1.8V 和 1.2V/1.25V 斜升的顺序没有限制)
5. SOP[3:0] 引脚保持在其引导锁存状态
6. 电源正常监控器输出在有效的 3.3V、1.8V 和 1.2V/1.25V 均处于有效范围时触发
7. PORz 低电平到高电平的转换由电源正常监控器输出触发
 - a. 热复位输出将在 PORz 转换后的 $t_{WARMRSTZ}$ 秒内从低电平切换到高电平
8. 在内部电源监控器显示外部和内部生成的电源稳定后，SOP[3:0] 引脚状态被锁存
9. R5F 内核未停止，SOP 选择的引导 ROM 开始执行

6.11.2.2 下电时序

下电时序 描述了器件下电时序。AM261x 1.8V、1.2V/1.25V 和 3.3V 的顺序无关紧要。

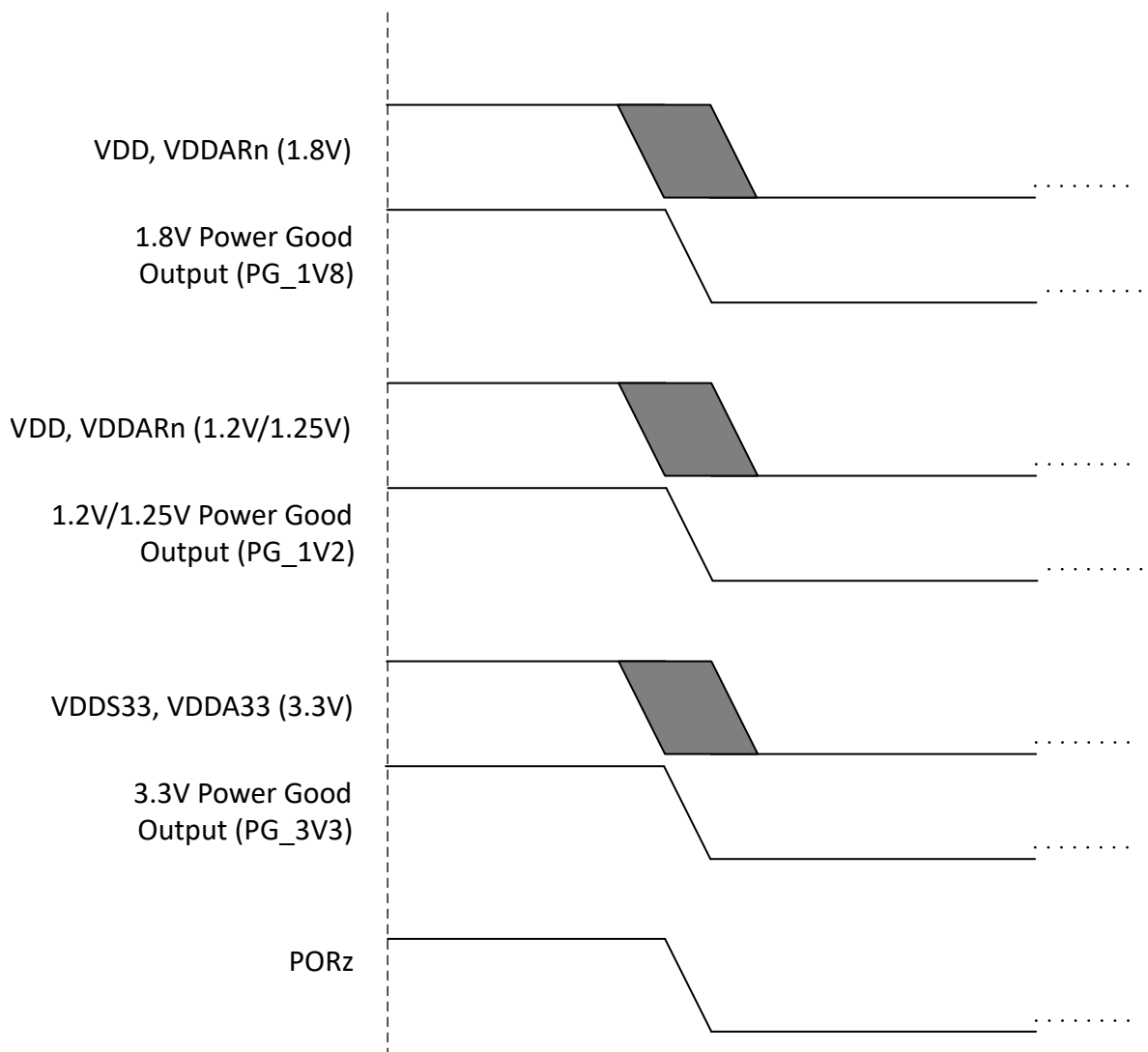


图 6-3. 下电时序

6.11.3 系统时序

有关子系统多路复用信号特性的更多详情和其他说明信息，请参阅器件特定 TRM 中的相应小节。

6.11.3.1 系统时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	0.5	2	V/ns
输出条件				
C _L	输出负载电容	3	30	pF

6.11.3.2 复位时序

本节中提供的表和图定义了复位相关信号的时序要求和开关特性。

6.11.3.2.1 PORz 时序要求

编号	参数	说明	最小值	最大值	单位
RST1	$t_{h(SUPPLIES_VALID-PORz)}$	保持时间，在电源有效之后 PORz 在上电时有效（低电平）（使用外部晶体）	0		ns
RST3	$t_{w(PORzL)}$	脉冲宽度最小值，在上电之后 PORz 为低电平（不移除电源或系统基准时钟 XTAL_XI/XO）	1000		ns

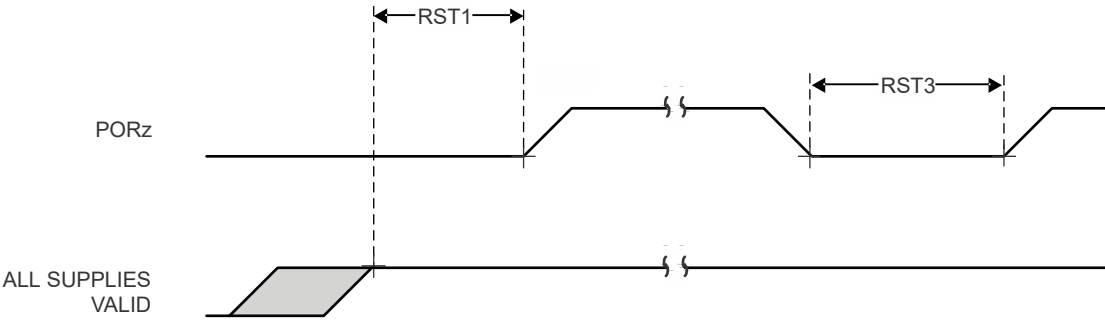


图 6-4. PORz 时序要求

6.11.3.2.2 WARMRSTn 开关特性

编号	参数	说明	最小值	最大值	单位
RST4	$t_{d(PORzL-WARMRSTnZ)}$	延迟时间，PORz 有效（低电平）到 WARMRSTn 高阻抗的时间	0	0	ns
RST5	$t_{d(PORzH-WARMRSTnL)}$	延迟时间，PORz 无效（高电平）到 WARMRSTn 有效（低电平）的时间	0	0	ns
RST6	$t_{d(PORzH-WARMRSTnH)}$	延迟时间，PORz 无效（高电平）到 WARMRSTn 无效（高电平）的时间	2000000	6000000	ns

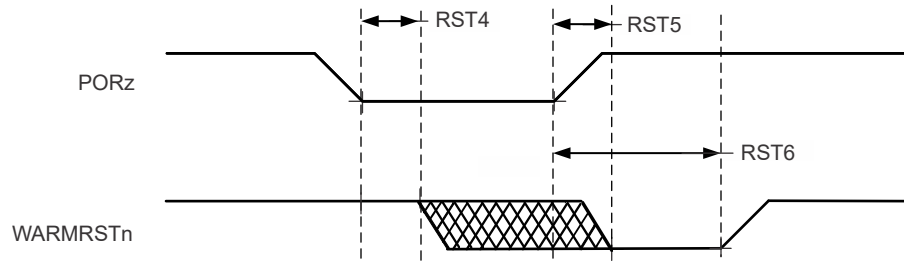


图 6-5. WARMRSTn 开关特性

6.11.3.2.3 WARMRSTn 时序要求

编号	参数	说明	最小值	最大值	单位
RST10	$t_{w(WARMRSTnL)}$ ⁽¹⁾	最小脉冲宽度, WARMRSTn 有效 (低电平)	500	16384000	ns

(1) 该计时参数由 TOP_RCM.WARM_RSTTIME1/2/3 寄存器控制。有关详细信息,请参阅技术参考手册的“复位”一节。

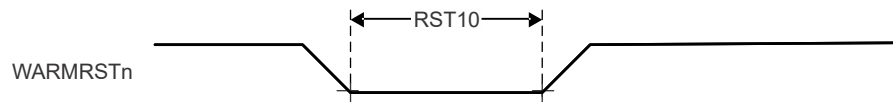


图 6-6. WARMRSTn 时序要求和开关特性

6.11.3.3 安全信号时序

本节中提供的表和图定义了 SAFETY_ERRORn 的开关特性。

6.11.3.3.1 SAFETY_ERRORn 开关特性

编号	参数	说明	最小值	最大值	单位
SFTY1	$t_{c(SAFETY_ERRORn)}$	最小周期时间, SAFETY_ERRORn (启用 PWM 模式)	$(P^{(1)} \times H^{(3)}) + (P^{(1)} \times L)^{(4)}$		ns
SFTY2	$t_{w(SAFETY_ERRORn)}$	最小脉冲宽度, SAFETY_ERRORn 有效 (禁用 PWM 模式) ⁽⁵⁾	$P^{(1)} \times R^{(2)}$		ns
SFTY3	$t_{d(ERROR_CONDITION_SAFETY_ERRORnL)}$	延迟时间, ERROR_CONDITION 至 SAFETY_ERRORn 有效 ⁽⁵⁾	$50 \times P^{(1)}$		ns

- (1) P = ESM 功能时钟
 (2) R = 错误引脚计数器预加载寄存器计数值
 (3) H = 错误引脚 PWM 高预加载寄存器计数值
 (4) L = 错误引脚 PWM 低预加载寄存器计数值
 (5) 启用 PWM 模式后, SAFETY_ERRORn 会在 SFTY3 后停止切换,并将保持其值 (高电平或低电平),直到错误被清除。禁用 PWM 模式时, SAFETY_ERRORn 为有效低电平

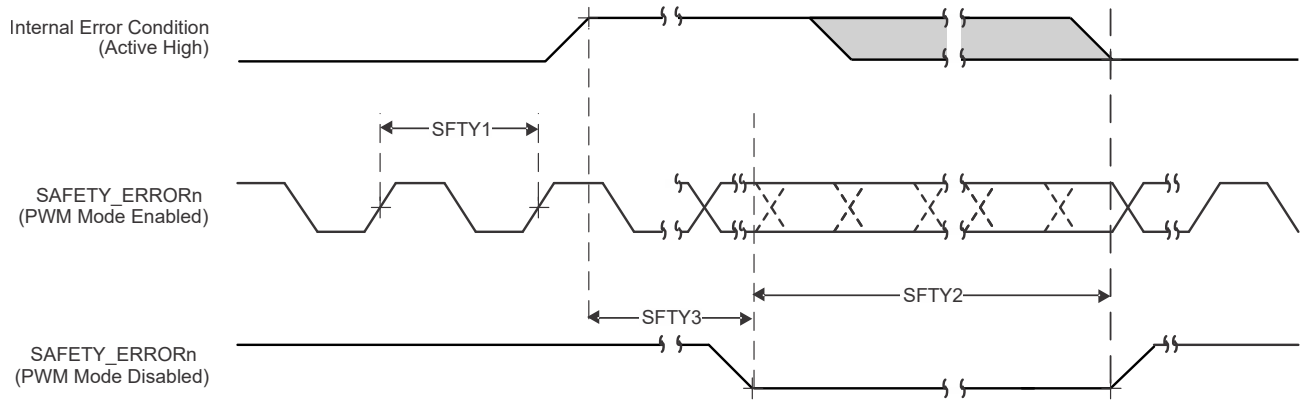


图 6-7. SAFETY_ERRORn 时序要求和开关特性

6.11.4 时钟规格

6.11.4.1 输入时钟/振荡器

6.11.4.1.1 晶体振荡器 (XTAL) 参数

参数		最小值	典型值	最大值	单位
F _{xtal}	晶振并联谐振频率 (仅限基本模式振荡)	- 50ppm	25	50ppm	MHz
占空比	XTAL 的占空比输出	45	50	55	%
CC1	C _{L1} + C _{PCBX1} 的电容	12		24	pF
CC2	C _{L2} + C _{PCBXO} 电容	12		24	pF
C _{shunt}	晶体电路并联电容			5	pF
ESR _{xtal}	晶体有效串联电阻			46	Ω

6.11.4.1.2 外部时钟特性

在建议运行条件下测得 (除非另有说明)

参数		最小值	典型值	最大值	单位
C _{Pkg}	封装的并联电容		0.01		pF
P _{xtal}	功率耗散	$0.5 \times \text{ESR} \times (2 \times \pi \times F_{\text{xtal}} \times C_L \times 1.8)^2$			W
t _s	启动时间		1.5		ms

6.11.4.2 时钟时序

本节中提供的表和图定义了时钟信号的时序要求和开关特性。

6.11.4.2.1 时钟时序要求

编号	参数	说明	最小值	最大值	单位
CLK1	tc(EXT_REFCLK)	最小周期时间, EXT_REFCLK	10		ns
CLK2	tw(EXT_REFCLK H)	脉冲持续时间最小值, EXT_REFCLK 高电平	E ⁽¹⁾ × 0.45	E ⁽¹⁾ × 0.55	ns
CLK3	tw(EXT_REFCLK L)	脉冲持续时间最小值, EXT_REFCLK 低电平	E ⁽¹⁾ × 0.45	E ⁽¹⁾ × 0.55	ns

(1) E = EXT_REFCLK 周期时间

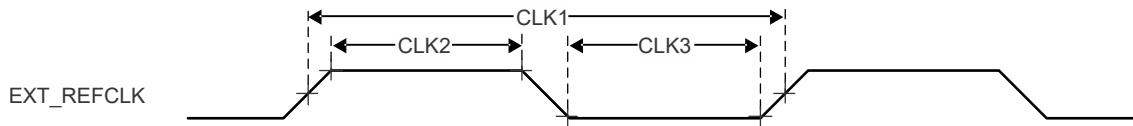


图 6-8. 时钟时序要求

6.11.4.2.2 时钟开关特性

编号	参数	说明	最小值	最大值	单位
CLK4	$t_{c}(\text{CLKOUT0})$	最小周期时间, CLKOUT0	10		ns
CLK5	$t_{w}(\text{CLKOUT0H})$	最小脉冲持续时间, CLKOUT0 高电平	$A^{(1)} \times 0.4$	$A^{(1)} \times 0.6$	ns
CLK6	$t_{w}(\text{CLKOUT0L})$	最小脉冲持续时间, CLKOUT0 低电平	$A^{(1)} \times 0.4$	$A^{(1)} \times 0.6$	ns
CLK7	$t_{c}(\text{CLKOUT1})$	最小周期时间, CLKOUT1	10		ns
CLK8	$t_{w}(\text{CLKOUT1H})$	最小脉冲持续时间, CLKOUT1 高电平	$B^{(2)} \times 0.4$	$B^{(2)} \times 0.6$	ns
CLK9	$t_{w}(\text{CLKOUT1L})$	最小脉冲持续时间, CLKOUT1 低电平	$B^{(2)} \times 0.4$	$B^{(2)} \times 0.6$	ns

(1) A = CLKOUT0 周期时间

(2) B = CLKOUT1 周期时间

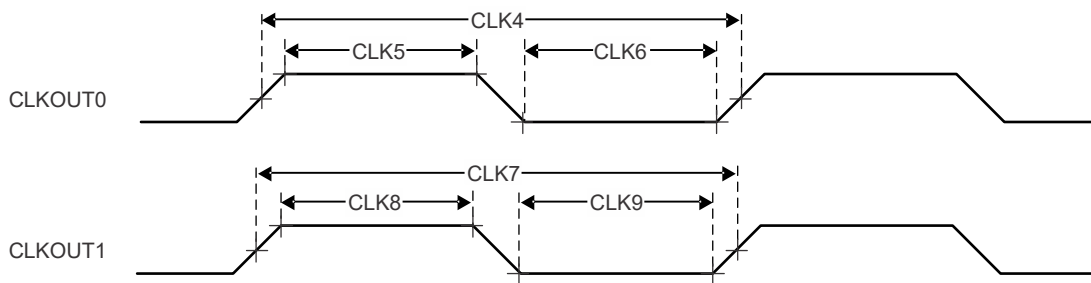


图 6-9. 时钟开关特性

6.11.5 外设

6.11.5.1 3 端口千兆位以太网 MAC (CPSW)

备注

CPSW 支持两个外部以太网端口和一个内部 CPDMA 主机端口。

有关器件 CPSW (3 端口千兆位以太网 MAC) 特性的更多详情和其他说明信息，请参阅器件 TRM 中的 *千兆位以太网开关* 一节。

6.11.5.1.1 CPSW MDIO 时序

6.11.5.1.1.1 CPSW MDIO 时序条件

参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	0.9	3.6	V/ns
输出条件				
C _L	输出负载电容	10	20	pF

6.11.5.1.1.2 CPSW MDIO 时序要求

编号	参数	说明	最小值	最大值	单位
MDIO1	t _{su} (MDIO-MDC)	在 MDIO_CLK 高电平之前 MDIO_DATA 有效的设置时间	25		ns
MDIO2	t _h (MDC-MDIO)	MDIO_CLK 高电平后 MDIO_DATA 有效的保持时间	0		ns

6.11.5.1.1.3 CPSW MDIO 开关特性

编号	参数	说明	最小值	最大值	单位
MDIO3	t _c (MDC)	周期时间，MDIO_CLK	50		ns
MDIO4	t _w (MDCH)	MDIO_CLK 高电平的脉冲持续时间	19		ns
MDIO5	t _w (MDCL)	MDIO_CLK 低电平的脉冲持续时间	19		ns
MDIO7	t _d (MDC_MDIO)	MDIO_CLK 低电平到 MDIO_DATA 有效的延迟时间	-10	10	ns

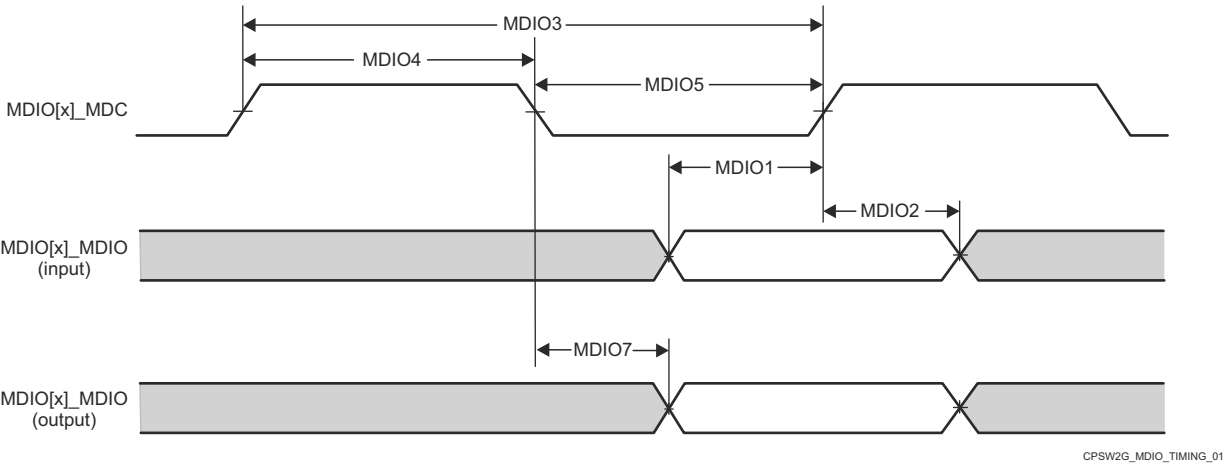


图 6-10. CPSW MDIO 时序要求和开关特性

6.11.5.1.2 CPSW RGMII 时序

6.11.5.1.2.1 CPSW RGMII 时序条件

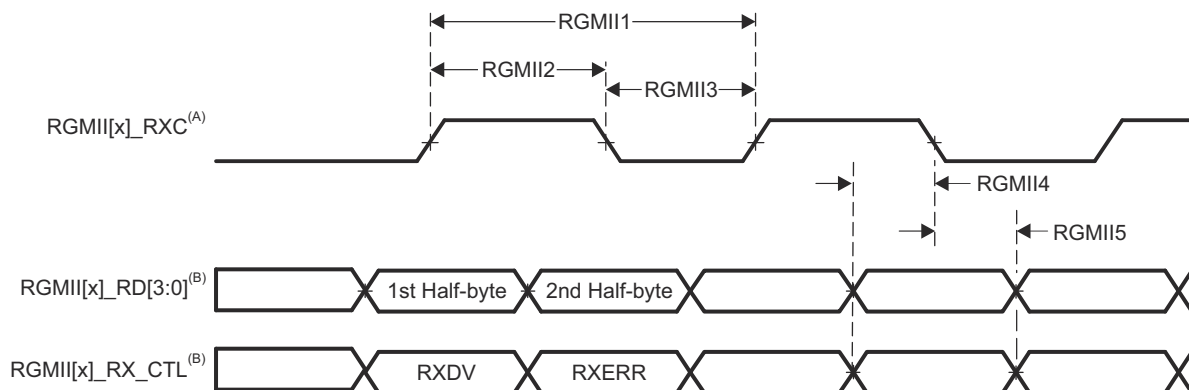
参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	2.64	5	V/ns
输出条件				
C _L	输出负载电容	2	20	pF
PCB 连接要求				
t _d (布线不匹配延迟)	所有布线之间的传播延迟不匹配	RGMII[x]_RXC RGMII[x]_RD[3:0] RGMII[x]_RX_CTL	50	ps
		RGMII[x]_TXC RGMII[x]_TD[3:0] RGMII[x]_TX_CTL	50	ps

6.11.5.1.2.2 CPSW RGMII[x]_RCLK 时序要求 - RGMII 模式

编号	参数	说明	模式	最小值	最大值	单位
RGMII1	t _c (RXC)	周期时间, RXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII2	tw(RXCH)	脉冲持续时间, RXC 高电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII3	tw(RXCL)	脉冲持续时间, RXC 低电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

6.11.5.1.2.3 CPSW RGMII[x]_RD[3:0] 和 RGMII[x]_RCTL 时序要求

编号	参数	说明	模式	最小值	最大值	单位
RGMII4	t _{su} (RD-RXC)	建立时间, 在 RXC 高电平/低电平之前 RD[3:0] 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	t _{su} (RX_CTL-RXC)	建立时间, 在 RXC 高电平/低电平之前 RX_CTL 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII5	t _h (RXC-RD)	保持时间, 在 RXC 高电平/低电平之后 RD[3:0] 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	t _h (RXC-RX_CTL)	保持时间, 在 RXC 高电平/低电平之后 RX_CTL 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns



- A. RGMII[x]_RXC 必须相对于数据和控制引脚进行外部延迟。
- B. 使用时钟的两个边沿接收数据和控制信息。RGMII[x]_RD[3:0] 在 RGMII[x]_RXC 的上升沿承载数据位 3-0，在 RGMII[x]_RXC 的下降沿承载数据位 7-4。类似地，RGMII[x]_RX_CTL 在 RGMII[x]_RXC 的上升沿承载 RXDV，在 RGMII[x]_RXC 的下降沿承载 RXERR。

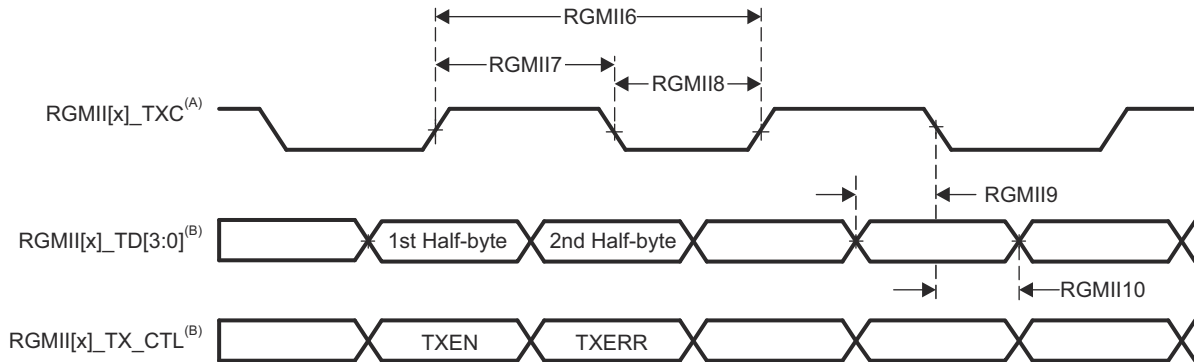
图 6-11. CPSW RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL 时序要求 - RGMII 模式

6.11.5.1.2.4 CPSW RGMII[x]_TCLK 开关特性 - RGMII 模式

编号	参数	说明	模式	最小值	最大值	单位
RGMII6	$t_c(\text{TxC})$	周期时间, TxC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII7	$t_w(\text{TXCH})$	脉冲持续时间, TxC 高电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII8	$t_w(\text{TXCL})$	脉冲持续时间, TxC 低电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

6.11.5.1.2.5 CPSW RGMII[x]_TD[3:0] 和 RGMII[x]_TCTL 开关特性 - RGMII 模式

编号	参数	说明	模式	最小值	最大值	单位
RGMII9	$t_{\text{osu}}(\text{TD-TXC})$	输出建立时间, RGMII[x]_TD[3:0] 有效到 RGMII[x]_TxC 高电平/低电平	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{\text{osu}}(\text{TX_CTL-TXC})$	输出建立时间, RGMII[x]_TX_CTL 有效到 RGMII[x]_TxC 高电平/低电平	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
RGMII10	$t_{\text{oh}}(\text{TxC-TD})$	输出保持时间, RGMII[x]_TD[3:0] 在 RGMII[x]_TxC 高电平/低电平之后有效	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{\text{oh}}(\text{TxC-TX_CTL})$	输出保持时间, RGMII[x]_TX_CTL 在 RGMII[x]_TxC 高电平/低电平之后有效	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns



- A. TxC 在驱动至 RGMII[x]_TxC 引脚之前会在内部延迟。该内部延迟在 POR 后默认启用。
- B. 使用时钟的两个边沿接收数据和控制信息。RGMII[x]_TD[3:0] 在 RGMII[x]_TxC 的上升沿承载数据位 3-0，在 RGMII[x]_TxC 的下降沿承载数据位 7-4。类似地，RGMII[x]_TX_CTL 在 RGMII[x]_TxC 的上升沿承载 TXEN，在 RGMII[x]_TxC 的下降沿承载 TXERR。

图 6-12. CPSW RGMII[x]_TxC、RGMII[x]_TD[3:0] 和 RGMII[x]_TX_CTL 开关特性 - RGMII 模式

6.11.5.1.3 CPSW RMII 时序

6.11.5.1.3.1 CPSW RMII 时序条件

参数			最小值	最大值	单位
输入条件					
SR _I	输入压摆率	VDD = 3.3V	0.4	1.2	V/ns
输出条件					
C _L	输出负载电容		3	25	pF

6.11.5.1.3.2 CPSW RMII[x]_REFCLK 时序要求 - RMII 模式

编号	参数	说明	最小值	最大值	单位
RMII1	t _c (REF_CLK)	REF_CLK 周期时间	19.999	20	ns
RMII2	t _w (REF_CLKH)	REF_CLK 高电平的脉冲持续时间	7	13	ns
RMII3	t _w (REF_CLKL)	REF_CLK 低电平的脉冲持续时间	7	13	ns

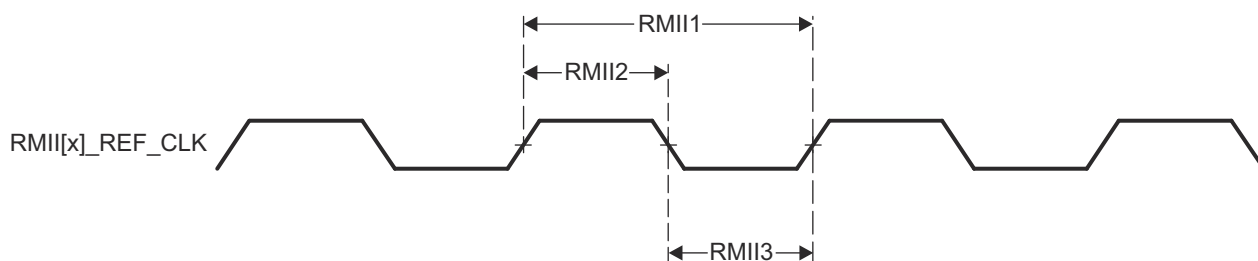


图 6-13. CPSW RMII[x]_REF_CLK 时序要求 - RMII 模式

6.11.5.1.3.3 CPSW RMII[x]_RXD[1:0]、RMII[x]_CRS_DV 和 RMII[x]_RXER 时序要求 - RMII 模式

编号	参数	说明	最小值	最大值	单位
RMII4	t _{su} (RXD-REF_CLK)	建立时间, RXD[1:0] 在 REF_CLK 前的有效时间	4		ns
	t _{su} (CRS_DV-REF_CLK)	建立时间, CRS_DV 在 REF_CLK 前的有效时间	4		ns
	t _{su} (RX_ER-REF_CLK)	建立时间, RX_ER 在 REF_CLK 前的有效时间	4		ns
RMII5	t _h (REF_CLK-RXD)	保持时间, RXD[1:0] 在 REF_CLK 后的有效时间	2		ns
	t _h (REF_CLK-CRS_DV)	保持时间, CRS_DV 在 REF_CLK 后的有效时间	2		ns
	t _h (REF_CLK-RX_ER)	保持时间, RX_ER 在 REF_CLK 后的有效时间	2		ns

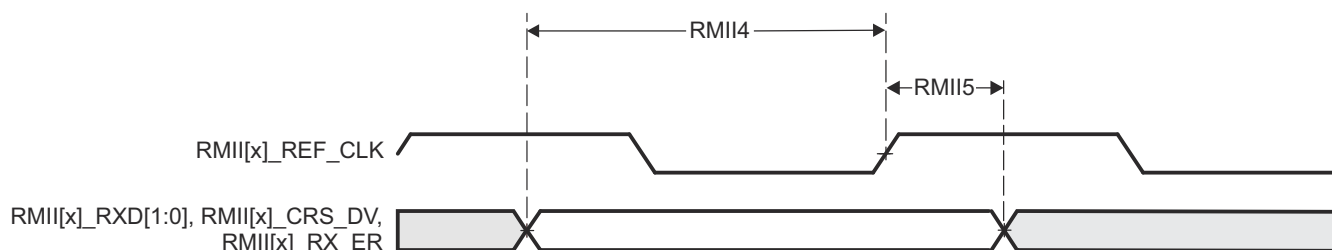


图 6-14. CPSW RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RX_ER 时序要求 - RMII 模式

6.11.5.1.3.4 CPSW RMII[x]_TXD[1:0] 和 RMII[x]_TXEN 开关特性 - RMII 模式

编号	参数	说明	最小值	最大值	单位
RMII6	$t_{d(REF_CLK-TXD)}$	延迟时间，REF_CLK 高电平到 TXD[1:0] 有效	2	10	ns
	$t_{d(REF_CLK-TXEN)}$	延迟时间，REF_CLK 到 TXEN 有效	2	10	ns

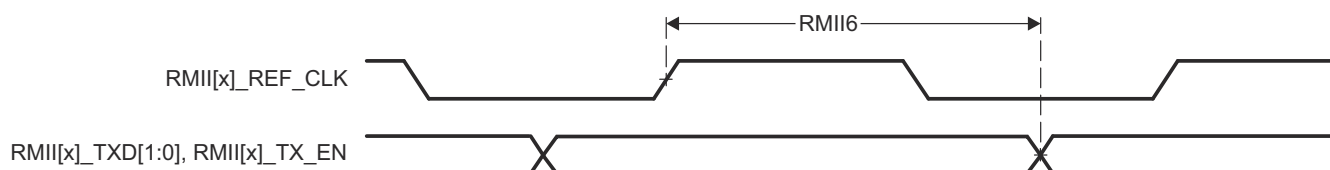


图 6-15. CPSW RMII[x]_TXD[1:0] 和 RMII[x]_TX_EN 开关特性 - RMII 模式

6.11.5.2 增强型捕获 (eCAP)

备注

器件具有多个 ECAP 模块。通用 CAP_ 前缀用于表示所有 ECAP 实例的信号名称。

有关更多信息，请参阅器件 TRM 中的 *增强型捕获 (ECAP) 模块* 一节。

6.11.5.2.1 ECAP 时序条件

参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	1	4	V/ns
输出条件				
C _L	输出负载电容	2	7	pF

6.11.5.2.2 ECAP 时序要求

编号	参数	说明	最小值	最大值	单位
CAP1	t _w (CAP)	采集输入脉冲宽度	异步	$(2 + X^{(2)}) \times P^{(1)}$	ns
			同步	$(3 + X^{(2)}) \times P^{(1)}$	
			带输入限定器	$(2 + X^{(2)}) \times P^{(1)} + U^{(3)}$	

- (1) P = sysclk 周期 (以 ns 为单位)。
(2) X = ECCTL0_TYPE3[QUALPRD] 设置的值。
(3) U = 输入限定器采样窗口。有关输入限定器模式的详细信息，请参阅“GPIO 电气数据和时序”部分

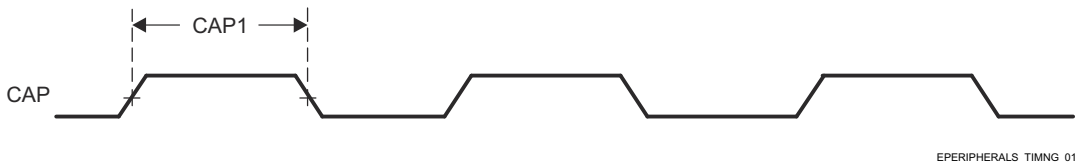


图 6-16. ECAP 时序要求

6.11.5.2.3 ECAP 开关特性

(1)

编号	参数	说明	最小值	最大值	单位
CAP2	t _w (APWM)	脉冲持续时间, APWMx 输出高电平/低电平	10		ns

- (1) 某些 ECAP 信号与 I2C0 SDA 和 SCL 引脚进行引脚多路复用。这些引脚使用备用的开漏电压缓冲器，可能不符合指定的参数。值正在等待额外的芯片后验证。

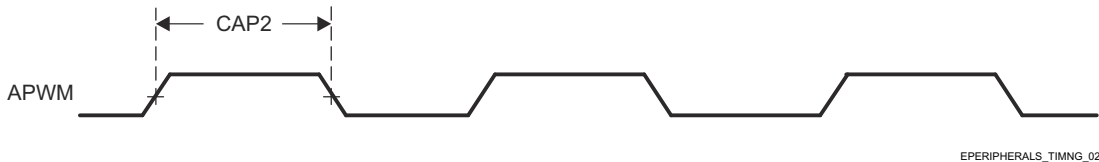


图 6-17. ECAP 开关特性

6.11.5.3 增强型脉宽调制 (ePWM)

备注

器件具有多个 EPWM 模块。通用 EHRPWM_ 前缀用于表示所有 EPWM 实例的信号名称。

有关更多信息，请参阅器件 TRM 中的 *增强型脉宽调制 (EPWM) 模块* 一节。

6.11.5.3.1 EPWM 时序条件

参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	1	4	V/ns
输出条件				
C _L	输出负载电容	2	7	pF

6.11.5.3.2 EPWM 时序要求

编号	参数	说明	最小值	最大值	单位
PWM6	t _w (SYNCIN)	脉冲持续时间, EHRPWM_SYNCIN	2P ⁽¹⁾		ns
PWM7	t _w (TZ)	脉冲持续时间, EHRPWM_TZn_IN 低电平	1P ⁽¹⁾		ns

(1) P = sysclk 周期 (以 ns 为单位)。

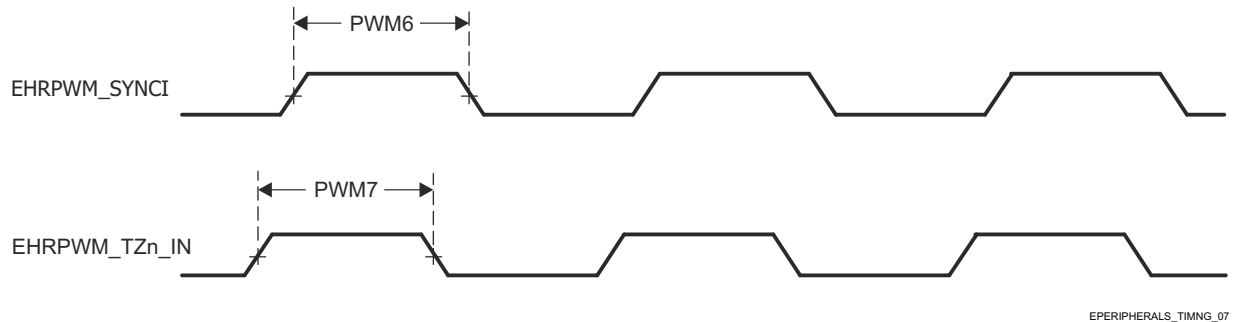


图 6-18. EPWM 时序要求

6.11.5.3.3 EPWM 开关特性

编号	参数	说明	最小值	最大值	单位
PWM1	t _w (PWM)	脉冲持续时间, EHRPWM_A/B 高电平/低电平	20		ns
PWM2	t _w (SYNCOUT)	脉冲持续时间, EHRPWM_SYNCO	8P ⁽¹⁾		ns
PWM3	t _d (TZ-PWM)	延迟时间, EHRPWM_TZn_IN 有效到 EHRPWM_A/B 强制高电平/低电平		30	ns
PWM4	t _d (TZ-PWMZ)	延迟时间, EHRPWM_TZn_IN 有效到 EHRPWM_A/B 高阻态		30	ns
PWM5	t _w (SOC)	脉冲持续时间, EHRPWM_SOCA/B 输出	32P ⁽¹⁾		ns

(1) P = sysclk 周期 (以 ns 为单位)。

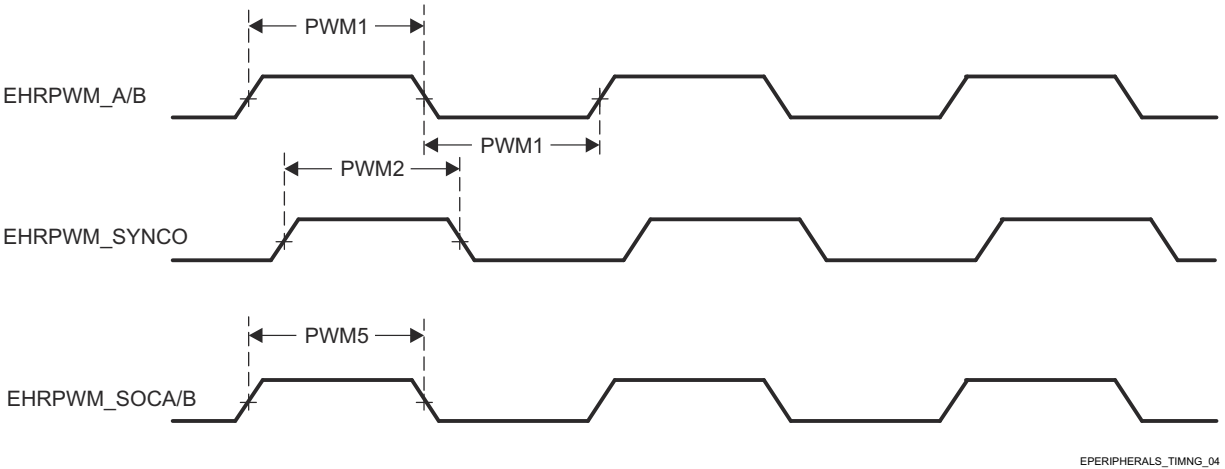


图 6-19. EHRPWM 开关特性

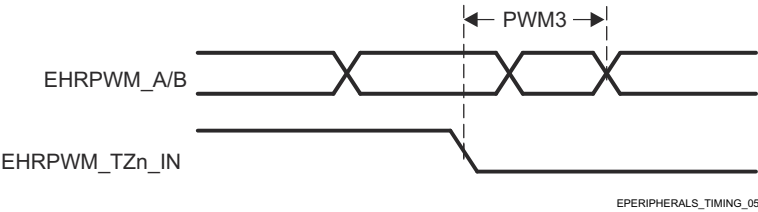


图 6-20. EHRPWM_TZn_IN 至 EHRPWM_A/B 强制开关特性

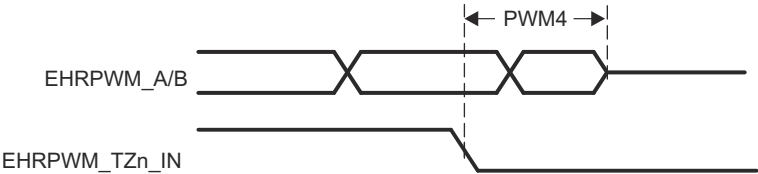


图 6-21. EHRPWM_TZn_IN 至 EHRPWM_A/B 高阻态开关特性

EPWM 特性

参数	最小值	典型值	最大值	单位
微边沿定位 (MEP) 步长 ⁽¹⁾	70	100	180	ps

- (1) MEP 步长在高温和 VDD 上的电压最小时达到最大值。MEP 步长将随着温度升高和电压降低而增大，随着温度降低和电压升高而减小。使用 HRPWM 特性的应用应该使用 MEP 比例因子优化器 (SFO) 估计软件功能。有关在最终应用中使用 SFO 功能的详细信息，请参阅 TI 软件库。SFO 功能有助于在 HRPWM 运行时动态估计每个 SYSCLK 周期的 MEP 步数。

6.11.5.4 增强型正交编码器脉冲 (eQEP)

备注

器件具有多个 EQEP 模块。通用 QEP_ 前缀用于表示所有 EQEP 实例的信号名称。

有关更多信息，请参阅器件 TRM 中的 *增强型正交编码器脉冲 (EQEP) 模块* 一节。

6.11.5.4.1 EQEP 时序条件

参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	1	4	V/ns
输出条件				
C _L	输出负载电容	2	7	pF

6.11.5.4.2 EQEP 时序要求

编号	参数	说明	最小值	最大值	单位
QEP1	t _{w(QEPP)}	QEP 输入周期	同步 ⁽³⁾	3P ⁽¹⁾	ns
		带输入限定器		2 × (P ⁽¹⁾ + U ⁽²⁾)	
QEP2	t _{w(INDEXH)}	QEP 索引输入高电平时间	同步 ⁽³⁾	2 + 3P ⁽¹⁾	ns
		带输入限定器		2P ⁽¹⁾ + U ⁽²⁾	
QEP3	t _{w(INDEXL)}	QEP 索引输入低电平时间	同步 ⁽³⁾	3P ⁽¹⁾	ns
		带输入限定器		2P ⁽¹⁾ + U ⁽²⁾	
QEP4	t _{w(STROBH)}	QEP 选通高电平时间	同步 ⁽³⁾	3P ⁽¹⁾	ns
		带输入限定器		2P ⁽¹⁾ + U ⁽²⁾	
QEP5	t _{w(STROBL)}	QEP 选通输入低电平时间	同步 ⁽³⁾	3P ⁽¹⁾	ns
		带输入限定器		2P ⁽¹⁾ + U ⁽²⁾	

(1) P = sysclk 周期 (以 ns 为单位)。

(2) U = 输入限定器采样窗口。有关输入限定器模式的详细信息，请参阅“GPIO 电气数据和时序”部分。

(3) GPIO GPxQSELn 异步模式不得用于 EQEP 模块输入引脚。

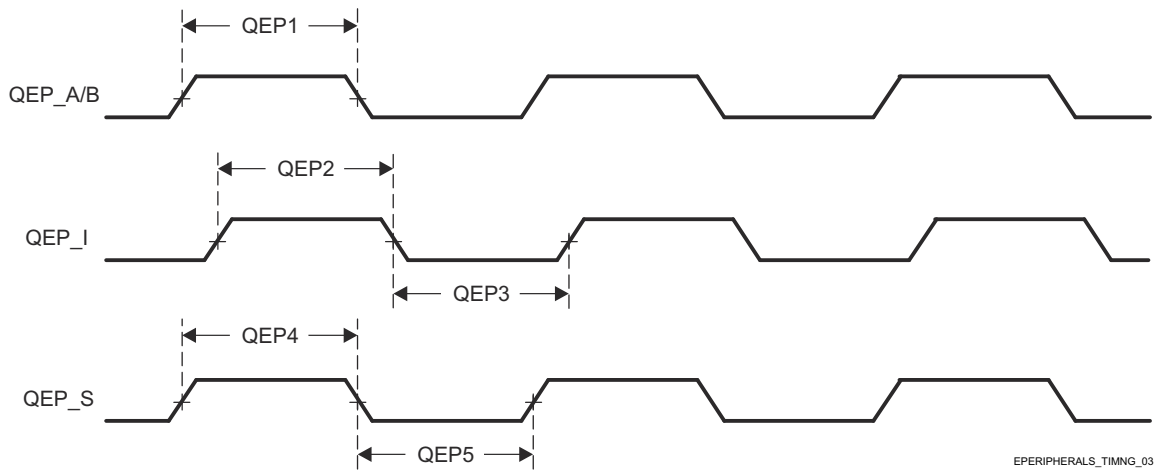


图 6-22. EQEP 时序要求

6.11.5.4.3 EQEP 开关特性
(3)

编号	参数	说明	最小值	最大值	单位
QEP6	$t_{d(CNTR)_{xin}}$	延迟时间，外部时钟到内部计数器增量		$4 + U^{(2)} + 6P^{(1)}$	ns
QEP7	$t_{d(PCS-OUT)_{QEP}}$	延迟时间，QEP 输入边沿到位置比较同步输出		$4 + U^{(2)} + 7P^{(1)} + 4$	ns

- (1) P = sysclk 周期 (以 ns 为单位)。
(2) U = 输入限定器采样窗口。有关输入限定器模式的详细信息，请参阅“GPIO 电气数据和时序”部分。
(3) 某些 EQEP 信号与 I2C0 SDA 和 SCI 引脚进行引脚多路复用。这些引脚使用备用的开漏电压缓冲器，可能不符合指定的参数。值正在等待额外的芯片后验证。

6.11.5.5 快速串行接口 (FSI)

备注

器件具有多个 FSI 模块。FSIn 是应用于 FSI 信号名称的通用前缀，其中 n 代表特定的 FSI 模块。

有关更多信息，请参阅器件 TRM 中的快速串行接口一节。

6.11.5.5.1 FSI 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	0.8	4	V/ns
输出条件				
C _L	输出负载电容	1	7	pF

6.11.5.5.2 FSIRX 时序要求

编号	参数	说明	最小值	最大值	单位
FSIR1	t _c (RX_CLK)	周期时间，FSIRXn_CLK	16.67		ns
FSIR2	t _w (RX_CLK)	脉冲宽度，FSIRXn_CLK 低电平或 FSIRXn_CLK 高电平	0.35P ⁽¹⁾ - 1	0.65P ⁽¹⁾ + 1	ns
FSIR3	t _{su} (RX_D - RX_CLK)	建立时间，FSIRXn_D[0:1] 在 FSIRXn_CLK 前的有效时间	1.7		ns
FSIR4	t _h (RX_CLK - RX_D)	相对于 FSIRXn_CLK 两个边沿的保持时间	2		ns

(1) P = t_c(RXCLK) = RX 接口时钟周期，单位为 ns。

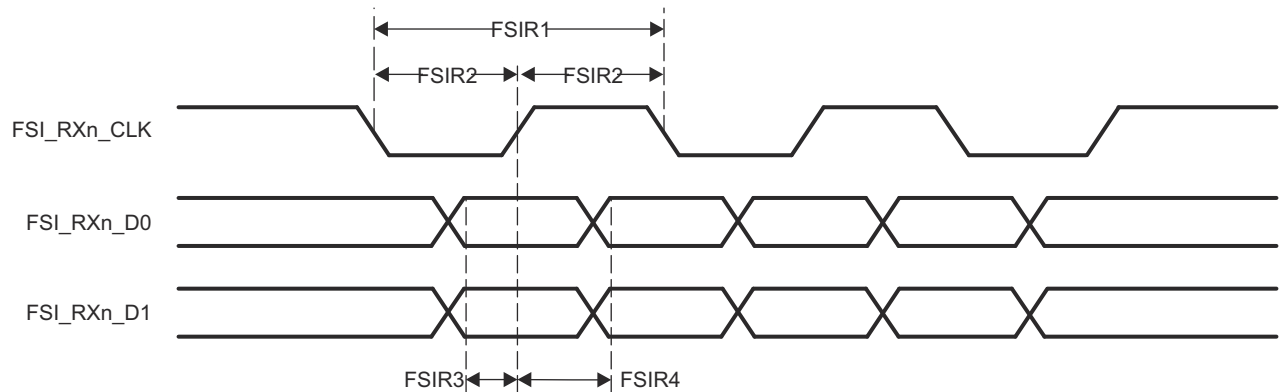


图 6-23. FSI 时序要求

6.11.5.5.3 FSIRX 开关特性

编号	参数	说明	最小值	最大值	单位
FSIR5	t _d (RX_CLK)	RX_DLYLINE_CTRL[RXCLK_DLY]=31 时的 FSIRXn_CLK 延迟补偿	10	30	ns
FSIR6	t _d (RX_D0)	RX_DLYLINE_CTRL[RXCLK_DLY]=31 时的 FSIRXn_D0 延迟补偿	10	30	ns
FSIR7	t _d (RX_D1)	RX_DLYLINE_CTRL[RXCLK_DLY]=31 时的 FSIRXn_D1 延迟补偿	10	30	ns
FSIR8	t _d (DELAY_ELEMENT)	每个延迟线路元件的 FSIRXn_CLK、FSIRXn_D0 和 FSIRXn_D1 增量延迟	0.3	1	ns

编号	参数	说明	最小值	最大值	单位
FSIR_TD M1	$t_{\text{skew}}(\text{RX_CLK-TX_TDM_D})$	FSIRXn_TDM_CLK 延迟和 FSIRXn_TDM_D[0:1] 之间的延迟偏斜	-3	3	ns
FSIR_TD M2	$t_{\text{skew}}(\text{RX_CLK-TX_TDM_CLK})$	延时时间, FSIRXn_CLK 输入到 FSITXn_TDM_CLK 输出的时间	2	12	ns
FSIR_TD M3	$t_{\text{skew}}(\text{RX_D0-TX_TDM_D0})$	延时时间、FSIRXn_D0 输入到 FSITXn_TDM_D0 输出的时间	2	12	ns
FSIR_TD M4	$t_{\text{skew}}(\text{RX_D1-TX_TDM_D1})$	延时时间、FSIRXn_D1 输入到 FSITXn_TDM_D1 输出的时间	2	12	ns

6.11.5.5.4 FSITX 开关特性

编号	参数	说明	最小值	最大值	单位
FSIT1	$t_c(\text{TX_CLK})$	周期时间, FSITXn_CLK	16.67		ns
FSIT2	$t_w(\text{TX_CLK})$	脉冲宽度, FSITXn_CLK 低电平或 FSITXn_CLK 高电平	$0.5P^{(1)} - 1$	$0.5P^{(1)} + 1$	ns
FSIT3	$t_d(\text{TX_CLK-TX_D})$	延迟时间, FSITXn_CLK 高电平或 FSITXn_CLK 低电平之后 FSITXn_Dx 有效	$0.25P^{(1)} - 2$	$0.25P^{(1)} + 2$	ns
FSIT4	$t_d(\text{TX_CLKL})$	TX_DLYLINE_CTRL[TXCLK_DLY]=31 时的 FSITXn_CLK 延迟补偿	9.95	30	ns
FSIT5	$t_d(\text{TX_D0})$	TX_DLYLINE_CTRL[TXCLK_DLY]=31 时的 FSITXn_D0 延迟补偿	9.95	30	ns
FSIT6	$t_d(\text{TX_D1})$	TX_DLYLINE_CTRL[TXCLK_DLY]=31 时的 FSITXn_D1 延迟补偿	9.95	30	ns
FSIT7	$t_d(\text{TX_DELAY_ELEMENT})$	每个延迟线路元件的 FSITXn_CLK、FSITXn_D0 和 FSITXn_D1 增量延迟	0.3	1	ns
FSIT_TD M1	$t_{\text{skew}}(\text{TX_TDM_CLK-TX_TDM_D})$	FSITXn_TDM_CLK 延迟和 FSITXn_TDM_D[0:1] 延迟之间引入的延迟偏斜	-2.5	2.5	ns
FSIT_TD M2	$t_{\text{skew}}(\text{TX_TDM_CLK-TX_CLK})$	延时时间, FSITXn_TDM_CLK 输入到 FSITXn_CLK 输出的时间	2	12	ns
FSIT_TD M3	$t_{\text{skew}}(\text{TX_TDM_D0-TX_D0})$	延时时间、FSITXn_TDM_D0 输入到 FSITXn_D0 输出的时间	2	12	ns
FSIT_TD M4	$t_{\text{skew}}(\text{TX_TDM_D1-TX_D1})$	延时时间、FSITXn_TDM_D1 输入到 FSITXn_D1 输出的时间	2	12	ns

(1) $P = t_c(\text{TX_CLK}) = \text{FSITX 接口时钟周期}$, 单位为 ns。

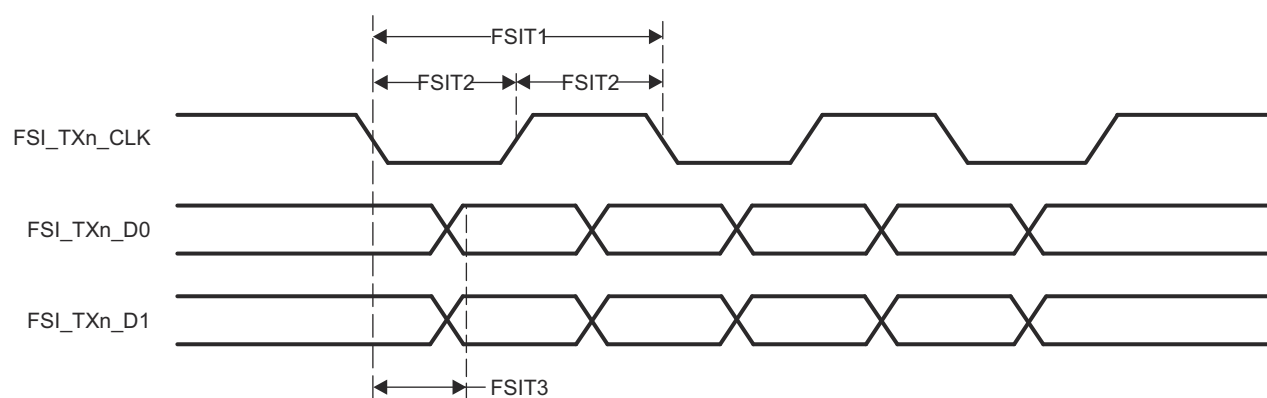


图 6-24. FSI 开关特性 - FSI 模式

6.11.5.5.5 FSITX SPI 信令模式开关特性

编号	参数	说明	最小值	最大值	单位
FSIT4	$t_{c(TX_CLK)}$	周期时间, FSITXn_CLK	16.67		ns
FSIT5	$t_{w(TX_CLK)}$	脉冲宽度, FSITXn_CLK 低电平或 FSITXn_CLK 高电平	$0.5P^{(1)} - 1$	$0.5P^{(1)} + 1$	ns
FSIT6	$t_{d(TX_CLKH - TX_D0)}$	延迟时间, FSITXn_CLK 高电平到 FSITXn_D0 有效		3	ns
FSIT7	$t_{d(TX_D1-TX_CLK)}$	延迟时间, FSITXn_D1 低电平到 FSITXn_CLK 高电平	$P^{(1)} - 3$		ns
FSIT8	$t_{d(TX_CLK-TX_D1)}$	延迟时间, FSITXn_CLK 低电平到 FSITXn_D1 高电平	$P^{(1)}$		ns

(1) $P = t_{c(TX_CLK)}$ = FSITX 接口时钟周期, 单位为 ns。

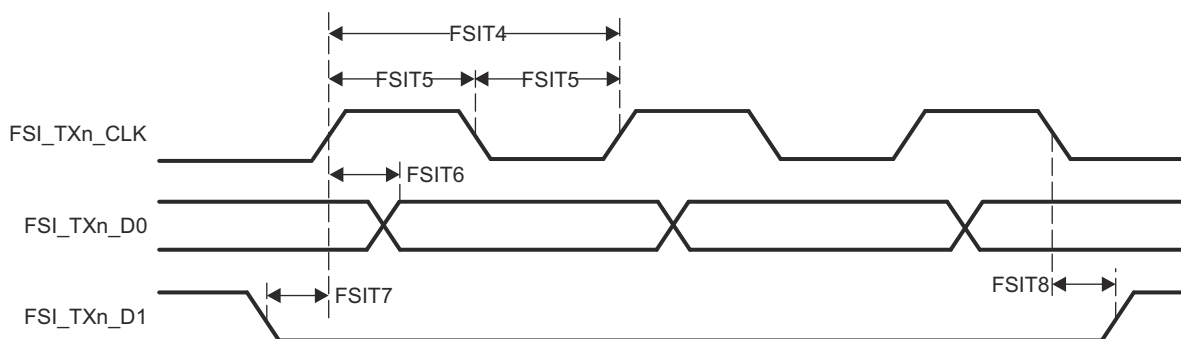


图 6-25. FSI 开关特性 - SPI 模式

6.11.5.6 通用输入/输出 (GPIO)

有关器件 GPIO 特性和其他说明信息的更多详情，请参阅 [信号说明](#) 和 [详细说明](#) 部分中的相应小节。

有关更多信息，请参阅器件 TRM 中的 [通用接口 \(GPIO\)](#) 一节。

6.11.5.6.1 GPIO 时序条件

参数		缓冲器类型	最小值	最大值	单位
输入条件					
SR _i	输入压摆率		0.75	6.6	V/ns
输出条件					
C _L	输出负载电容	LVC MOS	3	10	pF
		I2C OD FS ⁽¹⁾	3	10	pF

(1) 缓冲器类型 I2C OD FS 需要一个上拉电阻器。

6.11.5.6.2 GPIO 时序要求

编号	参数	说明	缓冲器类型	最小值	最大值	单位
D3	t _w (GPIO_IN)	最小输入脉冲宽度	LVC MOS	2P ⁽¹⁾ + 2		ns
D4			I2C OD FS ⁽²⁾	2P ⁽¹⁾ + 2		ns

(1) P = 功能时钟周期 (以 ns 为单位)。

(2) 缓冲器类型 I2C OD FS 需要一个上拉电阻器。

6.11.5.6.3 GPIO 开关特性

编号	参数	说明	缓冲器类型	最小值	最大值	单位
D1	t _w (GPIO_OUT)	最小输出脉冲宽度	LVC MOS	0.975P ⁽¹⁾ – 2		ns
D2	t _w (GPIO_OUT)	最小输出脉冲宽度低电平	I2C OD FS ⁽²⁾	2P ⁽¹⁾ + 160		ns
D3	t _w (GPIO_OUT)	最小输出脉冲宽度高电平	I2C OD FS ⁽²⁾	2P ⁽¹⁾ + 160		ns

(1) P = 功能时钟周期 (以 ns 为单位)。

(2) 缓冲器类型 I2C OD FS 需要一个上拉电阻器。

6.11.5.7 通用存储器控制器 (GPMC)

有关器件通用存储器控制器特性和其他说明的更多详细信息，请参阅 [信号说明](#) 和 [详细说明](#) 部分中的相应小节。

有关更多信息，请参阅器件 TRM 中的 [通用存储器控制器 \(GPMC\)](#) 一节。

6.11.5.7.1 GPMC 时序条件

参数			最小值	最大值	单位
输入条件					
SR _i	输入压摆率		1.65	4	V/ns
输出条件					
C _L	输出负载电容		3	20	pF
PCB 连接要求					
t _d (Trace Delay)	每条引线的传播延迟	100MHz	140	720	ps
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配			200	ps

6.11.5.7.2 GPMC/NOR 闪存时序要求 - 同步模式 100MHz

(1) (2)

编号	参数	说明	模式	最小值	最大值	单位
F12	t _{su} (dV-clkH)	建立时间，在 GPMC0_CLK 高电平之前 GPMC0_AD[31:0] 有效	div_by_1_mode (4)	1.81		ns
			not_div_by_1_mode (5)	1.06		ns
F13	t _h (clkH-dV)	保持时间，在 GPMC0_CLK 高电平之后 GPMC0_AD[31:0] 有效	div_by_1_mode (4)	2.29		ns
			not_div_by_1_mode (5)	2.29		ns
F21	t _{su} (waitV-clkH)	建立时间，在 GPMC0_CLK 高电平之前 GPMC0_WAIT[x] (3) 有效	div_by_1_mode (4)	1.81		ns
			not_div_by_1_mode (5)	1.06		ns
F22	t _h (clkH-waitV)	保持时间，在 GPMC0_CLK 高电平之后 GPMC0_WAIT[x] (3) 有效	div_by_1_mode (4)	2.29		ns
			not_div_by_1_mode (5)	2.29		ns

(1) 已选定 100MHz GPMC_FCLK - CTRLMMR_GPMC_CLKSEL[0] CLK_SEL = 1 = MAIN_PLL2_HSDIV7_CLKOUT (100/60 MHz)。

(2) 假设 GPMC 引脚与器件之间的布线长度小于 4 英寸，并且 100MHz 同步模式下的长度在 200ps 内匹配。

(3) 在 GPMC_WAIT[x] 中，x 等于 0 或 1。

(4) 在 div_by_1_mode 下，GPMC0_CLK 指 GPMC0_CLKOUT 或 GPMC0_FCLK_MUX (自由运行)。这两个信号都被引脚多路复用到一个引脚。

GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 0h：

- GPMC0_CLK 频率 = GPMC_FCLK 频率

(5) 在 not_div_by_1_mode 下，GPMC_CLK 仅指 GPMC0_CLKOUT。如果 GPMCFCLKDIVIDER > 0，则不能对 GPMC0_FCLK_MUX 进行时钟分频以匹配 GPMC0_CLKOUT 频率。

GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 1h 至 3h：

- GPMC_CLK 频率 = GPMC_FCLK 频率 / (2 至 4)

6.11.5.7.3 GPMC/NOR 闪存开关特征 - 同步模式 100MHz

(18) (19) (20)

编号	参数	说明	模式	最小值	最大值	单位
F0	$t_{c(clk)}$	时钟周期, GPMC0_CLK, GPMC0_FCLK_MUX		10 ⁽²¹⁾		ns
F1	$t_{w(clk)}$	标准脉冲持续时间, GPMC0_CLK 高电平或低电平		0.475P ⁽¹⁶⁾ - 0.3 ⁽²¹⁾		ns
F2	$t_{d(clkH-csnV)}$	延迟时间, GPMC0_CLK 上升沿到 GPMC0_CSn[x] ⁽¹⁵⁾ 转换		F ⁽⁶⁾ - 2.2 ⁽²¹⁾	F ⁽⁶⁾ +3.75	ns
F3	$t_{d(clkH-csnIV)}$	延迟时间, GPMC0_CLK 上升沿到 GPMC0_CSn[x] ⁽¹⁵⁾ 无效		E ⁽⁵⁾ - 2.2	E ⁽⁵⁾ +3.18	ns
F4	$t_{d(aV-clk)}$	延迟时间, GPMC0_A[27:1] 有效至 GPMC0_CLK 第一个边沿		B ⁽²⁾ - 2.3 ⁽²¹⁾	B ⁽²⁾ + 4.5	ns
F5	$t_{d(clkH-aIV)}$	延迟时间, GPMC0_CLK 上升沿到 GPMC0_A[27:1] 有效		-2.3 ⁽²¹⁾	4.5	ns
F6	$t_{d(be[x]nV-clk)}$	延迟时间, GPMC0_BE0n_CLE、GPMC0_BE1n 有效至 GPMC0_CLK 第一个边沿		B ⁽²⁾ - 2.3 ⁽²¹⁾	B ⁽²⁾ + 1.9	ns
F7	$t_{d(clkH-be[x]nIV)}$	延迟时间, GPMC0_CLK 上升沿到 GPMC0_BE0n_CLE、GPMC0_BE1n 无效 ⁽¹²⁾		D ⁽⁴⁾ - 2.3 ⁽²¹⁾	D ⁽⁴⁾ + 1.9	ns
F7	$t_{d(clkL-be[x]nIV)}$	延迟时间, GPMC0_CLK 下降沿到 GPMC0_BE0n_CLE、GPMC0_BE1n 无效 ⁽¹³⁾		D ⁽⁴⁾ - 2.3 ⁽²¹⁾	D ⁽⁴⁾ + 1.9	ns
F7	$t_{d(clkL-be[x]nIV)}$	延迟时间, GPMC0_CLK 下降沿到 GPMC0_BE0n_CLE、GPMC0_BE1n 无效 ⁽¹⁴⁾		D ⁽⁴⁾ - 2.3 ⁽²¹⁾	D ⁽⁴⁾ + 1.9	ns
F8	$t_{d(clkH-advn)}$	延迟时间, GPMC0_CLK 上升沿到 GPMC0_ADVn_ALE 转换		G ^{(7) (8)} - 2.3 ⁽²¹⁾	G ^{(7) (8)} + 4.5	ns
F9	$t_{d(clkH-advnIV)}$	延迟时间, GPMC0_CLK 上升沿到 GPMC0_ADVn_ALE 无效		D ⁽⁴⁾ - 2.3 ⁽²¹⁾	D ⁽⁴⁾ + 4.5	ns
F10	$t_{d(clkH-oen)}$	延迟时间, GPMC0_CLK 上升沿到 GPMC0_OEn_REn 转换		H ⁽⁹⁾ - 2.3 ⁽²¹⁾	H ⁽⁹⁾ + 3.5	ns
F11	$t_{d(clkH-oenIV)}$	延迟时间, GPMC0_CLK 上升沿到 GPMC0_OEn_REn 无效		H ⁽⁹⁾ - 2.3 ⁽²¹⁾	H ⁽⁹⁾ + 3.5	ns
F14	$t_{d(clkH-wen)}$	延迟时间, GPMC0_CLK 上升沿到 GPMC0_WEn 转换		I ⁽¹⁰⁾ - 2.3 ⁽²¹⁾	I ⁽¹⁰⁾ + 4.5	ns
F15	$t_{d(clkH-do)}$	延迟时间, GPMC0_CLK 上升沿到 GPMC0_AD[31:0] 转换 ⁽¹²⁾		J ⁽¹¹⁾ - 2.3 ⁽²¹⁾	J ⁽¹¹⁾ + 2.7	ns
F15	$t_{d(clkL-do)}$	延迟时间, GPMC0_CLK 下降沿到 GPMC0_AD[31:0] 数据总线转换 ⁽¹³⁾		J ⁽¹¹⁾ - 2.3 ⁽²¹⁾	J ⁽¹¹⁾ + 2.7	ns
F15	$t_{d(clkL-do)}$	延迟时间, GPMC0_CLK 下降沿到 GPMC0_AD[31:0] 数据总线转换 ⁽¹⁴⁾		J ⁽¹¹⁾ - 2.3 ⁽²¹⁾	J ⁽¹¹⁾ + 2.7	ns
F17	$t_{d(clkH-be[x]n)}$	延迟时间, GPMC0_CLK 上升沿到 GPMC0_BE0n_CLE 转换 ⁽¹²⁾		J ⁽¹¹⁾ - 2.3 ⁽²¹⁾	J ⁽¹¹⁾ + 1.9	ns
F17	$t_{d(clkL-be[x]n)}$	延迟时间, GPMC0_CLK 下降沿到 GPMC0_BE0n_CLE、GPMC0_BE1n 转换 ⁽¹³⁾		J ⁽¹¹⁾ - 2.3 ⁽²¹⁾	J ⁽¹¹⁾ + 1.9	ns
F17	$t_{d(clkL-be[x]n)}$	延迟时间, GPMC0_CLK 下降沿到 GPMC0_BE0n_CLE、GPMC0_BE1n 转换 ⁽¹⁴⁾		J ⁽¹¹⁾ - 2.3 ⁽²¹⁾	J ⁽¹¹⁾ + 1.9	ns
F18	$t_{w(csnV)}$	脉冲持续时间, GPMC0_CSn[x] ⁽¹⁵⁾ 低电平	读取	A ⁽¹⁾		ns
			写入	A ⁽¹⁾		ns
F19	$t_{w(be[x]nV)}$	脉冲持续时间, GPMC0_BE0n_CLE、GPMC0_BE1n 低电平	读取	C ⁽³⁾		ns
			写入	C ⁽³⁾		ns

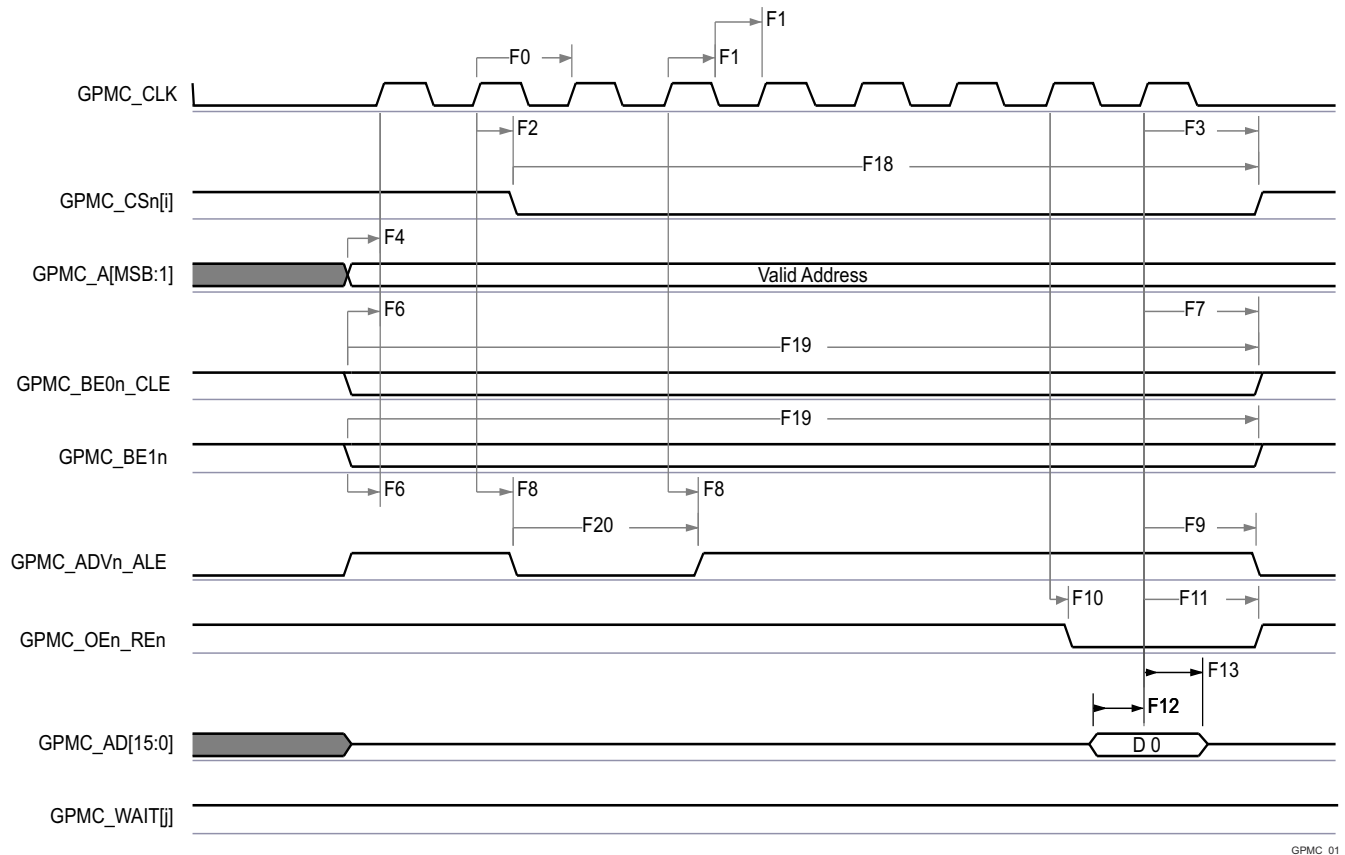
(18) (19) (20)

编号	参数	说明	模式	最小值	最大值	单位
F20	$t_{w(advnV)}$	脉冲持续时间, GPMC0_ADVn_ALE 低电平	读取	K ⁽¹⁷⁾		ns
			写入	K ⁽¹⁷⁾		ns

- (1) 对于单次读取: $A = (CSRdOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(18)}$
 对于突发读取: $A = (CSRdOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(18)}$
 对于突发写入: $A = (CSWrOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(18)}$
 n 是页面突发访问编号。
- (2) $B = ClkActivationTime \times GPMC_FCLK^{(18)}$
- (3) 对于单次读取: $C = RdCycleTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(18)}$
 对于突发读取: $C = (RdCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(18)}$
 对于突发写入: $C = (WrCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(18)}$
 n 是页面突发访问编号。
- (4) 对于单次读取: $D = (RdCycleTime - AccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(18)}$
 对于突发读取: $D = (RdCycleTime - AccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(18)}$
 对于突发写入: $D = (WrCycleTime - AccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(18)}$
- (5) 对于单次读取: $E = (CSRdOffTime - AccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(18)}$
 对于突发读取: $E = (CSRdOffTime - AccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(18)}$
 对于突发写入: $E = (CSWrOffTime - AccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(18)}$
- (6) 对于 csn 下降沿 (CS 激活):
 - 当 GpmcFCLKDivider = 0:
 - $F = 0.5 \times CSExtraDelay \times GPMC_FCLK^{(18)}$
 - 当 GpmcFCLKDivider = 1:
 - 当 (ClkActivationTime 和 CSOnTime 为奇数) 或 (ClkActivationTime 和 CSOnTime 为偶数), $- F = 0.5 \times CSExtraDelay \times GPMC_FCLK^{(18)}$, 否则,
 - $F = (1 + 0.5 \times CSExtraDelay) \times GPMC_FCLK^{(18)}$
 - 当 GpmcFCLKDivider = 2:
 - 当 ((CSOnTime - ClkActivationTime) 是 3 的倍数), $- F = 0.5 \times CSExtraDelay \times GPMC_FCLK^{(18)}$, 当 ((CSOnTime - ClkActivationTime - 1) 是 3 的倍数),
 - $F = (1 + 0.5 \times CSExtraDelay) \times GPMC_FCLK^{(18)}$, 当 ((CSOnTime - ClkActivationTime - 2) 是 3 的倍数),
 - $F = (2 + 0.5 \times CSExtraDelay) \times GPMC_FCLK^{(18)}$
- (7) 对于 ADV 下降沿 (ADV 激活):
 - 当 GpmcFCLKDivider = 0:
 - $G = 0.5 \times ADVExtraDelay \times GPMC_FCLK^{(18)}$
 - 当 GpmcFCLKDivider = 1:
 - 当 (ClkActivationTime 和 ADVOnTime 为奇数) 或 (ClkActivationTime 和 ADVOnTime 为偶数), $- G = 0.5 \times ADVExtraDelay \times GPMC_FCLK^{(18)}$, 否则
 - 当 GpmcFCLKDivider = 2:
 - $G = (1 + 0.5 \times ADVExtraDelay) \times GPMC_FCLK^{(18)}$ 当 ((ADVOnTime - ClkActivationTime) 是 3 的倍数), $- G = 0.5 \times ADVExtraDelay \times GPMC_FCLK^{(18)}$, 当 ((ADVOnTime - ClkActivationTime - 1) 是 3 的倍数),
 - $G = (1 + 0.5 \times ADVExtraDelay) \times GPMC_FCLK^{(18)}$, 当 ((ADVOnTime - ClkActivationTime - 2) 是 3 的倍数),
 - $G = (2 + 0.5 \times ADVExtraDelay) \times GPMC_FCLK^{(18)}$
 对于读取模式下的 ADV 上升沿 (ADV 停用):
 - 当 GpmcFCLKDivider = 0:
 - $G = 0.5 \times ADVExtraDelay \times GPMC_FCLK^{(18)}$
 - 当 GpmcFCLKDivider = 1:
 - 当 (ClkActivationTime 和 ADVrOffTime 为奇数) 或 (ClkActivationTime 和 ADVrOffTime 为偶数), $- G = 0.5 \times ADVExtraDelay \times GPMC_FCLK^{(18)}$, 否则
 - 当 GpmcFCLKDivider = 2:
 - $G = (1 + 0.5 \times ADVExtraDelay) \times GPMC_FCLK^{(18)}$ 当 ((ADVrOffTime - ClkActivationTime) 是 3 的倍数), $- G = 0.5 \times ADVExtraDelay \times GPMC_FCLK^{(18)}$, 当 ((ADVrOffTime - ClkActivationTime - 1) 是 3 的倍数),
 - $G = (1 + 0.5 \times ADVExtraDelay) \times GPMC_FCLK^{(18)}$, 当 ((ADVrOffTime - ClkActivationTime - 2) 是 3 的倍数),
 - $G = (2 + 0.5 \times ADVExtraDelay) \times GPMC_FCLK^{(18)}$
- (8) 对于写入模式下的 ADV 上升沿 (ADV 停用):
 - 当 GpmcFCLKDivider = 0:
 - $G = 0.5 \times ADVExtraDelay \times GPMC_FCLK^{(18)}$
 - 当 GpmcFCLKDivider = 1:
 - 当 (ClkActivationTime 和 ADVWrOffTime 为奇数) 或 (ClkActivationTime 和 ADVWrOffTime 为偶数), $- G = 0.5 \times ADVExtraDelay \times GPMC_FCLK^{(18)}$,

- 当 GpmcFCLKDivider = 2 :
 - ,
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(18)}$ 当 ($\text{ADVWrOffTime} - \text{ClkActivationTime}$) 是 3 的倍数) , - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(18)}$, 当 ($\text{ADVWrOffTime} - \text{ClkActivationTime} - 1$) 是 3 的倍数) ,
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(18)}$, 当 ($\text{ADVWrOffTime} - \text{ClkActivationTime} - 2$) 是 3 的倍数) ,
 - $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(18)}$
- (9) 对于 OE 下降沿 (OE 激活) 和 IO DIR 上升沿 (数据总线输入方向) :
 - 当 GpmcFCLKDivider = 0 :
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(18)}$
 - 当 GpmcFCLKDivider = 1:
 - 当 (ClkActivationTime 和 OEOnTime 为奇数) 或 (ClkActivationTime 和 OEOnTime 为偶数) , - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(18)}$, 否则
 - 当 GpmcFCLKDivider = 2 :
 - ,
 - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(18)}$ 当 ($\text{OEOnTime} - \text{ClkActivationTime}$) 是 3 的倍数) , - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(18)}$, 当 ($\text{OEOnTime} - \text{ClkActivationTime} - 1$) 是 3 的倍数) ,
 - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(18)}$, 当 ($\text{OEOnTime} - \text{ClkActivationTime} - 2$) 是 3 的倍数) ,
 - $H = (2 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(18)}$ 。
 - 对于 OE 上升沿 (OE 停用) :
 - 当 GpmcFCLKDivider = 0 :
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(18)}$
 - 当 GpmcFCLKDivider = 1:
 - 当 (ClkActivationTime 和 OEOffTime 为奇数) 或 (ClkActivationTime 和 OEOffTime 为偶数) , - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(18)}$, 否则
 - 当 GpmcFCLKDivider = 2 :
 - ,
 - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(18)}$ 当 ($\text{OEOffTime} - \text{ClkActivationTime}$) 是 3 的倍数) , - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(18)}$, 当 ($\text{OEOffTime} - \text{ClkActivationTime} - 1$) 是 3 的倍数) ,
 - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(18)}$, 当 ($\text{OEOffTime} - \text{ClkActivationTime} - 2$) 是 3 的倍数) ,
 - $H = (2 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(18)}$ 。
 - (10) 对于 WE 下降沿 (WE 激活) :
 - 当 GpmcFCLKDivider = 0 :
 - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(18)}$
 - 当 GpmcFCLKDivider = 1 :
 - 当 (ClkActivationTime 和 WEOnTime 为奇数) 或 (ClkActivationTime 和 WEOnTime 为偶数) , - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(18)}$, 否则
 - 当 GpmcFCLKDivider = 2 :
 - ,
 - $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(18)}$ 当 ($\text{WEOnTime} - \text{ClkActivationTime}$) 是 3 的倍数) , - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(18)}$, 当 ($\text{WEOnTime} - \text{ClkActivationTime} - 1$) 是 3 的倍数) ,
 - $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(18)}$, 当 ($\text{WEOnTime} - \text{ClkActivationTime} - 2$) 是 3 的倍数) ,
 - $I = (2 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(18)}$ 。
 - 对于 WE 上升沿 (WE 停用) :
 - 当 GpmcFCLKDivider = 0 :
 - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(18)}$
 - 当 GpmcFCLKDivider = 1 :
 - 当 (ClkActivationTime 和 WEOffTime 为奇数) 或 (ClkActivationTime 和 WEOffTime 为偶数) , - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(18)}$, 否则
 - 当 GpmcFCLKDivider = 2 :
 - ,
 - $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(18)}$ 当 ($\text{WEOffTime} - \text{ClkActivationTime}$) 是 3 的倍数) , - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(18)}$, 当 ($\text{WEOffTime} - \text{ClkActivationTime} - 1$) 是 3 的倍数) ,
 - $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(18)}$, 当 ($\text{WEOffTime} - \text{ClkActivationTime} - 2$) 是 3 的倍数) ,
 - $I = (2 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(18)}$ 。
 - (11) $J = \text{GPMC_FCLK}^{(18)}$
 - (12) 对于 CLK DIV 1 模式, 仅限第一次传输。
 - (13) 半周期; 对于 CLK DIV 1 模式, 针对初始传输后的所有数据。
 - (14) GPMC_CLK_OUT 的半个周期; 对于 CLK DIV 1 模式以外的模式, 针对所有数据。GPMC_CLK_OUT 从 GPMC_FCLK 进行分频。
 - (15) 在 GPMC_CS[n] 中, x 等于 0、1、2 或 3。在 GPMC_WAIT[x] 中, x 等于 0 或 1。
 - (16) P 是以 ns 为单位的 GPMC_CLK 周期
 - (17) 对于读取: $K = (\text{ADVRdOffTime} - \text{ADVOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(18)}$
对于写入: $K = (\text{ADVWrOffTime} - \text{ADVOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(18)}$
 - (18) GPMC_FCLK 是通用存储器控制器内部功能时钟周期 (以 ns 为单位) 。

- (19) 已选定 100MHz GPMC_FCLK - CTRLMMR_GPMC_CLKSEL[0] CLK_SEL = 1 = MAIN_PLL2_HSDIV7_CLKOUT (100/60 MHz)
- (20) 假设 GPMC 引脚与器件之间的布线长度小于 4 英寸, 并且 100MHz 同步模式下的长度在 200ps 内匹配。
- (21) 在 div_by_1_mode 下, GPMC0_CLK 指 GPMC0_CLKOUT 或 GPMC0_FCLK_MUX (自由运行)。这两个信号都被引脚多路复用到一个引脚
- GPMC_CONFIG1_i 寄存器: GPMCFCLKDIVIDER = 0h :
 - GPMC0_CLK 频率 = 在 not_div_by_1_mode 中的 GPMC_FCLK 频率
 , GPMC0_CLK 仅指 GPMC0_CLKOUT。当 GPMCFCLKDIVIDER > 0, 则不能对 GPMC0_FCLK_MUX 进行时钟分频以匹配 GPMC0_CLKOUT 频率
 - GPMC_CONFIG1_i 寄存器: GPMCFCLKDIVIDER = 1h 至 3h :
 - GPMC0_CLK = GPMC_FCLK 频率 / (2 至 4)



GPMC_01

- A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。
- B. 在 GPMC_WAIT[j] 中, j 等于 0 或 1。

图 6-26. GPMC 和 NOR 闪存 - 同步单次读取 (GPMCFCLKDIVIDER = 0)



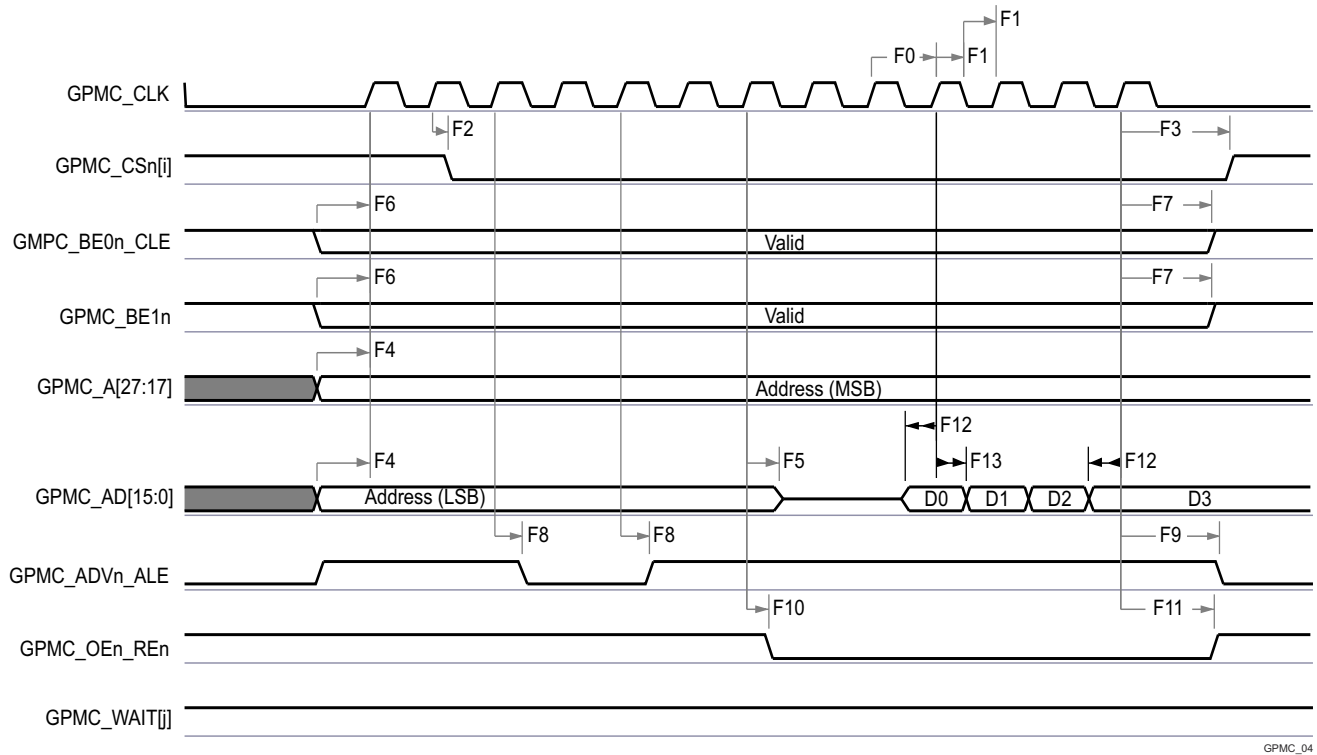
- 图 6-27. GPMC 和 NOR 闪存 - 同步突发读取 - 4x16 位 (GPMCFCLKDIVIDER = 0)



- English Data Sheet:
- [SPRSPA7](#)

B. 在 GPMC_WAIT[j] 中, j 等于 0 或 1。

图 6-28. GPMC 和 NOR 闪存 - 同步突发写入 (GPMCFCLKDIVIDER = 0)

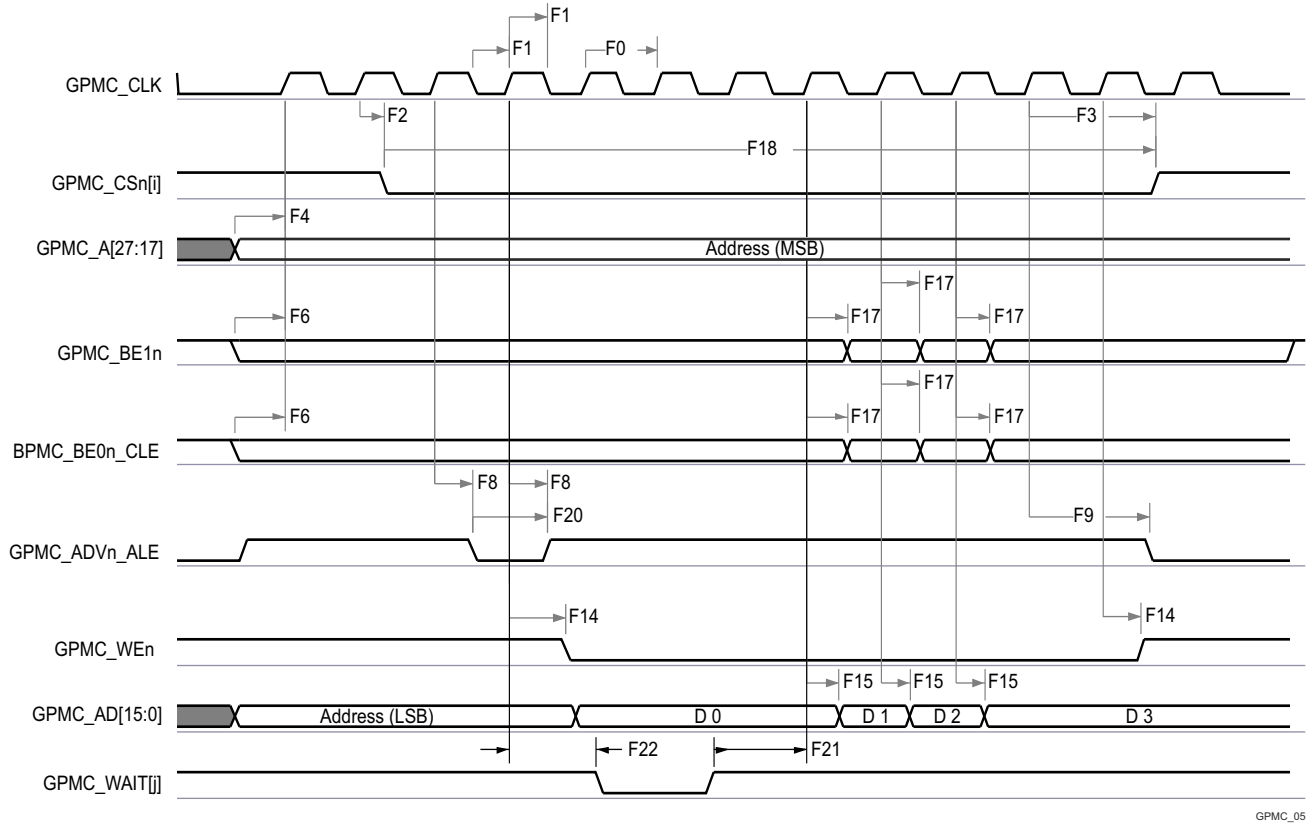


GPMC_04

A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。

B. 在 GPMC_WAIT[j] 中, j 等于 0 或 1。

图 6-29. GPMC 和多路复用 NOR 闪存 - 同步突发读取



GPMC_05

- A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。
B. 在 GPMC_WAIT[j] 中, j 等于 0 或 1。

图 6-30. GPMC 和多路复用 NOR 闪存 - 同步突发写入

6.11.5.7.4 GPMC/NOR 闪存时序要求 - 异步模式 100MHz
(7)

编号	参数	说明	最小值	最大值	单位
FA5 ⁽¹⁾	$t_{acc(d)}$	数据访问时间		H ⁽⁵⁾	ns
FA20 ⁽²⁾	$t_{acc1-pgmode(d)}$	页面模式连续数据访问时间		P ⁽⁴⁾	ns
FA21 ⁽³⁾	$t_{acc2-pgmode(d)}$	页面模式首个数据访问时间		H ⁽⁵⁾	ns

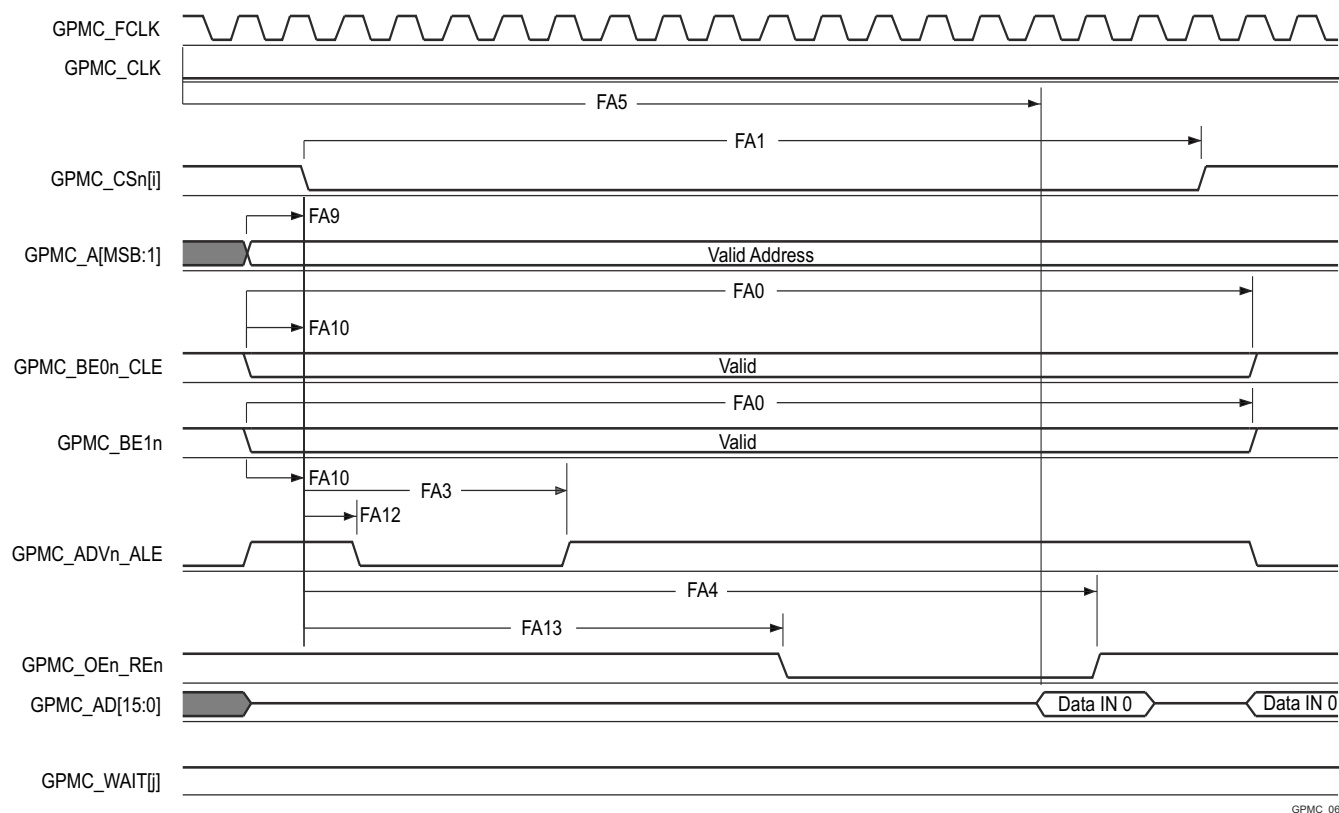
- (1) FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后, 输入数据通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。
- (2) FA20 参数说明了在内部对连续输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。每次访问输入页面数据后, 下一个输入页面数据将在 FA20 功能时钟周期后通过有效功能时钟边沿进行内部采样。FA20 值必须存储在 PageBurstAccessTime 寄存器位字段中。
- (3) FA21 参数说明了在内部对首个输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA21 功能时钟周期结束后, 首个输入页面数据通过有效功能时钟边沿在内部采样。FA21 值必须存储在 AccessTime 寄存器位字段内。
- (4) $P = \text{PageBurstAccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}$ ⁽⁶⁾
- (5) $H = \text{AccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}$ ⁽⁶⁾
- (6) GPMC_FCLK 是通用存储器控制器内部功能时钟周期 (以 ns 为单位)。
- (7) 已选定 100MHz GPMC_FCLK - CTRLMMR_GPMC_CLKSEL[0] CLK_SEL = 1 = MAIN_PLL2_HSDIV7_CLKOUT (100/60 MHz)

6.11.5.7.5 GPMC/NOR 闪存开关特征 - 异步模式 100MHz
(14) (15)

编号	参数	说明	模式	最小值	最大值	单位
FA0	$t_{w(be[x]nV)}$	脉冲持续时间, GPMC0_BE0n_CLE、GPMC0_BE1n 有效时间	读取		N ⁽¹²⁾	ns
			写入		N ⁽¹²⁾	ns
FA1	$t_{w(csnV)}$	脉冲持续时间, GPMC0_CS[n] ⁽¹³⁾ 低电平	读取		A ⁽¹⁾	ns
			写入		A ⁽¹⁾	ns
FA3	$t_{d(csnV-advnIV)}$	延迟时间, GPMC0_CS[n] ⁽¹³⁾ 有效至 GPMC0_ADVn_ALE 无效	读取	B ⁽²⁾ - 2	B ⁽²⁾ + 2	ns
			写入	B ⁽²⁾ - 2	B ⁽²⁾ + 2	ns
FA4	$t_{d(csnV-oenIV)}$	延迟时间, GPMC0_CS[n] ⁽¹³⁾ 有效至 GPMC0_OEn_REn 无效 (单次读取)		C ⁽³⁾ - 2	C ⁽³⁾ + 2	ns
FA9	$t_{d(aV-csnV)}$	延迟时间, GPMC0_A[27:1] 有效至 GPMC0_CS[n] ⁽¹³⁾ 有效		J ⁽⁹⁾ - 2	J ⁽⁹⁾ + 2	ns
FA10	$t_{d(be[x]nV-csnV)}$	延迟时间, GPMC0_BE0n_CLE、GPMC0_BE1n 有效至 GPMC0_CS[n] ⁽¹³⁾ 有效		J ⁽⁹⁾ - 2	J ⁽⁹⁾ + 2	ns
FA12	$t_{d(csnV-advnV)}$	延迟时间, GPMC0_CS[n] ⁽¹³⁾ 有效至 GPMC0_ADVn_ALE 有效		K ⁽¹⁰⁾ - 2	K ⁽¹⁰⁾ + 2	ns
FA13	$t_{d(csnV-oenV)}$	延迟时间, GPMC0_CS[n] ⁽¹³⁾ 有效至 GPMC0_OEn_REn 有效		L ⁽¹¹⁾ - 2	L ⁽¹¹⁾ + 2	ns
FA16	$t_{w(aIV)}$	脉冲持续时间, GPMC0_A[26:1] 在 2 次连续读取和写入访问之间无效		G ⁽⁷⁾		ns
FA18	$t_{d(csnV-oenIV)}$	延迟时间, GPMC0_CS[n] ⁽¹³⁾ 有效至 GPMC0_OEn_REn 无效 (突发读取)		I ⁽⁸⁾ - 2	I ⁽⁸⁾ + 2	ns
FA20	$t_{w(av)}$	脉冲持续时间, GPMC0_A[27:1] 有效 - 第 2、3、4 次访问		D ⁽⁴⁾		ns
FA25	$t_{d(csnV-wenIV)}$	延迟时间, GPMC0_CS[n] ⁽¹³⁾ 有效至 GPMC0_WEn 有效		E ⁽⁵⁾ - 2	E ⁽⁵⁾ + 2	ns
FA27	$t_{d(csnV-wenIV)}$	延迟时间, GPMC0_CS[n] ⁽¹³⁾ 有效至 GPMC0_WEn 无效		F ⁽⁶⁾ - 2	F ⁽⁶⁾ + 2	ns
FA28	$t_{d(wenV-dV)}$	延迟时间, GPMC0_WEn 有效至 GPMC0_AD[31:0] 有效			2	ns
FA29	$t_{d(dV-csnV)}$	延迟时间, GPMC0_AD[31:0] 有效至 GPMC0_CS[n] ⁽¹³⁾ 有效		J ⁽⁹⁾ - 2	J ⁽¹⁰⁾ + 2	ns
FA37	$t_{d(oenV-aIV)}$	延迟时间, GPMC0_OEn_REn 有效至 GPMC0_AD[31:0] 相位结束			2	ns

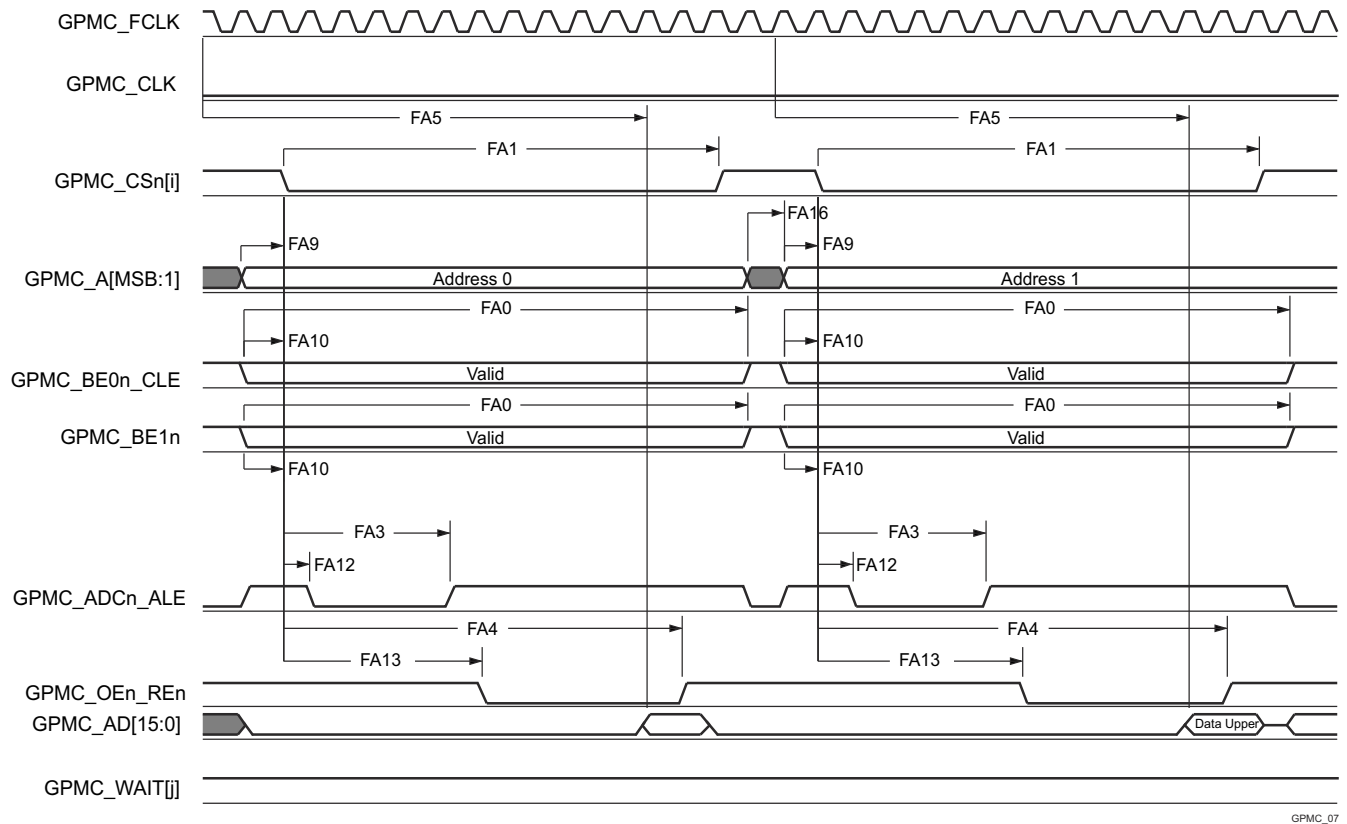
- (1) 对于单次读取: $A = (CSRdOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 对于单次写入: $A = (CSWrOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 对于突发读取: $A = (CSRdOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 对于突发写入: $A = (CSWrOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$ n 是页面突发访问编号
- (2) 对于读取: $B = ((ADVRdOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 对于写入: $B = ((ADVWrOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (3) $C = ((OEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (4) $D = PageBurstAccessTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
- (5) $E = ((WEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (6) $F = ((WEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (7) $G = Cycle2CycleDelay \times GPMC_FCLK^{(14)}$
- (8) $I = ((OEOffTime + (n - 1) \times PageBurstAccessTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (9) $J = (CSOnTime \times (TimeParaGranularity + 1) + 0.5 \times CSEExtraDelay) \times GPMC_FCLK^{(14)}$
- (10) $K = ((ADVOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$

- (11) $L = ((OEOnTime - CSONTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (12) 对于单次读取: $N = RdCycleTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 对于单次写入: $N = WrCycleTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 对于突发读取: $N = (RdCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 对于突发写入: $N = (WrCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
- (13) 在 GPMC_CS[n] 中, x 等于 0、1、2 或 3。
- (14) GPMC_FCLK 是通用存储器控制器内部功能时钟周期 (以 ns 为单位)。
- (15) 已选定 100MHz GPMC_FCLK - CTRLMMR_GPMC_CLKSEL[0] CLK_SEL = 1 = MAIN_PLL2_HSDIV7_CLKOUT (100/60 MHz)



- A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, j 等于 0 或 1。
- B. FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后, 输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。
- C. GPMC_FCLK 是内部时钟 (GPMC 功能时钟), 不从外部提供。

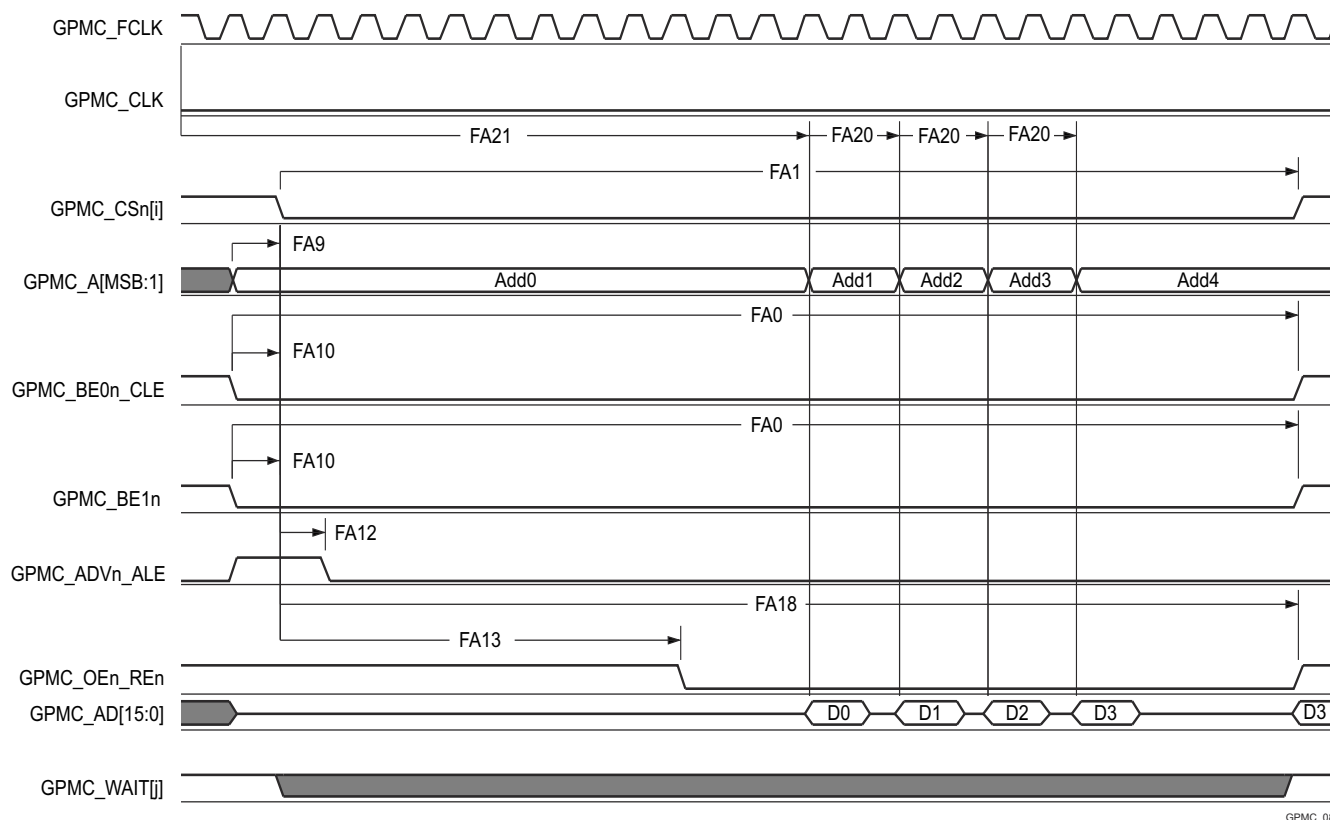
图 6-31. GPMC 和 NOR 闪存 - 异步读取 - 单字



GPMC_07

- 在 GPMC_CS[n][i] 中, i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, j 等于 0 或 1。
- FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后, 输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。
- GPMC_FCLK 是内部时钟 (GPMC 功能时钟), 不从外部提供。

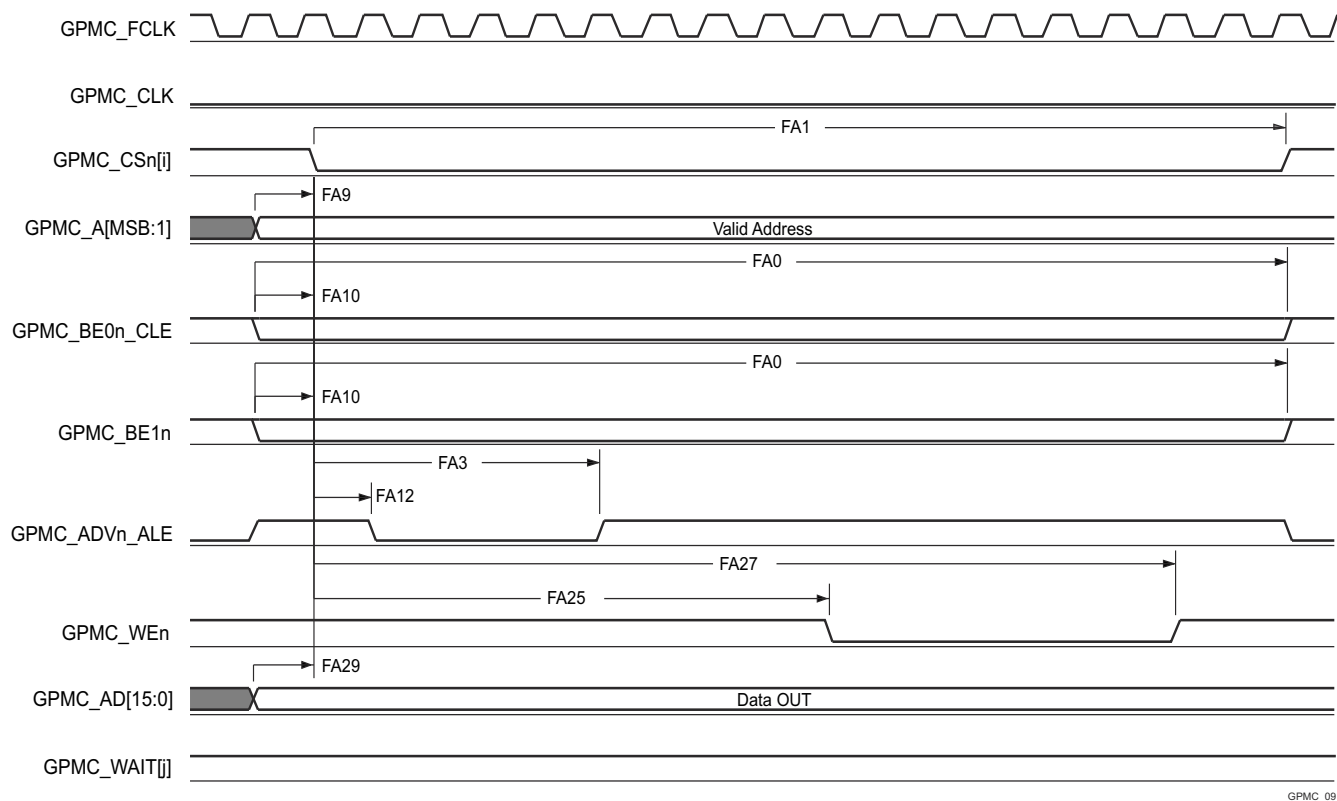
图 6-32. GPMC 和 NOR 闪存 - 异步读取 - 32 位



GPMC_08

- 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, j 等于 0 或 1。
- FA21 参数说明了在内部对首个输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA21 功能时钟周期结束后, 首个输入页面数据将通过有效功能时钟边沿在内部采样。FA21 计算结果必须存储在 AccessTime 寄存器位字段内。
- FA20 参数说明了在内部对连续输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。每次访问输入页面数据后, 下一个输入页面数据将在 FA20 功能时钟周期后通过有效功能时钟边沿进行内部采样。FA20 也是连续输入页面数据 (不包括第一个输入页面数据) 的寻址阶段的持续时间。FA20 值必须存储在 PageBurstAccessTime 寄存器位字段中。
- GPMC_FCLK 是内部时钟 (GPMC 功能时钟), 不从外部提供。

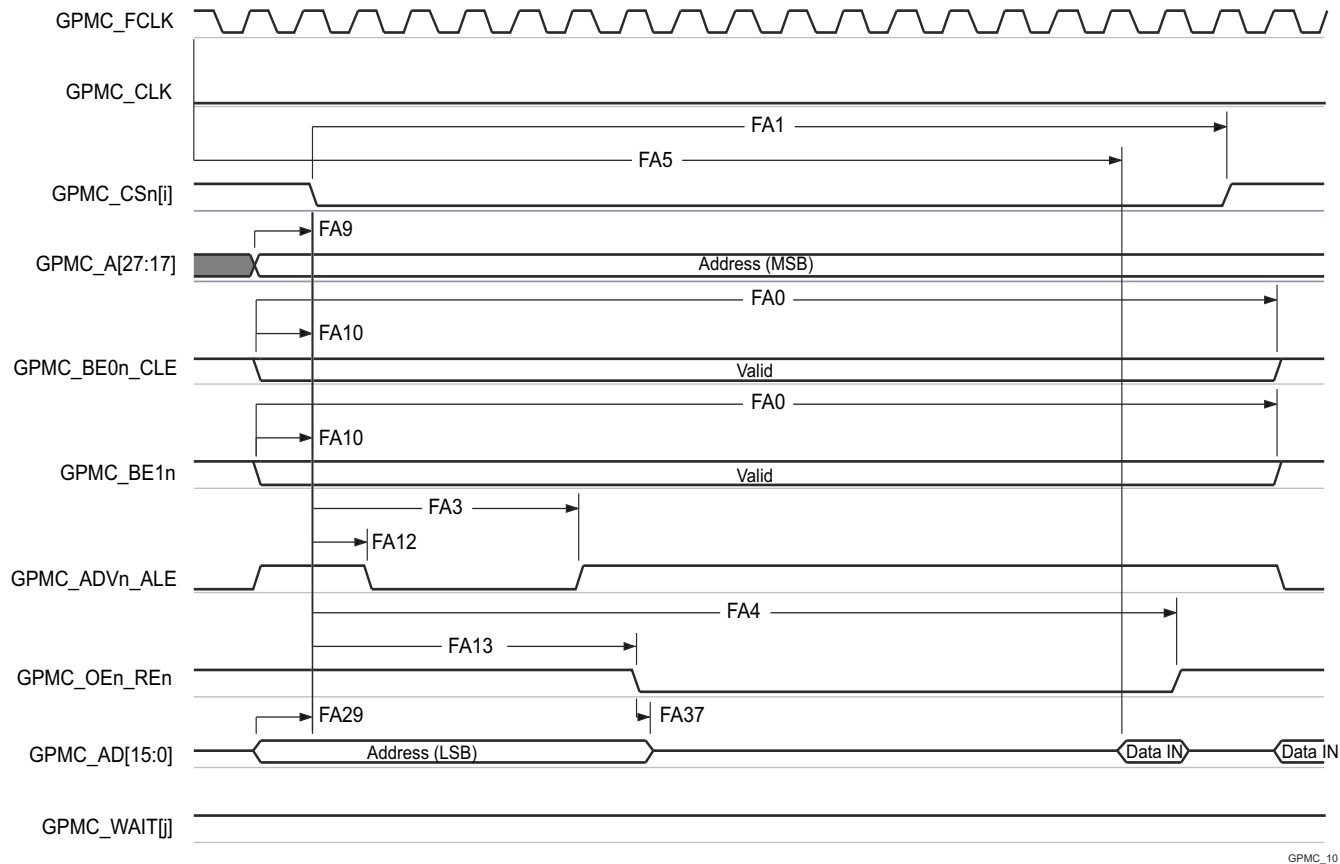
图 6-33. GPMC 和 NOR 闪存 - 异步读取 - 页面模式 4x16 位



GPMC_09

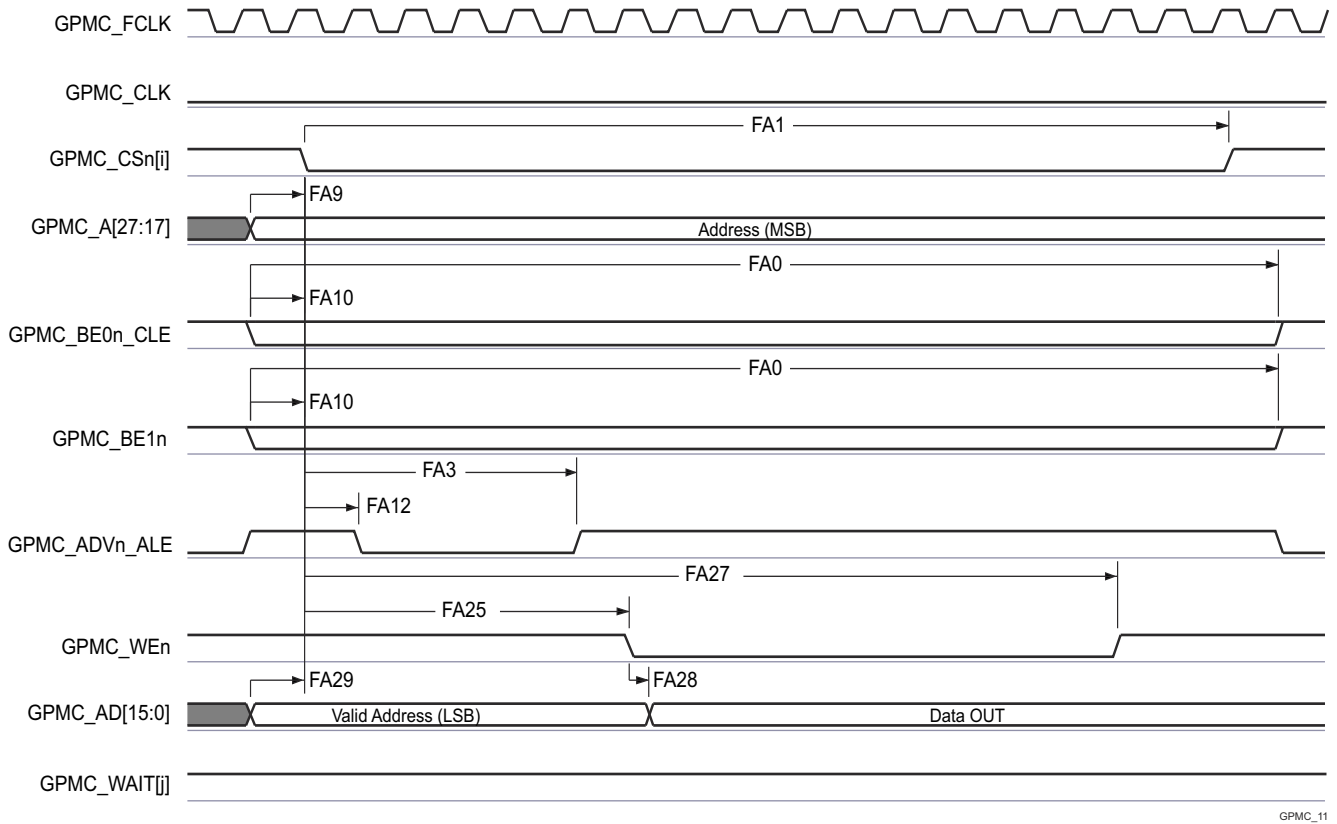
A. 在 GPMC_CSn[i] 中, i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, j 等于 0 或 1。

图 6-34. GPMC 和 NOR 闪存 - 异步写入 - 单字



- A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, j 等于 0 或 1。
- B. FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后, 输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。
- C. GPMC_FCLK 是内部时钟 (GPMC 功能时钟), 不从外部提供。

图 6-35. GPMC 和多路复用 NOR 闪存 - 异步读取 - 单字



A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, j 等于 0 或 1。

图 6-36. GPMC 和多路复用 NOR 闪存 - 异步写入 - 单字

6.11.5.7.6 GPMC/NAND 闪存时序要求 - 异步模式 100MHz (4)

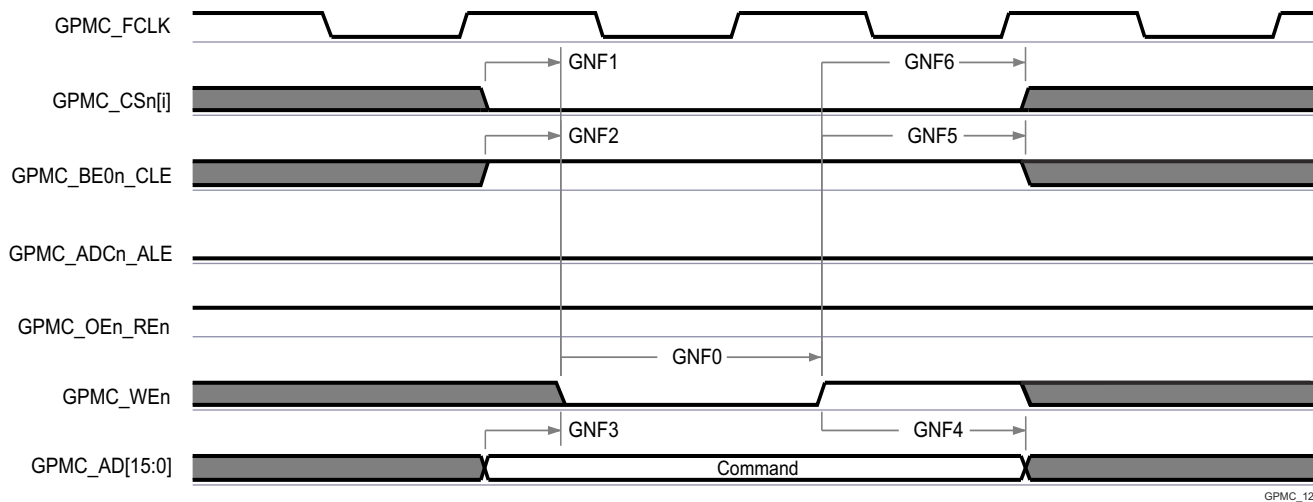
编号	参数	说明	最小值	最大值	单位
GNF12 ⁽¹⁾	$t_{acc(d)}$	访问时间, GPMC0_AD[31:0] ⁽³⁾		J ⁽²⁾	ns

- (1) GNF12 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 GNF12 功能时钟周期结束后, 输入数据通过有效功能时钟边沿在内部采样。GNF12 值必须存储在 AccessTime 寄存器位字段内。
- (2) $J = AccessTime \times (TimeParaGranularity + 1) \times GPMC_FCLK$ ⁽³⁾
- (3) GPMC_FCLK 是通用存储器控制器内部功能时钟。
- (4) 已选定 100MHz GPMC_FCLK - CTRLMMR_GPMC_CLKSEL[0] CLK_SEL = 1 = MAIN_PLL2_HSDIV7_CLKOUT (100/60 MHz)

6.11.5.7.7 GPMC/NAND 闪存开关特征 - 异步模式 100MHz (15)

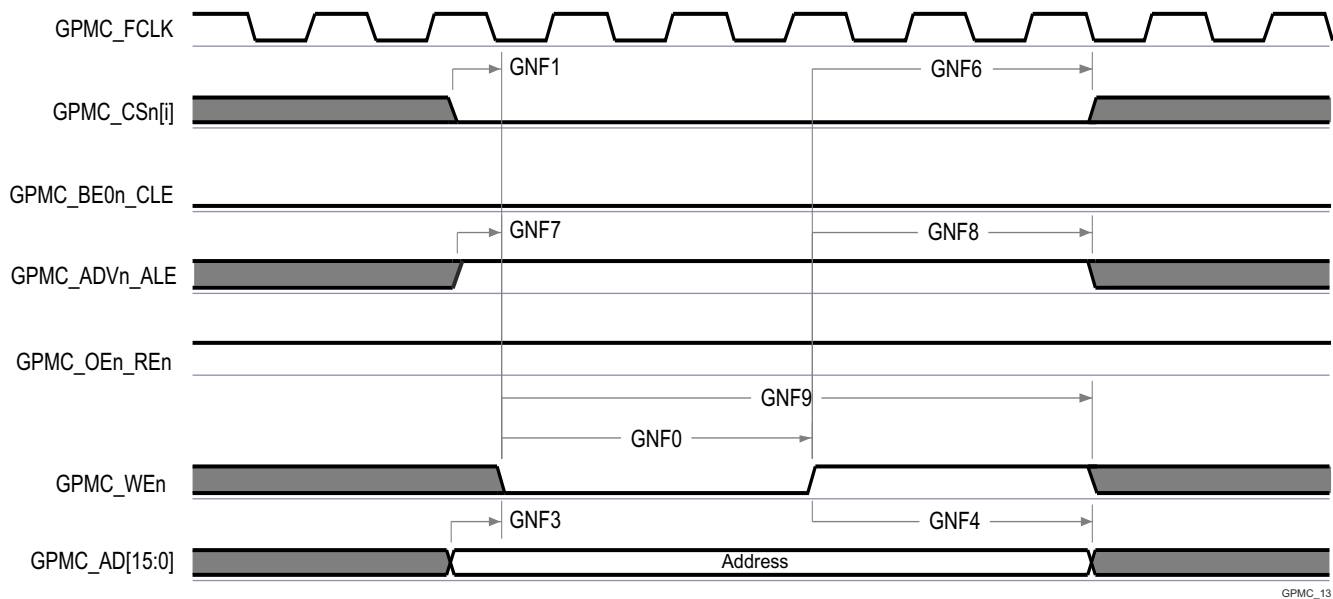
编号	参数	说明	最小值	最大值	单位
GNF0	$t_{w(wenV)}$	脉冲持续时间, GPMC0_WEn 有效	A ⁽¹⁾		ns
GNF1	$t_{d(csnV-wenV)}$	延迟时间, GPMC0_CS _n [x] ⁽¹³⁾ 有效至 GPMC0_WEn 有效	B ⁽²⁾ - 2	B ⁽²⁾ + 2	ns
GNF2	$t_{w(cleH-wenV)}$	延迟时间, GPMC0_BE0 _n _CLE 高电平到 GPMC0_WEn 有效	C ⁽³⁾ - 2	C ⁽³⁾ + 2	ns
GNF3	$t_{w(wenV-dV)}$	延迟时间, GPMC0_AD[31:0] 有效至 GPMC0_WEn 有效	D ⁽⁴⁾ - 2	D ⁽⁴⁾ + 2	ns
GNF4	$t_{w(wenIV-dIV)}$	延迟时间, GPMC0_WEn 无效至 GPMC0_AD[31:0] 无效	E ⁽⁵⁾ - 2	E ⁽⁵⁾ + 2	ns
GNF5	$t_{w(wenIV-cleIV)}$	延迟时间, GPMC0_WEn 无效至 GPMC0_BE0 _n _CLE 无效	F ⁽⁶⁾ - 2	F ⁽⁶⁾ + 2	ns
GNF6	$t_{w(wenIV-csnIV)}$	延迟时间, GPMC0_WEn 无效至 GPMC0_CS _n [x] ⁽¹³⁾ 无效	G ⁽⁷⁾ - 2	G ⁽⁷⁾ + 2	ns
GNF7	$t_{w(aleH-wenV)}$	延迟时间, GPMC0_ADV _n _ALE 高电平到 GPMC0_WEn 有效	C ⁽³⁾ - 2	C ⁽³⁾ + 2	ns
GNF8	$t_{w(wenIV-aleIV)}$	延迟时间, GPMC0_WEn 无效至 GPMC0_ADV _n _ALE 无效	F ⁽⁶⁾ - 2	F ⁽⁶⁾ + 2	ns
GNF9	$t_{c(wen)}$	周期时间, 写入		H ⁽⁸⁾	ns
GNF10	$t_{d(csnV-oenV)}$	延迟时间, GPMC0_CS _n [x] ⁽¹³⁾ 有效至 GPMC0_OEn_REn 有效	I ⁽⁹⁾ - 2	I ⁽⁹⁾ + 2	ns
GNF13	$t_{w(oenV)}$	脉冲持续时间, GPMC0_OEn_REn 有效		K ⁽¹⁰⁾	ns
GNF14	$t_{c(oen)}$	周期时间, 读取	L ⁽¹¹⁾		ns
GNF15	$t_{w(oenIV-csnIV)}$	延迟时间, GPMC0_OEn_REn 无效至 GPMC0_CS _n [x] ⁽¹³⁾ 无效	M ⁽¹²⁾ - 2	M ⁽¹²⁾ + 2	ns

- (1) $A = (WEOffTime - WEOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
(2) $B = ((WEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
(3) $C = ((WEOnTime - ADVOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - ADVExtraDelay)) \times GPMC_FCLK^{(14)}$
(4) $D = (WEOnTime \times (TimeParaGranularity + 1) + 0.5 \times WEEExtraDelay) \times GPMC_FCLK^{(14)}$
(5) $E = ((WrCycleTime - WEOffTime) \times (TimeParaGranularity + 1) - 0.5 \times WEEExtraDelay) \times GPMC_FCLK^{(14)}$
(6) $F = ((ADVWrOffTime - WEOffTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - WEEExtraDelay)) \times GPMC_FCLK^{(14)}$
(7) $G = ((CSWrOffTime - WEOffTime) \times (TimeParaGranularity + 1) + 0.5 \times (CSEExtraDelay - WEEExtraDelay)) \times GPMC_FCLK^{(14)}$
(8) $H = WrCycleTime \times (1 + TimeParaGranularity) \times GPMC_FCLK^{(14)}$
(9) $I = ((OEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
(10) $K = (OEOffTime - OEOnTime) \times (1 + TimeParaGranularity) \times GPMC_FCLK^{(14)}$
(11) $L = RdCycleTime \times (1 + TimeParaGranularity) \times GPMC_FCLK^{(14)}$
(12) $M = ((CSRdOffTime - OEOffTime) \times (TimeParaGranularity + 1) + 0.5 \times (CSEExtraDelay - OEEExtraDelay)) \times GPMC_FCLK^{(14)}$
(13) 在 GPMC_CS_n[x] 中, x 等于 0、1、2 或 3。
(14) GPMC_FCLK 是通用存储器控制器内部功能时钟周期 (以 ns 为单位)。
(15) 已选定 100MHz GPMC_FCLK - CTRLMMR_GPMC_CLKSEL[0] CLK_SEL = 1 = MAIN_PLL2_HSDIV7_CLKOUT (100/60 MHz)



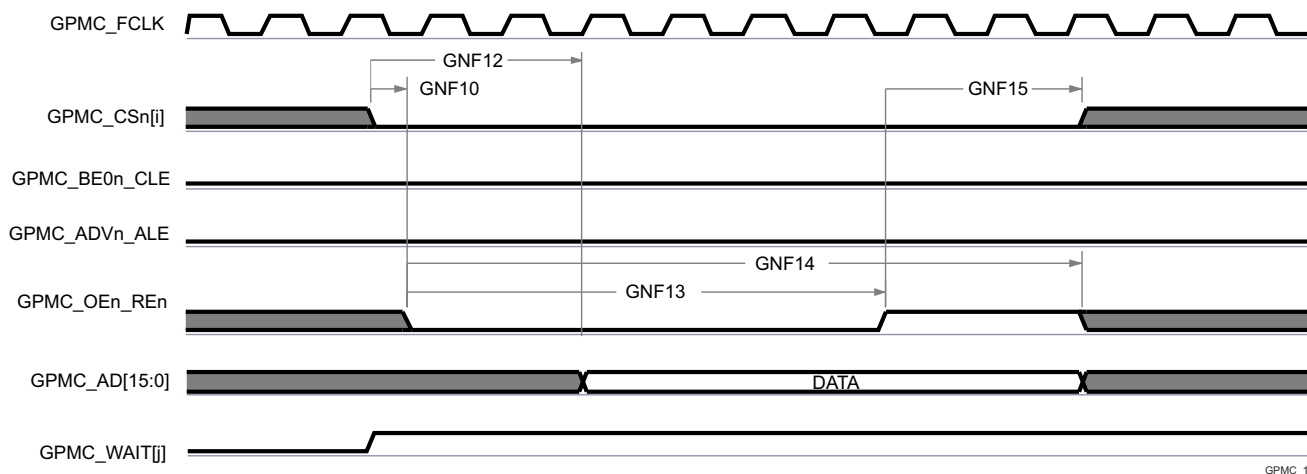
A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。

图 6-37. GPMC 和 NAND 闪存 - 命令锁存周期



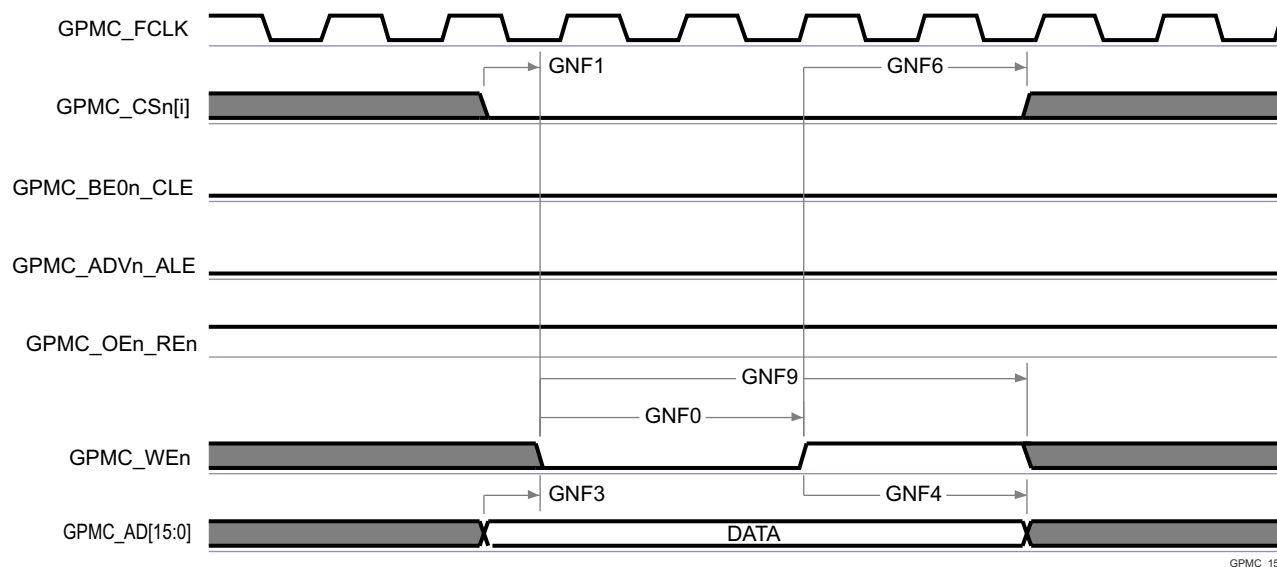
A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。

图 6-38. GPMC 和 NAND 闪存 - 地址锁存周期



- GNF12 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 GNF12 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。GNF12 值必须存储在 AccessTime 寄存器位字段内。
- GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。
- 在 GPMC_CS[n] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-39. GPMC 和 NAND 闪存 - 数据读取周期



- 在 GPMC_CS[n] 中，i 等于 0、1、2 或 3。

图 6-40. GPMC 和 NAND 闪存 - 数据写入周期

6.11.5.8 内部集成电路 (I²C)

有关更多信息，请参阅器件 TRM 中的 *内部集成电路 (I2C)* 一节。

6.11.5.8.1 I2C

该器件包含三个多控制器集成电路总线 (I2C) 控制器。每个 I2C 控制器均设计为符合 Philips I²C-bus™ 规范版本 2.1。然而，器件 IO 并不完全符合 I2C 电气规格。下面介绍了每个端口支持的速度和例外情况：

- I2C1 和 I2C2
 - 速度：
 - 标准模式 (最高 100kb/s)
 - 3.3V
 - 快速模式 (最高 400kb/s)
 - 3.3V
 - 例外情况：
 - 与这些端口关联的 IO 不符合 I2C 规范中定义的下降时间要求，因为它们是通过性能更高的 LVCMOS 推挽 IO 实现的，这些 IO 旨在支持无法通过 I2C 兼容 IO 实现的其他信号功能。这些端口上使用的 LVCMOS IO 的连接方式可以对开漏输出进行仿真。该仿真是通过强制实现恒定低电平输出并禁用输出缓冲器进入高阻态来实现的。
 - I2C 规范定义了大小为 ($V_{DD_{max}} + 0.5V$) 的最大输入电压 V_{IH} ，这超出了器件 IO 的绝对最大额定值。系统的设计必须确保 I2C 信号始终不会超过本数据表的 *绝对最大额定值* 一节中定义的限值。
- I2C0
 - 速度：
 - 标准模式 (最高 100kb/s)
 - 3.3V
 - 快速模式 (最高 400kb/s)
 - 3.3V
 - 例外情况：
 - 与该端口关联的 IO 并未设计为支持 HS 模式。
 - 连接到这些端口的 I2C 信号的上升和下降时间不得超过 0.8V/ns (或 8E+7V/s) 的压摆率。该限制比 I2C 规范中定义的最小下降时间限制更严格。因此，可能需要向 I2C 信号添加额外的电容，以延长上升和下降时间，使其压摆率不超过 0.8V/ns。
 - I2C 规范定义了大小为 ($V_{DD_{max}} + 0.5V$) 的最大输入电压 V_{IH} ，这超出了器件 IO 的绝对最大额定值。系统的设计必须确保 I2C 信号始终不会超过本数据表的 *绝对最大额定值* 一节中定义的限值。

有关时序详细信息，请参阅 Philips I2C 总线规范版本 2.1。

6.11.5.9 本地互连网络 (LIN)

备注

器件具有多个 LIN 模块。LIN_n 是应用于 LIN 信号名称的通用前缀，其中 n 代表特定的 LIN 模块。

有关更多信息，请参阅器件 TRM 中的 *本地互连网络 (LIN) 模块* 一节。

6.11.5.9.1 LIN 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	2	15	V/ns
输出条件				
C _L	输出负载电容	5	20	pF

6.11.5.9.2 LIN 时序要求

编号	参数	说明	最小值	最大值	单位
LIN2	t _{d(LINn_RX)}	延迟时间，LINn_RX 移位寄存器到 LINn_RX 引脚的时间		10	ns

6.11.5.9.3 LIN 开关特性

编号	参数	说明	最小值	最大值	单位
LIN4	t _{d(LINn_TX)}	延迟时间，LINn_TX 移位寄存器到 LINn_TX 引脚的时间		10	ns

6.11.5.10 模块化控制器局域网 (MCAN)

有关器件控制器局域网接口特性和其他说明信息的更多详情，请参阅 *信号说明* 和 *详细说明* 部分中的相应小节。

备注

器件具有多个 MCAN 模块。MCANn 是应用于 MCAN 信号名称的通用前缀，其中 n 代表特定的 MCAN 模块。

有关更多信息，请参阅器件 TRM 中的 *控制器局域网 (MCAN)* 部分。

6.11.5.10.1 MCAN 时序条件

参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	2	15	V/ns
输出条件				
C _L	输出负载电容	5	20	pF

6.11.5.10.2 MCAN 开关特性

编号	参数	说明	最小值	最大值	单位
M1	t _d (MCAN_TX)	延迟时间，发送移位寄存器到 MCAN_TX 引脚的时间		10	ns
M2	t _d (MCAN_RX)	延迟时间，MCAN_RX 引脚到接收移位寄存器的时间		10	ns

6.11.5.11 串行外设接口 (SPI)

有关器件串行端口接口特性和其他说明信息的更多详情，请参阅 *信号说明* 和 *详细说明* 部分中的相应小节。

备注

器件具有多个 SPI 模块。通用 SPI_ 前缀用于表示所有 SPI 实例的信号名称。

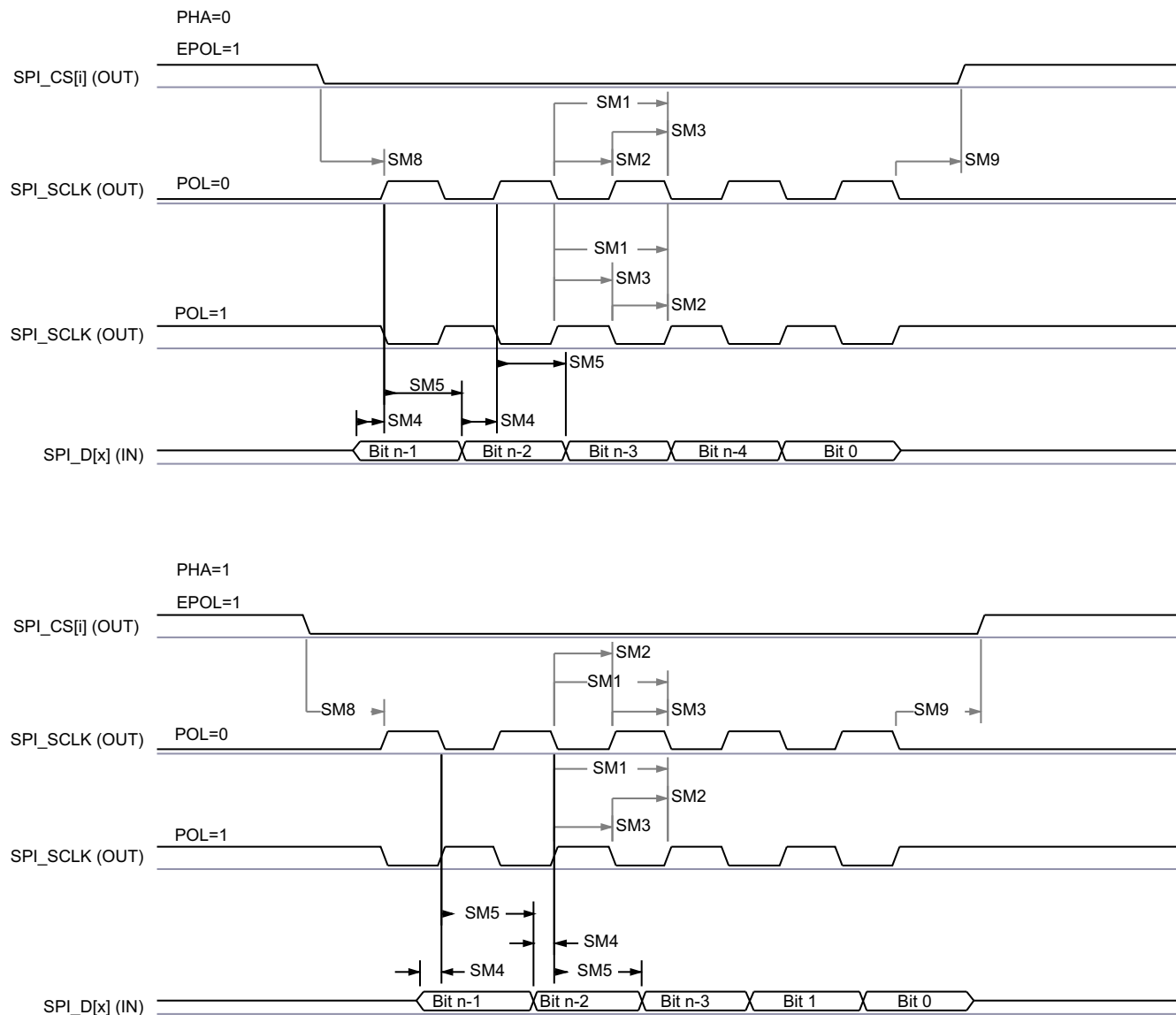
有关更多信息，请参阅器件 TRM 中的 *串行外设接口 (SPI)* 一节。

6.11.5.11.1 SPI 时序条件

参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	2	8.5	V/ns
输出条件				
C _L	输出负载电容	2	24	pF

6.11.5.11.2 SPI 控制器模式时序要求

编号	参数	说明	最小值	最大值	单位
正常模式					
SM4	t _{su} (MISO-SPICLK)	建立时间，在 SPI_SCLK 有效边沿之前 SPI_D[x] 有效	2		ns
SM5	t _h (SPICLK-MISO)	保持时间，在 SPI_SCLK 有效边沿之后 SPI_D[x] 有效	3		ns



SPRSP08_TIMING_MCSPI_02

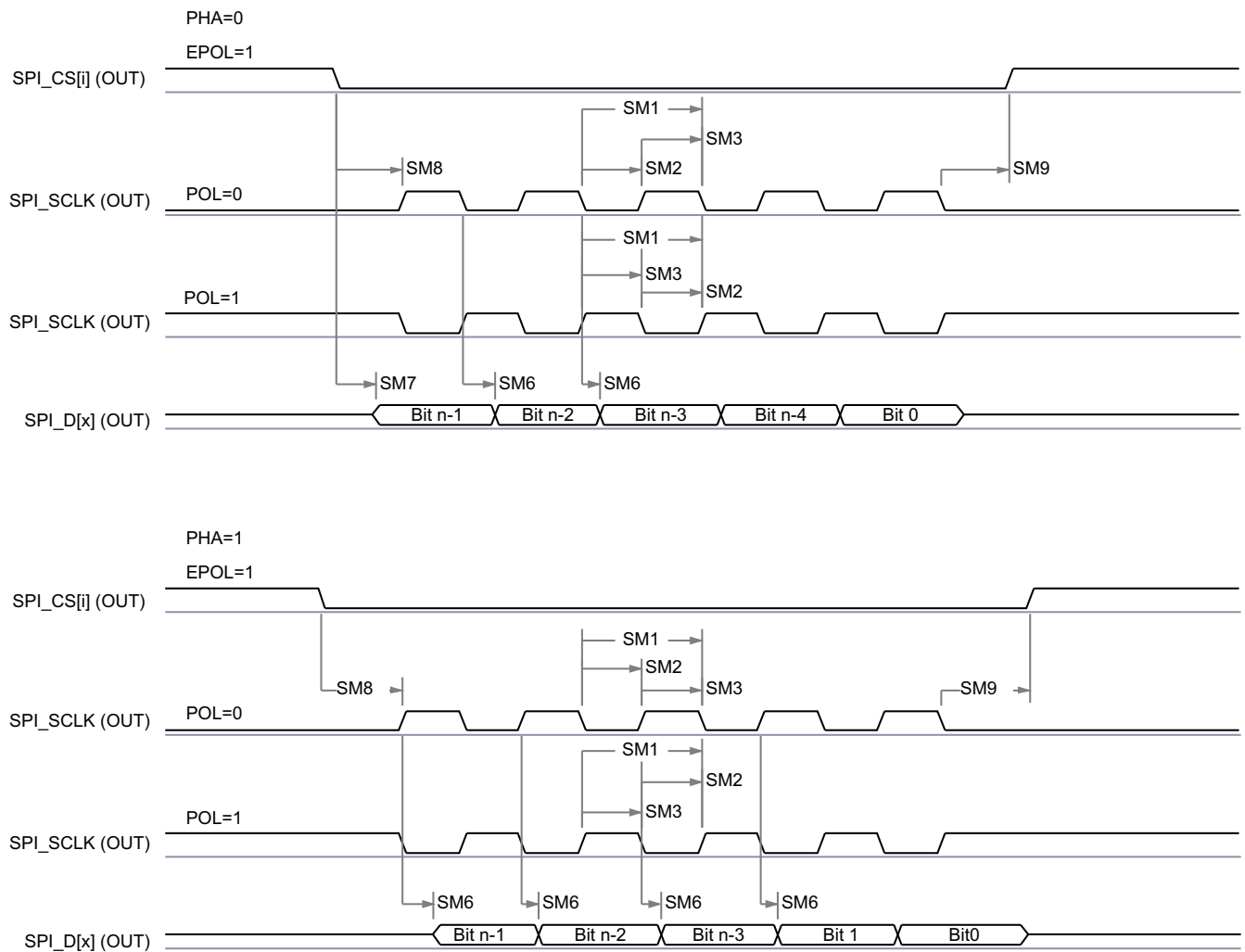
图 6-41. SPI 控制器模式接收时序

6.11.5.11.3 SPI 控制器模式开关特性 (时钟相位 = 0)

编号	参数	说明	最小值	最大值	单位
正常模式					
SM1	$t_c(\text{SPICLK})$	周期时间, SPI_SCLK	20		ns
SM2	$t_w(\text{SPICLK}_L)$	典型脉冲持续时间, SPI_SCLK 低电平	$-1 + 0.5P^{(1)}$		ns
SM3	$t_w(\text{SPICLK}_H)$	典型脉冲持续时间, SPI_SCLK 高电平	$-1 + 0.5P^{(1)}$		ns
SM6	$t_d(\text{SPICLK-SIMO})$	延迟时间, SPI_SCLK 有效边沿到 SPI_D[x] 转换	-3	2	ns
SM7	$t_{sk}(\text{CS-SIMO})$	延迟时间, SPI_CS[i] 有效到 SPI_D[x] 转换	5		ns

编号	参数	说明	最小值	最大值	单位
SM8	$t_{d(SPICLK-CS)}$	延迟时间, SPI_CS[i] 有效到 SPI_SCLK 第一个边沿	PHA = 0	- 4 + B ⁽³⁾	ns
			PHA = 1	- 4 + A ⁽²⁾	ns
SM9	$t_{d(SPICLK-CS)}$	延迟时间, SPI_SCLK 最后边沿到 SPI_CS[i] 无效	PHA = 0	- 4 + A ⁽²⁾	ns
			PHA = 1	- 4 + B ⁽³⁾	ns

- (1) P = SPICLK 周期, 单位为 ns。
(2) 当 P = 20.8ns 时, A = (TCS + 1) * TSPICLKREF, 其中 TCS 是 SPI_CH(i)CONF 寄存器的位字段。当 P > 20.8ns 时, A = (TCS + 0.5) * Fratio * TSPICLKREF, 其中 TCS 是 SPI_CH(i)CONF 寄存器的位字段。
(3) B = (TCS + .5) * TSPICLKREF, 其中 TCS 是 SPI_CH(i)CONF 寄存器的位字段且 Fratio = 不小于 2 的偶数。



SPRSP08_TIMING_McSPI_01

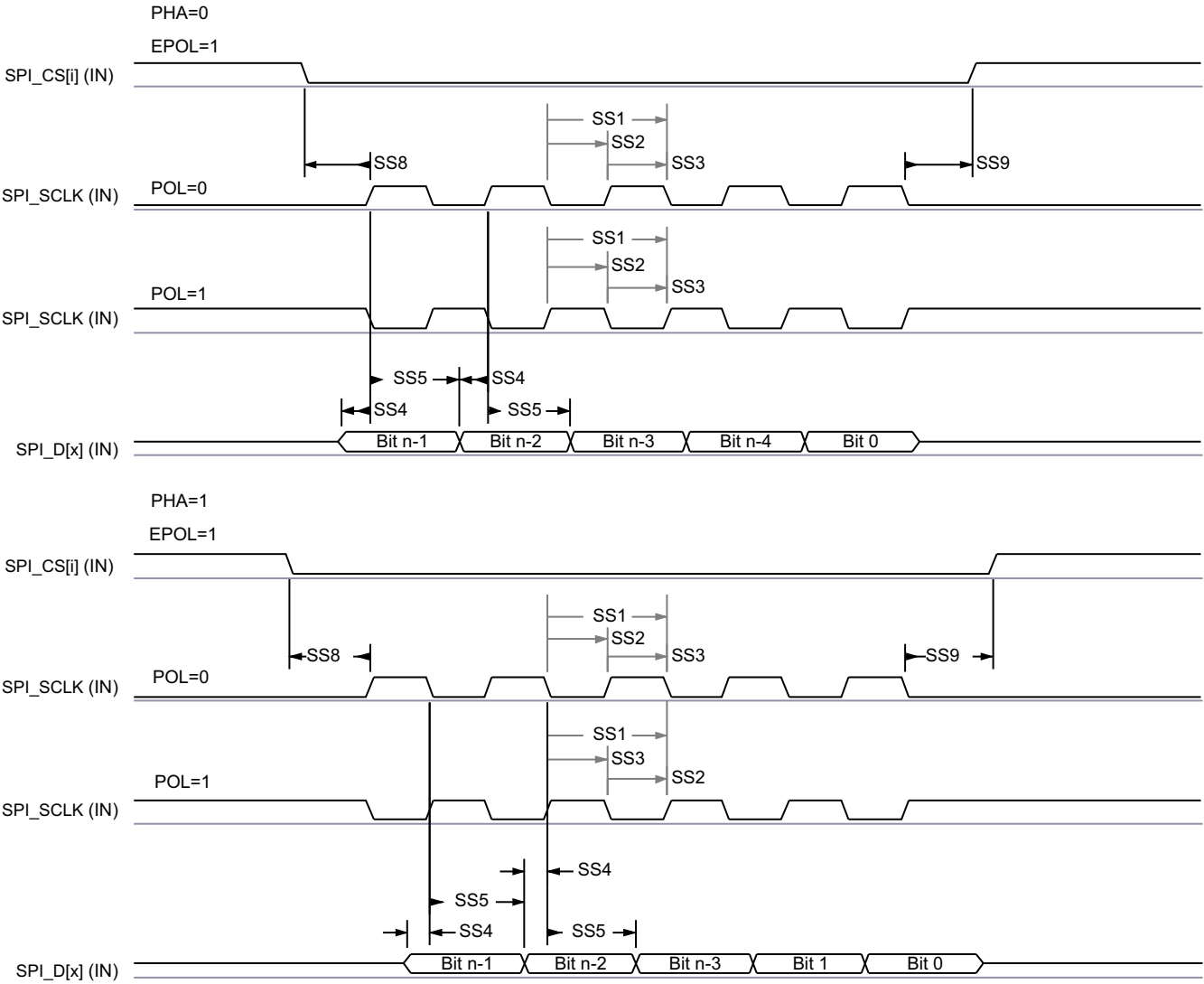
图 6-42. SPI 控制器模式发送时序

6.11.5.11.4 SPI 外设模式时序要求

编号	参数	说明	最小值	最大值	单位
SS1	$t_{c(SPICLK)}$	周期时间, SPI_SCLK	40		ns
SS2	$t_{w(SPICLK)}$	典型脉冲持续时间, SPI_SCLK 低电平	$0.45 \times P^{(1)}$		ns
SS3	$t_{w(SPICLK)}$	典型脉冲持续时间, SPI_SCLK 高电平	$0.45 \times P^{(1)}$		ns

编号	参数	说明	最小值	最大值	单位
SS4	$t_{su}(SIMO-SPICLK)$	建立时间, 在 SPI_SCLK 有效边沿之前 SPI_D[x] 有效	5		ns
SS5	$t_h(SPICLK-SIMO)$	保持时间, 在 SPI_SCLK 有效边沿之后 SPI_D[x] 有效	5		ns
SS8	$t_{su}(CS-SPICLK)$	建立时间, SPI_SCLK 第一个边沿之前 SPI_CS[i] 有效	5		ns
SS9	$t_h(SPICLK-CS)$	保持时间, SPI_SCLK 最后一个边沿之后 SPI_CS[i] 有效	5		ns

(1) P = SPICLK 周期。



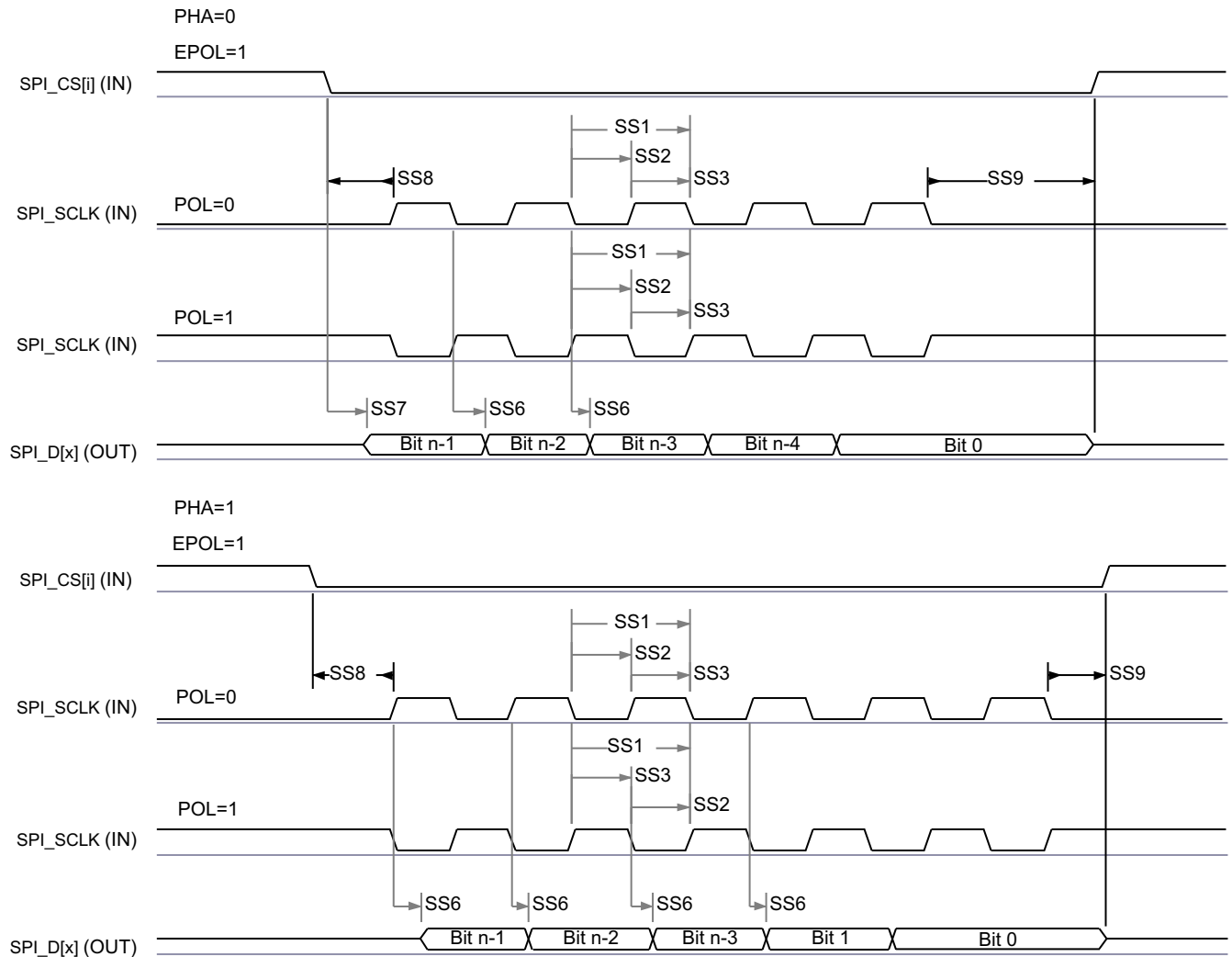
SPRSP08_TIMING_McSPI_04

图 6-43. SPI 外设模式接收时序

6.11.5.11.5 SPI 外设模式开关特性

编号	参数	说明	最小值	最大值	单位
正常模式					

编号	参数	说明	最小值	最大值	单位
SS6	$t_d(\text{SPICLK-SOMI})$	延迟时间, SPI_SCLK 有效边沿到 MCSPI_SOMI 转换	2	17.12	ns
SS7	$t_{sk}(\text{CS-SOMI})$	延迟时间, SPI_CS[i] 有效边沿到 MCSPI_SOMI 转换	20.95		ns



SPRSP08_TIMING_McSPI_03

图 6-44. SPI 外设模式发送时序

6.11.5.12 多媒体卡/安全数字 (MMCSD)

MMCSD 主机控制器提供用于连接嵌入式多媒体卡 (MMC) 和安全数字 (SD) 器件的接口。MMCSD 主机控制器在传输级别处理 MMC/SD 协议、数据打包、添加循环冗余校验 (CRC)、开始/结束位插入以及语法正确性检查

有关更多信息, 请参阅器件 TRM 的外设一章中的多媒体卡/安全数字 (MMCSD) 接口一节。

6.11.5.12.1 MMC 时序条件

参数		模式	最小值	最大值	单位
输入条件					
SR _I	输入压摆率	默认速度	0.69	2.06	V/ns
		高速	0.69	2.06	V/ns
输出条件					
C _L	输出负载电容	默认速度	1	10	pF
		高速	1	10	pF

6.11.5.12.2 MMC 时序要求 - SD 卡默认速度模式

编号	参数	说明	最小值	最大值	单位
DS1	$t_{su(cmdV-clkH)}$	建立时间, 在 MMC_CLK 上升沿之前 MMC_CMD 有效	2.15		ns
DS2	$t_{h(clkH-cmdV)}$	保持时间, 在 MMC_CLK 上升沿之后 MMC_CMD 有效	19.67		ns
DS3	$t_{su(dV-clkH)}$	建立时间, 在 MMC_CLK 上升沿之前 MMC_DAT[3:0] 有效	2.15		ns
DS4	$t_{h(clkH-dV)}$	保持时间, 在 MMC_CLK 上升沿之后 MMC_DAT[3:0] 有效	19.67		ns

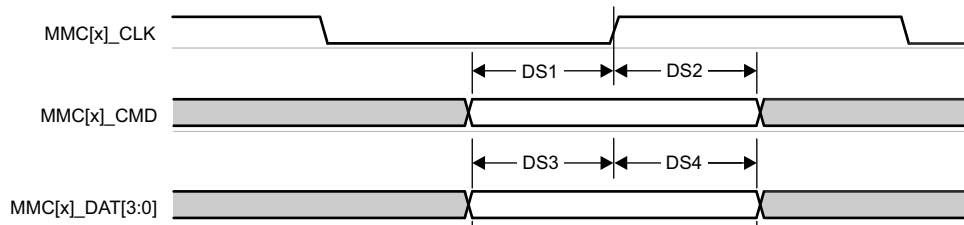


图 6-45. MMC - 默认速度 - 接收模式

6.11.5.12.3 MMC 开关特性 - SD 卡默认速度模式

编号	参数	说明	最小值	最大值	单位
	$f_{op(clk)}$	工作频率, MMC_CLK		25	MHz
DS5	$t_{c(clk)}$	运行周期, MMC_CLK		40	ns
DS6	$t_{w(clkH)}$	脉冲持续时间, MMC_CLK 高电平	18.7		ns
DS7	$t_{w(clkL)}$	脉冲持续时间, MMC_CLK 低电平	18.7		ns
DS8	$t_{d(clkL-cmdV)}$	延迟时间, MMC_CLK 下降沿到 MMC_CMD 转换	-14.1	14.1	ns
DS9	$t_{d(clkL-dV)}$	延迟时间, MMC_CLK 下降沿到 MMC_DAT[3:0] 转换	-14.1	14.1	ns

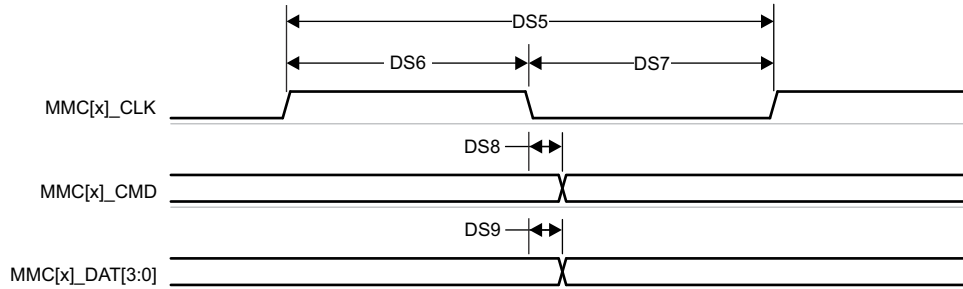


图 6-46. MMC- 默认速度 - 发送模式

6.11.5.12.4 MMC 时序要求 - SD 卡高速模式

编号	参数	说明	最小值	最大值	单位
HS1	$t_{su(cmdV-clkH)}$	建立时间, 在 MMC_CLK 上升沿之前 MMC_CMD 有效	2.15		ns
HS2	$t_{h(clkH-cmdV)}$	保持时间, 在 MMC_CLK 上升沿之后 MMC_CMD 有效	2.67		ns
HS3	$t_{su(dV-clkH)}$	建立时间, 在 MMC_CLK 上升沿之前 MMC_DAT[3:0] 有效	2.15		ns
HS4	$t_{h(clkH-dV)}$	保持时间, 在 MMC_CLK 上升沿之后 MMC_DAT[3:0] 有效	2.67		ns

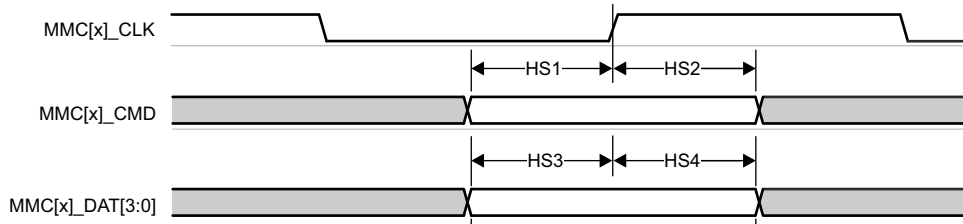


图 6-47. MMC - 高速 - 接收模式

6.11.5.12.5 MMC 开关特性 - SD 卡高速模式

编号	参数	说明	最小值	最大值	单位
	$f_{op(clk)}$	工作频率, MMC_CLK		50	MHz
HS5	$t_{c(clk)}$	运行周期, MMC_CLK		20	ns
HS6	$t_{w(clkH)}$	脉冲持续时间, MMC_CLK 高电平	9.2		ns
HS7	$t_{w(clkL)}$	脉冲持续时间, MMC_CLK 低电平	9.2		ns
HS8	$t_{d(clkL-cmdV)}$	延迟时间, MMC_CLK 下降沿到 MMC_CMD 转换	-7.35	3.35	ns
HS9	$t_{d(clkL-dV)}$	延迟时间, MMC_CLK 下降沿到 MMC_DAT[3:0] 转换	-7.35	3.35	ns

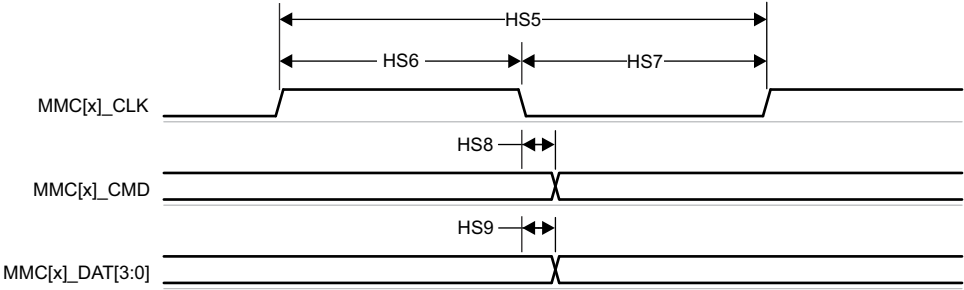


图 6-48. MMC - 高速 - 发送模式

6.11.5.13 八进制串行外设接口 (OSPI)

OSPI 提供两种数据捕获模式：PHY 模式和 Tap 模式。

PHY 模式使用内部基准时钟通过基于 DLL 的 PHY 发送和接收数据，在这种模式下，每个基准时钟周期为单倍数据速率 (SDR) 传输生成一个周期的 OSPI_CLK，或为双倍数据速率 (DDR) 传输生成半个周期的 OSPI_CLK。PHY 模式支持接收数据捕获时钟的三种时钟拓扑。内部 PHY 环回 - 使用内部基准时钟作为 PHY 接收数据采集时钟。内部焊盘环回 - 使用从 OSPI_LBCLKO 引脚环回到 PHY 的 OSPI_LBCLKO 作为 PHY 接收数据采集时钟。DQS - 使用所连接器件的 DQS 输出作为 PHY 接收数据采集时钟。使用内部焊盘环回和 DQS 时钟拓扑时，不支持 SDR 传输。使用内部 PHY 环回或内部焊盘环回时钟拓扑时，不支持 DDR 传输。

Tap 模式使用具有可选 Tap 的内部基准时钟来调整相对于 OSPI_CLK 的数据发送和接收捕获延迟，OSPI_CLK 是 SDR 传输的内部基准时钟的 4 分频或 DDR 传输的内部基准时钟的 8 分频。Tap 模式仅支持接收数据捕获时钟的一种时钟拓扑。无环回 - 使用内部基准时钟作为 Tap 接收数据捕获时钟。此时钟拓扑支持 200MHz 的最大内部基准时钟速率，从而在 SDR 模式下产生高达 50MHz 的 OSPI_CLK 速率，或在 DDR 模式下产生高达 25MHz 的 OSPI_CLK 速率。

OSPI PHY 模式 定义了与 PHY 模式相关的时序要求和开关特性，**OSPI Tap 模式** 定义了与 Tap 模式相关的时序要求和开关特性。

OSPI 时序条件 显示了 OSPI 的时序条件。

有关更多信息，请参阅器件 TRM 的中的 **八路串行外设接口 (OSPI)** 一节。

6.11.5.13.1 OSPI 时序条件

参数	模式	最小值	最大值	单位
输入条件				
SR _I	输入压摆率	2	6	V/ns
输出条件				
C _L	输出负载电容	3	15	pF
PCB 连接要求				
t _d (Trace Delay)	OSPI_CLK 布线的传播延迟 ⁽¹⁾	无环回 内部 PHY 环回 内部焊盘环回	450	ps
	OSPI_DQS 布线的传播延迟	DQS	L ⁽²⁾ - 30 L ⁽²⁾ + 30	ps
t _d (Trace Delay)	OSPI_LBCLKO 布线传播延迟	外部电路板环回	2L ⁽²⁾ - 30 2L ⁽²⁾ + 30	ps
t _d (Trace Mismatch Delay)	OSPI_D[7:0] 和 OSPI_CS[n:1:0] 相对于 OSPI_CLK 的传播延迟不匹配	所有模式	60	ps

(1) 使用 DQS 时钟拓扑时不适用

(2) L = OSPI_CLK 布线的传播延迟

6.11.5.13.2 OSPI PHY 模式

6.11.5.13.2.1 具有 PHY 数据训练的 OSPI

读取和写入数据有效窗口将因工艺、电压、温度和工作频率的变化而发生变化。可以实现数据训练方法，以动态配置最优读取和写入时序。实现数据训练可以在特定工艺、电压和频率工作条件下的温度范围内实现正常运行，同时实现更高的工作频率。

由于数据传输和接收时序参数会根据运行条件进行动态调整，因此未针对数据训练用例定义这些参数。

6.11.5.13.2.1.1 用于 PHY 数据训练的 OSPI DLL 延迟映射

模式	OSPI_PHY_CONFIGURATION_REG 位字段	延迟值
发送		
所有模式	PHY_CONFIG_TX_DLL_DELAY_FLD	⁽¹⁾

模式	OSPI_PHY_CONFIGURATION_REG 位字段	延迟值
接收		
所有模式	PHY_CONFIG_RX_DLL_DELAY_FLD	(2)

- (1) 发送由训练软件确定的 DLL 延迟值
(2) 接收由训练软件确定的 DLL 延迟值

6.11.5.13.2.1.2 OSPI 时序要求 - PHY 数据训练

编号	参数	说明	模式	最小值	最大值	单位
O15	$t_{su}(D-LBCLK)$	建立时间, 在有效 OSPI_DQS 边沿之前 OSPI_D[7:0] 有效	具有 DQS 的 DDR	(1)		ns
O16	$t_h(LBCLK-D)$	保持时间, 在有效 OSPI_DQS 边沿之后 OSPI_D[7:0] 有效	具有 DQS 的 DDR	(1)		ns

- (1) 当使用数据训练查找合适的窗口时, 未定义 OSPI_D[7:0] 输入的最小建立和保持时间要求。

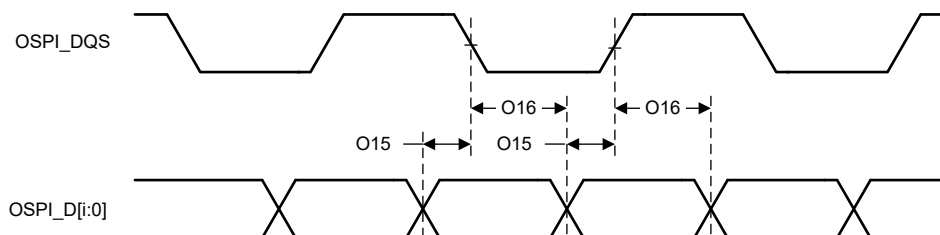


图 6-49. OSPI 时序要求 - PHY 数据训练, 具有 DQS 的 DDR

6.11.5.13.2.1.3 OSPI 开关特性 - PHY 数据训练

编号	参数	说明	模式	最小值	最大值	单位
O1	$t_c(CLK)$	周期时间, OSPI_CLK	1.8V, DDR	6.024		ns
			3.3V, DDR	7.52		ns
O2	$t_w(CLKL)$	脉冲持续时间, OSPI_CLK 低电平	DDR	$0.475P^{(1)} - 0.3$		ns
O3	$t_w(CLKH)$	脉冲持续时间, OSPI_CLK 高电平	DDR	$0.475P^{(1)} - 0.3$		ns
O4	$t_d(CSn-CLK)$	延迟时间, OSPI_CSn[1:0] 有效边沿到 OSPI_CLK 上升沿	DDR	$0.475P^{(1)} + (0.975 \times M^{(2)} \times R^{(4)}) + 0.35TD^{(5)} - 1$	$0.525P^{(1)} + (1.025 \times M^{(2)} \times R^{(4)}) + 0.95TD^{(5)} + 1$	ns
O5	$t_d(CLK-CSn)$	延迟时间, OSPI_CLK 上升沿到 OSPI_CSn[1:0] 无效边沿	DDR	$0.475P^{(1)} + (0.975 \times N^{(3)} \times R^{(4)}) - 0.35TD^{(5)} - 1$	$0.525P^{(1)} + (1.025 \times N^{(3)} \times R^{(4)}) - 0.95TD^{(5)} + 1$	ns
O6	$t_d(CLK-D)$	延迟时间, OSPI_CLK 有效边沿到 OSPI_D[7:0] 转换	DDR	(6)	(6)	ns

- (1) P = OSPI_CLK 周期时间 = SCLK 周期 (以 ns 为单位)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = REFCLK 周期时间 (以 ns 为单位)
(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD
(6) 当使用数据训练查找合适的窗口时, 不定义 OSPI_D[7:0] 输出的最小和最大延迟时间。

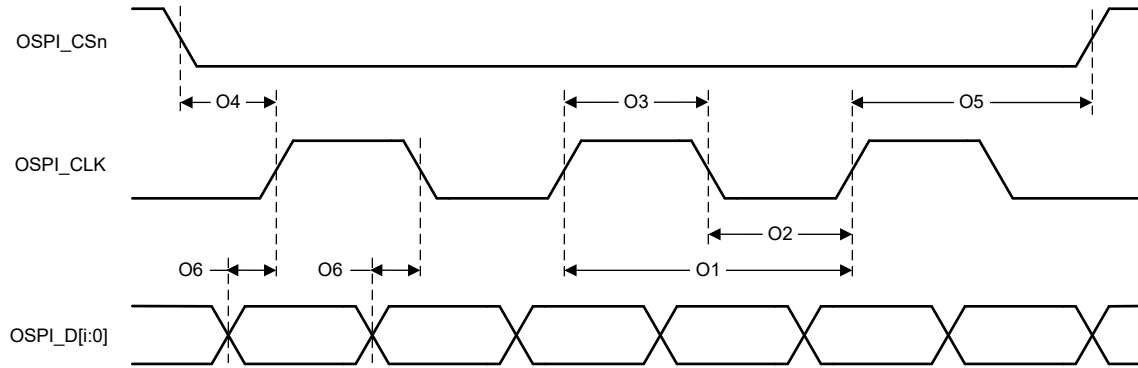


图 6-50. OSPI 开关特性 - PHY DDR 数据训练

6.11.5.13.2.2 无数据训练的 OSPI0

备注

本节中定义的时序参数仅在以下情况下适用于 OSPI0 接口：未执行数据训练且按 [PHY SDR 时序模式的 OSPI0 DLL 延迟映射](#) 和 [PHY DDR 时序模式的 OSPI0 DLL 延迟映射](#) 中所述配置了 DLL 延迟。

6.11.5.13.2.2.1 OSPI0 PHY SDR 时序

6.11.5.13.2.2.1.1 PHY SDR 时序模式的 OSPI0 DLL 延迟映射

模式	OSPI_PHY_CONFIGURATION_REG 位字段	延迟值
发送		
1.8V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x23
3.3V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x2F
接收		
1.8V, 内部 PHY 环回	PHY_CONFIG_RX_DLL_DELAY_FLD	0x3C
3.3V, 内部 PHY 环回	PHY_CONFIG_RX_DLL_DELAY_FLD	0x32
1.8V, 外部电路板环回	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0
3.3V, 外部电路板环回	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0

6.11.5.13.2.2.1.2 OSPI0 时序要求 - PHY SDR 模式

编号	参数	说明	模式	最小值	最大值	单位
O19	$t_{su}(D-CLK)$	建立时间，在有效 OSPI_CLK 边沿之前 OSPI_D[7:0] 有效	1.8V, 具有内部 PHY 环回的 SDR	6		ns
			3.3V, 具有内部 PHY 环回的 SDR	7		ns
O20	$t_h(CLK-D)$	保持时间，在有效 OSPI_CLK 边沿之后 OSPI_D[7:0] 有效	1.8V, 具有内部 PHY 环回的 SDR	0.25		ns
			3.3V, 具有内部 PHY 环回的 SDR	0		ns

编号	参数	说明	模式	最小值	最大值	单位
O21	$t_{su}(D-LBCLK)$	建立时间，在有效 OSPI_DQS 边沿之前 OSPI_D[7:0] 有效	1.8V，具有外部电路板环回的 SDR	6		ns
			3.3V，具有外部电路板环回的 SDR	7		ns
O22	$t_h(LBCLK-D)$	保持时间，在有效 OSPI_DQS 边沿之后 OSPI_D[7:0] 有效	1.8V，具有外部电路板环回的 SDR	2		ns
			3.3V，具有外部电路板环回的 SDR	2		ns

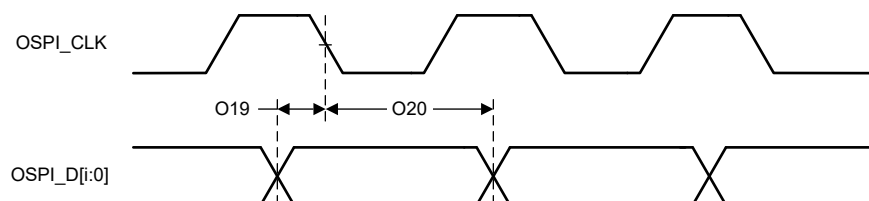


图 6-51. OSPI 时序要求 - 具有内部 PHY 环回的 PHY SDR

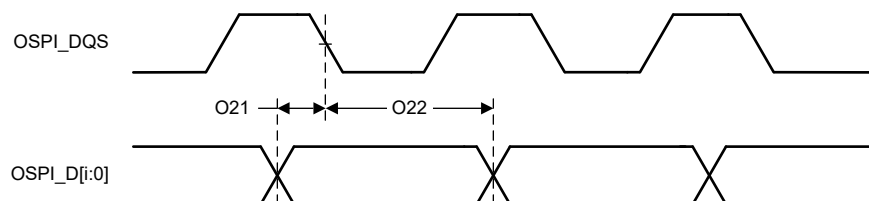


图 6-52. OSPI 时序要求 - 具有外部电路板环回的 PHY SDR

6.11.5.13.2.2.1.3 OSPI0 开关特性 - PHY SDR 模式

编号	参数	说明	模式	最小值	最大值	单位
O7	$t_c(CLK)$	周期时间，OSPI_CLK		12.5		ns
O8	$t_w(CLKL)$	脉冲持续时间，OSPI_CLK 低电平		$0.475P^{(1)} - 0.3$		ns
O9	$t_w(CLKH)$	脉冲持续时间，OSPI_CLK 高电平		$0.475P^{(1)} - 0.3$		ns
O10	$t_d(CSn-CLK)$	延迟时间，OSPI_CSn[1:0] 有效边沿到 OSPI_CLK 上升沿		$0.475P^{(1)} + (0.975 \times M^{(2)} \times R^{(4)}) - 1$	$0.525P^{(1)} + (1.025 \times M^{(2)} \times R^{(4)}) + 1$	ns
O11	$t_d(CLK-CSn)$	延迟时间，OSPI_CLK 上升沿到 OSPI_CSn[1:0] 无效边沿		$0.475P^{(1)} + (0.975 \times N^{(3)} \times R^{(4)}) - 1$	$0.525P^{(1)} + (1.025 \times N^{(3)} \times R^{(4)}) + 1$	ns
O12	$t_d(CLK-D)$	延迟时间，OSPI_CLK 有效边沿到 OSPI_D[7:0] 转换	1.8V	-1.5	-3.8	ns
			3.3V	-2	-5.15	ns

- (1) P = CLK 周期时间 = SCLK 周期 (以 ns 为单位)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = REFCLK 周期时间 (以 ns 为单位)

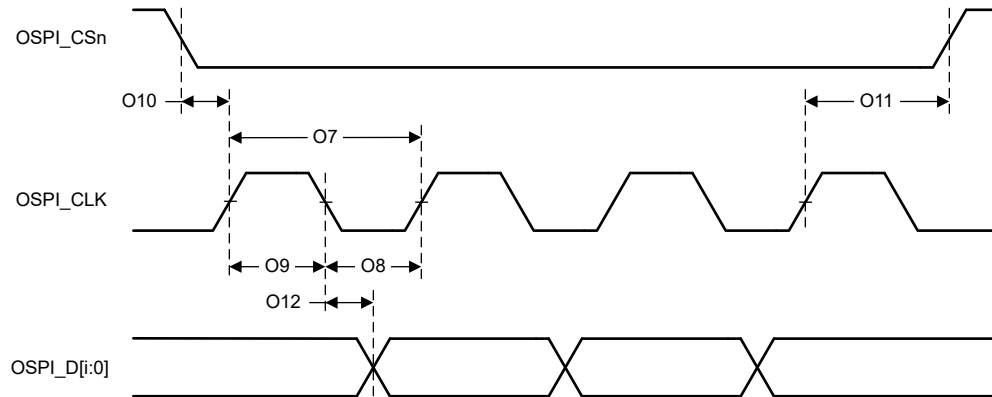


图 6-53. OSPI 开关特性 - PHY SDR

6.11.5.13.2.2.2 OSPI0 PHY DDR 时序

6.11.5.13.2.2.2.1 PHY DDR 时序模式的 OSPI0 DLL 延迟映射

模式	OSPI_PHY_CONFIGURATION_REG 位字段	延迟值
发送		
1.8V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x1E
3.3V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x1E
接收		
1.8V, DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x14
3.3V, DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x19
1.8V, 具有外部电路板环回的 DDR	PHY_CONFIG_RX_DLL_DELAY_FLD	0x64
3.3V, 具有外部电路板环回的 DDR	PHY_CONFIG_RX_DLL_DELAY_FLD	0x69

6.11.5.13.2.2.2.2 OSPI0 时序要求 - PHY DDR 模式

编号	参数	说明	模式	最小值	最大值	单位
O15	$t_{su}(D-LBCLK)$	建立时间, 在有效 OSPI_DQS 边沿之前 OSPI_D[7:0] 有效	1.8V, 具有 DQS 的 DDR	0.400		ns
			3.3V, 具有 DQS 的 DDR	0.800		ns
			1.8V, 具有外部电路板环回的 DDR	6		ns
			3.3V, 具有外部电路板环回的 DDR	7		ns
O16	$t_h(LBCLK-D)$	保持时间, 在有效 OSPI_DQS 边沿之后 OSPI_D[7:0] 有效	1.8V, 具有 DQS 的 DDR	0.500		ns
			3.3V, 具有 DQS 的 DDR	0.400		ns
			1.8V, 具有外部电路板环回的 DDR	0		ns
			3.3V, 具有外部电路板环回的 DDR	0		ns

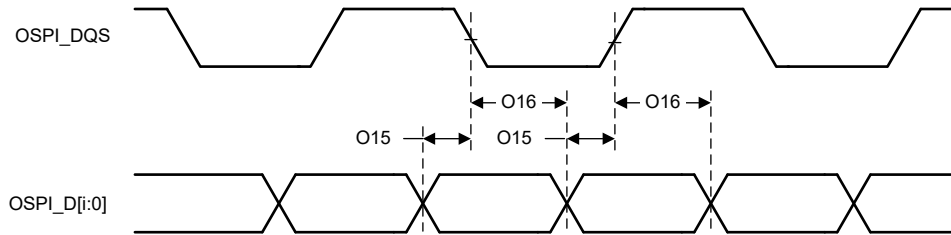


图 6-54. OSPI 时序要求 - 具有外部电路板环回或 DQS 的 PHY DDR

6.11.5.13.2.2.3 OSPI0 开关特性 - PHY DDR 模式

编号	参数	说明	模式	最小值	最大值	单位
O1	$t_{c}(\text{CLK})$	周期时间, OSPI_CLK		12.5		ns
O2	$t_{w}(\text{CLKL})$	脉冲持续时间, OSPI_CLK 低电平		$0.475P^{(1)} - 0.3$		ns
O3	$t_{w}(\text{CLKH})$	脉冲持续时间, OSPI_CLK 高电平		$0.475P^{(1)} - 0.3$		ns
O4	$t_{d}(\text{CSn-CLK})$	延迟时间, OSPI_CS[n:1:0] 有效边沿到 OSPI_CLK 上升沿		$0.475P^{(1)} - (0.975 \times M^{(2)} \times R^{(4)})$	$0.525P^{(1)} - (1.025 \times M^{(2)} \times R^{(4)}) + 7$	ns
O5	$t_{d}(\text{CLK-CSn})$	延迟时间, OSPI_CLK 上升沿到 OSPI_CS[n:1:0] 无效边沿		$0.475P^{(1)} + (0.975 \times N^{(3)} \times R^{(4)}) - 7$	$0.525P^{(1)} + (1.025 \times N^{(3)} \times R^{(4)})$	ns
O6	$t_{d}(\text{CLK-D})$	延迟时间, OSPI_CLK 有效边沿到 OSPI_D[7:0] 转换	1.8V	-1.45	-3.4	ns
			3.3V	-1.45	-3.6	ns

- (1) P = OSPI_CLK 周期时间 = SCLK 周期 (以 ns 为单位)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = REFCLK 周期时间 (以 ns 为单位)

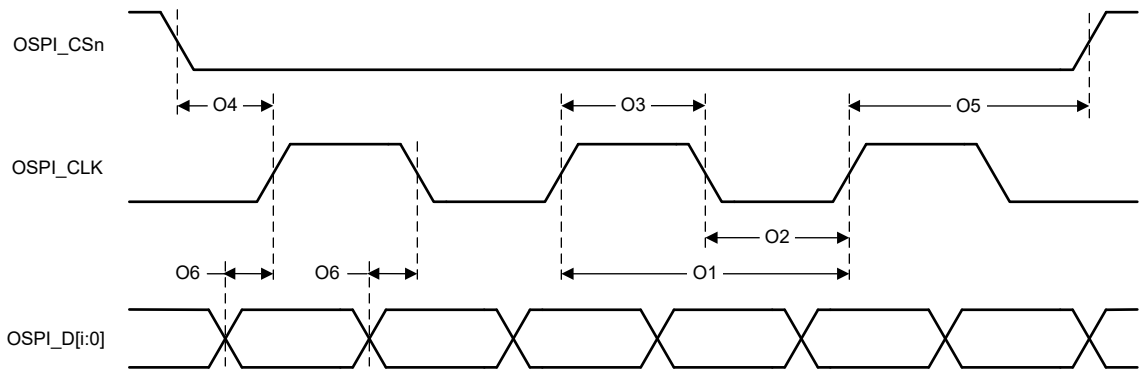


图 6-55. OSPI 开关特性 - PHY DDR

6.11.5.13.2.3 无数据训练的 OSPI1

备注

本节中定义的时序参数仅在以下情况下适用于 OSPI1 接口：未执行数据训练且按 [PHY SDR 时序模式的 OSPI1 DLL 延迟映射](#) 和 [PHY DDR 时序模式的 OSPI1 DLL 延迟映射](#) 中所述配置了 DLL 延迟。

6.11.5.13.2.3.1 OSPI1 PHY SDR 时序

6.11.5.13.2.3.1.1 PHY SDR 时序模式的 OSPI1 DLL 延迟映射

模式	OSPI_PHY_CONFIGURATION_REG 位字段	延迟值
发送		
1.8V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x20

模式	OSPI_PHY_CONFIGURATION_REG 位字段	延迟值
3.3V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x2F
接收		
1.8V, 内部 PHY 环回	PHY_CONFIG_RX_DLL_DELAY_FLD	0x40
3.3V, 内部 PHY 环回	PHY_CONFIG_RX_DLL_DELAY_FLD	0x32
1.8V, 外部电路板环回	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0
3.3V, 外部电路板环回	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0

6.11.5.13.2.3.1.2 OSPI1 时序要求 - PHY SDR 模式

编号	参数	说明	模式	最小值	最大值	单位
O19	$t_{su}(D-CLK)$	建立时间, 在有效 OSPI_CLK 边沿之前 OSPI_D[7:0] 有效	1.8V, 具有内部 PHY 环回的 SDR	6		ns
			3.3V, 具有内部 PHY 环回的 SDR	7		ns
O20	$t_h(CLK-D)$	保持时间, 在有效 OSPI_CLK 边沿之后 OSPI_D[7:0] 有效	1.8V, 具有内部 PHY 环回的 SDR	0.25		ns
			3.3V, 具有内部 PHY 环回的 SDR	0		ns
O21	$t_{su}(D-LBCLK)$	建立时间, 在有效 OSPI_DQS 边沿之前 OSPI_D[7:0] 有效	1.8V, 具有外部电路板环回的 SDR	6		ns
			3.3V, 具有外部电路板环回的 SDR	7		ns
O22	$t_h(LBCLK-D)$	保持时间, 在有效 OSPI_DQS 边沿之后 OSPI_D[7:0] 有效	1.8V, 具有外部电路板环回的 SDR	2		ns
			3.3V, 具有外部电路板环回的 SDR	2		ns

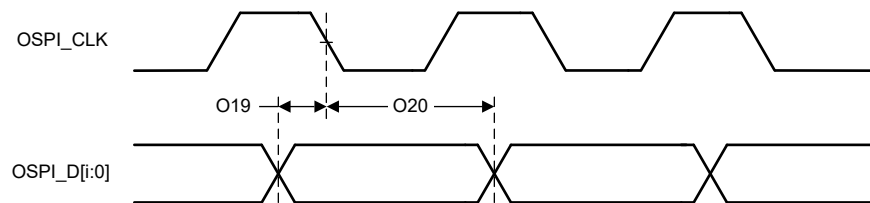


图 6-56. OSPI 时序要求 - 具有内部 PHY 环回的 PHY SDR

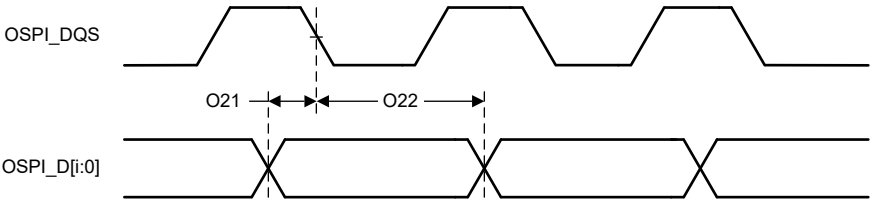


图 6-57. OSPI 时序要求 - 具有外部电路板环回的 PHY SDR

6.11.5.13.2.3.1.3 OSPI1 开关特性 - PHY SDR 模式

编号	参数	说明	模式	最小值	最大值	单位
O7	$t_c(\text{CLK})$	周期时间, OSPI_CLK		12.5		ns
O8	$t_w(\text{CLKL})$	脉冲持续时间, OSPI_CLK 低电平		$0.475P^{(1)} - 0.3$		ns
O9	$t_w(\text{CLKH})$	脉冲持续时间, OSPI_CLK 高电平		$0.475P^{(1)} - 0.3$		ns
O10	$t_d(\text{CSn-CLK})$	延迟时间, OSPI_CS _n [1:0] 有效边沿到 OSPI_CLK 上升沿		$0.475P^{(1)} + (0.975 \times M^{(2)} \times R^{(4)}) - 1$	$0.525P^{(1)} + (1.025 \times M^{(2)} \times R^{(4)}) + 1$	ns
O11	$t_d(\text{CLK-CSn})$	延迟时间, OSPI_CLK 上升沿到 OSPI_CS _n [1:0] 无效边沿		$0.475P^{(1)} + (0.975 \times N^{(3)} \times R^{(4)}) - 1$	$0.525P^{(1)} + (1.025 \times N^{(3)} \times R^{(4)}) + 1$	ns
O12	$t_d(\text{CLK-D})$	延迟时间, OSPI_CLK 有效边沿到 OSPI_D[7:0] 转换	1.8V	-1.6	-3.9	ns
			3.3V	-2.12	-5.2	ns

- (1) P = CLK 周期时间 = SCLK 周期 (以 ns 为单位)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = REFCLK 周期时间 (以 ns 为单位)

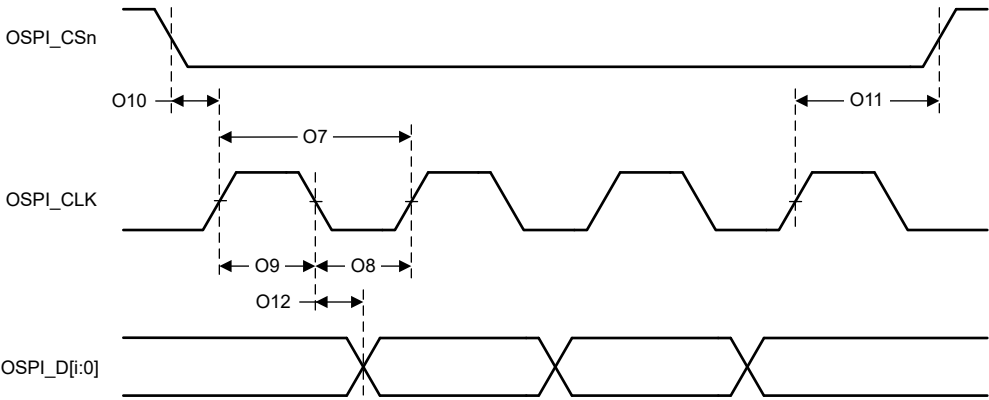


图 6-58. OSPI 开关特性 - PHY SDR

6.11.5.13.2.3.2 OSPI1 PHY DDR 时序

6.11.5.13.2.3.2.1 PHY DDR 时序模式的 OSPI1 DLL 延迟映射

模式	OSPI_PHY_CONFIGURATION_REG 位字段	延迟值
发送		
1.8V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x1E
3.3V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x1E
接收		
1.8V, DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x14
3.3V, DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x19

模式	OSPI_PHY_CONFIGURATION_REG 位字段	延迟值
1.8V, 具有外部电路板环回的 DDR	PHY_CONFIG_RX_DLL_DELAY_FLD	0x64
3.3V, 具有外部电路板环回的 DDR	PHY_CONFIG_RX_DLL_DELAY_FLD	0x69

6.11.5.13.2.3.2.2 OSPI1 时序要求 - PHY DDR 模式

编号	参数	说明	模式	最小值	最大值	单位
O15	$t_{su}(D-LBCLK)$	建立时间, 在有效 OSPI_DQS 边沿之前 OSPI_D[7:0] 有效	1.8V, 具有 DQS 的 DDR	0.400		ns
			3.3V, 具有 DQS 的 DDR	0.800		ns
			1.8V, 具有外部电路板环回的 DDR	6		ns
			3.3V, 具有外部电路板环回的 DDR	7		ns
O16	$t_h(LBCLK-D)$	保持时间, 在有效 OSPI_DQS 边沿之后 OSPI_D[7:0] 有效	1.8V, 具有 DQS 的 DDR	0.500		ns
			3.3V, 具有 DQS 的 DDR	0.400		ns
			1.8V, 具有外部电路板环回的 DDR	0		ns
			3.3V, 具有外部电路板环回的 DDR	0		ns

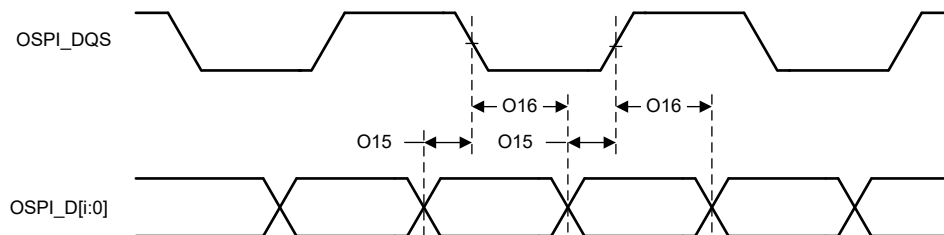


图 6-59. OSPI 时序要求 - 具有外部电路板环回或 DQS 的 PHY DDR

6.11.5.13.2.3.2.3 OSPI1 开关特性 - PHY DDR 模式

编号	参数	说明	模式	最小值	最大值	单位
O1	$t_c(CLK)$	周期时间, OSPI_CLK		12.5		ns
O2	$t_w(CLKL)$	脉冲持续时间, OSPI_CLK 低电平		0.475P ⁽¹⁾ - 0.3		ns
O3	$t_w(CLKH)$	脉冲持续时间, OSPI_CLK 高电平		0.475P ⁽¹⁾ - 0.3		ns
O4	$t_d(CSn-CLK)$	延迟时间, OSPI_CSn[1:0] 有效边沿到 OSPI_CLK 上升沿		0.475P ⁽¹⁾ - (0.975 × M ⁽²⁾ × R ⁽⁴⁾)	0.525P ⁽¹⁾ - (1.025 × M ⁽²⁾ × R ⁽⁴⁾) + 7	ns
O5	$t_d(CLK-CSn)$	延迟时间, OSPI_CLK 上升沿到 OSPI_CSn[1:0] 无效边沿		0.475P ⁽¹⁾ + (0.975 × N ⁽³⁾ × R ⁽⁴⁾) - 7	0.525P ⁽¹⁾ + (1.025 × N ⁽³⁾ × R ⁽⁴⁾)	ns
O6	$t_d(CLK-D)$	延迟时间, OSPI_CLK 有效边沿到 OSPI_D[7:0] 转换	1.8V	-1.5	-3.7	ns
			3.3V	-1.5	-3.7	ns

(1) P = OSPI_CLK 周期时间 = SCLK 周期 (以 ns 为单位)

(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]

(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]

(4) R = REFCLK 周期时间 (以 ns 为单位)

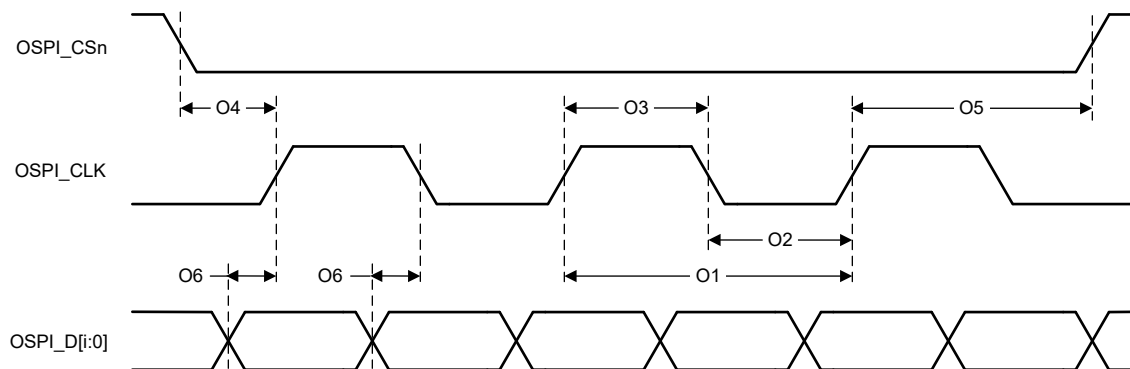


图 6-60. OSPI 开关特性 - PHY DDR

6.11.5.13.3 OSPI Tap 模式

6.11.5.13.3.1 OSPI Tap SDR 时序

6.11.5.13.3.1.1 OSPI 时序要求 - Tap SDR 模式

编号	参数	说明	模式	最小值	最大值	单位
O19	$t_{su}(D-CLK)$	建立时间, 在有效 OSPI_CLK 边沿之前 OSPI_D[7:0] 有效	无环回	$10.4 - (0.975 \times T^{(1)} \times R^{(2)})$		ns
O20	$t_h(CLK-D)$	保持时间, 在有效 OSPI_CLK 边沿之后 OSPI_D[7:0] 有效	无环回	$0.7 + (0.975 \times T^{(1)} \times R^{(2)})$		ns

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]

(2) R = REFCLK 周期时间 (以 ns 为单位)

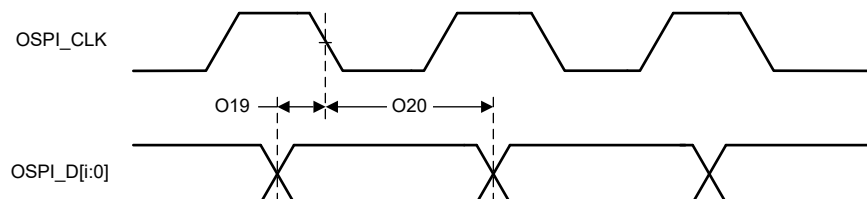


图 6-61. OSPI 时序要求 - Tap SDR, 无环回

6.11.5.13.3.1.2 (OSPI 开关特性 - Tap SDR 模式)

编号	参数	说明	模式	最小值	最大值	单位
O7	$t_c(CLK)$	周期时间, OSPI_CLK		20		ns
O8	$t_w(CLKL)$	脉冲持续时间, OSPI_CLK 低电平		$0.475P^{(1)} - 0.3$		ns
O9	$t_w(CLKH)$	脉冲持续时间, OSPI_CLK 高电平		$0.475P^{(1)} - 0.3$		ns
O10	$t_d(CSn-CLK)$	延迟时间, OSPI_CSn[1:0] 有效边沿到 OSPI_CLK 上升沿		$0.475P^{(1)} + (0.975 \times M^{(2)} \times R^{(4)}) - 1$	$0.525P^{(1)} + (1.025 \times M^{(2)} \times R^{(4)}) + 1$	ns
O11	$t_d(CLK-CSn)$	延迟时间, OSPI_CLK 上升沿到 OSPI_CSn[1:0] 无效边沿		$0.475P^{(1)} + (0.975 \times N^{(3)} \times R^{(4)}) - 1$	$0.525P^{(1)} + (1.025 \times N^{(3)} \times R^{(4)}) + 1$	ns
O12	$t_d(CLK-D)$	延迟时间, OSPI_CLK 有效边沿到 OSPI_D[7:0] 转换		-4.25	7.25	ns

(1) P = CLK 周期时间 = SCLK 周期 (以 ns 为单位)

(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]

- (3) $N = \text{OSPI_DEV_DELAY_REG}[D_AFTER_FLD]$
(4) $R = \text{REFCLK}$ 周期时间 (以 ns 为单位)

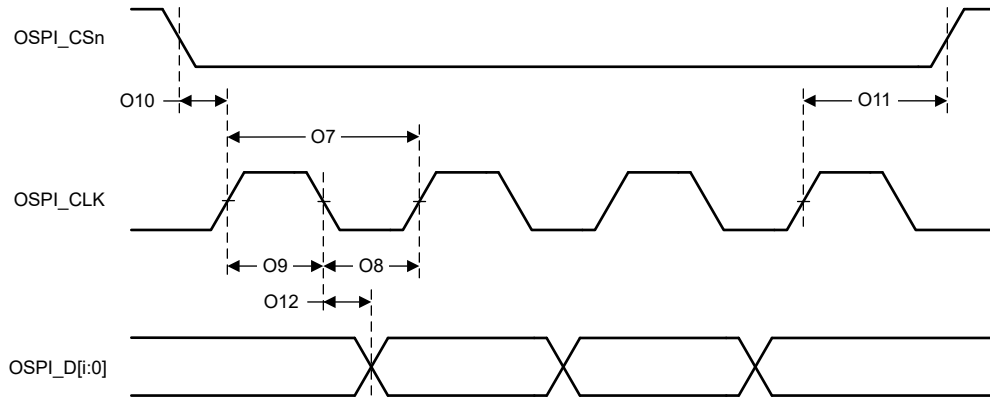


图 6-62. OSPI 开关特性 - Tap SDR，无环回

6.11.5.13.3.2 OSPI0 Tap DDR 时序

6.11.5.13.3.2.1 OSPI 时序要求 - Tap DDR 模式

编号	参数	说明	模式	最小值	最大值	单位
O13	$t_{su}(D-CLK)$	建立时间, 在有效 OSPI_CLK 边沿之前 OSPI_D[7:0] 有效	无环回	$12.04 - (0.975 \times T^{(1)} \times R^{(2)})$		ns
O14	$t_h(CLK-D)$	保持时间, 在有效 OSPI_CLK 边沿之后 OSPI_D[7:0] 有效	无环回	$1.84 + (0.975 \times T^{(1)} \times R^{(2)})$		ns

- (1) $T = \text{OSPI_RD_DATA_CAPTURE_REG}[DELAY_FLD]$
(2) $R = \text{REFCLK}$ 周期时间 (以 ns 为单位)

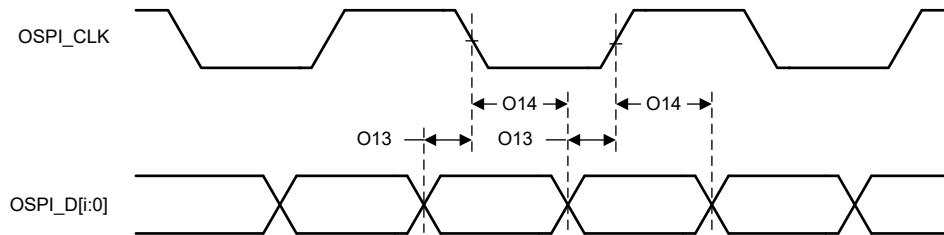


图 6-63. OSPI0 时序要求 - Tap DDR，无环回

6.11.5.13.3.2.2 (OSPI 开关特性 - Tap DDR 模式)

编号	参数	说明	模式	最小值	最大值	单位
O1	$t_c(CLK)$	周期时间, OSPI_CLK		40		ns
O2	$t_w(CLKL)$	脉冲持续时间, OSPI_CLK 低电平		$0.475P^{(1)} - 0.3$		ns
O3	$t_w(CLKH)$	脉冲持续时间, OSPI_CLK 高电平		$0.475P^{(1)} - 0.3$		ns
O4	$t_d(CSn-CLK)$	延迟时间, OSPI_CSn[1:0] 有效边沿到 OSPI_CLK 上升沿		$0.475P^{(1)} + (0.975 \times M^{(2)} \times R^{(4)}) - 1$	$0.525P^{(1)} + (1.025 \times M^{(2)} \times R^{(4)}) + 1$	ns
O5	$t_d(CLK-CSn)$	延迟时间, OSPI_CLK 上升沿到 OSPI_CSn[1:0] 无效边沿		$0.475P^{(1)} + (0.975 \times N^{(3)} \times R^{(4)}) - 1$	$0.525P^{(1)} + (1.025 \times N^{(3)} \times R^{(4)}) + 1$	ns
O6	$t_d(CLK-D)$	延迟时间, OSPI_CLK 有效边沿到 OSPI_D[7:0] 转换		$-17.94 + (0.975 \times T^{(5)} \times R^{(4)})$	$-1.56 + (1.025 \times T^{(5)} \times R^{(4)})$	ns

- (1) $P = \text{CLK}$ 周期时间 = SCLK 周期 (以 ns 为单位)

- (2) $M = \text{OSPI_DEV_DELAY_REG}[D_INIT_FLD]$
- (3) $N = \text{OSPI_DEV_DELAY_REG}[D_AFTER_FLD]$
- (4) $R = \text{REFCLK 周期时间 (以 ns 为单位)}$
- (5) $T = \text{OSPI_RD_DATA_CAPTURE_REG}[DDR_READ_DELAY_FLD]$

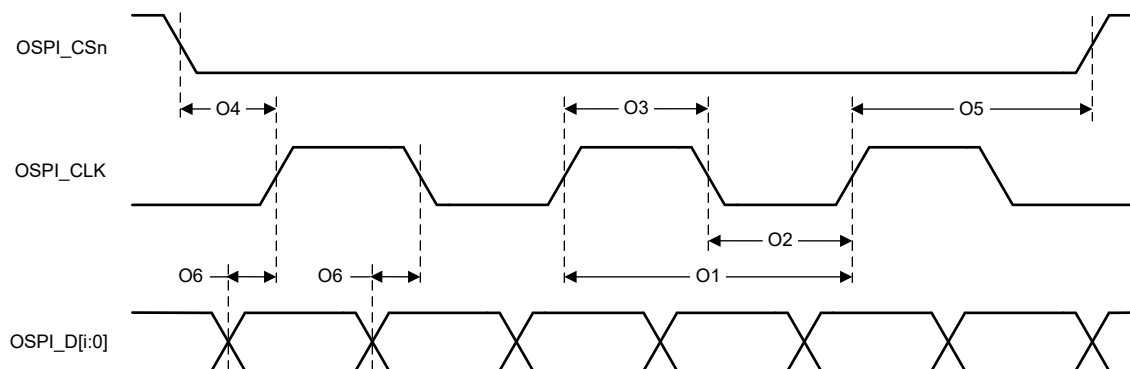


图 6-64. OSPI0 开关特性 - Tap DDR, 无环回

6.11.5.14 可编程实时单元和工业用通信子系统 (PRU-ICSS)

该器件中集成了两个独特的可编程实时单元和工业通信子系统 (PRU-ICSS0 和 PRU-ICSS1)。凭借 PRU 内核的可编程特性，以及对器件引脚、系统事件其他和器件资源的增强的 GPIO 访问权限，可以灵活地实现快速实时响应、专用数据处理操作以及定制外设接口，并灵活地减轻器件中其他处理器内核的任务负载。

有关器件 PRU-ICSS 特性的更多详情和其他说明信息，请参阅器件特定 TRM 中的相应小节。

备注

除了顶层器件引脚多路复用之外，PRU-ICSS 还需要第二层信号多路复用。有关更多详情，请参阅 PRU-ICSS TRM 一章的“环境”一节。

备注

通用 PRU-ICSS 命名和 PRU_ 前缀用于表示所有 PRU-ICSS 实例的信号名称。

6.11.5.14.1 PRU-ICSS 可编程实时单元 (PRU)

备注

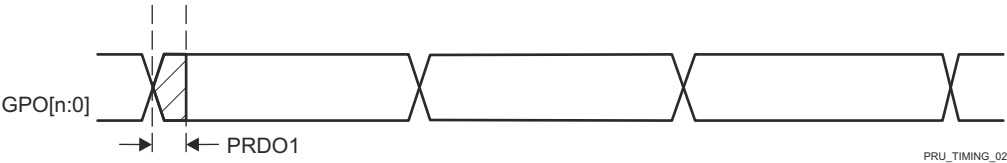
PRU-ICSS PRU 信号具有不同的功能，具体取决于运行模式。本节中的信号命名与器件 TRM 中 *PRU 模块接口* 部分使用的命名一致。

6.11.5.14.1.1 PRU-ICSS PRU 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	1	3	V/ns
输出条件				
C _L	输出负载电容	2	30	pF

6.11.5.14.1.2 PRU-ICSS PRU 开关特性 - 直接输出模式

编号	参数	说明	最小值	最大值	单位
PRDO1	t _{sk} (PRU_GPO)	PRU_GPO (数据输出) 偏差		3	ns



A. GPO[n:0] 中的 n = 19。

图 6-65. PRU-ICSS PRU 直接输出时序

6.11.5.14.1.3 PRU-ICSS PRU 时序要求 - 并行采集模式

编号	参数	说明	最小值	最大值	单位
PRPC1	t _c (PRU_CLOCK)	周期时间, PRU_CLOCK	20		ns
PRPC2	t _w (PRU_CLOCKL)	PRU_CLOCK 低电平的脉冲持续时间	10		ns
PRPC3	t _w (PRU_CLOCKH)	PRU_CLOCK 高电平的脉冲持续时间	10		ns
PRPC4	t _{su} (PRU_DATAIN-PRU_CLK)	建立时间, 在 PRU_CLOCK 有效边沿之前 PRU_DATAIN 有效	4		ns
PRPC5	t _{th} (PRU_CLOCK-PRU_DATAIN)	保持时间, 在 PRU_CLOCK 有效边沿之后 PRU_DATAIN 有效	0		ns

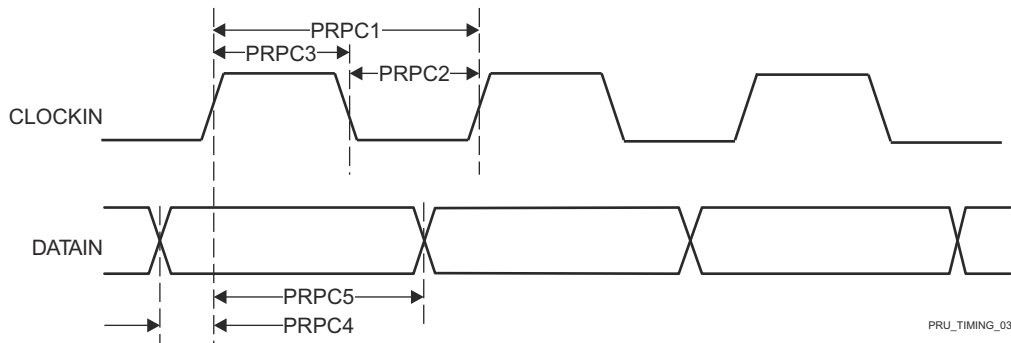


图 6-66. PRU-ICSS PRU 并行采集时序要求 - 上升沿模式

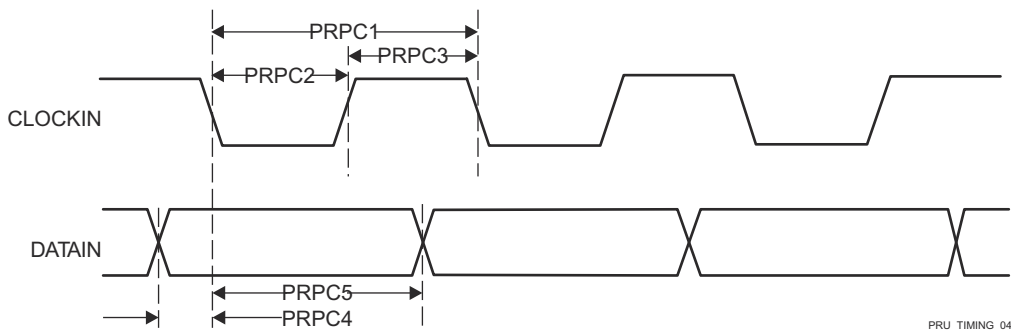


图 6-67. PRU-ICSS PRU 并行采集时序要求 - 下降沿模式

6.11.5.14.1.4 PRU-ICSS PRU 时序要求 - 移入模式

编号	参数	说明	最小值	最大值	单位
PRSI1	$t_{w(PRU_DATAINH)}$	PRU_DATAIN 高电平的脉冲持续时间	$2 + 2P^{(1)}$		ns
PRSI2	$t_{w(PRU_DATAINL)}$	PRU_DATAIN 低电平的脉冲持续时间	$2 + 2P^{(1)}$		ns

(1) P = 时钟周期的内部移位, 由 GPCFGn 寄存器中的 PRU_GPI_DIV0 和 PRU0_GPI_DIV1 位字段定义。

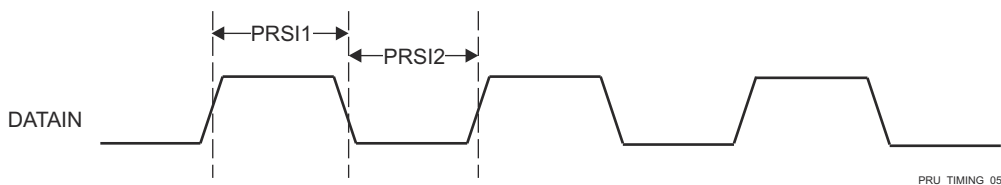


图 6-68. PRU-ICSS PRU 移入时序

6.11.5.14.1.5 PRU-ICSS PRU 开关特性 - 移出模式

编号	参数	说明	最小值	最大值	单位
PRSO1	$t_c(PRU_CLOCKOUT)$	周期时间, PRU_CLOCKOUT	10		ns
PRSO2L	$t_w(PRU_CLOCKOUTL)$	脉冲持续时间, PRU_CLOCKOUT 低电平	$-0.3 + 0.475 \times P^{(1)} \times Z^{(2)}$		ns
PRSO2H	$t_w(PRU_CLOCKOUTH)$	脉冲持续时间, PRU_CLOCKOUT 高电平	$-0.3 + 0.475 \times P^{(1)} \times Y^{(3)}$		ns
PRSO3	$t_d(PRU_CLOCKOUT-PRU_DATAOUT)$	延迟时间, PRU_CLOCKOUT 至 PRU_DATAOUT 有效的时间	0	3	ns

(1) P = 软件可编程移出时钟周期, 由 GPCFGn 寄存器中的 PRU0_GP0_Div0 和 PRU0_GPO_DIV1 位字段定义。

(2) Z 参数定义如下:

如果 PRU0_GPI_DIV0 和 PRU0_GPI_DIV1 是整数，或如果 PRU0_GPI_DIV0 为非整数且 PRU0_GPI_DIV1 为偶数，则
Z 等于 $(\text{PRU0_GPI_DIV0} * \text{PRU0_GPI_DIV1})$ 。

如果 PRU0_GPI_DIV0 为非整数，PRU0_GPI_DIV1 为奇数，则

Z 等于 $(\text{PRU0_GPI_DIV0} * \text{PRU0_GPI_DIV1} + 0.5)$ 。

如果 PRU0_GPI_DIV0 为整数而 PRU0_GPI_DIV1 为非整数，则

Z 等于 $(\text{PRU0_GPI_DIV0} * \text{PRU0_GPI_DIV1} + 0.5 * \text{PRU0_GPI_DIV0})$ 。

如果 PRU0_GPI_DIV0 和 PRU0_GPI_DIV1 是非整数，则

Z 等于 $(\text{PRU0_GPI_DIV0} * \text{PRU0_GPI_DIV1} + 0.25 * \text{PRU0_GPI_DIV0})$ 。

(3) Y 参数定义如下：

如果 PRU0_GPI_DIV0 和 PRU0_GPI_DIV1 是整数，或如果 PRU0_GPI_DIV0 为非整数且 PRU0_GPI_DIV1 为偶数，则
Y 等于 $(\text{PRU0_GPI_DIV0} * \text{PRU0_GPI_DIV1})$ 。

如果 PRU0_GPI_DIV0 为非整数，PRU0_GPI_DIV1 为奇数，则

Y 等于 $(\text{PRU0_GPI_DIV0} * \text{PRU0_GPI_DIV1} - 0.5)$ 。

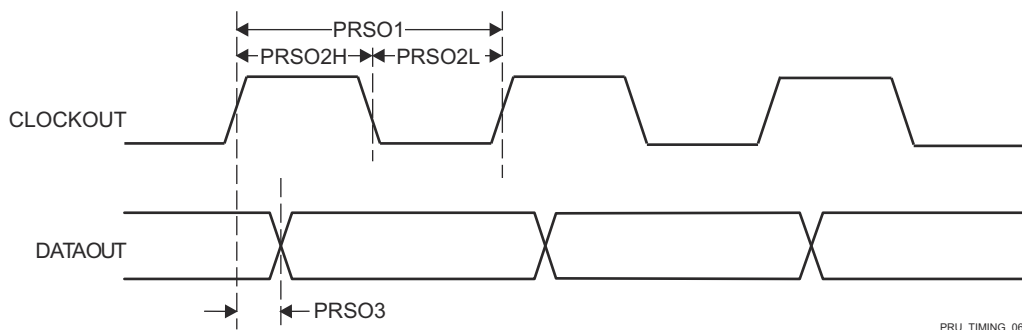
如果 PRU0_GPI_DIV0 为整数而 PRU0_GPI_DIV1 为非整数，则

Y 等于 $(\text{PRU0_GPI_DIV0} * \text{PRU0_GPI_DIV1} - 0.5 * \text{PRU0_GPI_DIV0})$ 。

如果 PRU0_GPI_DIV0 和 PRU0_GPI_DIV1 是非整数，则

Y1 等于 $(\text{PRU0_GPI_DIV0} * \text{PRU0_GPI_DIV1} - 0.25 * \text{PRU0_GPI_DIV0})$ ，

Y2 等于 $(\text{PRU0_GPI_DIV0} * \text{PRU0_GPI_DIV1} + 0.25 * \text{PRU0_GPI_DIV0})$ ，其中 Y1 为第一个高电平脉冲，Y2 为第二个高电平脉冲。



PRU_TIMING_06

图 6-69. PRU-ICSS PRU 移出时序

6.11.5.14.2 PRU-ICSS PRU Σ - Δ 和外设接口

6.11.5.14.2.1 PRU-ICSS PRU Σ - Δ 和外设接口时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	1	3	V/ns
输出条件				
C _L	输出负载电容	2	18	pF

6.11.5.14.2.2 PRU-ICSS PRU 时序要求 - Σ - Δ 模式

编号	参数	说明	最小值	最大值	单位
PRSD1	$t_{c(SD_CLK)}$	周期时间, SD_CLK	40		ns
PRSD2L	$t_{w(SD_CLKL)}$	SD_CLK 低电平的脉冲持续时间	20		ns
PRSD2H	$t_{w(SD_CLKH)}$	SD_CLK 高电平的脉冲持续时间	20		ns
PRSD3	$t_{su(SD_D-SDCLK)}$	建立时间, 在 SD_CLK 有效边沿之前 SD_D 有效	10		ns
PRSD4	$t_{su(SDCLK-SD_D)}$	保持时间, 在 SD_CLK 有效边沿之后 SD_D 有效	5		ns

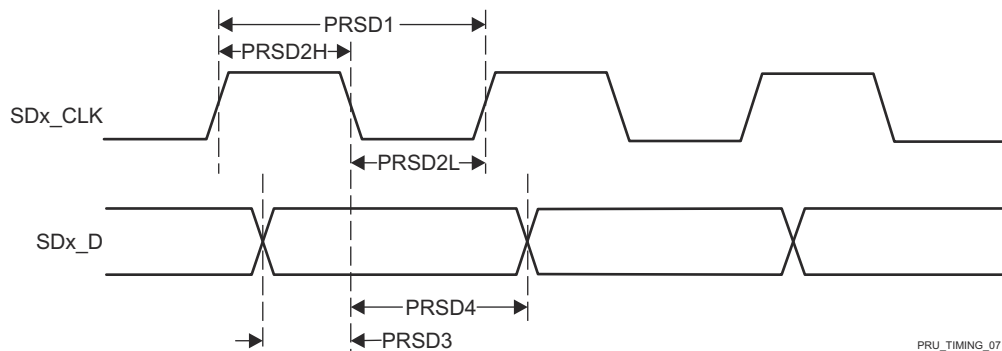


图 6-70. PRU-ICSS PRU SD_CLK 下降有效沿

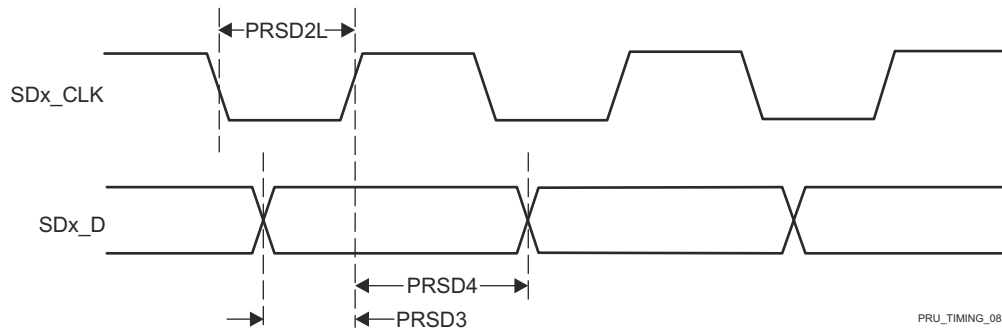


图 6-71. PRU-ICSS PRU SD_CLK 上升有效沿

6.11.5.14.2.3 PRU-ICSS PRU 时序要求 - 外设接口模式

编号	参数	说明	最小值	最大值	单位
PRPIF1	$t_{w(PIF_DATA_INH)}$	脉冲持续时间, PIF_DATA_IN 高电平	$2 + 0.475 \times (4 \times P^{(1)})$		ns

编号	参数	说明	最小值	最大值	单位
PRPIF2	$t_w(\text{PIF_DATA_INL})$	脉冲持续时间, PIF_DATA_IN 低电平	$2 + 0.475 \times (4 \times P^{(1)})$		ns

(1) $P = 1x$ (或 TX) 时钟周期, 由 CFG_ED_P<n>_TXCFG 寄存器中的 TX_DIV_FACTOR 和 TX_DIV_FACTOR_FRAC 定义。

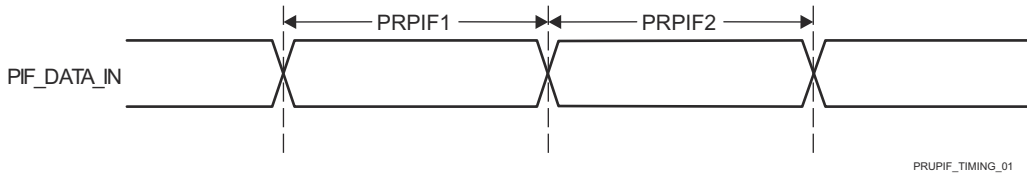


图 6-72. PRU-ICSS PRU 外设接口时序要求

6.11.5.14.2.4 PRU-ICSS PRU 开关特性 - 外设接口模式

编号	参数	说明	最小值	最大值	单位
PRPIF3	$t_c(\text{PIF_CLK})$	周期时间, PIF_CLK	30		ns
PRPIF4	$t_w(\text{PIF_CLKH})$	PIF_CLK 高电平的脉冲持续时间	$0.475P^{(1)}$		ns
PRPIF5	$t_w(\text{PIF_CLKL})$	PIF_CLK 低电平的脉冲持续时间	$0.475P^{(1)}$		ns
PRPIF6	$t_d(\text{PIF_CLK-PIF_DATA_OUT})$	延迟时间, PIF_CLK 下降到 PIF_DATA_OUT	-5	5	ns
PRPIF7	$t_d(\text{PIF_CLK-PIF_DATA_EN})$	延迟时间, PIF_CLK 下降到 PIF_DATA_EN	-5	5	ns

(1) $P = 1x$ (或 TX) 时钟周期, 由 CFG_ED_P<n>_TXCFG 寄存器中的 TX_DIV_FACTOR 和 TX_DIV_FACTOR_FRAC 定义。

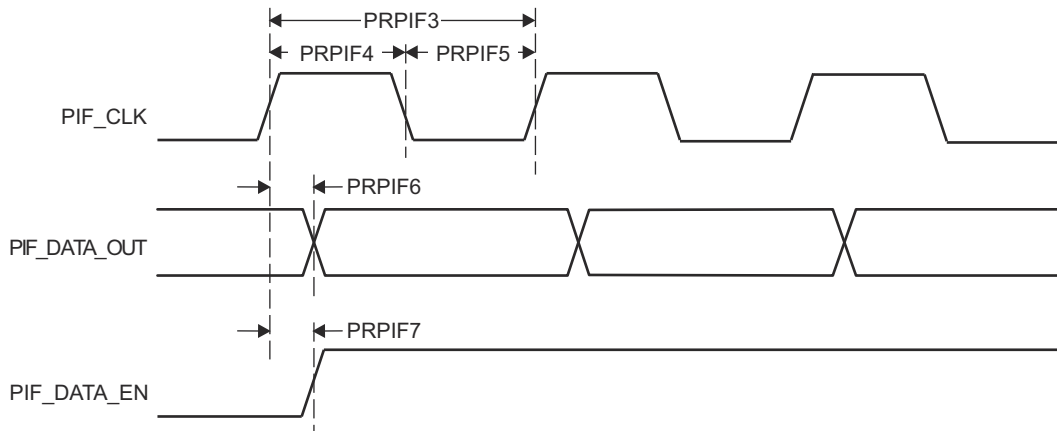


图 6-73. PRU-ICSS PRU 外设接口开关特性

6.11.5.14.3 PRU-ICSS 脉宽调制 (PWM)

6.11.5.14.3.1 PRU-ICSS PWM 时序条件

参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	1	4	V/ns
输出条件				
C _L	输出负载电容	2	7	pF

6.11.5.14.3.2 PRU-ICSS PWM 开关特性

编号	参数	说明	最小值	最大值	单位
PRPWM1	t _{sk} (PWM_A/B)	PWM_A/B 偏差		5	ns

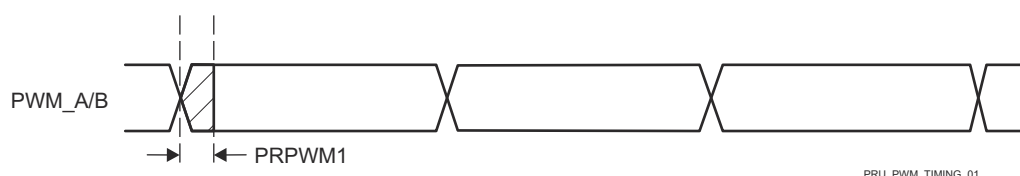


图 6-74. PRU-ICSS PWM 时序

6.11.5.14.4 PRU-ICSS 工业以太网外设 (IEP)

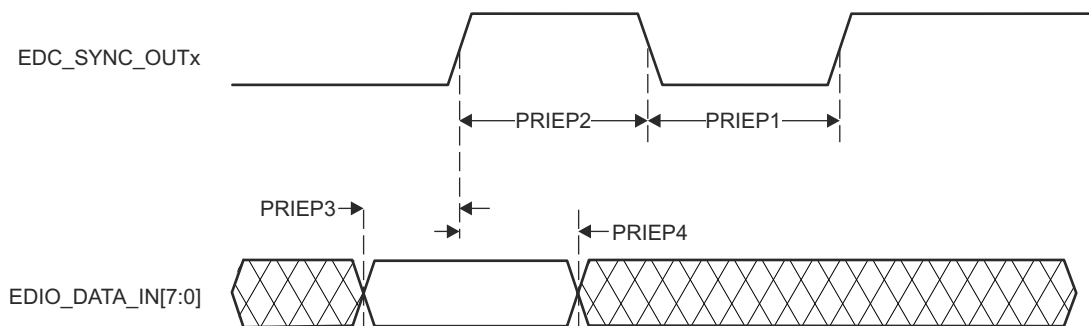
6.11.5.14.4.1 PRU-ICSS IEP 时序条件

参数	最小值	最大值	单位
输入条件			
SR_I	输入压摆率	1	3 V/ns
输出条件			
C_L	输出负载电容	1	7 pF

6.11.5.14.4.2 PRU-ICSS IEP 时序要求- 通过 SYNCx 验证输入

编号	参数	说明	最小值	最大值	单位
PRIEP1	$t_w(EDC_SYNCx_OUTL)$	EDC_SYNCx_OUT 低电平的脉冲持续时间	- 2 + 20P ⁽¹⁾		ns
PRIEP2	$t_w(EDC_SYNCx_OUTH)$	EDC_SYNCx_OUT 高电平的脉冲持续时间	- 2 + 20P ⁽¹⁾		ns
PRIEP3	$t_{su}(EDIO_DATA_IN-EDC_SYNCx_OUT)$	建立时间, 在 EDC_SYNCx_OUT 有效沿之前 EDIO_DATA_IN 有效	20		ns
PRIEP4	$t_h(EDC_SYNCx_OUT-EDIO_DATA_IN)$	保持时间, 在 EDC_SYNCx_OUT 有效沿之后 EDIO_DATA_IN 有效	20		ns

(1) P = PRU-ICSS IEP 时钟源周期。



PRU_IEP_TIMING_01

图 6-75. PRU-ICSS IEP 同步时序要求

6.11.5.14.4.3 PRU-ICSS IEP 时序要求 - 数字 IO

编号	参数	说明	最小值	最大值	单位
IEPIO1	$t_w(EDIO_OUTVALIDL)$	脉冲持续时间, EDIO_OUTVALID 低电平	- 2 + 14P ⁽¹⁾		ns
IEPIO2	$t_w(EDIO_OUTVALIDH)$	脉冲持续时间, EDIO_OUTVALID 高电平	- 2 + 32P ⁽¹⁾		ns
IEPIO3	$t_d(EDIO_OUTVALID-EDIO_DATA_OUT)$	延迟时间, EDIO_OUTVALID 到 EDIO_DATA_OUT	0	18P ⁽¹⁾	ns
IEPIO4	$t_{sk}(EDIO_DATA_OUT)$	EDIO_DATA_OUT 偏移	6		ns

(1) P = PRU-ICSS IEP 时钟源周期。

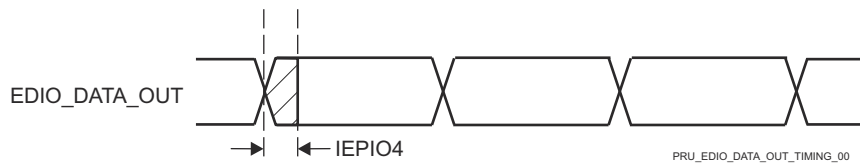


图 6-76. PRU-ICSS IEP 数字 IO 时序要求

6.11.5.14.4 PRU-ICSS IEP 时序要求 - LATCHx_IN

编号	参数	说明	最小值	最大值	单位
PRLA1	$t_w(\text{EDC_LATCHx_INL})$	脉冲持续时间, EDC_LATCHx_IN 低电平	$2 + 3P^{(1)}$		ns
PRLA2	$t_w(\text{EDC_LATCHx_INH})$	脉冲持续时间, EDC_LATCHx_IN 高电平	$2 + 3P^{(1)}$		ns

(1) P = PRU-ICSS IEP 时钟源周期。

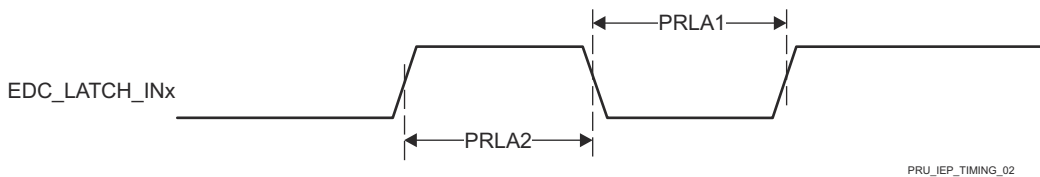


图 6-77. PRU-ICSS IEP LATCH_INx 时序要求

6.11.5.14.5 PRU-ICSS 通用异步接收器/发送器 (UART)

6.11.5.14.5.1 PRU-ICSS UART 时序条件

参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	0.01	0.33	V/ns
输出条件				
C _L	输出负载电容	1	30	pF

6.11.5.14.5.2 PRU-ICSS UART 时序要求

编号	参数	说明	最小值	最大值	单位
PRUR1H	t _w (RXH)	脉冲持续时间, 接收开始, 停止, 数据位高电平	U ⁽¹⁾		ns
PRUR1L	t _w (RXL)	脉冲持续时间, 接收开始, 停止, 数据位低电平	- 2 + U ⁽¹⁾		ns

(1) U = UART 波特时间 = 1/编程波特率。

6.11.5.14.5.3 PRU-ICSS UART 开关特性

编号	参数	说明	最小值	最大值	单位
PRUR2	f _(baud)	最大可编程波特率	U ⁽¹⁾		ns
PRUR3H	t _w (TXH)	脉冲持续时间, 发送开始, 停止, 数据位高电平	- 2 + U ⁽¹⁾		ns

(1) U = UART 波特时间 = 1/编程波特率。

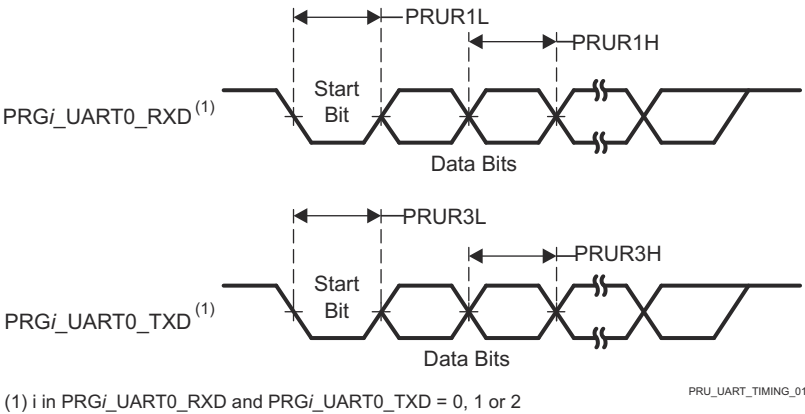


图 6-78. PRU-ICSS UART 时序要求和开关特性

6.11.5.14.6 PRU-ICSS 增强型捕获外设 (ECAP)

6.11.5.14.6.1 PRU-ICSS ECAP 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	1	3	V/ns
输出条件				
C _L	输出负载电容	2	7	pF

6.11.5.14.6.2 PRU-ICSS ECAP 时序要求

编号	参数	说明	最小值	最大值	单位
PREP1	t _w (CAP)	脉冲持续时间, 捕捉输入 (异步)	2 + 2P ⁽¹⁾		ns
PREP2	t _w (SYNCl)	脉冲持续时间, 同步输入 (异步)	2 + 2P ⁽¹⁾		ns

(1) P = CORE_CLK 周期 (以 ns 为单位)

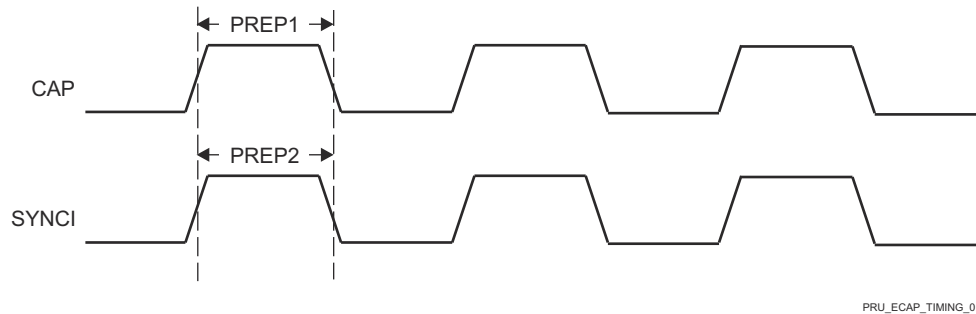


图 6-79. PRU-ICSS ECAP 时序

6.11.5.14.6.3 PRU-ICSS ECAP 开关特性

编号	参数	说明	最小值	最大值	单位
PREP3	t _w (APWM)	脉冲持续时间, 辅助 PWM (APWM) 输出高电平/低电平	2P ⁽¹⁾		ns
PREP4	t _w (SYNCO)	脉冲持续时间, 同步输出 (异步)	P ⁽¹⁾		ns

(1) P = CORE_CLK 周期 (以 ns 为单位)

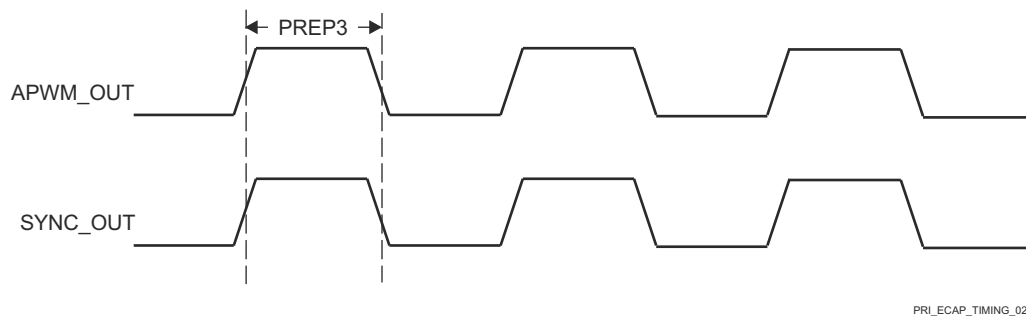


图 6-80. PRU-ICSS ECAP 开关特性

6.11.5.14.7 PRU-ICSS MDIO 和 MII

6.11.5.14.7.1 PRU-ICSS MDIO 时序

6.11.5.14.7.1.1 PRU-ICSS MDIO 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	0.9	3.6	V/ns
输出条件				
C _L	输出负载电容	10	470	pF

6.11.5.14.7.1.2 PRU-ICSS MDIO 时序要求

编号	参数	说明	最小值	最大值	单位
MDIO1	t _{su} (MDIO-MDC)	建立时间, 在 MDIO[x]_MDC 高电平之前 MDIO[x]_MDIO 有效	90		ns
MDIO2	t _h (MDC-MDIO)	保持时间, 自 MDIO[x]_MDC 高电平之后 MDIO[x]_MDIO 有效	0		ns

6.11.5.14.7.1.3 PRU-ICSS MDIO 开关特性

编号	参数	说明	最小值	最大值	单位
MDIO3	t _c (MDC)	周期时间, MDIO[x]_MDC	400		ns
MDIO4	t _w (MDCH)	脉冲持续时间, MDIO[x]_MDC 高电平	160		ns
MDIO5	t _w (MDCL)	脉冲持续时间, MDIO[x]_MDC 低电平	160		ns
MDIO7	t _d (MDC-MDIO)	延迟时间, MDIO[x]_MDC 低电平到 MDIO[x]_MDIO 有效	-150	150	ns

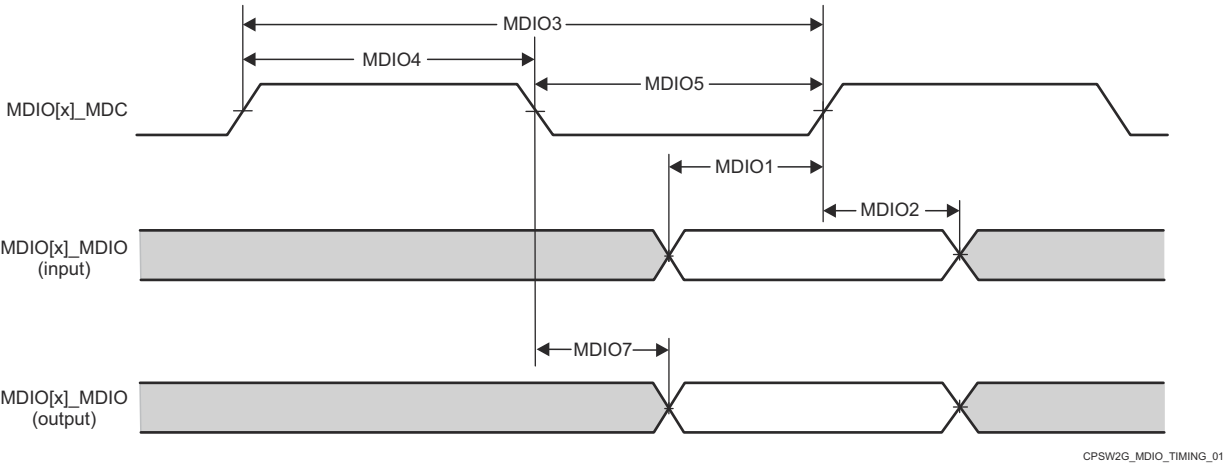


图 6-81. PRU-ICSS MDIO 时序要求和开关特性

6.11.5.14.7.2 PRU-ICSS MII 时序

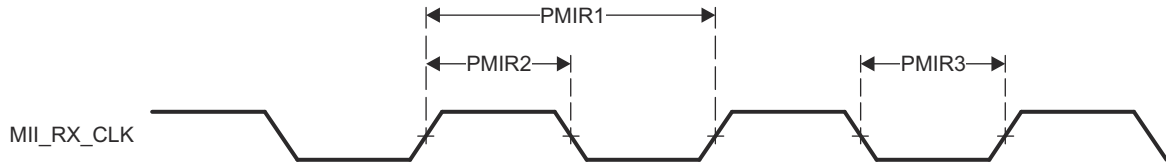
6.11.5.14.7.2.1 PRU-ICSS MII 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	0.9	3.6	V/ns

参数		最小值	最大值	单位
输出条件				
C_L	输出负载电容	2	20	pF

6.11.5.14.7.2.2 PRU-ICSS MII 时序要求 - MII[x]_RX_CLK

编号	参数	说明	模式	最小值	最大值	单位
PMIR1	$t_{C(RX_CLK)}$	周期时间, MII[x]_RX_CLK	10Mbps	399.96	400.04	ns
			100Mbps	39.996	40.004	ns
PMIR2	$t_{W(RX_CLKH)}$	脉冲持续时间, MII[x]_RX_CLK 高电平	10Mbps	140	260	ns
			100Mbps	14	26	ns
PMIR3	$t_{W(RX_CLKL)}$	脉冲持续时间, MII[x]_RX_CLK 低电平	10Mbps	140	260	ns
			100Mbps	14	26	ns



PRU_MII_RT_TIMING_04

图 6-82. PRU-ICSS MII[x]_RX_CLK 时序

6.11.5.14.7.2.3 PRU-ICSS MII 时序要求 - MII[x]_RXD[3:0]、MII[x]_RX_DV 和 MII[x]_RX_ER

编号	参数	说明	模式	最小值	最大值	单位
PMIR4	$t_{su(RXD-RX_CLK)}$	建立时间, 在 MII[x]_RX_CLK 之前 MII[x]_RXD[3:0] 有效	10Mbps	8		ns
	$t_{su(RX_DV-RX_CLK)}$	建立时间, 在 MII[x]_RX_CLK 之前 MII[x]_RX_DV 有效		8		ns
	$t_{su(RX_ER-RX_CLK)}$	建立时间, 在 MII[x]_RX_CLK 之前 MII[x]_RX_ER 有效		8		ns
	$t_{su(RXD-RX_CLK)}$	建立时间, 在 MII[x]_RX_CLK 之前 MII[x]_RXD[3:0] 有效	100Mbps	8		ns
	$t_{su(RX_DV-RX_CLK)}$	建立时间, 在 MII[x]_RX_CLK 之前 MII[x]_RX_DV 有效		8		ns
	$t_{su(RX_ER-RX_CLK)}$	建立时间, 在 MII[x]_RX_CLK 之前 MII[x]_RX_ER 有效		8		ns

编号	参数	说明	模式	最小值	最大值	单位
PMIR5	$t_{h(RX_CLK-RXD)}$	保持时间, 在 MII[x]_RX_CLK 之后 MII[x]_RXD[3:0] 有效	10Mbps	8		ns
	$t_{h(RX_CLK-RX_DV)}$	保持时间, 在 MII[x]_RX_CLK 之后 MII[x]_RX_DV 有效		8		ns
	$t_{h(RX_CLK-RX_ER)}$	保持时间, 在 MII[x]_RX_CLK 之后 MII[x]_RX_ER 有效		8		ns
	$t_{h(RX_CLK-RXD)}$	保持时间, 在 MII[x]_RX_CLK 之后 MII[x]_RXD[3:0] 有效	100Mbps	8		ns
	$t_{h(RX_CLK-RX_DV)}$	保持时间, 在 MII[x]_RX_CLK 之后 MII[x]_RX_DV 有效		8		ns
	$t_{h(RX_CLK-RX_ER)}$	保持时间, 在 MII[x]_RX_CLK 之后 MII[x]_RX_ER 有效		8		ns

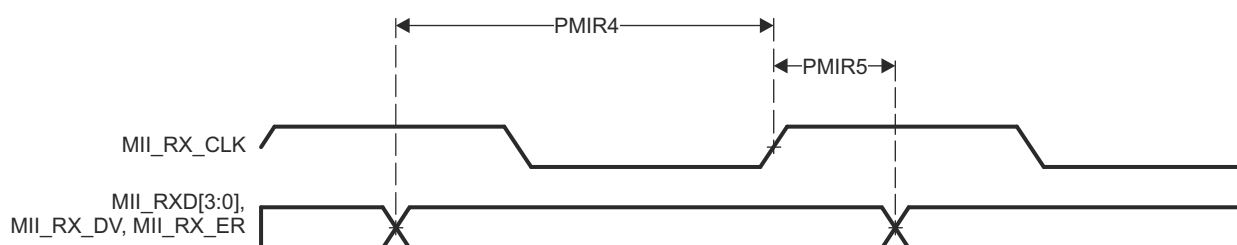


图 6-83. PRU-ICSS MII[x]_RXD[3:0]、MII[x]_RX_DV 和 MII[x]_RX_ER 时序

6.11.5.14.7.2.4 PRU-ICSS MII 开关特性 - MII[x]_TX_CLK

编号	参数	说明	模式	最小值	最大值	单位
PMIT1	$t_c(TX_CLK)$	周期时间, MII[x]_TX_CLK	10Mbps	399.96	400.04	ns
			100Mbps	39.996	40.004	ns
PMIT2	$t_w(TX_CLKH)$	脉冲持续时间, MII[x]_TX_CLK 高电平	10Mbps	140	260	ns
			100Mbps	14	26	ns
PMIT3	$t_w(TX_CLKL)$	脉冲持续时间, MII[x]_TX_CLK 低电平	10Mbps	140	260	ns
			100Mbps	14	26	ns

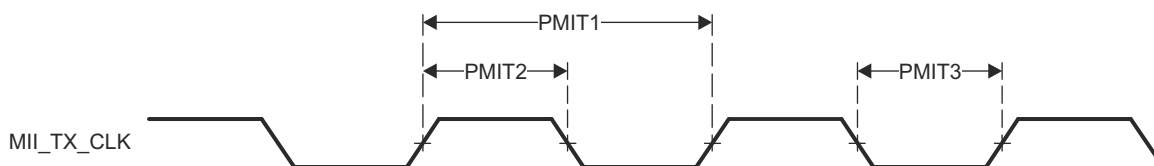


图 6-84. PRU-ICSS MII[x]_TX_CLK 时序

6.11.5.14.7.2.5 PRU-ICSS MII 开关特性 - MII[x]_TXD[3:0] 和 MII[x]_TXEN

编号	参数	说明	模式	最小值	最大值	单位
PMIT4	$t_{d(TX_CLK-TXD)}$	延迟时间, MII[x]_TX_CLK 高电平到 MII[x]_TXD[3:0] 有效	10Mbps	0	25	ns
	$t_{d(TX_CLK-TX_EN)}$	延迟时间, MII[x]_TX_CLK 高电平到 MII[x]_TX_EN 有效		0	25	ns
	$t_{d(TX_CLK-TXD)}$	延迟时间, MII[x]_TX_CLK 高电平到 MII[x]_TXD[3:0] 有效	100Mbps	0	25	ns
	$t_{d(TX_CLK-TX_EN)}$	延迟时间, MII[x]_TX_CLK 高电平到 MII[x]_TX_EN 有效		0	25	ns

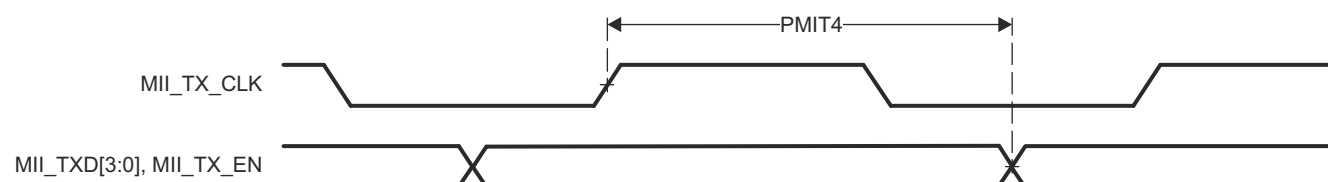


图 6-85. PRU-ICSS MII[x]_TXD[3:0]、MII[x]_TX_EN 时序

6.11.5.15 Σ - Δ 滤波器模块 (SDFM)

有关更多信息，请参阅器件 TRM 中的 Σ - Δ 滤波器模块 一节。

6.11.5.15.1 SDFM 时序条件

参数		模式	最小值	最大值	单位
输入条件					
SR _i	输入压摆率	模式 0	0.5	5	V/ns

6.11.5.15.2 SDFM 开关特性
(2)

编号	参数	说明	模式	最小值	最大值	单位
M0-1	t _c (SDC)	周期时间，SDx_Cy	模式 0	5P ⁽¹⁾	256P ⁽¹⁾	ns
M0-2	t _w (SDCHL)	脉冲持续时间，SDx_Cy (高电平/低电平)	模式 0	2P ⁽¹⁾		ns
M0-3	t _{sh} (SDDV-SDCH)	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	模式 0	2P ⁽¹⁾		ns
M0-4	t _h (SDCH-SDD)	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	模式 0	2P ⁽¹⁾		ns

(1) P = SYSCLK 周期 (以 ns 为单位)。

(2) 某些 SDFM 信号与 I2C0 SDA 和 SCL 引脚进行引脚多路复用。这些引脚使用备用的开漏电压缓冲器，可能不符合指定的参数。值正在等待额外的芯片后验证。

6.11.5.16 通用异步收发器 (UART)

有关器件通用异步接收器/发送器特性和其他说明信息的更多详情，请参阅 *信号说明* 和 *详细说明* 部分中的相应小节。

有关更多信息，请参阅器件 TRM 中的 *通用异步接收器/发送器 (UART)* 一节。

6.11.5.16.1 UART 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	0.5	5	V/ns
输出条件				
C _L	输出负载电容	1	30	pF
PCB 连接要求				
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配		100	ps

6.11.5.16.2 UART 时序要求

编号	参数	说明	最小值	最大值	单位
4	t _w (RX)	脉冲宽度，接收数据位高电平或低电平	0.95U ⁽¹⁾	1.05U ⁽¹⁾	ns
5	t _w (CTS)	脉冲宽度，接收起始位高电平或低电平	0.95U ⁽¹⁾		ns

(1) U = UART 波特时间 = 1/编程波特率。

6.11.5.16.3 UART 开关特性

编号	参数	说明	模式	最小值	最大值	单位
	f _{I(baud)}	可编程波特率	15pF		12	Mbps
			30pF		0.115	
2	t _w (TX)	脉冲宽度，发送数据位高电平或低电平		U ⁽¹⁾ - 2.2	U ⁽¹⁾ + 2.2	ns
3	t _w (RTS)	脉冲宽度，发送起始位高电平或低电平		U ⁽¹⁾ - 2.2		ns
1	t _d (CTS-TX)	延迟时间，接收 CTS 位到发送数据的时间		30		ns

(1) U = UART 波特时间 = 1/编程波特率。

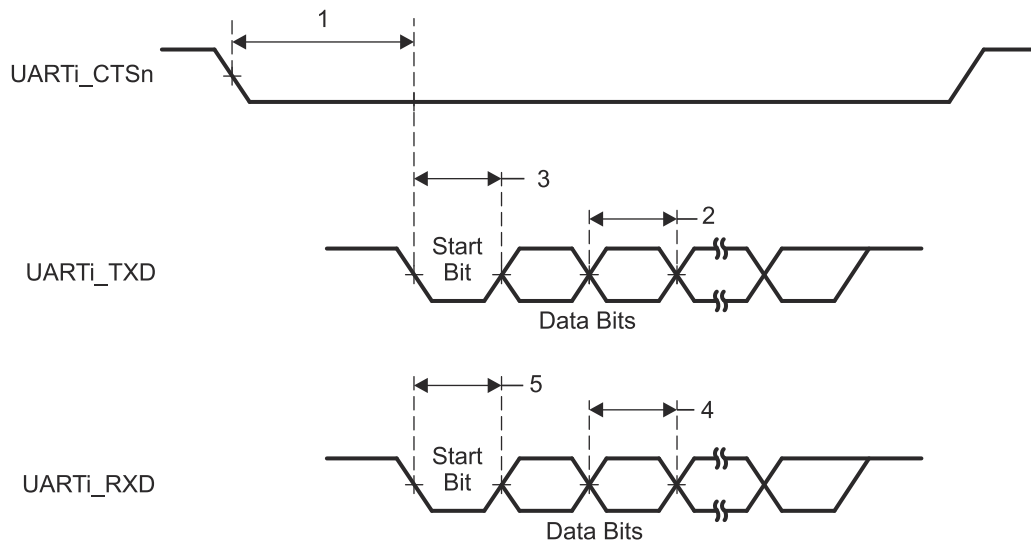


图 6-86. UART 时序要求和开关特性

6.11.5.17 通用串行总线 (USB)

USB 2.0 子系统符合通用串行总线 (USB) 规范修订版 2.0。有关时序详细信息，请参阅规范。

有关器件通用串行总线子系统 (USB) 特性的更多详情和其他说明信息，请参阅器件 TRM 中的 *通用串行总线* 一节。

6.11.6 仿真和调试

有关器件布线和 JTAG 接口特性的更多详情和其他说明信息，请参阅器件 TRM 中的 *片上调试* 一节。

6.11.6.1 JTAG

首字母缩略词表示**联合测试行动组**，定义了边界扫描标准 (IEEE std 1149.1) 的工程师委员会。有关器件 JTAG 接口特性的更多详情和其他说明信息，请参阅器件 TRM 中的相应小节。

6.11.6.1.1 JTAG 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	0.5	2.00	V/ns
输出条件				
C _L	输出负载电容	5	15	pF

6.11.6.1.2 JTAG 时序要求

编号	参数	说明	最小值	最大值	单位
J1	$t_c(\text{TCK})$	周期时间, TCK	40		ns
J2	$t_w(\text{TCKH})$	脉冲宽度, TCK 高电平	16		ns
J3	$t_w(\text{TCKL})$	脉冲宽度, TCK 低电平	16		ns
J4	$t_{su}(\text{TDI-TCKH})$	输入建立时间, TDI 有效至 TCK 高电平	2		ns
	$t_{su}(\text{TMS-TCKH})$	输入建立时间, TMS 有效至 TCK 高电平	2		
J5	$t_h(\text{TCK-TDI})$	从 TCK 高电平至 TDI 有效的输入保持时间	15.9		ns
	$t_h(\text{TCK-TMS})$	从 TCK 高电平至 TMS 有效的输入保持时间	15.9		

6.11.6.1.3 JTAG 开关特性

编号	参数	说明	最小值	最大值	单位
J6	$t_d(\text{TCKL-TDO})$	延迟时间, TCK 低电平到 TDO 无效	-0.067005		ns
J7	$t_d(\text{TCKL-TDOV})$	TCK 低电平到 TDO 有效的延迟时间		11.89594	ns

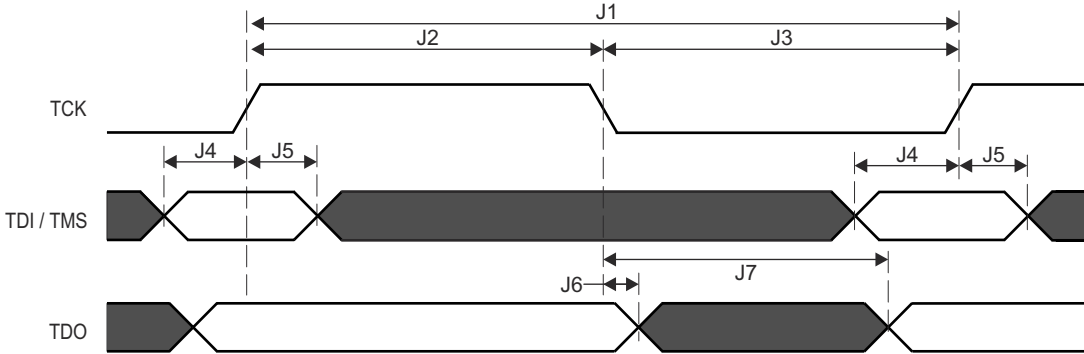


图 6-87. JTAG 时序要求和开关特性

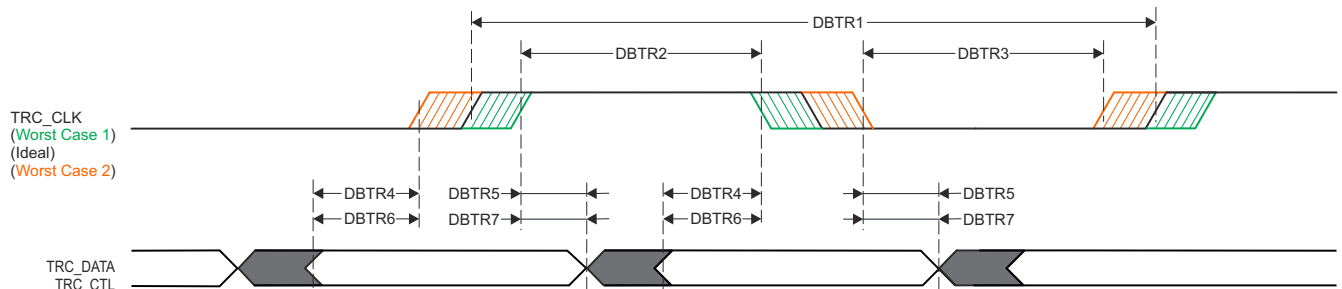
6.11.6.2 迹线

6.11.6.2.1 调试布线时序条件

参数	最小值	最大值	单位
输出条件			
C_L	输出负载电容	2	5 pF
输出条件			
t_d (Trace Mismatch)	所有布线之间的传播延迟不匹配。	200	ps

6.11.6.2.2 调试布线开关特性

编号	参数	说明	最小值	最大值	单位
DBTR1	t_C (TRC_CLK)	TRC_CLK 周期时间	9.75		ns
DBTR2	t_W (TRC_CLKH)	脉冲宽度, TRC_CLK 高电平	4.13		ns
DBTR3	t_W (TRC_CLKL)	脉冲宽度, TRC_CLK 低电平	4.13		ns
DBTR4	t_{osu} (TRC_DATAV-TRC_CLK)	输出建立时间, TRC_DATA 到 TRC_CLK 边沿有效的时间	1.22		ns
DBTR5	t_{oh} (TRC_CLK-TRC_DATAI)	输出保持时间, TRC_CLK 边沿到 TRC_DATA 无效	1.22		ns
DBTR6	t_{osu} (TRC_CTLV-TRC_CLK)	输出建立时间, TRC_CTL 到 TRC_CLK 边沿有效的时间	1.22		ns
DBTR7	t_{oh} (TRC_CLK-TRC_CTLI)	输出保持时间, TRC_CLK 边沿到 TRC_CTL 无效	1.22		ns



SPRSP08_Debug_01

图 6-88. 布线开关特性

6.12 去耦电容器要求

6.12.1 去耦电容器要求

参数	说明	最小值	典型值	最大值	单位
C_{VDD}	1.2V/1.25V VDD (电容)		10		μF
C_{VDDS33}	3.3V VDDS (电容)		10		μF
C_{VDDA33}	3.3V VDDA (电容)		10		μF
C_{VDDS18}	1.8V VDDS (电容)		0.1		μF
C_{VDDA18}	1.8V VDDA (电容)		0.1		μF
C_{VDDA18}	1.8V VDDA (电容)		4.7		μF
C_{VPP}	1.7V VPP (电容)		0.1		μF
C_{VDDS18_LDO}	1.8V LDO VDDS (电容)		3.3		μF

参数	说明	最小值	典型值	最大值	单位
C _{ADC_VREF}	ADC VREFHI (电容)		4.7		μF

7 详细说明

7.1 概述

AM261x Sitara Arm® 微控制器旨在满足下一代工业和汽车嵌入式项目复杂的实时处理和实时控制需求。AM261x 将先进计算与出色的实时控制外设相结合，可满足混合动力汽车/电动汽车（车载充电器、直流/直流转换器、电池管理系统）、两轴伺服驱动器、工业数字电源控制（储能、串式逆变器）和其他通用实时受限系统等应用不断增长的性能需求。AM261x 可将多达两个 Cortex-R5F MCU、一个实时控制子系统 (CONTROLSS)、一个硬件安全模块 (HSM) 和两个 Sitara 支持 TSN 的 PRU-ICSS 实例组合在一起，因此 AM261x 非常适合高级电机控制和数字电源控制应用。

R5F 内核以集群形式排列，并具有 512KB 共享紧耦合存储器 (TCM) 和 1.5MB 共享 SRAM。对于不同的功能安全配置，可以选择将 Arm® 内核编程为使用锁步选项运行。片上存储器、外设和互连中包含广泛的 ECC，增强了可靠性。除了由 HSM 管理的细粒度防火墙之外，AM261x 器件上还提供加密加速和安全启动功能，供开发人员设计更为安全的系统。

实时控制子系统 (CONTROLSS) 是集成在器件中的一个革命性子系统。CONTROLSS 包含多个数字和模拟控制外设，包括：ADC、CMPSS、EPWM、ECAP 和 EQEP，从而能够高效执行关键检测/处理/驱动实时信号链控制环路。集成交叉开关 (XBAR) 基础结构可实现灵活的配置，将外部信号路由至内部端口，将内部信号路由至外部引脚。

AM261x 中的 PRU-ICSS 提供了运行 TSN、EtherCAT®、PROFINET®、Ethernet/IP™ 或标准以太网连接和自定义 I/O 接口所需的灵活工业通信功能。此外，PRU 还支持 SoC 中的其他接口，包括 Σ - Δ 抽取滤波器和绝对编码器接口。CPSW 接口还提供两个标准以太网端口。

除了多个用于实现可扩展性和易用性的引脚对引脚兼容器件外，TI 还提供了一整套用于 AM261x 系列微控制器的微控制器软件和开发工具。

7.2 处理器子系统

7.2.1 Arm Cortex-R5F 子系统

R5FSS 是 Arm® Cortex®-R5F 处理器的双核实现，配置为双核（分离）或锁步操作模式。它还包括附带的存储器（L1 高速缓存和紧密耦合存储器）、标准 Arm® CoreSight™ 调试和布线架构、集成式矢量中断管理器 (VIM)、ECC 聚合器以及支持协议转换和地址转换的各种包装器，以便于集成到 SoC。该器件具有一个 R5FSS 模块，支持总共 2 个功能内核（双核模式）或 1 个功能内核（锁步模式）。

备注

Arm® Cortex®-R5F 处理器是一款包含可选浮点单元 (FPU) 扩展的 Cortex-R5 处理器。

有关更多信息，请参阅器件 TRM 的 *处理器和加速器* 一章中的 *R5FSS* 一节。

8 应用、实施和布局

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 器件连接和布局基本准则

8.1.1 外部振荡器

有关外部振荡器的更多信息，请参阅 [输入时钟/振荡器](#) 一节。

8.1.2 JTAG、仿真和跟踪

德州仪器 (TI) 支持各种扩展开发系统 (XDS) JTAG 控制器，除了 JTAG 支持之外，还提供各种调试功能。[XDS 目标连接指南](#) 中提供了有关此信息的摘要。

有关 JTAG、仿真和跟踪布线的建议，请参阅 [仿真和跟踪接头技术参考手册](#)

8.1.3 硬件参考设计和指南

有关基于 MCU 器件 AM261x 系列创建 PCB 系统的详细信息，请参阅 [AM26x 硬件设计指南](#)。另外，请参阅 [AM26x 定制 PCB 系统入门指南](#)。

8.1.4 USB 2.0 运行

AM261x 器件与标准 DFU 实用程序不兼容，需要 AM261x MCU+ SDK 中提供的 DFU 实用程序的定制 TI 版本。有关更多信息和安装说明，请参阅 AM261x MCU+ SDK 的 [dfu-util](#) 部分。

8.2 OSPI 复位

为了在 AM261x 系统设计中实现正确的 OSPI 启动操作，建议通过 AND 门的输出生成 OSPI 闪存复位信号，并将 PORz/WARMRSTn 和 OSPI0_RESET_OUT0 作为输入。该方法允许在 AM261x 器件下电上电时或通过软件复位命令对闪存器件进行复位。在 OSPI 启动期间，AM261x 器件启动 ROM 代码将 GPIO61 引脚配置为 OSPI0_RESET_OUT0，并将引脚驱动为低电平以复位外部闪存器件。但是，一旦闪存器件复位，GPIO61 的 OSPI 控制器配置就不会将引脚驱动为高电平，从而使闪存器件保持在复位状态，无法正常启动。这包括启动的回路模式，这将导致 OSPI 启动模式被激活。如需更多信息，请参阅 [AM261x Errata 文档](#)。

对于外部闪存器件的软件复位，可以使用任何具有专用 OSPI0_RESET_OUT 多路复用器模式的 GPIO (包括 GPIO61)。但是，由于上述 ROM 代码配置，应选通 GPIO61 引脚，以防止信号在启动时传播到复位逻辑。使用 [缓冲 GPIO61 和 PORz/WARMRESETn 的 AM261x OSPI 复位](#) 展示了与此有关的一个应用。有关设计考虑事项的更多详细信息，请参阅 [AM26x 硬件设计指南](#)。

备注

无论 OSPI0_RESET_OUT0 实现使用何种 GPIO 引脚，仍建议通过 AND 门的输出生成 OSPI 闪存复位信号，并将 PORz/WARMRSTn 和 OSPI0_RESET_OUT0 作为输入，例如在 [使用 OSPI0_RESET_OUT0 与 PORz/WARMRESETn 进行的 AM261x OSPI 复位](#) 中就是如此。

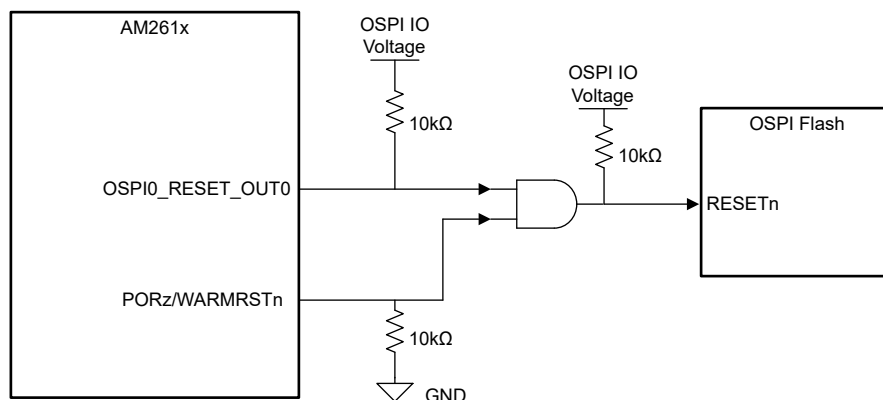


图 8-1. 使用 OSPI0_RESET_OUT0 与 PORz/WARMRESETn 进行的 AM261x OSPI 复位

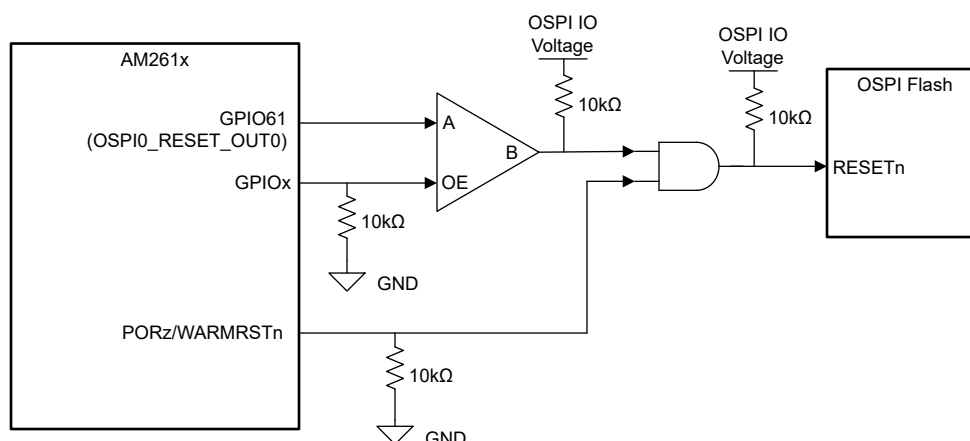


图 8-2. 使用缓冲后的 GPIO61 与 PORz/WARMRESETn 进行的 AM261x OSPI 复位

9 器件和文档支持

9.1 器件命名规则

为了指明产品开发周期所处的阶段，TI 为所有微控制器 (MCU) 和支持工具的产品型号分配了前缀。每个器件都具有以下三个前缀中的其中一个：X、P 或无（无前缀）（例如，XAM2612AOFFHIZFB）。德州仪器 (TI) 为其支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMDX) 直到完全合格的生产器件和工具 (TMDS)。

器件开发进化流程：

X 试验器件不一定代表最终器件的电气规格，并且可能不使用生产封装流程。

P 原型器件不一定是最终的器件芯片，并且不一定符合最终电气规格。

无 完全合格的器件芯片的量产版本。

支持工具开发演变流程：

TMDX 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

TMDS 完全合格的开发支持产品。

X 和 P 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发产品用于内部评估用途。”

生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书对该器件适用。

预测显示原型器件 (X 或者 P) 的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

如需了解 AM261x 器件的可订购器件型号，请参阅本文档的封装选项附录、访问 TI 网站 (ti.com) 或联系您的 TI 销售代表。

9.1.1 标准封装编号法

备注

某些器件的器件封装顶部的表面可能有一个圆形标识，该标识是生产测试过程中产生的。此外，一些器件的封装基板颜色也可能因基板制造商的原因而有所不同。这些差异只在表面显示，不会影响可靠性。

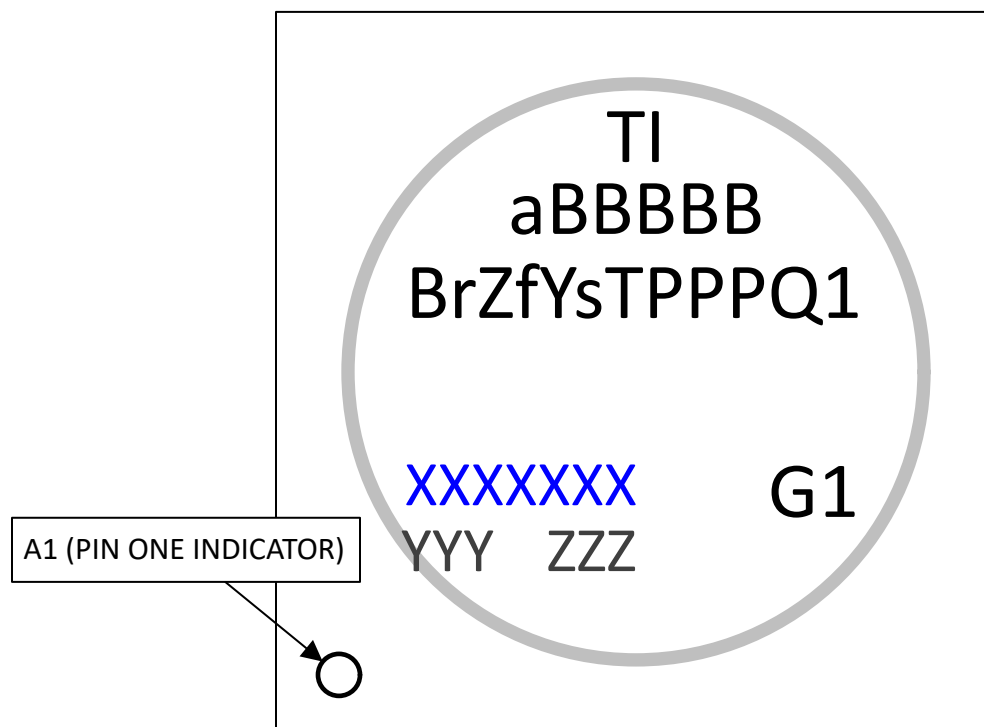


图 9-1. 印刷器件参考

9.1.2 器件命名约定

表 9-1. 命名规则说明

字段参数	字段说明	值	说明
字段参数	字段说明	值	说明
a	器件演变阶段	X	原型
		P	预量产 (生产测试流程, 无可靠性数据)
		空白	量产
BBBBBB	基本生产器件型号	AM2612	2x R5F
		AM2611	1x R5F
r	器件修订版本	A	器件修订版本 1.0
Z	器件运行性能点	L	请参阅 运行性能点 。
		O	
		P	
f	特性 (请参阅 封装比较)	D	支持 PRU-ICSS + CAN-FD
		E	PRU-ICSS + EtherCAT 硬件加速器 + 支持 CAN-FD
		F	PRU-ICSS + EtherCAT 硬件加速器 + 支持 CAN-FD + 预集成栈已启用
Y	功能安全	G	非功能安全
		F	功能安全
s	安全性	G	非信息安全
		1-9	虚拟密钥器件
		H-Z	量产密钥 HS 器件
T	温度 (结温)	I	- 40°C 至 125°C (工业级温度范围)
		M	- 40°C 至 150°C (汽车级温度范围)
PPP	封装符号	ZCZ	ZCZ NFBGA-N324 (15mm × 15mm) 封装
		ZFG	ZFG NFBGA-N304 (13.25mm × 13.25mm) 封装
		ZEJ	ZEJ NFBGA-N256 (13mm × 13mm) 封装
		ZNC	ZNC NFBGA-N293 (10mm × 10mm) 封装
Q1	汽车级指示符和最高结温	Q1	通过汽车认证 (AEC-Q100)
		空白	标准
XXXXXXX			批次追踪代码 (LTC)
YYY			生产代码; 仅供 TI 使用
O			引脚 1 符号
G1			环保封装符号

9.2 工具与软件

以下产品支持面向 AM261x 平台的开发工作：

开发工具

Code Composer Studio™ 集成开发环境 Code Composer Studio (CCS) 集成开发环境 (IDE) 是支持 TI 微控制器和嵌入式处理器产品系列的开发环境。Code Composer Studio 包含一整套用于开发和调试嵌入式应用的工具。它包含了用于优化的 C/C++ 编译器、源代码编辑器、工程编译环境、调试器、分析工具以及多种其他功能。直观的 IDE 提供了一个单一用户界面，可帮助用户完成应用开发流程的每个步骤。熟悉的工具和界面让用户能够比以往更快地上手。Code Composer Studio 将 Eclipse 软件框架的优势和 TI 高级嵌入式调试功能相结合，为嵌入式开发人员提供了一种极具吸引力且功能丰富的开发环境。

SysConfig-PinMux 工具 SysConfig-PinMux 实用程序是一款软件工具，可提供图形用户界面，用于配置引脚多路复用设置、解决冲突以及指定 TI 嵌入式处理器器件的 I/O 电池特性。该工具可用于自动计算适当的引脚多路复用配置，以满足输入的系统要求。该工具会生成输出 C 头文件/代码文件，这些文件可导入软件开发套件 (SDK)，并用于配置客户的软件以满足定制硬件要求。

有关处理器平台开发支持工具的完整列表，请访问德州仪器 (TI) 网站 www.ti.com.cn。有关价格和供货情况的信息，请联系最近的 TI 现场销售办事处或授权分销商。

9.3 文档支持

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

以下文档介绍了 AM261x 器件。

AM261x 技术参考手册 详细介绍了 AM261x 系列器件中每个外设和子系统的集成、环境、功能说明以及编程模型。

AM261x TRM 寄存器附录 详细介绍了 AM261x 系列器件中每个外设和子系统的存储器映射寄存器信息。

9.4 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或自行提出问题，以获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.5 商标

Ethernet/IP™ is a trademark of ODVA, INC..

CoreSight™ is a trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

Code Composer Studio™ and TI E2E™ are trademarks of Texas Instruments.

Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

EtherCAT® is a registered trademark of Beckhoff Automation GmbH.

PROFINET® is a registered trademark of PROFINET International.

IO-Link® is a registered trademark of PROFIBUS Nutzerorganisation e.V. eingetragener verein (e.v.) FED REP GERMANY.

所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

Changes from APRIL 30, 2025 to JULY 15, 2025 (from Revision B (April 2025) to Revision C (July 2025))

	Page
• (特性) : 将功能安全合规性从“目标达成”更新为“已认证”	1
• (绝对最大额定值) : 添加了有关指定 LVCMOS 引脚上的门锁效应电流脉冲注入的注释	86

Changes from NOVEMBER 7, 2024 to APRIL 30, 2025 (from Revision A (November 2024) to Revision B (April 2025))

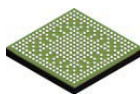
	Page
• (特性) : 更新了“特性”部分布局	1
• (应用) : 添加了其他应用	3
• (封装信息) : 更新了封装信息表以便与 TI 标准保持一致并新增了表注	4
• (封装信息) : 为 ZCZ 和 ZEJ 封装新增了非 Q1 封装选项	4
• (功能方框图) : 更新了“功能方框图”	5
• (封装比较) : 在列标题中添加了 Q1 封装。	7
• (封装比较) : 从封装比较表中删除了 JTAG ID 部分。	7
• (封装比较) : 更新了外设下的封装比较行以连接实例并简化比较	7
• (封装比较) : 添加了 TCM、PRU-ICSS 和其他部分的表注	7
• (封装比较) : 更新了 ZNC 封装的 SDFM 信息并添加了注释	7
• (器件标识) : 增加的部分	8
• (相关产品) : 更新了“相关产品”, 以反映 TI 产品	9
• (引脚属性) : 删除了电源列	18
• (引脚属性) : 新增了“复位期间的焊球状态”、“复位后的焊球状态”、“迟滞”和“拉动类型”列	18
• (引脚属性) : 更新了 ZNC 封装的 ADCVREFHI 和 ADCVREFLO 行项目	18
• (引脚属性) : 从 GPIO122 中删除了“多路复用器模式 3”行项目	18
• (引脚属性) : 从“引脚属性”表中删除了“多路复用器模式 15”行项目	18
• (引脚属性) : 将所有“1.2V”IO 电压项目更新为“1.2V/1.25V”	18
• (ADC-CMPSS 信号连接) : 增加的部分	54
• (ADC_CAL 信号说明) : 添加了表注	56
• (ADC_VREF 信号说明) : 新增了表注	56
• (ADC_VREF 信号说明) : 更新了“ZNC 引脚”列	56
• (DAC 信号说明) : 添加了表注	59
• (GPIO 信号说明) : 更新了 SOP 引脚的说明	61
• (GPIO 信号说明) : 新增了表注	61
• (GPMC0 信号说明) : 添加了表注	65
• (I2C 信号说明) : 添加了表注	68
• (OSPI 信号说明) : 添加了表注	70
• (OSPI 信号说明) : 从 OSPI0_D0、OSPI1_D0、OSPI0_D1 和 OSPI1_D1 中删除了 SOP 引脚符号	70
• (OSPI 信号说明) : 从 OSPI0_RESET_OUT0 中删除了 GPIO61 引脚, 并添加了有关外部闪存复位的表注。	70
• (POWER 信号说明) : 添加了表注	71
• (POWER 信号说明) : 添加了 VPP 和 VSS 行项目	71
• (POWER 信号说明) : 更新了 VDDA18_LDO 引脚的说明并添加了注释	71

• (POWER 信号说明) : 更新了 VDD 和 VNWA 的说明并添加了有关内核电压规格的表注。	71
• (SDFM 信号说明) : 新增了表注	77
• (SPI 信号说明) : 移动了 SDFM 信号说明下的部分	78
• (SPI 信号说明) : 从 SPI0_CLK 和 SPI0_D0 信号说明中删除了 SOP 引脚符号	78
• (启动模式信号说明) : 更新了说明以反映正确的 SOP 引脚	79
• (VMON 信号说明) : 新增了表注	80
• (无连接说明) : 添加表注	80
• (USB0 信号说明) : 移动了 UART 信号说明下的部分	83
• (引脚连接要求) : 添加了 AM261x 的引脚连接要求	85
• (规格) : 新增了"静电放电、上电时间、运行性能点、VPP 规格、时序和开关特性以及去耦电容器要求"部分	86
• (建议运行条件) : 更新 VDD、VDDAR1、VDDAR2 和 VDDAR3 行条目，以反映依赖于 R5F 内核频率的所需电压	86
• (电气特性) : 新增了 ADC、CMPSSA、DAC、PMU 和安全比较部分	91
• (热阻特性) : 为所有四种封装类型添加了热阻特性	99
• (详细说明 - 概述) : 将共享 TCM 从“256KB”更改为“512KB”	189
• (硬件参考设计和指南) : 添加了指向硬件设计指南和定制 PCB 系统入门指南的链接	191
• (USB 2.0 运行) : 新增了该部分	191
• (OSPI 复位) : 添加了 OSPI0_REST_OUT0 的部分	192
• (标准封装编号法) : 添加了标准封装编号法部分	194
• (器件命名约定) : 删除了“特殊特性”行	195
• (器件命名约定) : 添加了“L”和“P”速度等级	195

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

要了解关于 TI 封装的更多信息，请访问[封装信息](#)网站。

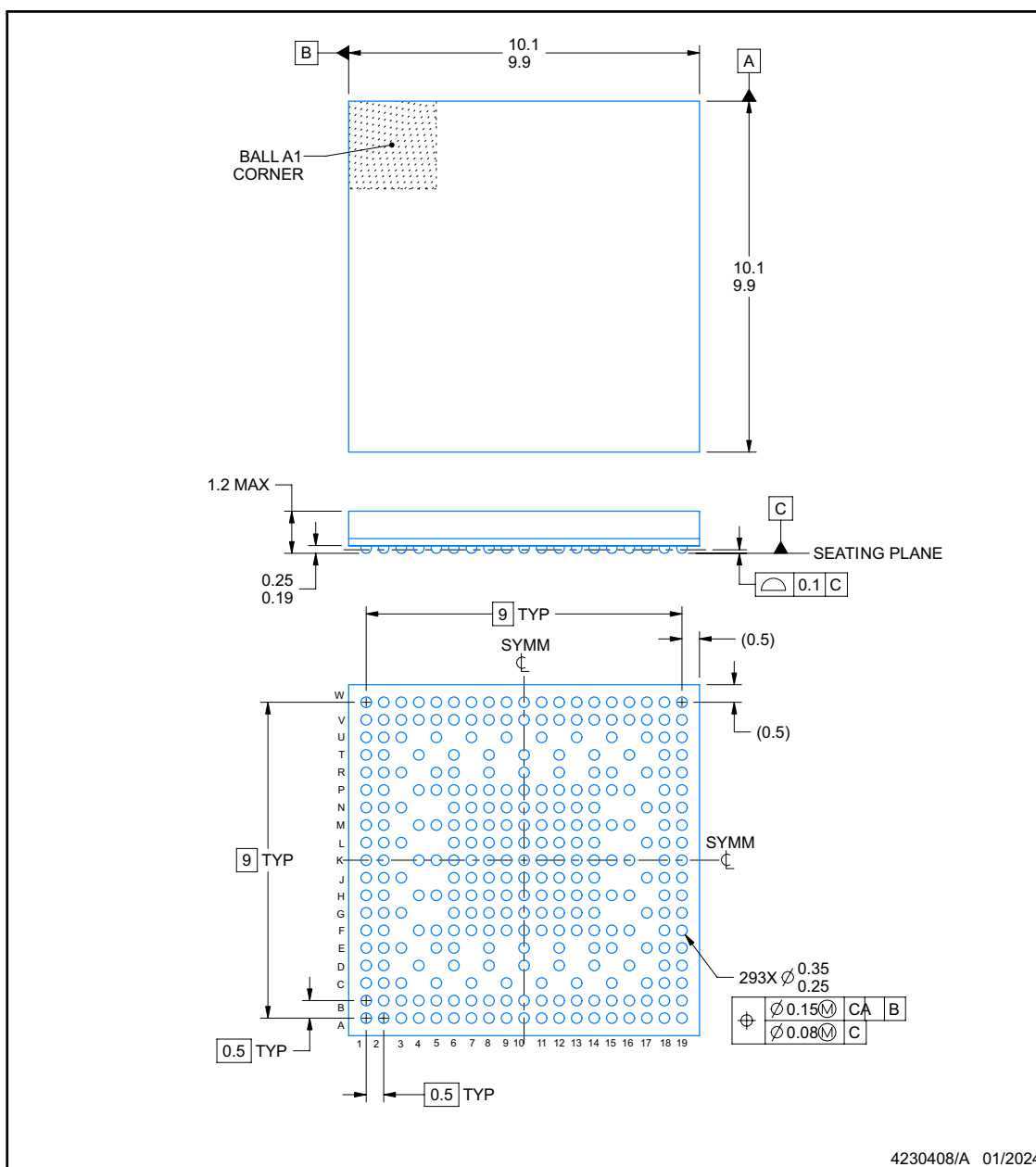


ZNC0293A

PACKAGE OUTLINE

NFBGA - 1.2 mm max height

PLASTIC BALL GRID ARRAY



NOTES:

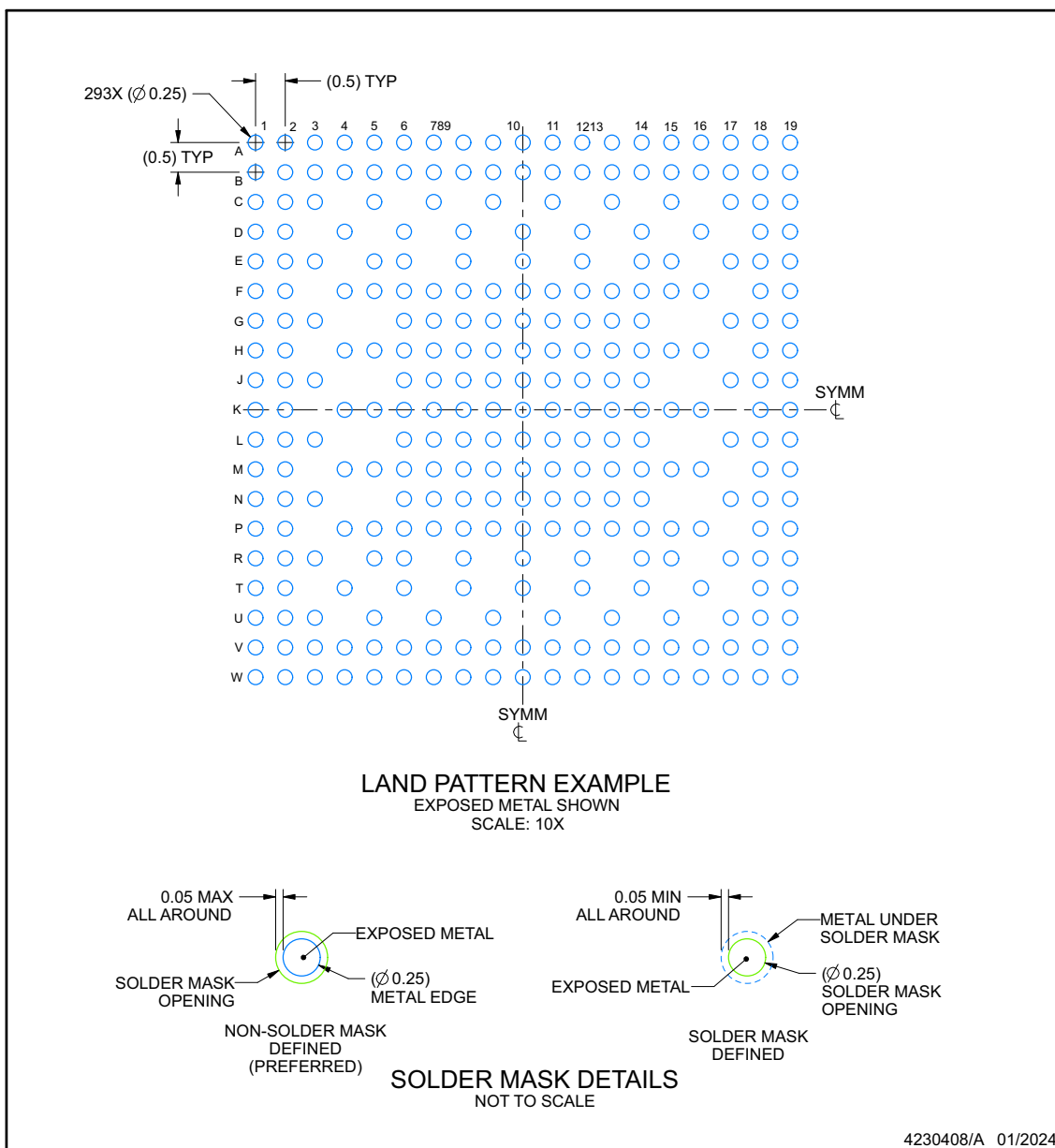
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

ZNC0293A

NFBGA - 1.2 mm max height

PLASTIC BALL GRID ARRAY



NOTES: (continued)

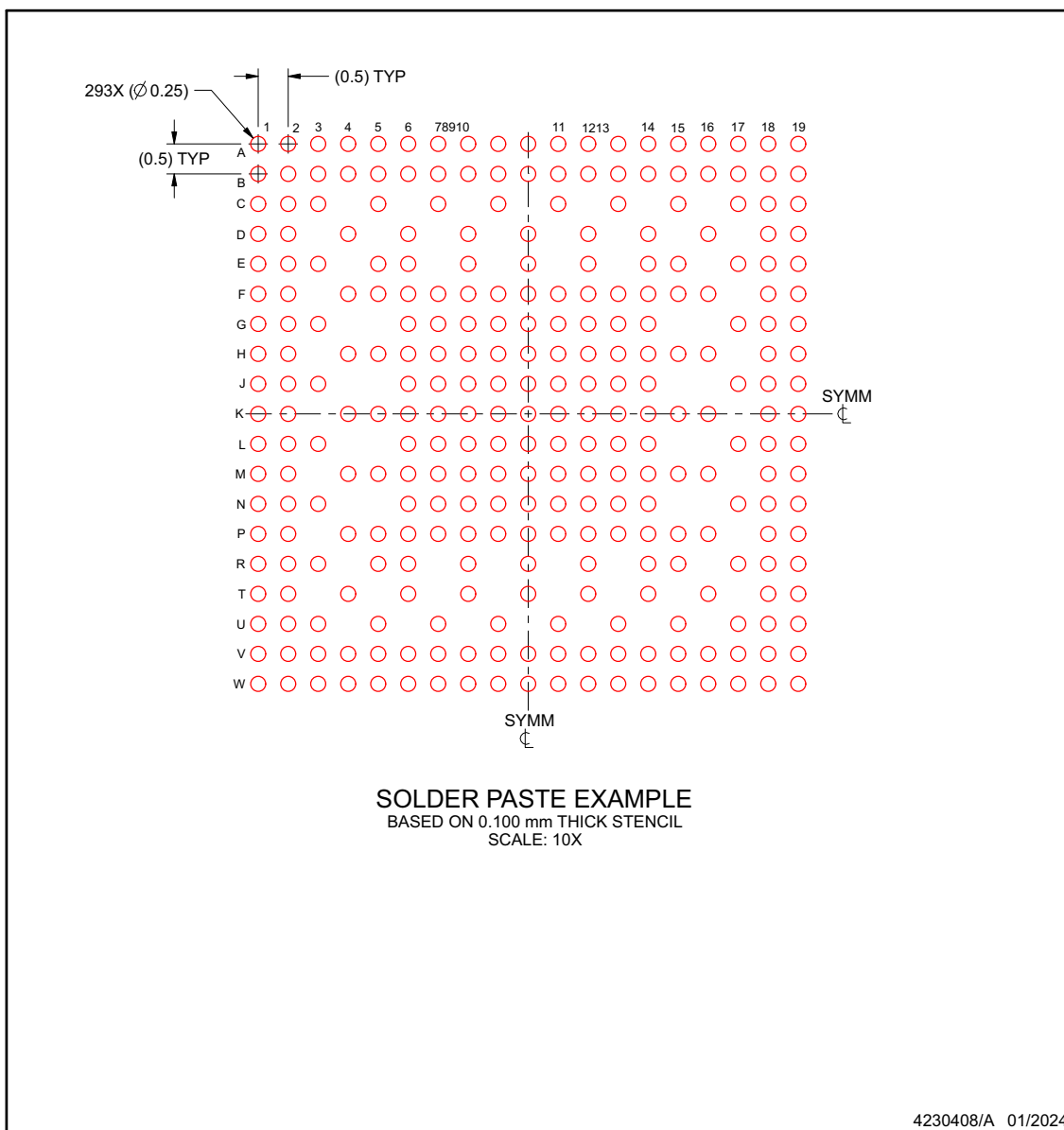
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

EXAMPLE STENCIL DESIGN

ZNC0293A

NFBGA - 1.2 mm max height

PLASTIC BALL GRID ARRAY



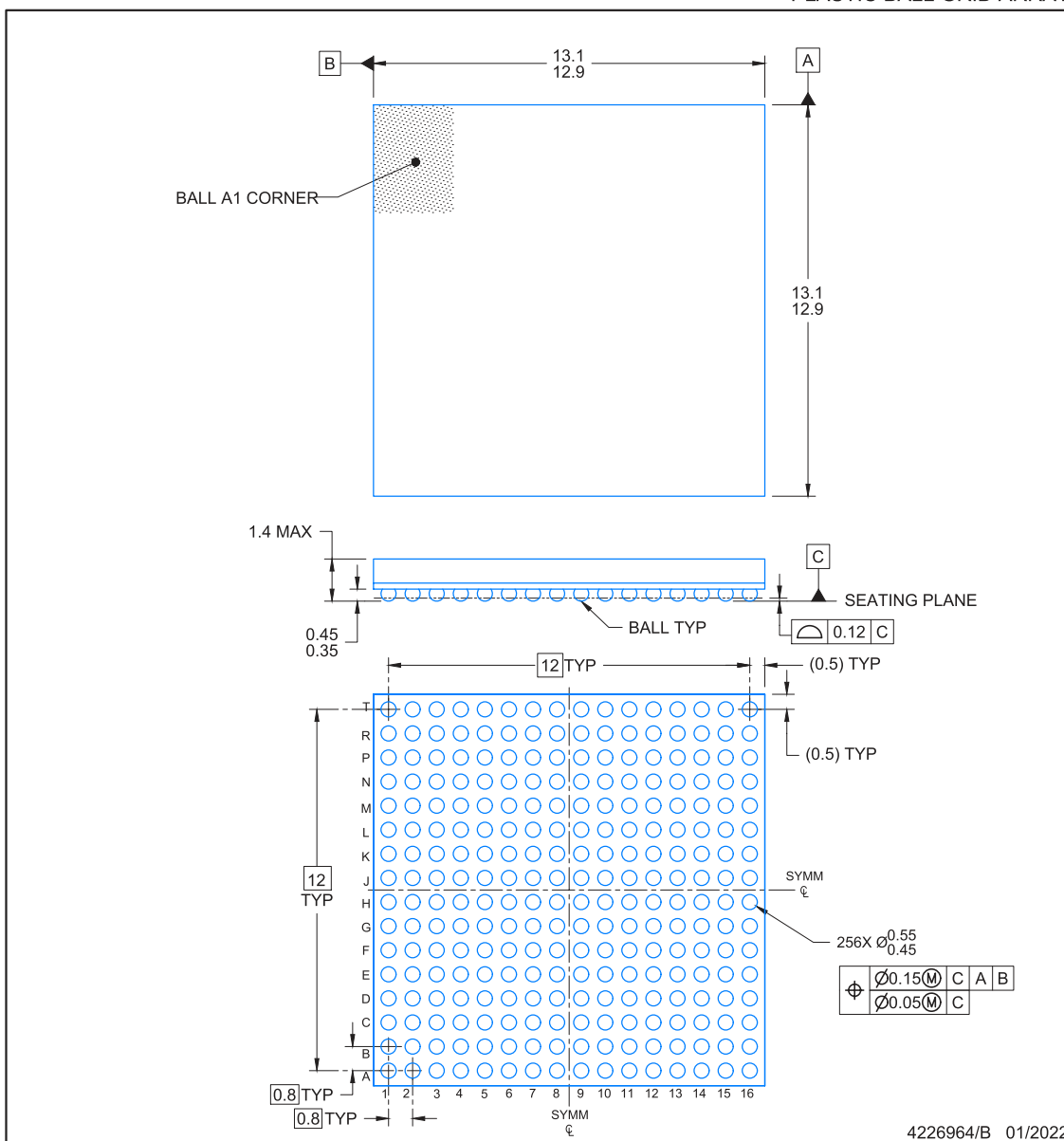
NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

ZEJ0256A

PACKAGE OUTLINE NFBGA - 1.4 mm max height

PLASTIC BALL GRID ARRAY



NOTES:

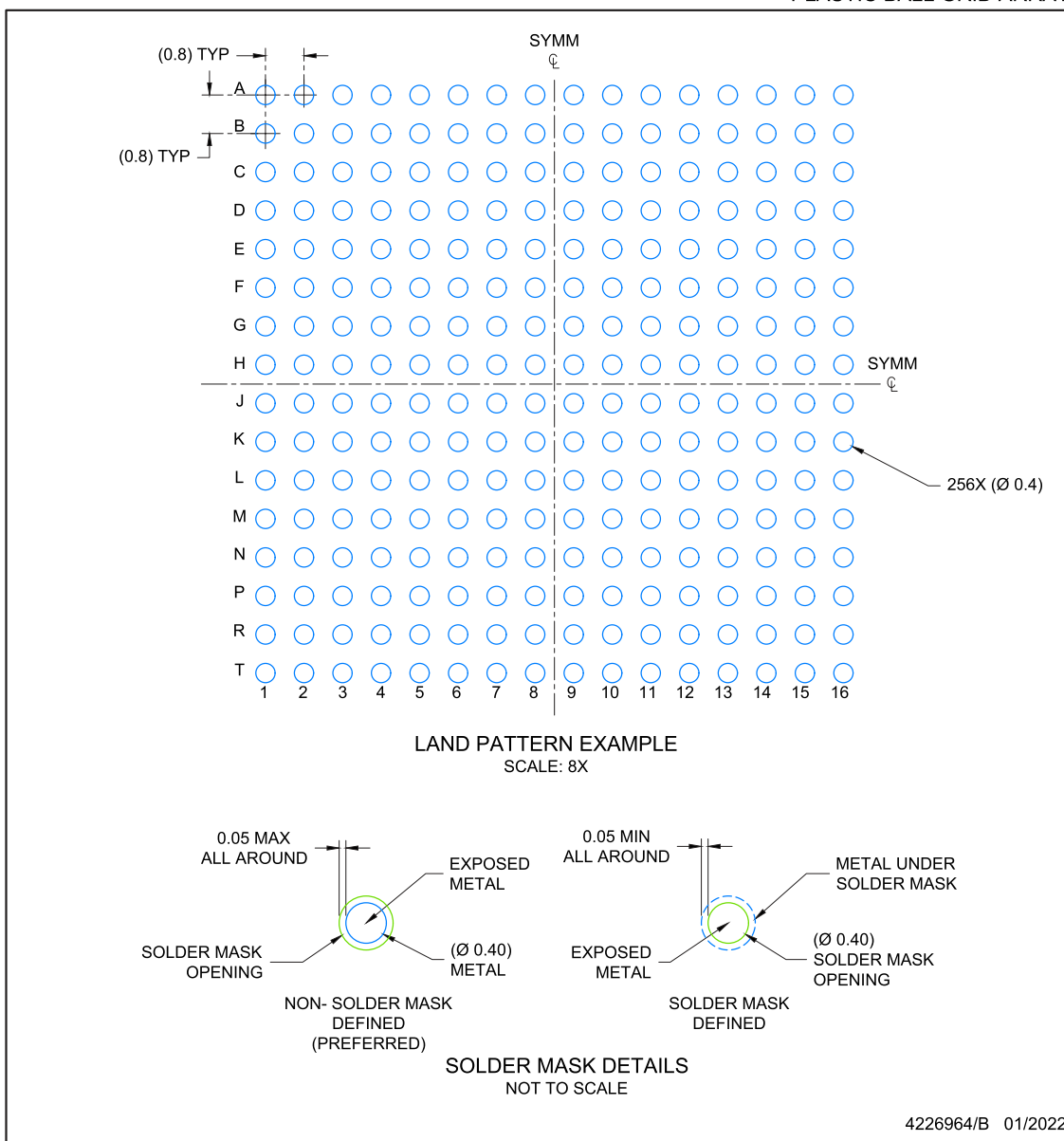
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

NFBGA - 1.4 mm max height

ZEJ0256A

PLASTIC BALL GRID ARRAY



NOTES: (continued)

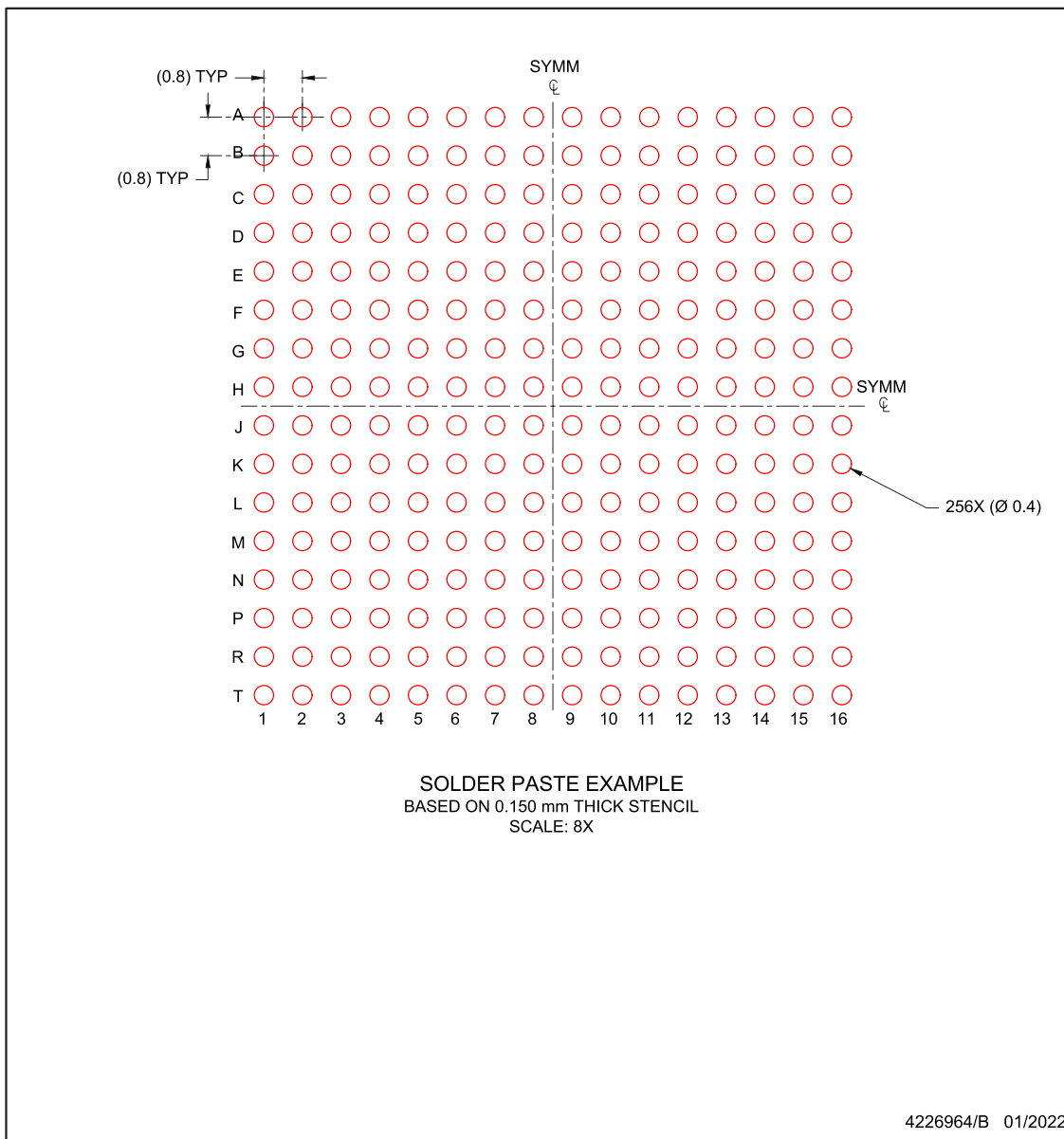
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. Refer to Texas Instruments Literature number SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

ZEJ0256A

NFBGA - 1.4 mm max height

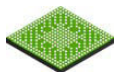
PLASTIC BALL GRID ARRAY



NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

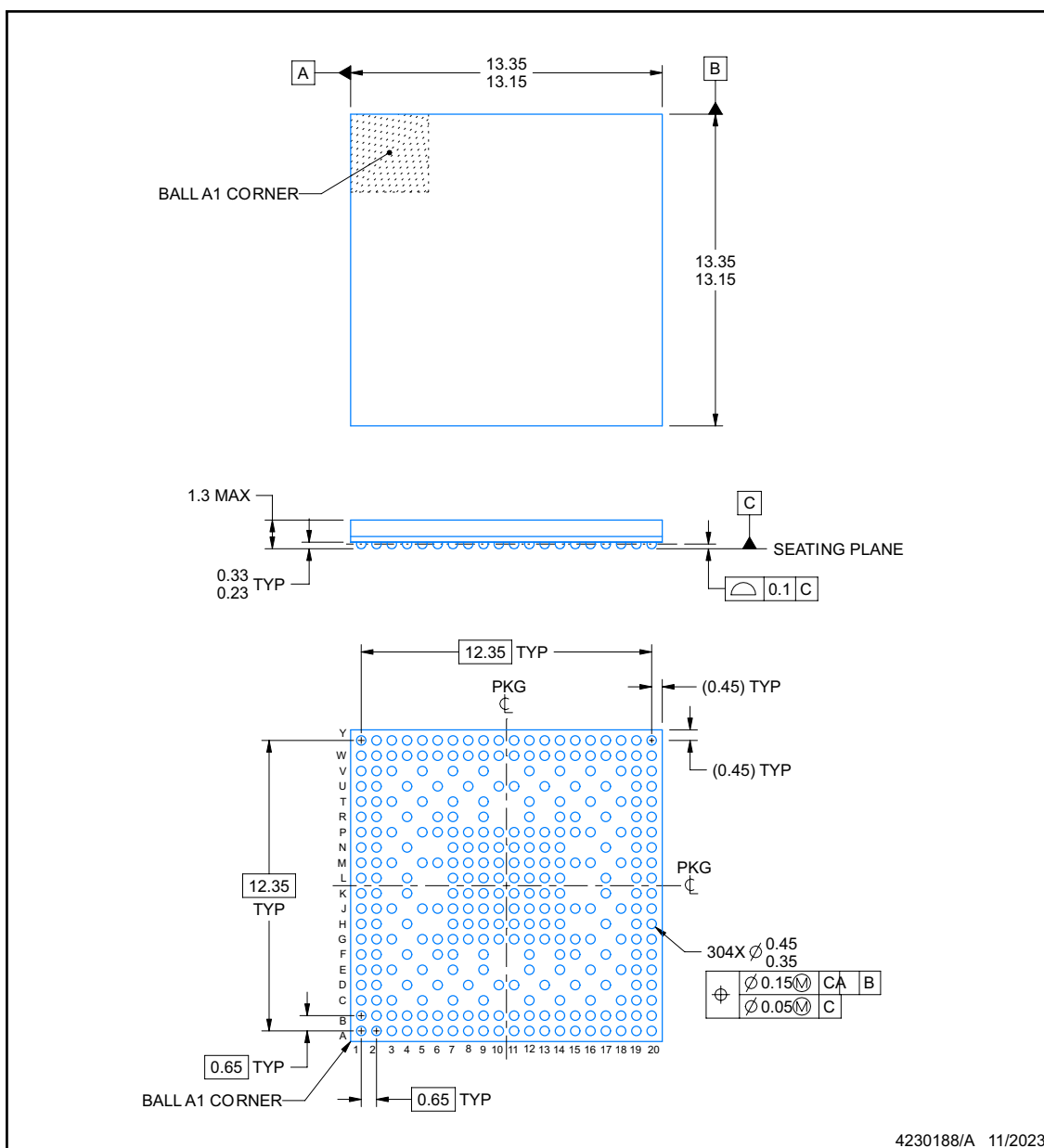
ZFG0304A



PACKAGE OUTLINE

NFBGA - 1.3 mm max height

PLASTIC BALL GRID ARRAY



NOTES:

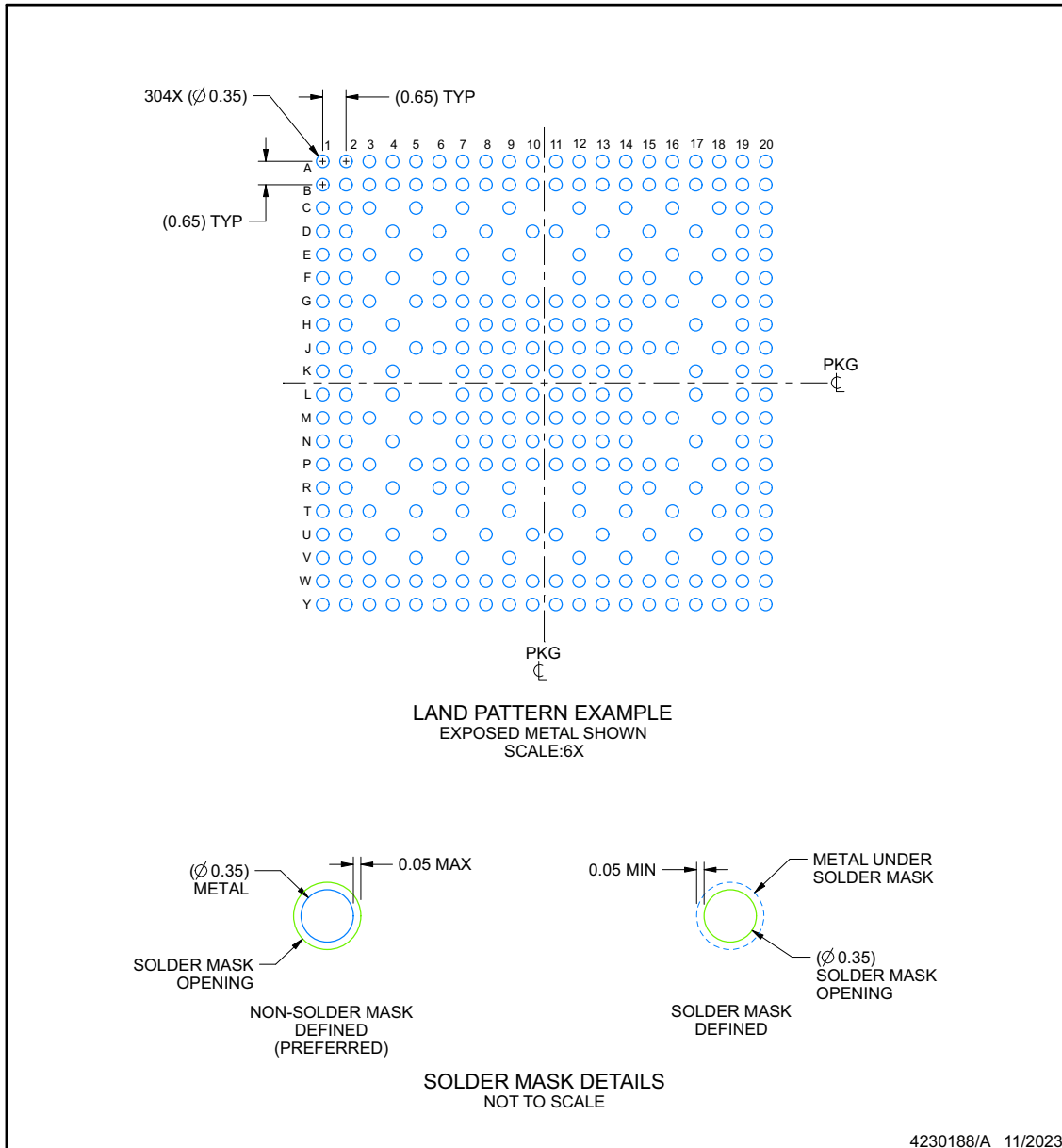
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

ZFG0304A

NFBGA - 1.3 mm max height

PLASTIC BALL GRID ARRAY



NOTES: (continued)

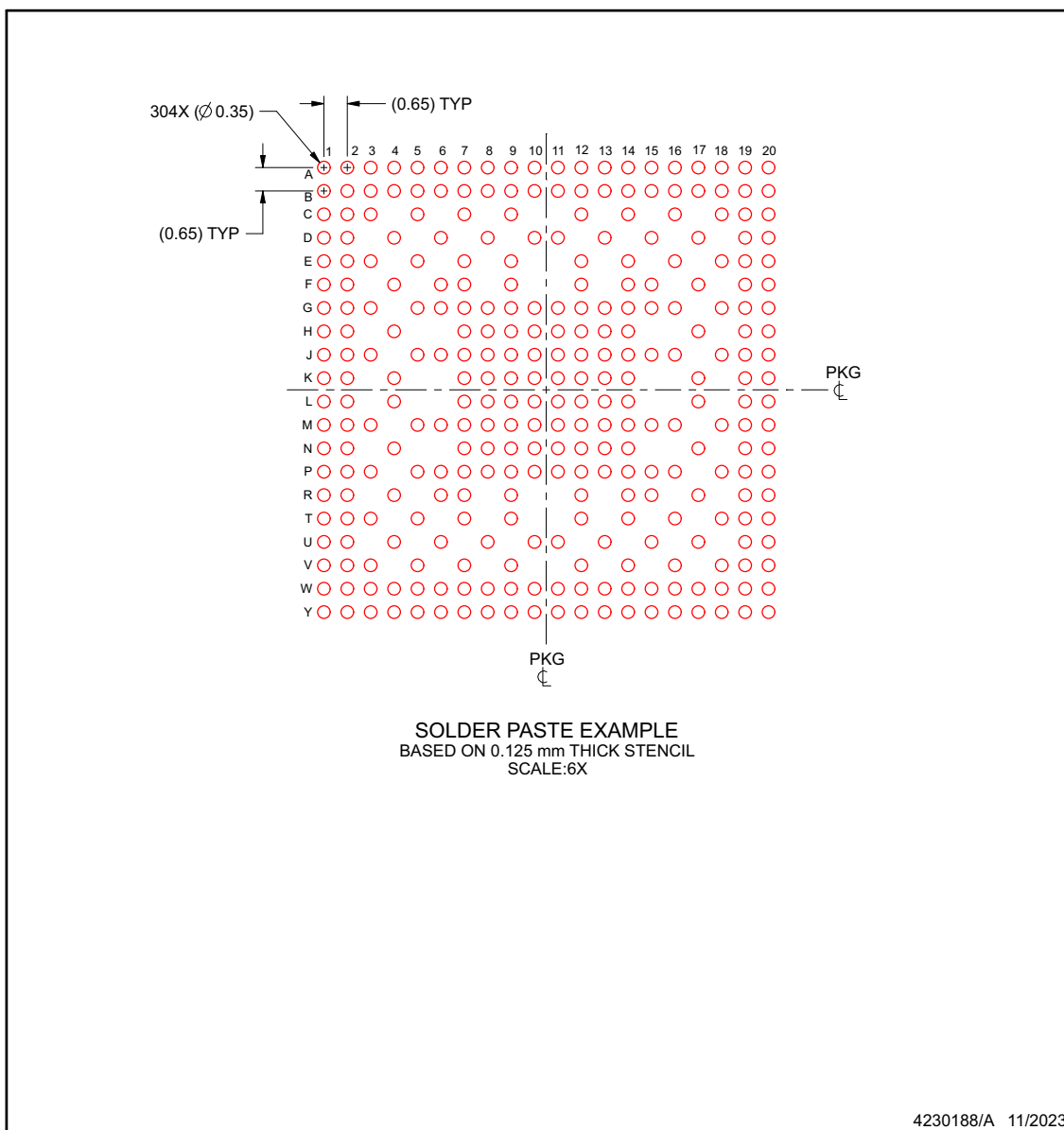
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

EXAMPLE STENCIL DESIGN

ZFG0304A

NFBGA - 1.3 mm max height

PLASTIC BALL GRID ARRAY



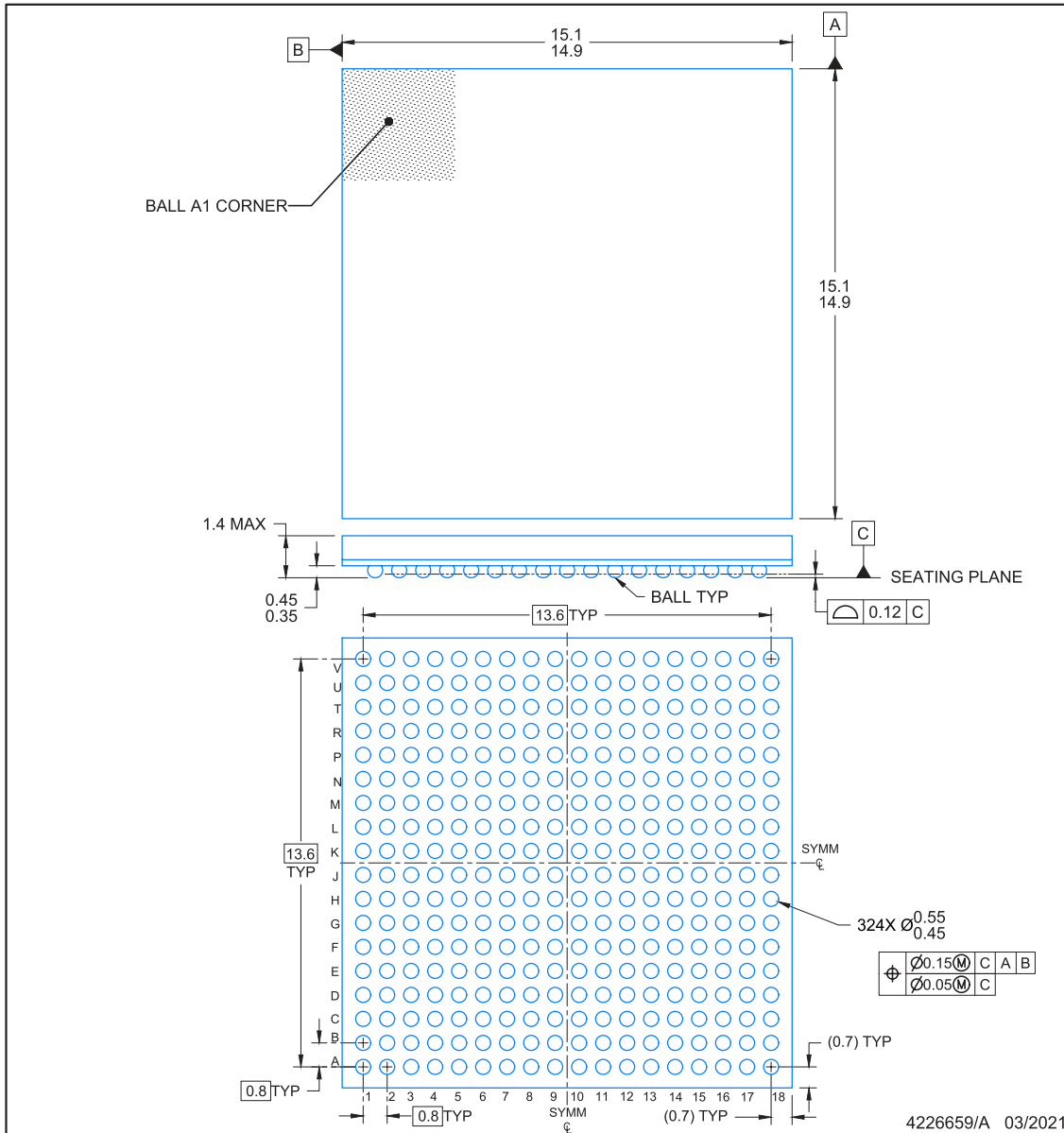
NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

ZCZ0324A

PACKAGE OUTLINE NFBGA - 1.4 mm max height

PLASTIC BALL GRID ARRAY



NOTES:

NanoFree is a trademark of Texas Instruments.

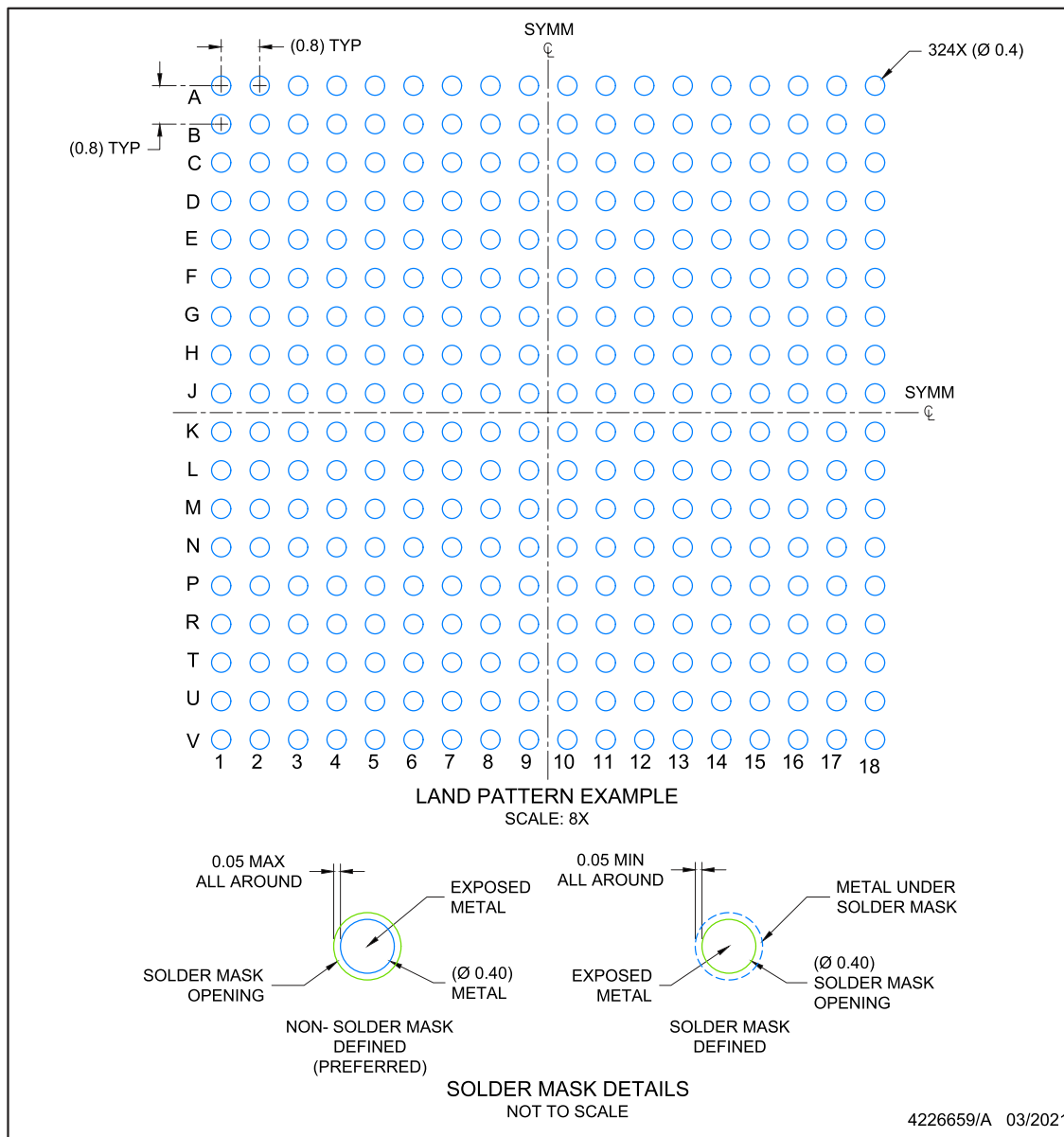
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

ZCZ0324A

NFBGA - 1.4 mm max height

PLASTIC BALL GRID ARRAY



NOTES: (continued)

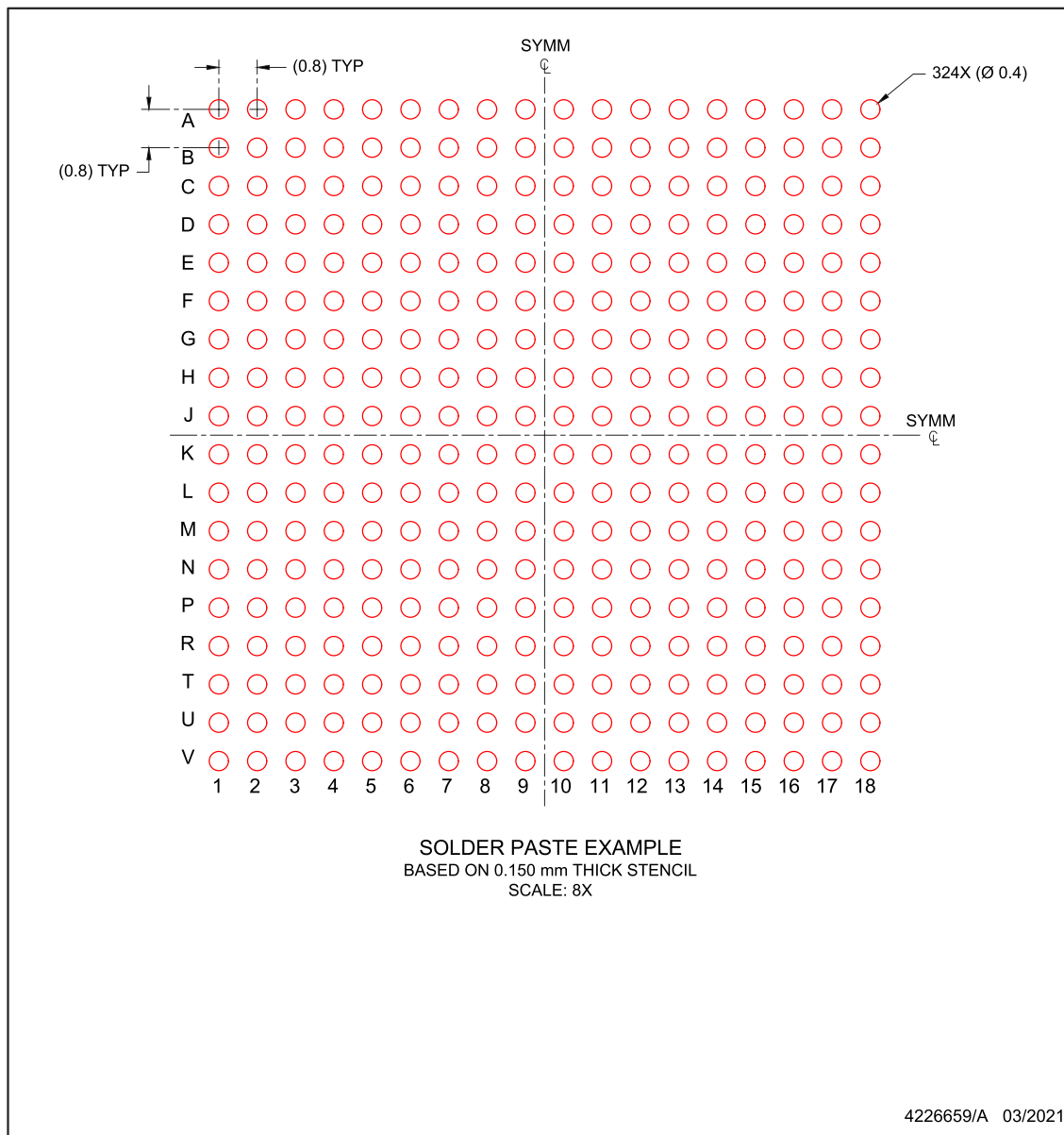
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. Refer to Texas Instruments Literature number SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

ZCZ0324A

NFBGA - 1.4 mm max height

PLASTIC BALL GRID ARRAY



NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要声明和免责声明

TI “按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

版权所有 © 2023，德州仪器 (TI) 公司

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM2611ALDFHMZEJRQ1	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-	AM261 1ALDFHMZEJRQ1 508
AM2611AODFHIZEJR	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	AM261 1AODFHIZEJR 508
AM2611AODFHIZFGR	Active	Production	NFBGA (ZFG) 304	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	AM261 1AODFHIZFGR 508
AM2611AODFHIZNCR	Active	Production	NFBGA (ZNC) 293	184 JEDEC TRAY (5+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	AM261 1AODFHIZNCR 508
AM2611AOFFHIZCZR	Active	Production	NFBGA (ZCZ) 324	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	AM261 1AOFFHIZCZR 508
AM2611AOFFHIZEJR	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	AM261 1AOFFHIZEJR 508
AM2611AOFFHIZFGR	Active	Production	NFBGA (ZFG) 304	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	AM261 1AOFFHIZFGR 508
AM2611AOFFHIZNCR	Active	Production	NFBGA (ZNC) 293	1000 JEDEC TRAY (5+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	AM261 1AOFFHIZNCR 508
AM2612ALDFHMZCZQ1	Active	Production	NFBGA (ZCZ) 324	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 150	AM261 2ALDFHMZCZQ1 508
AM2612AODFHIZEJR	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	AM261 2AODFHIZEJR 508
AM2612AODFHIZFGR	Active	Production	NFBGA (ZFG) 304	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	AM261 2AODFHIZFGR 508

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM2612AODFHIZNCR	Active	Production	NFBGA (ZNC) 293	184 JEDEC TRAY (5+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	AM261 2AODFHIZNCR 508
AM2612AOEFHIZFGR	Active	Production	NFBGA (ZFG) 304	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	AM261 2AOEFHIZFGR 508
AM2612AOEFHIZNCR	Active	Production	NFBGA (ZNC) 293	184 JEDEC TRAY (5+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	AM261 2AOEFHIZNCR 508
AM2612AOFFHIZEJR	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	AM261 2AOFFHIZEJR 508
AM2612AOFFHIZFGR	Active	Production	NFBGA (ZFG) 304	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	AM261 2AOFFHIZFG 508
AM2612AOFFHIZNCR	Active	Production	NFBGA (ZNC) 293	1000 JEDEC TRAY (5+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	AM261 2AOFFHIZNCR 508
AM2612AOFFHMZCZR	Active	Production	NFBGA (ZCZ) 324	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	AM261 2AOFFHMZCZR 508
AM2612APDFHMZCZRQ1	Active	Production	NFBGA (ZCZ) 324	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 150	AM261 2APDFHMZCZR 508

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF AM2611, AM2611-Q1, AM2612, AM2612-Q1 :

- Catalog : [AM2611](#), [AM2612](#)
- Automotive : [AM2611-Q1](#), [AM2612-Q1](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

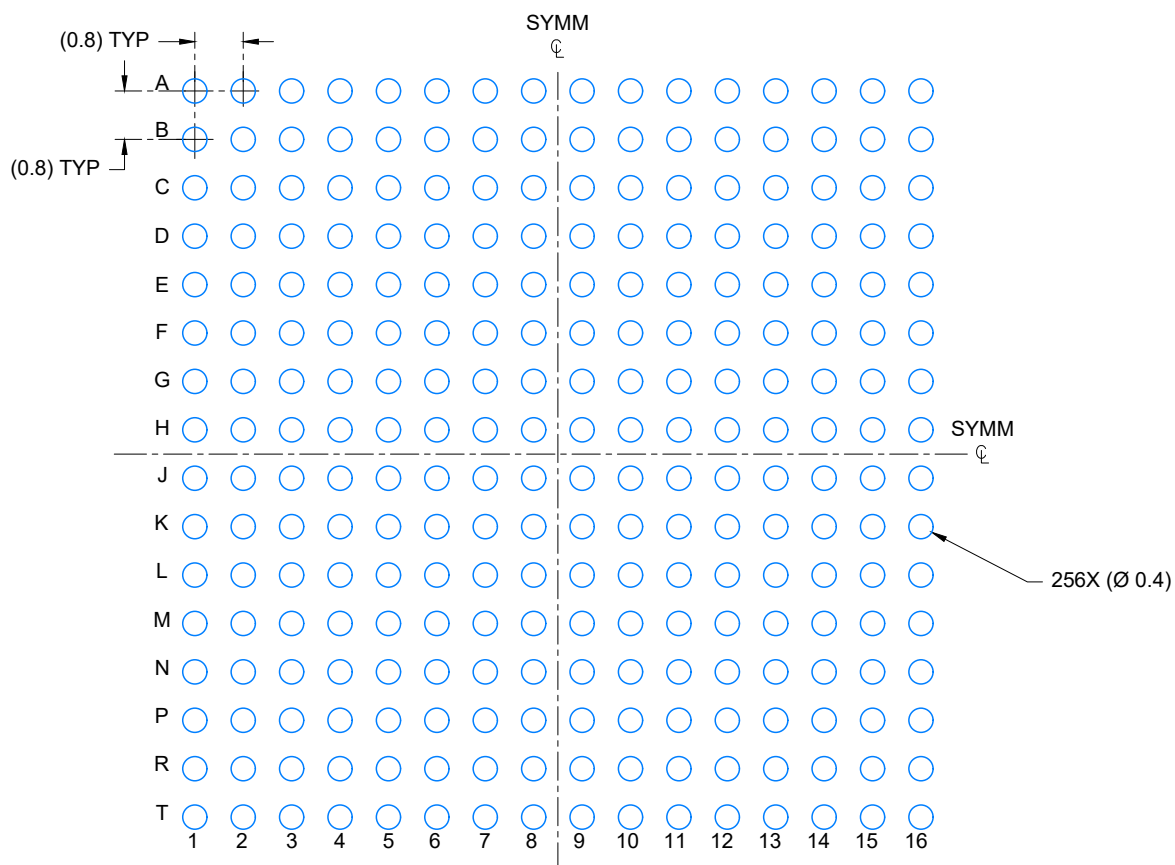
PACKAGE OUTLINE

NFBGA - 1.4 mm max height

[illegible]

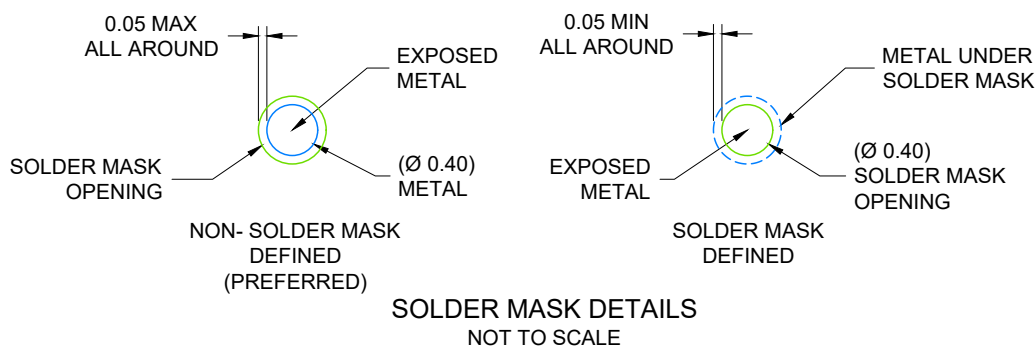
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE

SCALE: 8X



4226964/B 01/2022

NOTES: (continued)

- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. Refer to Texas Instruments Literature number SNVA009 (www.ti.com/lit/snva009).

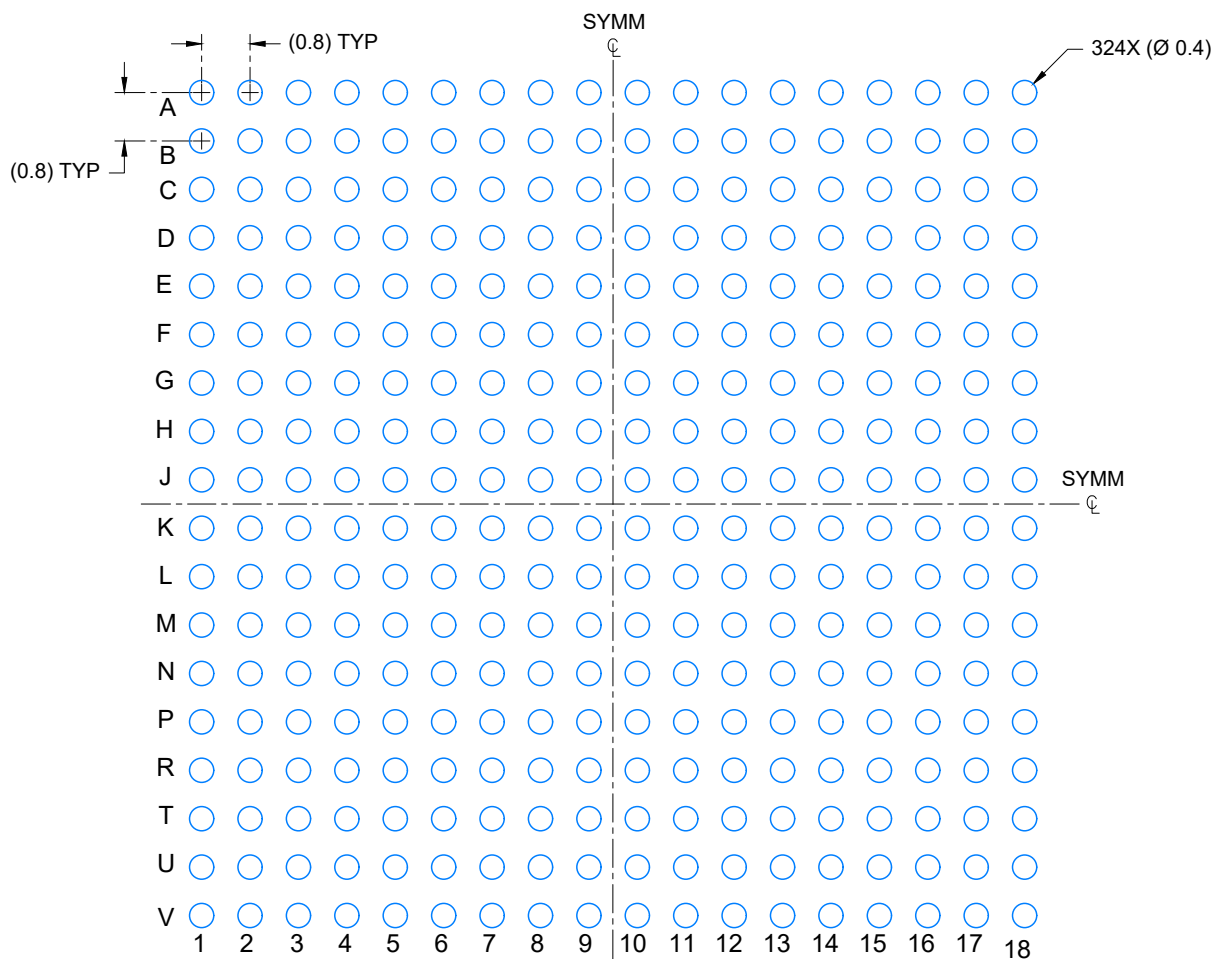


SOLDER PASTE EXAMPLE
BASED ON 0.150 mm THICK STENCIL
SCALE: 8X

4226964/B 01/2022

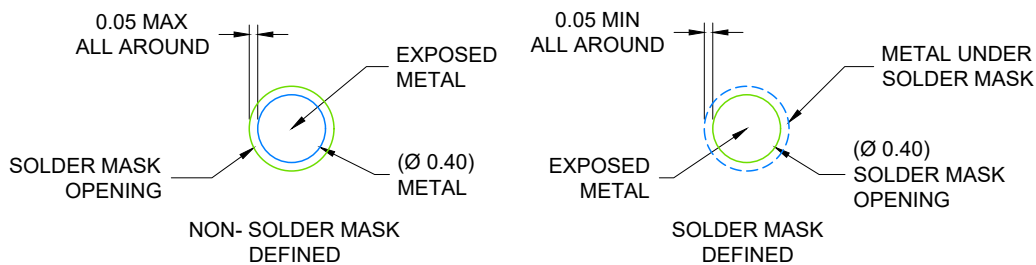
NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.



LAND PATTERN EXAMPLE

SCALE: 8X



SOLDER MASK DETAILS

NOT TO SCALE

4226659/A 03/2021

NOTES: (continued)

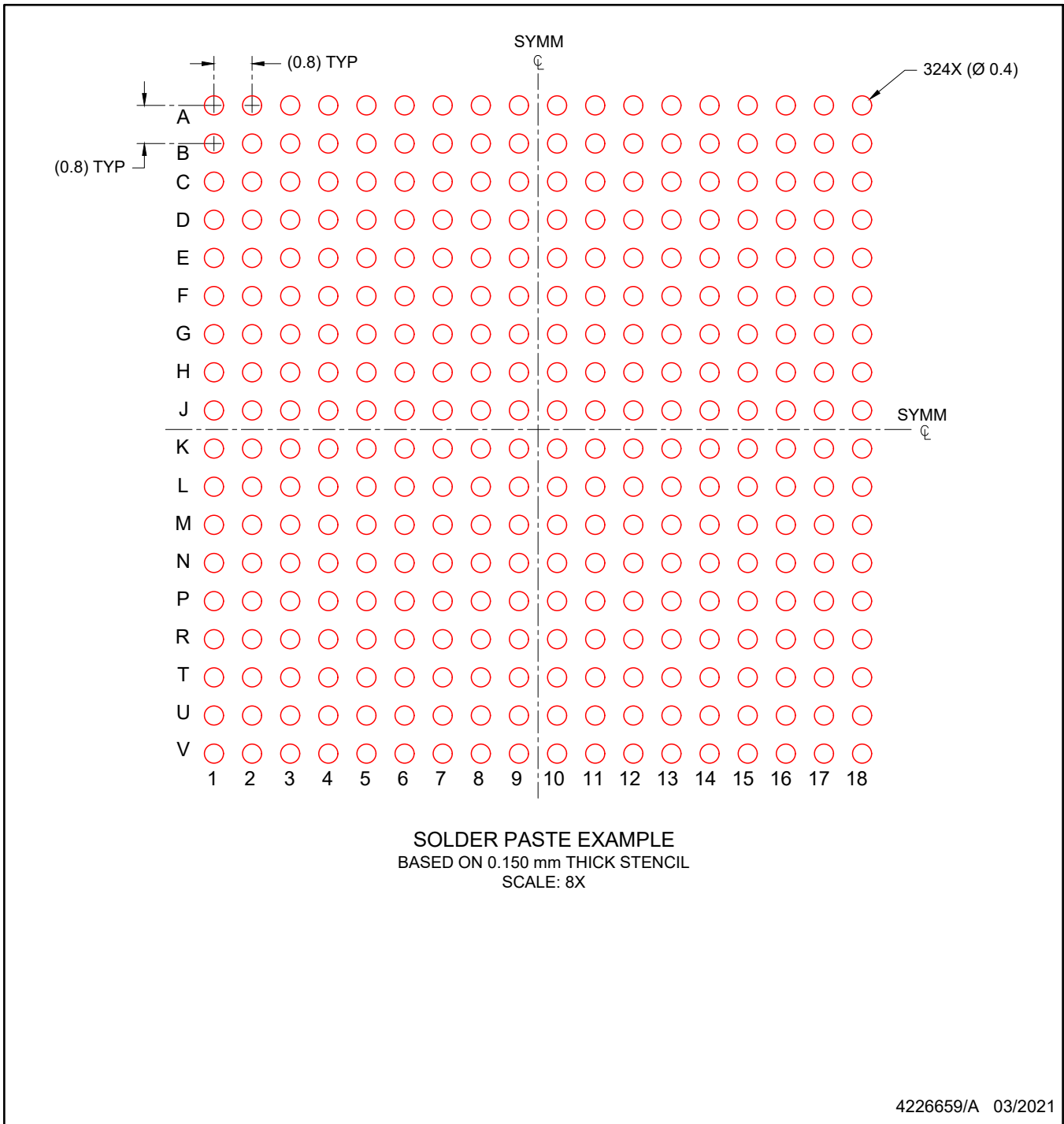
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. Refer to Texas Instruments Literature number SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

ZCZ0324A

NFBGA - 1.4 mm max height

PLASTIC BALL GRID ARRAY



NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月