具有 12GSPS DAC 和 3GSPS ADC 的 AFE7901 4T4R 射频采样 AFE

1 特性

- 申请完整数据表
- 四通道射频采样 12 GSPS 发送 DAC
- 四通道射频采样 3 GSPS 接收 ADC
- 每个 TX 或 RX 的最大射频信号带宽：400 MHz
- 射频频率范围：5 MHz 至 7.4 GHz
- 数字步进衰减器 (DSA)：
  - TX：40dB 范围，0.125dB 步进
  - RX：25dB 范围，0.5dB 步进
- 用于 TX 和 RX 的单频带或双频带 DUC/DDC
- 每个 TX 或 RX 16 个 NCO
- 可选内部 PLL/VCO，提供 DAC 或 ADC 采样率下的 DAC/ADC 时钟或外部时钟
- Sysref 对齐检测器
- 串行器/解串器数据接口：
  - 可兼容 JESD204B 和 JESD204C
  - 8 个高达 29.5 Gbps 的串行器/解串器收发器
  - 子类 1 多器件同步
- 封装：17mm × 17mm FCBGA，间距 0.8 mm

2 应用

- 雷达
- 导引头前端
- 国防无线电
- 战术通信基础设施
- 无线通信测试

3 说明

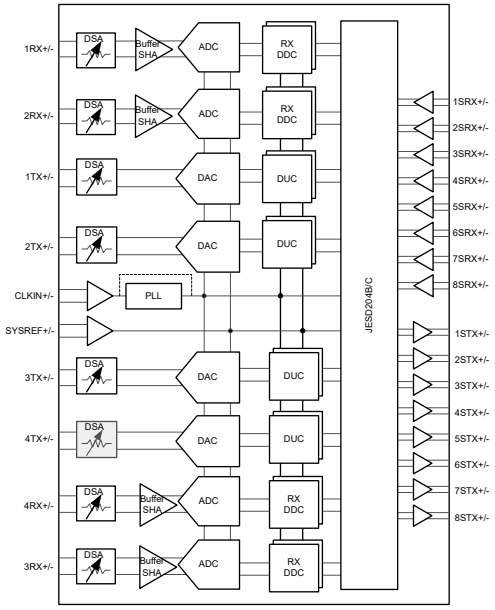
AFE7901 是一款高性能、宽带宽、多通道收发器，集成了四个射频采样发送器链和四个射频采样接收器链。此器件具有高达 7.4GHz 的工作频率，支持直接在 L、S 和 C 带频率范围内进行射频采样，无需额外的频率转换级。密度和灵活性的改进实现了对高通道数、多任务系统的支持。

TX 信号路径支持插值和数字上变频选项，从而使用一个单频带或双频带数字上变频器为每个 TX 路径提供高达 400MHz 的信号带宽。DUC 的输出驱动 12GSPS DAC（数模转换器），通过混合模式输出选项增强在第二奈奎斯特区的运行。DAC 输出包括一个具有 40dB 范围以及 1dB 模拟和 0.125dB 数字步进的可变增益放大器 (TX DSA)。

封装信息

器件型号	封装(1)	封装尺寸(2)
AFE7901	FC-BGA	17 mm × 17 mm

(1) 如需了解更多信息，请参阅*机械、封装和可订购信息*。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



功能方框图

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 说明（续）....3
5 修订历史记录....3
6 引脚配置和功能.... 4
7 规格....11
7.1 绝对最大额定值.... 11
7.2 ESD 等级....11
7.3 建议运行条件.... 12
7.4 AFE79xx 热性能信息.... 12
7.5 发送器电气特性....13
7.6 射频 ADC 电气特性....23
7.7 PLL/VCO/时钟电气特性.... 29
7.8 数字电气特性.... 31
7.9 电源电气特性.... 33
7.10 时序要求....35
7.11 开关特性....36
7.12 典型特性....37
8 器件和文档支持.... 153
8.1 接收文档更新通知.... 153
8.2 支持资源....153
8.3 商标....153
8.4 静电放电警告.... 153
8.5 术语表.... 153
9 机械、封装和可订购信息.... 153

Copyright © 2023 Texas Instruments Incorporated

4 说明（续）

每个接收器链均包含一个 25dB 范围的数字步进衰减器 (DSA)，后跟一个 3GSPS 模数转换器 (ADC)。每个接收器通道都有多个模拟峰值功耗检测器和各种数字功耗检测器，可辅助进行外部或内部自主自动增益控制器，另外还具有一个射频过载检测器，用于提供器件可靠性保护。灵活的抽取选项支持使用一个或两个数字下变频器 (DDC) 将信号带宽优化至高达 400MHz。

5 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from APRIL 20, 2023 to JUNE 13, 2023 (from Revision * (April 2023) to Revision A (June 2023)) **Page**

- 向*封装信息* 表中添加了注释 2 1
- 删除了所有“TX 典型特性”说明中的 *TX 时钟抖动启用* 79
- 将第一奈奎斯特区域输出更改为第二奈奎斯特区域输出 139

6 引脚配置和功能

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	W	Y	
20	VDD1P2 TXCLK	2TXOUT+	2TXOUT-	VDD1P2 TXCLK	VDD1P8TX	1TXOUT-	1TXOUT+	VDD1P8TX	VSSTX	VDD1P2 PLLCLK REF	VDD1P8 PLLVCO	VSSTX	VDD1P8TX	3TXOUT+	3TXOUT-	VDD1P8TX	VDD1P2 TXCLK	4TXOUT-	4TXOUT+	VDD1P2 TXCLK	20
19	VSSTXCLK	VSSTX	VSSTX	VSSTXCLK	VSSTX	VSSTX	VSSTX	VSSTX	PLL _LDOUT	SYSREF+	SYSREF-	VSSPLL	VSSTX	VSSTX	VSSTX	VSSTX	VSSTXCLK	VSSTX	VSSTX	VSSTXCLK	19
18	VSSFBCLK	VSSFBCLK	VSSTX	VSSTX	VSSTX	VSSTX	VSSTX	VSSTX	VSSPLL CLKREF	VDD1P2 PLLCLK REF	VDD1P2 PLLCLK REF	VSSPLL CLKREF	VSSTX	VSSTX	VSSTX	VSSTX	VSSTX	VSSTX	VSSFBCLK	VSSFBCLK	18
17	VDD1P8 FBCLK	VSSFB	VSSTX	VDD1P2 TXENC	VSSTXENC	VSSTX	VDD1P8 TXDAC	VDD1P8 TXDAC	VSS PLLRXCML	REFCLK+	REFCLK-	VSS PLLRXCML	VDD1P8 TXDAC	VDD1P8 TXDAC	VSSTX	VSSTXENC	VDD1P2 TXENC	VSSTX	VSSFB	VDD1P8 FBCLK	17
16	NC	VSSFB	VDD1P8FB	VDD1P2FB	VSSTXENC	GTR_7 _SPIB2SEN	GTR_17 _SPIB1CLK	GTR_14 _SPIB1SEN	VSSPLL FBCML	VDD1P8PLL	VDD1P8PLL	VSSPLL FBCML	GTL_7 _ALARM1	GTL_15 _GPIO3	GTL_18 _SPIASDO	VSSTXENC	VDD1P2FB	VDD1P8FB	VSSFB	NC	16
15	NC	VSSFB	VDD1P8FB	VDD1P2FB	VDD1P2FB	GTR_15 _RESETZ	GTR_13 _TRST	GTR_3 _TXTDD1	GTR_9 _SPIB2SDO	VDD1P2 PLLRXCML	VDD1P2 PLLFBCML	GTL_3 _AUX0	GTL_2 _ALARM2	GTL_4 _SPIACLK	GTL_6 _RXTDD2	VDD1P2FB	VDD1P2FB	VDD1P8FB	VSSFB	NC	15
14	VDD1P8 FBCLK	VSSFB	VSSFB	VDD1P2FB	VDD1P2RX	GTR_5 _TDO	GTR_18 _TDI	GTR_4 _TCLK	GTR_2 _SPIB2CLK	GTR_8 _FBTDD1	GTL_8 _AUX1	GTL_9 _AUX2	GTL_17 _SPIASDIO	GTL_1 _SPEEP	GTL_5 _SPIASEN	VDD1P2RX	VDD1P2FB	VSSFB	VSSFB	VDD1P8 FBCLK	14
13	VDD1P2RX	VSSRX	VSSRX	VSSRX	VDD1P2RX	VDD1P2RX	GTR_0 _RXGSWAP	GTR_6 _SPIB2 _SDIO	GND_ESD	DVDD0P9	DVDD0P9	GND_ESD	GTL_0 _GPIO2	GTL_11 _AUX3	VDD1P2RX	VDD1P2RX	VSSRX	VSSRX	VSSRX	VDD1P2RX	13
12	1RXIN+	VSSRX	VSSRX	VSSRX	VDD1P2RX	VDD1P2RX	GTR_11 _SPIB1 _SDO	GTR_1 _GPIO1	DGND	DVDD0P9	DVDD0P9	DGND	GTL_13 _AUX4	GTL_12 _BIST1	VDD1P2RX	VDD1P2RX	VSSRX	VSSRX	VSSRX	3RXIN+	12
11	1RXIN-	VSSRX	VDD1P8RX	VDD1P8RX	VDD1P2RX	VDD1P2RX	GTR_10 _TMS	GTR_12 _SPIB1 _SDIO	DGND	DVDD0P9	DVDD0P9	DGND	GTL_14 _AUX5	GTL_10 _BIST0	VDD1P2RX	VDD1P2RX	VDD1P8RX	VDD1P8RX	VSSRX	3RXIN-	11
10	VDD1P2RX	VSSRX	VDD1P8RX	VDD1P8RX	VDD1P8RX	VDD1P8RX	GBR_6 _RXBLNB	GBR_5 _FSPIDB	DGND	DVDD0P9	DVDD0P9	DGND	GBL_5 _GPIO15	GBL_6 _GPIO16	VDD1P8RX	VDD1P8RX	VDD1P8RX	VDD1P8RX	VSSRX	VDD1P2RX	10
9	VDD1P8 RXCLK	VSSRXCLK	VDD1P8RX	VDD1P8RX	VDD1P8RX	VDD1P8RX	GBR_9 _SYNCB _OUT0-	GBR_7 _SYNCB _OUT0+	DGND	DVDD0P9	DVDD0P9	DGND	GBL_7 _SYNCB _OUT1+	GBL_9 _SYNCB _OUT1-	VDD1P8RX	VDD1P8RX	VDD1P8RX	VDD1P8RX	VSSRXCLK	VDD1P8 RXCLK	9
8	2RXIN-	VSSRX	VSSRXCLK	GND_ESD	GBR_10 _FSPICLKA	VDD1P8RX	GBR_13 _GPIO8	GBR_8 _SYNCB _IN0+	DGND	DVDD0P9	DVDD0P9	DGND	GBL_8 _SYNCB _IN1+	GBL_13 _GPIO19	VDD1P8RX	GBL_10 _GPIO17	GND_ESD	VSSRXCLK	VSSRX	4RXIN-	8
7	2RXIN+	VSSRX	VSSRXCLK	GND_ESD	GBR_11 _RXTDD1	GBR_14 _FSPIDA	GBR_12 _GPIO7	GBR_17 _SYNCB _IN0-	DGND	DVDD0P9	DVDD0P9	DGND	GBL_17 _SYNCB _IN1-	GBL_12 _FSPICLKD	GBL_14 _FSPIDD	GBL_11 _GPIO18	GND_ESD	VSSRXCLK	VSSRX	4RXIN+	7
6	VDD1P8 RXCLK	VSSRXCLK	GBR_0 _GPIO4	GBR_19 _GPIO12	GBR_16 _GPIO10	GBR_1 _GPIO5	GBR_15 _GPIO9	VDD1P8 GPIO	DGND	DVDD0P9	DVDD0P9	DGND	VDD1P8 GPIO	GBL_15 _FSPIDC	GBL_1 _FBTDD2	GBL_16 _RXCLNB	GBL_19 _GPIO20	GBL_0 _GPIO13	VSSRXCLK	VDD1P8 RXCLK	6
5	VSSRXCLK	VSSRXCLK	GBR_18 _GPIO11	GBR_2 _RXALNB	GBR_4 _GPIO6	GBR_3 _FSPICLKB	IFORCE	VSSGPIO	DGND	DVDD0P9	DVDD0P9	DGND	VSSGPIO	VSENSE	GBL_3 _GPIO14	GBL_4 _RXDLNB	GBL_2 _FSPICLKC	GBL_18 _TXTDD2	VSSRXCLK	VSSRXCLK	5
4	VSST	VSST	1STX+	VDDT0P9	2STX+	VDDA1P8	3STX-	VDDA1P8	4STX-	VSST	VSST	5STX-	VDDA1P8	6STX-	VDDA1P8	7STX+	VDDT0P9	8STX+	VSST	VSST	4
3	1SRX+	VSST	1STX-	VDDT0P9	2STX-	VDDA1P8	3STX+	VDDA1P8	4STX+	SERDES _AMUX1	SERDES _AMUX2	5STX+	VDDA1P8	6STX+	VDDA1P8	7STX-	VDDT0P9	8STX-	VSST	8SRX+	3
2	1SRX-	VSST	VSST	VSST	VSST	VSST	VSST	VSST	VSST	DVDD0P9	DVDD0P9	VSST	VSST	VSST	VSST	VSST	VSST	VSST	VSST	8SRX-	2
1	VSST	2SRX+	2SRX-	VSST	3SRX+	3SRX-	VSST	4SRX+	4SRX-	VSST	VSST	5SRX-	5SRX+	VSST	6SRX-	6SRX+	VSST	7SRX-	7SRX+	VSST	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	W	Y	

- TX Outputs
- RX Inputs
- Clock Inputs
- Serdes Receivers
- Serdes Transmitters
- MISC Analog
- GPIO
- 0.9V Supplies
- 1.2V Supplies
- 1.8V Supplies
- GROUND

图 6-1. FCBGA 封装，400 引脚
（顶视图）

表 6-1. 引脚功能

焊球名称	焊球编号	类型(1)	说明
射频接口			
NC	A15、A16、Y15、Y16	I	请勿连接。
1RXIN –	A11	I	接收器通道 1 射频输入：负极端子。 未使用的 RX 输入可保持断开。
1RXIN+	A12	I	接收器通道 1 射频输入：正极端子。未使用的 RX 输入可保持断开。

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚功能 (continued)

焊球名称	焊球编号	类型[(1)]	说明
2RXIN –	A8	I	接收器通道 2 射频输入：负极端子。未使用的 RX 输入可保持断开。
2RXIN+	A7	I	接收器通道 2 射频输入：正极端子。未使用的 RX 输入可保持断开。
3RXIN –	Y11	I	接收器通道 3 射频输入：负极端子。
3RXIN+	Y12	I	接收器通道 3 射频输入：正极端子。未使用的 RX 输入可保持断开。
4RXIN –	Y8	I	接收器通道 4 射频输入：负极端子。未使用的 RX 输入可保持断开。
4RXIN+	Y7	I	接收器通道 4 射频输入：正极端子。未使用的 RX 输入可保持断开。
1TXOUT –	F20	O	发送器通道 1 射频输出：负极端子。不使用时连接至 1.8V。
1TXOUT+	G20	O	发送器通道 1 射频输出：正极端子。不使用时连接至 1.8V。
2TXOUT –	C20	O	发送器通道 2 射频输出：负极端子。不使用时连接至 1.8V。
2TXOUT+	B20	O	发送器通道 2 射频输出：正极端子。不使用时连接至 1.8V。
3TXOUT –	R20	O	发送器通道 3 射频输出：负极端子。不使用时连接至 1.8V。
3TXOUT+	P20	O	发送器通道 3 射频输出：正极端子。不使用时连接至 1.8V。
4TXOUT –	V20	O	发送器通道 4 射频输出：负极端子。不使用时连接至 1.8V。
4TXOUT+	W20	O	发送器通道 4 射频输出：正极端子。不使用时连接至 1.8V。
差分时钟输入			
REFCLK –	L17	I	基准时钟输入：负极端子
REFCLK+	K17	I	基准时钟输入：正极端子
SYSREF –	L19	I	SYSREEF 输入：负极端子
SYSREF+	K19	I	SYSREEF 输入：正极端子
串行器/解串器 CML 接口			
1SRX –	A2	I	CML 串行器/解串器接口通道 1 输入：负极端子。未使用的串行器/解串器输入可保持断开。
1SRX+	A3	I	CML 串行器/解串器接口通道 1 输入：正极端子。未使用的串行器/解串器输入可保持断开。
2SRX –	C1	I	CML 串行器/解串器接口通道 2 输入：负极端子。未使用的串行器/解串器输入可保持断开。
2SRX+	B1	I	CML 串行器/解串器接口通道 2 输入：正极端子。未使用的串行器/解串器输入可保持断开。
3SRX –	F1	I	CML 串行器/解串器接口通道 3 输入：负极端子
3SRX+	E1	I	CML 串行器/解串器接口通道 3 输入：正极端子。未使用的串行器/解串器输入可保持断开。
4SRX –	J1	I	CML 串行器/解串器接口通道 4 输入：负极端子
4SRX+	H1	I	CML 串行器/解串器接口通道 4 输入：正极端子
5SRX –	M1	I	CML 串行器/解串器接口通道 5 输入：负极端子。未使用的串行器/解串器输入可保持断开。
5SRX+	N1	I	CML 串行器/解串器接口通道 5 输入：正极端子
6SRX –	R1	I	CML 串行器/解串器接口通道 6 输入：负极端子
6SRX+	T1	I	CML 串行器/解串器接口通道 6 输入：正极端子。未使用的串行器/解串器输入可保持断开。
7SRX –	V1	I	CML 串行器/解串器接口通道 7 输入：负极端子

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚功能 (continued)

焊球名称	焊球编号	类型[(1)]	说明
7SRX+	W1	I	CML 串行器/解串器接口通道 7 输入：正极端子。 未使用的串行器/解串器输入可保持断开。
8SRX –	Y2	I	CML 串行器/解串器接口通道 8 输入：负极端子
8SRX+	Y3	I	CML 串行器/解串器接口通道 8 输入：正极端子。 未使用的串行器/解串器输入可保持断开。
1STX –	C3	O	CML 串行器/解串器接口通道 1 输出：负极端子。 未使用的串行器/解串器输出可保持断开。
1STX+	C4	O	CML 串行器/解串器接口通道 1 输出：正极端子。 未使用的串行器/解串器输出可保持断开。
2STX –	E3	O	CML 串行器/解串器接口通道 2 输出：负极端子。 未使用的串行器/解串器输出可保持断开。
2STX+	E4	O	CML 串行器/解串器接口通道 2 输出：正极端子。 未使用的串行器/解串器输出可保持断开。
3STX –	G4	O	CML 串行器/解串器接口通道 3 输出：负极端子。 未使用的串行器/解串器输出可保持断开。
3STX+	G3	O	CML 串行器/解串器接口通道 3 输出：正极端子。 未使用的串行器/解串器输出可保持断开。
4STX –	J4	O	CML 串行器/解串器接口通道 4 输出：负极端子。 未使用的串行器/解串器输出可保持断开。
4STX+	J3	O	CML 串行器/解串器接口通道 4 输出：正极端子。 未使用的串行器/解串器输出可保持断开。
5STX –	M4	O	CML 串行器/解串器接口通道 5 输出：负极端子。 未使用的串行器/解串器输出可保持断开。
5STX+	M3	O	CML 串行器/解串器接口通道 5 输出：正极端子。 未使用的串行器/解串器输出可保持断开。
6STX –	P4	O	CML 串行器/解串器接口通道 6 输出：负极端子。 未使用的串行器/解串器输出可保持断开。
6STX+	P3	O	CML 串行器/解串器接口通道 6 输出：正极端子。 未使用的串行器/解串器输出可保持断开。
7STX –	T3	O	CML 串行器/解串器接口通道 7 输出：负极端子。 未使用的串行器/解串器输出可保持断开。
7STX+	T4	O	CML 串行器/解串器接口通道 7 输出：正极端子。 未使用的串行器/解串器输出可保持断开。
8STX –	V3	O	CML 串行器/解串器接口通道 8 输出：负极端子。 未使用的串行器/解串器输出可保持断开。
8STX+	V4	O	CML 串行器/解串器接口通道 8 输出：正极端子。 未使用的串行器/解串器输出可保持断开。
GPIO 功能			
GBL_0_GPIO13	V6	I/O	GPIO。
GBL_1_FBTDD2	R6	I/O	FB TDD2 输入信号的默认位置。
GBL_2_FSPICLKC	U5	I/O	FSPI C 时钟的默认和建议位置（FSPI 仅限工厂使用，作为通用 GPIO 提供）。
GBL_3_GPIO14	R5	I/O	GPIO。
GBL_4_RXDLNB	T5	I/O	RX 通道 D AGC LNA 旁路输出信号的默认位置。
GBL_5_GPIO15	N10	I/O	GPIO。

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚功能 (continued)

焊球名称	焊球编号	类型[(1)]	说明
GBL_6_GPIO16	P10	I/O	GPIO。
GBL_7_SYNCB_OUT1+	N9	I/O	JESD Sync\ 1 输出差分正极端子的默认位置。
GBL_8_SYNCB_IN1+	N8	I/O	JESD Sync\ 1 输入差分正极端子的默认位置。
GBL_9_SYNCB_OUT1 –	P9	I/O	JESD Sync\ 1 输出差分负极端子的默认位置。
GBL_10_GPIO17	T8	I/O	GPIO。
GBL_11_GPIO18	T7	I/O	GPIO。
GBL_12_FSPICLKD	P7	I/O	FSPI D 时钟的默认和建议位置（FSPI 仅限工厂使用，作为通用 GPIO 提供）。
GBL_13_GPIO19	P8	I/O	GPIO。
GBL_14_FSPIDD	R7	I/O	FSPI D 数据的默认和建议位置（FSPI 仅限工厂使用，作为通用 GPIO 提供）。
GBL_15_FSPIDC	P6	I/O	FSPI C 时钟的默认和建议位置（FSPI 仅限工厂使用，作为通用 GPIO 提供）。
GBL_16_RXCLNB	T6	I/O	RX 通道 C AGC LNA 旁路输出信号的默认位置。
GBL_17_SYNCB_IN1 –	N7	I/O	JESD Sync\ 1 输入差分负极端子的默认位置。
GBL_18_TXTDD2	V5	I/O	TX TDD2 输入信号的默认位置。
GBL_19_GPIO20	U6	I/O	GPIO。
GBR_0_GPIO4	C6	I/O	GPIO。
GBR_1_GPIO5	F6	I/O	GPIO。
GBR_2_RXALNB	D5	I/O	RX 通道 A AGC LNA 旁路输出信号的默认位置。
GBR_3_FSPICLKB	F5	I/O	FSPI B 时钟的默认和建议位置（FSPI 仅限工厂使用，作为通用 GPIO 提供）。
GBR_4_GPIO6	E5	I/O	GPIO。
GBR_5_FSPIDB	H10	I/O	FSPI B 数据的默认和建议位置（FSPI 仅限工厂使用，作为通用 GPIO 提供）。
GBR_6_RXBLNB	G10	I/O	RX 通道 B AGC LNA 旁路输出信号的默认位置。
GBR_7_SYNCB_OUT0+	H9	I/O	JESD Sync\ 0 输出差分正极端子的默认位置。
GBR_8_SYNCB_IN0+	H8	I/O	JESD Sync\ 0 输入差分正极端子的默认位置。
GBR_9_SYNCB_OUT0 –	G9	I/O	JESD Sync\ 0 输出差分负极端子的默认位置。
GBR_10_FSPICLKA	E8	I/O	FSPI A 时钟的默认位置（FSPI 仅限工厂使用，作为通用 GPIO 提供）。
GBR_11_RXTDD1	E7	I/O	RX TDD1 输入信号的默认位置。
GBR_12_GPIO7	G7	I/O	GPIO。
GBR_13_GPIO8	G8	I/O	GPIO。
GBR_14_FSPIDA	F7	I/O	FSPI A 时钟的默认和建议位置（FSPI 仅限工厂使用，作为通用 GPIO 提供）。
GBR_15_GPIO9	G6	I/O	GPIO。
GBR_16_GPIO10	E6	I/O	GPIO。
GBR_17_SYNCB_IN0 –	H7	I/O	JESD Sync\ 0 输入差分负极端子的默认位置。
GBR_18_GPIO11	C5	I/O	GPIO。
GBR_19_GPIO12	D6	I/O	GPIO。
GTL_0_GPIO2	N13	I/O	GPIO。
GTL_1_SLEEP	P14	I/O	睡眠输入信号的默认位置。
GTL_2_ALARM2	N15	I/O	警报 2 输出信号的默认位置。

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚功能 (continued)

焊球名称	焊球编号	类型[(1)]	说明
GTL_3_AUX0	M15	I/O	GPIO 或辅助低速 ADC 输入 0
GTL_4_SPIACLK	P15	I/O	SPI A 时钟的固定位置。
GTL_5_SPIASEN	R14	I/O	SPI A 发送使能的固定位置。
GTL_6_RXTDD2	R15	I/O	RX TDD2 输入信号的默认位置。
GTL_7_ALARM1	N16	I/O	警报 1 输出信号的默认位置。
GTL_8_AUX1	L14	I/O	GPIO 或辅助低速 ADC 输入 1。
GTL_9_AUX2	M14	I/O	GPIO 或辅助低速 ADC 输入 2。
GTL_10_BIST0	P11	I/O	BIST0 功能的固定位置。使用 JTAG 时设置为低电平，正常运行时设置为高电平。
GTL_11_AUX3	P13	I/O	GPIO 或辅助低速 ADC 输入 3。
GTL_12_BIST1	P12	I/O	BIST1 功能的固定位置。使用 JTAG 时设置为高电平，正常运行时设置为低电平。
GTL_13_AUX4	N12	I/O	GPIO 或辅助低速 ADC 输入 4。
GTL_14_AUX5	N11	I/O	GPIO 或辅助低速 ADC 输入 5。
GTL_15_GPIO3	P16	I/O	GPIO。
GTL_17_SPIASDIO	N14	I/O	SPI A 串行数据输入（3 线和 4 线模式）或输出（仅 3 线模式）的固定位置。
GTL_18_SPIASDO	R16	I/O	4 线模式下 SPI A 串行数据输出的固定位置。
GTR_0_RXGSWAP	G13	I/O	RX 增益交换输入的默认位置。
GTR_1_GPIO1	H12	I/O	GPIO。
GTR_2_SPIB2CLK	J14	I/O	SPI B2 时钟的默认和建议位置。
GTR_3_TXTDD1	H15	I/O	TX TDD1 输入信号的默认位置。
GTR_4_TCLK	H14	I/O	JTAG 测试时钟的固定位置。
GTR_5_TDO	F14	I/O	JTAG 测试数据输出的固定位置。
GTR_6_SPIB2_SDIO	H13	I/O	SPI B2 串行数据输入/输出的默认和建议位置。
GTR_7_SPIB2SEN	F16	I/O	SPI B2 使能输入的默认和建议位置。
GTR_8_FBTDD1	K14	I/O	FB TDD1 输入信号的默认位置。
GTR_9_SPIB2SDO	J15	I/O	SPI B2 串行数据输出的默认和建议位置（4 线模式）
GTR_10_TMS	G11	I/O	JTAG 测试模式选择的固定位置。
GTR_11_SPIB1_SDO	G12	I/O	SPI B1 串行数据输出的默认和建议位置（4 线模式）。
GTR_12_SPIB_SDIO	H11	I/O	SPI B1 串行数据输入/输出的默认和建议位置。
GTR_13_TRST	G15	I/O	JTAG 测试复位的固定位置。在不使用 JTAG 端口时必须拉至低电平。
GTR_14_SPIB1SEN	H16	I/O	SPI B1 使能输入的默认和建议位置。
GTR_15_RESETZ	F15	I/O	复位功能的固定位置。芯片复位为默认寄存器设置。
GTR_17_SPIB1CLK	G16	I/O	SPI B1 时钟的默认和建议位置。
GTR_18_TDI	G14	I/O	JTAG 测试数据输入的固定位置。
电源			
DVDD	K2、K5、K6、K7、K8、K9、K10、K11、K12、K13、L2、L5、L6、L7、L8、L9、L10、L11、L12、L13	—	0.9V 数字电源
VDD1P2FB	D14、D15、D16、E15、U14、U15、U16、T15	—	FB ADC 链的 1.2V 电源。
VDD1P8FB	C15、C16、V15、V16	—	FB ADC 的 1.8V 电源。

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚功能 (continued)

焊球名称	焊球编号	类型[(1)]	说明
VDD1P8FBCLK	A14、A17、Y17、Y14	—	FB ADC 时钟的 1.8V 电源。
VDD1P2PLLCLKREF	K20、K18、L18	—	PLL 的 1.2V 电源。
VDDPLL1P2FBCML	L15	—	将 PLL 时钟分配至 FB ADC 所需使用的 1.2V 电源。
VDDPLL1P2RXCML	K15	—	将时钟分配至 RX ADC 所需使用的 1.2V 电源。
VDD1P8PLL	K16、L16	—	PLL 的 1.8V 电源。
VDD1P8PLLVCO	L20	—	PLL/VCO 使用的 1.8V 电源。这是敏感网，在布局时需要格外小心。
VDD1P2RX	A10、A13、E11、E12、E13、E14、F11、F12、F13、R11、R12、R13、T11、T12、T13、T14、Y10、Y13	—	RX ADC 的 1.2V 电源。
VDD1P8RX	C9、C10、C11、D9、D10、D11、E9、E10、F8、F9、F10、R8、R9、R10、T9、T10、U9、U10、U11、V9、V10、V11	—	RX ADC 的 1.8V 电源。
VDD1P8RXCLK	A6、A9、Y6、Y9	—	RX ADC 时钟的 1.8V 电源。
VDD1P2TXENC	D17、U17	—	DAC 编码器的 1.2V 电源。
VDD1P2TXCLK	A20、D20、U20、Y20	—	DAC 时钟的 1.2V 电源。
VDD1P8TX	E20、H20、N20、T20	—	DAC 的 1.8V 电源。
VDD1P8TXDAC	G17、H17、N17、P17	—	DAC 的 1.8V 电源。
VDD1P8GPIO	H6、N6	—	GPIO 的 1.8V 电源。
VDDA1P8	F3、F4、H3、H4、R3、R4、N3、N4	—	串行器/解串器模拟 1.8V 电源。
VDDT0P9	D3、D4、U3、U4	—	串行器/解串器数字 0.9V 电源。
接地 (GROUNDS)			
数字接地 (DGND)	J5、J6、J7、J8、J9、J10、J11、J12、M5、M6、M7、M8、M9、M10、M11、M12	—	数字内核接地
VSSGPIO	H5、N5	—	GPIO 接地。
VSSFB	B14、B15、B16、B17、C14、V14、W14、W15、W16、W17	—	FB ADC 电源的接地端。
VSSFBCLK	A18、B18、W18、Y18	—	FB ADC 1.8V 时钟电源的接地端。
GND_ESD	D7、D8、J13、M13、U7、U8	—	ESD 保护电路的接地端。
VSSRX	B7、B8、B10、B11、B12、C12、D12、B13、C13、D13、W7、W8、W10、W11、W13、U12、V12、W12、U13、V13	—	RX ADC 的接地端。
VSSRXCLK	A5、B5、B6、B9、C7、C8、W5、W6、W9、Y5、V7、V8	—	RX ADC 时钟的接地端。

表 6-1. 引脚功能 (continued)

焊球名称	焊球编号	类型[(1)]	说明
VSSTX	B19、C17、C18、C19、D18、E18、E19、F17、F18、F19、G18、G19、H18、H19、J20、M20、N18、N19、P18、P19、R17、R18、R19、T18、T19、U18、V17、V18、V19、W19	—	TX DAC 的接地端。
VSSTXENC	E16、E17、T16、T17	—	TX DAC 编码器的接地端。
VSSTXCLK	A19、D19、U19、Y19	—	TX DAC 时钟的接地端。
VSSPLL	M19	—	PLL 的接地端。
VSSPLLFBCML	J16、M16	—	FB ADC 时钟的接地端。
VSSPLLCLKREF	J18、M18	—	CLKREF PLL 的接地端。
VSSPLLRXCML	J17、M17	—	RX ADC 时钟的接地端。
VSST	A1、A4、B2、B3、B4、C2、D1、D2、E2、F2、G1、G2、H2、J2、K1、K4、L1、L4、M2、N2、P1、P2、R2、T2、U1、U2、V2、W2、W3、W4、Y1、Y4	—	串行器/解串器接地。
其他			
IFORCE	G5	—	仅保留供 TI 使用。请勿连接。
PLL_LDOUT	J19	—	将一个 100nF 电容器连接到 GND
SerDes_AMUX1	K3	—	串行器/解串器通道 1-4 的模拟测试引脚可保持悬空
SerDes_AMUX2	L3	—	串行器/解串器通道 5-8 的模拟测试引脚可保持悬空
VSENSE	P5	—	工艺测试：检测电压（仅供 TI 使用）。请勿连接。

(1) 信号类型：I = 输入，O = 输出，I/O = 输入或输出。

Copyright © 2023 Texas Instruments Incorporated

7 规格

7.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

		最小值	最大值	单位
电源电压范围	DVDD0P9、VDDT0P9	–0.3	1.2	V
	VDD1P2RX、VDD1P2TXCLK、VDD1P2TXENC、VDD1P2PLL、VDD1P2PLLCLKREF、VDD1P2FB、VDD1P2FBCML、VDD1P2RXCML	–0.3	1.4	V
	VDD1P8RX、VDD1P8RXCLK、VDD1P8TX、VDD1P8TXDAC、VDD1P8TXENC、VDD1P8PLL、VDD1P8PLLVCO、VDD1P8FB、VDD1P8FBCLK、VDD1P8GPIO、VDDA1P8	–0.5	2.1	V
引脚电压范围	{1/2/3/4}RXIN+/-	–0.5	VDDRX1P8+0.3	V
	1FBIN+/-、2FB+/-	–0.5	VDDFB1P8+0.3	V
	{1/2/3/4}TXOUT+/-	–0.5	VDDTX1P8+0.3	V
	REFCLK+/-、SYSREF+/-	–0.3	1.4	V
	{1:8}SRX+/-	–0.3	1.4	V
	{1:8}STX+/-	–0.3	1.4	V
	GPIO{B/C/D/E}x、SPICLK、SPISDIO、SPISDO、SPISEN、RESETZ、BISTB0、BISTB1	–0.5	VDD1P8GPIO + 0.3	V
	IFORCE、VSENSE	–0.3	VDDCLK1P8 + 0.3	V
	SRDAMUX1、SRDAMUX2	–0.3	VDDA1P8+0.3	V
峰值输入电流	任意输入		20	mA
T_J	结温		150	°C
T_{stg}	贮存温度	–65	150	°C

(1) 如果应力超出*绝对最大额定值*下所列的值，则有可能会对器件造成永久损坏。这些仅仅是应力额定值，并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

7.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚[(1)]	1000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚	150	

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。

7.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
DVDD0P9、VDDT0P9	电源电压 0.9V	0.9	0.925	0.95	V
VDD1P2{RX/TXCLK/TXENC/FB/PLL/PLLCLKREF/FBCML/RXCML}	电源电压 1.2V	1.15	1.2	1.25	V
VDD1P8{RX/RXCLK/TX/TXDAC/TXENC/PLL/PLLVCO/FB/FBCLK/GPIO}、VDDA1P8	电源电压 1.8V	1.75	1.8	1.85	V
T_A	环境温度	–40		85	°C
T_J	工作结温			110[(1)]	°C
	最高工作结温	125			°C

(1) 长时间等于或高于此结温使用可能会增加器件的时基故障 (FIT) 率。有关更多详细信息，请参阅 SBAA403 应用手册

7.4 AFE79xx 热性能信息

热指标[(1)]		17mmx17mm FC-BGA 400 引脚	单位
$R_{\theta JA}$	结至环境热阻	16.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	0.42	°C/W
$R_{\theta JB}$	结至电路板热阻	4.85	°C/W
Ψ_{JT}	结至顶部特征参数	0.12	°C/W
Ψ_{JB}	结至电路板特征参数	4.6	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

Copyright © 2023 Texas Instruments Incorporated

7.5 发送器电气特性

T_A = +25°C 时的典型值，整个温度范围为 $T_{A,MIN}$ = -40°C 至 $T_{J,MAX}$ = +110°C；TX 输入速率= 491.52MSPS，低于 6GHz 时 f_{DAC} = 11796.48MSPS，高于 6GHz 时 f_{DAC} = 9000MSPS；低于 6GHz 输出频率时为 PLL 时钟模式，高于 6GHz 输出频率时为外部时钟模式；第一奈奎斯特区域为交错模式，第二奈奎斯特区域为非交错混合模式，标称电源；单音幅值为 -1dBFS；DSA 衰减 = 0dB，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
DAC_{RES}	DAC 分辨率			14		位
f_{RFout}	RF 输出频率范围	f_{DAC} = 12GSPS，第一奈奎斯特区域	5		6000	MHz
		f_{DAC} = 9GSPS，第一奈奎斯特区域	5		4500	
		f_{DAC} = 9GSPS，第二奈奎斯特区域	4500		7400	
		f_{DAC} = 6GSPS，第一奈奎斯特区域	5		3000	
		f_{DAC} = 6GSPS，第二奈奎斯特区域	3000		6000	
P_{max_FS}	器件引脚上的最大满量程输出功率，单音最大增益	f_{out} = 10MHz，f_{DAC} = 6GSPS，-0.1dBFS		6.5		dBm
		f_{out} = 30MHz，f_{DAC} = 6GSPS，-0.1dBFS		6.5		dBm
		f_{out} = 400MHz，f_{DAC} = 6GSPS，-0.1dBFS		5.6		dBm
		f_{out} = 850MHz，f_{DAC} = 5898.24MSPS，-0.5dBFS		4.3		dBm
		f_{out} = 1800MHz，f_{DAC} = 5898.24MSPS，-0.5dBFS		3.2		dBm
		f_{out} = 2600MHz，f_{DAC} = 8847.36MSPS，-0.5dBFS		2.3		dBm
		f_{out} = 3500MHz，-0.5dBFS		2.9		dBm
		f_{out} = 4900MHz，-0.5dBFS		-0.6		dBm
		f_{out} = 3500MHz，f_{DAC} = 5898.24MSPS，-0.5dBFS，直接模式		-2.3		dBm
		f_{out} = 4900MHz，f_{DAC} = 5898.24MSPS，-0.5dBFS，直接模式		-3.4		dBm
		f_{out} = 4900MHz，f_{DAC} = 8847.36MSPS，-0.5dBFS，直接模式		-3.9		dBm
R_{TERM}	输出端接电阻器	默认设置		100		Ω
ATT_{range}	DSA 衰减范围			40		dB
ATT_{step}	DSA 模拟衰减步长			1.0		dB
	DSA 衰减步长精度 (DNL)[(2)]	校准后 0 < Atten < 40dB		±0.1		dB
		校准前 0 < Atten < 40dB		±0.2		
ATT_{step}	DSA 增益步长相位精度，任何 8dB 范围[(2)]	f_{out} = 30MHz		±1		度
		f_{out} = 400MHz		±1		度
		f_{out} = 850MHz		±1		度
		f_{out} = 1800MHz		±1		度
		f_{out} = 2600MHz		±1		度
		f_{out} = 3500MHz		±1		
		f_{out} = 4900MHz		±1		度
G_{flat}	增益平坦度	任何 20MHz		0.1		dB
		600MHz 带宽，F_{out} < 4.9G		1.2		

7.5 发送器电气特性 (continued)

T_A = +25°C 时的典型值，整个温度范围为 $T_{A,MIN}$ = -40°C 至 $T_{J,MAX}$ = +110°C；TX 输入速率= 491.52MSPS，低于 6GHz 时 f_{DAC} = 11796.48MSPS，高于 6GHz 时 f_{DAC} = 9000MSPS；低于 6GHz 输出频率时为 PLL 时钟模式，高于 6GHz 输出频率时为外部时钟模式；第一奈奎斯特区域为交错模式，第二奈奎斯特区域为非交错混合模式，标称电源；单音幅值为 -1dBFS；DSA 衰减 = 0dB，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
IMD3	三阶互调失真	f_{DAC} = 6GSPS，f_{out} = 5MHz ± 1MHz，单音幅值为 -7dBFS		-48		dBc
		f_{DAC} = 6GSPS，f_{out} = 30MHz ± 1MHz，单音幅值为 -7dBFS		-47		dBc
		f_{DAC} = 6GSPS，f_{out} = 400MHz ± 2MHz，单音幅值为 -7dBFS		-51		dBc
		f_{out} = 850MHz ± 10MHz，单音幅值为 -7dBFS		-61		dBc
		f_{out} = 1800MHz ± 10MHz，单音幅值为 -7dBFS		-62		dBc
		f_{out} = 2600MHz ± 10MHz，单音幅值为 -7dBFS		-64		dBc
		f_{out} = 3500MHz ± 10MHz，单音幅值为 -7dBFS		-63		dBc
		f_{out} = 4900MHz ± 10MHz，单音幅值为 -7dBFS		-64		dBc
		f_{out}= 5MHz ± 1MHz，单音幅值为 -13dBFS		-72		dBc
		f_{DAC} = 6GSPS，f_{out} = 30MHz ± 1MHz，单音幅值为 -13dBFS		-71		dBc
		f_{DAC} = 6GSPS，f_{out} = 400MHz ± 2MHz，单音幅值为 -13dBFS		-72		dBc
		f_{out} = 850MHz ± 10MHz，单音幅值为 -13dBFS		-73		dBc
		f_{out} = 1800MHz ± 10MHz，单音幅值为 -13dBFS		-75		dBc
		f_{out} = 2600MHz ± 10MHz，单音幅值为 -13dBFS		-79		dBc
		f_{out} = 3500MHz ± 10MHz，单音幅值为 -13dBFS		-77		dBc
		f_{out} = 4900MHz ± 10MHz，单音幅值为 -13dBFS		-77		dBc
SFDR	无杂散动态范围（在奈奎斯特区域内）	f_{out} = 30MHz，f_{DAC} = 6000MSPS，交错模式，20Gbps 串行器/解串器速率		45		dBc
		f_{out} = 400MHz，f_{DAC} = 6000MSPS，交错模式，20Gbps 串行器/解串器速率		48		dBc
		f_{out} = 850MHz，f_{DAC} = 11796.48MSPS		62		dBc
		f_{out} = 1800MHz，f_{DAC} = 11796.48MSPS		56		dBc
		f_{out} = 2600MHz，f_{DAC} = 11796.48MSPS		39		dBc
		f_{out} = 3500MHz，f_{DAC} = 11796.48MSPS		42		dBc
		f_{out} = 4900MHz，f_{DAC} = 11796.48MSPS		60		dBc

Copyright © 2023 Texas Instruments Incorporated

7.5 发送器电气特性 (continued)

T_A = +25°C 时的典型值，整个温度范围为 $T_{A,MIN}$ = -40°C 至 $T_{J,MAX}$ = +110°C；TX 输入速率= 491.52MSPS，低于 6GHz 时 f_{DAC} = 11796.48MSPS，高于 6GHz 时 f_{DAC} = 9000MSPS；低于 6GHz 输出频率时为 PLL 时钟模式，高于 6GHz 输出频率时为外部时钟模式；第一奈奎斯特区域为交错模式，第二奈奎斯特区域为非交错混合模式，标称电源；单音幅值为 -1dBFS；DSA 衰减 = 0dB，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
$f_S/2 - f_{OUT}$	交错图像	f_{DAC} = 5898.24MSPS，交错模式		-47		dBc
		f_{DAC} = 8847.36MSPS，交错模式		-43		dBc
		f_{DAC} = 11796.48MSPS，交错模式		-43		dBc
HD2	二阶谐波失真（在奈奎斯特区域内）	f_{DAC} = 6GSPS，f_{out} = 5MHz		-72		dBc
		f_{DAC} = 6GSPS，f_{out} = 30MHz		-75		dBc
		f_{DAC} = 6GSPS，f_{out} = 100MHz		-73		dBc
		f_{out} = 400 MHz		-46		dBc
		f_{out} = 850MHz		-65		dBc
		f_{out} = 1800MHz		-68		dBc
		f_{out} = 2600MHz		-47		dBc
		f_{out} = 3500MHz		-59		dBc
		f_{out}= 4900MHz		-48		dBc
		f_{out} = 850MHz，A_{OUT}= -12dBFS		-74		dBc
		f_{out} = 1800MHz，A_{OUT}= -12dBFS		-67		dBc
		f_{out} = 2600MHz，A_{OUT}= -12dBFS		-58		dBc
		f_{out} = 3500MHz，A_{OUT}= -12dBFS		-69		dBc
		f_{out}= 4900MHz，A_{OUT}= -12dBFS		-59		dBc
HD3	三阶谐波失真（在奈奎斯特区域内）	f_{DAC} = 6GSPS，f_{out} = 5MHz		-46		dBc
		f_{DAC} = 6GSPS，f_{out} = 30MHz		-48		dBc
		f_{DAC} = 6GSPS，f_{out} = 100MHz		-49		dBc
		f_{DAC} = 6GSPS，f_{out} = 400MHz		-49		dBc
		f_{out} = 850MHz		-56		dBc
		f_{out} = 1800MHz		-58		dBc
		f_{out} = 2600MHz		-60		dBc
		f_{out} = 3500MHz		-63		dBc
		f_{out}= 4900MHz		-66		dBc
		f_{DAC} = 6GSPS，f_{out} = 5MHz，A_{OUT} = -12dBFS		-83		dBc
		f_{DAC} = 6GSPS，f_{out} = 30MHz，A_{OUT} = -12dBFS		-83		dBc
		f_{DAC} = 6GSPS，f_{out} = 100MHz，A_{OUT} = -12dBFS		-82		dBc
		f_{DAC} = 6GSPS，f_{out} = 400MHz，A_{OUT} = -12dBFS		-79		dBc
		f_{out} = 850MHz，A_{OUT}= -12dBFS		-87		dBc
		f_{out} = 1800MHz，A_{OUT}= -12dBFS		-84		dBc
		f_{out} = 2600MHz，A_{OUT}= -12dBFS		-79		dBc
		f_{out} = 3500MHz，A_{OUT}= -12dBFS		-84		dBc
		f_{out}= 4900MHz，A_{OUT}= -12dBFS		-88		dBc

Copyright © 2023 Texas Instruments Incorporated

7.5 发送器电气特性 (continued)

T_A = +25°C 时的典型值，整个温度范围为 $T_{A,MIN}$ = -40°C 至 $T_{J,MAX}$ = +110°C；TX 输入速率= 491.52MSPS，低于 6GHz 时 f_{DAC} = 11796.48MSPS，高于 6GHz 时 f_{DAC} = 9000MSPS；低于 6GHz 输出频率时为 PLL 时钟模式，高于 6GHz 输出频率时为外部时钟模式；第一奈奎斯特区域为交错模式，第二奈奎斯特区域为非交错混合模式，标称电源；单音幅值为 -1dBFS；DSA 衰减 = 0dB，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
HDn，n >= 4	谐波失真 n >= 4（在奈奎斯特区域内）	f_{DAC} = 6GSPS，f_{out} = 5MHz		-58		dBc
		f_{DAC} = 6GSPS，f_{out} = 30MHz		-60		dBc
		f_{DAC} = 6GSPS，f_{out} = 100MHz		-61		dBc
		f_{DAC} = 6GSPS，f_{out} = 400MHz		-50		dBc
		f_{out} = 850MHz		-85		dBc
		f_{out} = 1800MHz		-90		dBc
		f_{out} = 2600MHz		-84		dBc
		f_{out} = 3500MHz		-86		dBc
		f_{out}= 4900MHz		-87		dBc
		f_{DAC} = 6GSPS，f_{out} = 5MHz，A_{OUT} = -12dBFS		-92		dBc
		f_{DAC} = 6GSPS，f_{out} = 30MHz，A_{OUT} = -12dBFS		-94		dBc
		f_{DAC} = 6GSPS，f_{out} = 100MHz，A_{OUT} = -12dBFS		-93		dBc
		f_{DAC} = 6GSPS，f_{out} = 400MHz，A_{OUT} = -12dBFS		-85		dBc
		f_{out} = 850MHz，A_{OUT}= -12dBFS		-89		dBc
		f_{out} = 1800MHz，A_{OUT}= -12dBFS		-92		dBc
		f_{out} = 2600MHz，A_{OUT}= -12dBFS		-87		dBc
		f_{out} = 3500MHz，A_{OUT}= -12dBFS		-88		dBc
		f_{out}= 4900MHz，A_{OUT}= -12dBFS		-89		dBc
SFDR +/- 250MHz	+/- 250MHz 范围内的无杂散动态范围	f_{DAC} = 6GSPS，f_{out} = 400MHz		87		dBc
		f_{out} = 850MHz，f_{DAC} = 11796.48MSPS		84		dBc
		f_{out} = 1800MHz，f_{DAC} = 11796.48MSPS		78		dBc
		f_{out} = 2600MHz，f_{DAC} = 11796.48MSPS		80		dBc
		f_{out} = 3500MHz，f_{DAC} = 11796.48MSPS		81		dBc
		f_{out} = 4900MHz，f_{DAC} = 11796.48MSPS		74		dBc
$f_S/4$	固定杂散	f_{DAC} = 5898.24MSPS，f_{OUT}=f_{DAC}/4-50MHz		-95		dBFS
		f_{DAC} = 8847.36MSPS，f_{OUT}=f_{DAC}/4-50MHz		-88		dBFS
		f_{DAC} = 11796.48MSPS，f_{OUT}=f_{DAC}/4-50MHz		-76		dBFS
$f_S/2$	固定杂散	f_{DAC} = 5898.24MSPS，f_{OUT}=f_{DAC}/2-50MHz		-52		dBFS
		f_{DAC} = 8847.36MSPS，f_{OUT}=f_{DAC}/2-50MHz		-45		dBFS
		f_{DAC} = 11796.48MSPS，f_{OUT}=f_{DAC}/2-50MHz		-49		dBFS

Copyright © 2023 Texas Instruments Incorporated

7.5 发送器电气特性 (continued)

T_A = +25°C 时的典型值，整个温度范围为 $T_{A,MIN}$ = -40°C 至 $T_{J,MAX}$ = +110°C；TX 输入速率= 491.52MSPS，低于 6GHz 时 f_{DAC} = 11796.48MSPS，高于 6GHz 时 f_{DAC} = 9000MSPS；低于 6GHz 输出频率时为 PLL 时钟模式，高于 6GHz 输出频率时为外部时钟模式；第一奈奎斯特区域为交错模式，第二奈奎斯特区域为非交错混合模式，标称电源；单音幅值为 -1dBFS；DSA 衰减 = 0dB，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
$3*f_S/4$	固定杂散	第二奈奎斯特，f_{DAC} = 5898.24MSPS，f_{OUT}=3*f_{DAC}/4-50MHz		-82		dBFS
		第二奈奎斯特，f_{DAC} = 8847.36MSPS，f_{OUT}=3*f_{DAC}/4-50MHz		-75		dBFS
		第二奈奎斯特，f_{DAC} = 11796.48MSPS，f_{OUT}=3*f_{DAC}/ 4-50MHz		-49		dBFS
$ACPR_{1xcarr}$	ACPR（单载波），LTE 20MHz E-TM1.1 载波 f_{out} = 0.85GHz	Atten=0dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFS		-70		dBc
		Atten=20dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFS		-66		dBc
		Atten=28dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFS		-62		dBc
		Atten=39dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFS		-51		dBc
$ACPR_{1xcarr}$	ACPR（单载波），LTE 20MHz E-TM1.1 载波 f_{out} = 1.8425GHz	Atten=0dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFS		-71		dBc
		Atten=20dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFS		-66		dBc
		Atten=28dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFS		-61		dBc
		Atten=39dB，f_{DAC} = 11796.48MSPS，Pout= -13dBFS		-50		dBc
$ACPR_{1xcarr}$	ACPR（单载波），LTE 20MHz E-TM1.1 载波 f_{out} = 2.6GHz	Atten=0dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFS		-72		dBc
		Atten=20dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFS		-66		dBc
		Atten=28dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFS		-60		dBc
		Atten=39dB，f_{DAC} = 11796.48MSPS，Pout= -13dBFS		-49		dBc
$ACPR_{1xcarr}$	ACPR（单载波），LTE 20MHz E-TM1.1 载波 f_{out} = 3.5GHz	Atten=0dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFS		-71		dBc
		Atten=20dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFS		-65		dBc
		Atten=28dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFS		-58		dBc
		Atten=39dB，f_{DAC} = 11796.48MSPS，Pout= -13dBFS		-47		dBc
$ACPR_{1xcarr}$	ACPR（单载波），LTE 20MHz E-TM1.1 载波 f_{out} = 4.9GHz	Atten=0dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFS		-69		dBc
		Atten=20dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFS		-64		dBc
		Atten=28dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFS		-58		dBc
		Atten=39dB，f_{DAC} = 11796.48MSPS，Pout= -13dBFS		-47		dBc

7.5 发送器电气特性 (continued)

T_A = +25°C 时的典型值，整个温度范围为 $T_{A,MIN}$ = -40°C 至 $T_{J,MAX}$ = +110°C；TX 输入速率= 491.52MSPS，低于 6GHz 时 f_{DAC} = 11796.48MSPS，高于 6GHz 时 f_{DAC} = 9000MSPS；低于 6GHz 输出频率时为 PLL 时钟模式，高于 6GHz 输出频率时为外部时钟模式；第一奈奎斯特区域为交错模式，第二奈奎斯特区域为非交错混合模式，标称电源；单音幅值为 -1dBFS；DSA 衰减 = 0dB，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
$ACPR_{1xcarr}$	ACPR（单载波），NR 100MHz E-TM1.1 载波 f_{out} = 2.6GHz	Atten=0dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFS		-65		dBc
		Atten=20dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFS		-59		dBc
		Atten=28dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFS		-53		dBc
		Atten=39dB，f_{DAC} = 11796.48MSPS，Pout= -13dBFS		-41		dBc
$ACPR_{1xcarr}$	ACPR（单载波），NR 100MHz E-TM1.1 载波 f_{out} = 3.5GHz	Atten=0dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFS		-63		dBc
		Atten=20dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFS		-56		dBc
		Atten=28dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFS		-49		dBc
		Atten=39dB，f_{DAC} = 11796.48MSPS，Pout= -13dBFS		-38		dBc
$ACPR_{1xcarr}$	ACPR（单载波），NR 100MHz E-TM1.1 载波 f_{out} = 4.9GHz	Atten=0dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFS		-63		dBc
		Atten=20dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFS		-56		dBc
		Atten=28dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFS		-51		dBc
		Atten=39dB，f_{DAC} = 11796.48MSPS，Pout= -13dBFS		-41		dBc
EVM	误差矢量幅度，1x 20MHz E-TM3.1/3.1a，无参考时钟噪声	F_{out} = 0.85GHz，f_{DAC} = 11796.48MSPS，P_{OUT} = -13dBFs		0.16		%
		F_{out} = 1.8425GHz，f_{DAC} = 11796.48MSPS，P_{OUT} = -13dBFs		0.21		%
		F_{out} = 2.6GHz，f_{DAC} = 11796.48MSPS，P_{OUT} = -13dBFs		0.24		%
		F_{out} =3.5GHz，P_{OUT}= -13dBFs		0.27		%
		F_{out} =4.9GHz，P_{OUT}= -13dBFs		0.38		%
NSD_{dBFS}	噪声频谱密度 20MHz 偏移 f_{OUT} = 5 MHz	Atten=0dB，f_{DAC} = 6000MSPS，20Gbps 串行器/解串器速率，Pout = -12dBFs		-148		dBFS/Hz
		Atten=20dB，f_{DAC} = 6000MSPS，20Gbps 串行器/解串器速率，Pout = -12dBFs		-143		dBFS/Hz
		Atten=28dB，f_{DAC} = 6000MSPS，20Gbps 串行器/解串器速率，Pout = -12dBFs		-139		dBFS/Hz
		Atten=39dB，f_{DAC} = 6000MSPS，20Gbps 串行器/解串器速率，Pout = -12dBFs		-129		dBFS/Hz

Copyright © 2023 Texas Instruments Incorporated

7.5 发送器电气特性 (continued)

T_A = +25°C 时的典型值，整个温度范围为 $T_{A,MIN}$ = -40°C 至 $T_{J,MAX}$ = +110°C；TX 输入速率= 491.52MSPS，低于 6GHz 时 f_{DAC} = 11796.48MSPS，高于 6GHz 时 f_{DAC} = 9000MSPS；低于 6GHz 输出频率时为 PLL 时钟模式，高于 6GHz 输出频率时为外部时钟模式；第一奈奎斯特区域为交错模式，第二奈奎斯特区域为非交错混合模式，标称电源；单音幅值为 -1dBFS；DSA 衰减 = 0dB，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
NSD_{dBFS}	噪声频谱密度 20MHz 偏移 f_{OUT} = 30 MHz	Atten=0dB，f_{DAC} = 6000MSPS，20Gbps 串行器/解串器速率，Pout = -12dBFs		-154		dBFS/Hz
		Atten=20dB，f_{DAC} = 6000MSPS，20Gbps 串行器/解串器速率，Pout = -12dBFs		-146		dBFS/Hz
		Atten=28dB，f_{DAC} = 6000MSPS，20Gbps 串行器/解串器速率，Pout = -12dBFs		-142		dBFS/Hz
		Atten=39dB，f_{DAC} = 6000MSPS，20Gbps 串行器/解串器速率，Pout = -12dBFs		-132		dBFS/Hz
NSD_{dBFS}	噪声频谱密度 20MHz 偏移 f_{OUT} = 100 MHz	Atten=0dB，f_{DAC} = 6000MSPS，20Gbps 串行器/解串器速率，Pout = -12dBFs		-158		dBFS/Hz
		Atten=20dB，f_{DAC} = 6000MSPS，20Gbps 串行器/解串器速率，Pout = -12dBFs		-150		dBFS/Hz
		Atten=28dB，f_{DAC} = 6000MSPS，20Gbps 串行器/解串器速率，Pout = -12dBFs		-146		dBFS/Hz
		Atten=39dB，f_{DAC} = 6000MSPS，20Gbps 串行器/解串器速率，Pout = -12dBFs		-136		dBFS/Hz
NSD_{dBFS}	噪声频谱密度 20MHz 偏移 f_{OUT} = 400 MHz	Atten=0dB，f_{DAC} = 6000MSPS，20Gbps 串行器/解串器速率，Pout = -12dBFs		-160		dBFS/Hz
		Atten=20dB，f_{DAC} = 6000MSPS，20Gbps 串行器/解串器速率，Pout = -12dBFs		-153		dBFS/Hz
		Atten=28dB，f_{DAC} = 6000MSPS，20Gbps 串行器/解串器速率，Pout = -12dBFs		-150		dBFS/Hz
		Atten=39dB，f_{DAC} = 6000MSPS，20Gbps 串行器/解串器速率，Pout = -12dBFs		-139		dBFS/Hz
NSD_{dBFS}	噪声频谱密度 20MHz 偏移 f_{OUT} = 0.85GHz	Atten=0dB，f_{DAC} = 5898.24MSPS，Pout= -13dBFs		-158.8		dBFS/Hz
		Atten=20dB，f_{DAC} = 5898.24MSPS，Pout= -13dBFs		-152.7		dBFS/Hz
		Atten=28dB，f_{DAC} = 5898.24MSPS，Pout= -13dBFs		-148.7		dBFS/Hz
		Atten=39dB，f_{DAC} = 5898.24MSPS，Pout= -13dBFs		-137.9		dBFS/Hz

Copyright © 2023 Texas Instruments Incorporated

7.5 发送器电气特性 (continued)

T_A = +25°C 时的典型值，整个温度范围为 $T_{A,MIN}$ = -40°C 至 $T_{J,MAX}$ = +110°C；TX 输入速率= 491.52MSPS，低于 6GHz 时 f_{DAC} = 11796.48MSPS，高于 6GHz 时 f_{DAC} = 9000MSPS；低于 6GHz 输出频率时为 PLL 时钟模式，高于 6GHz 输出频率时为外部时钟模式；第一奈奎斯特区域为交错模式，第二奈奎斯特区域为非交错混合模式，标称电源；单音幅值为 -1dBFS；DSA 衰减 = 0dB，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
NSD_{dBFS}	噪声频谱密度 20MHz 偏移 f_{OUT} = 1.8GHz	Atten=0dB，f_{DAC} = 5898.24MSPS，Pout= -13dBFs		-157.9		dBFS/Hz
		Atten=20dB，f_{DAC} = 5898.24MSPS，Pout= -13dBFs		-151.3		dBFS/Hz
		Atten=28dB，f_{DAC} = 5898.24MSPS，Pout= -13dBFs		-145.6		dBFS/Hz
		Atten=39dB，f_{DAC} = 5898.24MSPS，Pout= -13dBFs		-134.8		dBFS/Hz
NSD_{dBFS}	噪声频谱密度 20MHz 偏移 f_{OUT} = 2.6GHz	Atten=0dB，f_{DAC} = 8847.36MSPS，Pout= -13dBFs		-158.3		dBFS/Hz
		Atten=20dB，f_{DAC} = 8847.36MSPS，Pout= -13dBFs		-151.6		dBFS/Hz
		Atten=28dB，f_{DAC} = 8847.36MSPS，Pout= -13dBFs		-144.9		dBFS/Hz
		Atten=39dB，f_{DAC} = 8847.36MSPS，Pout= -13dBFs		-134.0		dBFS/Hz
NSD_{dBFS}	噪声频谱密度 20MHz 偏移 F_{out} =3.5GHz	Atten=0dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFs		-158.2		dBFS/Hz
		Atten=20dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFs		-150.9		dBFS/Hz
		Atten=28dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFs		-144.4		dBFS/Hz
		Atten=39dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFs		-133.4		dBFS/Hz
NSD_{dBFS}	噪声频谱密度 20MHz 偏移 F_{out} =4.9GHz	Atten=0dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFs		-154.6		dBFS/Hz
		Atten=20dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFs		-147.0		dBFS/Hz
		Atten=28dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFs		-140.7		dBFS/Hz
		Atten=39dB，f_{DAC} = 11796.48MSPS，Pout = -13dBFs		-129.9		dBFS/Hz
S22	输出回波损耗，+/- fc * 10%	含匹配		-12		dB

Copyright © 2023 Texas Instruments Incorporated

7.5 发送器电气特性 (continued)

T_A = +25°C 时的典型值，整个温度范围为 $T_{A,MIN}$ = -40°C 至 $T_{J,MAX}$ = +110°C；TX 输入速率= 491.52MSPS，低于 6GHz 时 f_{DAC} = 11796.48MSPS，高于 6GHz 时 f_{DAC} = 9000MSPS；低于 6GHz 输出频率时为 PLL 时钟模式，高于 6GHz 输出频率时为外部时钟模式；第一奈奎斯特区域为交错模式，第二奈奎斯特区域为非交错混合模式，标称电源；单音幅值为 -1dBFS；DSA 衰减 = 0dB，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
隔离	近通道： 1TXOUT 至 2TXOUT 或 3TXOUT 至 4TXOUT(1)	f_{out} = 10MHz，f_{DAC} = 6000MSPS，直接模式(3)		-96		dB
		f_{out} = 30MHz，f_{DAC} = 6000MSPS，直接模式(3)		-97		dB
		f_{out} = 100MHz，f_{DAC} = 6000MSPS，直接模式(3)		-102		dB
		f_{out} = 400MHz，f_{DAC} = 6000MSPS，直接模式(4)		-85		dB
		f_{out} = 900MHz，f_{DAC} = 8847.36MSPS，直接模式		- 80		dB
		f_{out} = 1850MHz，f_{DAC} = 8847.36MSPS，直接模式		-77		dB
		f_{out} = 2600MHz，f_{DAC} = 8847.36MSPS，直接模式		-64		dB
		f_{out} = 3500MHz，f_{DAC} = 8847.36MSPS，直接模式		-61		dB
		f_{out} = 4900MHz，f_{DAC} = 8847.36MSPS，直接模式		-60		dB
隔离	远通道： 1/2TXOUT 至 3/4TXOUT	f_{out} = 10MHz，f_{DAC} = 6000MSPS，直接模式(3)		– 104		dB
		f_{out} = 30MHz，f_{DAC} = 6000MSPS，直接模式(3)		-100		dB
		f_{out} = 100MHz，f_{DAC} = 6000MSPS，直接模式(3)		-105		dB
		f_{out} = 400MHz，f_{DAC} = 6000MSPS，直接模式(4)		-97		dB
		f_{out} = 900MHz，f_{DAC} = 8847.36MSPS，直接模式		-90		dB
		f_{out} = 1850MHz，f_{DAC} = 8847.36MSPS，直接模式		-91		dB
		f_{out} = 2600MHz，f_{DAC} = 8847.36MSPS，直接模式		-93		dB
		f_{out} = 3500MHz，f_{DAC} = 8847.36MSPS，直接模式		-94		dB
		f_{out} = 4900MHz，f_{DAC} = 8847.36MSPS，直接模式		-83.2		dB
PN_{TXADD}	附加相位噪声外部时钟模式(5)	f_{out} = 3.7GHz，f_{OFFSET} = 100Hz		-97		dBc/Hz
		f_{out} = 3.7GHz，f_{OFFSET} = 1kHz		-106		dBc/Hz
		f_{out} = 3.7GHz，f_{OFFSET} = 10kHz		-117		dBc/Hz
		f_{out} = 3.7GHz，f_{OFFSET} = 100kHz		-128		dBc/Hz
		f_{out} = 3.7GHz，f_{OFFSET} = 1MHz		-138		dBc/Hz
		f_{out} = 3.7GHz，f_{OFFSET} = 10MHz		-144		dBc/Hz

(1) 在 TxP/M 上以 100Ω 差分电阻测得。每个引脚上每个 TxP/M 的 1.8V 直流偏置保持不变，不会被移除。TX 路径上的其他外部组件断开连接。
(2) 执行 DSA 校准程序后
(3) 使用 1μH 直流馈电电感器测得

(4) 使用 0.39μH 直流馈电电感器测得
(5) 减去输入时钟相位噪声。

Copyright © 2023 Texas Instruments Incorporated

7.6 射频 ADC 电气特性

T_A = +25°C 时的典型值，整个温度范围为 $T_{A,min}$ = -40°C 至 $T_{J,MAX}$ = +110°C；RX 输出速率 = 491.52MSPS，f_{ADC} = 2949.12MSPS；PLL 时钟模式，f_{REF} = 491.52MHz；标称电源；DSA 设置 = 3dB；串行器/解串器速率 = 24.33Gbps；除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
ADC_{RES}	ADC 分辨率			14		位
F_{RFin}	RF 输入频率范围		5		7400	MHz
$P_{FS_CW,min}$	器件引脚上的最小满量程输入功率(1)	f_{IN} = 5MHz，DSA = 0dB，f_{ADC} = 1500MSPS，f_{NCO} = 17MHz，抽取因子为 48		-0.4		dBm
		f_{IN} = 30MHz，DSA = 0dB，f_{ADC} = 1500MSPS，f_{NCO} = 30MHz，抽取因子为 24		-2.2		dBm
		f_{IN} = 410MHz，DSA = 0dB，f_{ADC} = 3000MSPS，f_{NCO} = 400MHz，抽取因子为 12		-2.5		dBm
		f_{IN} = 830MHz，DSA=0dB		-2.9		dBm
		f_{IN} = 1760MHz，DSA=0dB		-2.8		dBm
		f_{IN} = 2610MHz，DSA=0dB		-1.8		dBm
		f_{IN} = 3610MHz，DSA=0dB		-0.4		dBm
		f_{IN} = 4910MHz，DSA=0dB		0.1		dBm
$P_{FS_CW,MAX}$	器件引脚上的最大满量程输入功率 - 可靠性受限	f_{IN} = 5MHz，f_{ADC} = 1500MSPS，f_{NCO} = 17MHz，抽取因子为 48		19.7		dBm
		f_{IN} = 30MHz，f_{ADC} = 1500MSPS，f_{NCO} = 30MHz，抽取因子为 24		17.8		dBm
		f_{IN} = 410MHz，f_{ADC} = 3000MSPS，f_{NCO} = 400MHz，抽取因子为 24		17.6		dBm
		f_{IN} = 830MHz		16.7		dBm
		f_{IN} = 1760MHz		17.0		dBm
		f_{IN} = 2610MHz		18		dBm
		f_{IN} = 3610MHz		18.5		dBm
		f_{IN} = 4910MHz		19.3		dBm
R_{TERM}	输入基准阻抗			100.0		Ω
ATT_{range}	DSA 衰减范围			25.0		dB
ATT_{step}	DSA 衰减步长			0.5		dB
	DSA 衰减步长精度	校准后 Delta=Gatt(X)-Gatt(X-1)，F_{in}=3610MHz		0.1		dB
	DSA 增益步长相位精度 任何 8dB 范围	校准后 F_{in}=3610MHz		0.9		度
	DSA 增益步长相位精度 任何 8dB 范围	校准后 F_{in}=4910MHz		1.8		度
G_{flat}	增益平坦度	在 80MHz 带宽上测得		0.2		dB
		在 200MHz 带宽上测量		0.5		dB
		在 400MHz 带宽上测得		1.1		dB

7.6 射频 ADC 电气特性 (continued)

T_A = +25°C 时的典型值，整个温度范围为 $T_{A,min}$ = -40°C 至 $T_{J,MAX}$ = +110°C；RX 输出速率 = 491.52MSPS，f_{ADC} = 2949.12MSPS；PLL 时钟模式，f_{REF} = 491.52MHz；标称电源；DSA 设置 = 3dB；串行器/解串器速率 = 24.33Gbps；除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
NSD	噪声密度[3]（小信号 = -30dBFS）	f_{IN} = 5MHz，DSA = 3dB，f_{ADC} = 1500MSPS，f_{NCO} = 17MHz，抽取因子为 48		-147.1		dBFS/Hz
		f_{IN} = 30MHz，DSA = 3dB，f_{ADC} = 1500MSPS，f_{NCO} = 30MHz，抽取因子为 24		-150.7		dBFS/Hz
		f_{IN} = 410MHz，DSA = 3dB，f_{ADC} = 3000MSPS，f_{NCO} = 400MHz，抽取因子为 24		-155.4		dBFS/Hz
		f_{IN} = 830MHz，DSA = 3dB		-156.2		dBFS/Hz
		f_{IN} = 1760MHz，DSA = 3dB		-156.0		dBFS/Hz
		f_{IN} = 2610MHz，DSA = 3dB		-155.4		dBFS/Hz
		f_{IN} = 3610MHz，DSA = 3dB		-155.1		dBFS/Hz
		f_{IN}= 4910MHz，DSA = 3dB		-155.1		dBFS/Hz
		f_{IN} = 5MHz，f_{ADC} = 1500MSPS，f_{NCO} = 17MHz，抽取因子为 48，3<=Atten<=22		-147.8		dBFS/Hz
		f_{IN} = 30MHz，f_{ADC} = 1500MSPS，f_{NCO} = 30MHz，抽取因子为 24，3<=Atten<=22		-151.5		dBFS/Hz
		f_{IN} = 410MHz，3<=Atten<=22，f_{ADC} = 3000MSPS，f_{NCO} = 400MHz，抽取因子为 24		-156.6		dBFS/Hz
		f_{IN} = 830MHz，3<=Atten<=22		-156.0		dBFS/Hz
		f_{IN} = 1760MHz，3<=Atten<=25		-155.8		dBFS/Hz
		f_{IN} = 2610MHz，3<=Atten<=25		-155.7		dBFS/Hz
		f_{IN} = 3610MHz，3<=Atten<=25		-155.4		dBFS/Hz
		f_{IN} = 4910MHz，3<=Atten<=25		-155.8		dBFS/Hz
NF_{min}	最小噪声系数 DSA Atten=0 - 3dB	f_{IN} = 5MHz，f_{ADC} = 1500MSPS，f_{NCO} = 17MHz，抽取因子为 48		29.4		dB
		f_{IN} = 30MHz，f_{ADC} = 1500MSPS，f_{NCO} = 30MHz，抽取因子为 24		24.5		dB
		f_{IN} = 410MHz，f_{ADC} = 3000MSPS，f_{NCO} = 400MHz，抽取因子为 24		19.3		dB
		f_{IN} = 830MHz		19.1		dB
		f_{IN} = 1760MHz		19.0		dB
		f_{IN} = 2610MHz		20.9		dB
		f_{IN} = 3610MHz		22.8		dB
		f_{IN} = 4910MHz		22.4		dB

Copyright © 2023 Texas Instruments Incorporated

7.6 射频 ADC 电气特性 (continued)

T_A = +25°C 时的典型值，整个温度范围为 $T_{A,min}$ = -40°C 至 $T_{J,MAX}$ = +110°C；RX 输出速率 = 491.52MSPS，f_{ADC} = 2949.12MSPS；PLL 时钟模式，f_{REF} = 491.52MHz；标称电源；DSA 设置 = 3dB；串行器/解串器速率 = 24.33Gbps；除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
NF	噪声系数(4) DSA 衰减 = 4dB	f_{IN} = 5MHz，f_{ADC} = 1500MSPS，f_{NCO} = 17MHz，抽取因子为 48		30.6		dB
		f_{IN} = 30MHz，f_{ADC} = 1500MSPS，f_{NCO} = 30MHz，抽取因子为 24		25.1		dB
		f_{IN} = 410MHz，f_{ADC} = 3000MSPS，f_{NCO} = 400MHz，抽取因子为 24		20.1		dB
		f_{IN} = 830MHz		20.0		dB
		f_{IN} = 1760MHz		20.6		dB
		f_{IN} = 2610MHz		21.9		dB
		f_{IN} = 3610MHz		23.5		dB
		f_{IN} = 4910MHz		22.3		dB
NF_{max}	噪声系数 DSA Atten=20dB	f_{IN} = 5MHz，f_{ADC} = 1500MSPS，f_{NCO} = 17MHz，抽取因子为 48		45.9		dB
		f_{IN} = 30MHz，f_{ADC} = 1500MSPS，f_{NCO} = 30MHz，抽取因子为 24		40.2		dB
		f_{IN} = 410MHz，f_{ADC} = 3000MSPS，f_{NCO} = 400MHz，抽取因子为 24		35.0		dB
		f_{IN} = 830MHz		34.7		dB
		f_{IN} = 1760MHz		35.2		dB
		f_{IN} = 2610MHz		36.0		dB
		f_{IN} = 3610MHz		37.3		dB
		f_{IN} = 4910MHz		37.6		dB
IMD3	f_{IN} ± 10MHz 时三阶互调双音 单音幅值为 -7dBFS	f_{IN}= 30±1MHz，f_{ADC} = 1500MSPS，f_{NCO} = 30MHz，抽取因子为 24		-82		dBc
		f_{IN} = 400MHz 和 405MHz，f_{ADC} = 3000MSPS，f_{NCO} = 400MHz，抽取因子为 24		-75		dBc
		f_{IN} = 840 MHz		-82		dBc
		f_{IN} = 1770 MHz		-84		dBc
		f_{IN} = 2610 MHz		-74		dBc
		f_{IN} = 3610 MHz		-77		dBc
		f_{IN} = 4920 MHz		-76		dBc
SFDR	无杂散动态范围 在输出带宽范围内，A_{IN} = -3dBFS	f_{IN} = 5MHz，f_{ADC} = 1500MSPS，f_{NCO} = 17MHz，抽取因子为 48		78		dBFS
		f_{IN} = 30MHz，f_{ADC} = 1500MSPS，f_{NCO} = 30MHz，抽取因子为 24		100		dBFS
		f_{IN} = 410MHz，f_{ADC} = 3000MSPS，f_{NCO} = 400MHz，抽取因子为 24		94		dBFS
		f_{IN} = 830 MHz		88		dBFS
		f_{IN} = 1760 MHz		81		dBFS
		f_{IN} = 2610 MHz		88		dBFS
		f_{IN} = 3610 MHz		84		dBFS
		f_{IN} = 4910 MHz		79		dBFS

7.6 射频 ADC 电气特性 (continued)

T_A = +25°C 时的典型值，整个温度范围为 $T_{A,min}$ = -40°C 至 $T_{J,MAX}$ = +110°C；RX 输出速率 = 491.52MSPS，f_{ADC} = 2949.12MSPS；PLL 时钟模式，f_{REF} = 491.52MHz；标称电源；DSA 设置 = 3dB；串行器/解串器速率 = 24.33Gbps；除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
HD2	二次谐波失真 A_{IN} = -3dBFS(2)	f_{IN} = 5MHz，f_{ADC} = 1500MSPS，f_{NCO} = 17MHz，抽取因子为 48		-84		dBFS
		f_{IN} = 30MHz，f_{ADC} = 1500MSPS，旁路模式（仅 TI 测试模式）		-91		dBFS
		f_{IN} = 410MHz，f_{ADC} = 3000MSPS，旁路模式（仅 TI 测试模式）		-90		dBFS
		f_{IN} = 830 MHz		-86		dBFS
		f_{IN} = 1760 MHz		-90		dBFS
		f_{IN} = 2610 MHz		-88		dBFS
		f_{IN} = 3610 MHz		-87		dBFS
		f_{IN} = 4910 MHz		-84		dBFS
HD3	三次谐波失真 A_{IN} = -3dBFS	f_{IN} = 5MHz，f_{ADC} = 1500MSPS，f_{NCO} = 17MHz，抽取因子为 48		-78		dBFS
		f_{IN} = 30MHz，f_{ADC} = 1500MSPS，旁路模式（仅 TI 测试模式）		-96		dBFS
		f_{IN} = 410MHz，f_{ADC} = 3000MSPS，旁路模式（仅 TI 测试模式）		-94		dBFS
		f_{IN} = 830 MHz		-80		dBFS
		f_{IN} = 1760 MHz		-85		dBFS
		f_{IN} = 2610 MHz		-86		dBFS
		f_{IN} = 3610 MHz		-78		dBFS
		f_{IN} = 4910 MHz		-75		dBFS
HDn，n>3	SFDR（不包括 HD2 和 HD3） A_{IN} = -3dBFS	f_{IN} = 5MHz，f_{ADC} = 1500MSPS，f_{NCO} = 17MHz，抽取因子为 48		-94		dBFS
		f_{IN} = 30MHz，f_{ADC} = 1500MSPS，f_{NCO} = 30MHz，抽取因子为 24		-94		dBFS
		f_{IN} = 410MHz，f_{ADC} = 3000MSPS，f_{NCO} = 400MHz，抽取因子为 24		-94		dBFS
		f_{IN} = 830 MHz		-88		dBFS
		f_{IN} = 1760 MHz		-81		dBFS
		f_{IN} = 2610 MHz		-88		dBFS
		f_{IN} = 3610 MHz		-84		dBFS
		f_{IN} = 4910 MHz		-82		dBFS
SFDR	无杂散动态范围 A_{IN} = -13dBFS	f_{IN} = 5MHz，f_{ADC} = 1500MSPS，f_{NCO} = 17MHz，抽取因子为 48		101		dBFS
		f_{IN} = 30MHz，f_{ADC} = 1500MSPS，f_{NCO} = 30MHz，抽取因子为 24		105		dBFS
		f_{IN} = 410MHz，f_{ADC} = 3000MSPS，f_{NCO} = 400MHz，抽取因子为 24		95		dBFS
		f_{IN} = 830 MHz		89		dBFS
		f_{IN} = 1760 MHz		89		dBFS
		f_{IN} = 2610 MHz		95		dBFS
		f_{IN} = 3610 MHz		87		dBFS
		f_{IN} = 4910 MHz		90		dBFS

Copyright © 2023 Texas Instruments Incorporated

7.6 射频 ADC 电气特性 (continued)

T_A = +25°C 时的典型值，整个温度范围为 $T_{A,min}$ = -40°C 至 $T_{J,MAX}$ = +110°C；RX 输出速率 = 491.52MSPS，f_{ADC} = 2949.12MSPS；PLL 时钟模式，f_{REF} = 491.52MHz；标称电源；DSA 设置 = 3dB；串行器/解串器速率 = 24.33Gbps；除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
HD2	二次谐波失真[2] A_{IN} = -13dBFS	f_{IN} = 5MHz，f_{ADC} = 1500MSPS，f_{NCO} = 17MHz，抽取因子为 48		–104		dBFS
		f_{IN} = 30MHz，f_{ADC} = 1500MSPS，旁路模式（仅 TI 测试模式）		-91		dBFS
		f_{IN} = 410MHz，f_{ADC} = 3000MSPS，旁路模式（仅 TI 测试模式）		–104		dBFS
		f_{IN} = 830MHz，含电路板修整		-79		dBFS
		f_{IN} = 1760MHz，含电路板修整		-102		dBFS
		f_{IN} = 2610MHz，含电路板修整		-100		dBFS
		f_{IN} = 3610MHz，含电路板修整		-101		dBFS
		f_{IN} = 4910MHz，含电路板修整		-99		dBFS
HD3	三次谐波失真 A_{IN} = -13dBFS	f_{IN} = 5MHz，f_{ADC} = 1500MSPS，f_{NCO} = 17MHz，抽取因子为 48		-103		dBFS
		f_{IN} = 30MHz，f_{ADC} = 1500MSPS，旁路模式（仅 TI 测试模式）		-84		dBFS
		f_{IN} = 381MHz，f_{ADC} = 3000MSPS，旁路模式（仅 TI 测试模式）		-91		dBFS
		f_{IN} = 830 MHz		-95		dBFS
		f_{IN} = 1760 MHz		-95		dBFS
		f_{IN} = 2610 MHz		-98		dBFS
		f_{IN} = 3610 MHz		-97		dBFS
		f_{IN} = 4910 MHz		-94		dBFS
HDn，n>3	SFDR（不包括 HD2 和 HD3） A_{IN} = -13dBFS	f_{IN} = 5MHz，f_{ADC} = 1500MSPS，f_{NCO} = 17MHz，抽取因子为 48		–104		dBFS
		f_{IN} = 30MHz，f_{ADC} = 1500MSPS，f_{NCO} = 30MHz，抽取因子为 24		-105		dBFS
		f_{IN} = 410MHz，f_{ADC} = 3000MSPS，f_{NCO} = 400MHz，抽取因子为 24		-95		dBFS
		f_{IN} = 830 MHz		-89		dBFS
		f_{IN} = 1760 MHz		-89		dBFS
		f_{IN} = 2610 MHz		-95		dBFS
		f_{IN} = 3610 MHz		-90		dBFS
		f_{IN} = 4910 MHz		-90		dBFS
RX-RX/FB 隔离	近通道： 1RXIN 至 2RXIN 3RXIN 至 4RXIN	f_{IN} = 5MHz，f_{ADC} = 1500MSPS，f_{NCO} = 17MHz，抽取因子为 48		-98		dB
		f_{IN} = 30MHz，f_{ADC} = 1500MSPS，f_{NCO} = 30MHz，抽取因子为 24		-98		dB
		f_{IN} = 400 MHz		-88		dB
		f_{IN} = 830MHz		-77		dB
		f_{IN} = 1760MHz		-71		dB
		f_{IN} = 2610MHz		-74		dB
		f_{IN} = 3610MHz		-77		dB
		f_{IN} = 4910MHz		-65		dB

7.6 射频 ADC 电气特性 (continued)

T_A = +25°C 时的典型值，整个温度范围为 $T_{A,min}$ = -40°C 至 $T_{J,MAX}$ = +110°C；RX 输出速率 = 491.52MSPS，f_{ADC} = 2949.12MSPS；PLL 时钟模式，f_{REF} = 491.52MHz；标称电源；DSA 设置 = 3dB；串行器/解串器速率 = 24.33Gbps；除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
TX-RX 隔离	1TXOUT 至 1RXIN 3TXOUT 至 2RXIN	f_{IN} = 5MHz，f_{ADC} = 1500MSPS，f_{NCO} = 17MHz，抽取因子为 48		-105		dB
		f_{IN} = 30MHz，f_{ADC} = 1500MSPS，f_{NCO} = 30MHz，抽取因子为 24		-101		dB
		f_{IN} = 400 MHz		-99		dB
		f_{IN} = 830MHz		-86		dB
		f_{IN} = 1760MHz		-87		dB
		f_{IN} = 2610MHz		-84		dB
		f_{IN} = 3610MHz		-82		dB
		f_{IN} = 4910MHz		-82		dB

(1) 通过向 DSA 添加数字增益范围，可以降低最小衰减时的输入满量程，从而扩展 DSA 的有用范围。噪声系数在数字增益范围内保持恒定。
(2) 在特定印刷电路板上进行 HD2 修整之后。
(3) 在 DSA = 3dB 至 0dB 范围内，DSA 每降低 1dB，NSD 增加 1dB
(4) DSA 大于 3dB 时，每增加 1dB，NF 增加 1dB

Copyright © 2023 Texas Instruments Incorporated

7.7 PLL/VCO/时钟电气特性

TA = +25°C 时的典型值，整个温度范围为 $T_{A,MIN}$ = -40°C 至 $T_{J,MAX}$ = +110°C；参考时钟输入频率 491.52MHz（除非另有说明），f_{DAC} = f_{VCO}，f_{OUT} = f_{DAC}/4，归一化为 f_{VCO}。

参数		测试条件	最小值	典型值	最大值	单位
f_{VCO1}	VCO1 最小频率				7.2	GHz
	VCO1 最大频率		7.68			GHz
f_{VCO2}	VCO2 最小频率				8.848	GHz
	VCO2 最大频率		9.216			GHz
f_{VCO3}	VCO3 最小频率				9.8304	GHz
	VCO3 最大频率		10.24			GHz
f_{VCO4}	VCO4 最小频率				11.7965	GHz
	VCO4 最大频率		12.288			GHz
DIV_{DAC}	DAC 采样率分频器			1、2 或 3		
DIV_{RXADC}	ADC 采样率分频器			1、2、3、4、6 或 8		
PN_{VCO}	闭环相位噪声 F_{PLL} = 11.79848GHz F_{REF}=491.52MHz	600kHz		-113		dBc/Hz
		800kHz		-116		dBc/Hz
		1MHz		-119		dBc/Hz
		1.8MHz		-125		dBc/Hz
		5MHz		-133		dBc/Hz
		50MHz		-141		dBc/Hz
	闭环相位噪声 F_{PLL}=8.84736GHz F_{REF}=491.52MHz	600kHz		-114		dBc/Hz
		800kHz		-118		dBc/Hz
		1MHz		-120		dBc/Hz
		1.8MHz		-127		dBc/Hz
		5MHz		-135		dBc/Hz
		50MHz		-142		dBc/Hz
	闭环相位噪声 F_{PLL}= 9.8403GHz F_{REF}=491.52MHz	600kHz		-113		dBc/Hz
		800kHz		-116		dBc/Hz
		1MHz		-119		dBc/Hz
		1.8MHz		-125		dBc/Hz
		5MHz		-134		dBc/Hz
		50MHz		-140		dBc/Hz
	闭环相位噪声 F_{PLL}= 7.86432GHz F_{REF}=491.52MHz	600kHz		-116		dBc/Hz
		800kHz		-119		dBc/Hz
		1MHz		-122		dBc/Hz
		1.8MHz		-127		dBc/Hz
		5MHz		-136		dBc/Hz
		50MHz		-143		dBc/Hz
F_{rms}	时钟 PLL 集成相位误差[(1)]	f_{PLL}=11.79848GHz、[1KHz、100MHz]		-43.4		dBc/Hz
		f_{PLL}=8.8536GHz、[1KHz、100MHz]		-47.6		dBc/Hz
		f_{PLL}=9.8304GHz、[1KHz、100MHz]		-46.2		dBc/Hz
f_{PFD}	PFD 频率		100		500	MHz
PN_{pll_flat}	归一化 PLL 平坦噪声	f_{VCO} = 11796.48MHz		-226.5		dBc/Hz

7.7 PLL/VCO/时钟电气特性 (continued)

TA = +25°C 时的典型值，整个温度范围为 $T_{A,MIN}$ = -40°C 至 $T_{J,MAX}$ = +110°C；参考时钟输入频率 491.52MHz（除非另有说明），f_{DAC} = f_{VCO}，f_{OUT} = f_{DAC}/4，归一化为 f_{VCO}。

参数		测试条件	最小值	典型值	最大值	单位
F_{REF}	输入时钟频率		0.1		12	GHz
V_{SS}	输入时钟电平		0.6		1.8	Vppdiff
耦合				仅交流耦合		
	REFCLK 输入阻抗(2)	并联电阻		100		Ω
		并联电容		0.5		pF

(1) 单边带，不包括参考时钟贡献
(2) 有关阻抗与频率间的关系，请参阅 TI 提供的 S11 数据

Copyright © 2023 Texas Instruments Incorporated

7.8 数字电气特性

TA = +25°C 时的典型值，整个温度范围为 $T_{A,MIN}$ = -40°C 至 $T_{J,MAX}$ = +110°C（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
CML 串行器/解串器输入 [8:1]SRX+/-						
V_{SRDIFF}	串行器/解串器接收器输入振幅	差分	100		1200	mVpp
V_{SRCOM}	串行器/解串器输入共模			400		mV
Z_{SRdiff}	串行器/解串器内部差分终端(1)			100		Ω
F_{SerDes}	串行器/解串器比特率	全速率模式	19		29.5	Gbps
		半速率模式	9.5		16.25	Gbps
		四分之一速率模式	4.75		8.125	Gbps
	插入损耗容差(2)	串行器/解串器电源 = 1.8V		25		dB
TJ	总抖动容差				0.42	UI
CML 串行器/解串器输出 [8:1]STX+/-						
V_{STDIFF}	串行器/解串器发送器输出振幅	差分	500		1000	mVpp
V_{STCOM}	串行器/解串器输出共模		0.4	0.45	0.55	V
Z_{STdiff}	串行器/解串器输出阻抗			100		Ω
TRF	输出上升和下降时间	20-80%	8			ps
TEQS	均衡范围				7	dB
TTJ	输出总抖动				0.21	UI
CMOS I/O：GPIO{B/C/D/E}x、SPICLK、SPISDIO、SPISDO、SPISEN、RESETZ、BISTB0、BISTB1						
V_{IH}	高电平输入电压		0.6×VDD1 P8GPIO			V
V_{IL}	低电平输入电压				0.4×VDD1 P8GPIO	V
I_{IH}	高电平输入电流		-250		250	μA
I_{IL}	低电平输入电流		-250		250	μA
C_L	CMOS 输入电容			2		pF
V_{OH}	高电平输入电压		VDD1P8G PIO – 0.2			V
V_{OL}	低电平输入电压				0.2	V
差分输入：SYSREF+/- 模式 A						
$F_{SYSREFMAX}$	SYSREF 输入频率最大值			40		MHz
$V_{SWINGSRMAX}$	SYSREF 输入摆幅最大值			1.8		Vppdiff(3)
$V_{SWINGSRMIN}$	SYSREF 输入摆幅最小值	f_{REF} < 500MHz		0.3		Vppdiff(3)
$V_{SWINGSRMIN}$	SYSREF 输入摆幅最小值	f_{REF} > 500MHz		0.6		Vppdiff(3)
$V_{COMSRMAX}$	SYSREF 输入共模电压最大值			0.8		V
$V_{COMSRMIN}$	SYSREF 输入共模电压最小值			0.6		V
Z_T	输入端接	差分		100 (1)		Ω
C_L	输入电容	每个引脚端接至 GND		0.5		pF
LVDS 输入：0SYNCIN+/- 和 1SYNCIN+/-						
V_{ICOM}	输入共模电压			1.2		V
V_{ID}	差分输入电压摆幅			450		Vppdiff(3)
Z_T	输入端接	差分		100		Ω
LVDS 输出：0SYNCOUT+/- 和 1SYNCOUT+/-						
V_{OCOM}	输出共模电压			1.2		V
V_{OD}	差分输出电压摆幅			500		Vppdiff(3)

7.8 数字电气特性 (continued)

TA = +25°C 时的典型值，整个温度范围为 $T_{A,MIN}$ = -40°C 至 $T_{J,MAX}$ = +110°C（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
Z_T	内部端接			100		Ω

(1) SYSREF 端接可在 100Ω、150Ω 和 300Ω 之间进行编程
(2) 损耗容差为从 STX 到 SRX 的凸点间容差
(3) Vppdiff 是最大差分电压（正值）与最小差分电压（负值）之间的差值。

Copyright © 2023 Texas Instruments Incorporated

7.9 电源电气特性

T_A = +25°C 时的典型值，整个温度范围为 $T_{A,MIN}$ = -40°C 至 $T_{J,MAX}$ = +110°C；TX 输入速率 = 500MSPS，RX 输出速率 = 500MSPS，f_{DAC} = 9000MSPS 交错模式；f_{ADC} = 3000MSPS；标称电源；单音幅度为 -1dBFS；DSA 衰减 = 0dB；串行器/解串器速率 = 20Gbps；除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
I_{VDD1P8}	3A 组：VDD1P8FB + VDD1P8RX + VDD1P8TX	模式 1：4T4R - TDD，TX 75%、RX 25% TX 双频带：72 倍插值，TX 速率 125MSPS RX 双频带：24 倍抽取，RX 速率 125MSPS f_{DAC} = 9000MSPS，f_{OUT}=f_{IN}= 1.9，2.6GHz f_{ADC} = 3000MSPS JESD：8/10 编码，20Gbps TX：2-16-16-1，RX：2-16-16-1		588		mA
	3B 组：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC+ VDD1P8GPIO + VDDA1P8			439		mA
	3C 组：VDD1P8PLL + VDD1P8PLLVCO			74		mA
I_{VDD1P2}	组 2: VDD1P2FB + VDD1P2RX + VDD1P2TXCLK + VDD1P2TXENC + VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			1191		mA
I_{VDD0P9}	1A 组：DVDD0P9 + VDDT0P9			1928		mA
P_{diss}	功率耗散			5196		mW
I_{VDD1P8}	3A 组：VDD1P8FB + VDD1P8RX + VDD1P8TX	模式 2：4T4R - FDD TX 双频带：96 倍插值，TX 速率 125MSPS RX 双频带：RX 24x，RX 速率 125MSPS f_{DAC} = 12GSPS，f_{TX} = 1.85GHz f_{ADC} = 3GSPS，f_{RX} = 1.75GHz JESD：8/10 编码，20Gbps TX：2-16-16-1，RX：2-16-16-1		1146		mA
	3B 组：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC+ VDD1P8GPIO + VDDA1P8			553		mA
	3C 组：VDD1P8PLL + VDD1P8PLLVCO			78		mA
I_{VDD1P2}	组 2: VDD1P2FB + VDD1P2RX + VDD1P2TXCLK + VDD1P2TXENC + VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			2152		mA
I_{VDD0P9}	1A 组：DVDD0P9 + VDDT0P9			3217		mA
P_{diss}	功率耗散			8757		mW
I_{VDD1P8}	3A 组：VDD1P8FB + VDD1P8RX + VDD1P8TX	模式 3：4T4R - FDD TX 单频带：96 倍插值，TX 速率 125MSPS RX 单频带：RX 24x，RX 速率 125MSPS f_{DAC} = 12GSPS，f_{TX} = 1.85GHz f_{ADC} = 3GSPS，f_{RX} = 1.75GHz JESD：8/10 编码，20Gbps TX：1-8-16-1，RX：1-8-16-1		1146		mA
	3B 组：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC+ VDD1P8GPIO + VDDA1P8			546		mA
	3C 组：VDD1P8PLL + VDD1P8PLLVCO			78		mA
I_{VDD1P2}	组 2: VDD1P2FB + VDD1P2RX + VDD1P2TXCLK + VDD1P2TXENC + VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			2144		mA
I_{VDD0P9}	1A 组：DVDD0P9 + VDDT0P9			2904		mA
P_{diss}	功率耗散			8444		mW
I_{VDD1P8}	3A 组：VDD1P8FB + VDD1P8RX + VDD1P8TX	模式 4：4T4R - FDD TX 单频带：24 倍插值，TX 速率 500MSPS RX 单频带：RX 6x，RX 速率 500MSPS f_{DAC} = 12GSPS，f_{TX} = 1.85GHz f_{ADC} = 3GSPS，f_{RX} = 1.75GHz JESD：8/10 编码，20Gbps TX：4-8-4-1，RX：4-8-4-1		1147		mA
	3B 组：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC+ VDD1P8GPIO + VDDA1P8			700		mA
	3C 组：VDD1P8PLL + VDD1P8PLLVCO			78		mA
I_{VDD1P2}	组 2: VDD1P2FB + VDD1P2RX + VDD1P2TXCLK + VDD1P2TXENC + VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			2150		mA
I_{VDD0P9}	1A 组：DVDD0P9 + VDDT0P9			3228		mA
P_{diss}	功率耗散			9031		mW

7.9 电源电气特性 (continued)

T_A = +25°C 时的典型值，整个温度范围为 $T_{A,MIN}$ = -40°C 至 $T_{J,MAX}$ = +110°C；TX 输入速率 = 500MSPS，RX 输出速率 = 500MSPS，f_{DAC} = 9000MSPS 交错模式；f_{ADC} = 3000MSPS；标称电源；单音幅度为 -1dBFS；DSA 衰减 = 0dB；串行器/解串器速率 = 20Gbps；除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
I_{VDD1P8}	3A 组：VDD1P8FB + VDD1P8RX + VDD1P8TX	模式 5：配置与模式 4“睡眠模式”相同。SLEEP 引脚上拉为高电平。		24		mA
I_{VDD1P8}	3B 组：VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC+ VDD1P8GPIO + VDDA1P8			339		mA
I_{VDD1P8}	3C 组：VDD1P8PLL + VDD1P8PLLVCO			12		mA
I_{VDD1P2}	组 2: VDD1P2FB + VDD1P2RX + VDD1P2TXCLK + VDD1P2TXENC + VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			58		mA
I_{VDD0P9}	1A 组：DVDD0P9 + VDDT0P9			282		mA
P_{diss}	功率耗散			1004		mW

Copyright © 2023 Texas Instruments Incorporated

7.10 时序要求

T_A = +25°C 时的典型值，整个温度范围为 $T_{A,MIN}$ = -40°C 至 $T_{J,MAX}$ = +110°C；TX 输入速率 = 491.52MSPS，f_{DAC} = 8847.36MSPS；f_{ADC} = 2949.12MSPS；标称电源；单音幅度为 -1dBFS；DSA 衰减 =0dB；串行器/解串器速率 = 24.33Gbps；除非另有说明。

		最小值	标称值	最大值	单位
定时：SYSREF+/-					
$t_{s(SYSREF)}$	建立时间，SYSREF+/- 有效至 CLK+/- 上升沿		50		ps
$t_{h(SYSREF)}$	保持时间，CLK+/- 上升沿之后 SYSREF+/- 有效		50		ps
定时：串行端口					
$t_{s(SENB)}$	建立时间，SENB 至 SCLK 上升沿			15	ns
$t_{h(SENB)}$	保持时间，SCLK 最后一个上升沿之后的 SENB(1)			5 + t_{SCLK}	ns
$t_{s(SDIO)}$	建立时间，SDIO 有效至 SCLK 上升沿			15	ns
$t_{h(SDIO)}$	保持时间，SCLK 上升沿之后 SDIO 有效			5	ns
$t_{(SCLK)_W}$	最小 SCLK 周期：寄存器写入			25	ns
$t_{(SCLK)_R}$	最小 SCLK 周期：寄存器读取			50	ns
$t_{d(data_out)}$	SCLK 下降沿之后的最小数据输出延迟			0	ns
	SCLK 下降沿之后的最大数据输出延迟			15	ns
t_{RESET}	最小 RESETZ 脉冲宽度		1		ms

(1) $\overline{SDEN}$ 需要在最后一个 SCLK 边沿再保持一个额外的时钟周期

7.11 开关特性

T_A = +25°C 时的典型值，整个温度范围为 $T_{A,MIN}$ = -40°C 至 $T_{J,MAX}$ = +110°C；TX 输入速率 = 491.52MSPS，f_{DAC} = 8847.36MSPS；f_{ADC} = 2949.12MSPS；标称电源；单音幅度为 -1dBFS；DSA 衰减 =0dB；串行器/解串器速率 = 24.33Gbps；除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
TX 通道延迟						
	串行器/解串器接收器模拟延迟	全速率		2.8		ns
t_{JESDTX}	JESD 到 TX 输出延迟	LMFSHd=2-8-8-1，368.64MSPS 输入速率，24 倍插值，串行器/解串器速率 = 16.22Gbps (JESD204C)		152		接口时钟周期(1)
		LMFSHd=8-16-4-1，491.52MSPS 24 倍插值，串行器/解串器速率 = 16.22Gbps (JESD204C)		176		
		LMFSHd=4-16-8-1，245.76MSPS 48 倍插值，串行器/解串器速率 = 16.22Gbps (JESD204C)		124		
		LMFSHd=2-16-16-1，122.88MSPS 96 倍插值，串行器/解串器速率 = 16.22Gbps (JESD204C)		97		
RX 通道延迟						
	串行器/解串器发送器模拟延迟			3.6		ns
t_{JESDRX}	RX 输入到 JESD 输出延迟	LMFS=2-16-16-1，122.88MSPS，24 倍抽取，串行器/解串器速率 = 16.22Gbps (JESD204C)		92		接口时钟周期(1)
		LMFS=4-16-8-1，245.76MSPS，12 倍抽取，串行器/解串器速率 = 16.22Gbps (JESD204C)		108		
		LMFS=2-8-8-1，368.64MSPS，8 倍抽取，串行器/解串器速率 = 16.22Gbps (JESD204C)		118		
		LMFS=4-8-4-1，491.52MSPS，6 倍抽取，串行器/解串器速率 = 16.22Gbps (JESD204C)		153		
FB 通道延迟						
	串行器/解串器发送器模拟延迟			3.6		ns
t_{JESDFB}	FB 输入至 JESD 输出延迟	LMFS=1-2-8-1，368.64MSPS，8 倍抽取		151		接口时钟周期(1)
		LMFS=2-4-4-1，491.52MSPS，6 倍抽取		177		

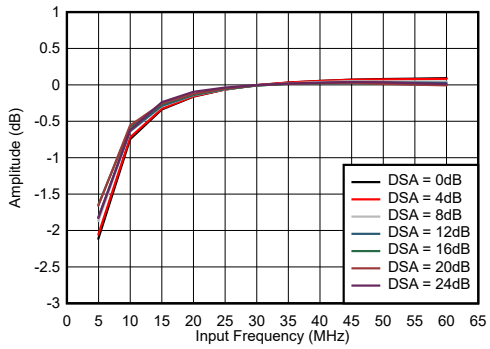
(1) 接口时钟周期是数字接口时钟速率的时段，例如 1GSPS = 1ns。

Copyright © 2023 Texas Instruments Incorporated

7.12 典型特性

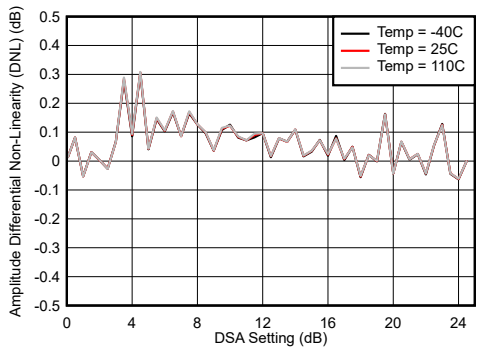
7.12.1 30 MHz 和 400 MHz 下的 RX 典型特性

T_A = +25°C 时的典型值。30MHz 下的默认条件：ADC 采样率 = 1500MSPS，输出采样率 = 62.5MSPS（抽取因子为 24x），PLL 时钟模式，f_{REF} = 500MHz，A_{IN} = –3dBFS，DSA 设置 = 3dB。400MHz 下的默认条件：ADC 采样率 = 1500MSPS，输出采样率 = 125MSPS（抽取因子为 12x），PLL 时钟模式，f_{REF} = 500MHz，A_{IN} = –3dBFS，DSA 设置 = 3dB。



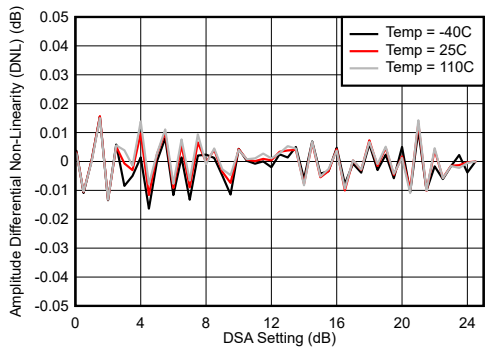
标准化为 30MHz

图 7-1. RX 带内增益平坦度，f_{IN} = 30MHz



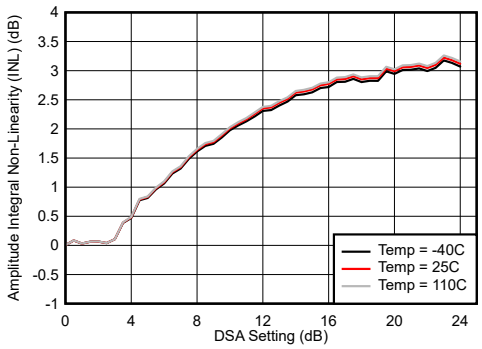
差分振幅误差 = P_{IN}（DSA 设置 – 1）– P_{IN}（DSA 设置）+ 1

图 7-2. 30MHz 条件下 RX 未校准差分振幅误差与 DSA 设置间的关系



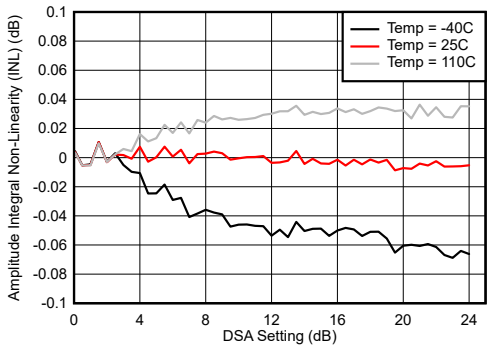
差分振幅误差 = P_{IN}（DSA 设置 – 1）– P_{IN}（DSA 设置）+ 1

图 7-3. 30MHz 条件下 RX 校准差分振幅误差与 DSA 设置间的关系



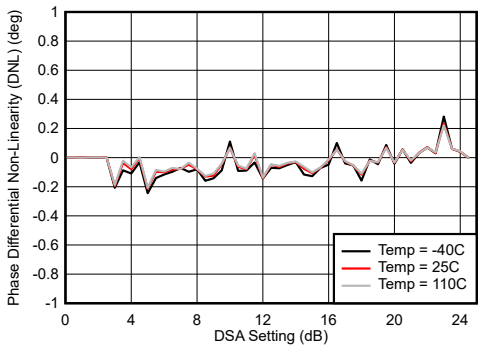
积分振幅误差 = P_{IN}（DSA 设置）– P_{IN}（DSA 设置 = 0）+（DSA 设置）

图 7-4. 30MHz 条件下 RX 未校准积分振幅误差与 DSA 设置间的关系



积分振幅误差 = P_{IN}（DSA 设置）– P_{IN}（DSA 设置 = 0）+（DSA 设置）

图 7-5. 30MHz 条件下 RX 校准积分振幅误差与 DSA 设置间的关系

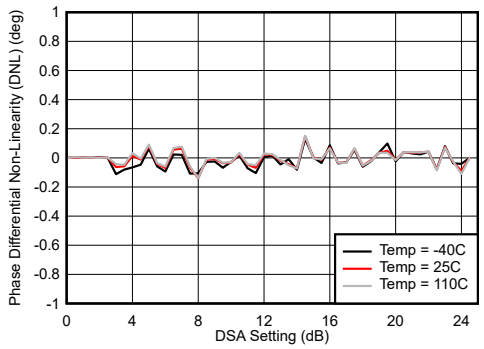


差分相位误差 = $Phase_{IN}$（DSA 设置 – 1）– $Phase_{IN}$（DSA 设置）

图 7-6. 30MHz 条件下 RX 未校准差分相位误差与 DSA 设置间的关系

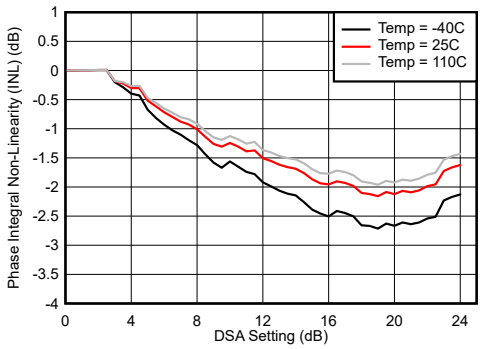
7.12.1 30 MHz 和 400 MHz 下的 RX 典型特性 (continued)

T_A = +25°C 时的典型值。30MHz 下的默认条件：ADC 采样率 = 1500MSPS，输出采样率 = 62.5MSPS（抽取因子为 24x），PLL 时钟模式，f_{REF} = 500MHz，A_{IN} = –3dBFS，DSA 设置 = 3dB。400MHz 下的默认条件：ADC 采样率 = 1500MSPS，输出采样率 = 125MSPS（抽取因子为 12x），PLL 时钟模式，f_{REF} = 500MHz，A_{IN} = –3dBFS，DSA 设置 = 3dB。



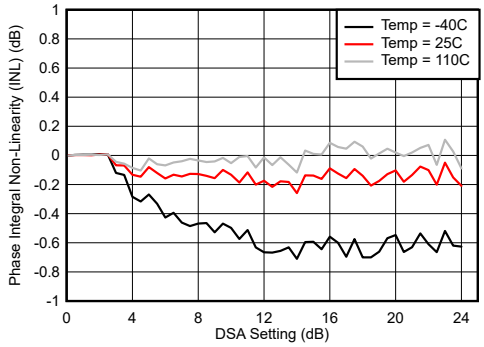
差分相位误差 = $Phase_{IN}$（DSA 设置 – 1）– $Phase_{IN}$（DSA 设置）

图 7-7. 30MHz 条件下 RX 校准差分相位误差与 DSA 设置间的关系



积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

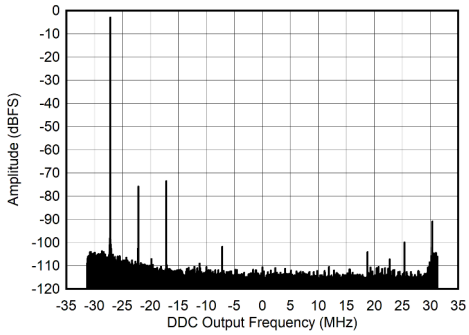
图 7-8. 30MHz 条件下 RX 未校准积分相位误差与 DSA 设置间的关系



使用 0.8GHz 匹配

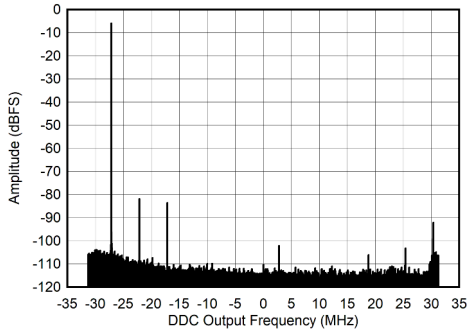
积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

图 7-9. 30MHz 条件下 RX 校准积分相位误差与 DSA 设置间的关系



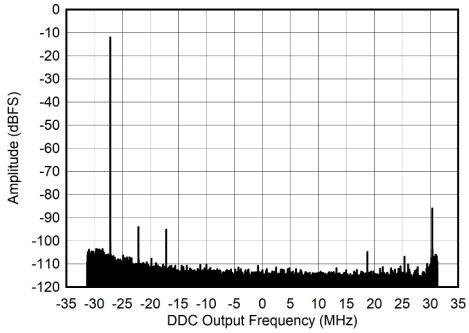
A_{IN} = -3dBFS，f_{ADC} = 1500MSPS，f_{NCO} = 32.13MHz，抽取因子为 24x

图 7-10. 5MHz 条件下的 RX 输出 FFT



A_{IN} = -6dBFS，f_{ADC} = 1500MSPS，f_{NCO} = 32.13MHz，抽取因子为 24x

图 7-11. 5MHz 条件下的 RX 输出 FFT



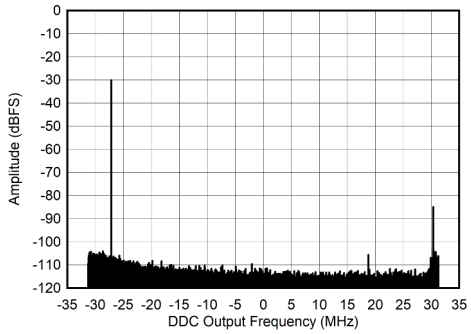
A_{IN} = -12dBFS，f_{ADC} = 1500MSPS，f_{NCO} = 32.13MHz，抽取因子为 24x

图 7-12. 5MHz 条件下的 RX 输出 FFT

Copyright © 2023 Texas Instruments Incorporated

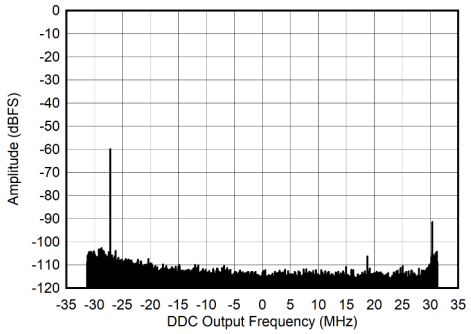
7.12.1 30 MHz 和 400 MHz 下的 RX 典型特性 (continued)

T_A = +25°C 时的典型值。30MHz 下的默认条件：ADC 采样率 = 1500MSPS，输出采样率 = 62.5MSPS（抽取因子为 24x），PLL 时钟模式，f_{REF} = 500MHz，A_{IN} = –3dBFS，DSA 设置 = 3dB。400MHz 下的默认条件：ADC 采样率 = 1500MSPS，输出采样率 = 125MSPS（抽取因子为 12x），PLL 时钟模式，f_{REF} = 500MHz，A_{IN} = –3dBFS，DSA 设置 = 3dB。



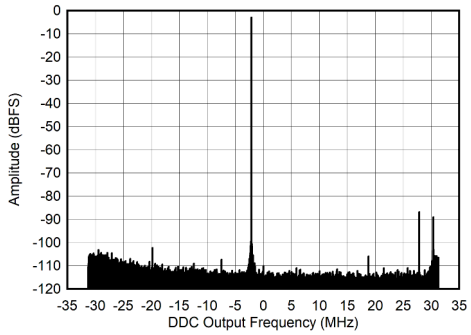
A_{IN} = -30dBFS，f_{ADC} = 1500MSPS，f_{NCO} = 32.13MHz，抽取因子为 24x

图 7-13. 5MHz 条件下的 RX 输出 FFT



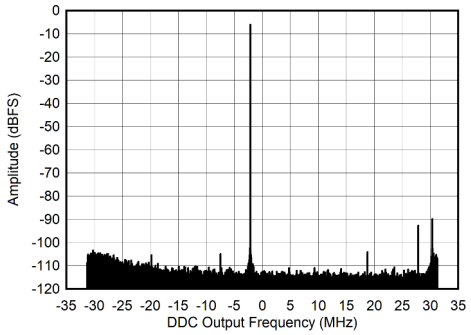
A_{IN} = -60dBFS，f_{ADC} = 1500MSPS，f_{NCO} = 32.13MHz，抽取因子为 24x

图 7-14. 5MHz 条件下的 RX 输出 FFT



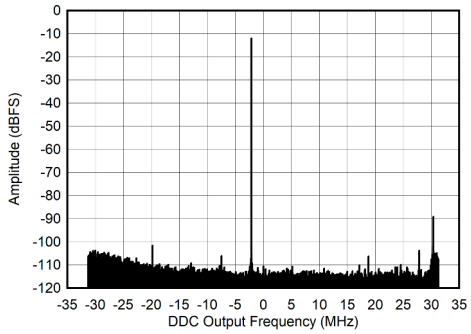
A_{IN} = -3dBFS，f_{ADC} = 1500MSPS，f_{NCO} = 32.13MHz，抽取因子为 24x

图 7-15. 30MHz 条件下的 RX 输出 FFT



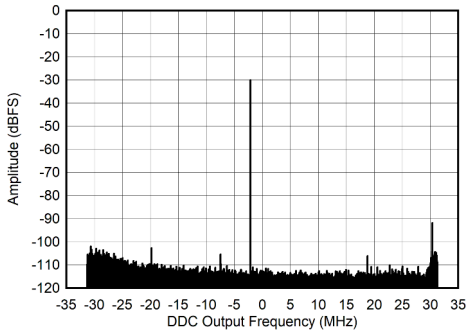
A_{IN} = -6dBFS，f_{ADC} = 1500MSPS，f_{NCO} = 32.13MHz，抽取因子为 24x

图 7-16. 30MHz 条件下的 RX 输出 FFT



A_{IN} = -12dBFS，f_{ADC} = 1500MSPS，f_{NCO} = 32.13MHz，抽取因子为 24x

图 7-17. 30MHz 条件下的 RX 输出 FFT

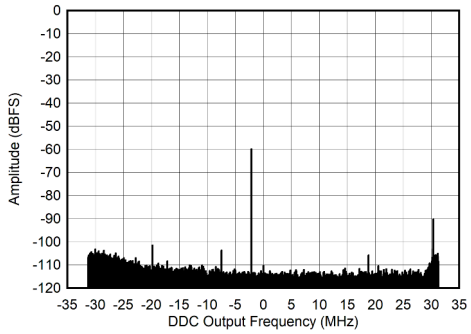


A_{IN} = -30dBFS，f_{ADC} = 1500MSPS，f_{NCO} = 32.13MHz，抽取因子为 24x

图 7-18. 30MHz 条件下的 RX 输出 FFT

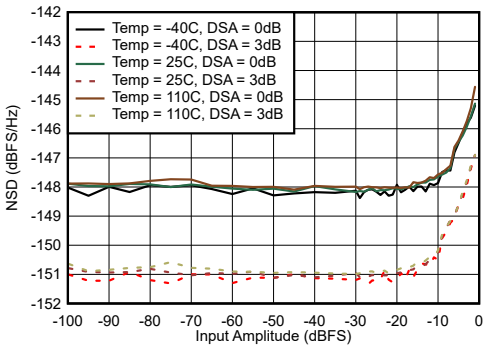
7.12.1 30 MHz 和 400 MHz 下的 RX 典型特性 (continued)

T_A = +25°C 时的典型值。30MHz 下的默认条件：ADC 采样率 = 1500MSPS，输出采样率 = 62.5MSPS（抽取因子为 24x），PLL 时钟模式，f_{REF} = 500MHz，A_{IN} = –3dBFS，DSA 设置 = 3dB。400MHz 下的默认条件：ADC 采样率 = 1500MSPS，输出采样率 = 125MSPS（抽取因子为 12x），PLL 时钟模式，f_{REF} = 500MHz，A_{IN} = –3dBFS，DSA 设置 = 3dB。



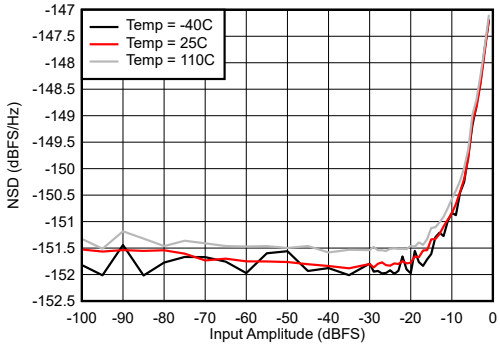
A_{IN} = -60dBFS，f_{ADC} = 1500MSPS，f_{NCO} = 32.13MHz，抽取因子为 24x

图 7-19. 30MHz 条件下的 RX 输出 FFT



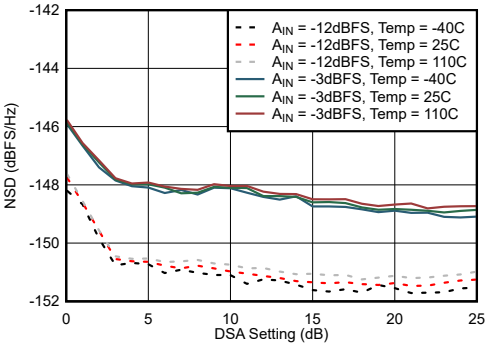
f_{ADC} = 1500MSPS，f_{NCO} = 32.13MHz，抽取因子为 24x

图 7-20. 30MHz、DSA = 0dB 和 3dB 条件下 NSD 与输入振幅间的关系



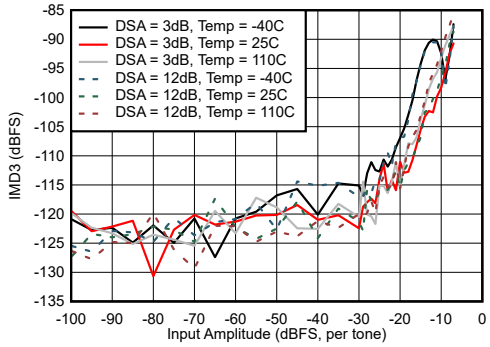
f_{ADC} = 1500MSPS，f_{NCO} = 32.13MHz，抽取因子为 24x

图 7-21. 30MHz、DSA = 12dB 条件下 NSD 与输入振幅间的关系



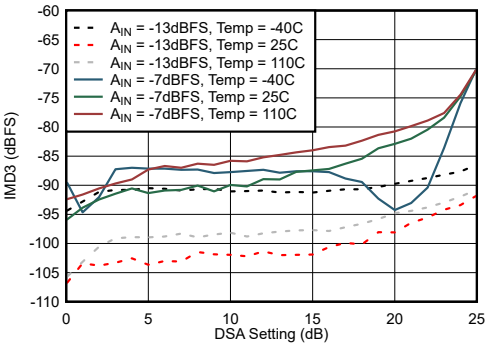
f_{ADC} = 1500MSPS，f_{NCO} = 32.13MHz，抽取因子为 24x

图 7-22. 30MHz 条件下 NSD 与 DSA 衰减间的关系



f_{ADC} = 1500MSPS，f_{NCO} = 32.13MHz，抽取因子为 24x

图 7-23. 30MHz 条件下 IMD3 与输入振幅间的关系



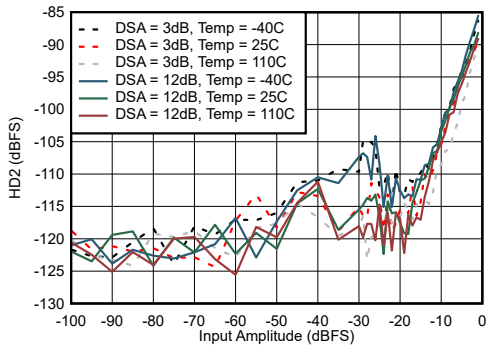
f_{ADC} = 1500MSPS，f_{NCO} = 32.13MHz，抽取因子为 24x

图 7-24. 30MHz 条件下 IMD3 与 DSA 设置间的关系

Copyright © 2023 Texas Instruments Incorporated

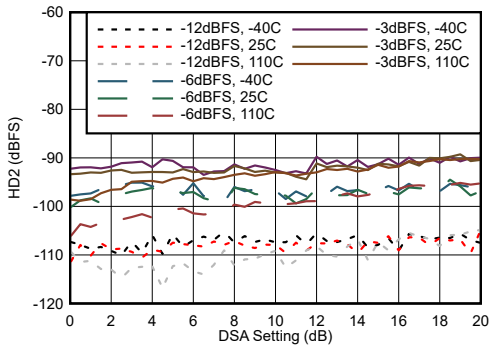
7.12.1 30 MHz 和 400 MHz 下的 RX 典型特性 (continued)

T_A = +25°C 时的典型值。30MHz 下的默认条件：ADC 采样率 = 1500MSPS，输出采样率 = 62.5MSPS（抽取因子为 24x），PLL 时钟模式，f_{REF} = 500MHz，A_{IN} = –3dBFS，DSA 设置 = 3dB。400MHz 下的默认条件：ADC 采样率 = 1500MSPS，输出采样率 = 125MSPS（抽取因子为 12x），PLL 时钟模式，f_{REF} = 500MHz，A_{IN} = –3dBFS，DSA 设置 = 3dB。



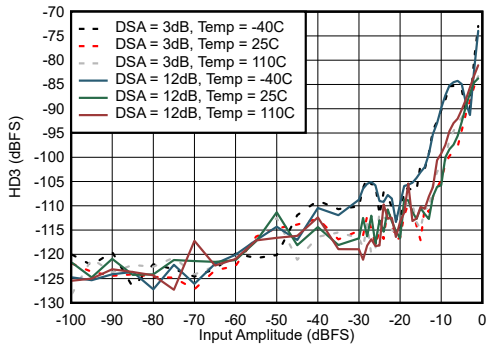
f_{ADC} = 1500MSPS，f_{NCO} = 32.13MHz，抽取因子为 24x

图 7-25. 30MHz 条件下 HD2 与输入振幅间的关系



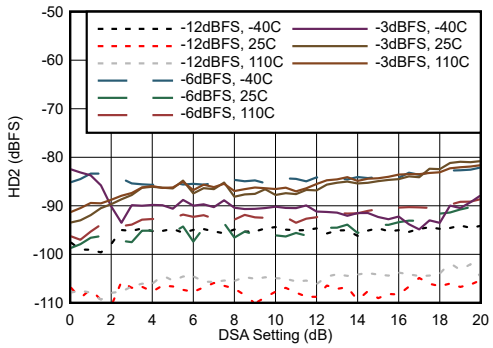
f_{ADC} = 1500MSPS，f_{NCO} = 32.13MHz，抽取因子为 24x

图 7-26. 30MHz 条件下 HD2 与 DSA 设置间的关系



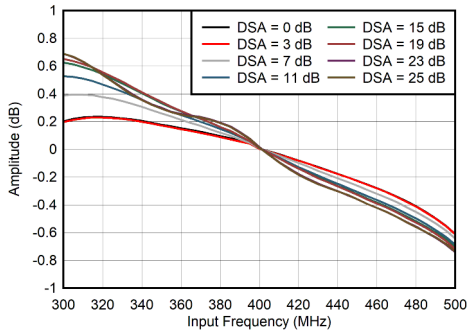
f_{ADC} = 1500MSPS，f_{NCO} = 32.13MHz，抽取因子为 24x

图 7-27. 30MHz 条件下 HD3 与输入振幅间的关系



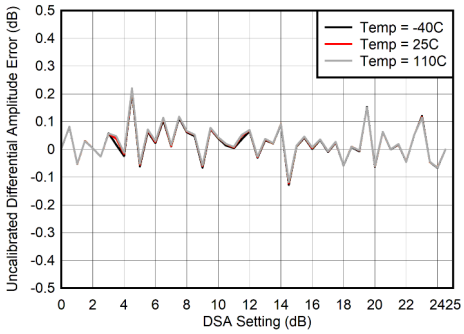
f_{ADC} = 1500MSPS，f_{NCO} = 32.13MHz，抽取因子为 24x

图 7-28. 30MHz 条件下 HD3 与 DSA 设置间的关系



标准化为 4000MHz

图 7-29. RX 带内增益平坦度，f_{IN} = 400MHz

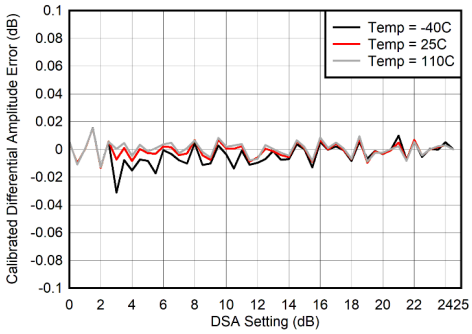


差分振幅误差 = P_{IN}（DSA 设置 – 1）– P_{IN}（DSA 设置）+ 1

图 7-30. 30MHz 条件下 RX 未校准差分振幅误差与 DSA 设置间的关系

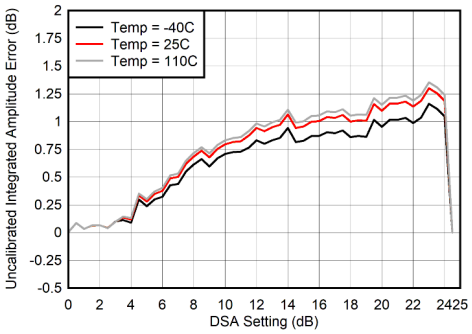
7.12.1 30 MHz 和 400 MHz 下的 RX 典型特性 (continued)

T_A = +25°C 时的典型值。30MHz 下的默认条件：ADC 采样率 = 1500MSPS，输出采样率 = 62.5MSPS（抽取因子为 24x），PLL 时钟模式，f_{REF} = 500MHz，A_{IN} = –3dBFS，DSA 设置 = 3dB。400MHz 下的默认条件：ADC 采样率 = 1500MSPS，输出采样率 = 125MSPS（抽取因子为 12x），PLL 时钟模式，f_{REF} = 500MHz，A_{IN} = –3dBFS，DSA 设置 = 3dB。



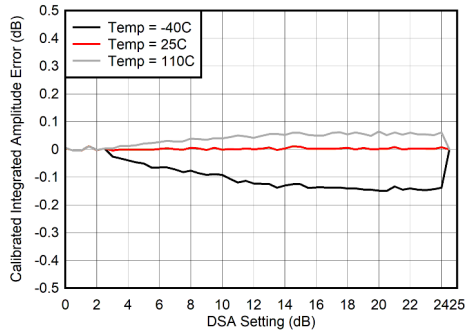
差分振幅误差 = P_{IN}（DSA 设置 – 1）– P_{IN}（DSA 设置）+ 1

图 7-31. 400MHz 条件下 RX 校准差分振幅误差与 DSA 设置间的关系



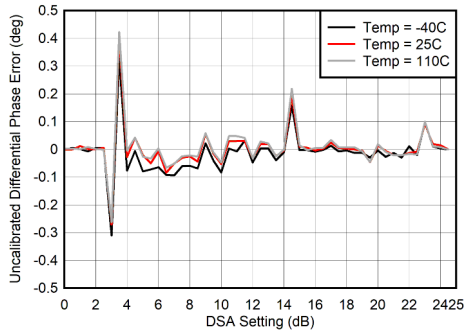
积分振幅误差 = P_{IN}（DSA 设置）– P_{IN}（DSA 设置 = 0）+（DSA 设置）

图 7-32. 400MHz 条件下 RX 未校准积分振幅误差与 DSA 设置间的关系



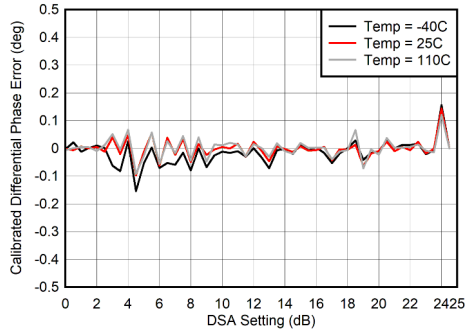
积分振幅误差 = P_{IN}（DSA 设置）– P_{IN}（DSA 设置 = 0）+（DSA 设置）

图 7-33. 400MHz 条件下 RX 校准积分振幅误差与 DSA 设置间的关系



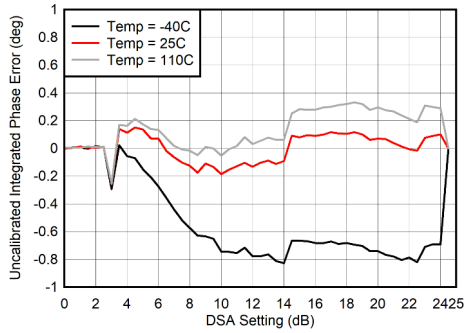
差分相位误差 = $Phase_{IN}$（DSA 设置 – 1）– $Phase_{IN}$（DSA 设置）

图 7-34. 400MHz 条件下 RX 未校准差分相位误差与 DSA 设置间的关系



差分相位误差 = $Phase_{IN}$（DSA 设置 – 1）– $Phase_{IN}$（DSA 设置）

图 7-35. 400MHz 条件下 RX 校准差分相位误差与 DSA 设置间的关系



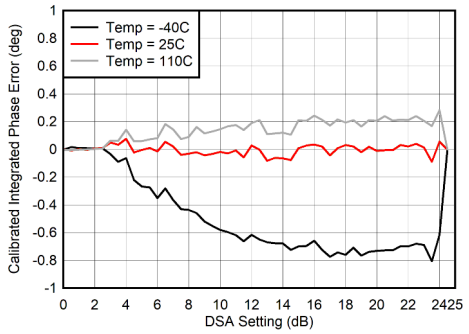
积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

图 7-36. 400MHz 条件下 RX 未校准积分相位误差与 DSA 设置间的关系

Copyright © 2023 Texas Instruments Incorporated

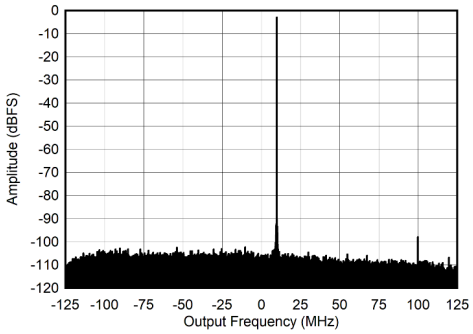
7.12.1 30 MHz 和 400 MHz 下的 RX 典型特性 (continued)

T_A = +25°C 时的典型值。30MHz 下的默认条件：ADC 采样率 = 1500MSPS，输出采样率 = 62.5MSPS（抽取因子为 24x），PLL 时钟模式，f_{REF} = 500MHz，A_{IN} = –3dBFS，DSA 设置 = 3dB。400MHz 下的默认条件：ADC 采样率 = 1500MSPS，输出采样率 = 125MSPS（抽取因子为 12x），PLL 时钟模式，f_{REF} = 500MHz，A_{IN} = –3dBFS，DSA 设置 = 3dB。



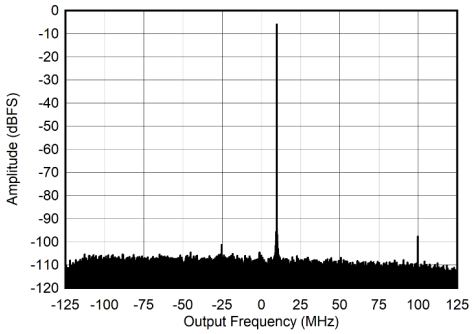
积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

图 7-37. 400MHz 条件下 RX 校准积分相位误差与 DSA 设置间的关系



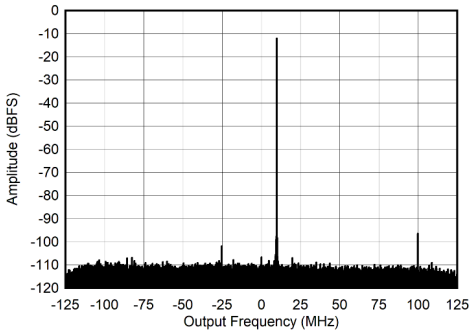
f_{NCO} = 400MHz

图 7-38. 405MHz 和 -3dBFS 条件下的 RX 输出 FFT



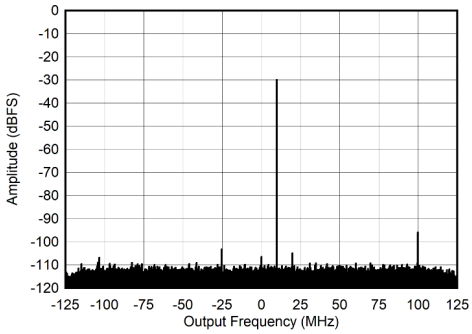
f_{NCO} = 400MHz

图 7-39. 405MHz 和 -6dBFS 条件下的 RX 输出 FFT



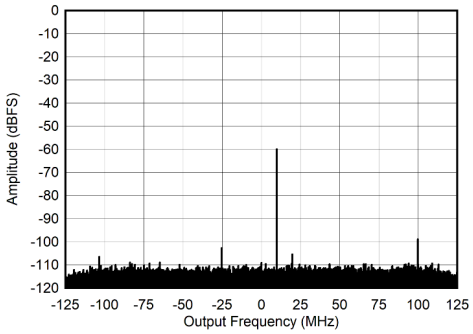
f_{NCO} = 400MHz

图 7-40. 405MHz 和 -12dBFS 条件下的 RX 输出 FFT



f_{NCO} = 400MHz

图 7-41. 405MHz 和 -30dBFS 条件下的 RX 输出 FFT

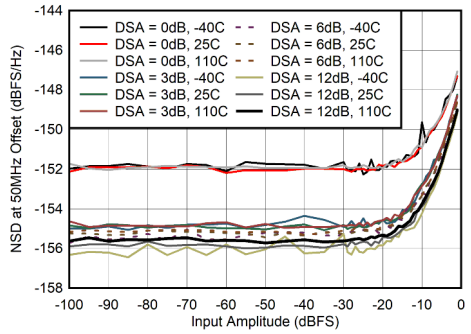


f_{NCO} = 400MHz

图 7-42. 405MHz 和 -60dBFS 条件下的 RX 输出 FFT

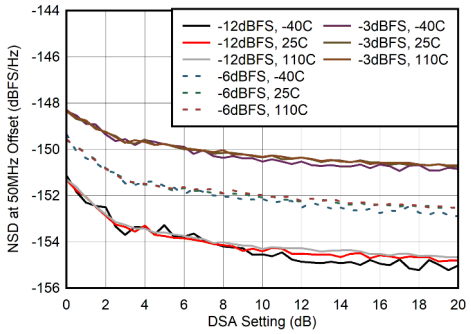
7.12.1 30 MHz 和 400 MHz 下的 RX 典型特性 (continued)

T_A = +25°C 时的典型值。30MHz 下的默认条件：ADC 采样率 = 1500MSPS，输出采样率 = 62.5MSPS（抽取因子为 24x），PLL 时钟模式，f_{REF} = 500MHz，A_{IN} = –3dBFS，DSA 设置 = 3dB。400MHz 下的默认条件：ADC 采样率 = 1500MSPS，输出采样率 = 125MSPS（抽取因子为 12x），PLL 时钟模式，f_{REF} = 500MHz，A_{IN} = –3dBFS，DSA 设置 = 3dB。



f_{OFFSET} = 50MHz

图 7-43. 400MHz 条件下 NSD 与输入振幅间的关系



f_{OFFSET} = 50MHz

图 7-44. 400MHz 条件下 NSD 与 DSA 设置间的关系

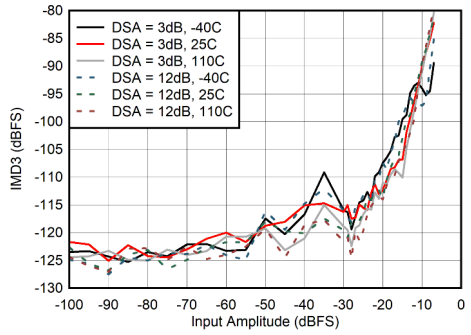


图 7-45. 400MHz 条件下 IMD3 与输入振幅间的关系

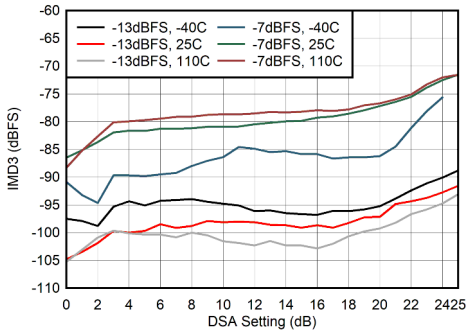


图 7-46. 400MHz 条件下 IMD3 与 DSA 设置间的关系

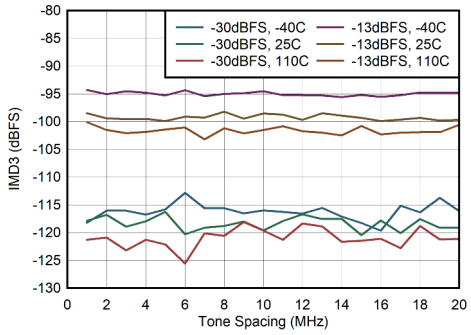


图 7-47. 400MHz 条件下 IMD3 与子载波间隔间的关系

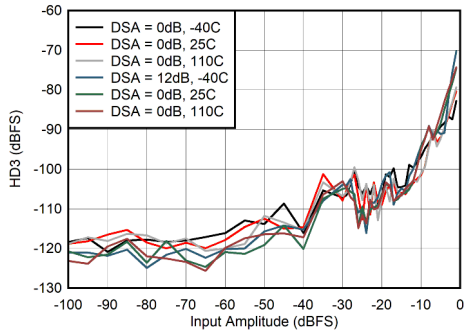


图 7-48. 400MHz 条件下 HD3 与输入振幅间的关系

Copyright © 2023 Texas Instruments Incorporated

7.12.1 30 MHz 和 400 MHz 下的 RX 典型特性 (continued)

T_A = +25°C 时的典型值。30MHz 下的默认条件：ADC 采样率 = 1500MSPS，输出采样率 = 62.5MSPS（抽取因子为 24x），PLL 时钟模式，f_{REF} = 500MHz，A_{IN} = –3dBFS，DSA 设置 = 3dB。400MHz 下的默认条件：ADC 采样率 = 1500MSPS，输出采样率 = 125MSPS（抽取因子为 12x），PLL 时钟模式，f_{REF} = 500MHz，A_{IN} = –3dBFS，DSA 设置 = 3dB。

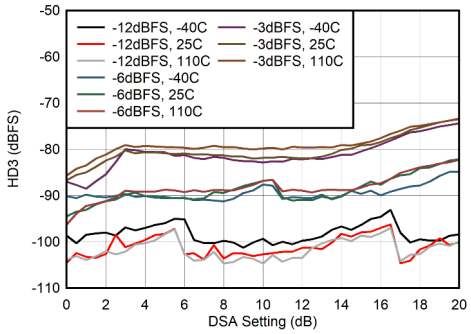
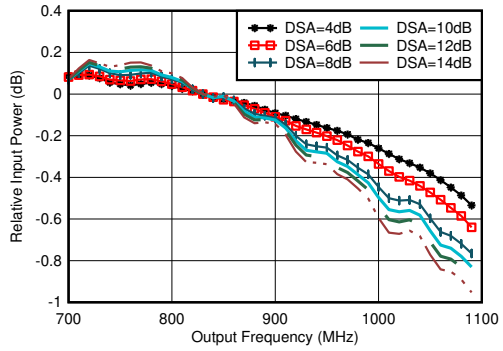


图 7-49. 400MHz 条件下 HD3 与 DSA 设置间的关系

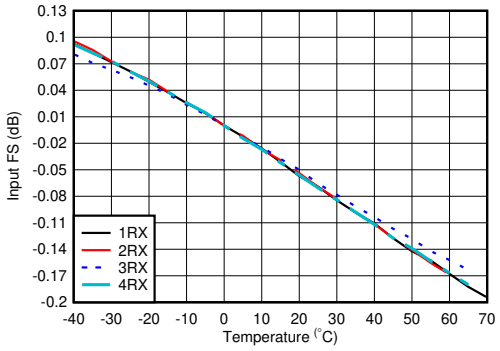
7.12.2 800 MHz 下的 RX 典型特性

T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置 = 4dB。



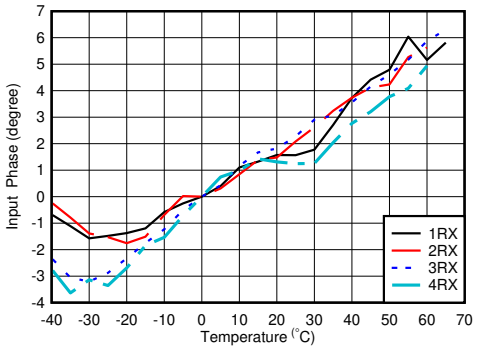
使用 0.8GHz 匹配时，标准化为 830MHz

图 7-50. 通道 1RX 的 RX 带内增益平坦度，f_{IN} = 830MHz



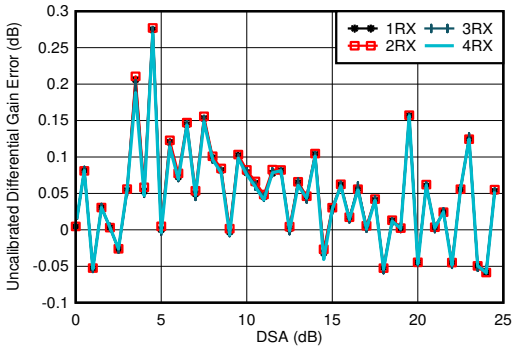
使用 0.8GHz 匹配时，为每个通道标准化为 25°C 时的满量程

图 7-51. 800MHz 条件下 RX 输入满量程与温度和通道间的关系



使用 0.8GHz 匹配时，标准化为 25°C 时的相位

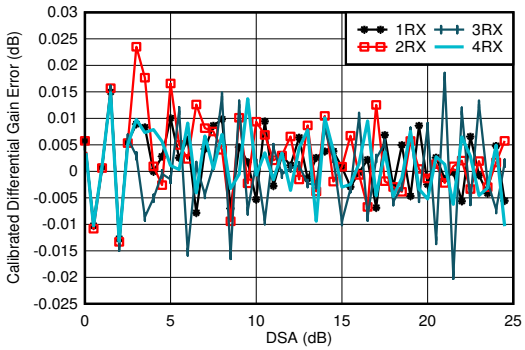
图 7-52. f_{OUT} = 0.8GHz 时 RX 输入相位与温度和 DSA 间的关系



使用 0.8GHz 匹配

差分振幅误差 = P_{IN}（DSA 设置 – 1）– P_{IN}（DSA 设置）+ 1

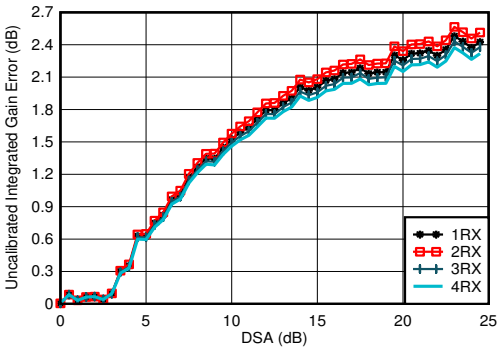
图 7-53. 0.8GHz 条件下 RX 未校准差分振幅误差与 DSA 设置间的关系



使用 0.8GHz 匹配

差分振幅误差 = P_{IN}（DSA 设置 – 1）– P_{IN}（DSA 设置）+ 1

图 7-54. 0.8GHz 条件下 RX 校准差分振幅误差与 DSA 设置间的关系



使用 0.8GHz 匹配

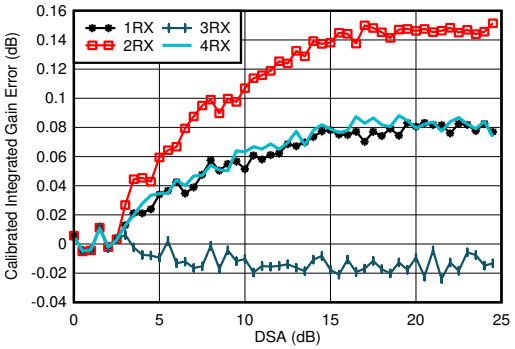
积分振幅误差 = P_{IN}（DSA 设置）– P_{IN}（DSA 设置 = 0）+（DSA 设置）

图 7-55. 0.8GHz 条件下 RX 未校准积分振幅误差与 DSA 设置间的关系

Copyright © 2023 Texas Instruments Incorporated

7.12.2 800 MHz 下的 RX 典型特性 (continued)

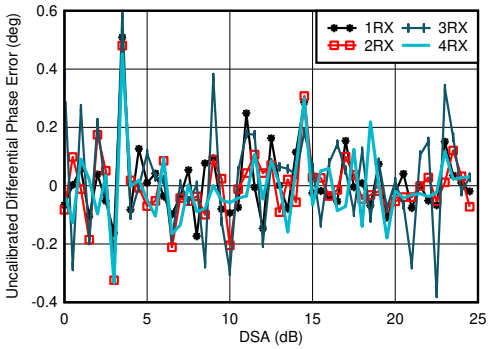
T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置 = 4dB。



使用 0.8GHz 匹配

积分振幅误差 = P_{IN}（DSA 设置）– P_{IN}（DSA 设置 = 0）+（DSA 设置）

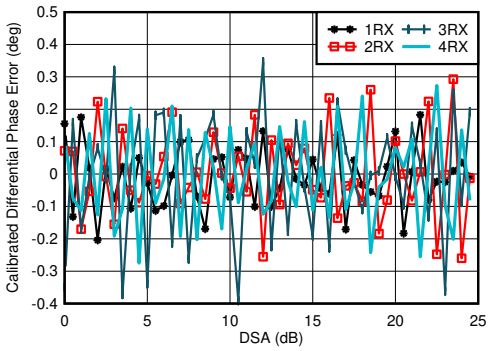
图 7-56. 2.6GHz 条件下 RX 校准积分振幅误差与 DSA 设置间的关系



使用 0.8GHz 匹配

差分相位误差 = $Phase_{IN}$（DSA 设置 – 1）– $Phase_{IN}$（DSA 设置）

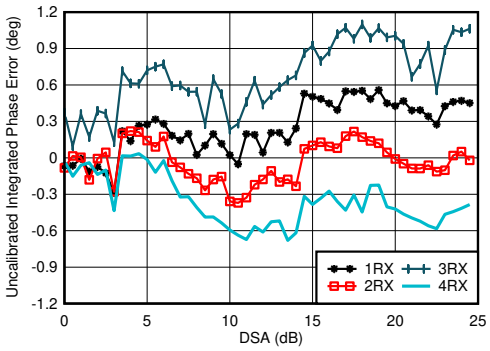
图 7-57. 0.8GHz 条件下 RX 未校准差分相位误差与 DSA 设置间的关系



使用 0.8GHz 匹配

差分相位误差 = $Phase_{IN}$（DSA 设置 – 1）– $Phase_{IN}$（DSA 设置）

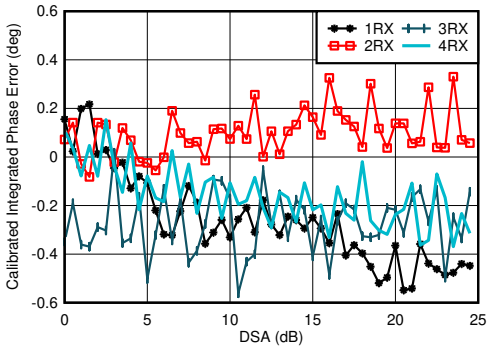
图 7-58. 0.8GHz 条件下 RX 校准差分相位误差与 DSA 设置间的关系



使用 0.8GHz 匹配

积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

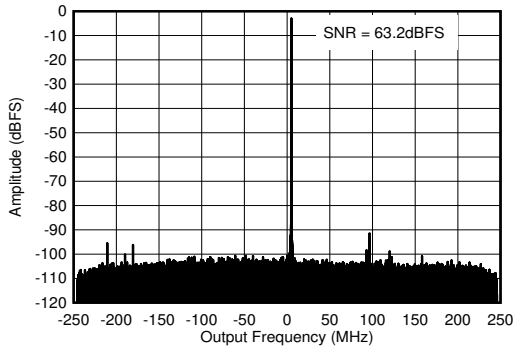
图 7-59. 0.8GHz 条件下 RX 未校准积分相位误差与 DSA 设置间的关系



使用 0.8GHz 匹配

积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

图 7-60. 0.8GHz 条件下 RX 校准积分相位误差与 DSA 设置间的关系

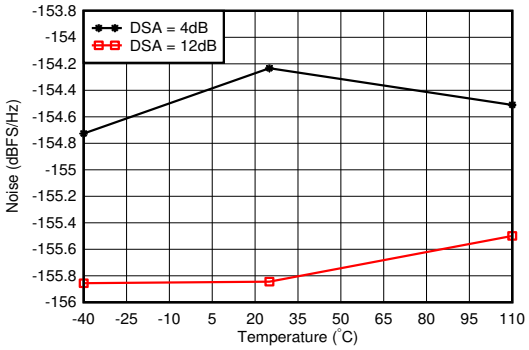


使用 0.8GHz 匹配时，f_{IN} = 840MHz，A_{IN} = –3dBFS

图 7-61. 0.8GHz 条件下的 RX 输出 FFT

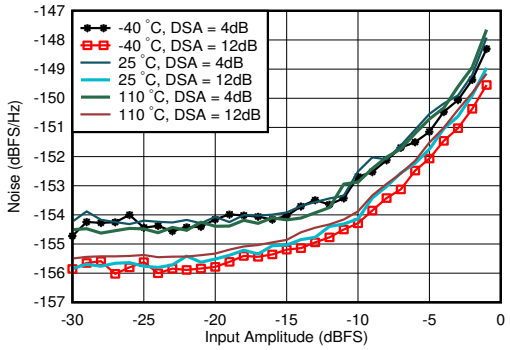
7.12.2 800 MHz 下的 RX 典型特性 (continued)

T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置 = 4dB。



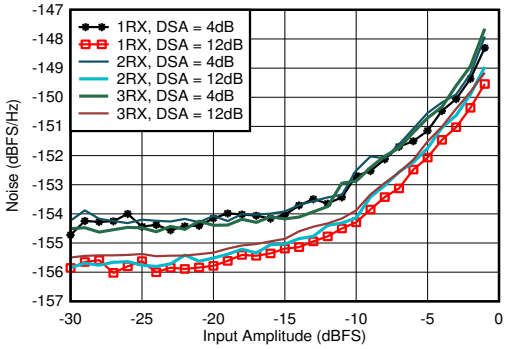
使用 0.8GHz 匹配时，相对于子载波偏移 12.5MHz

图 7-62. 0.8GHz 条件下 RX 噪声频谱密度与温度间的关系



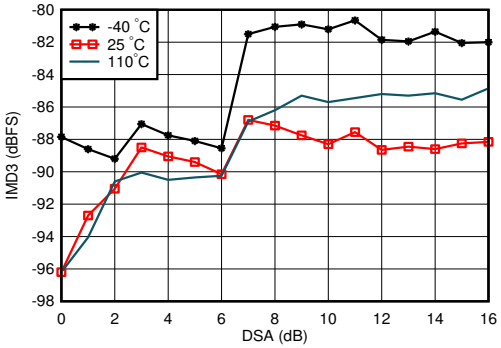
使用 0.8GHz 匹配时，DSA 设置 = 12dB，相对于子载波偏移 12.5MHz

图 7-63. 0.8GHz 条件下 RX 噪声频谱密度与输入振幅和温度间的关系



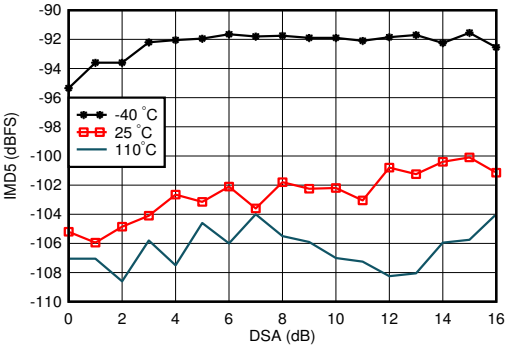
使用 0.8GHz 匹配时，相对于子载波偏移 12.5MHz

图 7-64. 0.8GHz 条件下 RX 噪声频谱密度与输入振幅和通道间的关系



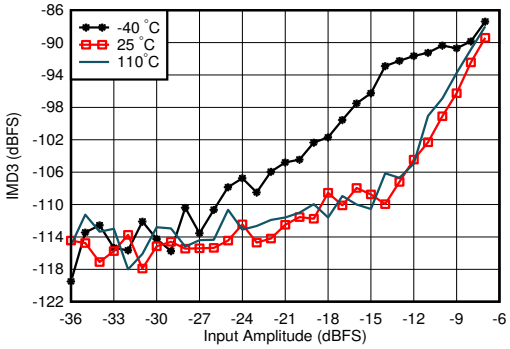
A. 使用 0.8GHz 匹配时，每个子载波 -7dBFS，子载波间隔 = 20MHz

图 7-65. 0.8GHz 条件下 RX IMD3 与 DSA 设置和温度间的关系



使用 0.8GHz 匹配时，每个子载波 -7dBFS，子载波间隔 = 20MHz

图 7-66. 0.8GHz 条件下 RX IMD5 与 DSA 设置和温度间的关系



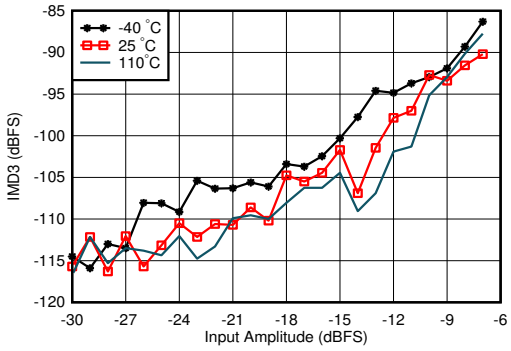
使用 0.8GHz 匹配时，子载波间隔 = 20MHz，DSA = 4dB

图 7-67. 0.8GHz 条件下 RX IMD3 与输入电平和温度间的关系

Copyright © 2023 Texas Instruments Incorporated

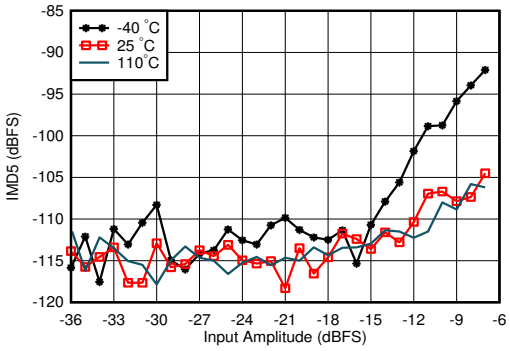
7.12.2 800 MHz 下的 RX 典型特性 (continued)

T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置 = 4dB。



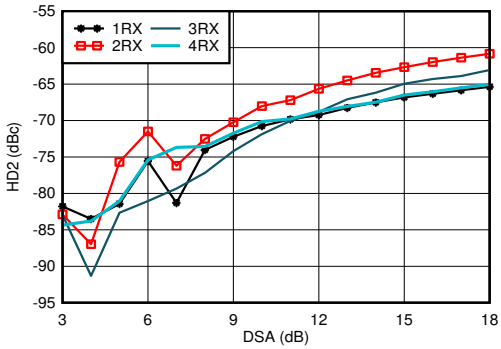
使用 0.8GHz 匹配时，子载波间隔 = 20MHz，DSA = 12dB

图 7-68. 0.8GHz 条件下 RX IMD3 与输入电平和温度间的关系



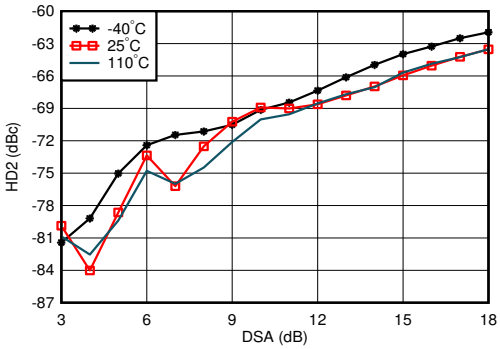
使用 0.8GHz 匹配时，子载波间隔 = 20MHz，DSA = 12dB

图 7-69. 0.8GHz 条件下 Rx IMD5 与输入电平和温度间的关系



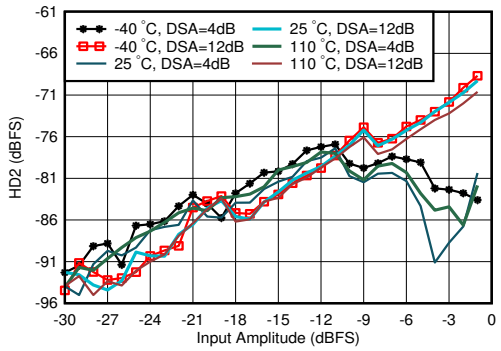
使用 0.8GHz 匹配时，在 HD2 修整后测量，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-70. 0.8GHz 条件下 RX HD2 与 DSA 设置和通道间的关系



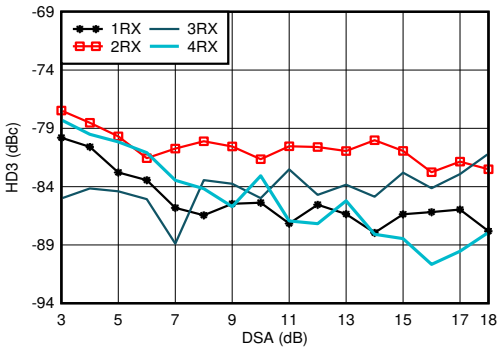
使用 0.8GHz 匹配时，在 HD2 修整后测量，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-71. 0.8GHz 条件下 RX HD2 与 DSA 设置和温度间的关系



使用 0.8GHz 匹配时，在 HD2 修整后测量，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-72. 0.8GHz 条件下 RX HD2 与输入电平和温度间的关系

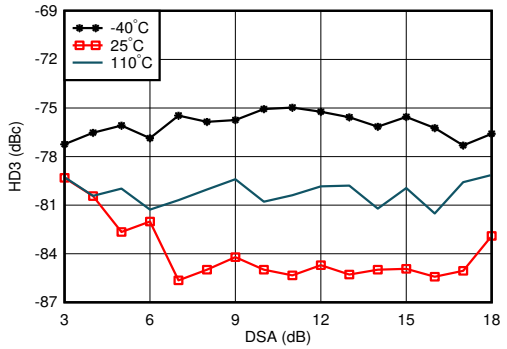


使用 0.8GHz 匹配时，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-73. 0.8GHz 条件下 RX HD3 与 DSA 设置和通道间的关系

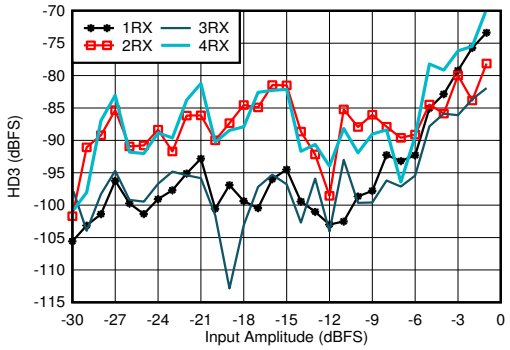
7.12.2 800 MHz 下的 RX 典型特性 (continued)

T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置 = 4dB。



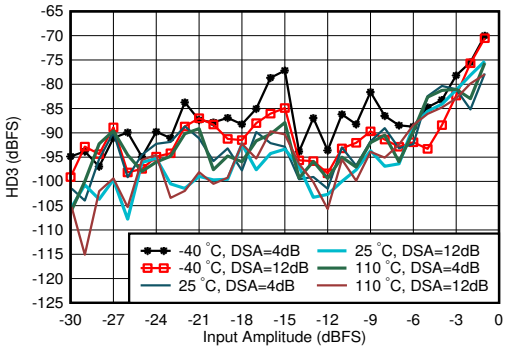
使用 0.8GHz 匹配时，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-74. 0.8GHz 条件下 RX HD3 与 DSA 设置和温度间的关系



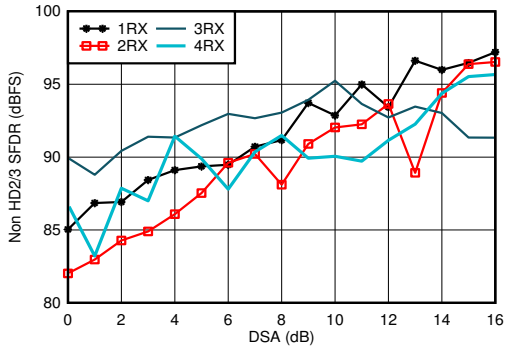
使用 0.8GHz 匹配时，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-75. 0.8GHz 条件下 RX HD3 与输入电平和通道间的关系



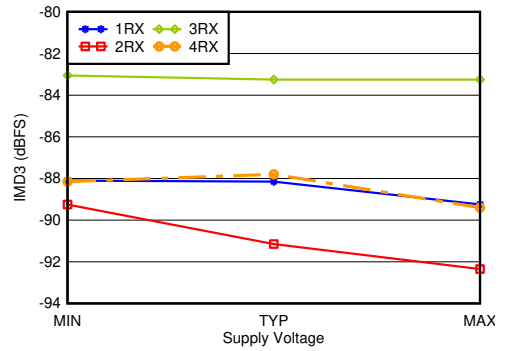
使用 0.8GHz 匹配时，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-76. 0.8GHz 条件下 RX HD3 与输入电平和温度间的关系



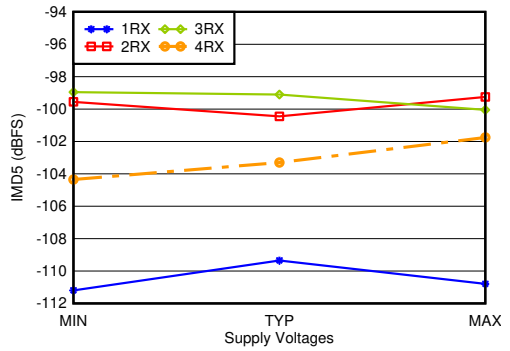
使用 0.8GHz 匹配

图 7-77. 0.8GHz 条件下 RX 非 HD2/3 与 DSA 设置间的关系



使用 0.8GHz 匹配时，每个子载波 -7dBFS，子载波间隔为 20MHz，所有电源均处于 MIN、TYP 或 MAX 推荐工作电压

图 7-78. 0.8GHz 条件下 RX IMD3 与电源和通道间的关系



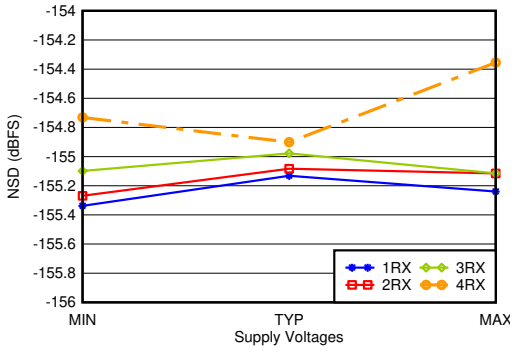
使用 0.8GHz 匹配时，每个子载波 -7dBFS，子载波间隔为 20MHz，所有电源均处于 MIN、TYP 或 MAX 推荐工作电压

图 7-79. 0.8GHz 条件下 RX IMD5 与电源和通道间的关系

Copyright © 2023 Texas Instruments Incorporated

7.12.2 800 MHz 下的 RX 典型特性 (continued)

T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置 = 4dB。

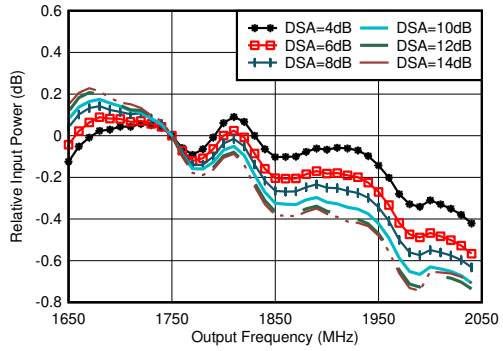


使用 0.8GHz 匹配时，偏移为 12.5MHz，所有电源均处于 MIN、TYP 或 MAX 推荐工作电压

图 7-80. 0.8GHz 条件下 RX 噪声频谱密度与电源和通道间的关系

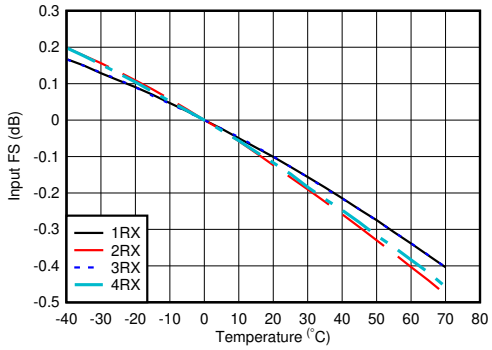
7.12.3 1.75 GHz 至 1.9 GHz 下的 RX 典型特性

T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置 = 4dB。



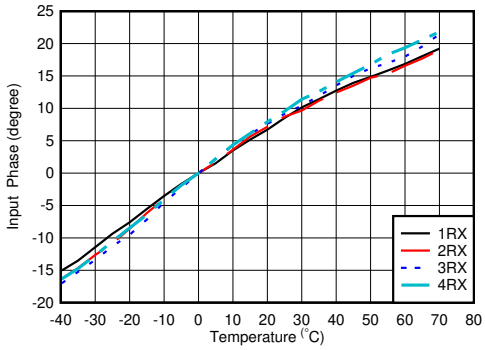
使用 1.8GHz 匹配时，标准化为 1.75GHz

图 7-81. RX 带内增益平坦度，f_{IN} = 1750MHz



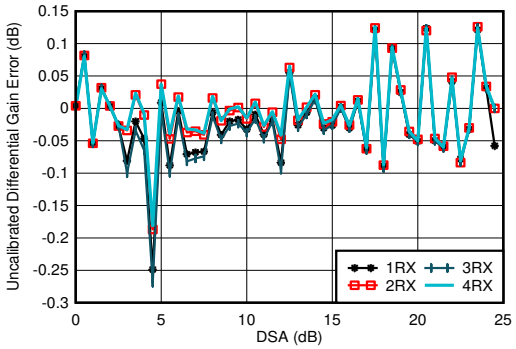
使用 1.8GHz 匹配时，为每个通道标准化为 25°C 时的满量程

图 7-82. 1.75GHz 条件下 RX 输入满量程与温度和通道间的关系



使用 2.6GHz 匹配时，标准化为 25°C 时的相位

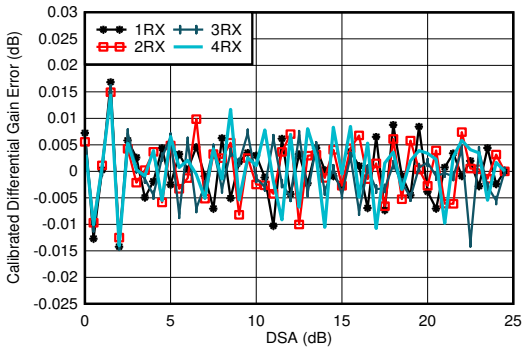
图 7-83. f_{IN} = 1.75GHz 时 RX 输入相位与温度和 DSA 间的关系



使用 1.8GHz 匹配

差分振幅误差 = P_{IN}（DSA 设置 – 1）– P_{IN}（DSA 设置）+ 1

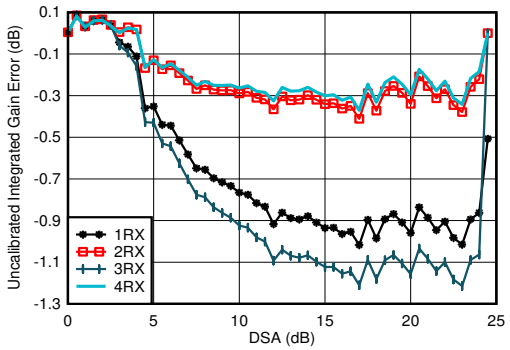
图 7-84. 1.75GHz 条件下 RX 未校准差分振幅误差与 DSA 设置间的关系



使用 1.8GHz 匹配

差分振幅误差 = P_{IN}（DSA 设置 – 1）– P_{IN}（DSA 设置）+ 1

图 7-85. 1.75GHz 条件下 RX 校准差分振幅误差与 DSA 设置间的关系



使用 1.8GHz 匹配

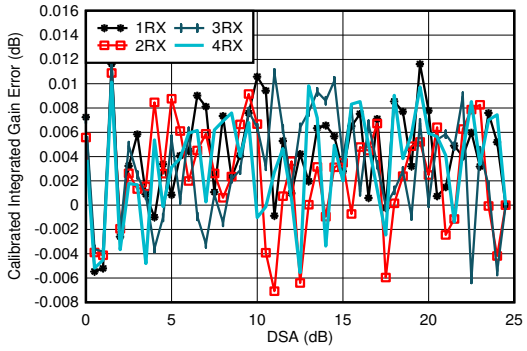
积分振幅误差 = P_{IN}（DSA 设置）– P_{IN}（DSA 设置 = 0）+（DSA 设置）

图 7-86. 1.75GHz 条件下 RX 未校准积分振幅误差与 DSA 设置间的关系

Copyright © 2023 Texas Instruments Incorporated

7.12.3 1.75 GHz 至 1.9 GHz 下的 RX 典型特性 (continued)

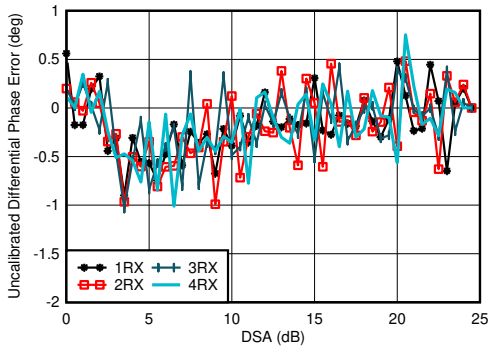
T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置 = 4dB。



使用 1.8GHz 匹配

积分振幅误差 = P_{IN}（DSA 设置）– P_{IN}（DSA 设置 = 0）+（DSA 设置）

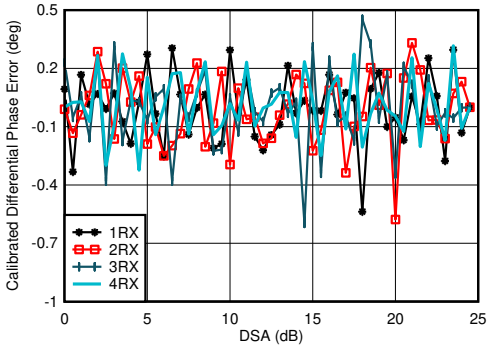
图 7-87. 1.75GHz 条件下 RX 校准积分振幅误差与 DSA 设置间的关系



使用 1.8GHz 匹配

差分相位误差 = $Phase_{IN}$（DSA 设置 – 1）– $Phase_{IN}$（DSA 设置）

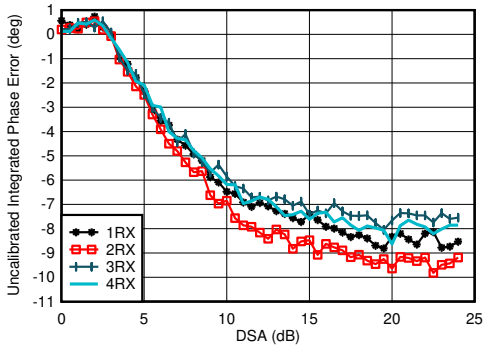
图 7-88. 1.75GHz 条件下 RX 未校准差分相位误差与 DSA 设置间的关系



使用 1.8GHz 匹配

差分相位误差 = $Phase_{IN}$（DSA 设置 – 1）– $Phase_{IN}$（DSA 设置）

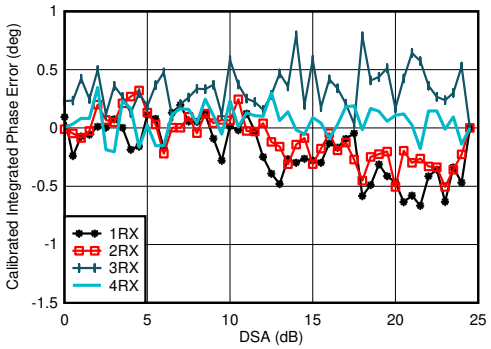
图 7-89. 1.75GHz 条件下 RX 校准差分相位误差与 DSA 设置间的关系



使用 1.8GHz 匹配

积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

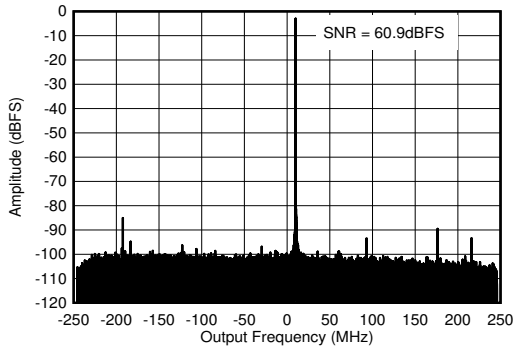
图 7-90. 1.75GHz 条件下 RX 未校准积分相位误差与 DSA 设置间的关系



使用 1.8GHz 匹配

积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

图 7-91. 1.75GHz 条件下 RX 校准积分相位误差与 DSA 设置间的关系

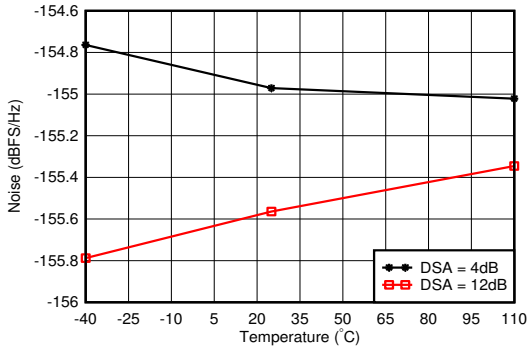


使用 1.8GHz 匹配时，f_{IN} = 2610MHz，A_{IN} = –3dBFS

图 7-92. 1.75GHz 条件下的 RX 输出 FFT

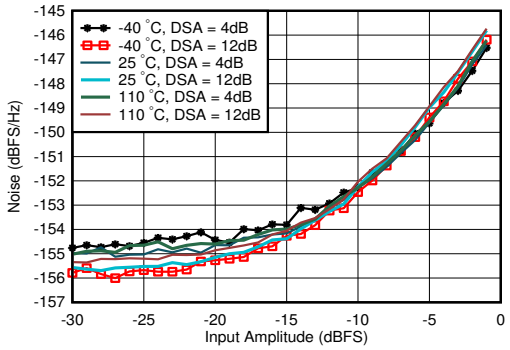
7.12.3 1.75 GHz 至 1.9 GHz 下的 RX 典型特性 (continued)

T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置 = 4dB。



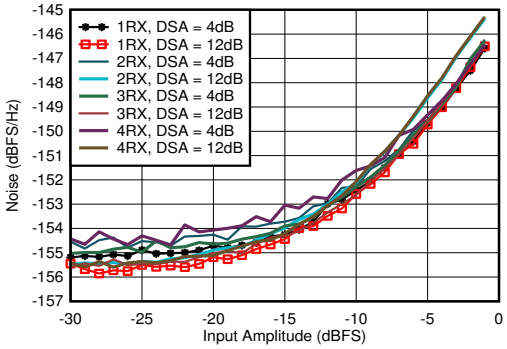
使用 1.8GHz 匹配时，相对于子载波偏移 12.5MHz

图 7-93. 1.75GHz 条件下 RX 噪声频谱密度与温度间的关系



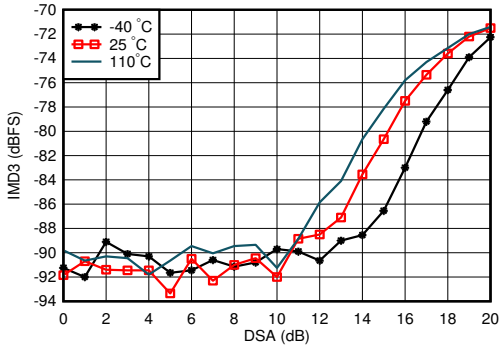
使用 1.8GHz 匹配时，DSA 设置 = 12dB，相对于子载波偏移 12.5MHz

图 7-94. 1.75GHz 条件下 RX 噪声频谱密度与输入振幅和温度间的关系



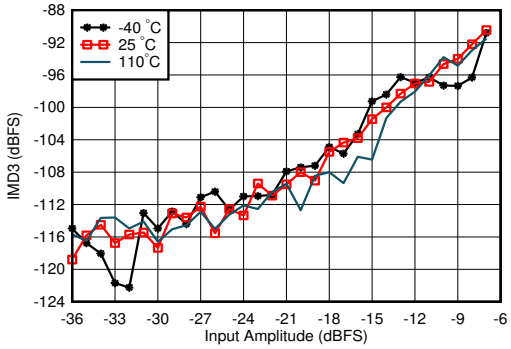
使用 1.8GHz 匹配时，相对于子载波偏移 12.5MHz

图 7-95. 1.75GHz 条件下 RX 噪声频谱密度与输入振幅和通道间的关系



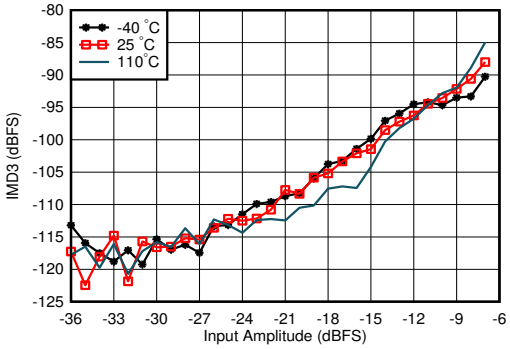
使用 1.8GHz 匹配时，每个子载波 -7dBFS，子载波间隔 = 20MHz

图 7-96. 1.75GHz 条件下 RX IMD3 与 DSA 设置和温度间的关系



使用 1.8GHz 匹配时，子载波间隔 = 20MHz，DSA = 4dB

图 7-97. 1.75GHz 条件下 RX IMD3 与输入电平和温度间的关系



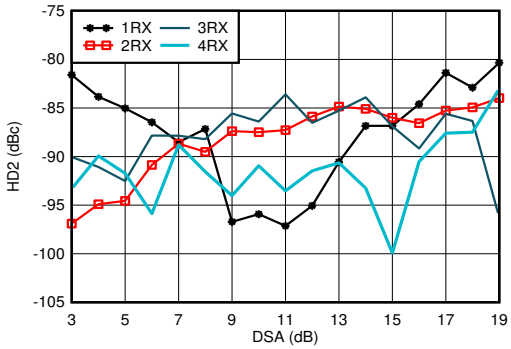
使用 1.8GHz 匹配时，子载波间隔 = 20MHz，DSA = 12dB

图 7-98. 1.75GHz 条件下 RX IMD3 与输入电平和温度间的关系

Copyright © 2023 Texas Instruments Incorporated

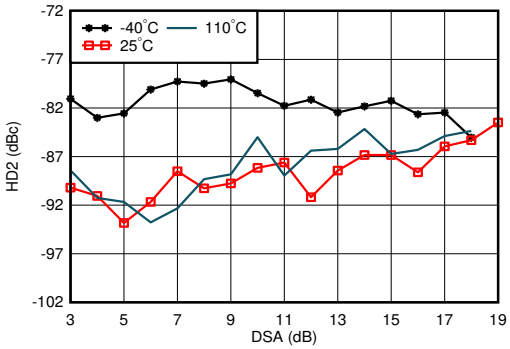
7.12.3 1.75 GHz 至 1.9 GHz 下的 RX 典型特性 (continued)

T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置 = 4dB。



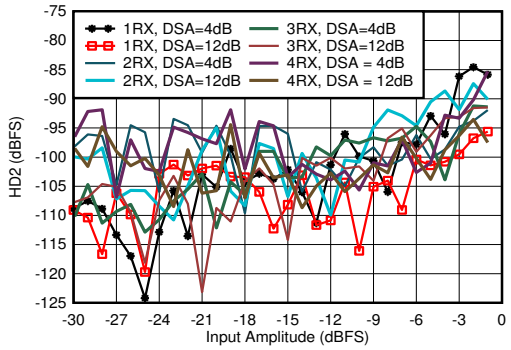
使用 1.8GHz 匹配时，f_{in} = 1900MHz，在 HD2 修整后测量，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-99. 1.9GHz 条件下 RX HD2 与 DSA 设置和通道间的关系



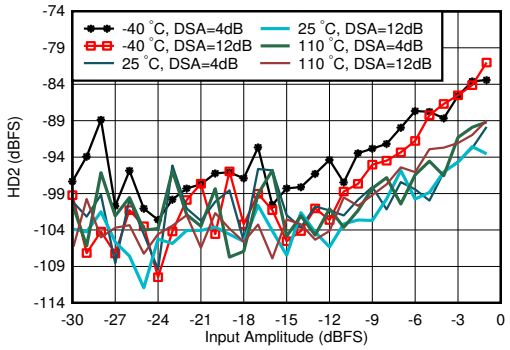
使用 1.8GHz 匹配时，f_{in} = 1900MHz，在 HD2 修整后测量，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-100. 1.9GHz 条件下 RX HD2 与 DSA 设置和温度间的关系



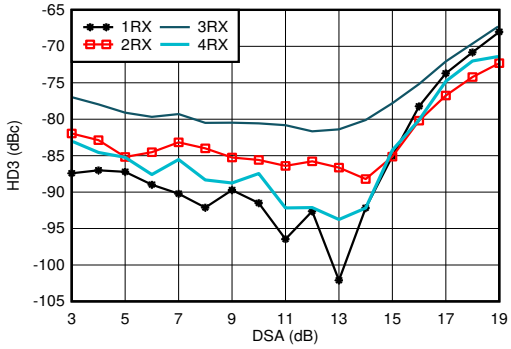
使用 1.8GHz 匹配时，f_{in} = 1900MHz，在 HD2 修整后测量，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-101. 1.9GHz 条件下 RX HD2 与输入振幅和通道间的关系



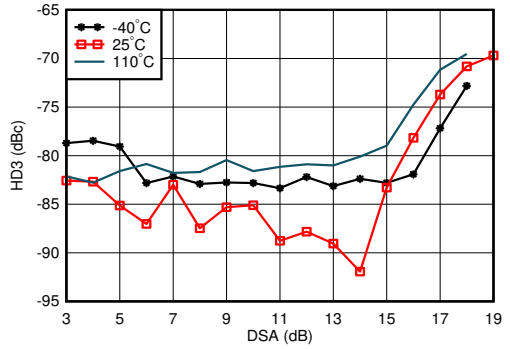
使用 1.8GHz 匹配时，f_{in} = 1900MHz，在 HD2 修整后测量，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-102. 1.9GHz 条件下 RX HD2 与输入振幅和温度间的关系



使用 1.8GHz 匹配时，f_{in} = 1900MHz，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-103. 1.9GHz 条件下 RX HD3 与 DSA 设置和通道间的关系

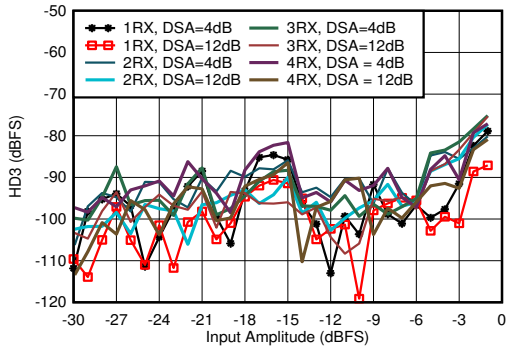


使用 1.8GHz 匹配时，f_{in} = 1900MHz，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-104. 1.9GHz 条件下 RX HD3 与 DSA 设置和温度间的关系

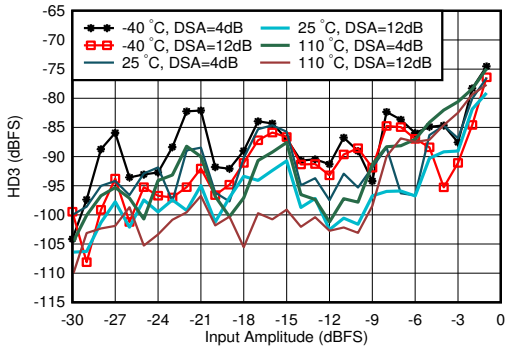
7.12.3 1.75 GHz 至 1.9 GHz 下的 RX 典型特性 (continued)

T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置 = 4dB。



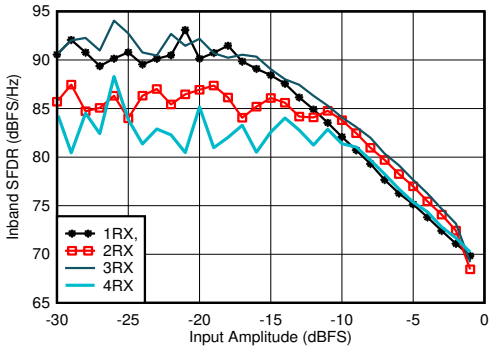
使用 1.8GHz 匹配时，f_{in} = 1900MHz，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-105. 1.9GHz 条件下 RX HD3 与输入电平和通道间的关系



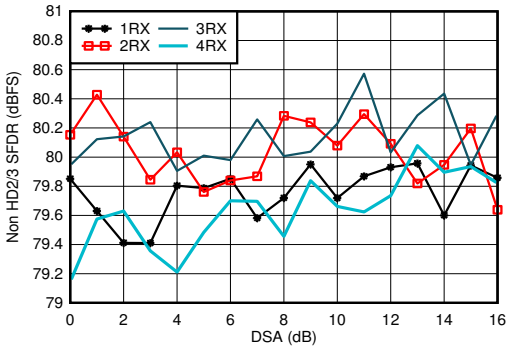
使用 1.8GHz 匹配时，f_{in} = 1900MHz，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-106. 1.9GHz 条件下 RX HD3 与输入电平和温度间的关系



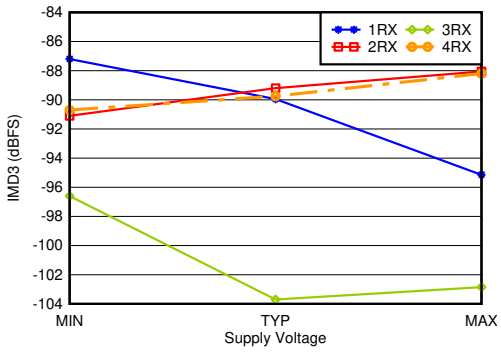
使用 1.8GHz 匹配时，抽取因子为 3

图 7-107. 1.75GHz 条件下 RX 带内 SFDR (±400MHz) 与输入振幅间的关系



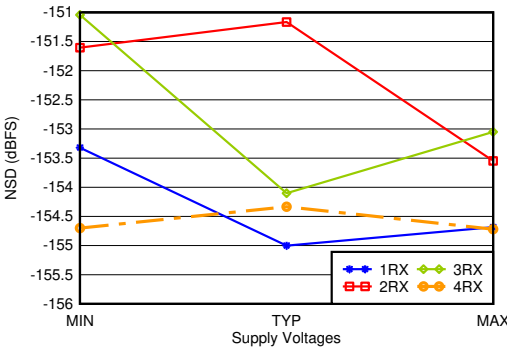
使用 1.8GHz 匹配

图 7-108. 1.75GHz 条件下 RX 非 HD2/3 与 DSA 设置间的关系



使用 1.8GHz 匹配时，每个子载波 -7dBFS，子载波间隔为 20MHz，所有电源均处于 MIN、TYP 或 MAX 推荐工作电压

图 7-109. 1.75GHz 条件下 RX IMD3 与电源和通道间的关系



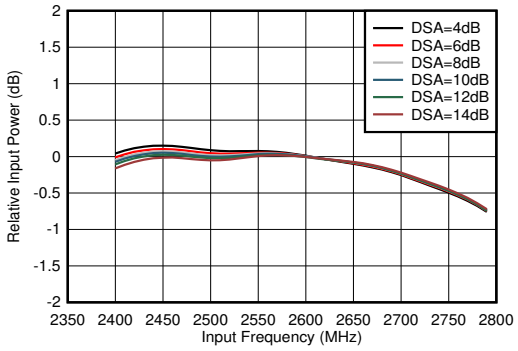
使用 1.8GHz 匹配时，偏移为 12.5MHz，所有电源均处于 MIN、TYP 或 MAX 推荐工作电压

图 7-110. 1.75GHz 条件下 RX 噪声频谱密度与电源和通道间的关系

Copyright © 2023 Texas Instruments Incorporated

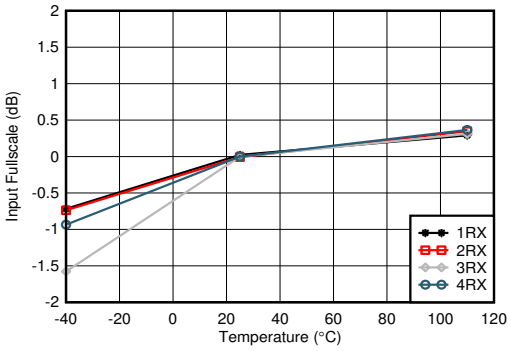
7.12.4 2.6 GHz 下的 RX 典型特性

T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置= 4dB。



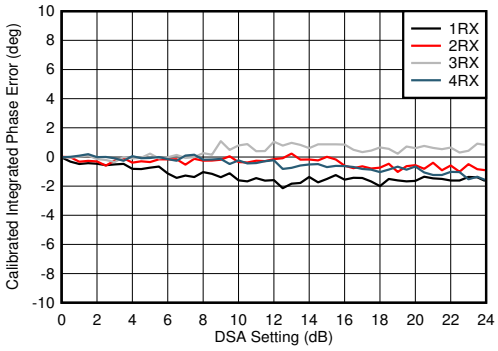
通过匹配，为每个 DSA 设置标准化为 2.6GHz 下的功率

图 7-111. RX 带内增益平坦度，f_{IN} = 2600MHz



使用 2.6GHz 匹配时，为每个通道标准化为 25°C 时的满量程

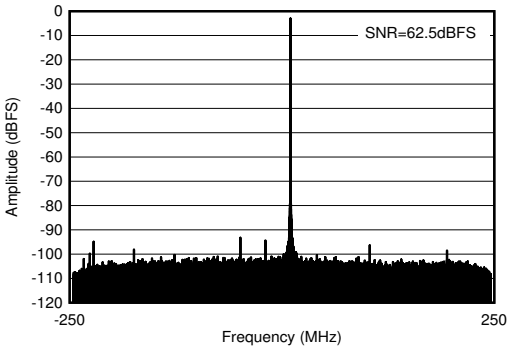
图 7-112. 2.6GHz 条件下 RX 输入满量程与温度和通道间的关系



使用 2.6GHz 匹配

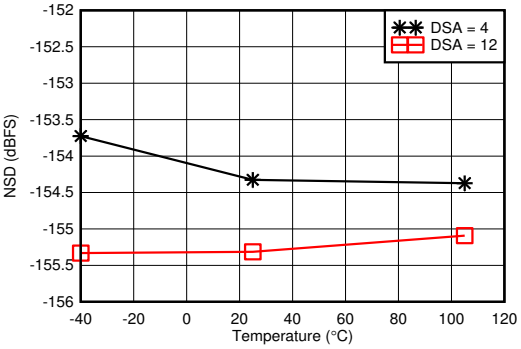
积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

图 7-113. 2.6GHz 条件下 RX 校准积分相位误差与 DSA 设置间的关系



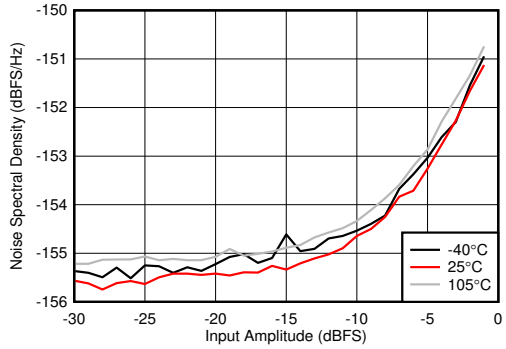
使用 2.6GHz 匹配时，f_{IN} = 2610MHz，A_{IN} = –3dBFS

图 7-114. 2.6GHz 条件下的 RX 输出 FFT



使用 2.6GHz 匹配时，相对于子载波偏移 12.5MHz

图 7-115. 2.6GHz 条件下 RX 噪声频谱密度与温度间的关系

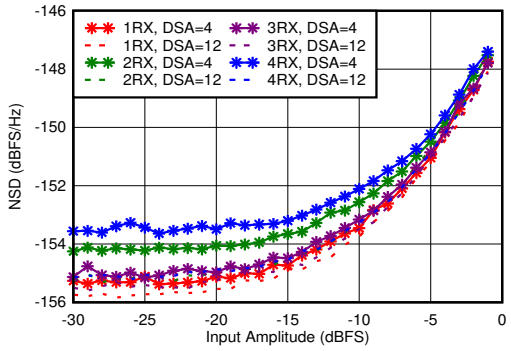


使用 2.6GHz 匹配时，DSA 设置 = 12dB，相对于子载波偏移 12.5MHz

图 7-116. 2.6GHz 条件下 RX 噪声频谱密度与输入振幅和温度间的关系

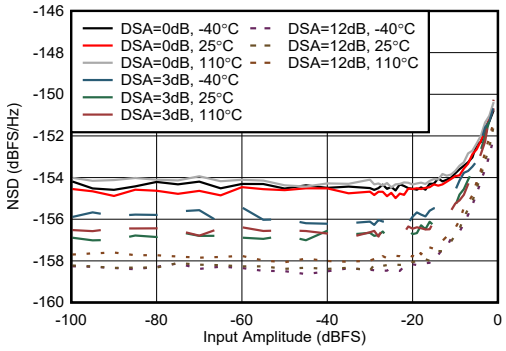
7.12.4 2.6 GHz 下的 RX 典型特性 (continued)

T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置= 4dB。



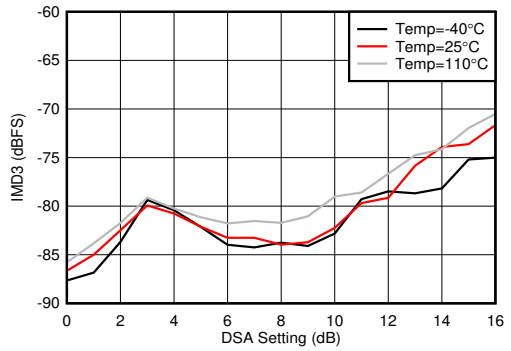
使用 2.6GHz 匹配时，相对于子载波偏移 12.5MHz

图 7-117. 2.6GHz 条件下 RX 噪声频谱密度与输入振幅和通道间的关系



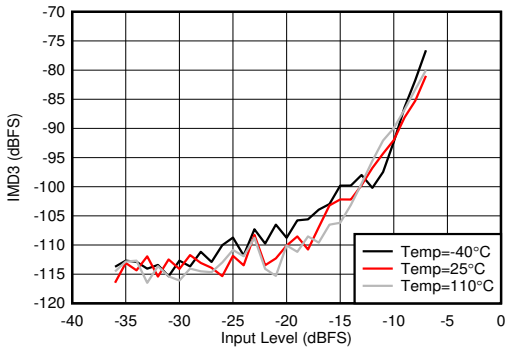
相对于子载波偏移 50MHz，外部时钟模式

图 7-118. 2.61GHz（外部时钟）条件下 RX 噪声频谱密度与输入振幅间的关系



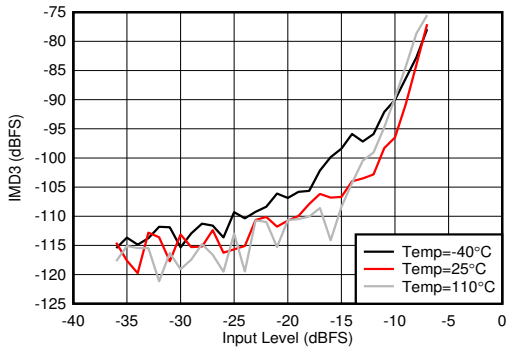
使用 2.6GHz 匹配时，每个子载波 -7dBFS，子载波间隔 = 20MHz

图 7-119. 2.6GHz 条件下 RX IMD3 与 DSA 设置和温度间的关系



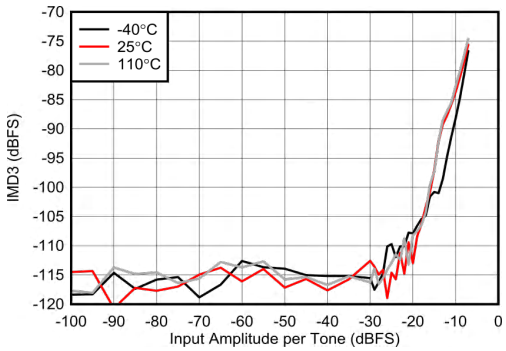
使用 2.6GHz 匹配时，子载波间隔 = 20MHz，DSA = 4dB

图 7-120. 2.6GHz 条件下 RX IMD3 与输入电平和温度间的关系



使用 2.6GHz 匹配时，子载波间隔 = 20MHz，DSA = 12dB

图 7-121. 2.6GHz 条件下 RX IMD3 与输入电平和温度间的关系



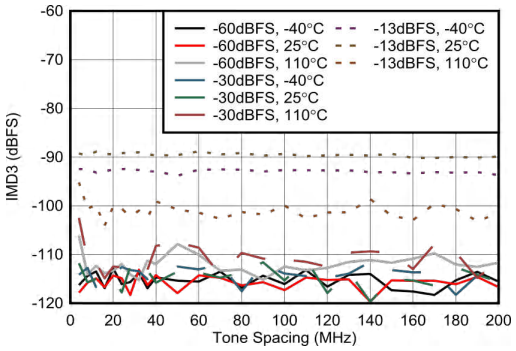
子载波间隔 = 50MHz，外部时钟模式

图 7-122. 2.6GHz（外部时钟）条件下 RX IMD3 与输入电平间的关系

Copyright © 2023 Texas Instruments Incorporated

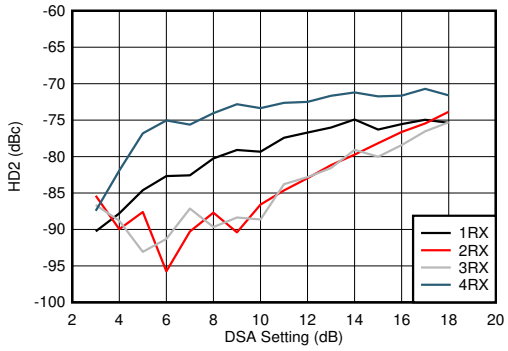
7.12.4 2.6 GHz 下的 RX 典型特性 (continued)

T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置= 4dB。



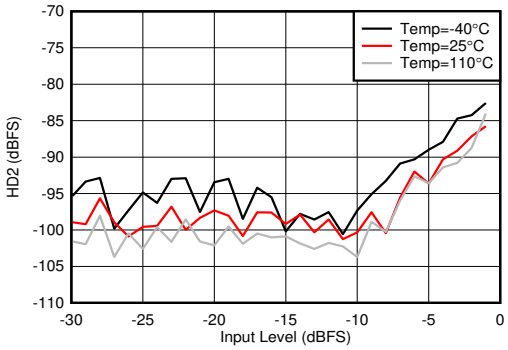
外部时钟模式

图 7-123. 2.6GHz（外部时钟）条件下 RX IMD3 与子载波间隔间的关系



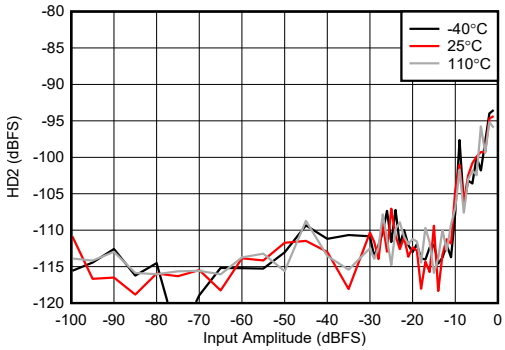
使用 2.6GHz 匹配时，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-124. 2.6GHz 条件下 RX HD2 与 DSA 设置和通道间的关系



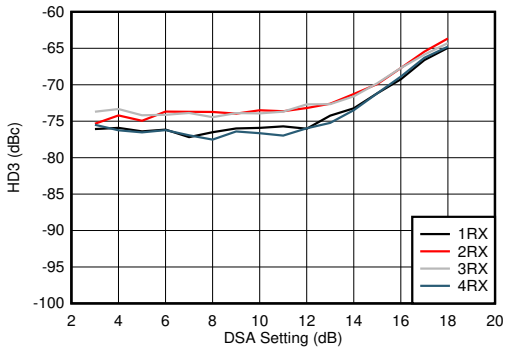
使用 2.6GHz 匹配时，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-125. 2.6GHz 条件下 RX HD2 与输入电平和温度间的关系



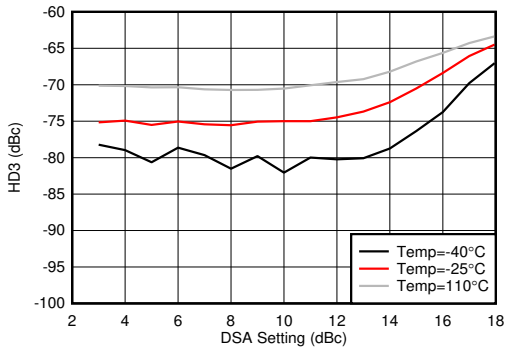
外部时钟模式

图 7-126. 2.6GHz 条件下 RX HD2 与输入电平和温度间的关系



使用 2.6GHz 匹配时，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-127. 2.6GHz 条件下 RX HD3 与 DSA 设置和通道间的关系

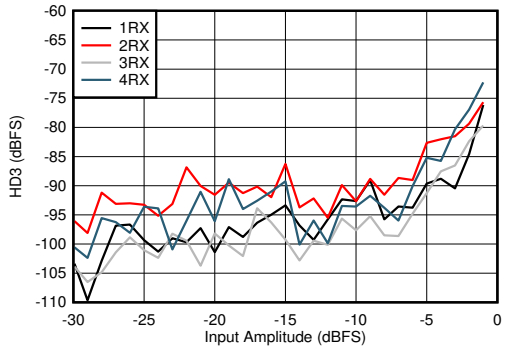


使用 2.6GHz 匹配时，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-128. 2.6GHz 条件下 RX HD3 与 DSA 设置和温度间的关系

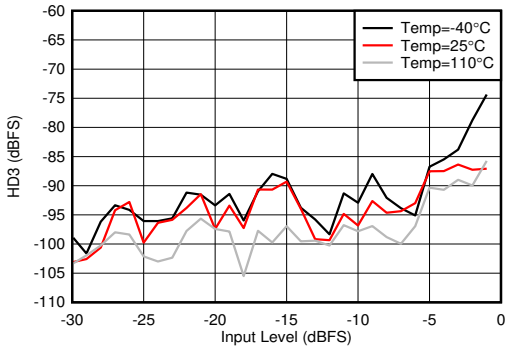
7.12.4 2.6 GHz 下的 RX 典型特性 (continued)

T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置= 4dB。



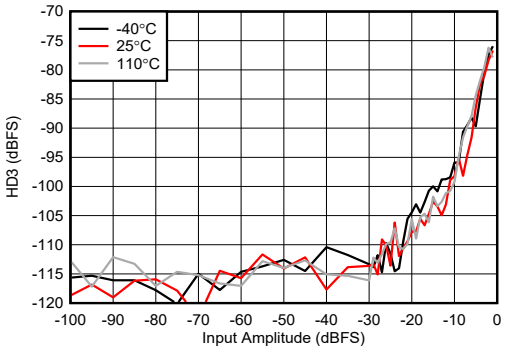
使用 2.6GHz 匹配时，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-129. 2.6GHz 条件下 RX HD3 与输入电平和通道间的关系



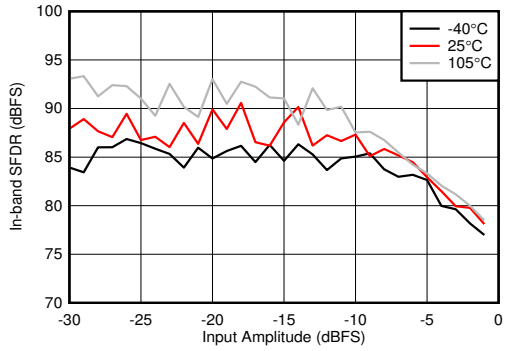
使用 2.6GHz 匹配时，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-130. 2.6GHz 条件下 RX HD3 与输入电平和温度间的关系



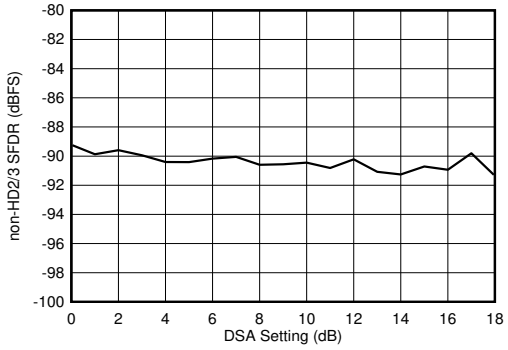
外部时钟模式

图 7-131. 2.6GHz 条件下 RX HD3 与输入电平和温度间的关系



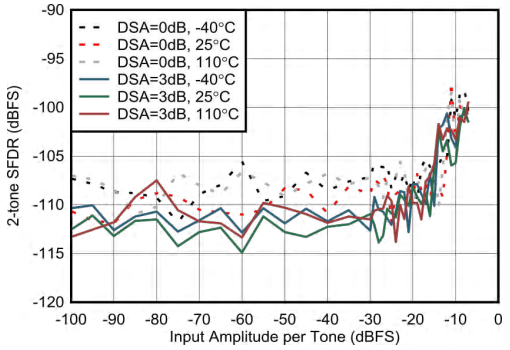
使用 2.6GHz 匹配时，抽取因子为 4

图 7-132. 2.6GHz 条件下 RX 带内 SFDR (±300MHz) 与输入振幅和温度间的关系



使用 2.6GHz 匹配

图 7-133. 2.6GHz 条件下 Rx 非 HD2/3 与 DSA 设置间的关系



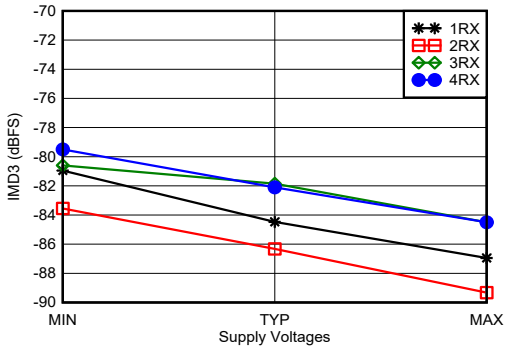
外部时钟模式，50MHz 子载波间隔，不包括三阶失真

图 7-134. 2.6GHz 条件下 RX 2 子载波 SFDR 与输入振幅间的关系

Copyright © 2023 Texas Instruments Incorporated

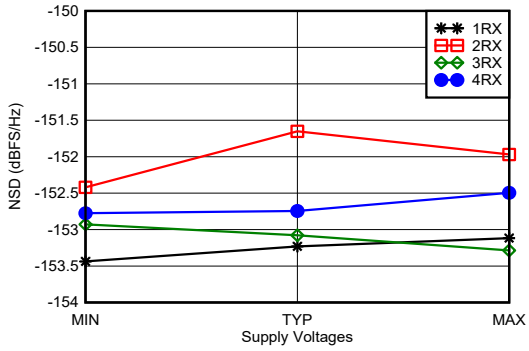
7.12.4 2.6 GHz 下的 RX 典型特性 (continued)

T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置= 4dB。



使用 2.6GHz 匹配时，每个子载波 -7dBFS，子载波间隔为 20MHz，所有电源均处于 MIN、TYP 或 MAX 推荐工作电压

图 7-135. 2.6GHz 条件下 RX IMD3 与电源和通道间的关系

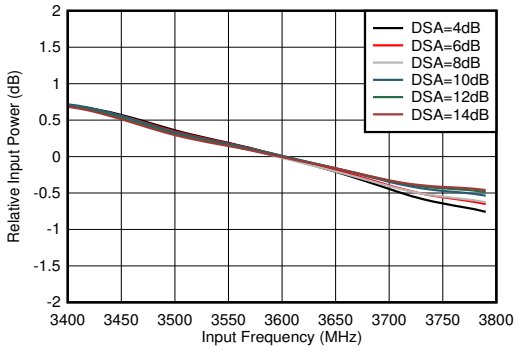


使用 2.6GHz 匹配时，偏移为 12.5MHz，所有电源均处于 MIN、TYP 或 MAX 推荐工作电压

图 7-136. 2.6GHz 条件下 RX 噪声频谱密度与电源和通道间的关系

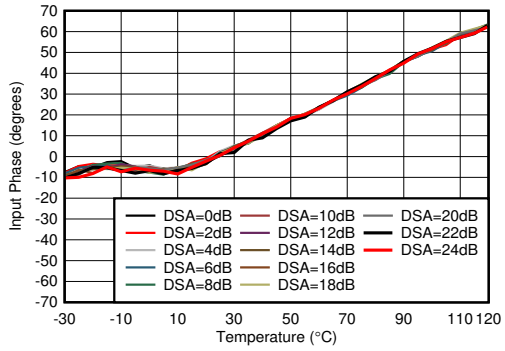
7.12.5 3.5 GHz 下的 RX 典型特性

T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置= 4dB。



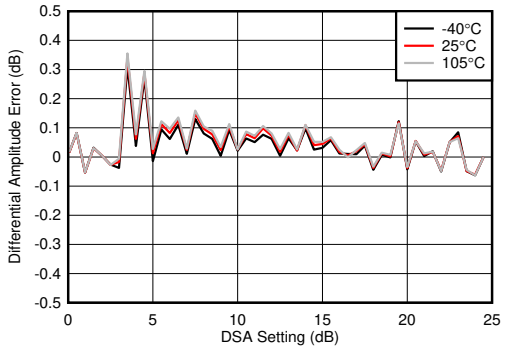
使用 3.6GHz 匹配时，标准化为 3.6GHz

图 7-137. RX 带内增益平坦度，f_{IN} = 3600MHz



使用 3.6GHz 匹配时，标准化为 25°C 时的相位

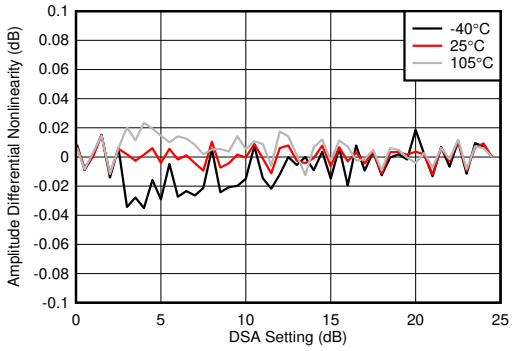
图 7-138. 3.6GHz 条件下 RX 输入相位与温度间的关系



使用 3.6GHz 匹配

差分振幅误差 = P_{IN}（DSA 设置 – 1）– P_{IN}（DSA 设置）+ 1

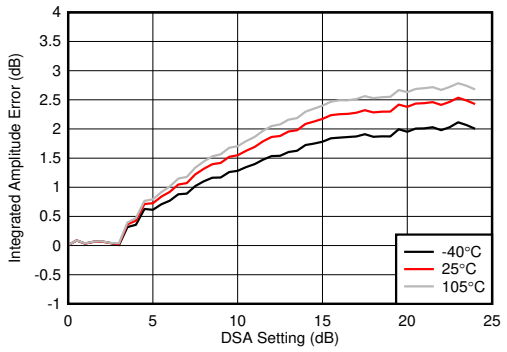
图 7-139. 3.6GHz 条件下 RX 未校准差分振幅误差与 DSA 设置间的关系



使用 3.6GHz 匹配

差分振幅误差 = P_{IN}（DSA 设置 – 1）– P_{IN}（DSA 设置）+ 1

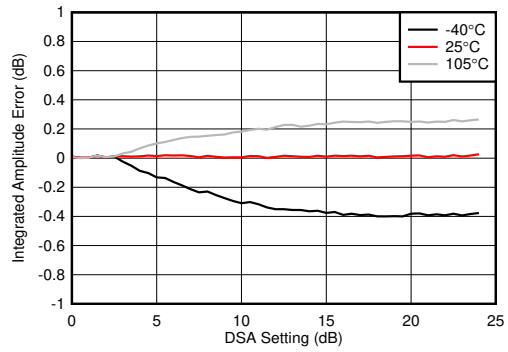
图 7-140. 3.6GHz 条件下 RX 校准差分振幅误差与 DSA 设置间的关系



使用 3.6GHz 匹配

积分振幅误差 = P_{IN}（DSA 设置）– P_{IN}（DSA 设置 = 0）+（DSA 设置）

图 7-141. 3.6GHz 条件下 RX 未校准积分振幅误差与 DSA 设置间的关系



使用 3.6GHz 匹配

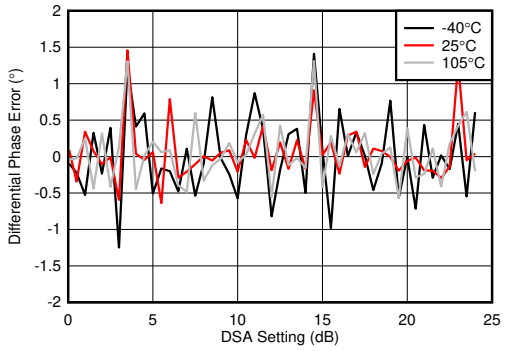
积分振幅误差 = P_{IN}（DSA 设置）– P_{IN}（DSA 设置 = 0）+（DSA 设置）

图 7-142. 3.6GHz 条件下 RX 校准积分振幅误差与 DSA 设置间的关系

Copyright © 2023 Texas Instruments Incorporated

7.12.5 3.5 GHz 下的 RX 典型特性 (continued)

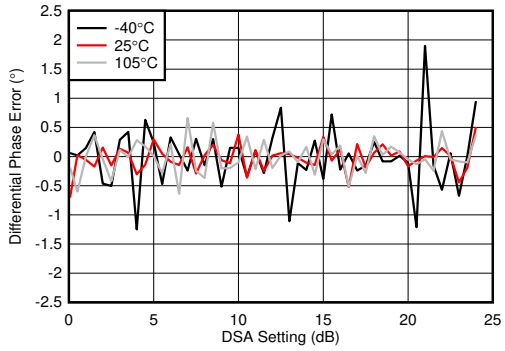
T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置= 4dB。



使用 3.6GHz 匹配

差分相位误差 = $Phase_{IN}$（DSA 设置 – 1）– $Phase_{IN}$（DSA 设置）

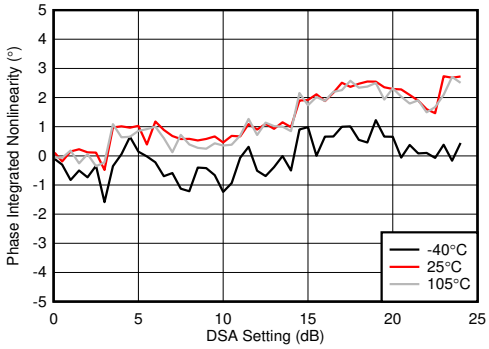
图 7-143. 3.6GHz 条件下 RX 未校准相位误差与 DSA 设置间的关系



使用 3.6GHz 匹配

差分相位误差 = $Phase_{IN}$（DSA 设置 – 1）– $Phase_{IN}$（DSA 设置）

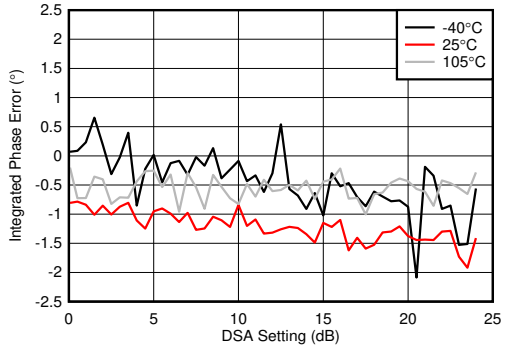
图 7-144. 3.6GHz 条件下 RX 校准差分相位误差与 DSA 设置间的关系



使用 3.6GHz 匹配

积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

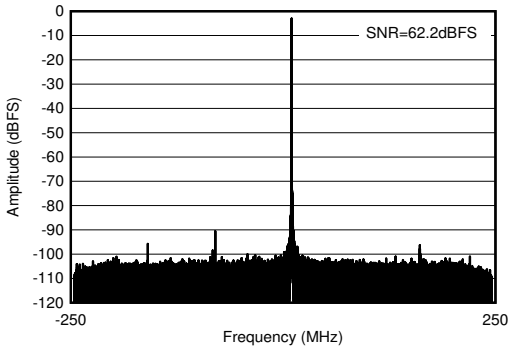
图 7-145. 3.6GHz 条件下 RX 未校准积分相位误差与 DSA 设置间的关系



使用 3.6GHz 匹配

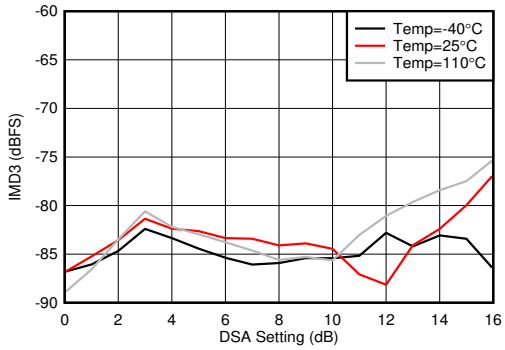
积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

图 7-146. 3.6GHz 条件下 RX 校准积分相位误差与 DSA 设置间的关系



使用 3.6GHz 匹配时，f_{IN} = 3610MHz，A_{IN} = –3dBFS

图 7-147. 3.6GHz 条件下的 RX 输出 FFT

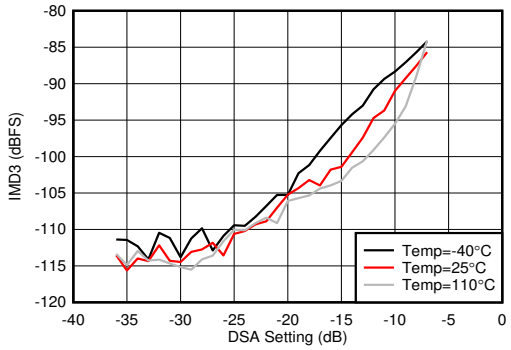


使用 3.5GHz 匹配时，每个子载波为 -7dBFS，子载波间隔为 20MHz

图 7-148. 3.6GHz 条件下 RX IMD3 与 DSA 设置和温度间的关系

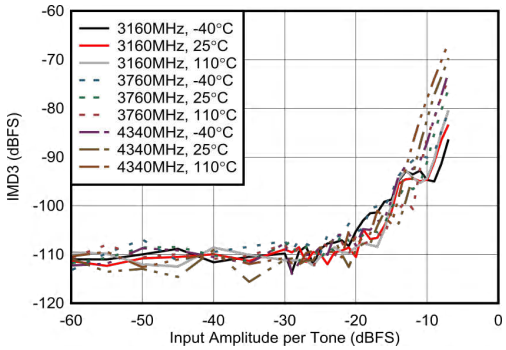
7.12.5 3.5 GHz 下的 RX 典型特性 (continued)

T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置= 4dB。



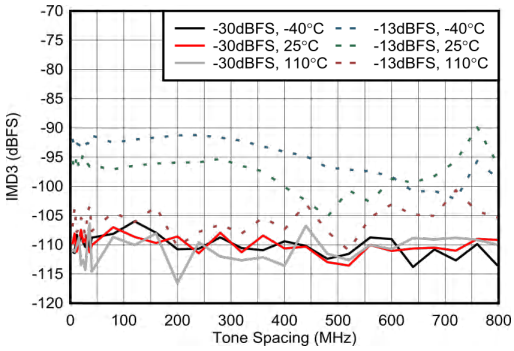
使用 3.5GHz 匹配时，子载波间隔为 20MHz

图 7-149. 3.6GHz 条件下 RX IMD3 与输入电平和温度间的关系



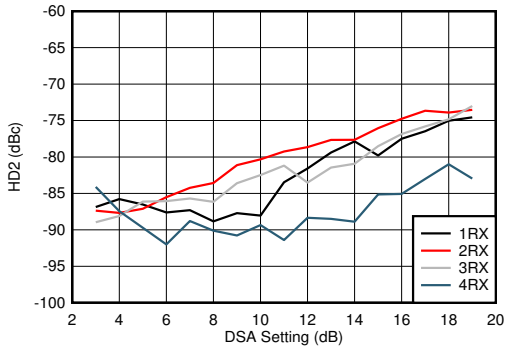
外部时钟模式，20MHz 子载波间隔，2 倍抽取

图 7-150. RX IMD3 与输入电平间的关系



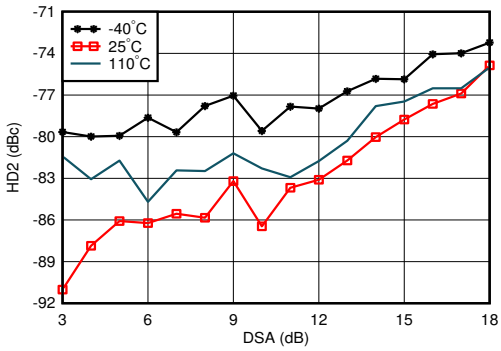
外部时钟模式，2 倍抽取

图 7-151. 3.76GHz 条件下 RX IMD3 与子载波间隔间的关系



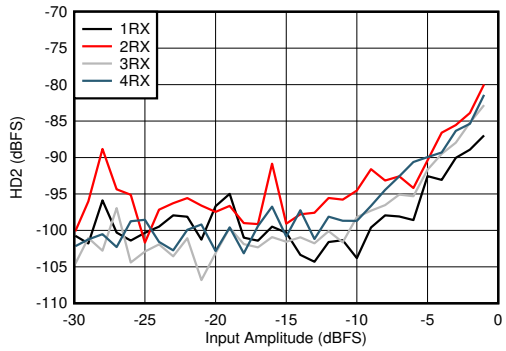
使用 3.5GHz 匹配时，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-152. 3.6GHz 条件下 RX HD2 与 DSA 设置和通道间的关系



使用 3.5GHz 匹配时，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-153. 3.6GHz 条件下 RX HD2 与 DSA 设置和温度间的关系



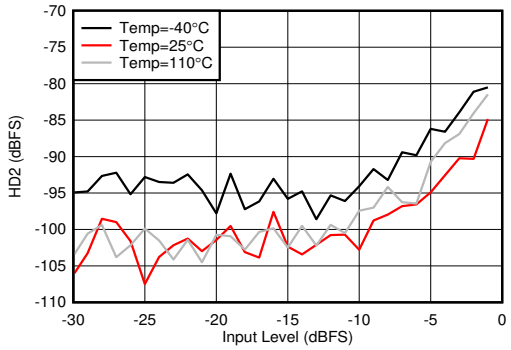
使用 3.5GHz 匹配时，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-154. 3.6GHz 条件下 Rx HD2 与输入电平和通道间的关系

Copyright © 2023 Texas Instruments Incorporated

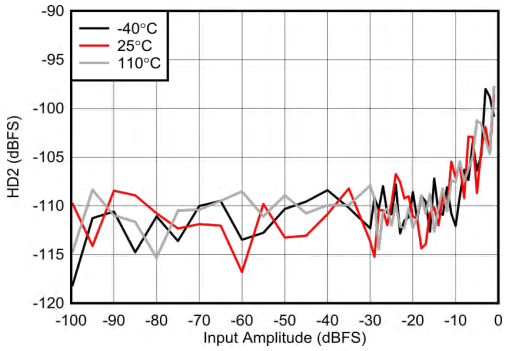
7.12.5 3.5 GHz 下的 RX 典型特性 (continued)

T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置= 4dB。



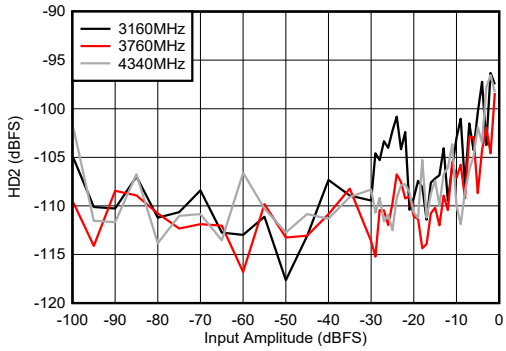
使用 3.5GHz 匹配时，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-155. 3.6GHz 条件下 RX HD2 与输入电平和温度间的关系



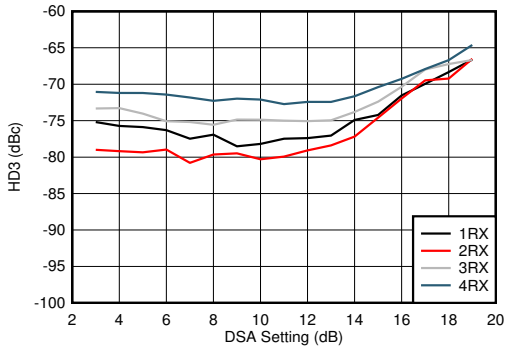
外部时钟模式，2 倍抽取

图 7-156. 3.76GHz 条件下 RX HD2 与输入电平间的关系



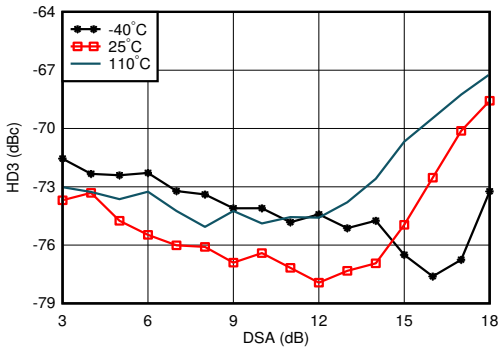
外部时钟模式，25°C，2 倍抽取

图 7-157. RX HD2 与输入电平间的关系



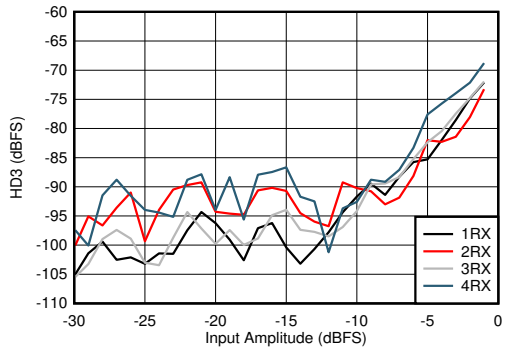
使用 3.5GHz 匹配时，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-158. 3.6GHz 条件下 RX HD3 与 DSA 设置和通道间的关系



使用 3.5GHz 匹配时，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-159. 3.6GHz 条件下 RX HD3 与 DSA 设置和温度间的关系

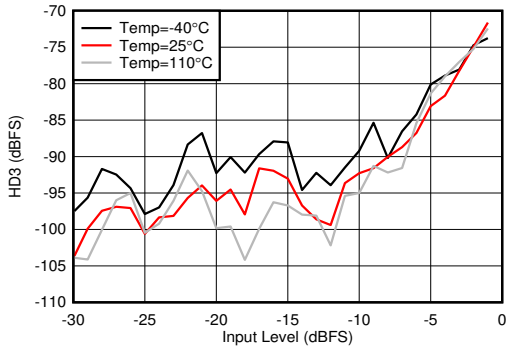


使用 3.5GHz 匹配时，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-160. 3.6GHz 条件下 RX HD3 与输入电平和通道间的关系

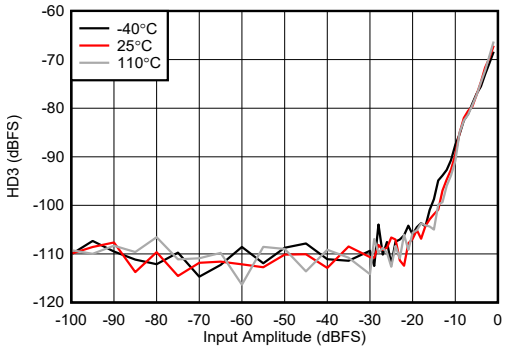
7.12.5 3.5 GHz 下的 RX 典型特性 (continued)

T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置= 4dB。



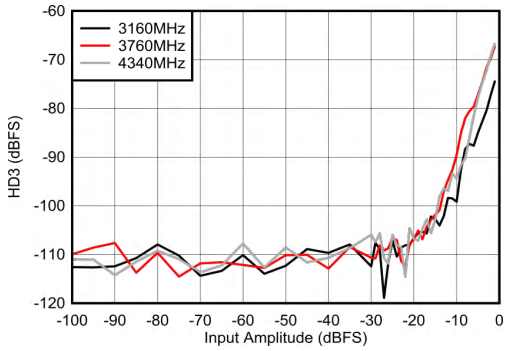
使用 3.5GHz 匹配时，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-161. 3.6GHz 条件下 RX HD3 与输入电平和温度间的关系



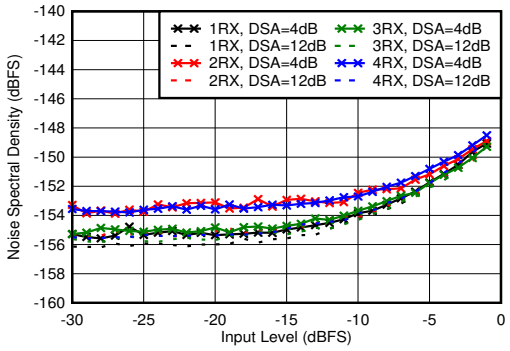
外部时钟模式，2 倍抽取

图 7-162. 3.76GHz 条件下 RX HD3 与输入电平间的关系



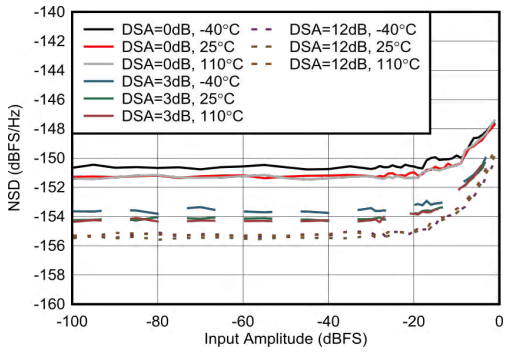
外部时钟模式，25°C，2 倍抽取

图 7-163. RX HD3 与输入电平间的关系



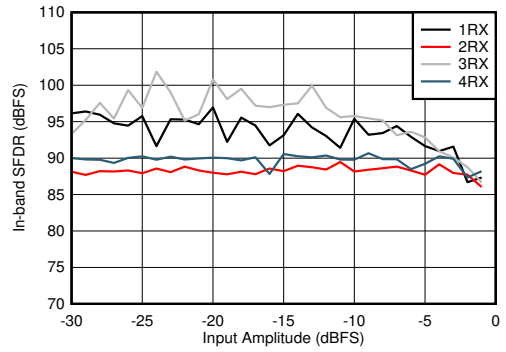
使用 3.5GHz 匹配时，相对于子载波偏移 12.5MHz

图 7-164. 3.6GHz 条件下 RX 噪声频谱密度与输入电平和 DSA 设置间的关系



外部时钟模式，25°C，2 倍抽取

图 7-165. 3.76GHz 条件下 RX 噪声频谱密度与输入电平间的关系



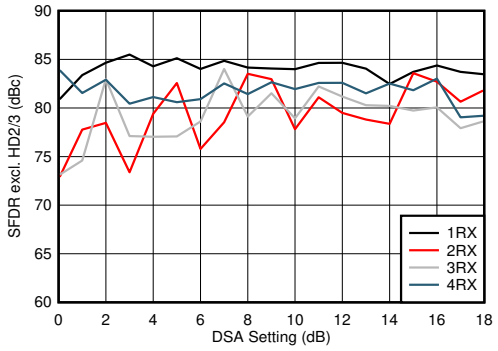
使用 3.5GHz 匹配

图 7-166. 3.6GHz 条件下 RX 带内 SFDR (±200MHz) 与输入电平和通道间的关系

Copyright © 2023 Texas Instruments Incorporated

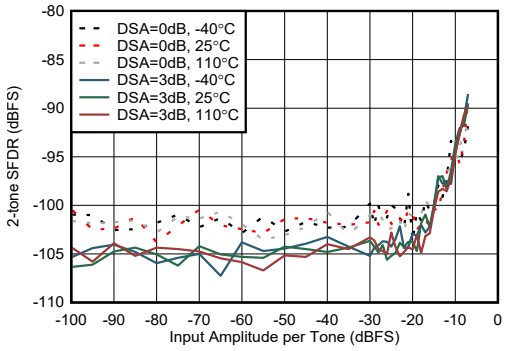
7.12.5 3.5 GHz 下的 RX 典型特性 (continued)

T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置= 4dB。



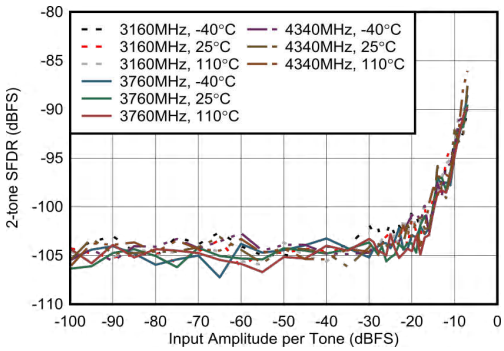
使用 3.5GHz 匹配

图 7-167. RX SFDR，在 3.6GHz 时不包括 HD2/3 与 DSA 设置和通道间的关系



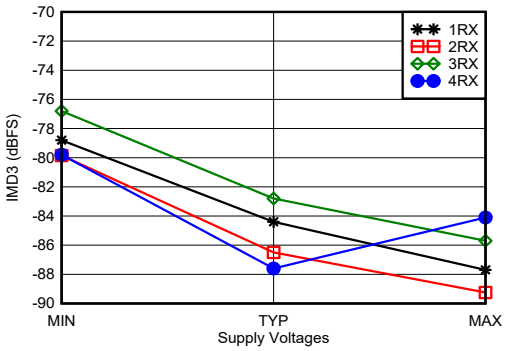
外部时钟模式，20MHz 子载波间隔，不包括三阶失真

图 7-168. 3.7GHz 条件下 RX 2 子载波 SFDR 与输入振幅和 DSA 设置间的关系



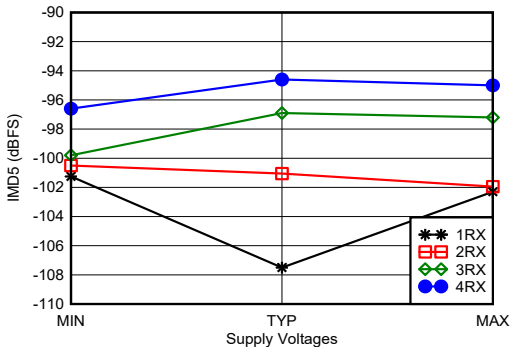
外部时钟模式，20MHz 子载波间隔，不包括三阶失真

图 7-169. 3.7GHz 条件下 RX 双频 SFDR 与输入振幅和频率间的关系



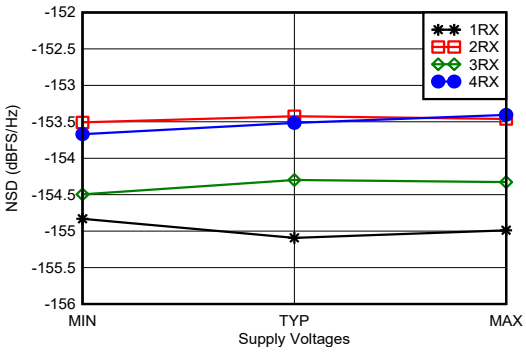
使用 3.6GHz 匹配时，每个子载波 -7dBFS，子载波间隔为 20MHz，所有电源均处于 MIN、TYP 或 MAX 推荐工作电压

图 7-170. 3.6GHz 条件下 RX IMD3 与电源电压和通道间的关系



使用 3.6GHz 匹配时，每个子载波 -7dBFS，子载波间隔为 20MHz，所有电源均处于 MIN、TYP 或 MAX 推荐工作电压

图 7-171. 3.6GHz 条件下 RX IMD5 与电源电压和通道间的关系

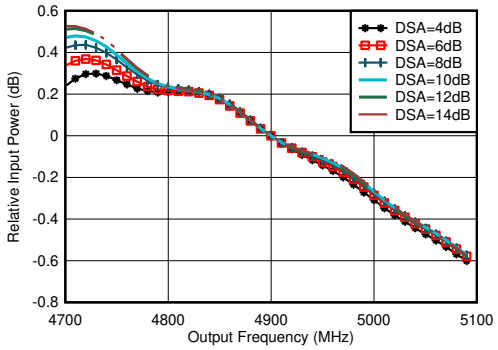


使用 3.6GHz 匹配时，子载波为 –20dBFS，偏移频率为 12.5MHz，所有电源均处于 MIN、TYP 或 MAX 推荐工作电压

图 7-172. 3.6GHz 条件下 RX 噪声频谱密度与电源电压和通道间的关系

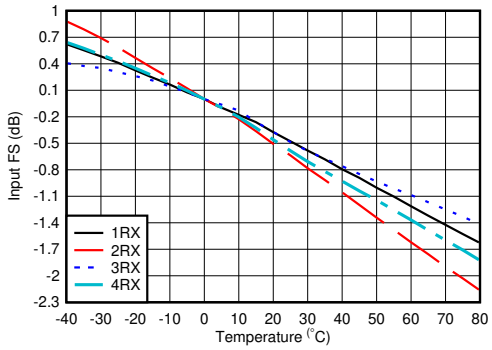
7.12.6 4.9 GHz 下的 RX 典型特性

T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置= 4dB。



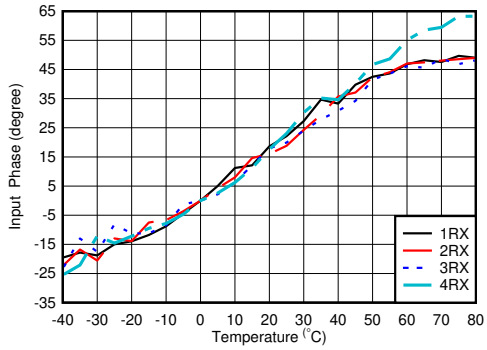
通过匹配，为每个 DSA 设置标准化为 4.9GHz 下的功率

图 7-173. RX 带内增益平坦度，f_{IN} = 4900MHz



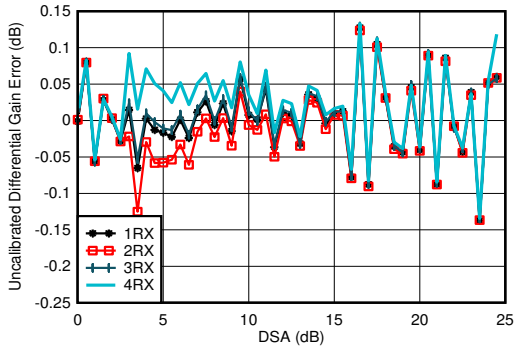
使用 4.9GHz 匹配时，为每个通道标准化为 25°C 时的满量程

图 7-174. 4.9GHz 条件下 RX 输入满量程与温度和通道间的关系



使用 4.9GHz 匹配时，标准化为 25°C 时的相位

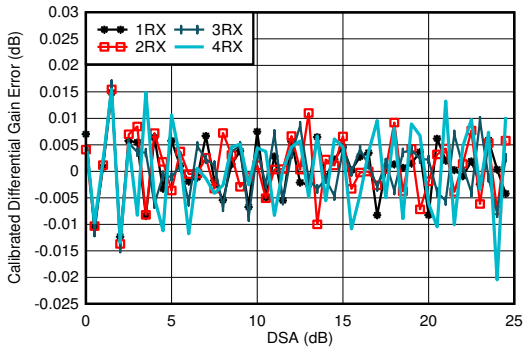
图 7-175. f_{OUT} = 4.9GHz 时 RX 输入相位与温度和 DSA 间的关系



使用 4.9GHz 匹配

差分振幅误差 = P_{IN}（DSA 设置 – 1）– P_{IN}（DSA 设置）+ 1

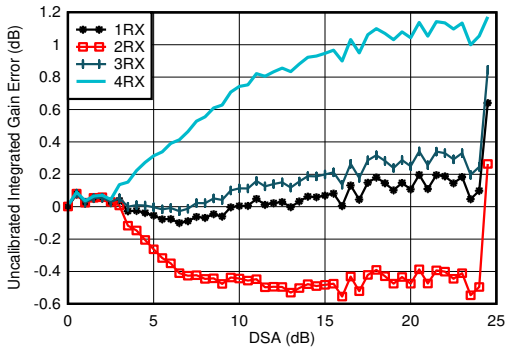
图 7-176. 4.9GHz 条件下 RX 未校准差分振幅误差与 DSA 设置间的关系



使用 4.9GHz 匹配

差分振幅误差 = P_{IN}（DSA 设置 – 1）– P_{IN}（DSA 设置）+ 1

图 7-177. 4.9GHz 条件下 RX 校准差分振幅误差与 DSA 设置间的关系



使用 4.9GHz 匹配

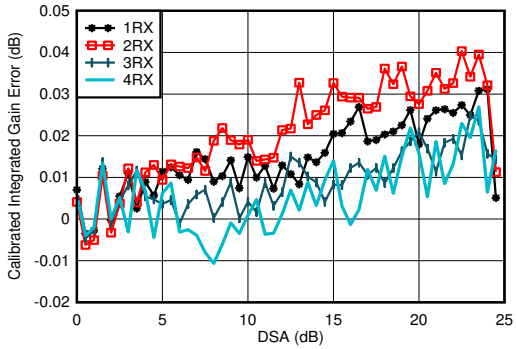
积分振幅误差 = P_{IN}（DSA 设置）– P_{IN}（DSA 设置 = 0）+（DSA 设置）

图 7-178. 4.9GHz 条件下 RX 未校准积分振幅误差与 DSA 设置间的关系

Copyright © 2023 Texas Instruments Incorporated

7.12.6 4.9 GHz 下的 RX 典型特性 (continued)

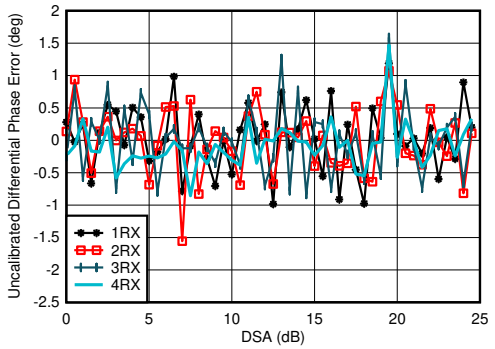
T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置= 4dB。



使用 4.9GHz 匹配

积分振幅误差 = P_{IN}（DSA 设置）– P_{IN}（DSA 设置 = 0）+（DSA 设置）

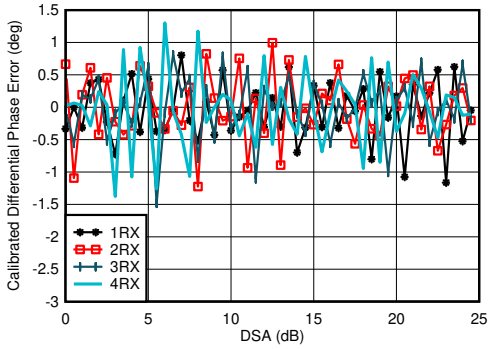
图 7-179. 4.9GHz 条件下 RX 校准积分振幅误差与 DSA 设置间的关系



使用 4.9GHz 匹配

差分相位误差 = $Phase_{IN}$（DSA 设置 – 1）– $Phase_{IN}$（DSA 设置）

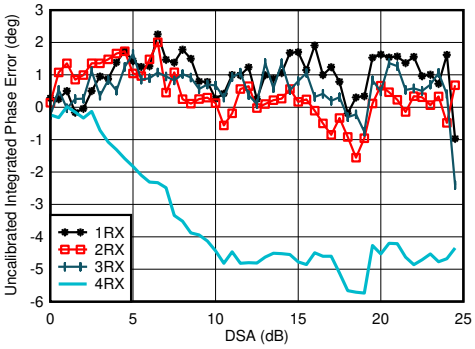
图 7-180. 4.9GHz 条件下 RX 未校准差分相位误差与 DSA 设置间的关系



使用 4.9GHz 匹配

差分相位误差 = $Phase_{IN}$（DSA 设置 – 1）– $Phase_{IN}$（DSA 设置）

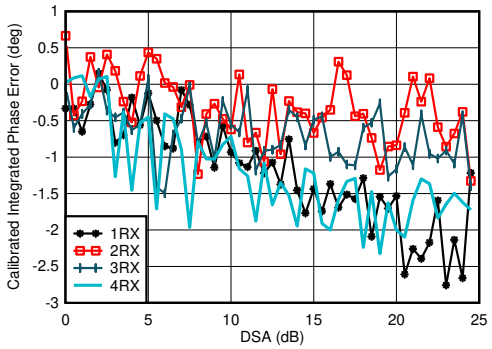
图 7-181. 4.9GHz 条件下 RX 校准差分相位误差与 DSA 设置间的关系



使用 4.9GHz 匹配

积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

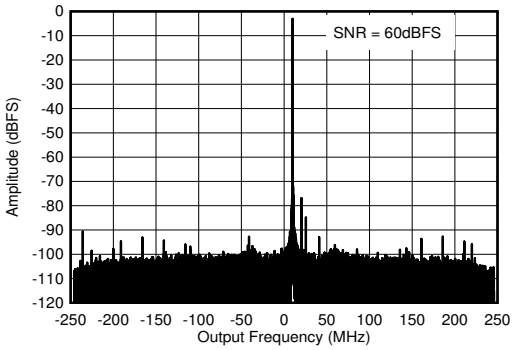
图 7-182. 4.9GHz 条件下 RX 未校准积分相位误差与 DSA 设置间的关系



使用 4.9GHz 匹配

积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

图 7-183. 4.9GHz 条件下 RX 校准积分相位误差与 DSA 设置间的关系

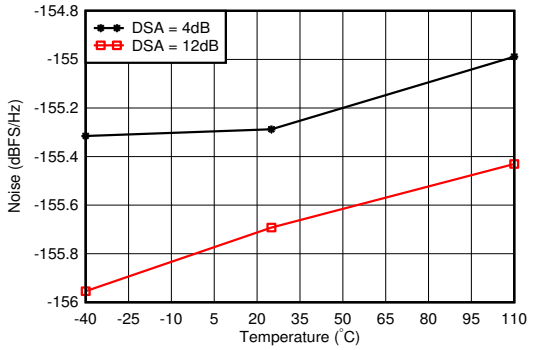


使用 4.9GHz 匹配时，f_{IN} = 4910MHz，A_{IN} = –3dBFS

图 7-184. 4.9GHz 条件下的 RX 输出 FFT

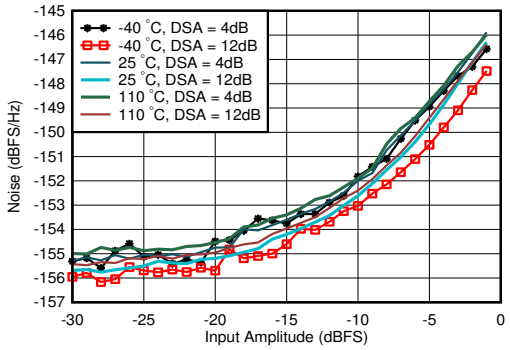
7.12.6 4.9 GHz 下的 RX 典型特性 (continued)

T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置= 4dB。



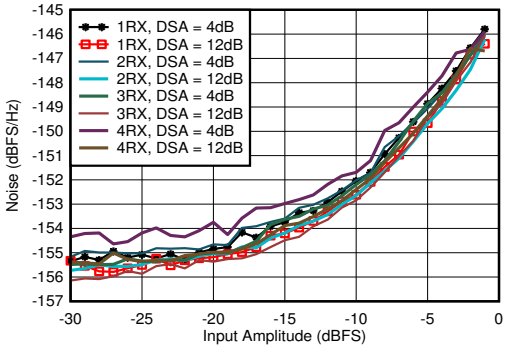
使用 4.9GHz 匹配时，相对于子载波偏移 12.5MHz

图 7-185. 4.9GHz 条件下 RX 噪声频谱密度与温度间的关系



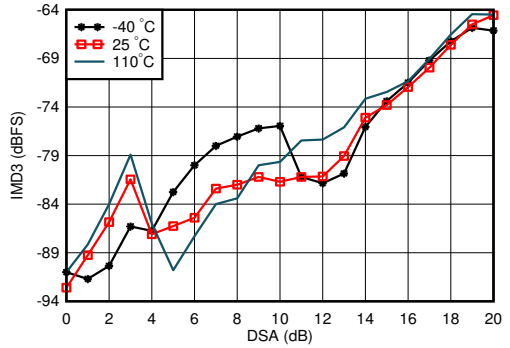
使用 4.9GHz 匹配时，DSA 设置 = 12dB，相对于子载波偏移 12.5MHz

图 7-186. 4.9GHz 条件下 RX 噪声频谱密度与输入振幅和温度间的关系



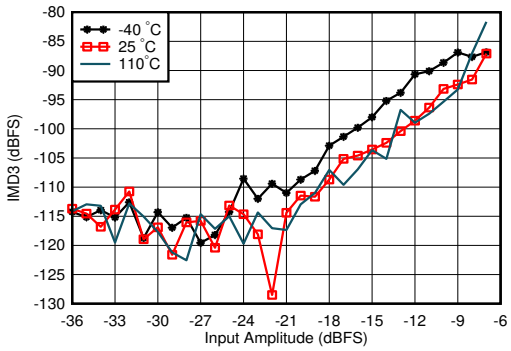
使用 4.9GHz 匹配时，相对于子载波偏移 12.5MHz

图 7-187. 4.9GHz 条件下 RX 噪声频谱密度与输入振幅和通道间的关系



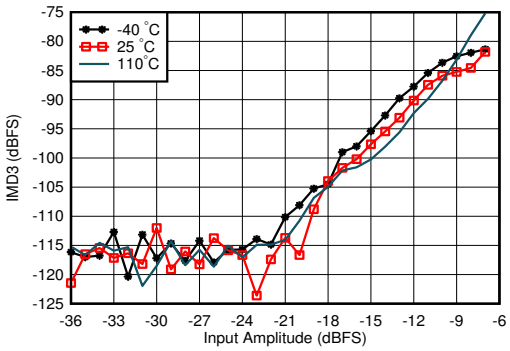
使用 4.9GHz 匹配时，每个子载波 -7dBFS，子载波间隔 = 20MHz

图 7-188. 4.9GHz 条件下 RX IMD3 与 DSA 设置和温度间的关系



使用 4.9GHz 匹配时，子载波间隔 = 20MHz，DSA = 4dB

图 7-189. 4.9GHz 条件下 RX IMD3 与输入电平和温度间的关系



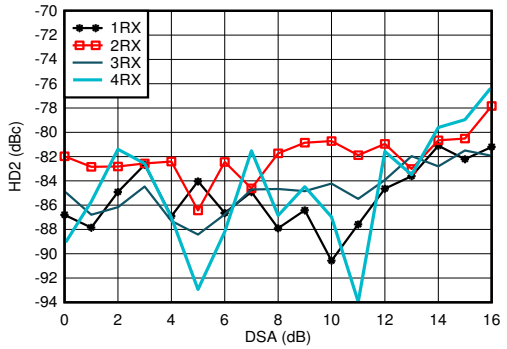
使用 4.9GHz 匹配时，子载波间隔 = 20MHz，DSA = 12dB

图 7-190. 4.9GHz 条件下 RX IMD3 与输入电平和温度间的关系

Copyright © 2023 Texas Instruments Incorporated

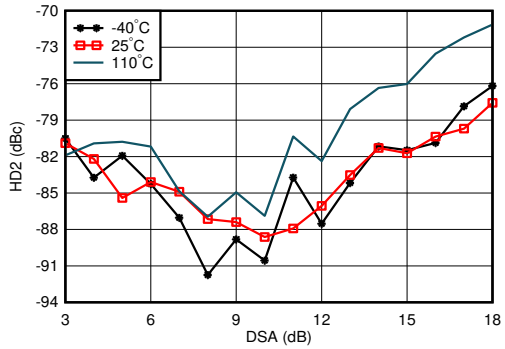
7.12.6 4.9 GHz 下的 RX 典型特性 (continued)

T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置= 4dB。



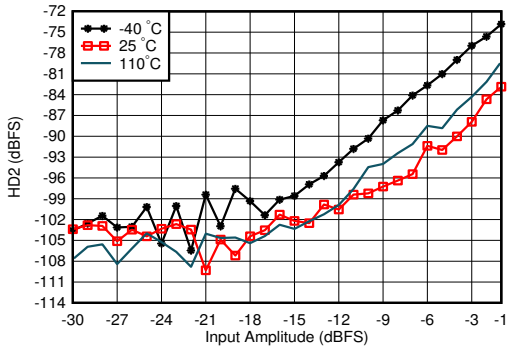
使用 4.9GHz 匹配时，在 HD2 修整后测量，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-191. 4.9GHz 条件下 RX HD2 与 DSA 设置和通道间的关系



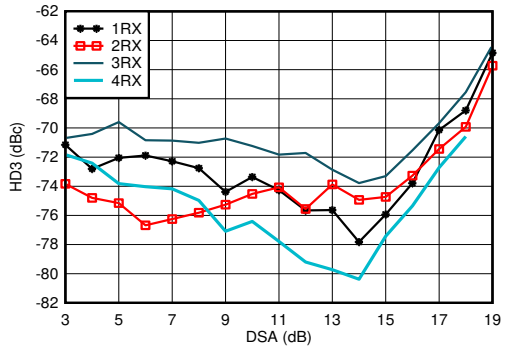
使用 4.9GHz 匹配时，在 HD2 修整后测量，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-192. 4.9GHz 条件下 RX HD2 与 DSA 和温度间的关系



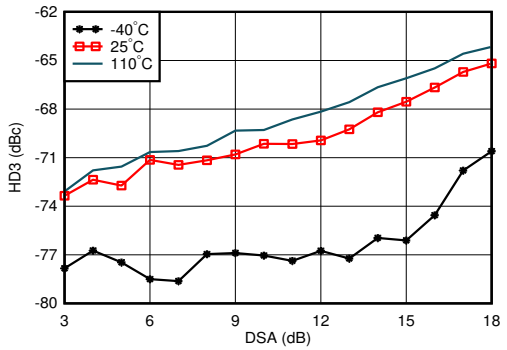
使用 4.9GHz 匹配时，在 HD2 修整后测量，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-193. 4.9GHz 条件下 RX HD2 与输入电平和温度间的关系



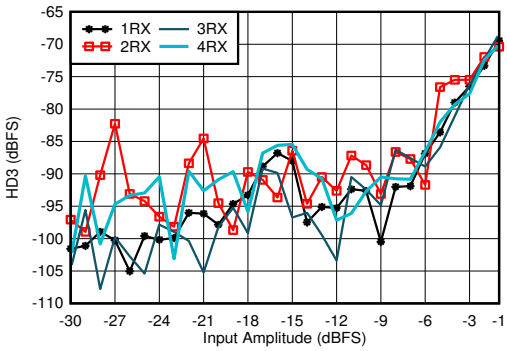
使用 4.9GHz 匹配时，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-194. 4.9GHz 条件下 RX HD3 与 DSA 设置和通道间的关系



使用 4.9GHz 匹配时，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-195. 4.9GHz 条件下 RX HD3 与 DSA 设置和温度间的关系

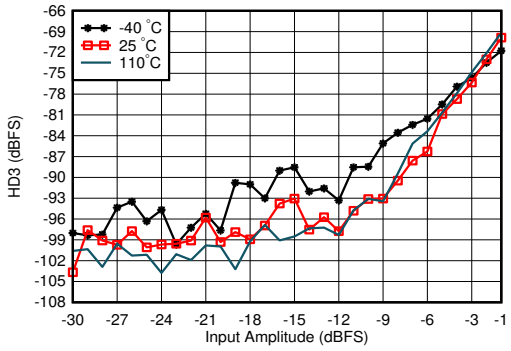


使用 4.9GHz 匹配时，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-196. 4.9GHz 条件下 RX HD3 与输入电平和通道间的关系

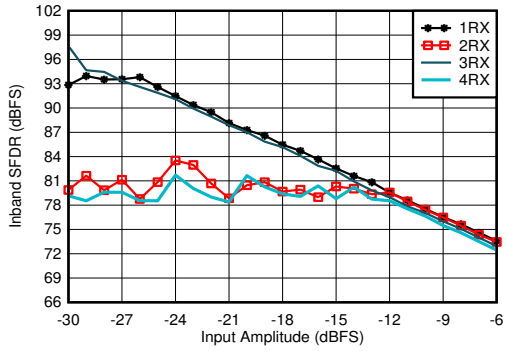
7.12.6 4.9 GHz 下的 RX 典型特性 (continued)

T_A = +25°C 且 ADC 采样率 = 2949.12GHz 时的典型值。默认条件：输出采样率 = 491.52MSPS（抽取因子为 6），PLL 时钟模式，其中 f_{REF} = 491.52MHz，A_{IN} = –3dBFS，DSA 设置= 4dB。



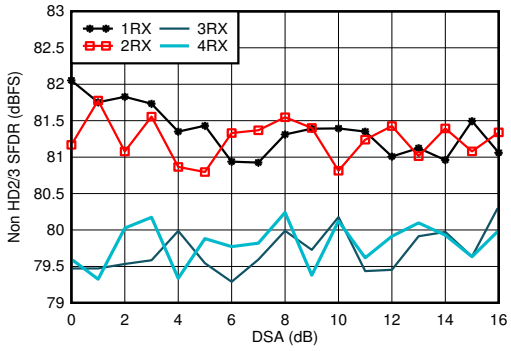
使用 4.9GHz 匹配时，DDC 旁路模式（对于表征，仅 TI 模式）

图 7-197. 4.9GHz 条件下 RX HD3 与输入电平和温度间的关系



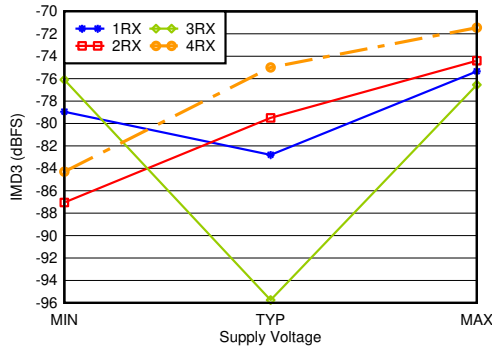
使用 4.9GHz 匹配时，抽取因子为 3

图 7-198. 4.9GHz 条件下 RX 带内 SFDR (±400MHz) 与输入振幅和通道间的关系



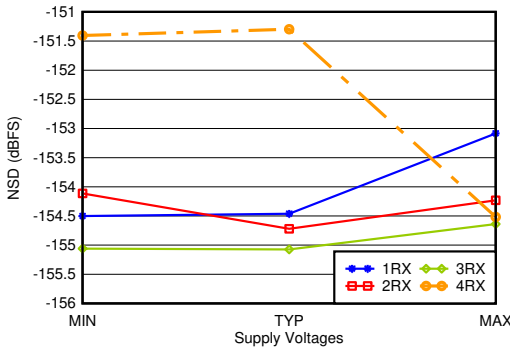
使用 4.9GHz 匹配

图 7-199. 4.9GHz 条件下 RX 非 HD2/3 与 DSA 设置间的关系



使用 4.9GHz 匹配时，每个子载波 -7dBFS，子载波间隔为 20MHz，所有电源均处于 MIN、TYP 或 MAX 推荐工作电压

图 7-200. 4.9GHz 条件下 RX IMD3 与电源和通道间的关系



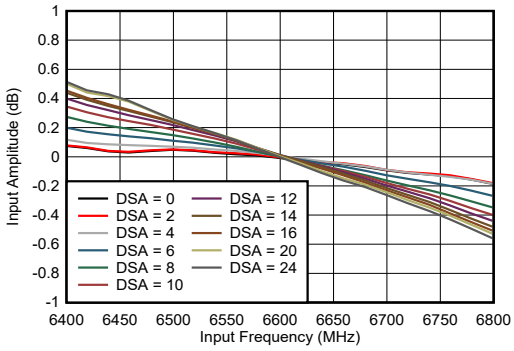
使用 4.9GHz 匹配时，偏移为 12.5MHz，所有电源均处于 MIN、TYP 或 MAX 推荐工作电压

图 7-201. 4.9GHz 条件下 RX 噪声频谱密度与电源和通道间的关系

Copyright © 2023 Texas Instruments Incorporated

7.12.7 6.8 GHz 下的 RX 典型特性

T_A = +25°C 时的典型值。30MHz 下的默认条件：ADC 采样率 = 3000MSPS，输出采样率 = 500MSPS（抽取因子为 6），外部时钟模式，A_{IN} = –3dBFS，DSA 设置 = 3dB。



标准化为 6.6GHz

图 7-202. RX 带内增益平坦度

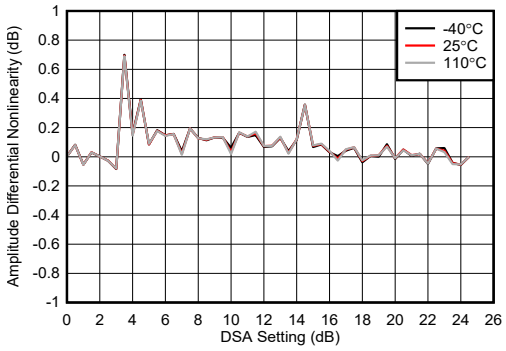
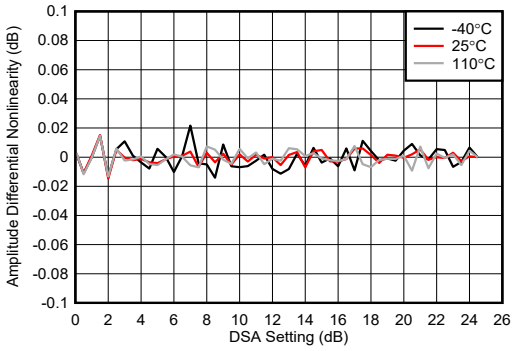


图 7-203. 6.851GHz 条件下的 RX 未校准差分振幅误差



在 25°C 时校准，在 -40°C 和 110°C 时保持

图 7-204. 6.851GHz 条件下的 RX 校准差分振幅误差

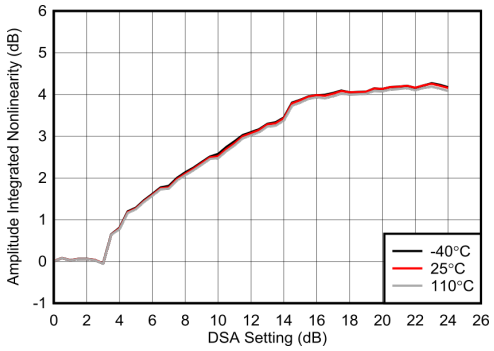
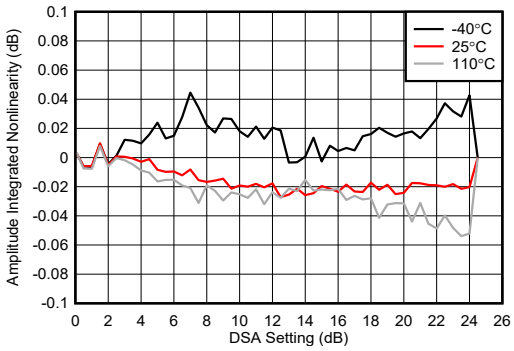


图 7-205. 6.851GHz 条件下的 RX 未校准积分振幅误差



在 25°C 时校准，在 -40°C 和 110°C 时保持

图 7-206. 6.851GHz 条件下的 RX 校准积分振幅误差

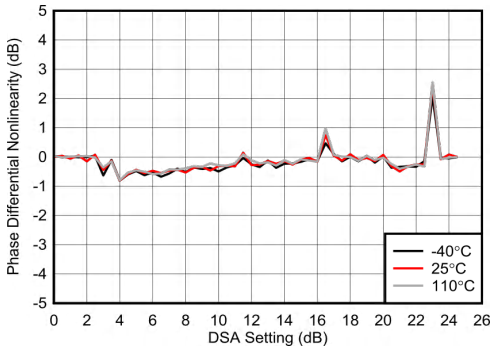
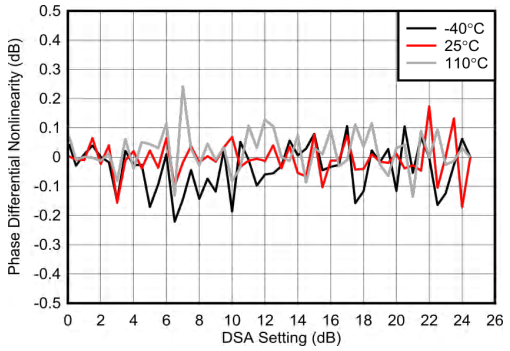


图 7-207. 6.851GHz 条件下的 RX 未校准差分相位误差

7.12.7 6.8 GHz 下的 RX 典型特性 (continued)

T_A = +25°C 时的典型值。30MHz 下的默认条件：ADC 采样率 = 3000MSPS，输出采样率 = 500MSPS（抽取因子为 6），外部时钟模式，A_{IN} = –3dBFS，DSA 设置 = 3dB。



在 25°C 时校准，在 -40°C 和 110°C 时保持

图 7-208. 6.851GHz 条件下的 RX 校准差分相位误差

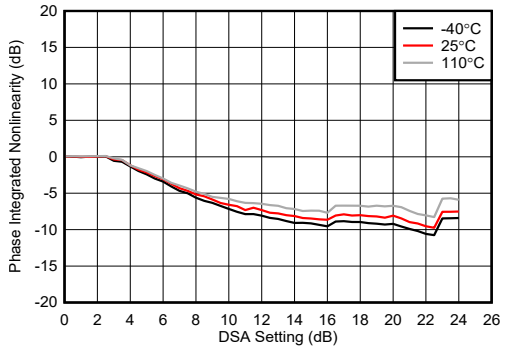
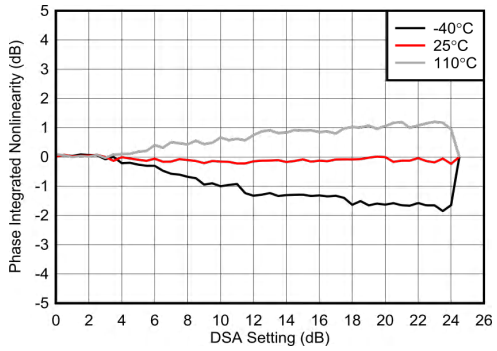
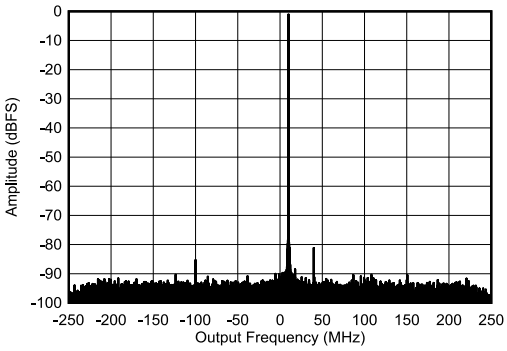


图 7-209. 6.851GHz 条件下的 RX 未校准积分相位误差



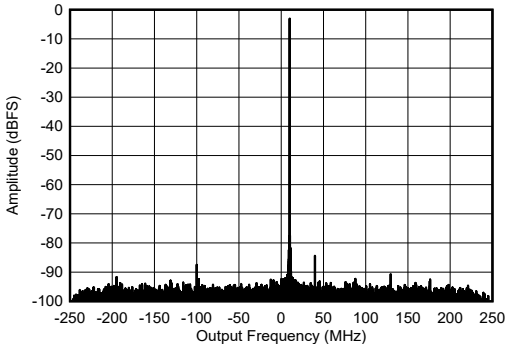
在 25°C 时校准，在 -40°C 和 110°C 时保持

图 7-210. 6.851GHz 条件下的 RX 校准积分相位误差



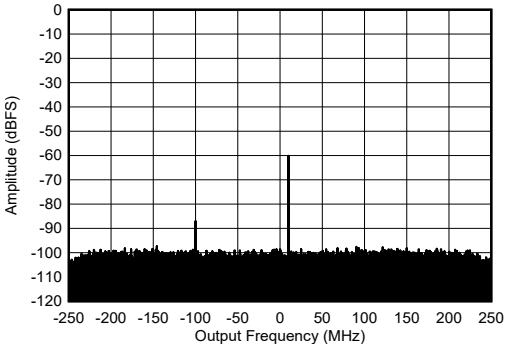
F_{NCO} = 7.1GHz

图 7-211. 7.11GHz 和 -1dBFS 条件下的单频 RX 输出 FFT



F_{NCO} = 7.1GHz

图 7-212. 7.11GHz 和 -3dBFS 条件下的单频 RX 输出 FFT



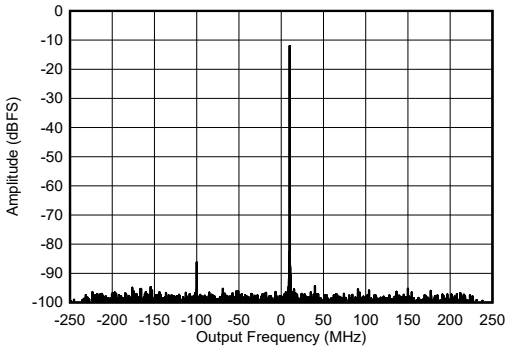
F_{NCO} = 7.1GHz

图 7-213. 7.11GHz 和 -6dBFS 条件下的单频 RX 输出 FFT

Copyright © 2023 Texas Instruments Incorporated

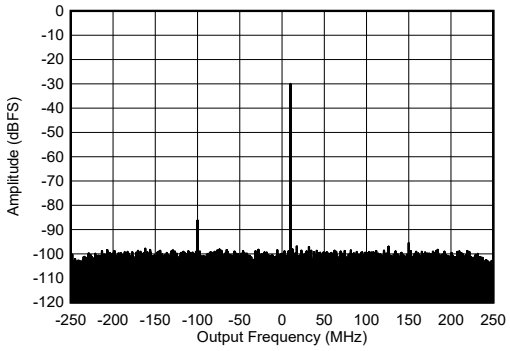
7.12.7 6.8 GHz 下的 RX 典型特性 (continued)

T_A = +25°C 时的典型值。30MHz 下的默认条件：ADC 采样率 = 3000MSPS，输出采样率 = 500MSPS（抽取因子为 6），外部时钟模式，A_{IN} = –3dBFS，DSA 设置 = 3dB。



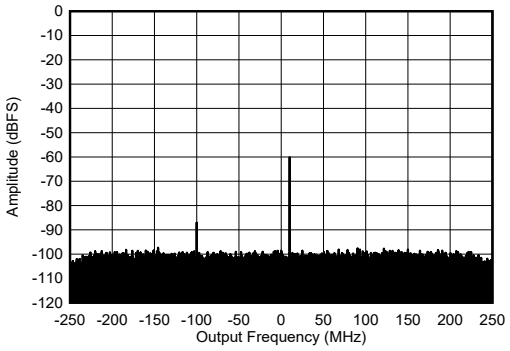
F_{NCO} = 7.1GHz

图 7-214. 7.11GHz 和 -12dBFS 条件下的单频 RX 输出 FFT



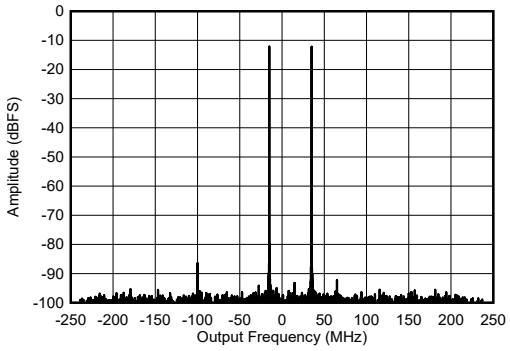
F_{NCO} = 7.1GHz

图 7-215. 7.11GHz 和 -30dBFS 条件下的单频 RX 输出 FFT



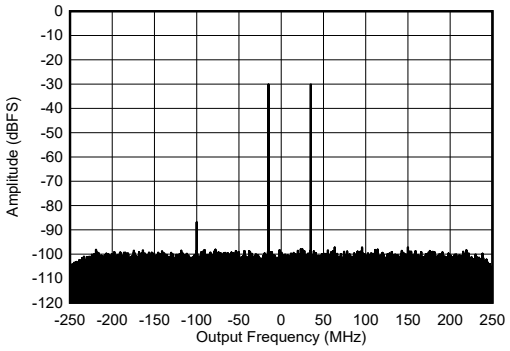
F_{NCO} = 7.1GHz

图 7-216. 7.1GHz 和 -60dBFS 条件下的单频 RX 输出 FFT



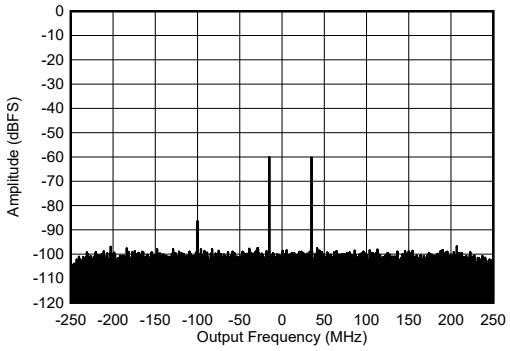
F_{NCO} = 7.1GHz，子载波间隔为 50MHz

图 7-217. 7.1GHz、每个子载波 -12dBFS 条件下的双频 RX 输出 FFT



F_{NCO} = 7.1GHz，子载波间隔为 50MHz

图 7-218. 7.1GHz、每个子载波 -30dBFS 条件下的双频 RX 输出 FFT



F_{NCO} = 7.1GHz，子载波间隔为 50MHz

图 7-219. 7.1GHz、每个子载波 -60dBFS 条件下的双频 RX 输出 FFT

7.12.7 6.8 GHz 下的 RX 典型特性 (continued)

T_A = +25°C 时的典型值。30MHz 下的默认条件：ADC 采样率 = 3000MSPS，输出采样率 = 500MSPS（抽取因子为 6），外部时钟模式，A_{IN} = –3dBFS，DSA 设置 = 3dB。

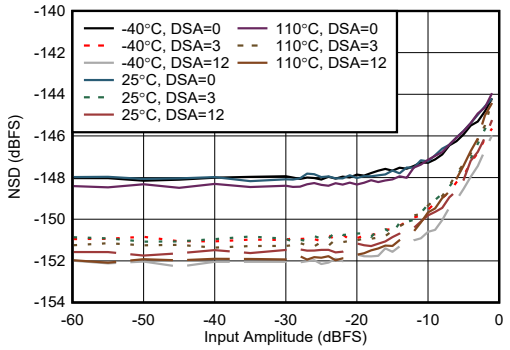
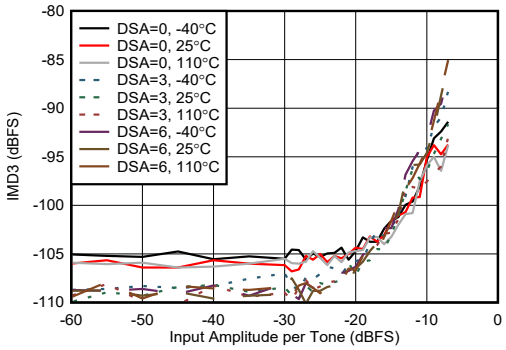
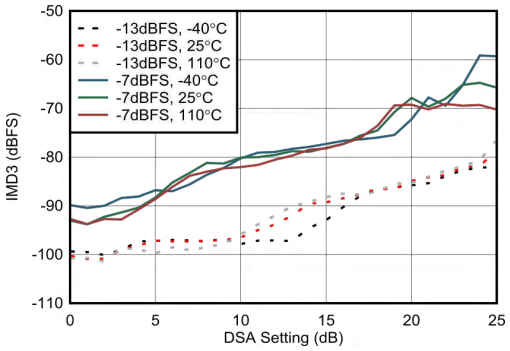


图 7-220. 6.851GHz 条件下 RX NSD 与输入振幅间的关系



100MHz 子载波间隔

图 7-221. 6.851GHz 条件下 RX IMD3 与输入振幅间的关系



100MHz 子载波间隔

图 7-222. 6.851GHz 条件下 RX IMD3 与 DSA 设置间的关系

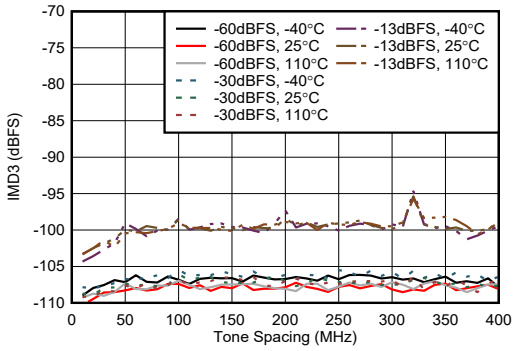


图 7-223. 6.851GHz 条件下 RX IMD3 与子载波间隔间的关系

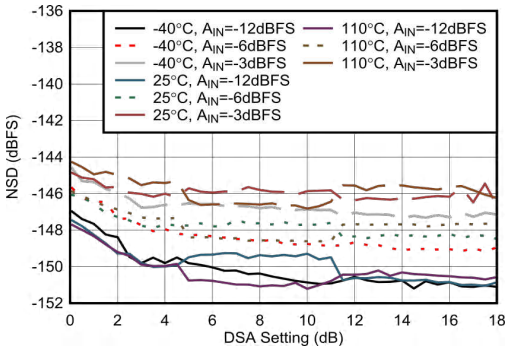


图 7-224. 6.851GHz 条件下 RX NSD 与 DSA 设置间的关系

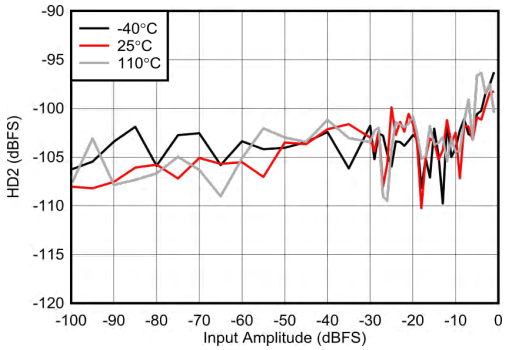
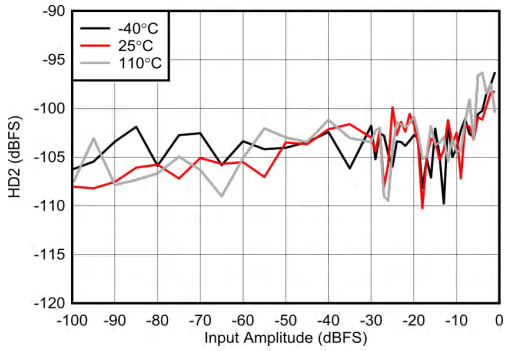


图 7-225. 6.851GHz 条件下 RX HD2 与输入振幅间的关系

Copyright © 2023 Texas Instruments Incorporated

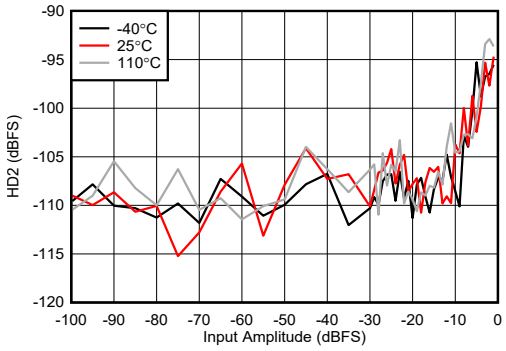
7.12.7 6.8 GHz 下的 RX 典型特性 (continued)

T_A = +25°C 时的典型值。30MHz 下的默认条件：ADC 采样率 = 3000MSPS，输出采样率 = 500MSPS（抽取因子为 6），外部时钟模式，A_{IN} = –3dBFS，DSA 设置 = 3dB。



DSA = 0dB

图 7-226. 6.851GHz 条件下 RX HD2 与输入振幅间的关系



DSA = 12dB

图 7-227. 6.851GHz 条件下 RX HD2 与输入振幅间的关系

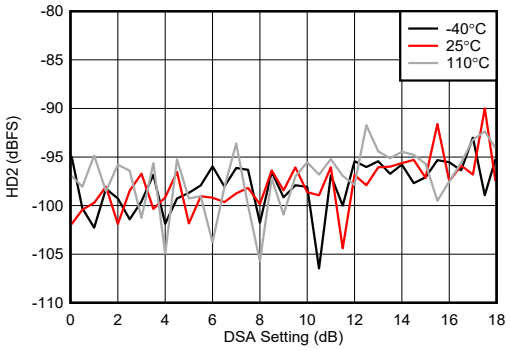


图 7-228. 6.851GHz 条件下 RX HD2 与 DSA 设置间的关系

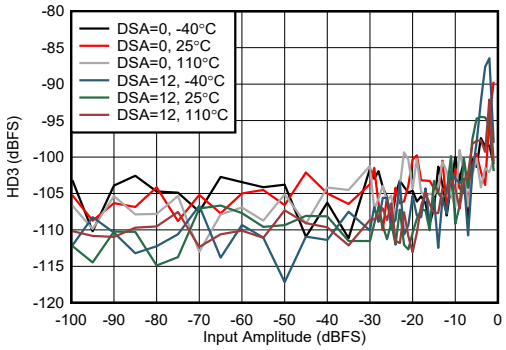


图 7-229. 6.851GHz 条件下 RX HD3 与输入振幅间的关系

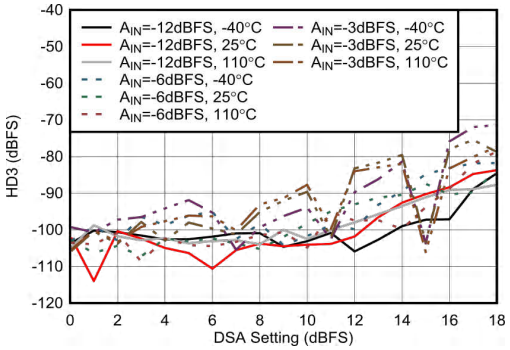
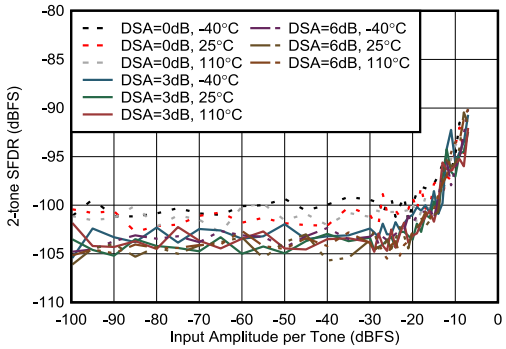


图 7-230. 6.851GHz 条件下 RX HD3 与 DSA 设置间的关系



100MHz 子载波间隔，不包括三阶失真

图 7-231. 6.85GHz 条件下 RX 2 子载波 SFDR 与输入振幅间的关系

7.12.7 6.8 GHz 下的 RX 典型特性 (continued)

T_A = +25°C 时的典型值。30MHz 下的默认条件：ADC 采样率 = 3000MSPS，输出采样率 = 500MSPS（抽取因子为 6），外部时钟模式，A_{IN} = –3dBFS，DSA 设置 = 3dB。

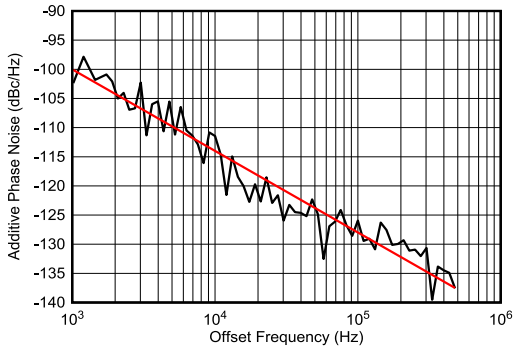
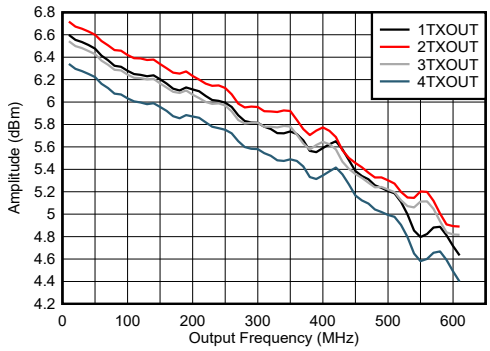


图 7-232. 6.85GHz 条件下的 RX 附加相位噪声

Copyright © 2023 Texas Instruments Incorporated

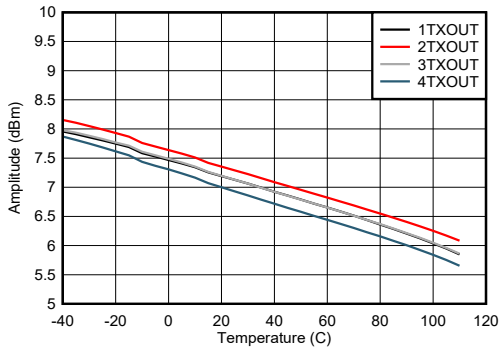
7.12.8 30 MHz 和 400 MHz 下的 TX 典型特性

T_A = +25°C 时的典型值，使用标称电源。默认条件：TX 输入数据速率 = 125MSPS，f_{DAC} = 6000MSPS（48 倍插值），交错模式，第一个奈奎斯特区域输出，PLL 时钟模式，f_{REF} = 500MHz。所有图的附加默认条件，A_{OUT} = –1dBFS，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



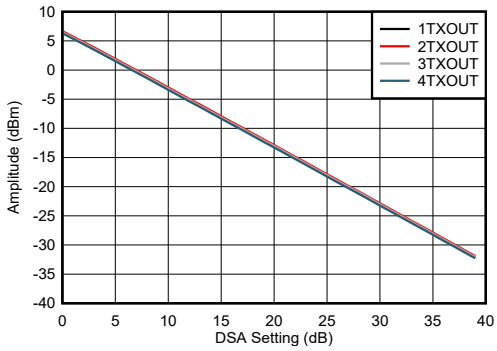
包括 PCB 和电缆损耗

图 7-233. TX 输出满量程与输出频率间的关系：5 MHz - 600 MHz



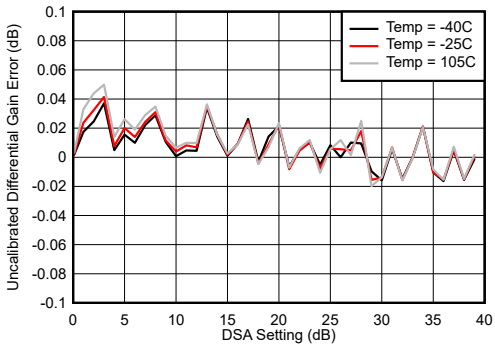
包括 PCB 和电缆损耗

图 7-234. 30MHz 条件下 TX 输出满量程与温度间的关系



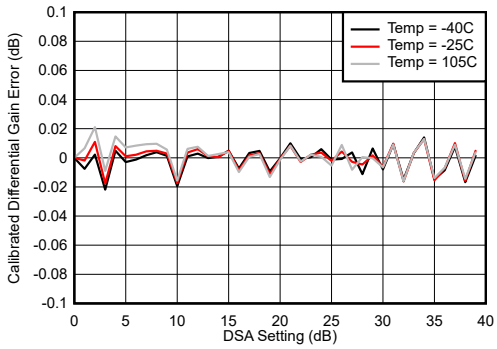
包括 PCB 和电缆损耗

图 7-235. 30MHz 条件下 TX 输出满量程与 DSA 设置间的关系



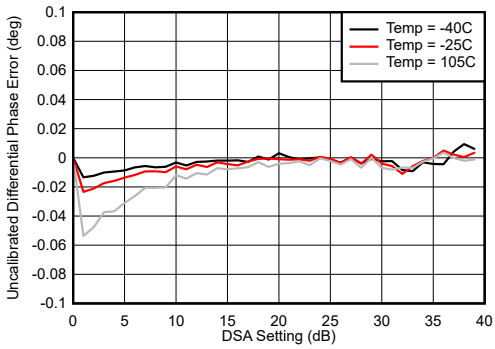
差分增益误差 = P_{OUT}（DSA 设置 – 1）– P_{OUT}（DSA 设置）+ 1

图 7-236. 30MHz 条件下的未校准 TX 差分增益误差 (DNL)



差分增益误差 = P_{OUT}（DSA 设置 – 1）– P_{OUT}（DSA 设置）+ 1

图 7-237. 30MHz 条件下的校准 TX 差分增益误差 (DNL)

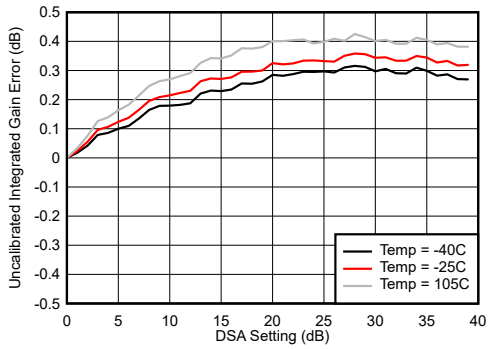


差分增益误差 = P_{OUT}（DSA 设置 – 1）– P_{OUT}（DSA 设置）+ 1

图 7-238. 30MHz 条件下的校准 TX 差分增益误差 (DNL)

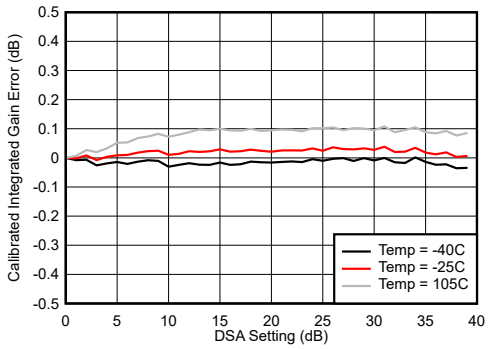
7.12.8 30 MHz 和 400 MHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。默认条件：TX 输入数据速率 = 125MSPS，f_{DAC} = 6000MSPS（48 倍插值），交错模式，第一个奈奎斯特区域输出，PLL 时钟模式，f_{REF} = 500MHz。所有图的附加默认条件，A_{OUT} = –1dBFS，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



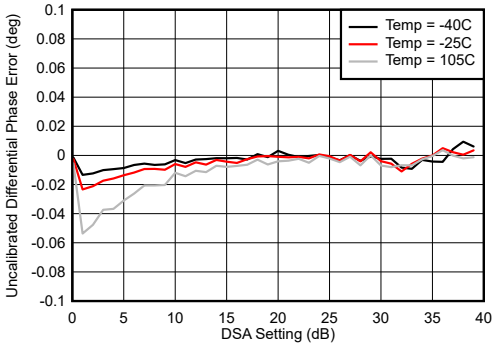
积分增益误差 = P_{OUT}（DSA 设置）- P_{OUT}（DSA 设置 = 0）+（DSA 设置）

图 7-239. 30MHz 条件下的未校准 TX 积分增益误差 (INL)



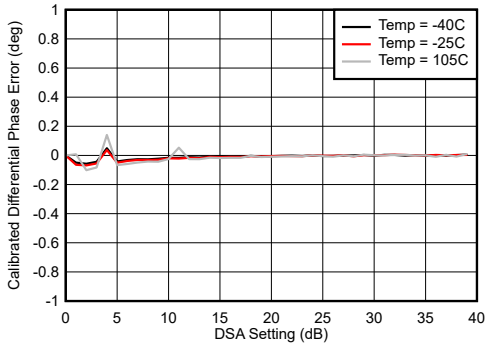
积分增益误差 = P_{OUT}（DSA 设置）- P_{OUT}（DSA 设置 = 0）+（DSA 设置）

图 7-240. 30MHz 条件下的校准 TX 积分增益误差 (INL)



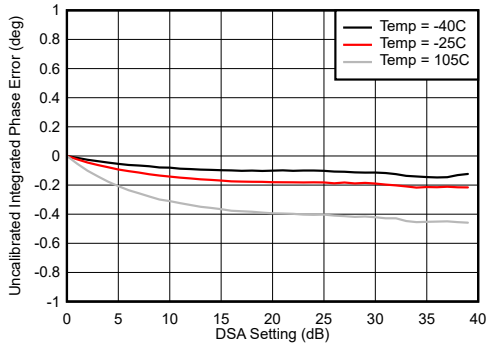
差分相位误差 = $Phase_{OUT}$（DSA 设置 – 1）– $Phase_{OUT}$（DSA 设置）

图 7-241. 30MHz 条件下的未校准 TX 差分相位误差 (DNL)



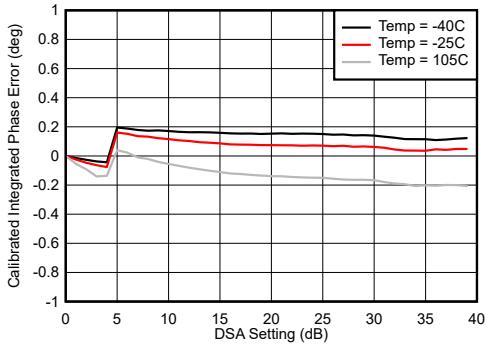
差分相位误差 = $Phase_{OUT}$（DSA 设置 – 1）– $Phase_{OUT}$（DSA 设置）

图 7-242. 30MHz 条件下的校准 TX 差分相位误差 (DNL)



积分相位误差 = $Phase_{OUT}$（DSA 设置）- $Phase_{OUT}$（DSA 设置 = 0）

图 7-243. 30MHz 条件下的未校准 TX 积分相位误差 (INL)



积分相位误差 = $Phase_{OUT}$（DSA 设置）- $Phase_{OUT}$（DSA 设置 = 0）

图 7-244. 30MHz 条件下的校准 TX 积分相位误差 (INL)

Copyright © 2023 Texas Instruments Incorporated

7.12.8 30 MHz 和 400 MHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。默认条件：TX 输入数据速率 = 125MSPS，f_{DAC} = 6000MSPS（48 倍插值），交错模式，第一个奈奎斯特区域输出，PLL 时钟模式，f_{REF} = 500MHz。所有图的附加默认条件，A_{OUT} = –1dBFS，DSA = 0dB，Sin(x)/x 启用，DSA 校准。

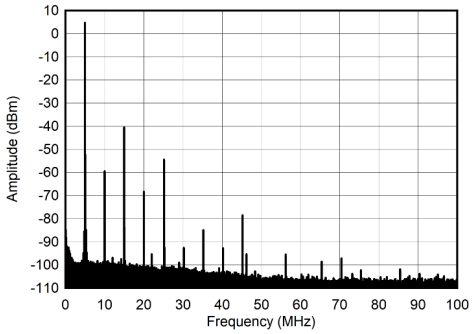


图 7-245. 5MHz 和 -1dBFS (0 - 100MHz) 条件下的单音频谱

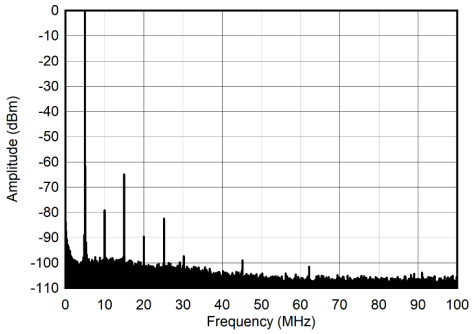


图 7-246. 5MHz 和 -6dBFS (0 - 100MHz) 下的单音频谱

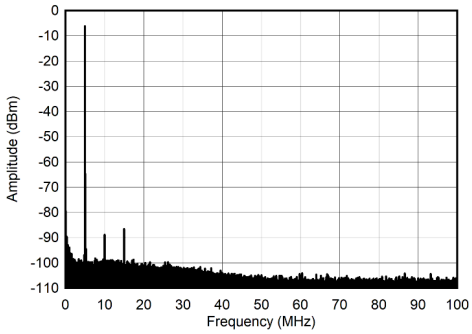


图 7-247. 5MHz 和 -12dBFS (0 - 100MHz) 条件下的单音频谱

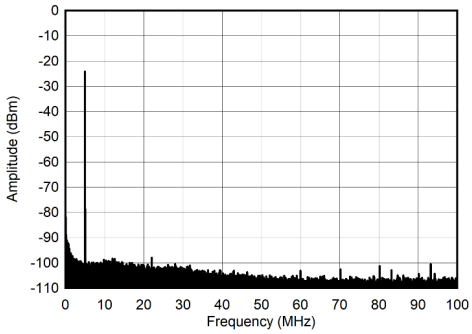


图 7-248. 5MHz 和 -30dBFS (0 - 100MHz) 条件下的单音频谱

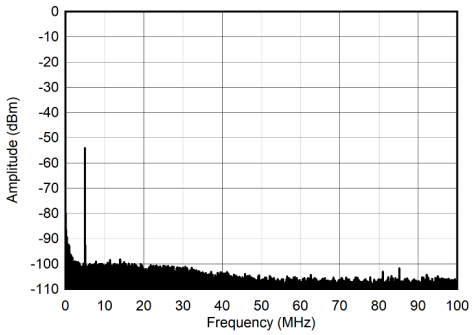


图 7-249. 5MHz 和 -60dBFS (0 - 100MHz) 条件下的单音频谱

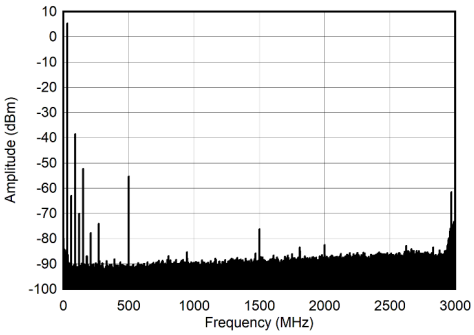


图 7-250. 30MHz 和 -1dBFS（奈奎斯特）条件下的单音频谱

7.12.8 30 MHz 和 400 MHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。默认条件：TX 输入数据速率 = 125MSPS，f_{DAC} = 6000MSPS（48 倍插值），交错模式，第一个奈奎斯特区域输出，PLL 时钟模式，f_{REF} = 500MHz。所有图的附加默认条件，A_{OUT} = –1dBFS，DSA = 0dB，Sin(x)/x 启用，DSA 校准。

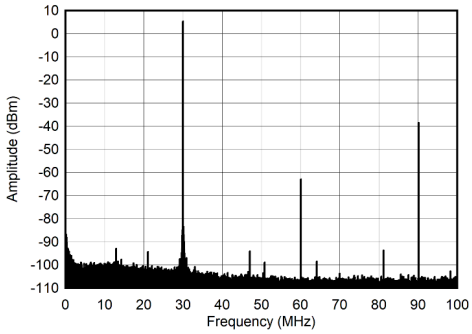


图 7-251. 30MHz 和 -1dBFS (0 - 100MHz) 条件下的单音频谱

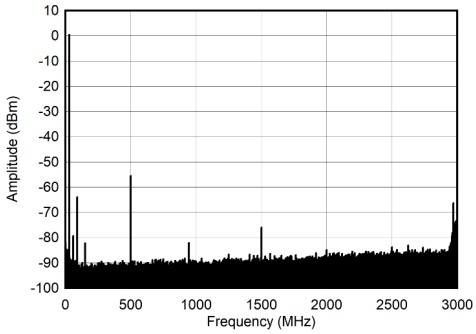


图 7-252. 30MHz 和 -6dBFS（奈奎斯特）条件下的单音频谱

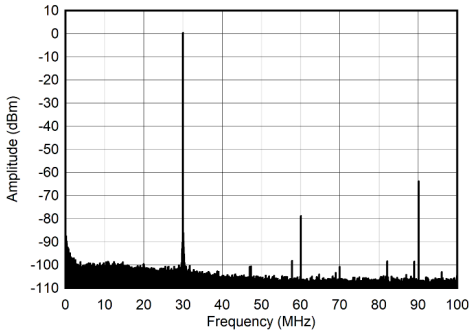


图 7-253. 30MHz 和 -6dBFS (0 - 100MHz) 条件下的单音频谱

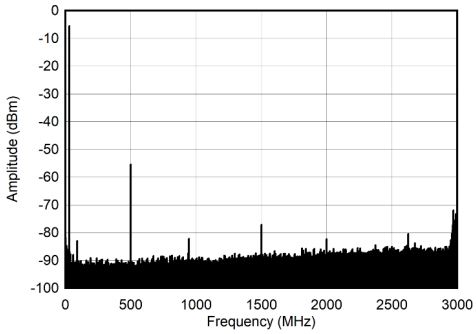


图 7-254. 30MHz 和 -12dBFS（奈奎斯特）条件下的单音频谱

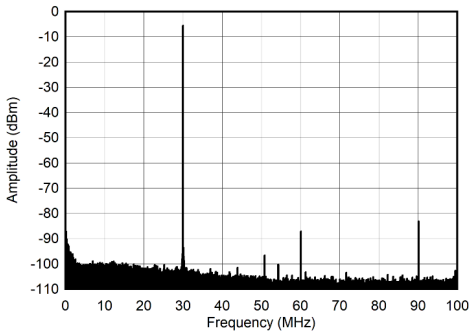


图 7-255. 30MHz 和 -12dBFS (0 - 100MHz) 条件下的单音频谱

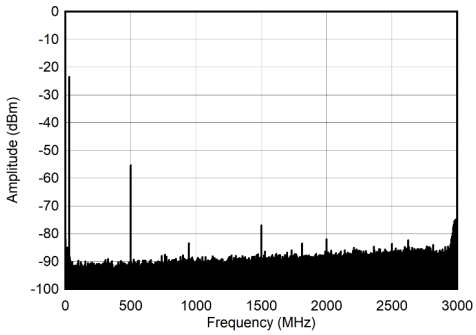


图 7-256. 30MHz 和 -30dBFS（奈奎斯特）条件下的单音频谱

Copyright © 2023 Texas Instruments Incorporated

7.12.8 30 MHz 和 400 MHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。默认条件：TX 输入数据速率 = 125MSPS，f_{DAC} = 6000MSPS（48 倍插值），交错模式，第一个奈奎斯特区域输出，PLL 时钟模式，f_{REF} = 500MHz。所有图的附加默认条件，A_{OUT} = –1dBFS，DSA = 0dB，Sin(x)/x 启用，DSA 校准。

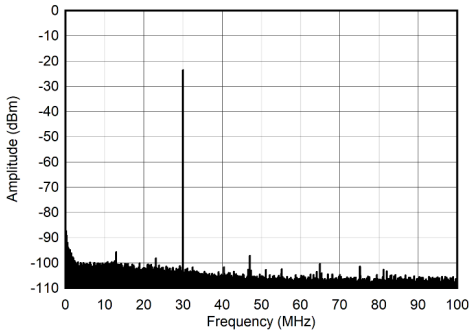


图 7-257. 30MHz 和 -30dBFS (0 - 100MHz) 条件下的单音频谱

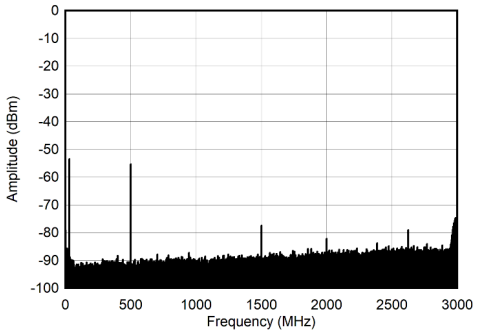


图 7-258. 30MHz 和 -60dBFS（奈奎斯特）条件下的单音频谱

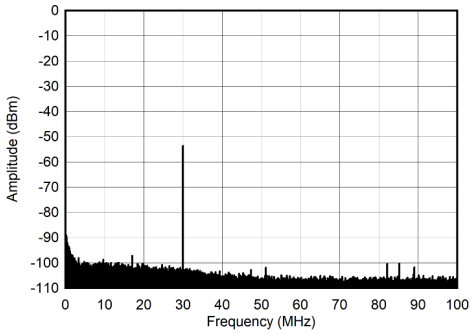


图 7-259. 30MHz 和 -60dBFS (0 - 100MHz) 条件下的单音频谱

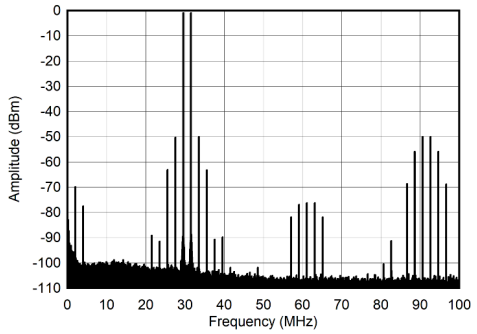


图 7-260. 30MHz 和 -7dBFS (0 - 100MHz) 条件下的双频频谱

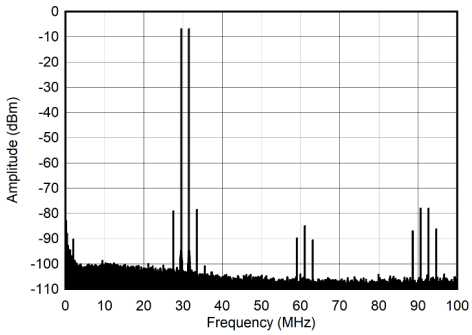


图 7-261. 30MHz 和 -13dBFS (0 - 100MHz) 条件下的双频频谱

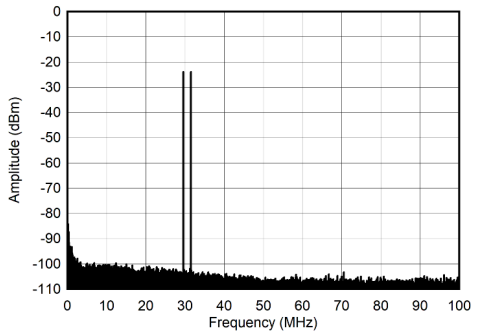


图 7-262. 30MHz 和 -30dBFS (0 - 100MHz) 条件下的双频频谱

7.12.8 30 MHz 和 400 MHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。默认条件：TX 输入数据速率 = 125MSPS，f_{DAC} = 6000MSPS（48 倍插值），交错模式，第一个奈奎斯特区域输出，PLL 时钟模式，f_{REF} = 500MHz。所有图的附加默认条件，A_{OUT} = –1dBFS，DSA = 0dB，Sin(x)/x 启用，DSA 校准。

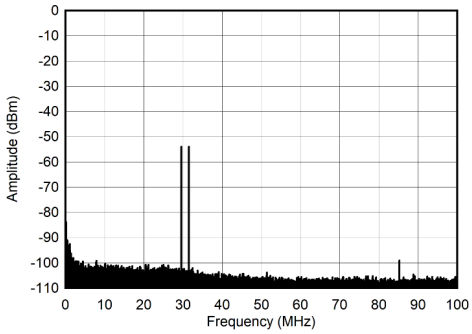
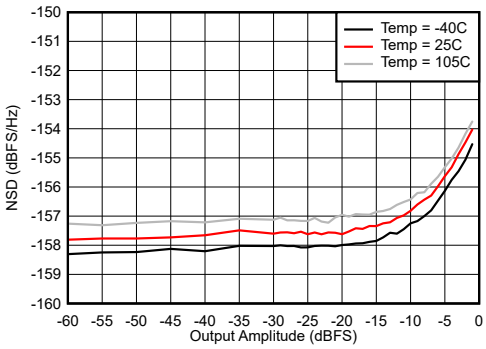
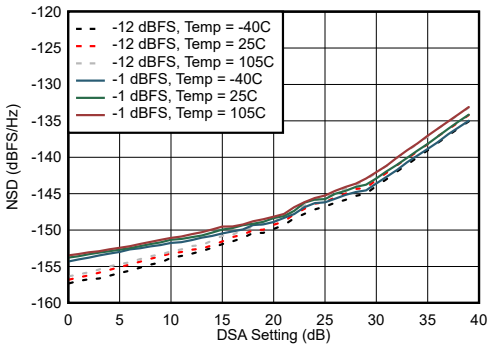


图 7-263. 30MHz 和 -60dBFS (0 - 100MHz) 条件下的双频频谱



在 +50MHz 偏移条件下测量

图 7-264. 30MHz 条件下噪声频谱密度与数字振幅间的关系



在 +50MHz 偏移条件下测量

图 7-265. 30MHz 条件下的噪声频谱密度与 DSA 设置间的关系

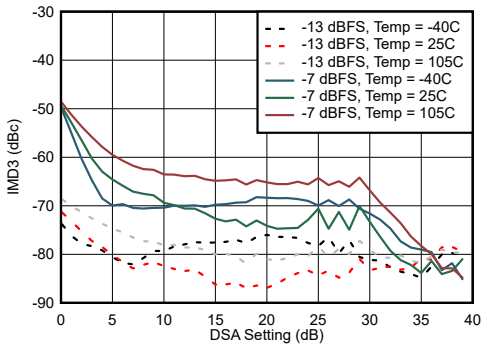


图 7-266. 30MHz 条件下 IMD3 与 DSA 设置间的关系

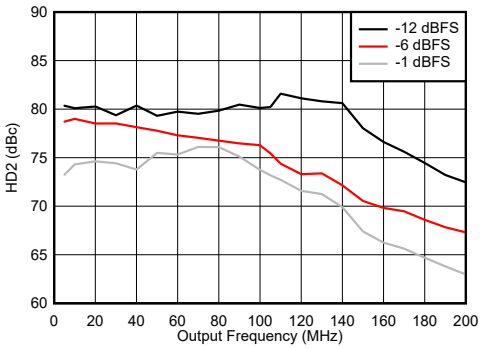


图 7-267. HD2 与频率（0 - 200MHz）间的关系

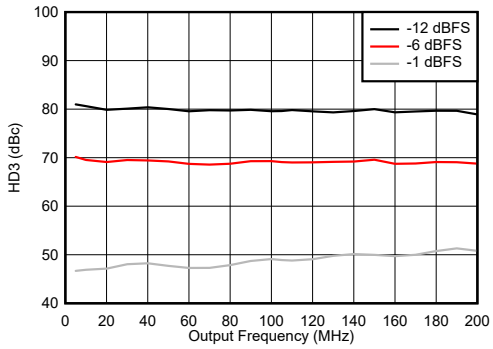
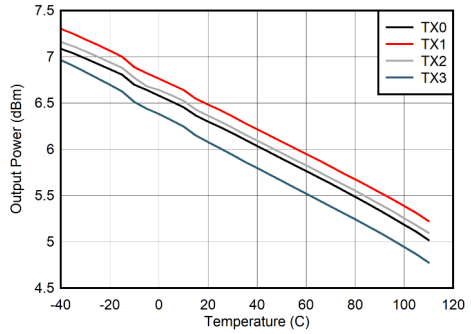


图 7-268. HD3 与频率（0 - 200MHz）间的关系

Copyright © 2023 Texas Instruments Incorporated

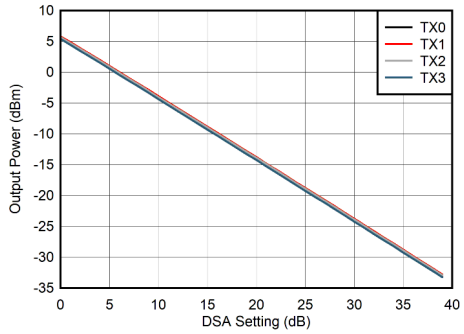
7.12.8 30 MHz 和 400 MHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。默认条件：TX 输入数据速率 = 125MSPS，f_{DAC} = 6000MSPS（48 倍插值），交错模式，第一个奈奎斯特区域输出，PLL 时钟模式，f_{REF} = 500MHz。所有图的附加默认条件，A_{OUT} = –1dBFS，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



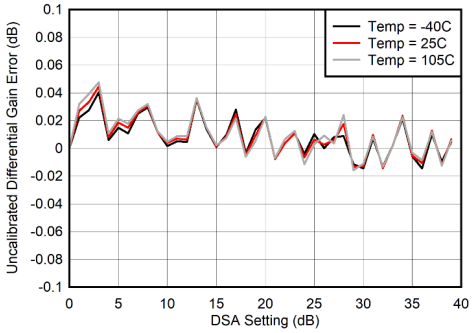
包括 PCB 和电缆损耗

图 7-269. 400MHz 条件下 TX 输出满量程与温度间的关系



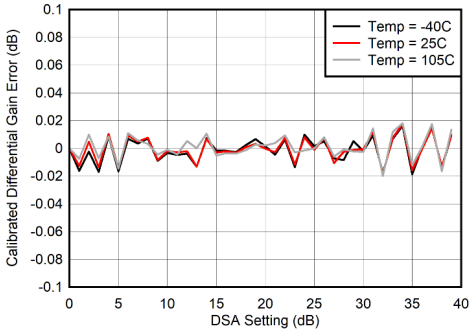
包括 PCB 和电缆损耗

图 7-270. 400MHz 条件下 TX 输出满量程与 DSA 设置间的关系



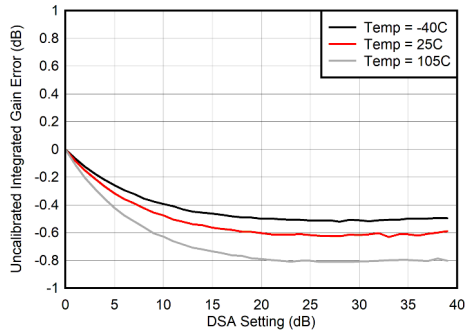
差分增益误差 = P_{OUT}（DSA 设置 – 1）– P_{OUT}（DSA 设置）+ 1

图 7-271. 400MHz 条件下的未校准 TX 差分增益误差 (DNL)



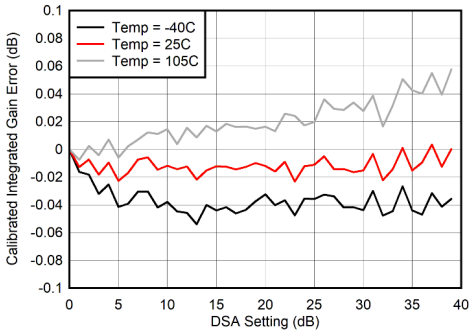
差分增益误差 = P_{OUT}（DSA 设置 – 1）– P_{OUT}（DSA 设置）+ 1

图 7-272. 400MHz 条件下的校准 TX 差分增益误差 (DNL)



积分增益误差 = P_{OUT}（DSA 设置）- P_{OUT}（DSA 设置 = 0）+（DSA 设置）

图 7-273. 400MHz 条件下的未校准 TX 积分增益误差 (INL)

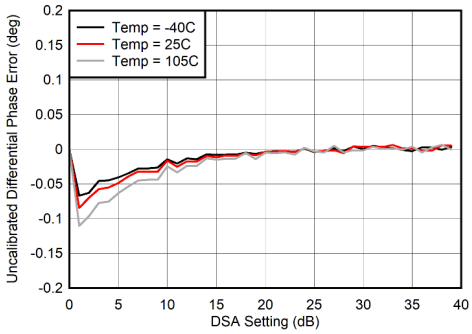


积分增益误差 = P_{OUT}（DSA 设置）- P_{OUT}（DSA 设置 = 0）+（DSA 设置）

图 7-274. 400MHz 条件下的校准 TX 积分增益误差 (INL)

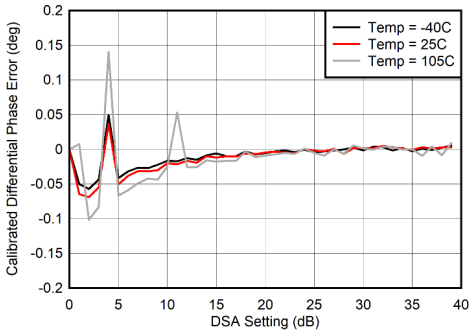
7.12.8 30 MHz 和 400 MHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。默认条件：TX 输入数据速率 = 125MSPS，f_{DAC} = 6000MSPS（48 倍插值），交错模式，第一个奈奎斯特区域输出，PLL 时钟模式，f_{REF} = 500MHz。所有图的附加默认条件，A_{OUT} = –1dBFS，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



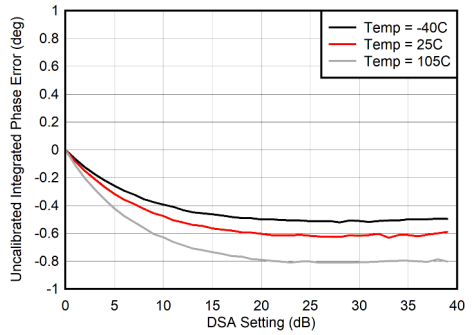
差分相位误差 = $Phase_{OUT}$（DSA 设置 – 1）– $Phase_{OUT}$（DSA 设置）

图 7-275. 400MHz 条件下的未校准 TX 差分相位误差 (DNL)



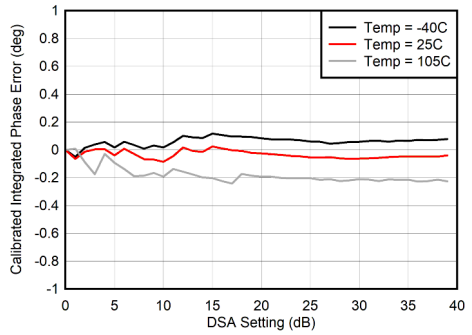
差分相位误差 = $Phase_{OUT}$（DSA 设置 – 1）– $Phase_{OUT}$（DSA 设置）

图 7-276. 400MHz 条件下的校准 TX 差分相位误差 (DNL)



积分相位误差 = $Phase_{OUT}$（DSA 设置）- $Phase_{OUT}$（DSA 设置 = 0）

图 7-277. 400MHz 条件下的未校准 TX 积分相位误差 (INL)



积分相位误差 = $Phase_{OUT}$（DSA 设置）- $Phase_{OUT}$（DSA 设置 = 0）

图 7-278. 400MHz 条件下的校准 TX 积分相位误差 (INL)

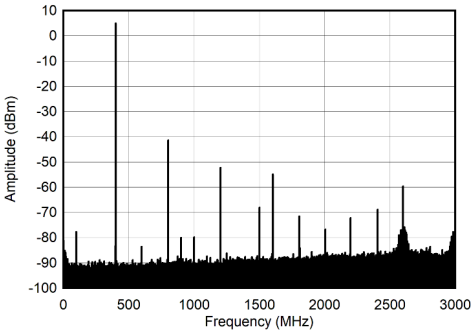


图 7-279. 400MHz 和 -1dBFS（奈奎斯特）条件下的单音频谱

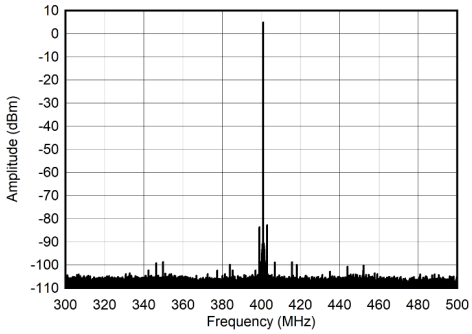


图 7-280. 400MHz 和 -1dBFS (±100MHz) 条件下的单音频谱

Copyright © 2023 Texas Instruments Incorporated

7.12.8 30 MHz 和 400 MHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。默认条件：TX 输入数据速率 = 125MSPS，f_{DAC} = 6000MSPS（48 倍插值），交错模式，第一个奈奎斯特区域输出，PLL 时钟模式，f_{REF} = 500MHz。所有图的附加默认条件，A_{OUT} = –1dBFS，DSA = 0dB，Sin(x)/x 启用，DSA 校准。

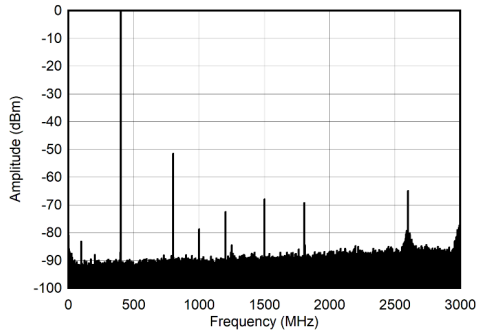


图 7-281. 400MHz 和 -6dBFS（奈奎斯特）条件下的单音频谱

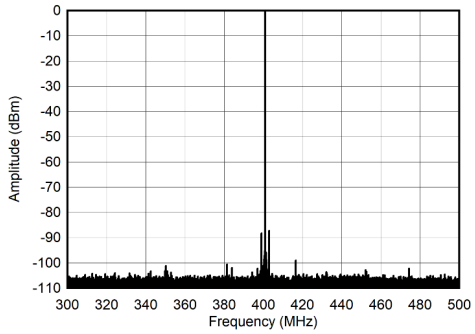


图 7-282. 400MHz 和 -6dBFS (±100MHz) 条件下的单音频谱

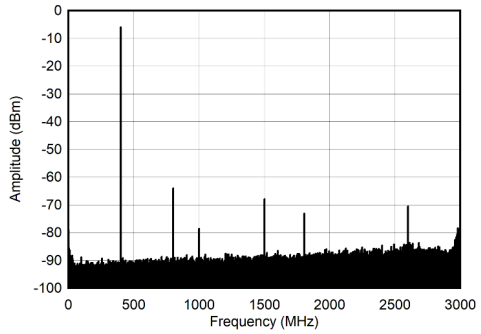


图 7-283. 400MHz 和 -12dBFS（奈奎斯特）条件下的单音频谱

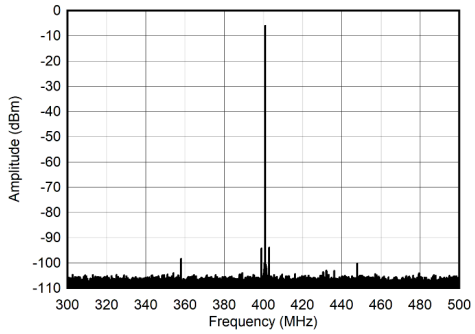


图 7-284. 400MHz 和 -12dBFS (±100MHz) 条件下的单音频谱

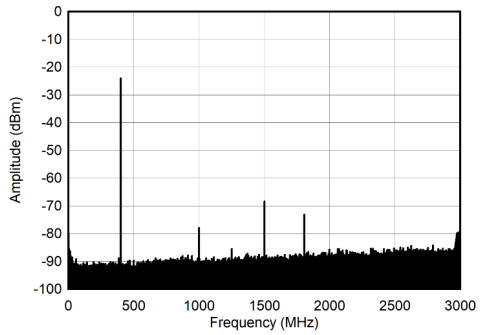


图 7-285. 400MHz 和 -30dBFS（奈奎斯特）条件下的单音频谱

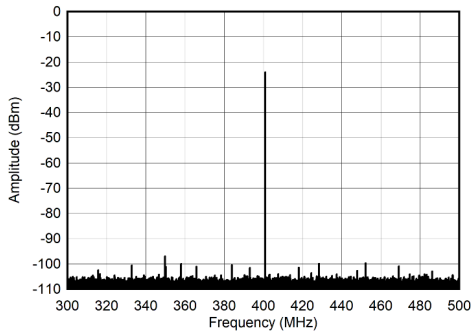


图 7-286. 400MHz 和 -30dBFS (±100MHz) 条件下的单音频谱

7.12.8 30 MHz 和 400 MHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。默认条件：TX 输入数据速率 = 125MSPS，f_{DAC} = 6000MSPS（48 倍插值），交错模式，第一个奈奎斯特区域输出，PLL 时钟模式，f_{REF} = 500MHz。所有图的附加默认条件，A_{OUT} = –1dBFS，DSA = 0dB，Sin(x)/x 启用，DSA 校准。

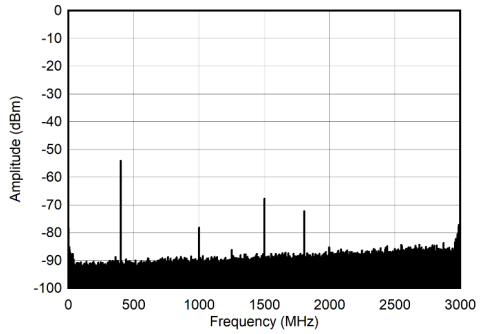


图 7-287. 400MHz 和 -60dBFS（奈奎斯特）条件下的单音频谱

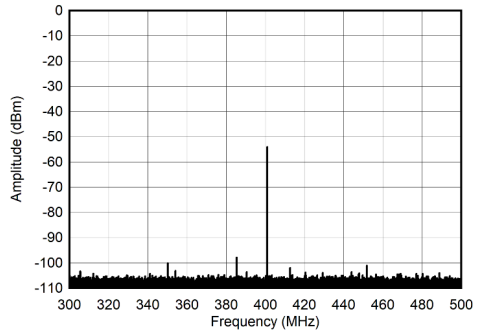
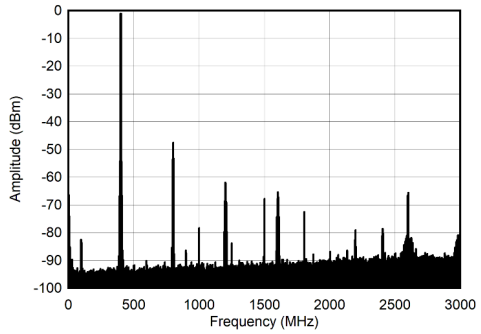
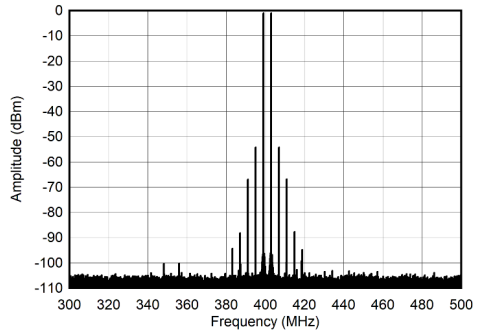


图 7-288. 400MHz 和 -60dBFS (±100MHz) 条件下的单音频谱



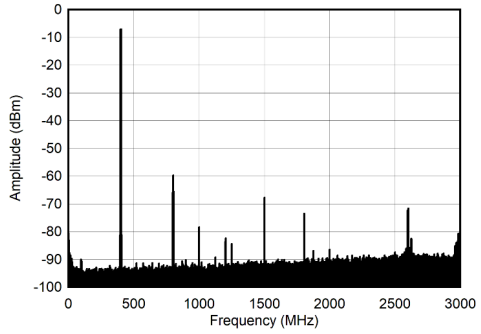
频率间隔 = 4MHz

图 7-289. 400MHz 和 -7dBFS（奈奎斯特）条件下的双频频谱



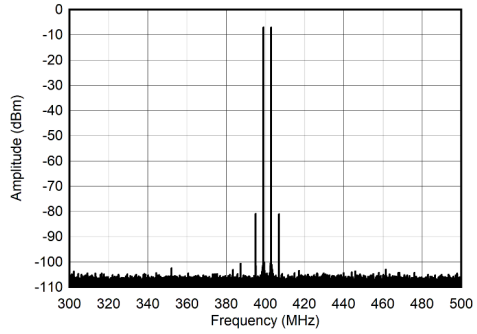
频率间隔 = 4MHz

图 7-290. 400MHz 和 -7dBFS (±100MHz) 条件下的双频频谱



频率间隔 = 4MHz

图 7-291. 400MHz 和 -13dBFS（奈奎斯特）条件下的双频频谱



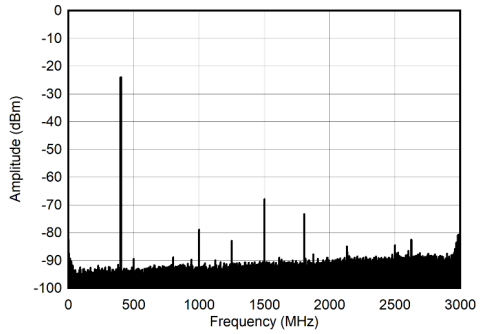
频率间隔 = 4MHz

图 7-292. 400MHz 和 -13dBFS (±100MHz) 条件下的双频频谱

Copyright © 2023 Texas Instruments Incorporated

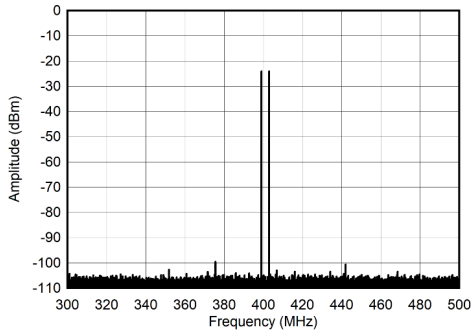
7.12.8 30 MHz 和 400 MHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。默认条件：TX 输入数据速率 = 125MSPS，f_{DAC} = 6000MSPS（48 倍插值），交错模式，第一个奈奎斯特区域输出，PLL 时钟模式，f_{REF} = 500MHz。所有图的附加默认条件，A_{OUT} = –1dBFS，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



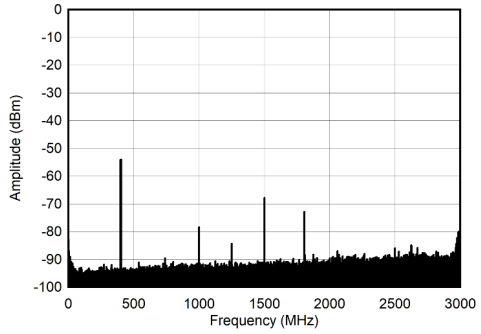
频率间隔 = 4MHz

图 7-293. 400MHz 和 -30dBFS（奈奎斯特）条件下的双频频谱



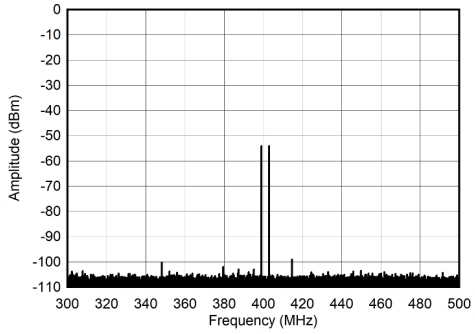
频率间隔 = 4MHz

图 7-294. 400MHz 和 -30dBFS (±100MHz) 条件下的双频频谱



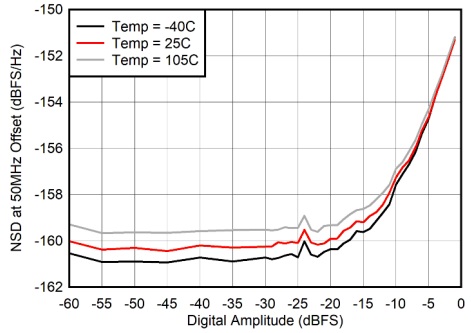
频率间隔 = 4MHz

图 7-295. 400MHz 和 -60dBFS（奈奎斯特）条件下的双频频谱



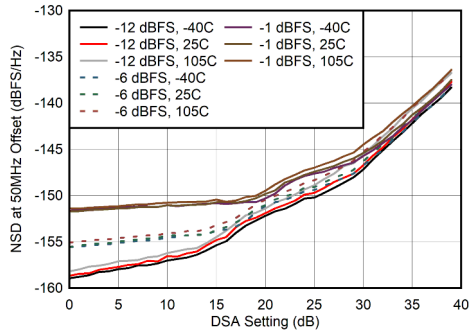
频率间隔 = 4MHz

图 7-296. 400MHz 和 -60dBFS (±100MHz) 条件下的双频频谱



在 50MHz 偏移条件下测量

图 7-297. 400MHz 条件下的噪声频谱密度与数字振幅间的关系

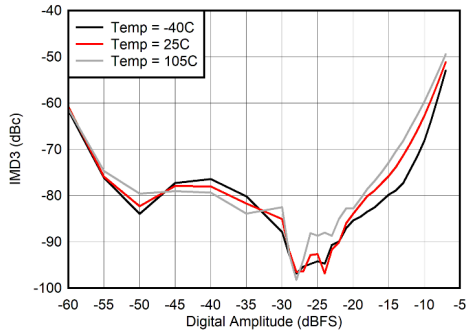


在 50MHz 偏移条件下测量

图 7-298. 400MHz 条件下的噪声频谱密度与 DSA 设置间的关系

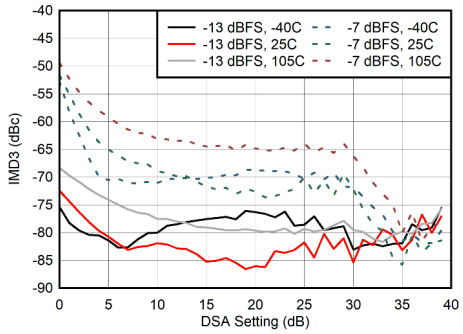
7.12.8 30 MHz 和 400 MHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。默认条件：TX 输入数据速率 = 125MSPS，f_{DAC} = 6000MSPS（48 倍插值），交错模式，第一个奈奎斯特区域输出，PLL 时钟模式，f_{REF} = 500MHz。所有图的附加默认条件，A_{OUT} = –1dBFS，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



频率间隔 = 4MHz

图 7-299. 400MHz 条件下 IMD3 与数字振幅间的关系



频率间隔 = 4MHz

图 7-300. 400MHz 条件下 IMD3 与 DSA 设置间的关系

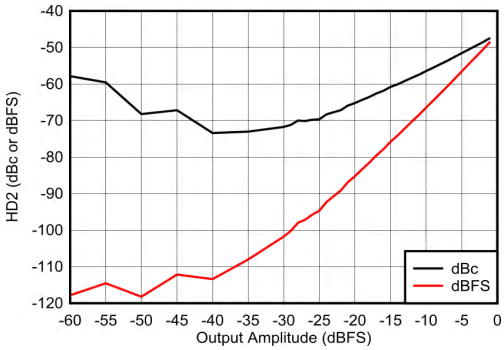


图 7-301. 400MHz 条件下 HD2 与振幅间的关系

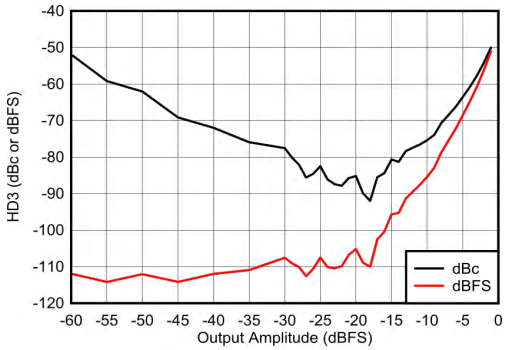
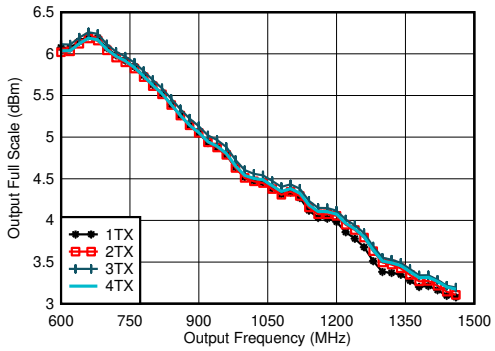


图 7-302. 400MHz 条件下 HD3 与振幅间的关系

Copyright © 2023 Texas Instruments Incorporated

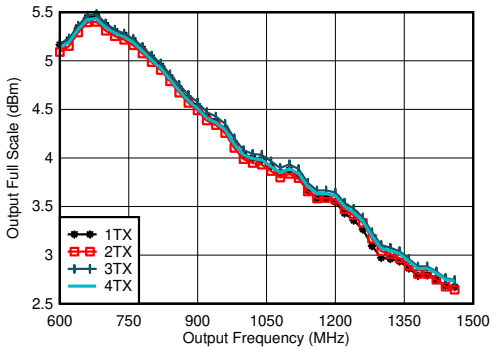
7.12.9 800 MHz 下的 TX 典型特性

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



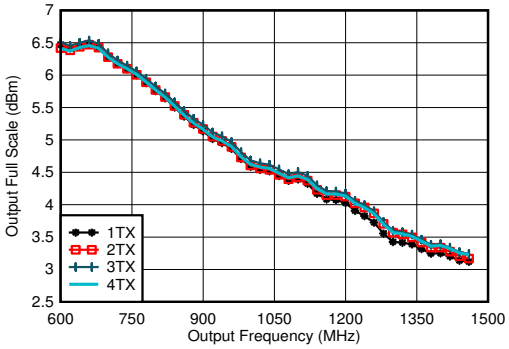
包括 PCB 和电缆损耗，A_{out} = -0.5dBFS，DSA = 0，0.8GHz 匹配

图 7-303. 5898.24MSPS 条件下 TX 满量程与射频频率和通道间的关系，直接模式



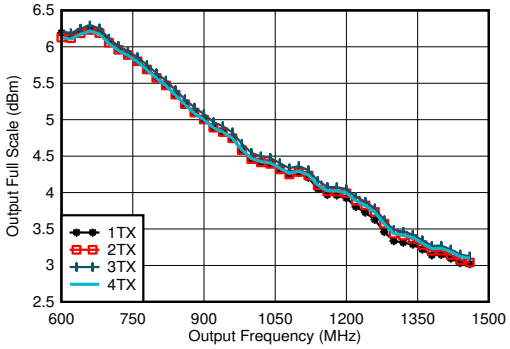
包括 PCB 和电缆损耗，A_{out} = -0.5dBFS，DSA = 0，0.8GHz 匹配

图 7-304. 8847.36MSPS 条件下 TX 满量程与射频频率和通道间的关系，直接模式



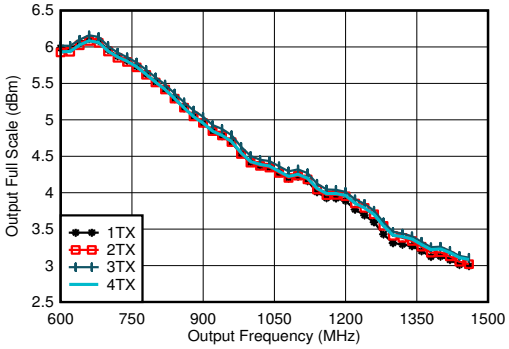
包括 PCB 和电缆损耗，A_{out} = -0.5dBFS，DSA = 0，0.8GHz 匹配

图 7-305. 5898.24MSPS 条件下 TX 满量程与射频频率和通道间的关系，交错模式



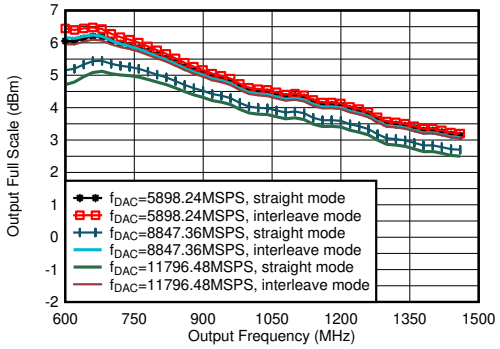
包括 PCB 和电缆损耗，A_{out} = -0.5dBFS，DSA = 0，0.8GHz 匹配

图 7-306. 8847.36MSPS 条件下 TX 满量程与射频频率和通道间的关系，交错模式



包括 PCB 和电缆损耗，A_{out} = -0.5dBFS，DSA = 0，0.8GHz 匹配

图 7-307. 11796.48MSPS 条件下 TX 满量程与射频频率和通道间的关系，交错模式

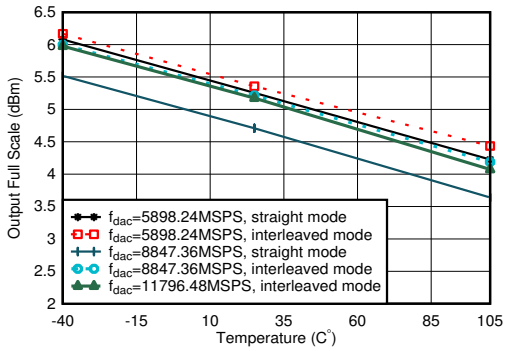


包括 PCB 和电缆损耗，A_{out} = -0.5dBFS，DSA = 0，0.8GHz 匹配

图 7-308. TX 输出满量程与输出频率间的关系

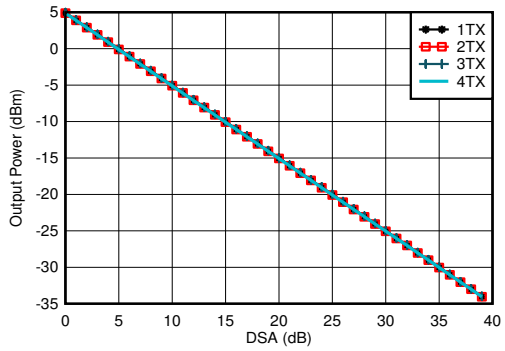
7.12.9 800 MHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



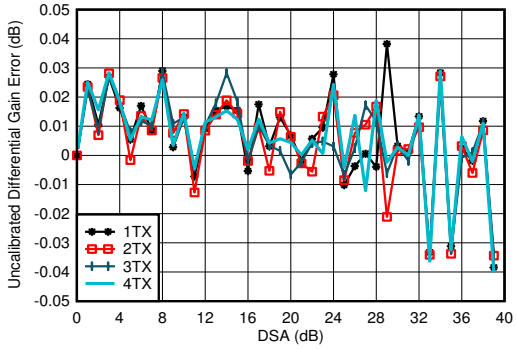
包括 PCB 和电缆损耗，A_{out} = -0.5dBFS，DSA = 0，0.8GHz 匹配

图 7-309. TX 输出满量程与温度间的关系



f_{DAC} = 11796.48MSPS，交错模式，A_{out} = -0.5dBFS，匹配 0.8GHz

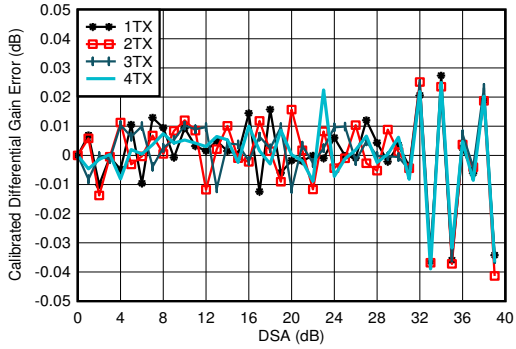
图 7-310. 0.85GHz 条件下 TX 输出功率与 DSA 设置和通道间的关系



f_{DAC} = 5898.24MSPS，交错模式，在 0.8GHz 下匹配

差分增益误差 = P_{OUT}（DSA 设置 – 1）– P_{OUT}（DSA 设置）+ 1

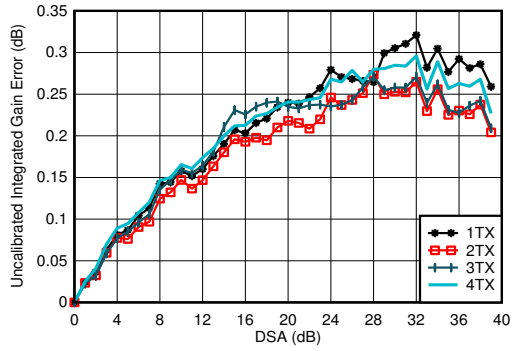
图 7-311. 0.85GHz 条件下 TX 未校准差分增益误差与 DSA 设置和通道间的关系



f_{DAC} = 5898.24MSPS，交错模式，在 0.8GHz 下匹配

差分增益误差 = P_{OUT}（DSA 设置 – 1）– P_{OUT}（DSA 设置）+ 1

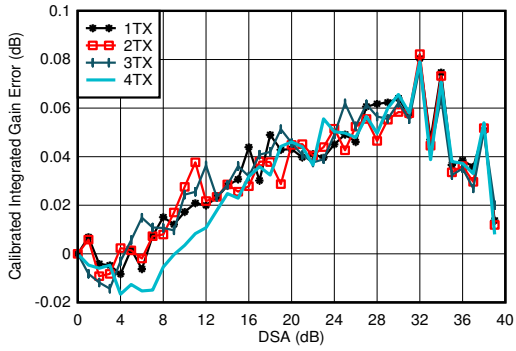
图 7-312. 0.85GHz 条件下 TX 校准差分增益误差与 DSA 设置和通道间的关系



f_{DAC} = 5898.24MSPS，交错模式，在 0.8GHz 下匹配

积分增益误差 = P_{OUT}（DSA 设置）- P_{OUT}（DSA 设置 = 0）+ DSA 设置

图 7-313. 0.85GHz 条件下 TX 未校准积分增益误差与 DSA 设置和通道间的关系



f_{DAC} = 5898.24MSPS，交错模式，在 0.8GHz 下匹配

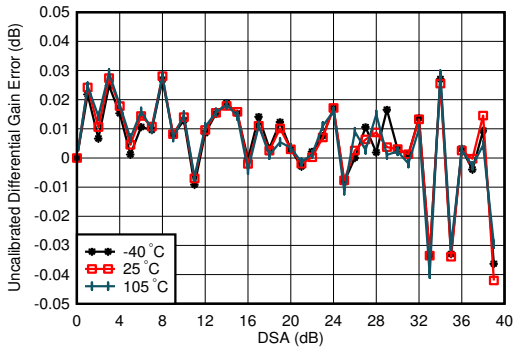
积分增益误差 = P_{OUT}（DSA 设置）- P_{OUT}（DSA 设置 = 0）+ DSA 设置

图 7-314. 0.85GHz 条件下 TX 校准积分增益误差与 DSA 设置和通道间的关系

Copyright © 2023 Texas Instruments Incorporated

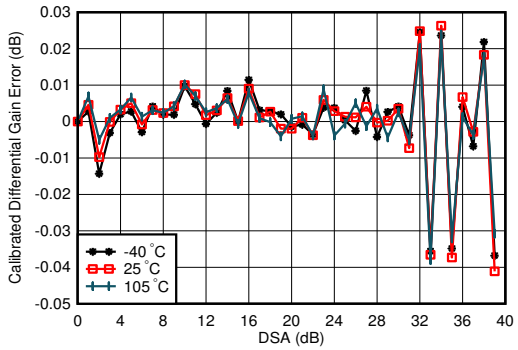
7.12.9 800 MHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



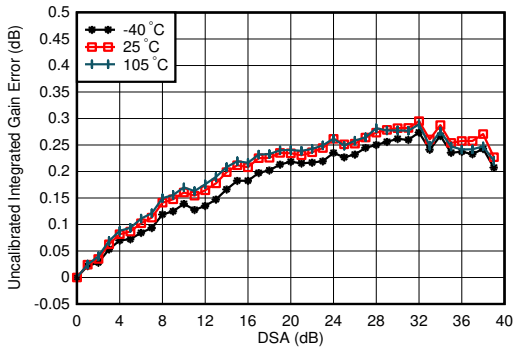
f_{DAC} = 5898.24MSPS，交错模式，在 0.8GHz 下匹配
差分增益误差 = P_{OUT}（DSA 设置 – 1）– P_{OUT}（DSA 设置）+ 1

图 7-315. 0.85GHz 条件下 TX 未校准差分增益误差与 DSA 设置和温度间的关系



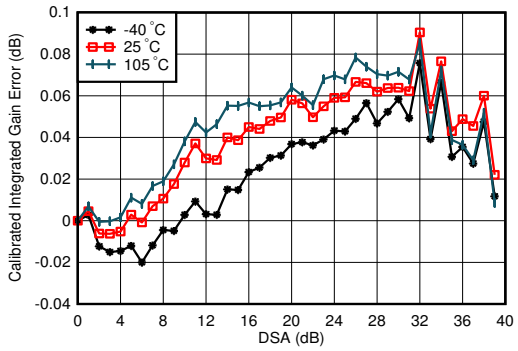
f_{DAC} = 5898.24MSPS，交错模式，在 0.8GHz 下匹配
差分增益误差 = P_{OUT}（DSA 设置 – 1）– P_{OUT}（DSA 设置）+ 1

图 7-316. 0.85GHz 条件下 TX 校准差分增益误差与 DSA 设置和温度间的关系



f_{DAC} = 5898.24MSPS，交错模式，在 0.8GHz 下匹配
积分增益误差 = P_{OUT}（DSA 设置）- P_{OUT}（DSA 设置 = 0）+ DSA 设置

图 7-317. 0.85GHz 条件下 TX 未校准积分增益误差与 DSA 设置和温度间的关系

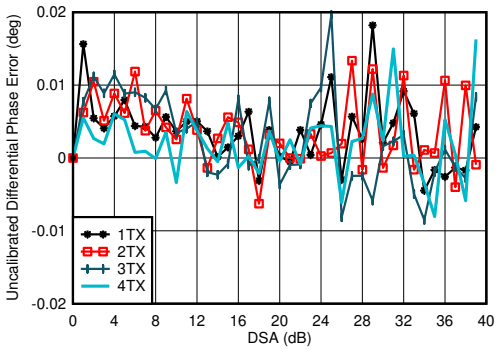


f_{DAC} = 5898.24MSPS，交错模式，在 0.8GHz 下匹配
积分增益误差 = P_{OUT}（DSA 设置）- P_{OUT}（DSA 设置 = 0）+ DSA 设置

图 7-318. 0.85GHz 条件下 TX 校准积分增益误差与 DSA 设置和温度间的关系

7.12.9 800 MHz 下的 TX 典型特性 (continued)

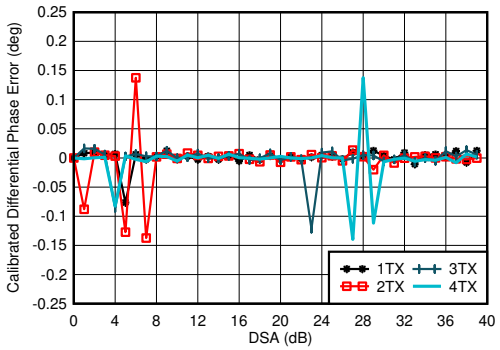
T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



f_{DAC} = 5898.24MSPS，交错模式，在 0.8GHz 下匹配

差分相位误差 = $Phase_{OUT}$（DSA 设置 – 1）– $Phase_{OUT}$（DSA 设置）

图 7-319. 0.85GHz 条件下 TX 未校准差分相位误差与 DSA 设置和通道间的关系

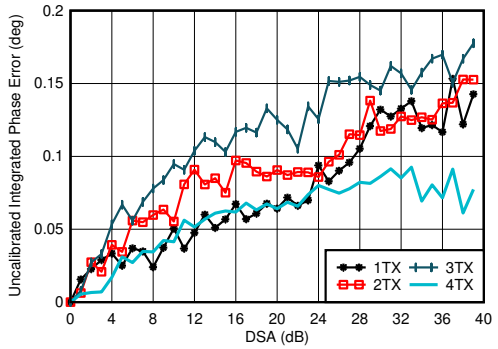


f_{DAC} = 5898.24MSPS，交错模式，在 0.8GHz 下匹配

差分相位误差 = $Phase_{OUT}$（DSA 设置 – 1）– $Phase_{OUT}$（DSA 设置）

任何 DSA 设置下都可能出现相位 DNL 峰值。

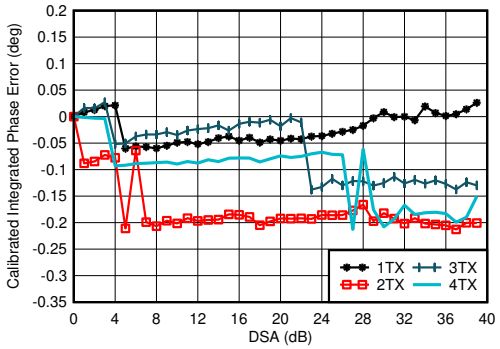
图 7-320. 0.85GHz 条件下 TX 校准差分相位误差与 DSA 设置和通道间的关系



f_{DAC} = 5898.24MSPS，交错模式，在 0.8GHz 下匹配

积分相位误差 = $Phase_{OUT}$（DSA 设置）- $Phase_{OUT}$（DSA 设置 = 0）

图 7-321. 0.85GHz 条件下 TX 未校准积分相位误差与 DSA 设置和通道间的关系



f_{DAC} = 5898.24MSPS，交错模式，在 0.8GHz 下匹配

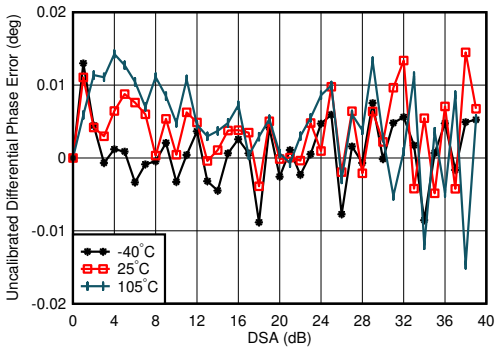
积分相位误差 = $Phase_{OUT}$（DSA 设置）- $Phase_{OUT}$（DSA 设置 = 0）

图 7-322. 0.85GHz 条件下 TX 校准积分相位误差与 DSA 设置和通道间的关系

Copyright © 2023 Texas Instruments Incorporated

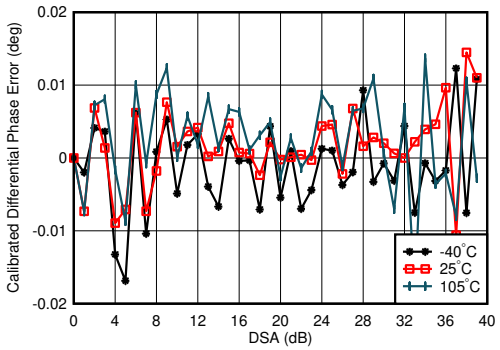
7.12.9 800 MHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



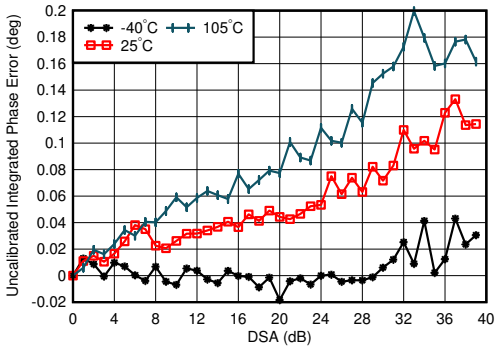
f_{DAC} = 5898.24MSPS，交错模式，在 0.8GHz 下匹配
差分相位误差 = $Phase_{OUT}$（DSA 设置 – 1）– $Phase_{OUT}$（DSA 设置）+ 1

图 7-323. 0.85GHz 条件下 TX 未校准差分相位误差与 DSA 设置和温度间的关系



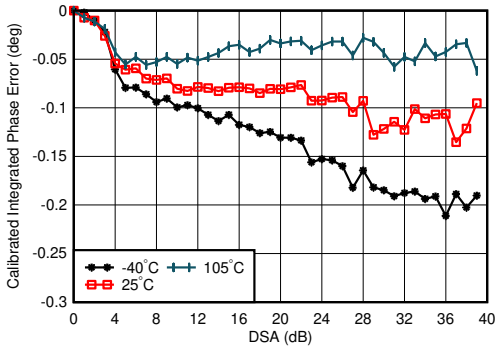
f_{DAC} = 5898.24MSPS，交错模式，在 0.8GHz 条件下匹配，在 25°C 下，随着 DSA 设置的变化，通道中位数改变
差分相位误差 = $Phase_{OUT}$（DSA 设置 – 1）– $Phase_{OUT}$（DSA 设置）+ 1

图 7-324. 0.85GHz 条件下 TX 校准差分相位误差与 DSA 设置和温度间的关系



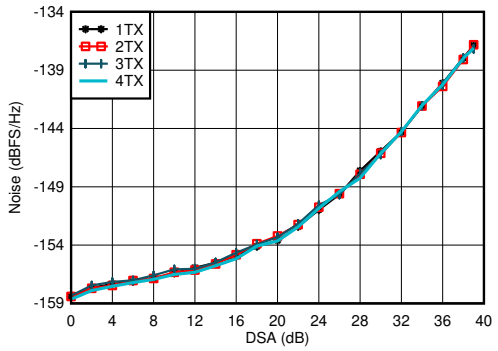
f_{DAC} = 5898.24MSPS，交错模式，在 0.8GHz 下匹配
积分相位误差 = $Phase_{OUT}$（DSA 设置）- $Phase_{OUT}$（DSA 设置 = 0）

图 7-325. 0.85GHz 条件下 TX 未校准积分相位误差与 DSA 设置和温度间的关系



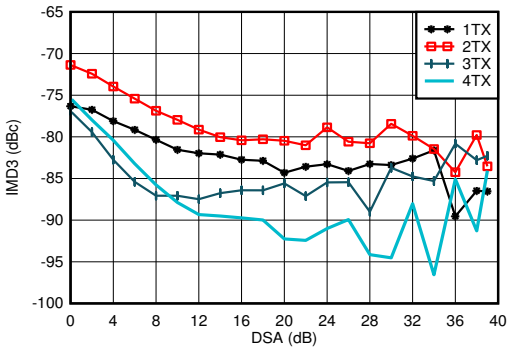
f_{DAC} = 5898.24MSPS，交错模式，在 0.8GHz 下匹配
积分相位误差 = $Phase_{OUT}$（DSA 设置）- $Phase_{OUT}$（DSA 设置 = 0）

图 7-326. 0.85GHz 条件下 TX 校准积分相位误差与 DSA 设置和温度间的关系



f_{DAC} = 5898.24MSPS，交错模式，在 0.8GHz 条件下匹配，P_{OUT} = –13dBFS

图 7-327. 0.85GHz 条件下 TX 输出噪声与通道和衰减间的关系

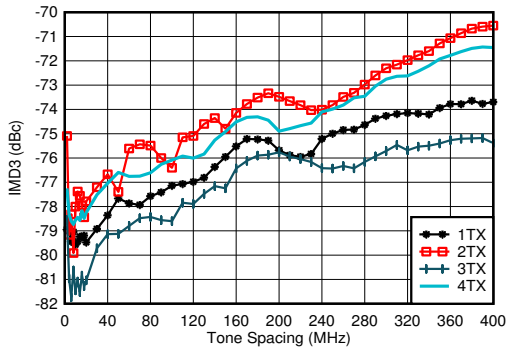


f_{DAC} = 11796.48MSPS，交错模式，f_{CENTER} = 0.85GHz，在 0.8GHz 条件下匹配，单音幅度为 -13dBFS

图 7-328. 0.85GHz 条件下 TX IMD3 与 DSA 设置间的关系

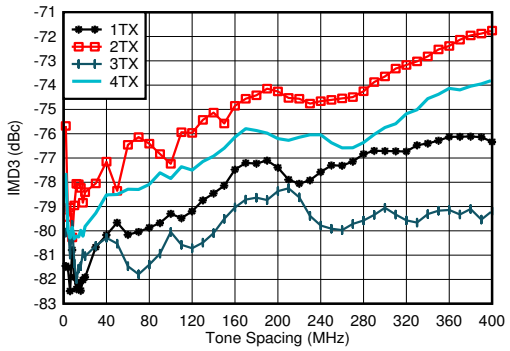
7.12.9 800 MHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



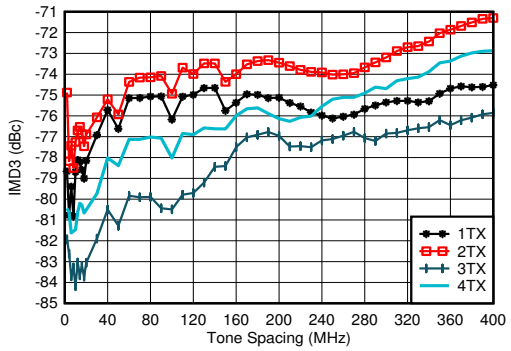
f_{DAC} = 5898.24MSPS，直接模式，f_{CENTER} = 0.85GHz，在 0.8GHz 条件下匹配，单音幅度为 -13dBFS

图 7-329. 0.85GHz 条件下 TX IMD3 与频率间隔和通道间的关系



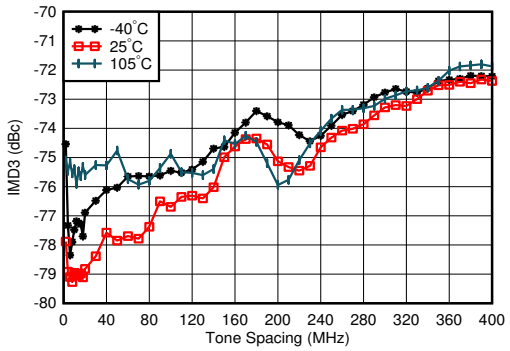
f_{DAC} = 8847.36MSPS，直接模式，f_{CENTER} = 0.85GHz，在 0.8GHz 条件下匹配，单音幅度为 -13dBFS

图 7-330. 0.85GHz 条件下 TX IMD3 与频率间隔和通道间的关系



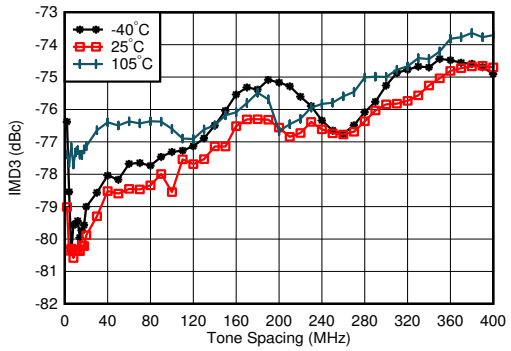
f_{DAC} = 11796.48MSPS，交错模式，f_{CENTER} = 0.85GHz，在 0.8GHz 条件下匹配，单音幅度为 -13dBFS

图 7-331. 0.85GHz 条件下 TX IMD3 与频率间隔和通道间的关系



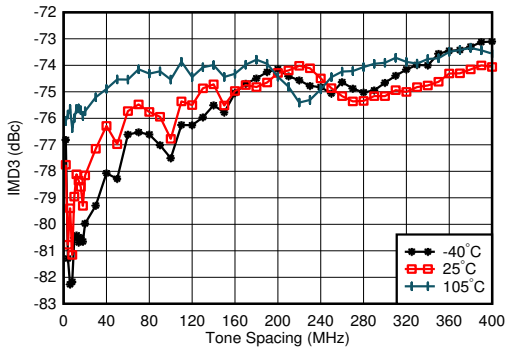
f_{DAC} = 5898.24MSPS，直接模式，f_{CENTER} = 0.85GHz，在 0.8GHz 条件下匹配，单音幅度为 -13dBFS，最差通道

图 7-332. 0.85GHz 条件下 TX IMD3 与频率间隔和温度间的关系



f_{DAC} = 8847.36MSPS，直接模式，f_{CENTER} = 0.85GHz，在 0.8GHz 条件下匹配，单音幅度为 -13dBFS，最差通道

图 7-333. 0.85GHz 条件下 TX IMD3 与频率间隔和温度间的关系



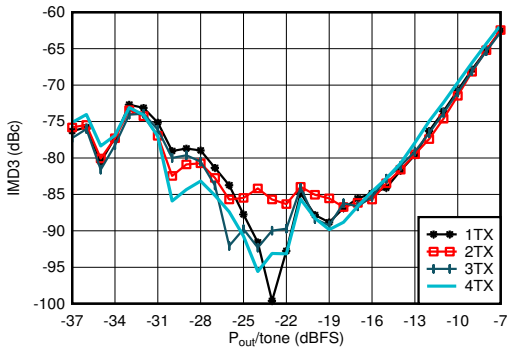
f_{DAC} = 11796.48MSPS，直接模式，f_{CENTER} = 0.85GHz，在 0.8GHz 条件下匹配，单音幅度为 -13dBFS，最差通道

图 7-334. 0.85GHz 条件下 TX IMD3 与频率间隔和温度间的关系

Copyright © 2023 Texas Instruments Incorporated

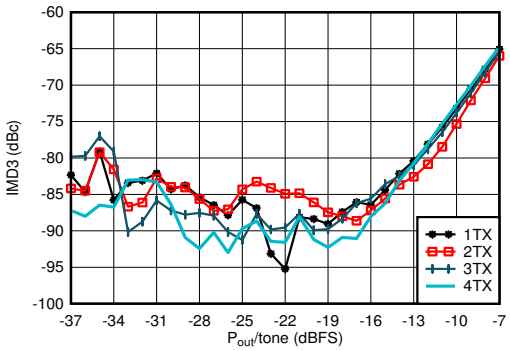
7.12.9 800 MHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



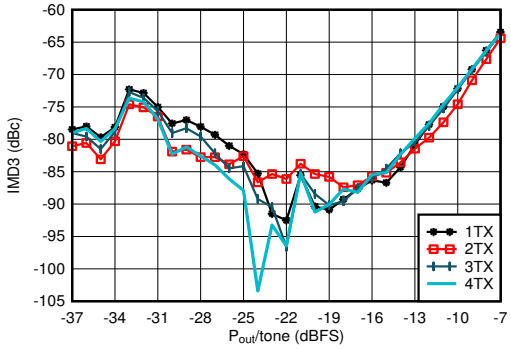
f_{DAC} = 5898.24MSPS，直接模式，f_{CENTER} = 0.85GHz，$f_{SPACING}$ = 20MHz，在 0.8GHz 条件下匹配

图 7-335. 0.85GHz 条件下 TX IMD3 与数字电平间的关系



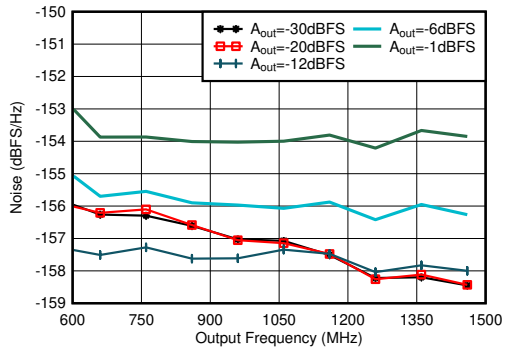
f_{DAC} = 8847.36MSPS，直接模式，f_{CENTER} = 0.85GHz，$f_{SPACING}$ = 20MHz，在 0.8GHz 条件下匹配

图 7-336. 0.85GHz 条件下 TX IMD3 与数字电平间的关系



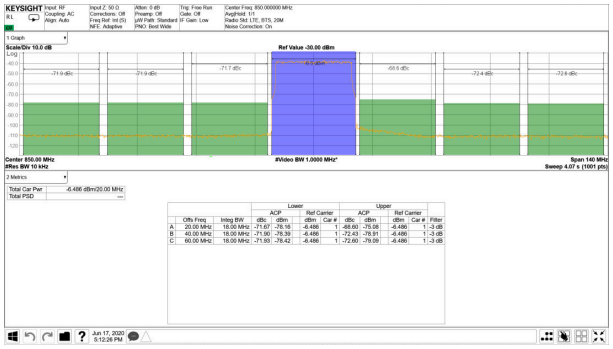
f_{DAC} = 11796.48MSPS，交错模式，f_{CENTER} = 0.85GHz，$f_{SPACING}$ = 20MHz，在 0.8GHz 条件下匹配

图 7-337. 0.85GHz 条件下 TX IMD3 与数字电平间的关系



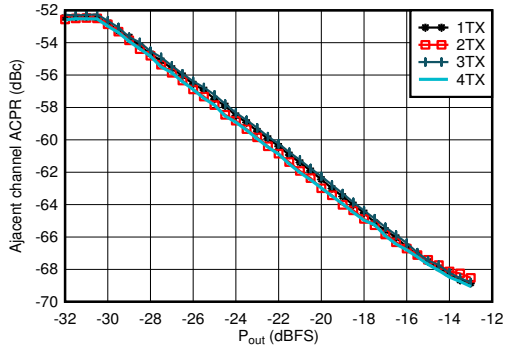
在 0.8GHz 条件下匹配，单音，f_{DAC} = 11.79648GSPS，交错模式，40MHz 偏移，DSA = 0dB

图 7-338. 0.85GHz 条件下 TX 单音输出噪声与频率和振幅间的关系



TM1.1，P_{OUT_RMS} = –13dBFS

图 7-339. 0.85GHz 条件下的 TX 20MHz LTE 输出频谱

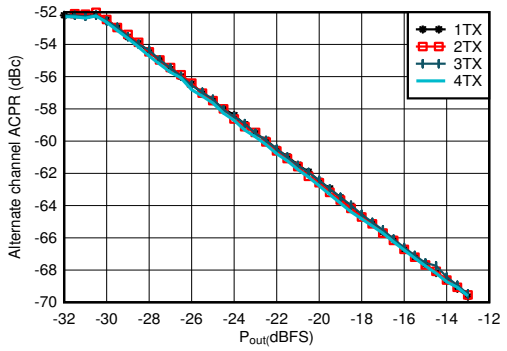


在 0.8GHz 条件下匹配，单载波 20MHz BW TM1.1 LTE

图 7-340. 0.85GHz 条件下 TX 20MHz LTE ACPR 与数字电平间的关系

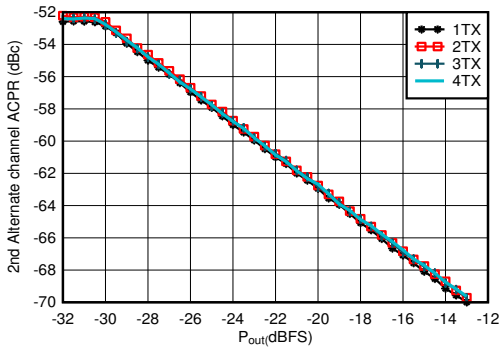
7.12.9 800 MHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



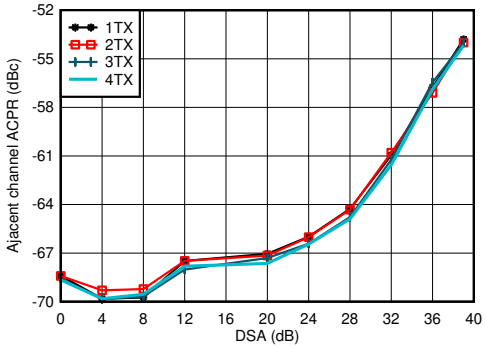
在 0.8GHz 条件下匹配，单载波 20MHz BW TM1.1 LTE

图 7-341. 0.85GHz 条件下 TX 20MHz LTE alt-ACPR 与数字电平间的关系



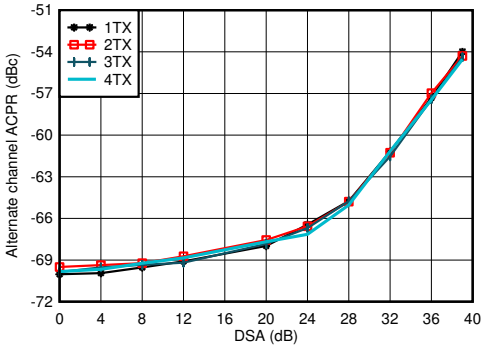
在 0.8GHz 条件下匹配，单载波 20MHz BW TM1.1 LTE

图 7-342. 0.85GHz 条件下 TX 20MHz LTE alt2-ACPR 与数字电平间的关系



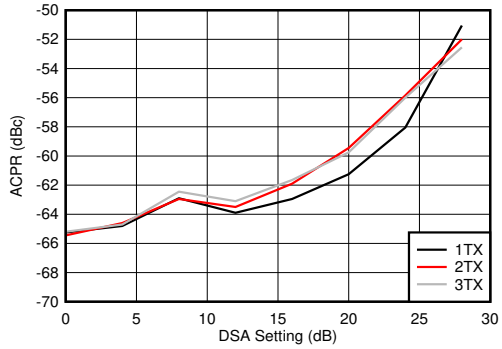
在 0.8GHz 条件下匹配，单载波 20MHz BW TM1.1 LTE

图 7-343. 0.85GHz 条件下 TX 20MHz LTE ACPR 与 DSA 间的关系



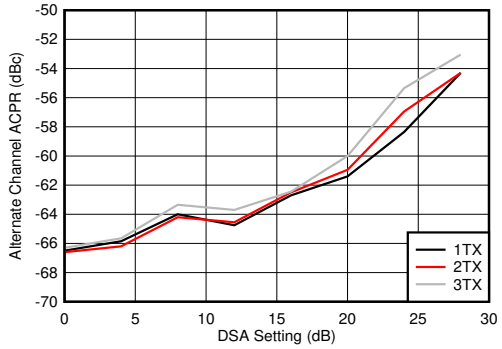
在 0.8GHz 条件下匹配，单载波 20MHz BW TM1.1 LTE

图 7-344. 0.85GHz 条件下 TX 20MHz LTE alt-ACPR 与 DSA 间的关系



在 0.8GHz 条件下匹配，单载波 100MHz BW TM1.1 NR

图 7-345. 0.85GHz 条件下 TX 100MHz NR ACPR 与 DSA 间的关系



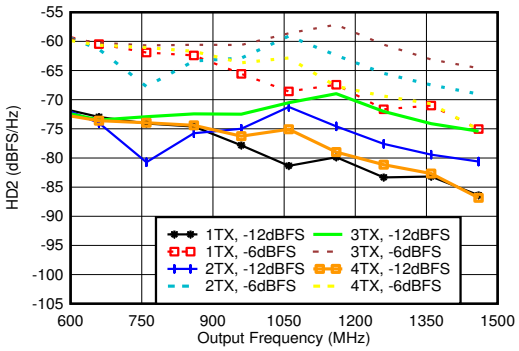
在 0.8GHz 条件下匹配，单载波 100MHz BW TM1.1 NR

图 7-346. 0.85GHz 条件下 TX 100MHz NR alt-ACPR 与 DSA 间的关系

Copyright © 2023 Texas Instruments Incorporated

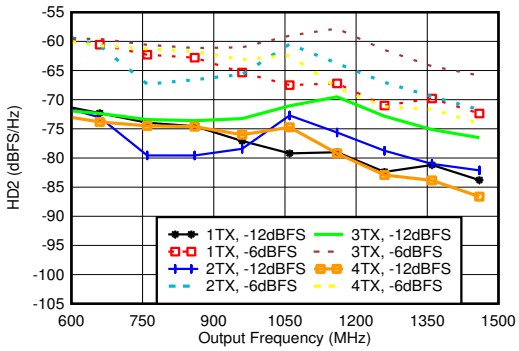
7.12.9 800 MHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



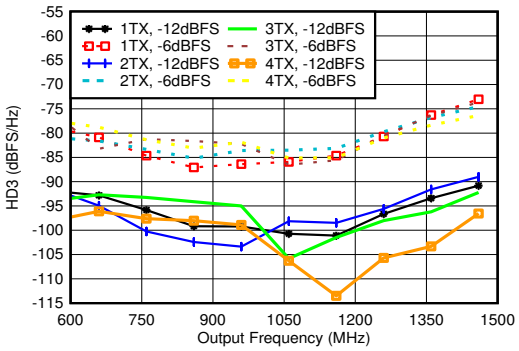
在 0.8GHz 条件下匹配，f_{DAC} = 5898.24GSPS，直接模式

图 7-347. 0.85GHz 条件下 TX HD2 与数字振幅和输出频率间的关系



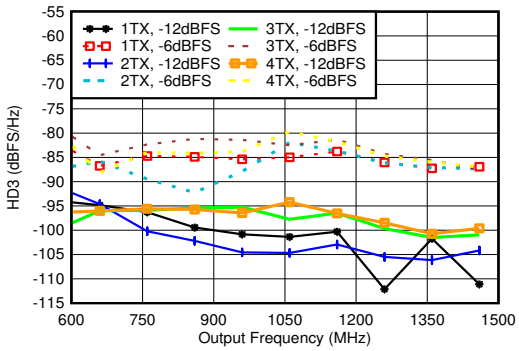
在 0.8GHz 条件下匹配，f_{DAC} = 8847.36GSPS，直接模式

图 7-348. 0.85GHz 条件下 TX HD2 与数字振幅和输出频率间的关系



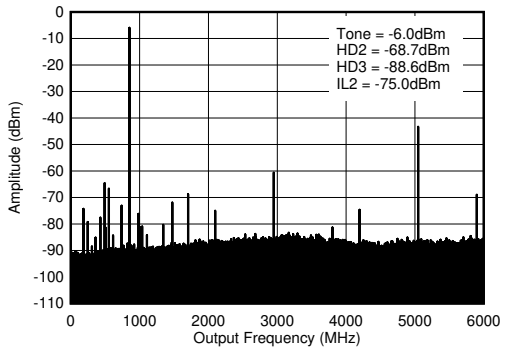
在 0.8GHz 条件下匹配，f_{DAC} = 5898.24MSPS，直接模式，标准化为谐波频率下的输出功率

图 7-349. 0.85GHz 条件下 TX HD3 与数字振幅和输出频率间的关系



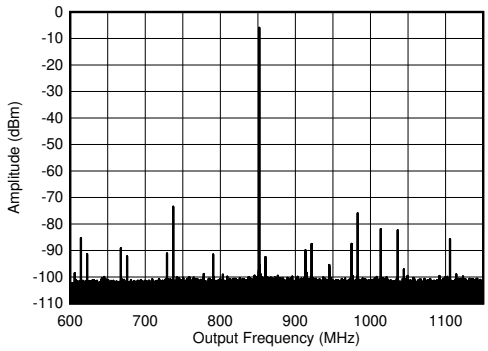
在 0.8GHz 条件下匹配，f_{DAC} = 8847.36MSPS，直接模式，标准化为谐波频率下的输出功率

图 7-350. 0.85GHz 条件下 TX HD3 与数字振幅和输出频率间的关系



f_{DAC} = 5898.24MSPS，交错模式，0.8GHz 匹配，包括 PCB 和电缆损耗。ILn = $f_S/n \pm f_{OUT}$。

图 7-351. 0.85GHz (0-f_{DAC}) 条件下的 TX 单音 (–12dBFS) 输出频谱

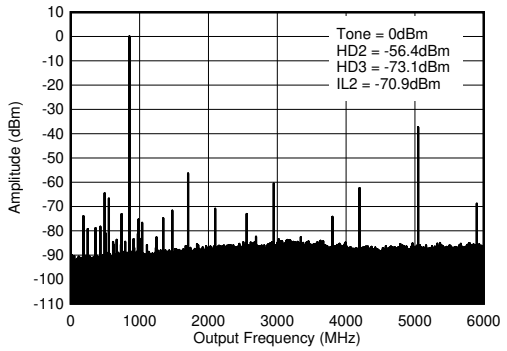


f_{DAC} = 5898.24MSPS，交错模式，0.8GHz 匹配，包括 PCB 和电缆损耗

图 7-352. 0.85GHz (±300MHz) 条件下的 TX 单音 (–12dBFS) 输出频谱

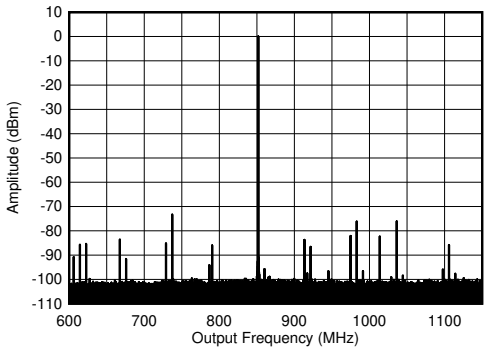
7.12.9 800 MHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



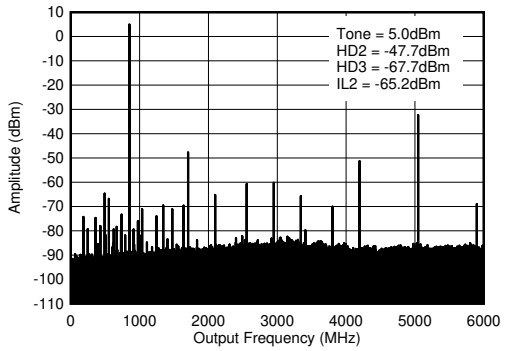
f_{DAC} = 5898.24MSPS，交错模式，0.8GHz 匹配，包括 PCB 和电缆损耗。ILn = $f_S/n \pm f_{OUT}$。

图 7-353. 0.85GHz (0-f_{DAC}) 条件下的 TX 单音 (–6dBFS) 输出频谱



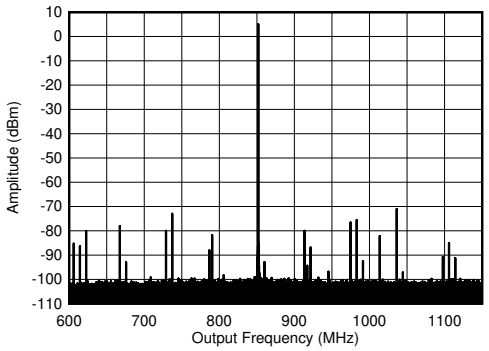
f_{DAC} = 5898.24MSPS，交错模式，0.8GHz 匹配，包括 PCB 和电缆损耗

图 7-354. 0.85GHz (±300MHz) 条件下的 TX 单音 (–6dBFS) 输出频谱



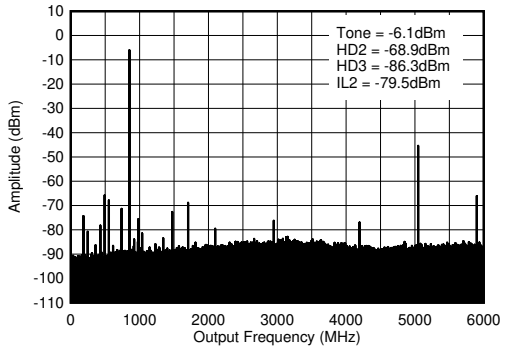
f_{DAC} = 5898.24MSPS，交错模式，0.8GHz 匹配，包括 PCB 和电缆损耗。ILn = $f_S/n \pm f_{OUT}$。

图 7-355. 0.85GHz (0-f_{DAC}) 条件下的 TX 单音 (–1dBFS) 输出频谱



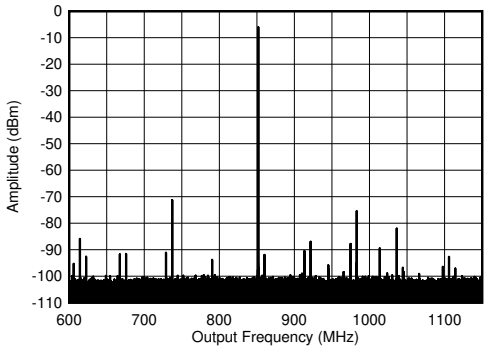
f_{DAC} = 5898.24MSPS，交错模式，0.8GHz 匹配，包括 PCB 和电缆损耗

图 7-356. 0.85GHz (±300MHz) 条件下的 TX 单音 (–1dBFS) 输出频谱



f_{DAC} = 5898.24MSPS，直接模式，0.8GHz 匹配，包括 PCB 和电缆损耗。ILn = $f_S/n \pm f_{OUT}$，并且是由于与数字时钟混合而导致此结果。

图 7-357. 0.85GHz (0-f_{DAC}) 条件下的 TX 单音 (–12dBFS) 输出频谱



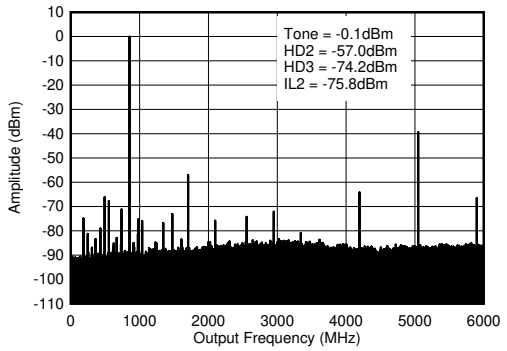
f_{DAC} = 5898.24MSPS，直接模式，0.8GHz 匹配，包括 PCB 和电缆损耗

图 7-358. 0.85GHz (±300MHz) 条件下的 TX 单音 (–12dBFS) 输出频谱

Copyright © 2023 Texas Instruments Incorporated

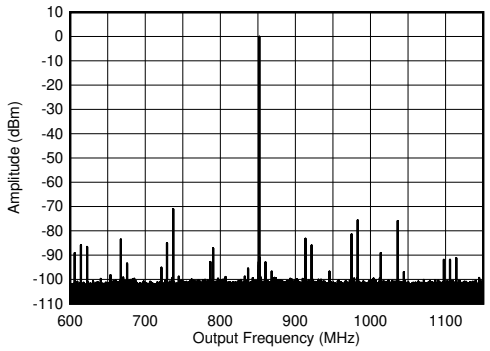
7.12.9 800 MHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



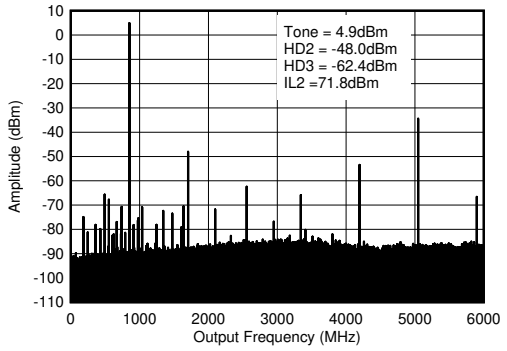
f_{DAC} = 5898.24MSPS，直接模式，0.8GHz 匹配，包括 PCB 和电缆损耗。ILn = $f_S/n \pm f_{OUT}$，并且是由于与数字时钟混合而导致此结果。

图 7-359. 0.85GHz (0-f_{DAC}) 条件下的 TX 单音 (–6dBFS) 输出频谱



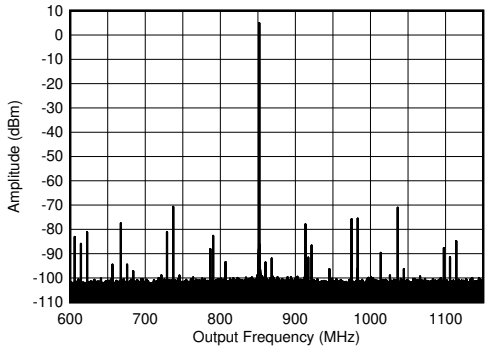
f_{DAC} = 5898.24MSPS，直接模式，0.8GHz 匹配，包括 PCB 和电缆损耗

图 7-360. 0.85GHz (±300MHz) 条件下的 TX 单音 (–6dBFS) 输出频谱



f_{DAC} = 5898.24MSPS，直接模式，0.8GHz 匹配，包括 PCB 和电缆损耗。ILn = $f_S/n \pm f_{OUT}$，并且是由于与数字时钟混合而导致此结果。

图 7-361. 0.85GHz (0-f_{DAC}) 条件下的 TX 单音 (–1dBFS) 输出频谱

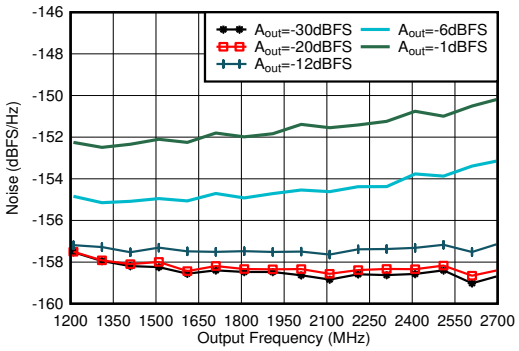


f_{DAC} = 5898.24MSPS，直接模式，0.8GHz 匹配，包括 PCB 和电缆损耗

图 7-362. 0.85GHz (±300MHz) 条件下的 TX 单音 (–1dBFS) 输出频谱

7.12.10 1.8 GHz 下的 TX 典型特性

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。

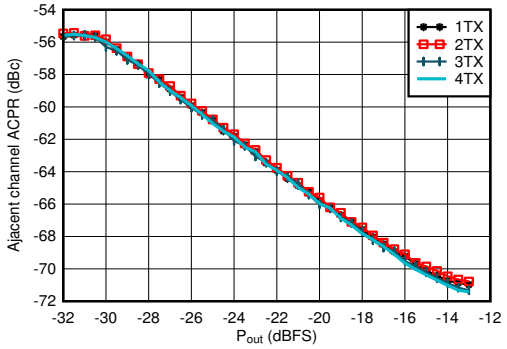


在 1.8GHz 条件下匹配，单音，f_{DAC} = 11.79648GSPS，交错模式，40MHz 偏移

图 7-363. 1.8GHz 条件下 TX 单音输出噪声与频率和振幅间的关系

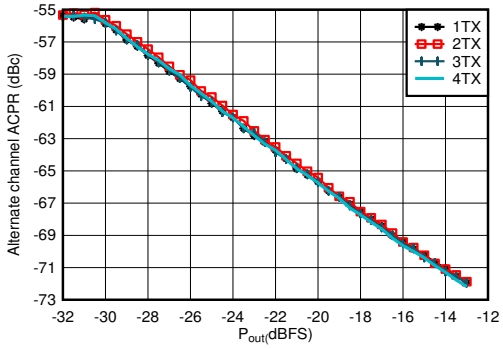
TM1.1，P_{OUT_RMS} = –13dBFS

图 7-364. 1.8425GHz 条件下的 TX 20MHz LTE 输出频谱



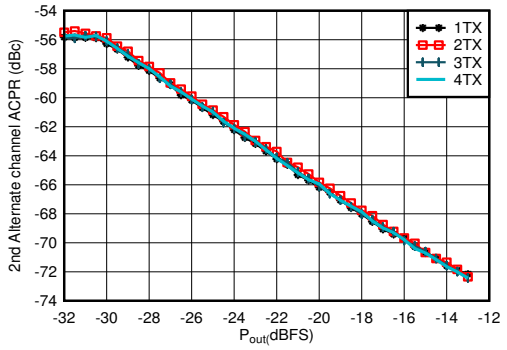
在 1.8GHz 条件下匹配，单载波 20MHz BW TM1.1 LTE

图 7-365. 1.8425GHz 条件下 TX 20MHz LTE ACPR 与数字电平间的关系



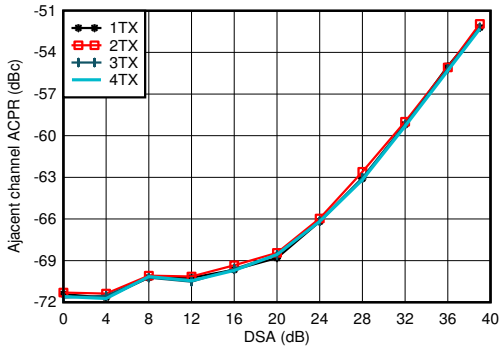
在 1.8GHz 条件下匹配，单载波 20MHz BW TM1.1 LTE

图 7-366. 1.8425GHz 条件下 TX 20MHz LTE alt-ACPR 与数字电平间的关系



在 1.8GHz 条件下匹配，单载波 20MHz BW TM1.1 LTE

图 7-367. 1.8425GHz 条件下 TX 20MHz LTE alt2-ACPR 与数字电平间的关系



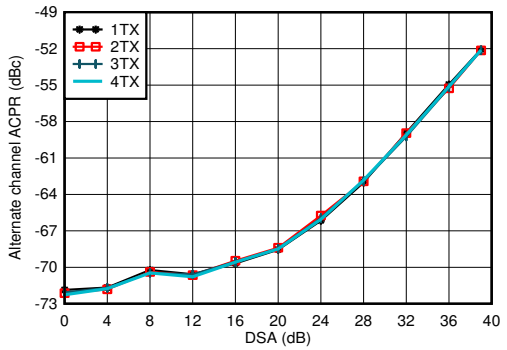
在 1.8GHz 条件下匹配，单载波 20MHz BW TM1.1 LTE

图 7-368. 1.8GHz 条件下 TX 20MHz LTE ACPR 与 DSA 间的关系

Copyright © 2023 Texas Instruments Incorporated

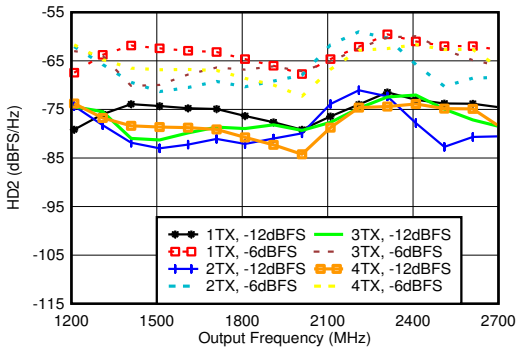
7.12.10 1.8 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



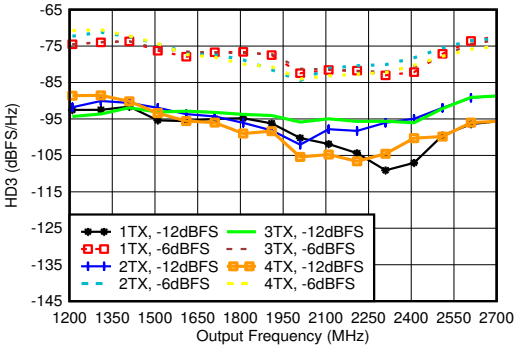
在 1.8GHz 条件下匹配，单载波 20MHz BW TM1.1 LTE

图 7-369. 1.8GHz 条件下 TX 20MHz LTE alt-ACPR 与 DSA 间的关系



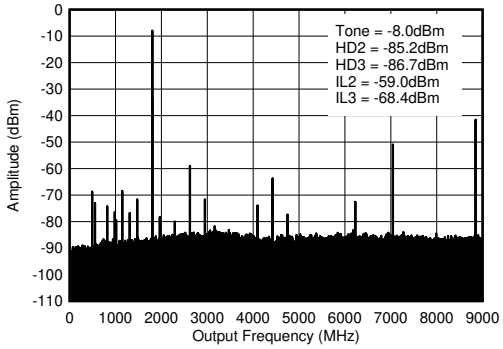
在 1.8GHz 条件下匹配，f_{DAC} = 11.79648GSPS，交错模式，标准化为谐波频率下的输出功率

图 7-370. 1.8GHz 条件下 TX HD2 与数字振幅和输出频率间的关系



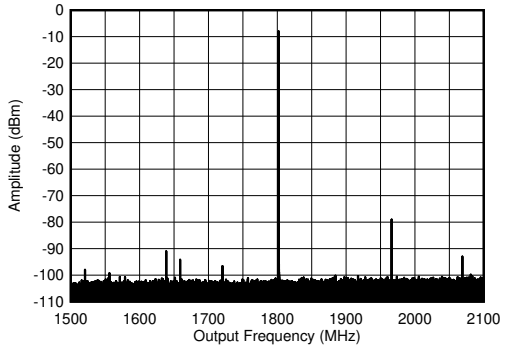
在 1.8GHz 条件下匹配，f_{DAC} = 11.79648GSPS，交错模式，标准化为谐波频率下的输出功率

图 7-371. 1.8GHz 条件下 TX HD3 与数字振幅和输出频率间的关系



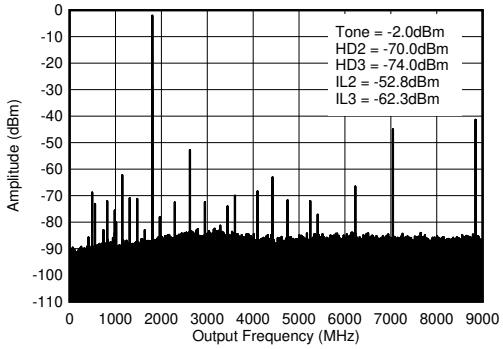
f_{DAC} = 8847.36MSPS，交错模式，1.8GHz 匹配，包括 PCB 和电缆损耗。ILn = $f_S/n \pm f_{OUT}$。

图 7-372. 1.8GHz (0 - f_{DAC}) 条件下的 TX 单音 (–12dBFS) 输出频谱



f_{DAC} = 8847.36MSPS，交错模式，1.8GHz 匹配，包括 PCB 和电缆损耗

图 7-373. 1.8GHz (±300MHz) 条件下的 TX 单音 (–12dBFS) 输出频谱

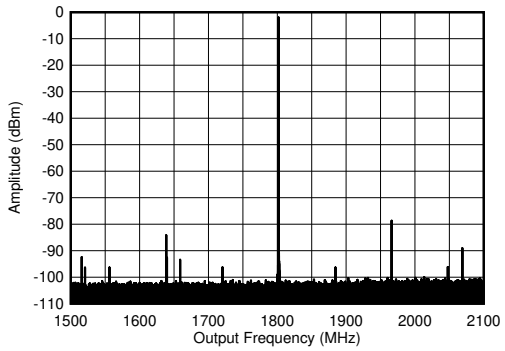


f_{DAC} = 8847.36MSPS，交错模式，1.8GHz 匹配，包括 PCB 和电缆损耗。ILn = $f_S/n \pm f_{OUT}$。

图 7-374. 1.8GHz (0 - f_{DAC}) 条件下的 TX 单音 (–6dBFS) 输出频谱

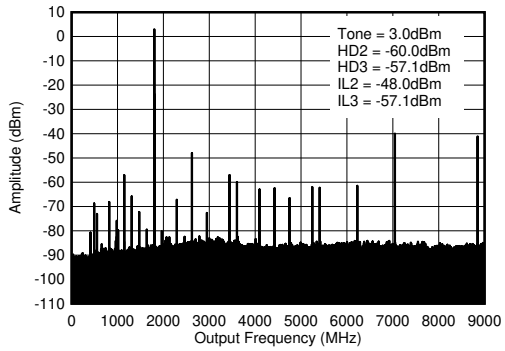
7.12.10 1.8 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



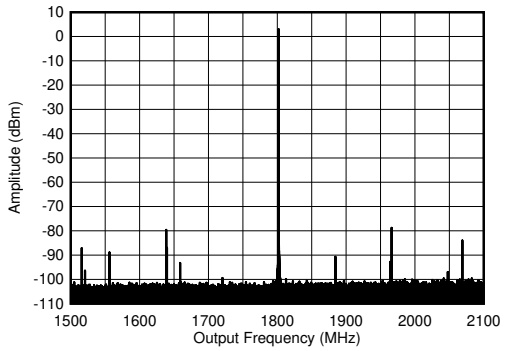
f_{DAC} = 8847.36MSPS，交错模式，1.8GHz 匹配，包括 PCB 和电缆损耗

图 7-375. 1.8GHz (±300MHz) 条件下的 TX 单音 (–6dBFS) 输出频谱



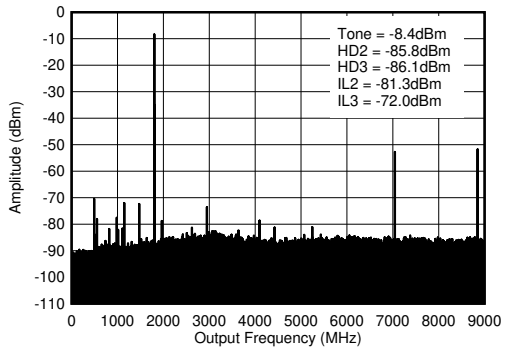
f_{DAC} = 8847.36MSPS，交错模式，1.8GHz 匹配，包括 PCB 和电缆损耗。ILn = $f_S/n \pm f_{OUT}$。

图 7-376. 1.8GHz (0 - f_{DAC}) 条件下的 TX 单音 (–1dBFS) 输出频谱



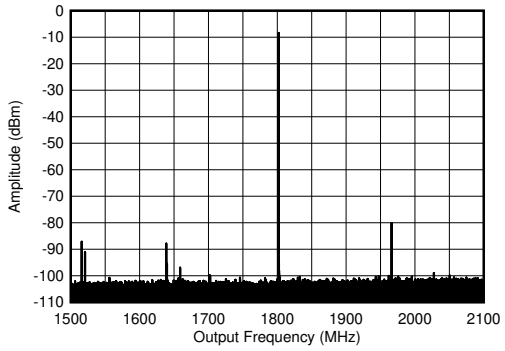
f_{DAC} = 8847.36MSPS，交错模式，1.8GHz 匹配，包括 PCB 和电缆损耗

图 7-377. 1.8GHz (±300MHz) 条件下的 TX 单音 (–1dBFS) 输出频谱



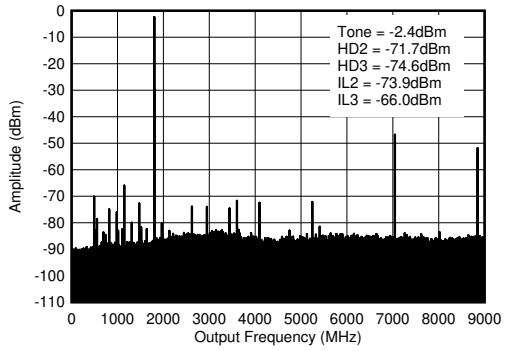
f_{DAC} = 8847.36MSPS，直接模式，1.8GHz 匹配，包括 PCB 和电缆损耗。ILn = $f_S/n \pm f_{OUT}$，并且是由于与数字时钟混合而导致此结果。

图 7-378. 1.8GHz (0 - f_{DAC}) 条件下的 TX 单音 (–12dBFS) 输出频谱



f_{DAC} = 8847.36MSPS，直接模式，1.8GHz 匹配，包括 PCB 和电缆损耗

图 7-379. 1.8GHz (±300MHz) 条件下的 TX 单音 (–12dBFS) 输出频谱



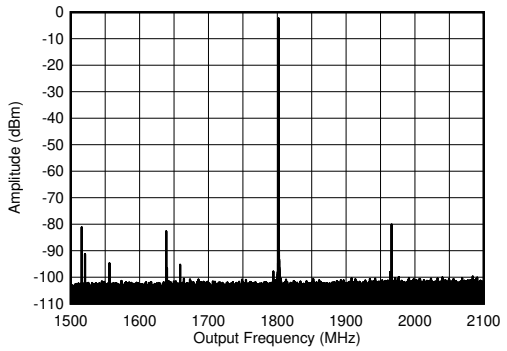
f_{DAC} = 8847.36MSPS，直接模式，1.8GHz 匹配，包括 PCB 和电缆损耗。ILn = $f_S/n \pm f_{OUT}$，并且是由于与数字时钟混合而导致此结果。

图 7-380. 1.8GHz (0 - f_{DAC}) 条件下的 TX 单音 (–6dBFS) 输出频谱

Copyright © 2023 Texas Instruments Incorporated

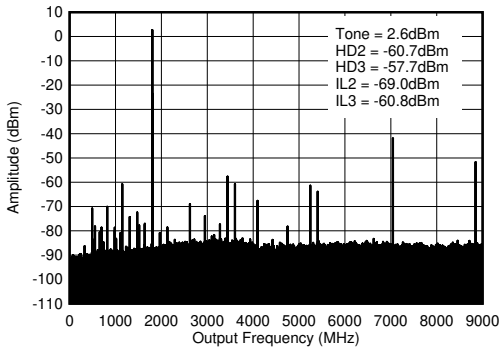
7.12.10 1.8 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



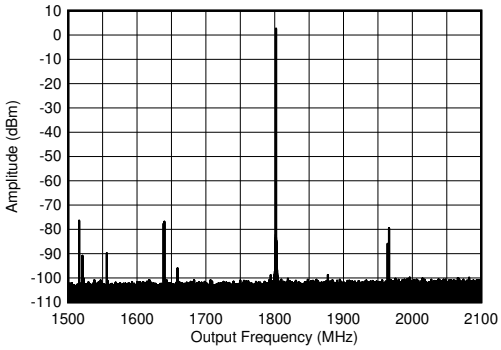
f_{DAC} = 8847.36MSPS，直接模式，1.8GHz 匹配，包括 PCB 和电缆损耗

图 7-381. 1.8GHz (±300MHz) 条件下的 TX 单音 (–6dBFS) 输出频谱



f_{DAC} = 8847.36MSPS，直接模式，1.8GHz 匹配，包括 PCB 和电缆损耗。ILn = $f_S/n \pm f_{OUT}$，并且是由于与数字时钟混合而导致此结果。

图 7-382. 1.8GHz (0 - f_{DAC}) 条件下的 TX 单音 (–1dBFS) 输出频谱

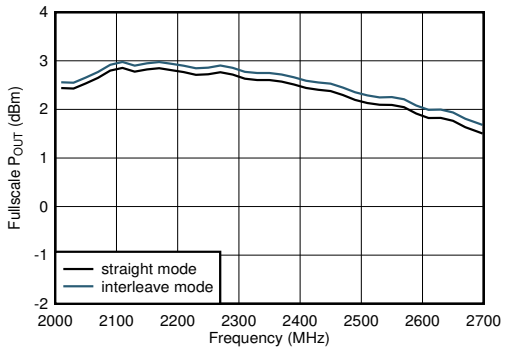


f_{DAC} = 8847.36MSPS，直接模式，1.8GHz 匹配，包括 PCB 和电缆损耗

图 7-383. 1.8GHz (±300MHz) 条件下的 TX 单音 (–1dBFS) 输出频谱

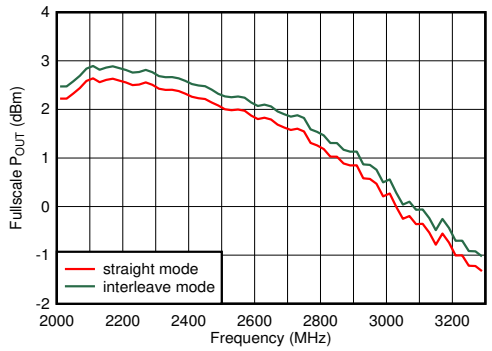
7.12.11 2.6 GHz 下的 TX 典型特性

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



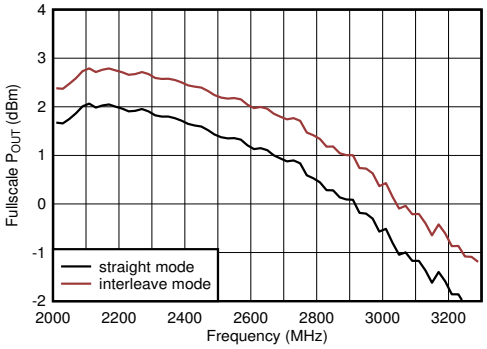
包括 PCB 和电缆损耗，A_{out} = -0.5dBFS，DSA = 0，2.6GHz 匹配

图 7-384. 5898.24MSPS 条件下 TX 满量程与射频频率间的关系



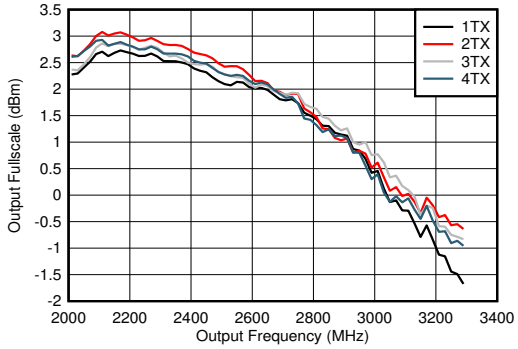
包括 PCB 和电缆损耗，A_{out} = -0.5dBFS，DSA = 0，2.6GHz 匹配

图 7-385. 8847.36MSPS 条件下 TX 满量程与射频频率间的关系



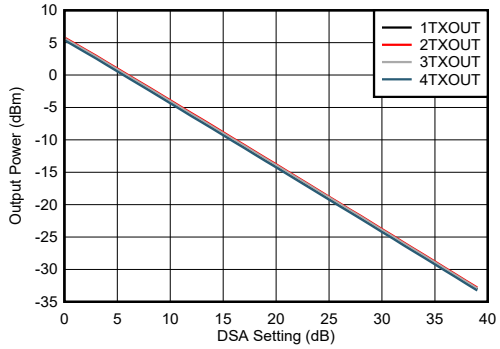
包括 PCB 和电缆损耗，A_{out} = -0.5dBFS，DSA = 0，2.6GHz 匹配

图 7-386. 11796.48MSPS 条件下 TX 满量程与射频频率间的关系



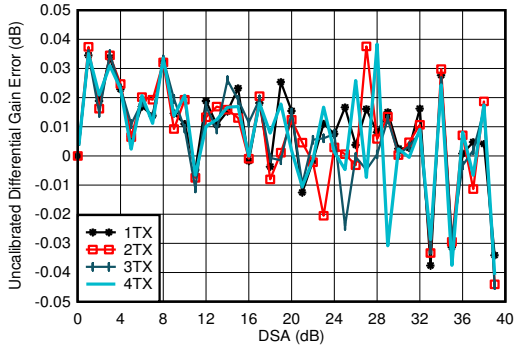
f_{DAC} = 8847.36MSPS，交错模式，包括 PCB 和电缆损耗，A_{out} = -0.5dBFS，DSA = 0，2.6GHz 匹配

图 7-387. TX 输出满量程与输出频率和通道间的关系



f_{DAC} = 8847.36MSPS，A_{out} = -0.5dBFS，匹配 2.6GHz

图 7-388. 2.6GHz 条件下 TX 输出功率与 DSA 设置和通道间的关系



f_{DAC} = 8847.36MSPS，直接模式，在 2.6GHz 条件下匹配

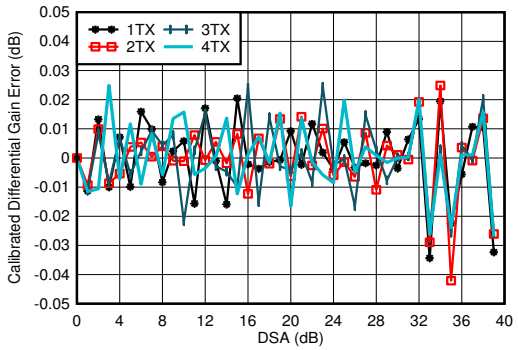
差分增益误差 = P_{OUT}（DSA 设置 – 1）– P_{OUT}（DSA 设置）+ 1

图 7-389. 2.6GHz 条件下 TX 未校准差分增益误差与 DSA 设置和通道间的关系

Copyright © 2023 Texas Instruments Incorporated

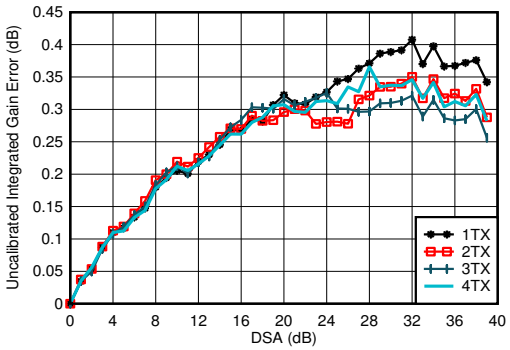
7.12.11 2.6 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



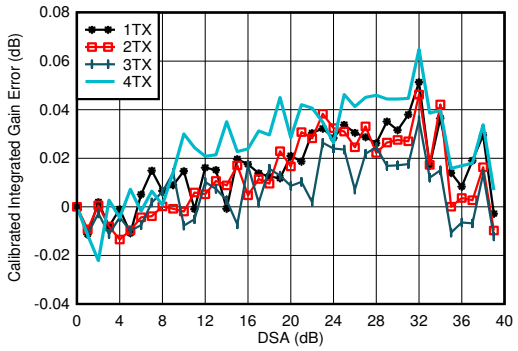
f_{DAC} = 8847.36MSPS，直接模式，在 2.6GHz 条件下匹配
差分增益误差 = P_{OUT}（DSA 设置 – 1）– P_{OUT}（DSA 设置）+ 1

图 7-390. 2.6GHz 条件下 TX 校准差分增益误差与 DSA 设置和通道间的关系



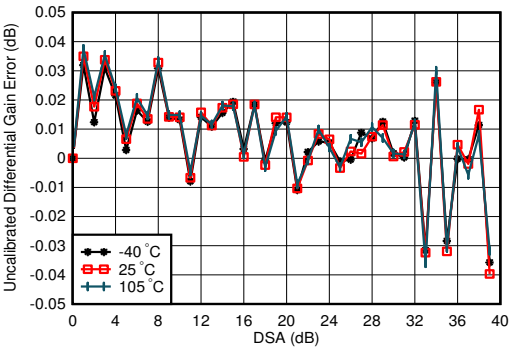
f_{DAC} = 8847.36MSPS，直接模式，在 2.6GHz 条件下匹配
积分增益误差 = P_{OUT}（DSA 设置）- P_{OUT}（DSA 设置 = 0）+（DSA 设置）

图 7-391. 2.6GHz 条件下 TX 未校准积分增益误差与 DSA 设置和通道间的关系



f_{DAC} = 8847.36MSPS，直接模式，在 2.6GHz 条件下匹配
积分增益误差 = P_{OUT}（DSA 设置）- P_{OUT}（DSA 设置 = 0）+（DSA 设置）

图 7-392. 2.6GHz 条件下 TX 校准积分增益误差与 DSA 设置和通道间的关系

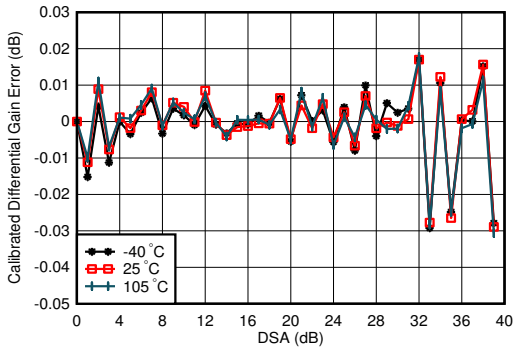


f_{DAC} = 8847.36MSPS，直接模式，在 2.6GHz 条件下匹配，在 25°C 下，随着 DSA 设置的变化，通道中位数改变
差分增益误差 = P_{OUT}（DSA 设置 – 1）– P_{OUT}（DSA 设置）+ 1

图 7-393. 2.6GHz 条件下 TX 未校准差分增益误差与 DSA 设置和温度间的关系

7.12.11 2.6 GHz 下的 TX 典型特性 (continued)

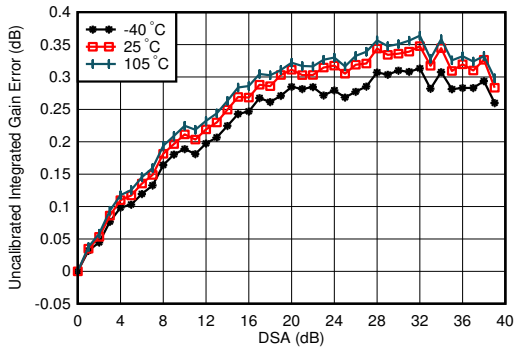
T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



f_{DAC} = 8847.36MSPS，直接模式，在 2.6GHz 条件下匹配，在 25°C 下，随着 DSA 设置的变化，通道中位数改变

差分增益误差 = P_{OUT}（DSA 设置 – 1）– P_{OUT}（DSA 设置）+ 1

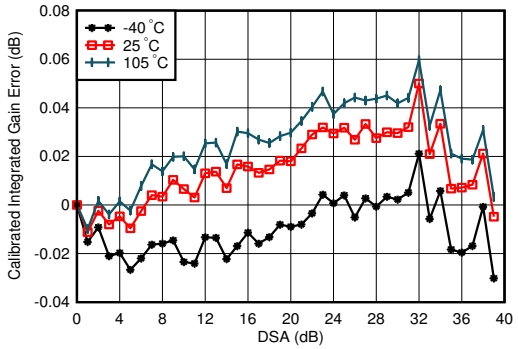
图 7-394. 2.6GHz 条件下 TX 校准差分增益误差与 DSA 设置和温度间的关系



f_{DAC} = 8847.36MSPS，直接模式，在 2.6GHz 条件下匹配，在 25°C 下，随着 DSA 设置的变化，通道中位数改变

积分增益误差 = P_{OUT}（DSA 设置）- P_{OUT}（DSA 设置 = 0）+（DSA 设置）

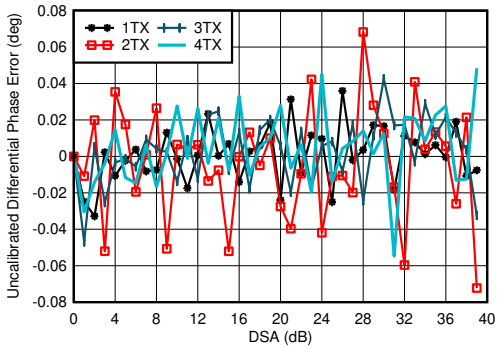
图 7-395. 2.6GHz 条件下 TX 未校准积分增益误差与 DSA 设置和温度间的关系



f_{DAC} = 8847.36MSPS，直接模式，在 2.6GHz 条件下匹配，在 25°C 下，随着 DSA 设置的变化，通道中位数改变

积分增益误差 = P_{OUT}（DSA 设置）- P_{OUT}（DSA 设置 = 0）+（DSA 设置）

图 7-396. 2.6GHz 条件下 TX 校准积分增益误差与 DSA 设置和温度间的关系



f_{DAC} = 8847.36MSPS，直接模式，在 2.6GHz 条件下匹配

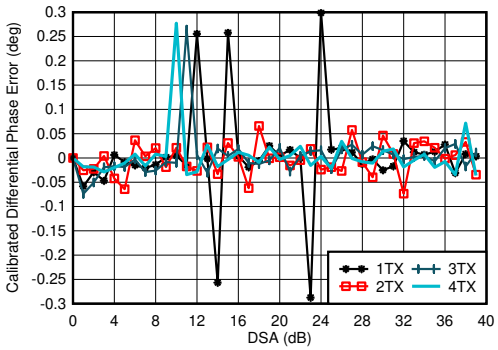
差分相位误差 = $Phase_{OUT}$（DSA 设置 – 1）– $Phase_{OUT}$（DSA 设置）

图 7-397. 2.6GHz 条件下 TX 未校准差分相位误差与 DSA 设置和通道间的关系

Copyright © 2023 Texas Instruments Incorporated

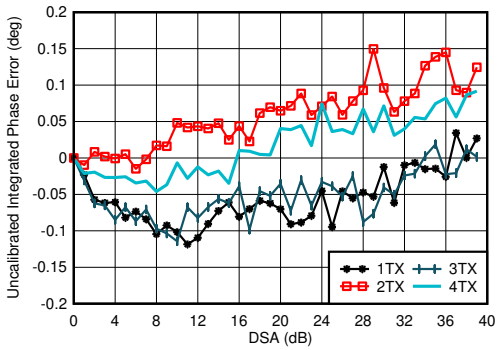
7.12.11 2.6 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



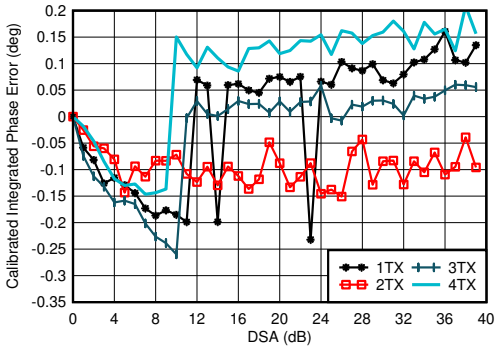
f_{DAC} = 8847.36MSPS，直接模式，在 2.6GHz 条件下匹配
差分相位误差 = $Phase_{OUT}$（DSA 设置 – 1）– $Phase_{OUT}$（DSA 设置）
任何 DSA 设置下都可能出现相位 DNL 峰值。

图 7-398. 2.6GHz 条件下 TX 校准差分相位误差与 DSA 设置和通道间的关系



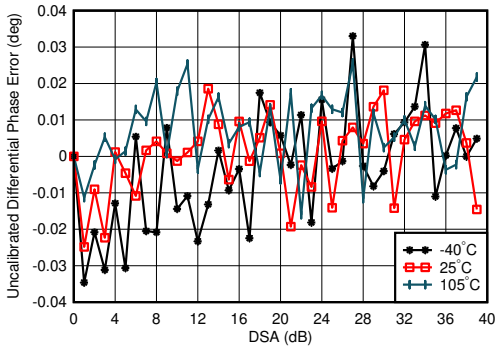
f_{DAC} = 8847.36MSPS，直接模式，在 2.6GHz 条件下匹配
积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

图 7-399. 2.6GHz 条件下 TX 未校准积分相位误差与 DSA 设置和通道间的关系



f_{DAC} = 8847.36MSPS，直接模式，在 2.6GHz 条件下匹配
积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

图 7-400. 2.6GHz 条件下 TX 校准积分相位误差与 DSA 设置和通道间的关系

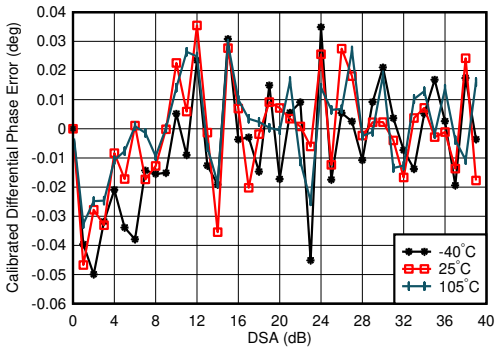


f_{DAC} = 8847.36MSPS，直接模式，在 2.6GHz 条件下匹配，在 25°C 下，随着 DSA 设置的变化，通道中位数改变
差分相位误差 = $Phase_{OUT}$（DSA 设置 – 1）– $Phase_{OUT}$（DSA 设置）

图 7-401. 2.6GHz 条件下 TX 未校准差分相位误差与 DSA 设置和温度间的关系

7.12.11 2.6 GHz 下的 TX 典型特性 (continued)

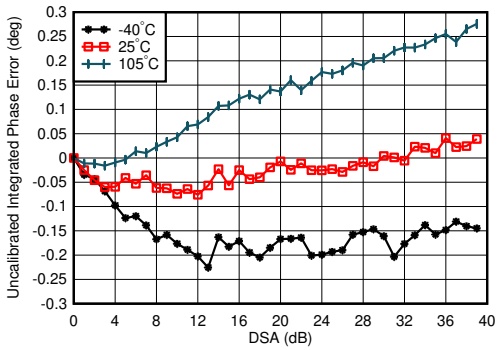
T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



f_{DAC} = 8847.36MSPS，直接模式，在 2.6GHz 条件下匹配，在 25°C 下，随着 DSA 设置的变化，通道中位数改变

差分相位误差 = $Phase_{OUT}$（DSA 设置 – 1）– $Phase_{OUT}$（DSA 设置）

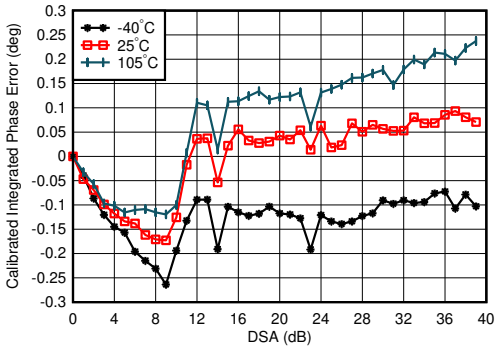
图 7-402. 2.6GHz 条件下 TX 校准差分相位误差与 DSA 设置和温度间的关系



f_{DAC} = 8847.36MSPS，直接模式，在 2.6GHz 条件下匹配，在 25°C 下，随着 DSA 设置的变化，通道中位数改变

积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

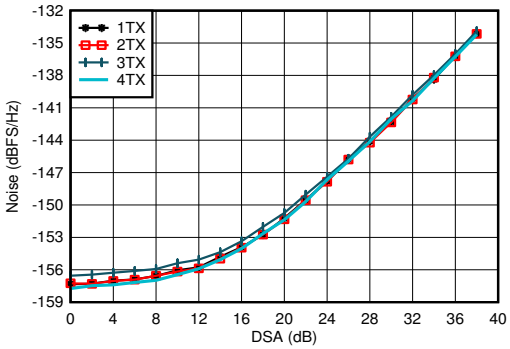
图 7-403. 2.6GHz 条件下 TX 未校准积分相位误差与 DSA 设置和温度间的关系



f_{DAC} = 8847.36MSPS，直接模式，在 2.6GHz 条件下匹配，在 25°C 下，随着 DSA 设置的变化，通道中位数改变

积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

图 7-404. 2.6GHz 条件下 TX 校准积分相位误差与 DSA 设置和温度间的关系



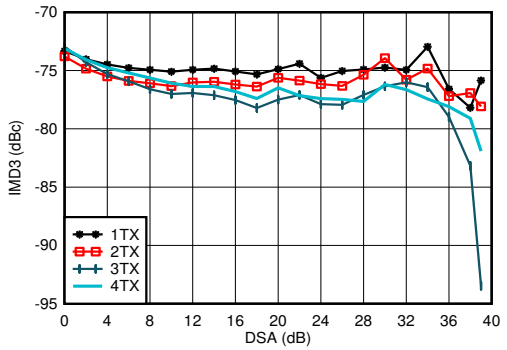
f_{DAC} = 8847.36MSPS，直接模式，在 2.6GHz 条件下匹配，P_{OUT} = –13dBFS

图 7-405. 2.6GHz 条件下 TX 输出噪声与通道和衰减间的关系

Copyright © 2023 Texas Instruments Incorporated

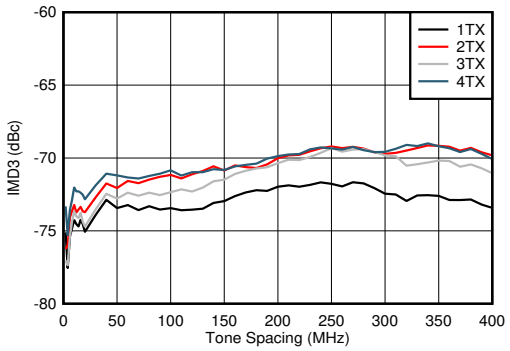
7.12.11 2.6 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



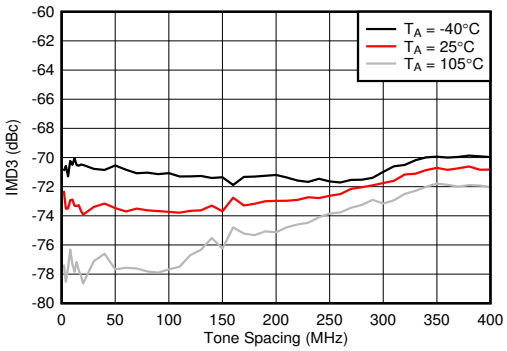
f_{DAC} = 8847.36MSPS，直接模式，f_{CENTER} = 2.6GHz，在 2.6GHz 条件下匹配，单音幅度为 -13dBFS

图 7-406. 2.6GHz 条件下 TX IMD3 与 DSA 设置间的关系



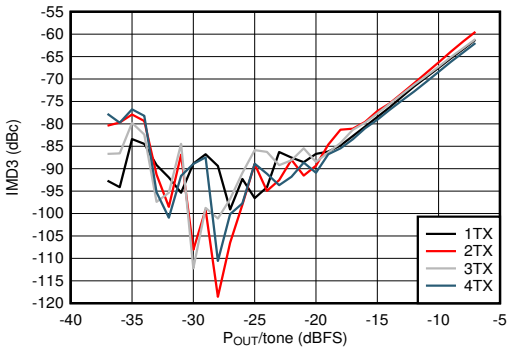
f_{DAC} = 8847.36MSPS，直接模式，f_{CENTER} = 2.6GHz，在 2.6GHz 条件下匹配，单音幅度为 -13dBFS

图 7-407. 2.6GHz 条件下 TX IMD3 与频率间隔和通道间的关系



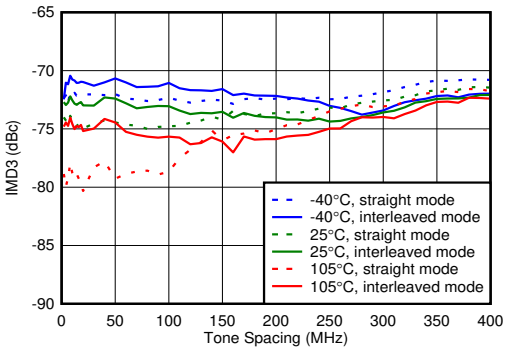
f_{DAC} = 8847.36MSPS，直接模式，f_{CENTER} = 2.6GHz，在 2.6GHz 条件下匹配，单音幅度为 -13dBFS，最差通道。

图 7-408. 2.6GHz 条件下 TX IMD3 与频率间隔和温度间的关系



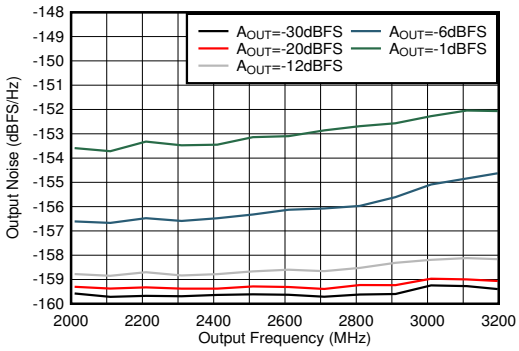
f_{DAC} = 8847.36MSPS，直接模式，f_{CENTER} = 2.6GHz，$f_{SPACING}$ = 20MHz，在 2.6GHz 条件下匹配

图 7-409. 2.6GHz 条件下 TX IMD3 与数字电平间的关系



f_{DAC} = 8847.36MSPS，直接模式，f_{CENTER} = 2.6GHz，在 2.6GHz 条件下匹配，单音幅度为 -13dBFS

图 7-410. TX IMD3 与频率间隔和温度间的关系

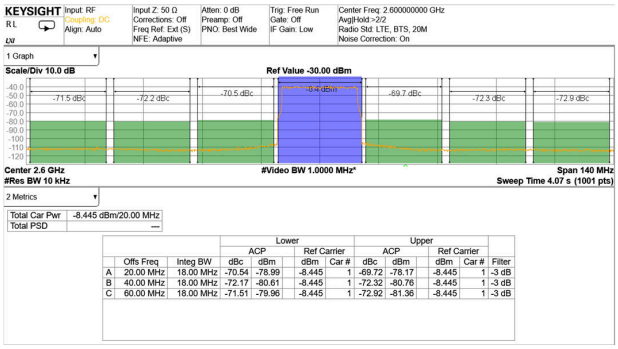


在 2.6GHz 条件下匹配，单音，f_{DAC} = 11.79648GSPS，交错模式，40MHz 偏移

图 7-411. 2.6GHz 条件下 TX 单音输出噪声与频率和振幅间的关系

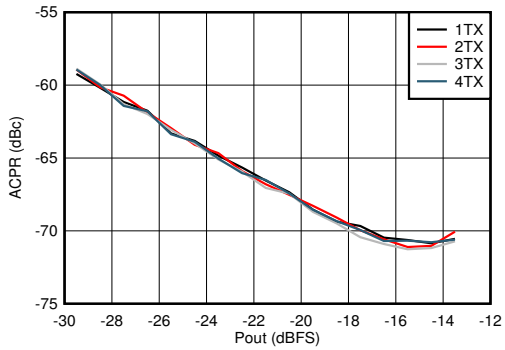
7.12.11 2.6 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



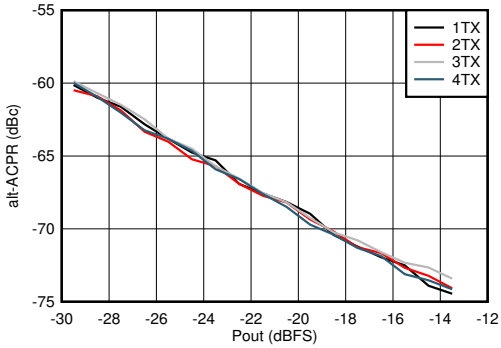
TM1.1，P_{OUT_RMS} = –13dBFS

图 7-412. 2.6GHz（频带 41）条件下的 TX 20MHz LTE 输出频谱



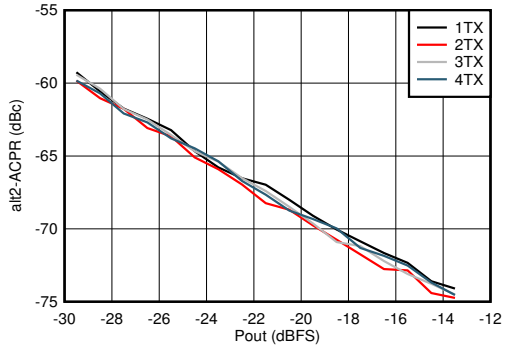
在 2.6GHz 条件下匹配，单载波 20MHz BW TM1.1 LTE

图 7-413. 2.6GHz 条件下 TX 20MHz LTE ACPR 与数字电平间的关系



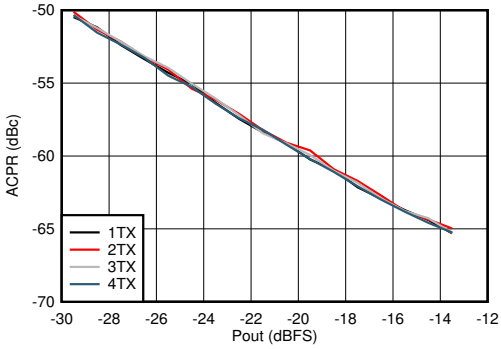
在 2.6GHz 条件下匹配，单载波 20MHz BW TM1.1 LTE

图 7-414. 2.6GHz 条件下 TX 20MHz LTE alt-ACPR 与数字电平间的关系



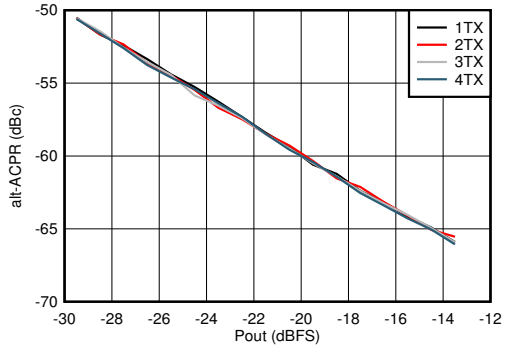
在 2.6GHz 条件下匹配，单载波 20MHz BW TM1.1 LTE

图 7-415. 2.6GHz 条件下 TX 20MHz LTE alt2-ACPR 与数字电平间的关系



在 2.6GHz 条件下匹配，单载波 100MHz BW TM1.1 NR

图 7-416. 2.6GHz 条件下 TX 100MHz NR ACPR 与数字电平间的关系



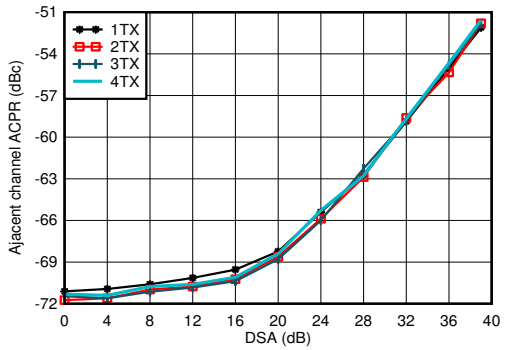
在 2.6GHz 条件下匹配，单载波 100MHz BW TM1.1 NR

图 7-417. 2.6GHz 条件下 TX 100MHz NR alt-ACPR 与数字电平间的关系

Copyright © 2023 Texas Instruments Incorporated

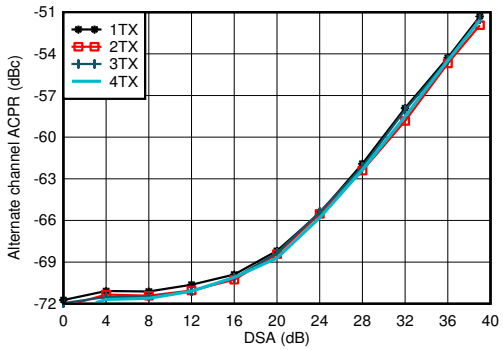
7.12.11 2.6 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



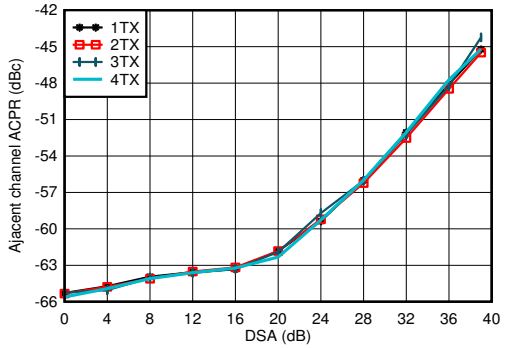
在 2.6GHz 条件下匹配，单载波 20MHz BW TM1.1 LTE

图 7-418. 2.6GHz 条件下 TX 20MHz LTE ACPR 与 DSA 间的关系



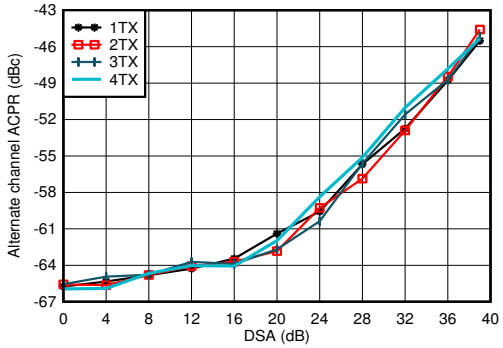
在 2.6GHz 条件下匹配，单载波 20MHz BW TM1.1 LTE

图 7-419. 2.6GHz 条件下 TX 20MHz LTE alt-ACPR 与 DSA 间的关系



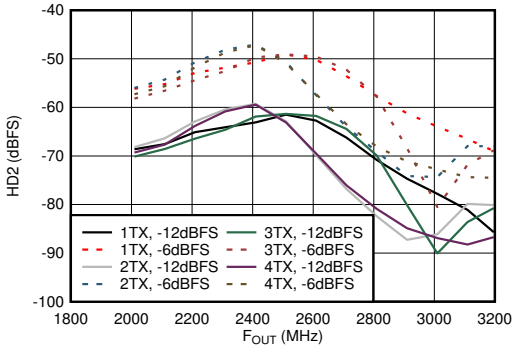
在 2.6GHz 条件下匹配，单载波 100MHz BW TM1.1 NR

图 7-420. 2.6GHz 条件下 TX 100MHz NR ACPR 与 DSA 间的关系



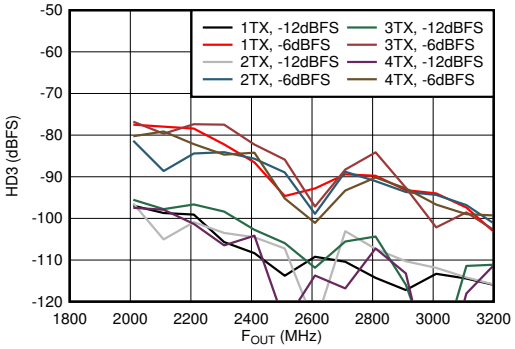
在 2.6GHz 条件下匹配，单载波 100MHz BW TM1.1 NR

图 7-421. 2.6GHz 条件下 TX 100MHz NR alt-ACPR 与 DSA 间的关系



在 2.6GHz 条件下匹配，f_{DAC} = 11.79648GSPS，交错模式，标准化为谐波频率下的输出功率

图 7-422. 2.6GHz 条件下 TX HD2 与数字振幅和输出频率间的关系

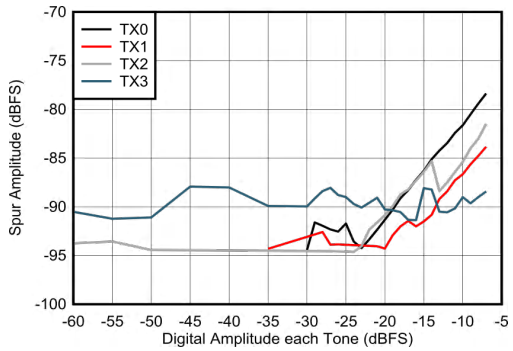


在 2.6GHz 条件下匹配，f_{DAC} = 11.79648GSPS，交错模式，标准化为谐波频率下的输出功率

图 7-423. 2.6GHz 条件下 TX HD3 与数字振幅和输出频率间的关系

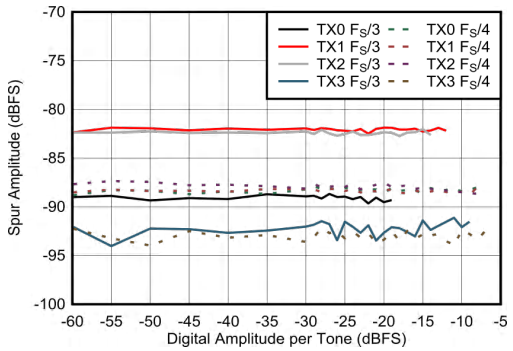
7.12.11 2.6 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



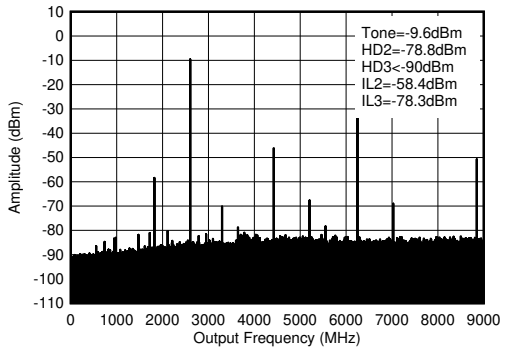
带内 = 2600MHz ± 600MHz，f_{DAC} = 12GSPS，不包括 $F_S/3$ 和 $F_S/4$，外部时钟模式，非交错模式

图 7-424. 2.6GHz 条件下双频带内 SFDR 与数字振幅间的关系



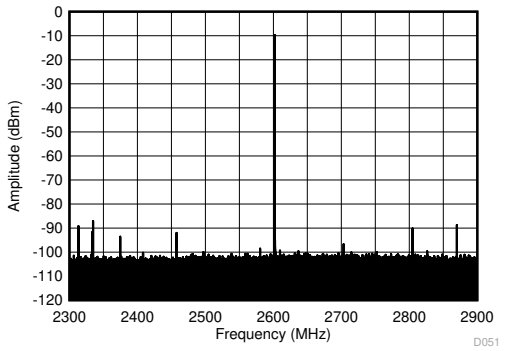
带内 = 2600MHz ± 600MHz，f_{DAC} = 12GSPS，外部时钟模式，非交错模式

图 7-425. 2.6GHz 条件下双频带内固定杂散与数字振幅间的关系



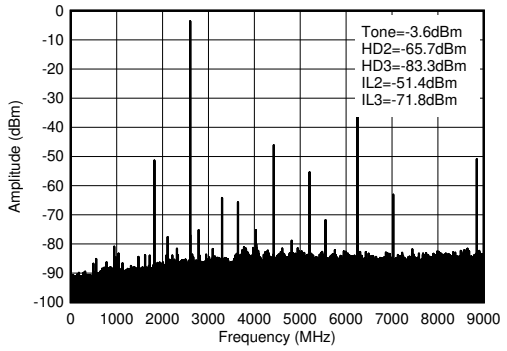
f_{DAC} = 8847.36MSPS，交错模式，2.6GHz 匹配，包括 PCB 和电缆损耗。ILn = $f_S/n \pm f_{OUT}$。

图 7-426. 2.6GHz (0 - f_{DAC}) 条件下的 TX 单音 (–12dBFS) 输出频谱



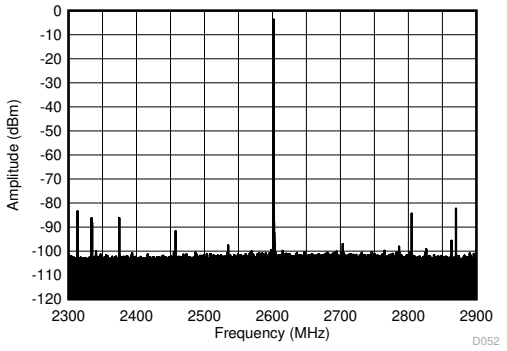
f_{DAC} = 8847.36MSPS，交错模式，2.6GHz 匹配，包括 PCB 和电缆损耗

图 7-427. 2.6GHz (±300MHz) 条件下的 TX 单音 (–12dBFS) 输出频谱



f_{DAC} = 8847.36MSPS，交错模式，2.6GHz 匹配，包括 PCB 和电缆损耗。ILn = $f_S/n \pm f_{OUT}$。

图 7-428. 2.6GHz (0 - f_{DAC}) 条件下的 TX 单音 (–6dBFS) 输出频谱



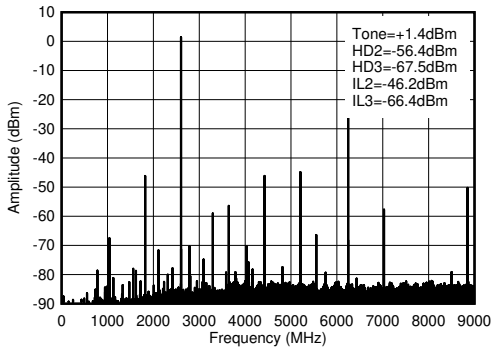
f_{DAC} = 8847.36MSPS，交错模式，2.6GHz 匹配，包括 PCB 和电缆损耗

图 7-429. 2.6GHz (±300MHz) 条件下的 TX 单音 (–6dBFS) 输出频谱

Copyright © 2023 Texas Instruments Incorporated

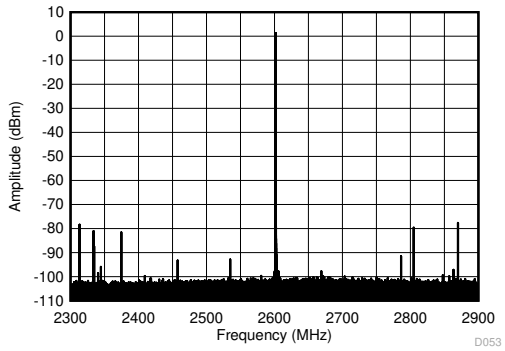
7.12.11 2.6 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



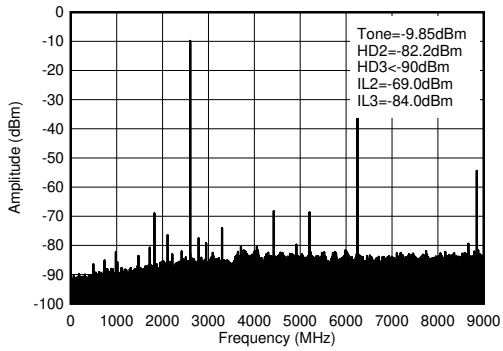
f_{DAC} = 8847.36MSPS，交错模式，2.6GHz 匹配，包括 PCB 和电缆损耗。ILn = $f_S/n \pm f_{OUT}$。

图 7-430. 2.6GHz (0-f_{DAC}) 条件下的 TX 单音 (-1dBFS) 输出频谱



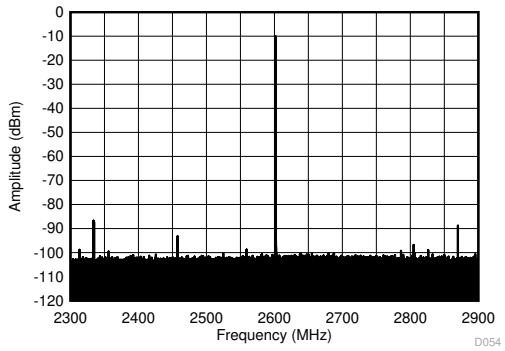
f_{DAC} = 8847.36MSPS，交错模式，2.6GHz 匹配，包括 PCB 和电缆损耗

图 7-431. 2.6GHz (±300MHz) 条件下的 TX 单音 (–1dBFS) 输出频谱



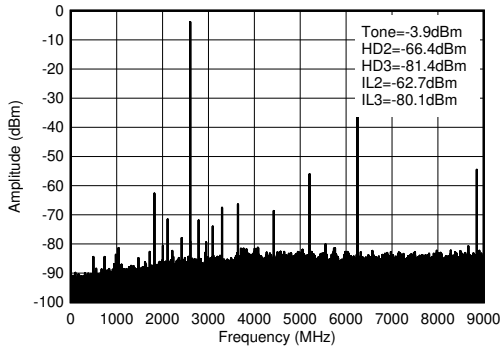
f_{DAC} = 8847.36MSPS，直接模式，2.6GHz 匹配，包括 PCB 和电缆损耗。ILn = $f_S/n \pm f_{OUT}$，并且是由于与数字时钟混合而导致此结果。

图 7-432. 2.6GHz (0 - f_{DAC}) 条件下的 TX 单音 (–12dBFS) 输出频谱



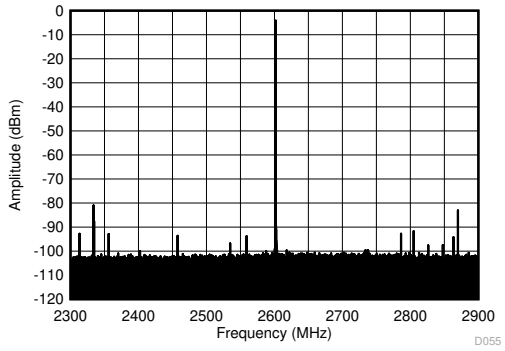
f_{DAC} = 8847.36MSPS，直接模式，2.6GHz 匹配，包括 PCB 和电缆损耗

图 7-433. 2.6GHz (±300MHz) 条件下的 TX 单音 (–12dBFS) 输出频谱



f_{DAC} = 8847.36MSPS，直接模式，2.6GHz 匹配，包括 PCB 和电缆损耗。ILn = $f_S/n \pm f_{OUT}$，并且是由于与数字时钟混合而导致此结果。

图 7-434. 2.6GHz (0 - f_{DAC}) 条件下的 TX 单音 (–6dBFS) 输出频谱

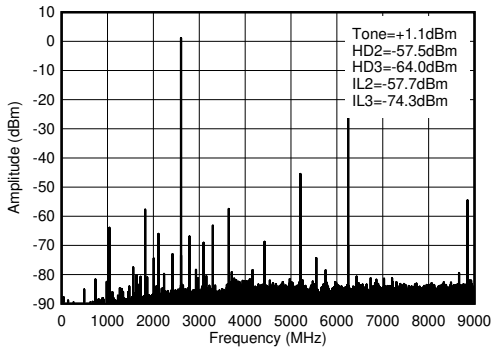


f_{DAC} = 8847.36MSPS，直接模式，2.6GHz 匹配，包括 PCB 和电缆损耗

图 7-435. 2.6GHz (±300MHz) 条件下的 TX 单音 (–6dBFS) 输出频谱

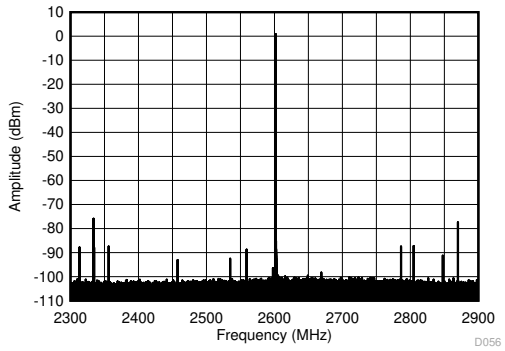
7.12.11 2.6 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



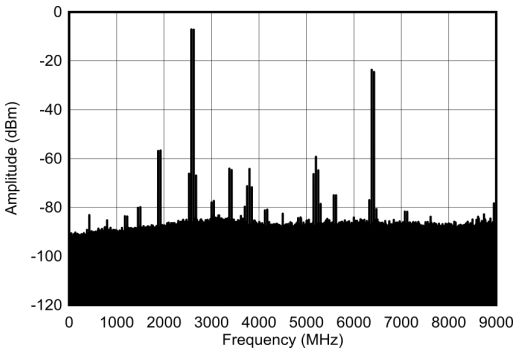
f_{DAC} = 8847.36MSPS，直接模式，2.6GHz 匹配，包括 PCB 和电缆损耗。ILn = $f_S/n \pm f_{OUT}$，并且是由于与数字时钟混合而导致此结果。

图 7-436. 2.6GHz (0-f_{DAC}) 条件下的 TX 单音 (-1dBFS) 输出频谱



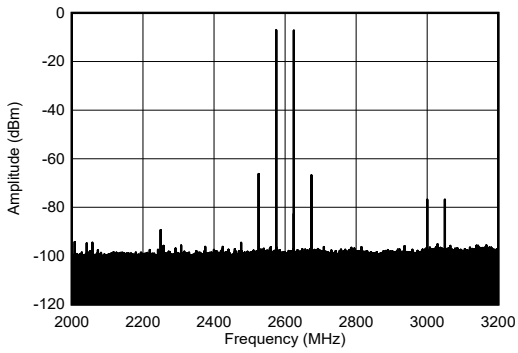
f_{DAC} = 8847.36MSPS，直接模式，2.6GHz 匹配，包括 PCB 和电缆损耗

图 7-437. 2.6GHz (±300MHz) 条件下的 TX 单音 (–1dBFS) 输出频谱



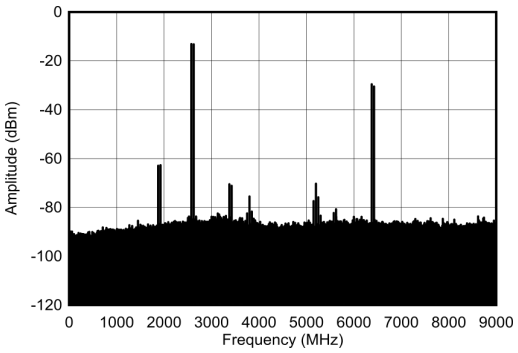
f_{DAC} = 9000MSPS，外部时钟模式，非交错模式

图 7-438. 2.6GHz、单音幅值为 -7dBFS (0 - f_{DAC}) 条件下的 TX 双音输出频谱



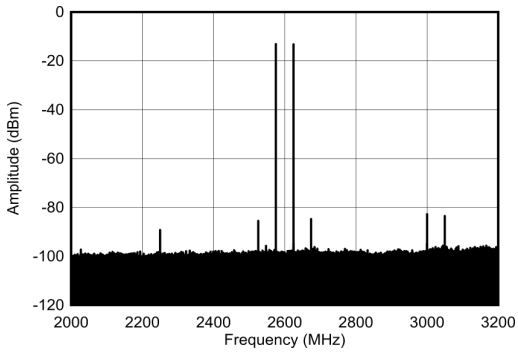
f_{DAC} = 9000MSPS，外部时钟模式，非交错模式

图 7-439. 2.6GHz、单音幅值为 -7dBFS (±600MHz) 条件下的 TX 双音输出频谱



f_{DAC} = 9000MSPS，外部时钟模式，非交错模式

图 7-440. 2.6GHz、单音幅值为 -13dBFS (0 - f_{DAC}) 条件下的 TX 双音输出频谱



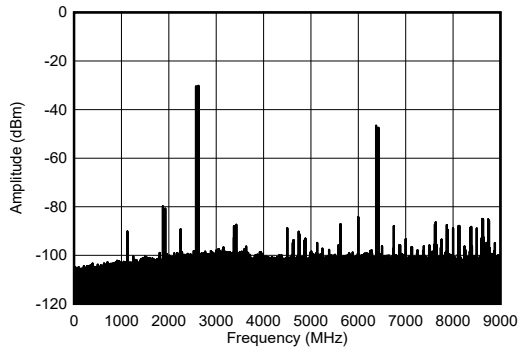
f_{DAC} = 9000MSPS，外部时钟模式，非交错模式

图 7-441. 2.6GHz、单音幅值为 -13dBFS (±600MHz) 条件下的 TX 双音输出频谱

Copyright © 2023 Texas Instruments Incorporated

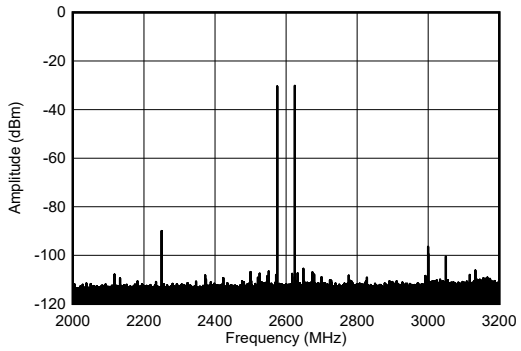
7.12.11 2.6 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



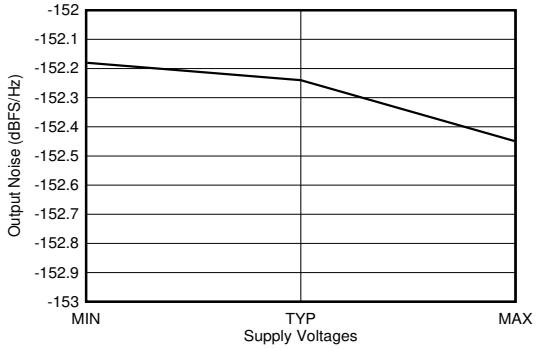
f_{DAC} = 9000MSPS，外部时钟模式，非交错模式

图 7-442. 2.6GHz、单音幅值为 -30dBFS (0 - f_{DAC}) 条件下的 TX 双音输出频谱



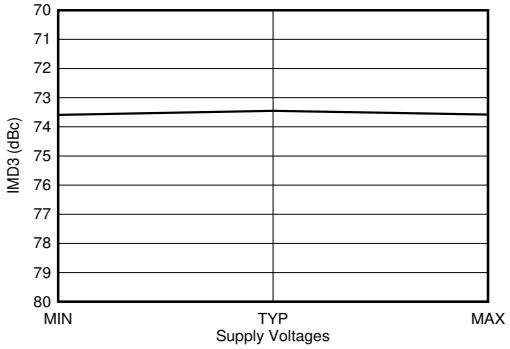
f_{DAC} = 9000MSPS，外部时钟模式，非交错模式

图 7-443. 2.6GHz、单音幅值为 -30dBFS (±600MHz) 条件下的 TX 双音输出频谱



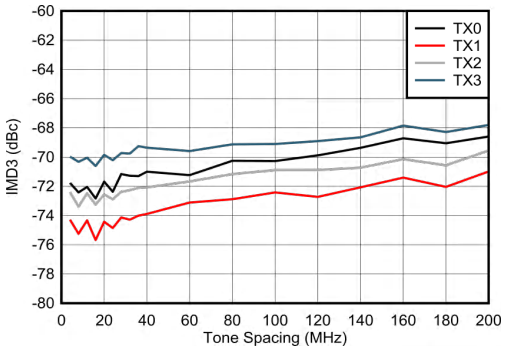
f_{DAC} = 11796.48MSPS，交错模式，2.6GHz 匹配。偏移频率为 40MHz。输出功率 = –1dBFS。所有电源同时处于 MIN、TYP 或 MAX 电压。

图 7-444. 2.6GHz 条件下 TX 输出噪声与电源电压间的关系



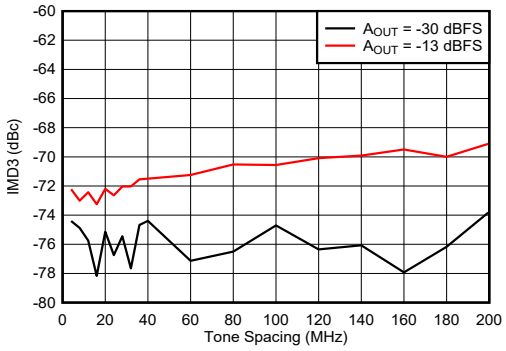
f_{DAC} = 11796.48MSPS，交错模式，2.6GHz 匹配。偏移频率为 40MHz。输出功率 = –13dBFS。所有电源同时处于 MIN、TYP 或 MAX 电压。

图 7-445. 2.6GHz 条件下 TX IMD3 与电源电压间的关系



f_{DAC} = 9000MSPS，非交错模式，外部时钟模式

图 7-446. 2.6GHz 条件下 IMD3 与频率间隔和通道间的关系

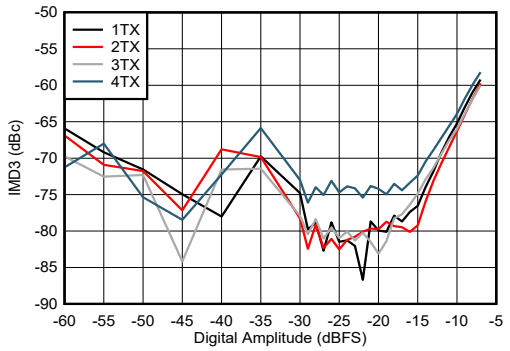


f_{DAC} = 9000MSPS，非交错模式，外部时钟模式

图 7-447. 2.6GHz 条件下 IMD3 与频率间隔和振幅间的关系

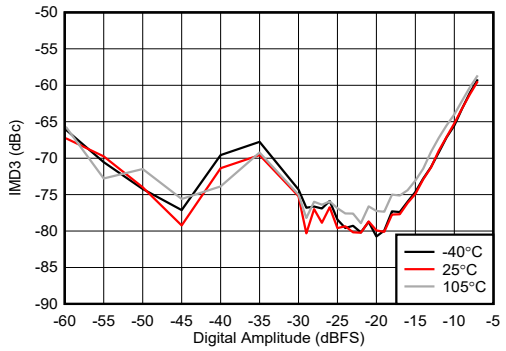
7.12.11 2.6 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



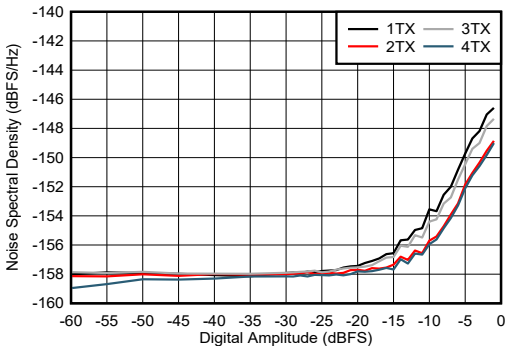
f_{DAC} = 9000MSPS，非交错模式，外部时钟模式

图 7-448. 2.6GHz 条件下 IMD3 与数字振幅和通道间的关系



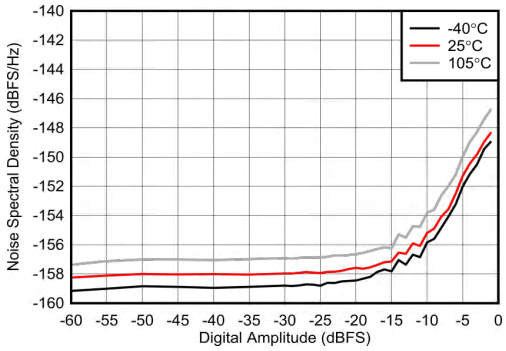
f_{DAC} = 9000MSPS，非交错模式，外部时钟模式

图 7-449. 2.6GHz 条件下 IMD3 与数字振幅和温度间的关系



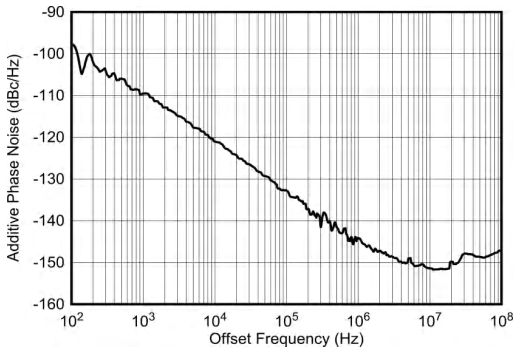
f_{DAC} = 9000MSPS，非交错模式，外部时钟模式，50MHz 偏移

图 7-450. 2.6GHz 条件下 NSD 与数字振幅和通道间的关系



f_{DAC} = 9000MSPS，非交错模式，外部时钟模式，50MHz 偏移

图 7-451. 2.6GHz 条件下 NSD 与数字振幅和温度间的关系



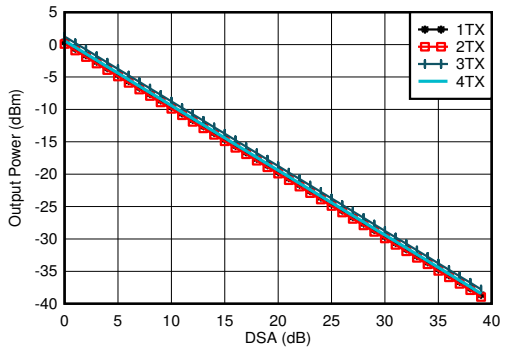
f_{DAC} = f_{CLK} = 9000MSPS，非交错模式

图 7-452. 2.6GHz 条件下的外部时钟附加相位噪声

Copyright © 2023 Texas Instruments Incorporated

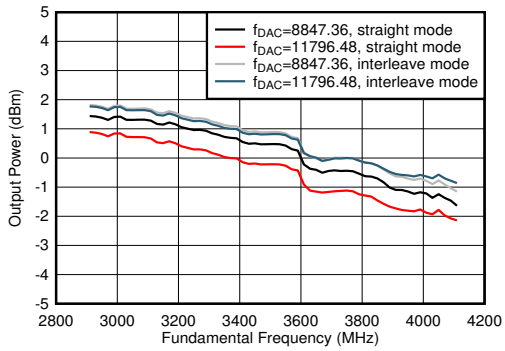
7.12.12 3.5 GHz 下的 TX 典型特性

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



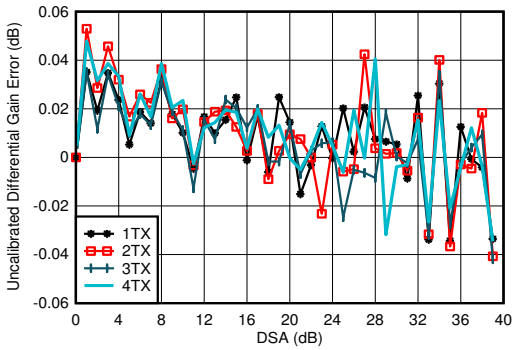
A_{out} = -0.5dBFS，3.5GHz 匹配，包括 PCB 和电缆损耗

图 7-453. 3.5GHz 条件下 TX 输出功率与 DSA 设置间的关系



A_{out} = -0.5dBFS，3.5GHz 匹配，包括 PCB 和电缆损耗

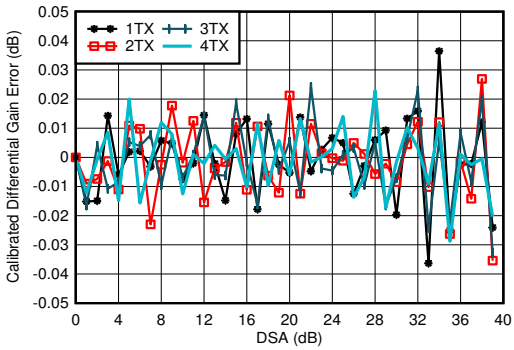
图 7-454. TX 输出功率与频率间的关系



3.5GHz 匹配，包括 PCB 和电缆损耗

差分增益误差 = P_{OUT}（DSA 设置 – 1）– P_{OUT}（DSA 设置）+ 1

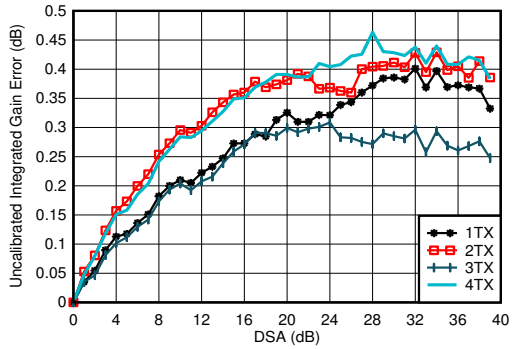
图 7-455. 3.5GHz 条件下 TX 未校准差分增益误差与 DSA 设置和通道间的关系



3.5GHz 匹配，包括 PCB 和电缆损耗

差分增益误差 = P_{OUT}（DSA 设置 – 1）– P_{OUT}（DSA 设置）+ 1

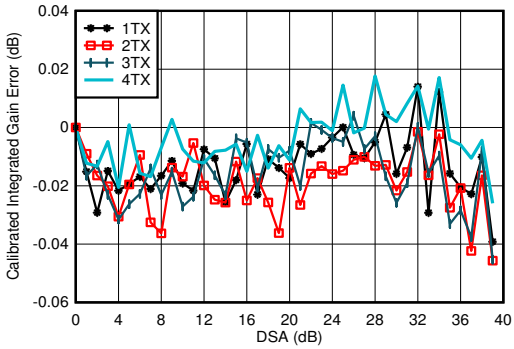
图 7-456. 3.5GHz 条件下 TX 校准差分增益误差与 DSA 设置和通道间的关系



3.5GHz 匹配，包括 PCB 和电缆损耗

积分增益误差 = P_{OUT}（DSA 设置）- P_{OUT}（DSA 设置 = 0）+（DSA 设置）

图 7-457. 3.5GHz 条件下 TX 未校准积分增益误差与 DSA 设置和通道间的关系



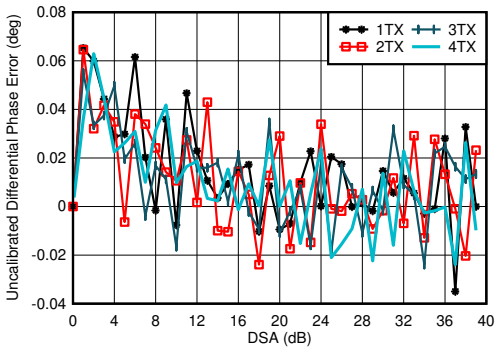
3.5GHz 匹配，包括 PCB 和电缆损耗

积分增益误差 = P_{OUT}（DSA 设置）- P_{OUT}（DSA 设置 = 0）+（DSA 设置）

图 7-458. 3.5GHz 条件下 TX 校准积分增益误差与 DSA 设置和通道间的关系

7.12.12 3.5 GHz 下的 TX 典型特性 (continued)

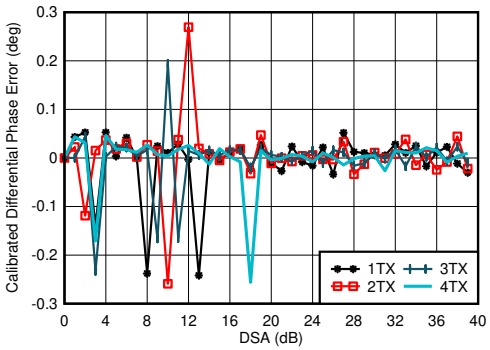
T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



3.5GHz 匹配，包括 PCB 和电缆损耗

差分相位误差 = $Phase_{OUT}$（DSA 设置 – 1）– $Phase_{OUT}$（DSA 设置）

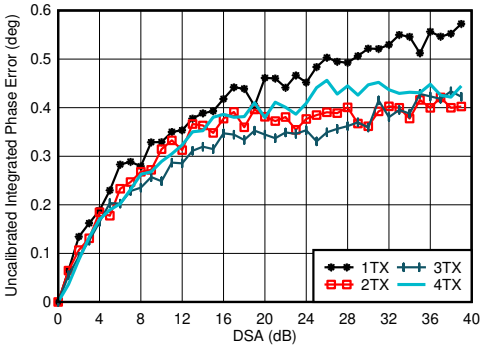
图 7-459. 3.5GHz 条件下 TX 未校准差分相位误差与 DSA 设置和通道间的关系



3.5GHz 匹配，包括 PCB 和电缆损耗

差分相位误差 = $Phase_{OUT}$（DSA 设置 – 1）– $Phase_{OUT}$（DSA 设置）。任何 DSA 设置下都可能出现相位 DNL 峰值。

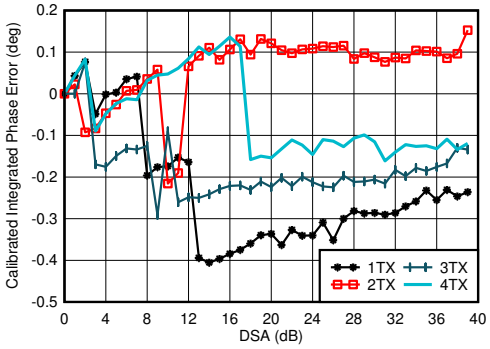
图 7-460. 3.5GHz 条件下 TX 校准差分相位误差与 DSA 设置和通道间的关系



3.5GHz 匹配，包括 PCB 和电缆损耗

积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

图 7-461. 3.5GHz 条件下 TX 未校准积分相位误差与 DSA 设置和通道间的关系



3.5GHz 匹配，包括 PCB 和电缆损耗

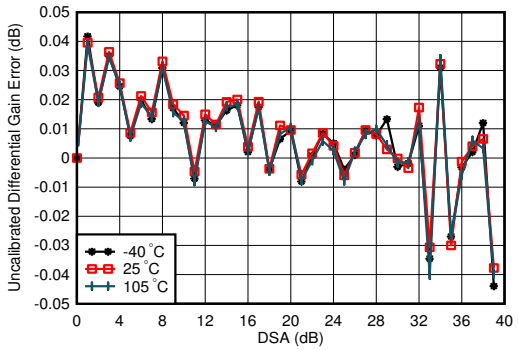
积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

图 7-462. 3.5GHz 条件下 TX 校准积分相位误差与 DSA 设置和通道间的关系

Copyright © 2023 Texas Instruments Incorporated

7.12.12 3.5 GHz 下的 TX 典型特性 (continued)

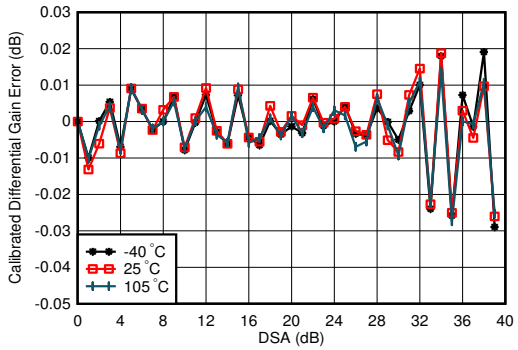
T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



3.5GHz 匹配，1TX

差分相位误差 = $Phase_{OUT}$（DSA 设置 – 1）– $Phase_{OUT}$（DSA 设置）

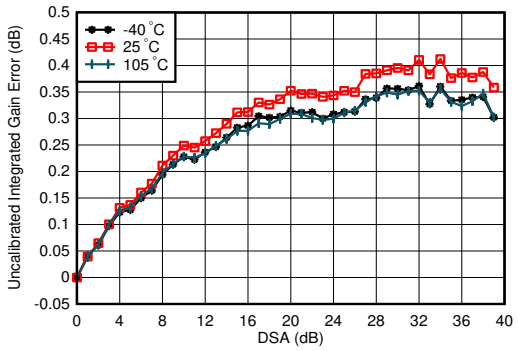
图 7-463. 3.5GHz 条件下 TX 未校准差分增益误差与 DSA 设置和温度间的关系



3.5GHz 匹配，1TX，在 25°C 下校准

差分相位误差 = $Phase_{OUT}$（DSA 设置 – 1）– $Phase_{OUT}$（DSA 设置）

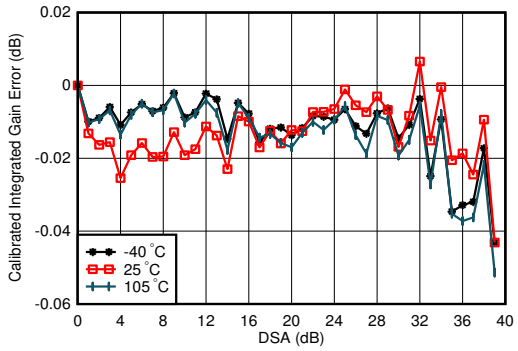
图 7-464. 3.5GHz 条件下 TX 校准差分增益误差与 DSA 设置和温度间的关系



3.5GHz 匹配，1TX

积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

图 7-465. 3.5GHz 条件下 TX 未校准积分增益误差与 DSA 设置和温度间的关系



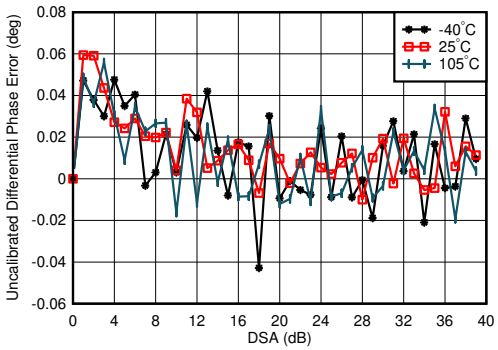
3.5GHz 匹配，1TX，在 25°C 下校准

积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

图 7-466. 3.5GHz 条件下 TX 校准积分增益误差与 DSA 设置和温度间的关系

7.12.12 3.5 GHz 下的 TX 典型特性 (continued)

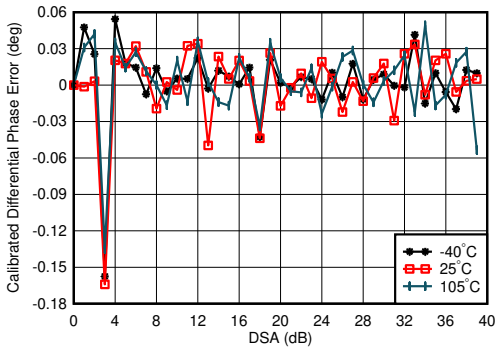
T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



3.5GHz 匹配，1TX

差分相位误差 = $Phase_{OUT}$（DSA 设置 – 1）– $Phase_{OUT}$（DSA 设置）

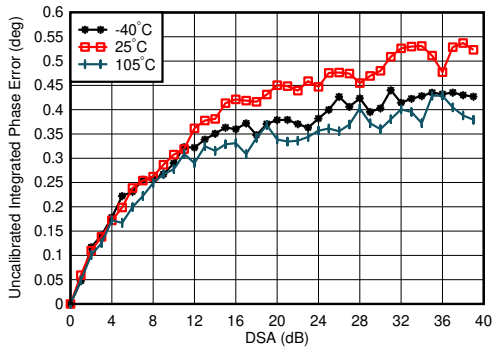
图 7-467. 3.5GHz 条件下 TX 未校准差分相位误差与 DSA 设置和温度间的关系



3.5GHz 匹配，1TX，在 25°C 下校准

差分相位误差 = $Phase_{OUT}$（DSA 设置 – 1）– $Phase_{OUT}$（DSA 设置）

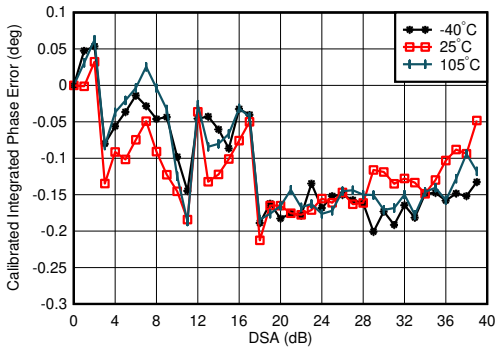
图 7-468. 3.5GHz 条件下 TX 校准差分相位误差与 DSA 设置和温度间的关系



3.5GHz 匹配，1TX

积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

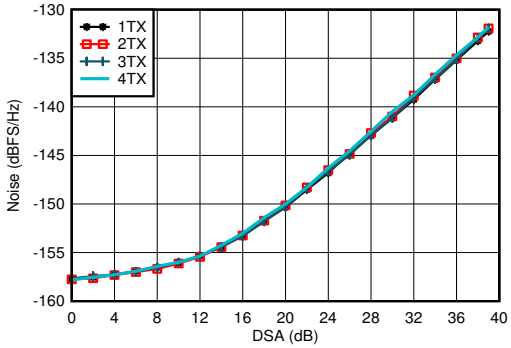
图 7-469. 3.5GHz 条件下 TX 未校准积分相位误差与 DSA 设置和温度间的关系



3.5GHz 匹配，1TX，在 25°C 下校准

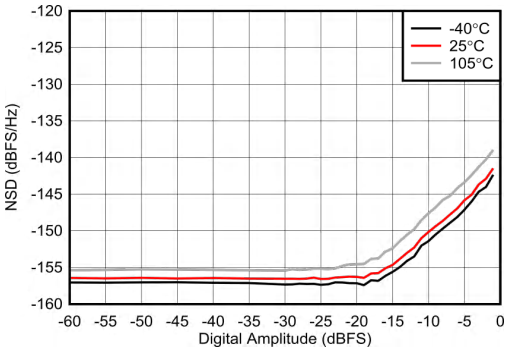
积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

图 7-470. 3.5GHz 条件下 TX 校准积分相位误差与 DSA 设置和温度间的关系



A. f_{DAC} = 11796.48MSPS，交错模式，在 3.5GHz 条件下匹配，A_{OUT} = –13dBFS。

图 7-471. 3.5GHz 条件下 TX NSD 与 DSA 设置间的关系



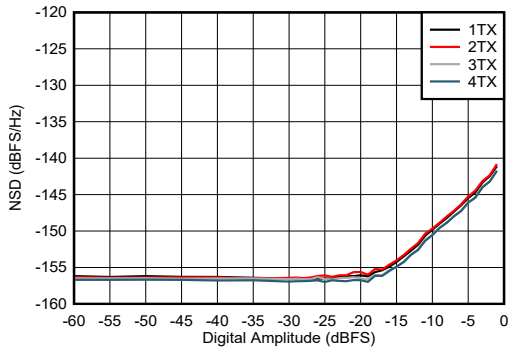
A. f_{DAC} = 12MSPS，外部时钟模式，非交错模式

图 7-472. 3.75GHz 条件下 TX NSD 与数字振幅和温度间的关系

Copyright © 2023 Texas Instruments Incorporated

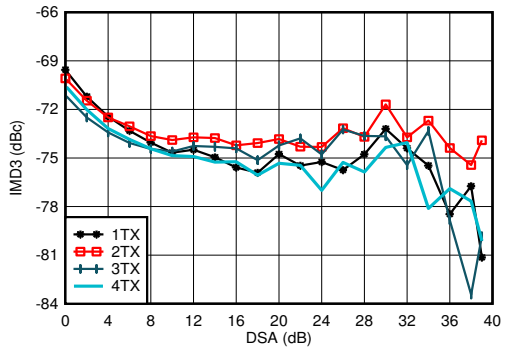
7.12.12 3.5 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



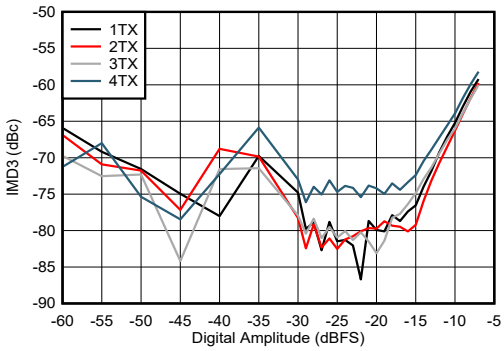
A. f_{DAC} = 12MSPS，外部时钟模式，非交错模式

图 7-473. 3.75GHz 条件下 TX NSD 与数字振幅和通道间的关系



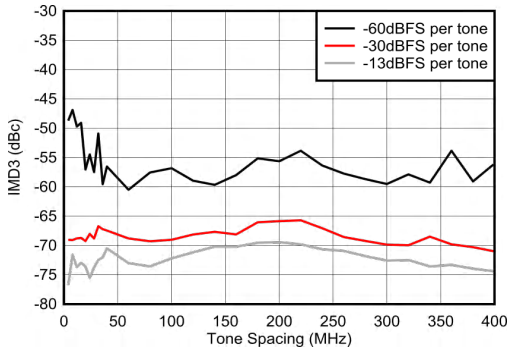
20MHz 频率间隔，3.5GHz 匹配，单音幅度为 -13dBFS，包括 PCB 和电缆损耗

图 7-474. 3.5GHz 条件下 TX IMD3 与 DSA 设置间的关系



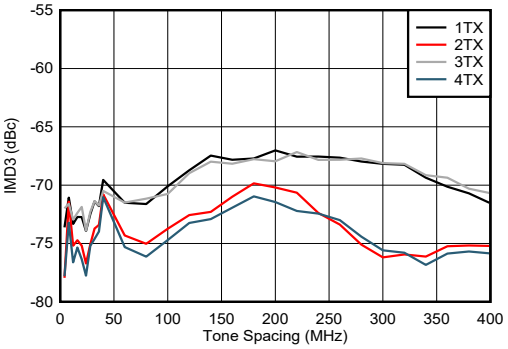
20MHz 频率间隔，3.5GHz 匹配

图 7-475. 3.5GHz 条件下 TX IMD3 与数字振幅和通道间的关系



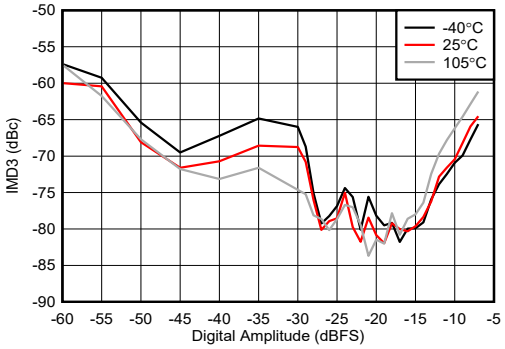
50MHz 频率间隔，外部时钟模式，非交错模式

图 7-476. 3.75GHz 条件下 TX IMD3 与频率间隔和振幅间的关系



外部时钟模式，非交错模式

图 7-477. 3.75GHz 条件下 TX IMD3 与频率间隔和通道间的关系

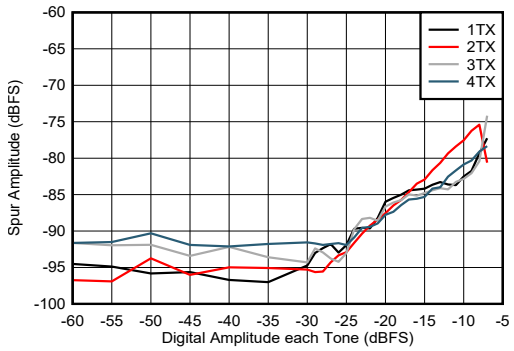


50MHz 频率间隔，外部时钟模式，非交错模式

图 7-478. 3.75GHz 条件下 TX IMD3 与数字振幅和温度间的关系

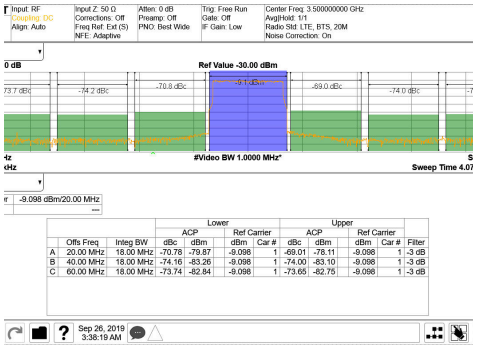
7.12.12 3.5 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



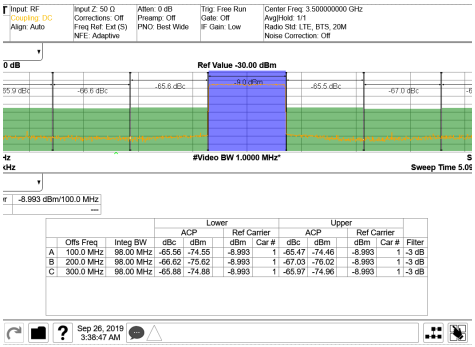
带内 = 3.75GHz ± 600MHz，f_{DAC} = 9GSPS，外部时钟模式，非交错模式。

图 7-479. 3.75GHz 条件下双频带内 SFDR 与数字振幅间的关系



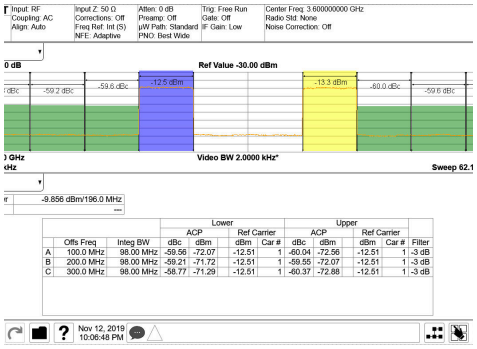
3.5GHz 匹配，单载波 20MHz BW TM1.1 LTE

图 7-480. 3.5GHz（频带 42）条件下的 TX 20MHz LTE 输出频谱



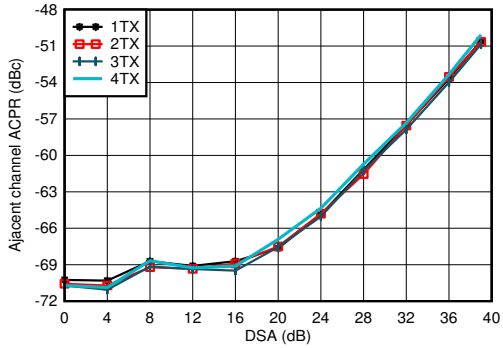
3.5GHz 匹配，单载波 100MHz BW NR TM1.1

图 7-481. 3.5GHz（频带 42）条件下的 TX 100MHz NR 输出频谱



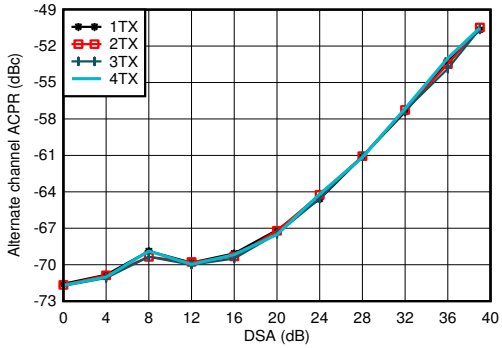
3.5GHz 匹配，单载波 100MHz BW NR TM1.1

图 7-482. 3.45GHz 和 3.75GHz 条件下的 TX 2 载波 100MHz NR 输出频谱



3.5GHz 匹配，单载波 20MHz BW NR TM1.1 LTE

图 7-483. 3.5GHz 条件下的 TX 20MHz LTE ACPR 与 DSA 设置间的关系



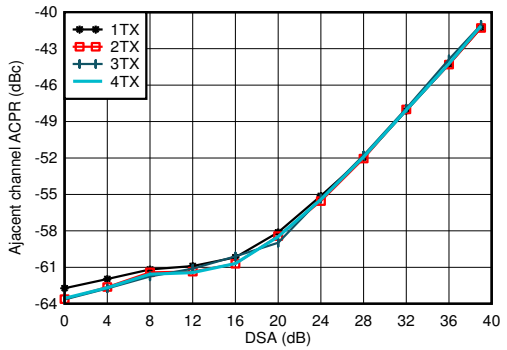
3.5GHz 匹配，单载波 20MHz BW TM1.1 LTE

图 7-484. 3.5GHz 条件下的 TX 20MHz LTE alt-ACPR 与 DSA 设置间的关系

Copyright © 2023 Texas Instruments Incorporated

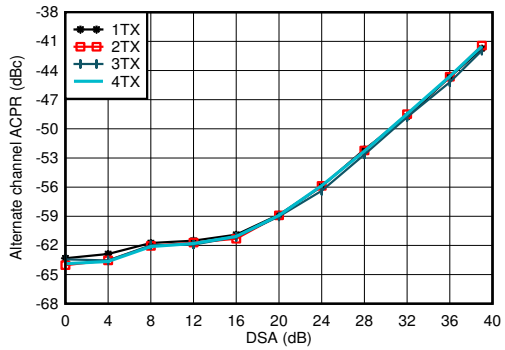
7.12.12 3.5 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



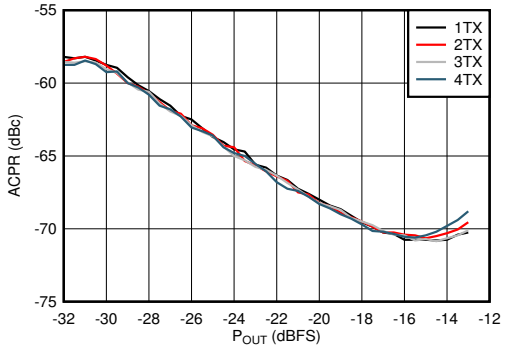
3.5GHz 匹配，单载波 100MHz BW NR TM1.1

图 7-485. 3.5GHz 条件下 TX 100MHz NR ACPR 与 DSA 设置间的关系



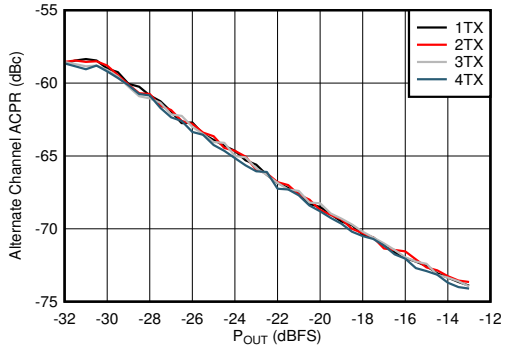
3.5GHz 匹配，单载波 100MHz BW NR TM1.1

图 7-486. 3.5GHz 条件下 TX 100MHz NR alt-ACPR 与 DSA 设置间的关系



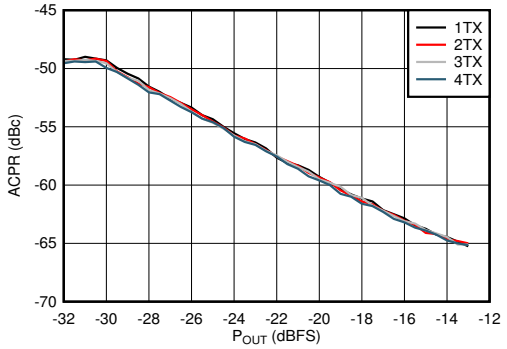
3.5GHz 匹配，单载波 20MHz BW TM1.1 LTE

图 7-487. 3.5GHz 条件下 TX 20MHz LTE ACPR 与数字电平间的关系



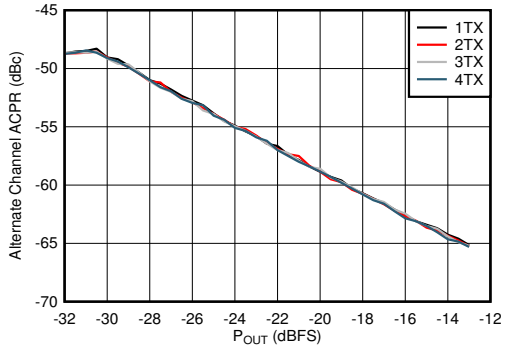
3.5GHz 匹配，单载波 20MHz BW TM1.1 LTE

图 7-488. 3.5GHz 条件下 TX 20MHz LTE alt-ACPR 与数字电平间的关系



3.5GHz 匹配，单载波 100MHz BW NR TM1.1

图 7-489. 3.5GHz 条件下 TX 100MHz NR ACPR 与数字电平间的关系

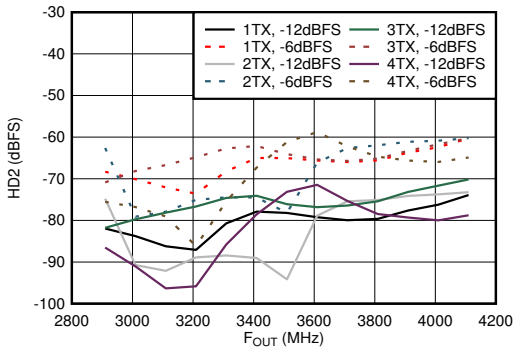


3.5GHz 匹配，单载波 100MHz BW NR TM1.1

图 7-490. 3.5GHz 条件下 TX 100MHz NR alt-ACPR 与数字电平间的关系

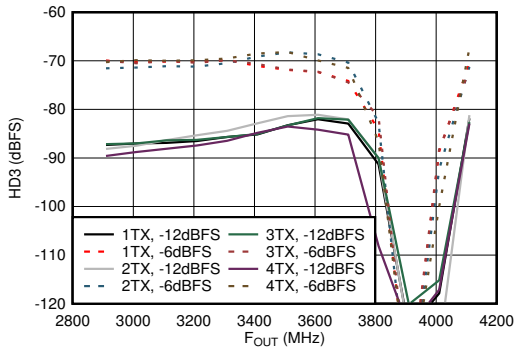
7.12.12 3.5 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



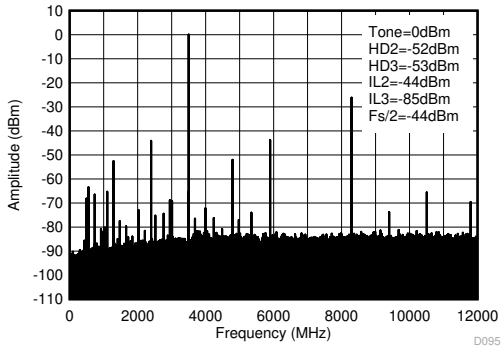
在 3.5GHz 条件下匹配，f_{DAC} = 11.79648GSPS，交错模式，标准化为谐波频率下的输出功率

图 7-491. 3.5GHz 条件下 TX 单音 HD2 与频率和数字电平间的关系



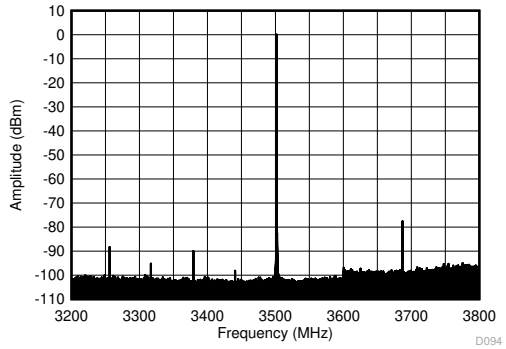
在 3.5GHz 条件下匹配，f_{DAC} = 11.79648GSPS，交错模式，标准化为谐波频率下的输出功率。低谷是由于 HD3 下降至接近直流。

图 7-492. 3.5GHz 条件下 TX 单音 HD3 与频率和数字电平间的关系



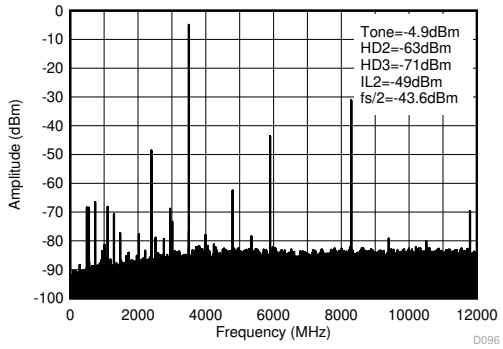
在 3.5GHz 下匹配，f_{DAC} = 11.79648GSPS，交错模式。

图 7-493. 3.5GHz (0 - f_{DAC}) 条件下的 TX 单音 (–1dBFS) 输出频谱



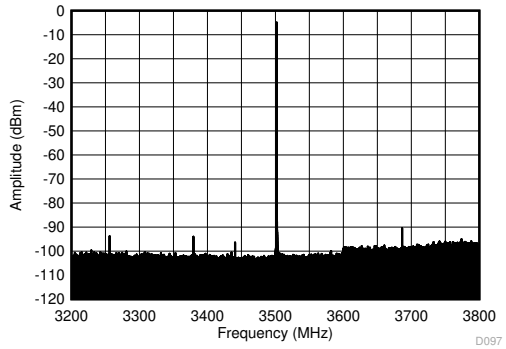
在 3.5GHz 下匹配，f_{DAC} = 11.79648GSPS，交错模式。

图 7-494. 3.5GHz (±300MHz) 条件下的 TX 单音 (–1dBFS) 输出频谱



在 3.5GHz 下匹配，f_{DAC} = 11.79648GSPS，交错模式。

图 7-495. 3.5GHz (0 - f_{DAC}) 条件下的 TX 单音 (–6dBFS) 输出频谱



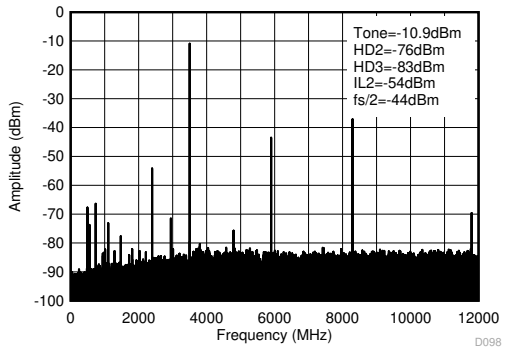
在 3.5GHz 下匹配，f_{DAC} = 11.79648GSPS，交错模式。

图 7-496. 3.5GHz (±300MHz) 条件下的 TX 单音 (–6dBFS) 输出频谱

Copyright © 2023 Texas Instruments Incorporated

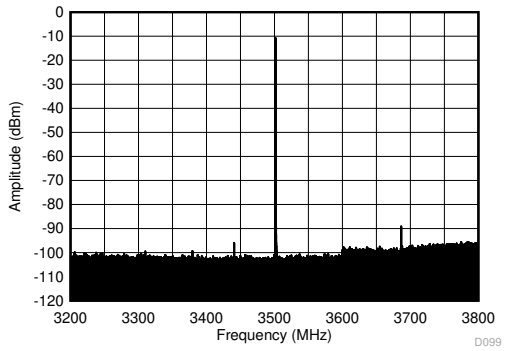
7.12.12 3.5 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



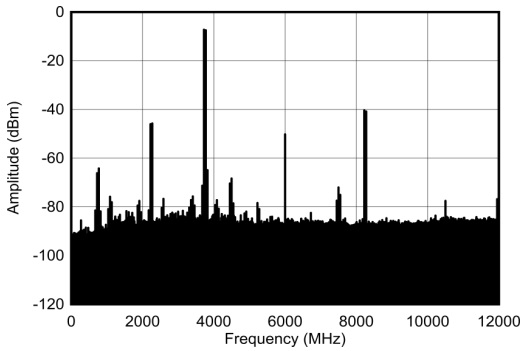
在 3.5GHz 下匹配，f_{DAC} = 11.79648GSPS，交错模式。

图 7-497. 3.5GHz (0 - f_{DAC}) 条件下的 TX 单音 (– 12dBFS) 输出频谱



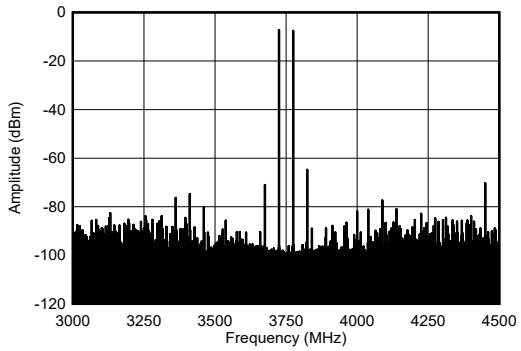
在 3.5GHz 下匹配，f_{DAC} = 11.79648GSPS，交错模式。

图 7-498. 3.5GHz (±300MHz) 条件下的 TX 单音 (– 12dBFS) 输出频谱



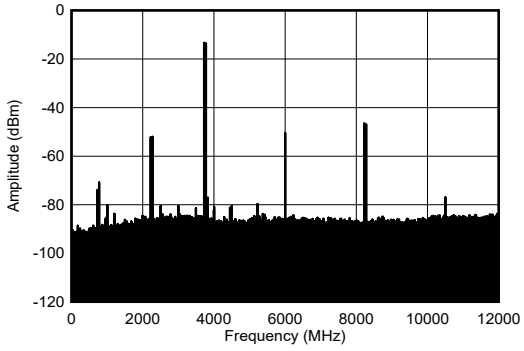
在 3.5GHz 条件下匹配，50MHz 频率间隔，f_{DAC} = 12GSPS，非交错模式。

图 7-499. 3.75GHz、单音幅值为 -7dBFS (0 - f_{DAC}) 条件下的 TX 双音输出频谱



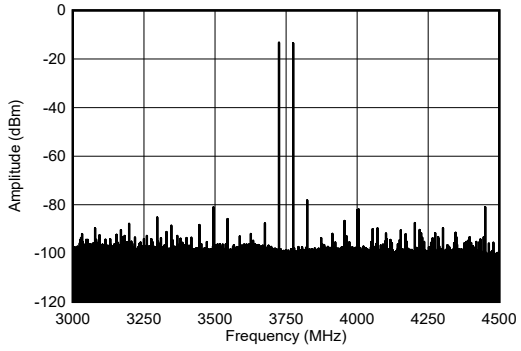
在 3.5GHz 条件下匹配，50MHz 频率间隔，f_{DAC} = 12GSPS，非交错模式。

图 7-500. 3.75GHz、单音幅值为 -7dBFS (±600MHz) 条件下的 TX 双音输出频谱



在 3.5GHz 条件下匹配，50MHz 频率间隔，f_{DAC} = 12GSPS，非交错模式。

图 7-501. 3.75GHz、单音幅值为 -13dBFS (0 - f_{DAC}) 条件下的 TX 双音输出频谱

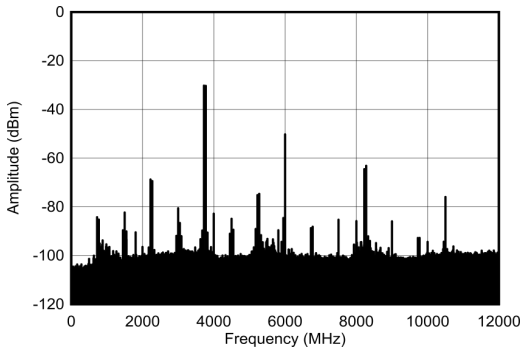


在 3.5GHz 条件下匹配，50MHz 频率间隔，f_{DAC} = 12GSPS，非交错模式。

图 7-502. 3.75GHz、单音幅值为 -13dBFS (±600MHz) 条件下的 TX 双音输出频谱

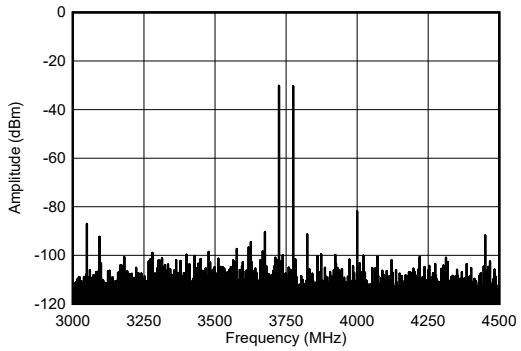
7.12.12 3.5 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



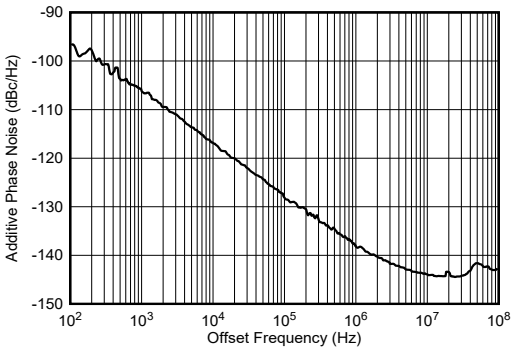
在 3.5GHz 条件下匹配，50MHz 频率间隔，f_{DAC} = 12GSPS，非交错模式。

图 7-503. 3.75GHz、单音幅值为 -30dBFS (0 - f_{DAC}) 条件下的 TX 双音输出频谱



在 3.5GHz 条件下匹配，50MHz 频率间隔，f_{DAC} = 12GSPS，非交错模式。

图 7-504. 3.75GHz、单音幅值为 -30dBFS (±600MHz) 条件下的 TX 双音输出频谱



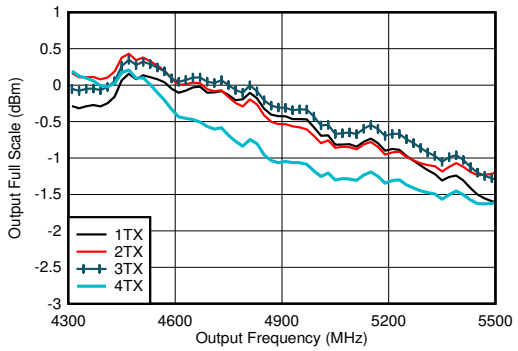
f_{DAC} = f_{CLK} = 12GSPS，非交错模式。

图 7-505. 3.7GHz 条件下的外部时钟附加相位噪声

Copyright © 2023 Texas Instruments Incorporated

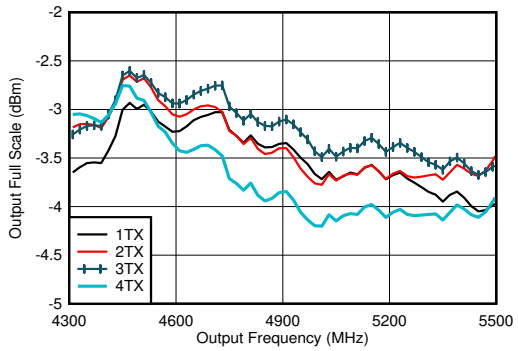
7.12.13 4.9 GHz 下的 TX 典型特性

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



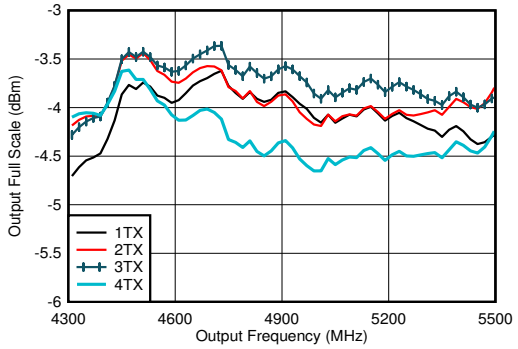
不包括 PCB 和电缆损耗，A_{out} = -0.5dBFS，DSA = 0，4.9GHz 匹配

图 7-506. 11796.48MSPS 条件下的 TX 满量程与射频频率和通道间的关系



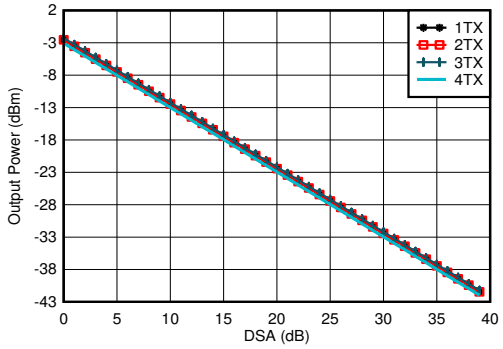
不包括 PCB 和电缆损耗，A_{out} = -0.5dBFS，DSA = 0，4.9GHz 匹配

图 7-507. 5898.24MSPS、混合模式、第二奈奎斯特区域条件下 TX 满量程与射频频率和通道间的关系



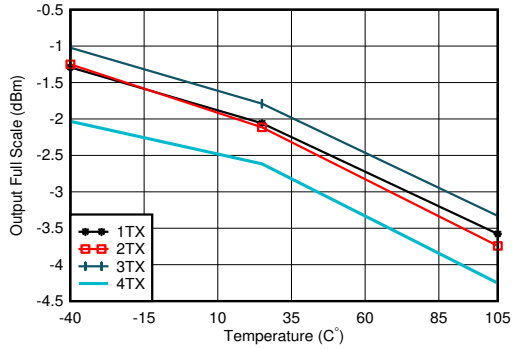
不包括 PCB 和电缆损耗，A_{out} = -0.5dBFS，DSA = 0，4.9GHz 匹配

图 7-508. 8847.36MSPS、混合模式、第二奈奎斯特区域条件下的 TX 满量程与射频频率和通道间的关系



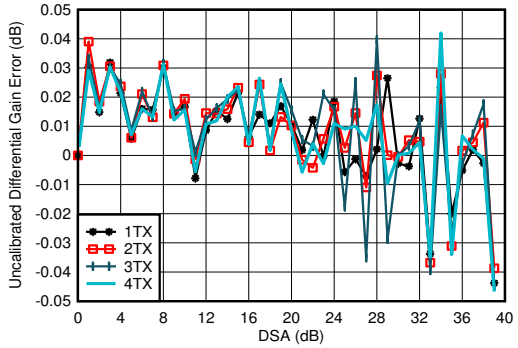
f_{DAC} = 11796.48MSPS，A_{out} = -0.5dBFS，匹配 4.9GHz

图 7-509. 4.9GHz 条件下 TX 输出功率与 DSA 设置和通道间的关系



A_{out} = -0.5dBFS，4.9GHz 匹配，包括 PCB 和电缆损耗。

图 7-510. 4.9GHz 条件下 TX 满量程输出功率与温度和通道间的关系



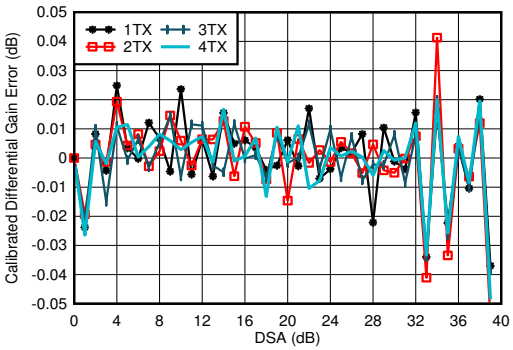
f_{DAC} = 11796.48MSPS，交错模式，在 4.9GHz 条件下匹配

差分增益误差 = P_{OUT}（DSA 设置 – 1）– P_{OUT}（DSA 设置）+ 1

图 7-511. 4.9GHz 条件下 TX 未校准差分增益误差与 DSA 设置和通道间的关系

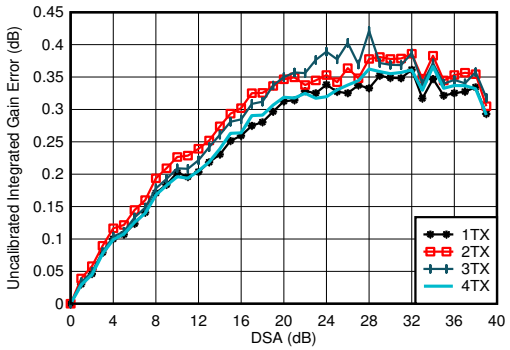
7.12.13 4.9 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



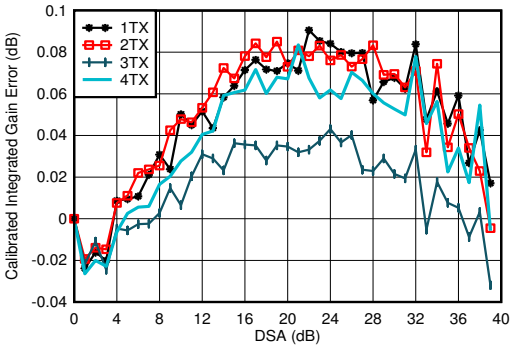
f_{DAC} = 11796.48MSPS，交错模式，在 4.9GHz 条件下匹配差分增益误差 = P_{OUT}（DSA 设置 – 1）– P_{OUT}（DSA 设置）+ 1

图 7-512. 4.9GHz 条件下 TX 校准差分增益误差与 DSA 设置和通道间的关系



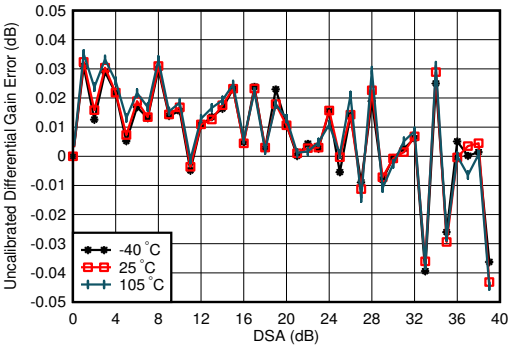
f_{DAC} = 11796.48MSPS，交错模式，在 4.9GHz 条件下匹配积分增益误差 = P_{OUT}（DSA 设置）- P_{OUT}（DSA 设置 = 0）+（DSA 设置）

图 7-513. 4.9GHz 条件下 TX 未校准积分增益误差与 DSA 设置和通道间的关系



f_{DAC} = 11796.48MSPS，交错模式，在 4.9GHz 条件下匹配积分增益误差 = P_{OUT}（DSA 设置）- P_{OUT}（DSA 设置 = 0）+（DSA 设置）

图 7-514. 4.9GHz 条件下 TX 校准积分增益误差与 DSA 设置和通道间的关系



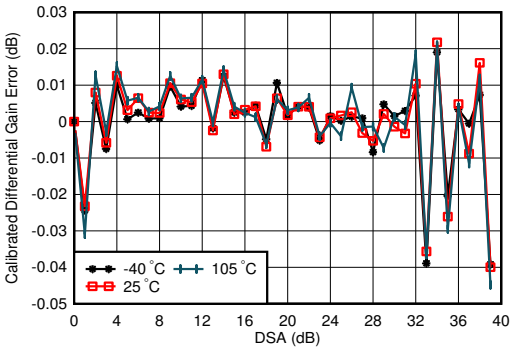
f_{DAC} = 11796.48MSPS，交错模式，在 4.9GHz 下匹配差分增益误差 = P_{OUT}（DSA 设置 – 1）– P_{OUT}（DSA 设置）+ 1

图 7-515. 4.9GHz 条件下 TX 未校准差分增益误差与 DSA 设置和温度间的关系

Copyright © 2023 Texas Instruments Incorporated

7.12.13 4.9 GHz 下的 TX 典型特性 (continued)

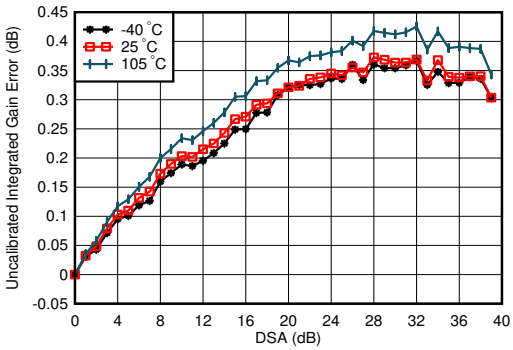
T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



f_{DAC} = 11796.48MSPS，交错模式，在 4.9GHz 下匹配

差分增益误差 = P_{OUT}（DSA 设置 – 1）– P_{OUT}（DSA 设置）+ 1

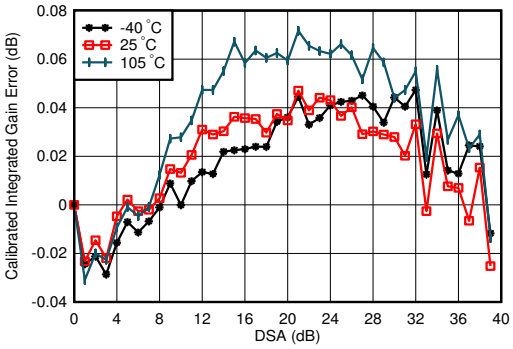
图 7-516. 4.9GHz 条件下 TX 校准差分增益误差与 DSA 设置和温度间的关系



f_{DAC} = 11796.48MSPS，交错模式，在 4.9GHz 下匹配

积分增益误差 = P_{OUT}（DSA 设置）- P_{OUT}（DSA 设置 = 0）+（DSA 设置）

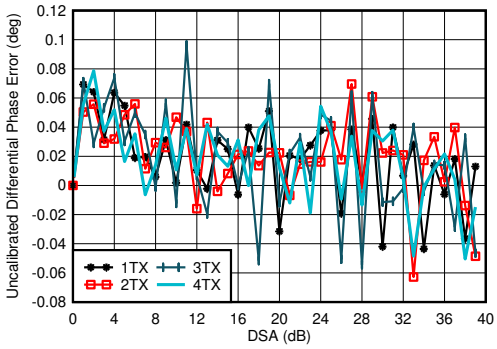
图 7-517. 4.9GHz 条件下 TX 未校准积分增益误差与 DSA 设置和温度间的关系



f_{DAC} = 11796.48MSPS，交错模式，在 4.9GHz 下匹配

积分增益误差 = P_{OUT}（DSA 设置）- P_{OUT}（DSA 设置 = 0）+（DSA 设置）

图 7-518. 4.9GHz 条件下 TX 校准积分增益误差与 DSA 设置和温度间的关系



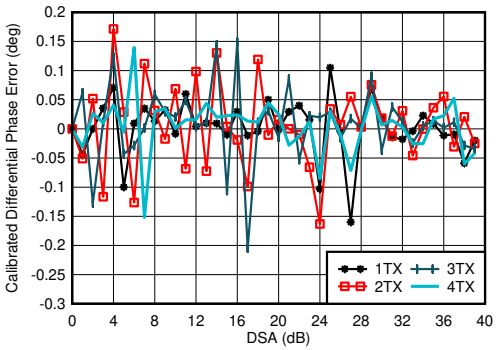
f_{DAC} = 11796.48MSPS，交错模式，在 4.9GHz 下匹配

差分相位误差 = $Phase_{OUT}$（DSA 设置 – 1）– $Phase_{OUT}$（DSA 设置）

图 7-519. 4.9GHz 条件下 TX 未校准差分相位误差与 DSA 设置和通道间的关系

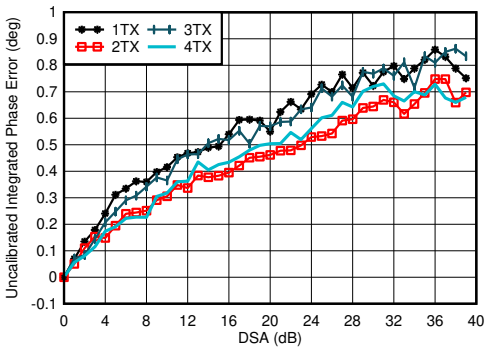
7.12.13 4.9 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



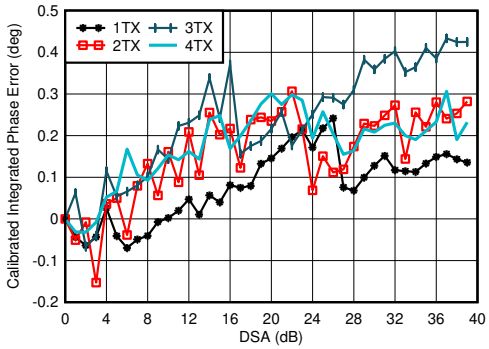
f_{DAC} = 11796.48MSPS，交错模式，在 4.9GHz 下匹配
差分相位误差 = $Phase_{OUT}$（DSA 设置 – 1）– $Phase_{OUT}$（DSA 设置）
任何 DSA 设置下都可能出现相位 DNL 峰值。

图 7-520. 4.9GHz 条件下 TX 校准差分相位误差与 DSA 设置和通道间的关系



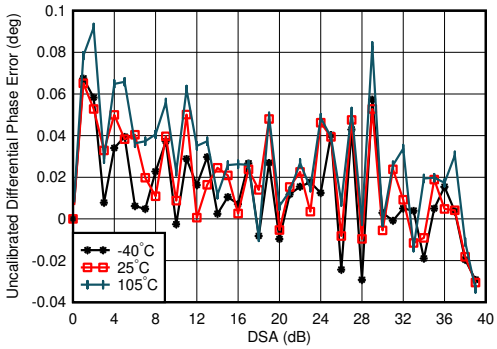
f_{DAC} = 11796.48MSPS，交错模式，在 4.9GHz 下匹配
积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

图 7-521. 4.9GHz 条件下 TX 未校准积分相位误差与 DSA 设置和通道间的关系



f_{DAC} = 11796.48MSPS，交错模式，在 4.9GHz 下匹配
积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

图 7-522. 4.9GHz 条件下 TX 校准积分相位误差与 DSA 设置和通道间的关系



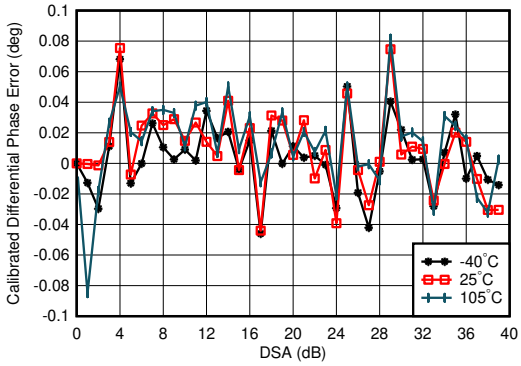
f_{DAC} = 11796.48MSPS，交错模式，在 4.9GHz 下匹配
差分相位误差 = $Phase_{OUT}$（DSA 设置 – 1）– $Phase_{OUT}$（DSA 设置）

图 7-523. 4.9GHz 条件下 TX 未校准差分相位误差与 DSA 设置和温度间的关系

Copyright © 2023 Texas Instruments Incorporated

7.12.13 4.9 GHz 下的 TX 典型特性 (continued)

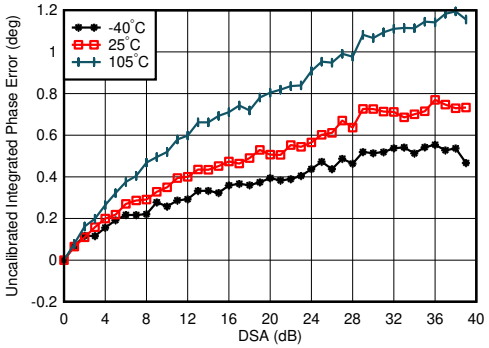
T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



f_{DAC} = 11796.48MSPS，交错模式，在 4.9GHz 下匹配

差分相位误差 = $Phase_{OUT}$（DSA 设置 – 1）– $Phase_{OUT}$（DSA 设置）

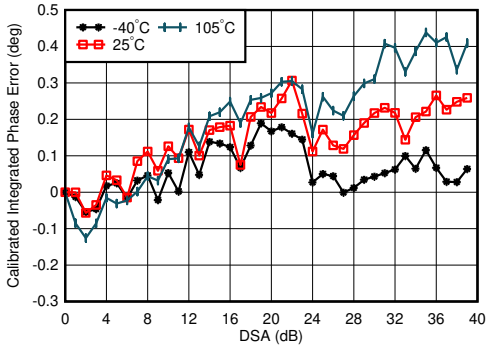
图 7-524. 4.9GHz 条件下 TX 校准差分相位误差与 DSA 设置和温度间的关系



f_{DAC} = 11796.48MSPS，交错模式，在 4.9GHz 下匹配

积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

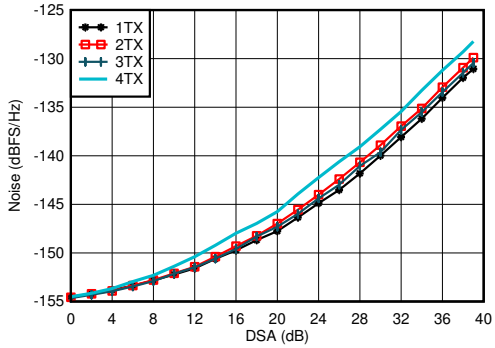
图 7-525. 4.9GHz 条件下 TX 未校准积分相位误差与 DSA 设置和温度间的关系



f_{DAC} = 11796.48MSPS，交错模式，在 4.9GHz 下匹配

积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

图 7-526. 4.9GHz 条件下 TX 校准积分相位误差与 DSA 设置和温度间的关系

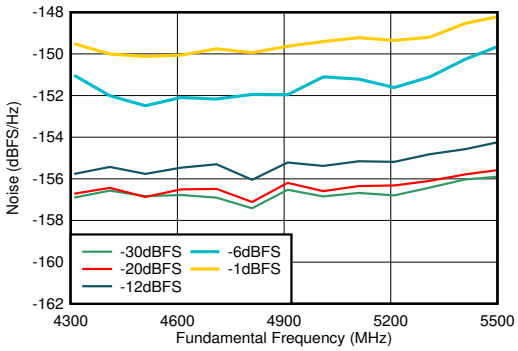


f_{DAC} = 11796.48MSPS，交错模式，在 4.9GHz 条件下匹配，P_{OUT} = –13dBFS

图 7-527. 4.9GHz 条件下 TX 输出噪声与通道和衰减间的关系

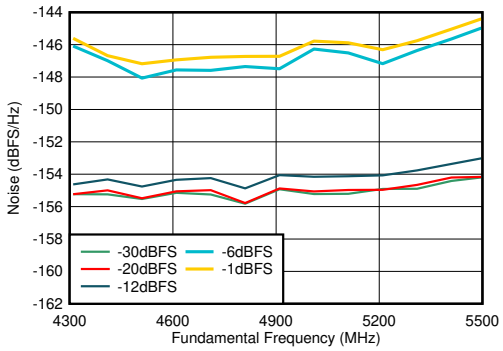
7.12.13 4.9 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



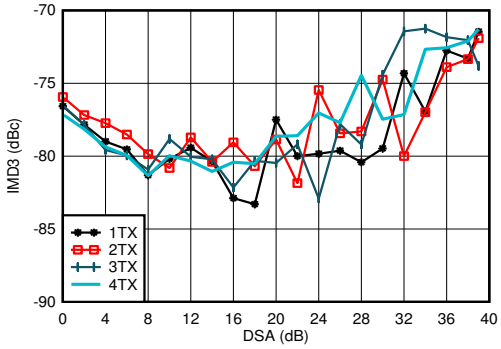
f_{DAC} = 11796.48MSPS，交错模式，在 4.9GHz 条件下匹配，A_{out} = –13dBFS。

图 7-528. 4.9GHz (DSA = 0dB) 条件下 TX NSD 与输出频率和数字振幅间的关系



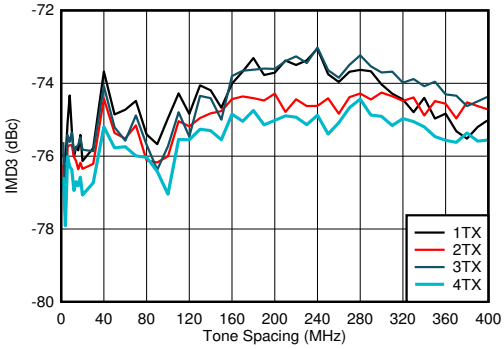
f_{DAC} = 11796.48MSPS，交错模式，在 4.9GHz 条件下匹配，A_{out} = –13dBFS。

图 7-529. 4.9GHz 条件下 TX NSD 与输出频率和数字振幅间的关系（DSA = 6dB）



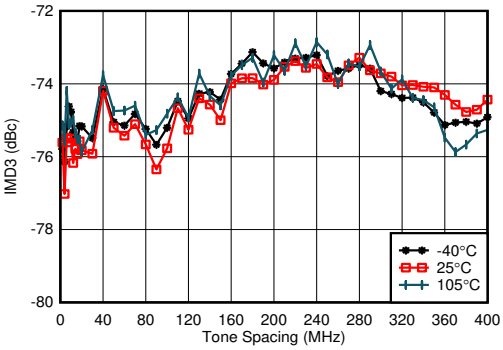
f_{DAC} = 11796.48MSPS，交错模式，在 4.9GHz 条件下匹配，f_{CENTER} = 4.9GHz，单音幅度为 -13dBFS

图 7-530. 4.9GHz 条件下 TX IMD3 与 DSA 设置间的关系



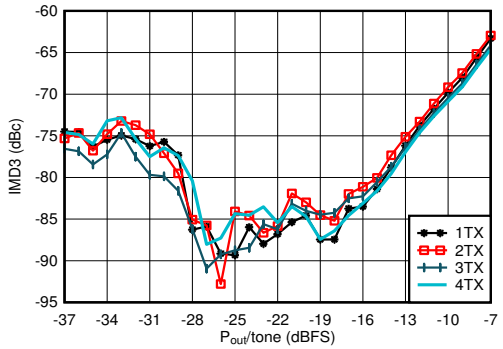
f_{DAC} = 11796.48MSPS，交错模式，在 4.9GHz 条件下匹配，f_{CENTER} = 4.9GHz，单音幅度为 -13dBFS

图 7-531. 4.9GHz 条件下 TX IMD3 与频率间隔和通道间的关系



f_{DAC} = 11796.48MSPS，交错模式，在 4.9GHz 条件下匹配，f_{CENTER} = 4.9GHz，单音幅度为 -13dBFS，最差通道

图 7-532. 4.9GHz 条件下 TX IMD3 与频率间隔和温度间的关系



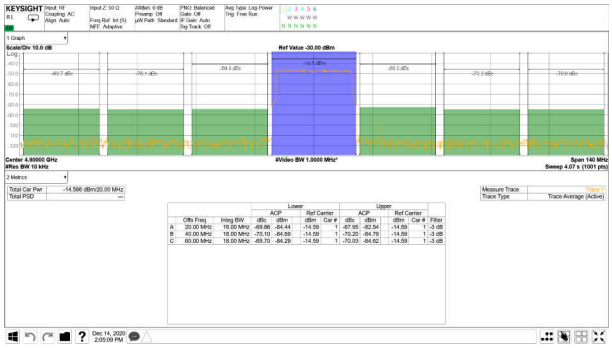
f_{DAC} = 11796.48MSPS，交错模式，在 4.9GHz 条件下匹配，f_{CENTER} = 4.9GHz，$f_{SPACING}$ = 20MHz

图 7-533. 4.9GHz 条件下 TX IMD3 与数字电平间的关系

Copyright © 2023 Texas Instruments Incorporated

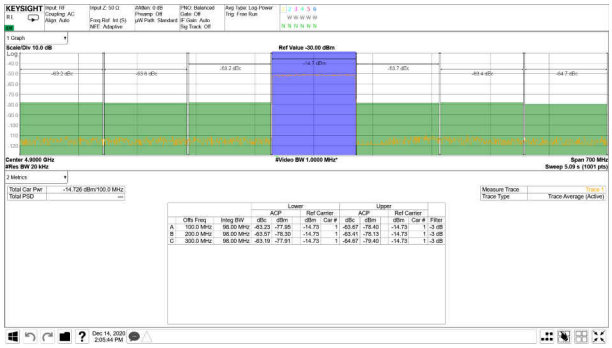
7.12.13 4.9 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



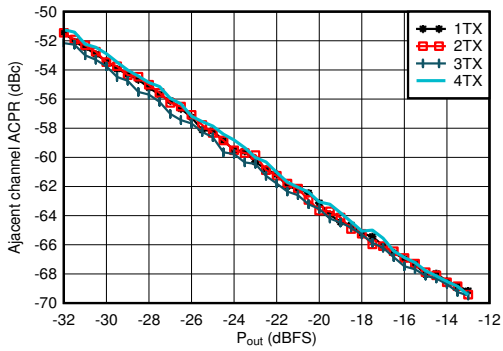
TM1.1，P_{OUT_RMS} = –13dBFS

图 7-534. 4.9GHz 条件下的 TX 20MHz LTE 输出频谱



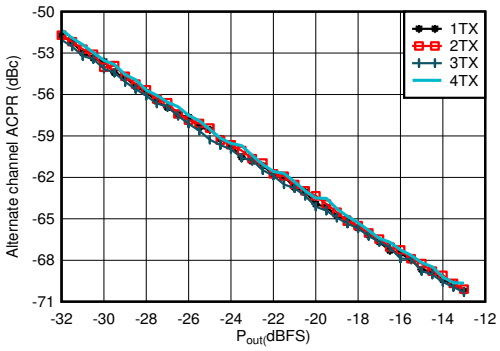
TM1.1，P_{OUT_RMS} = –13dBFS

图 7-535. 4.9GHz 条件下的 TX 100MHz NR 输出频谱



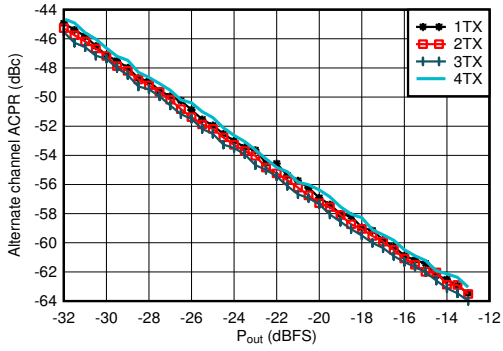
在 4.9GHz 条件下匹配，单载波 20MHz BW TM1.1 LTE

图 7-536. 4.9GHz 条件下 TX 20MHz LTE ACPR 与数字电平间的关系



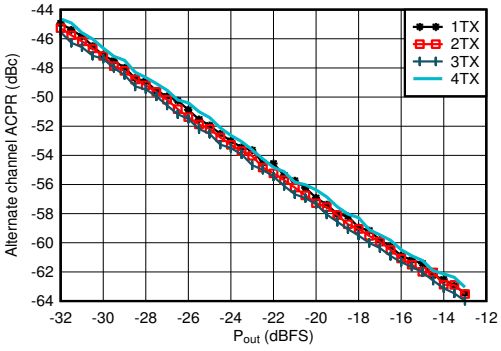
在 4.9GHz 条件下匹配，单载波 20MHz BW TM1.1 LTE

图 7-537. 4.9GHz 条件下 TX 20MHz LTE alt-ACPR 与数字电平间的关系



在 4.9GHz 条件下匹配，单载波 100MHz BW TM1.1 NR

图 7-538. 4.9GHz 条件下 TX 100MHz NR ACPR 与数字电平间的关系

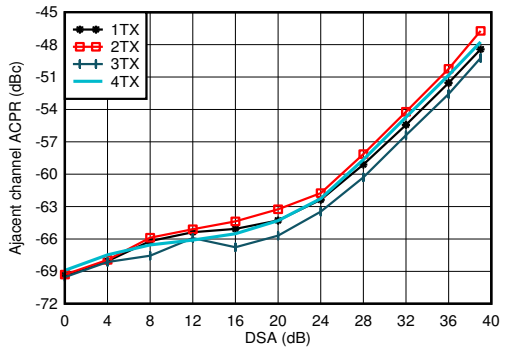


在 4.9GHz 条件下匹配，单载波 100MHz BW TM1.1 NR

图 7-539. 4.9GHz 条件下 TX 100MHz NR alt-ACPR 与数字电平间的关系

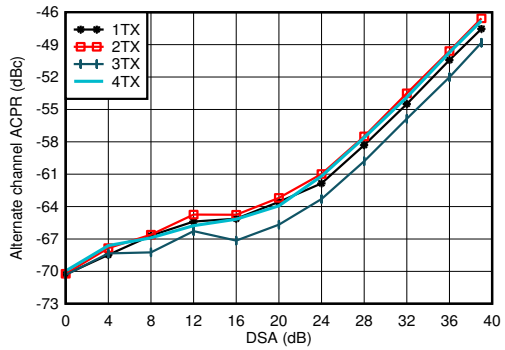
7.12.13 4.9 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



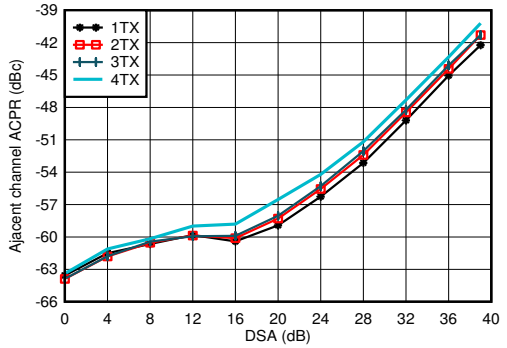
在 4.9GHz 条件下匹配，单载波 20MHz BW TM1.1 LTE

图 7-540. 4.9GHz 条件下 TX 20MHz LTE ACPR 与 DSA 间的关系



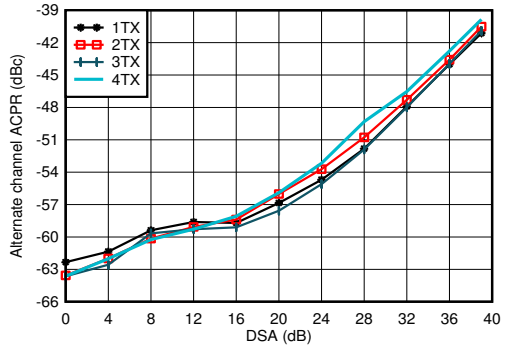
在 4.9GHz 条件下匹配，单载波 20MHz BW TM1.1 LTE

图 7-541. 4.9GHz 条件下 TX 20MHz LTE alt-ACPR 与 DSA 间的关系



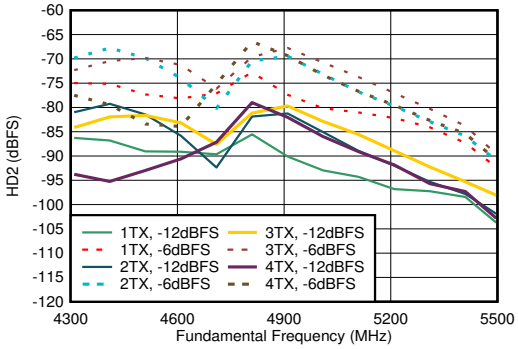
在 4.9GHz 条件下匹配，单载波 100MHz BW TM1.1 NR

图 7-542. 4.9GHz 条件下 TX 100MHz NR ACPR 与 DSA 间的关系



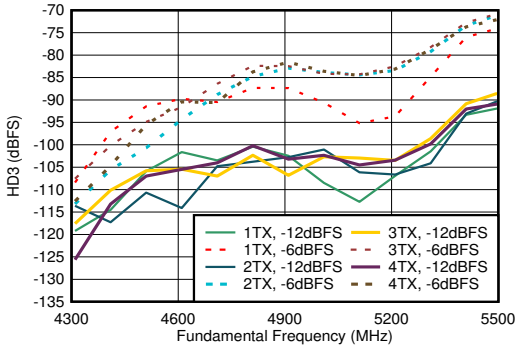
在 4.9GHz 条件下匹配，单载波 100MHz BW TM1.1 NR

图 7-543. 4.9GHz 条件下 TX 100MHz NR alt-ACPR 与 DSA 间的关系



在 4.9GHz 条件下匹配，f_{DAC} = 11.79648GSPS，交错模式，标准化为谐波频率下的输出功率

图 7-544. 4.9GHz 条件下 TX HD2 与数字振幅和输出频率间的关系



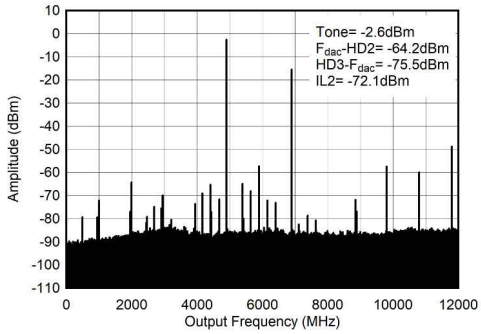
在 4.9GHz 条件下匹配，f_{DAC} = 11.79648GSPS，交错模式，标准化为谐波频率下的输出功率

图 7-545. 4.9GHz 条件下 TX HD3 与数字振幅和输出频率间的关系

Copyright © 2023 Texas Instruments Incorporated

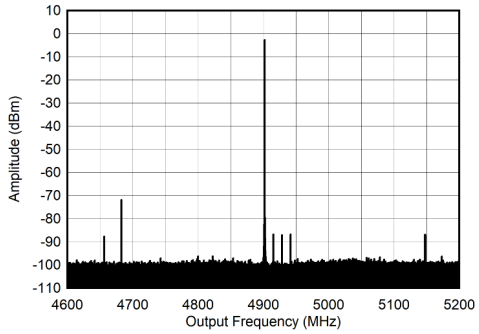
7.12.13 4.9 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



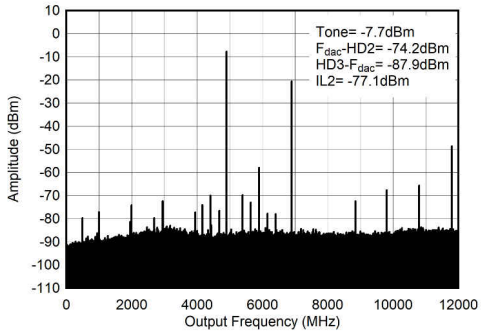
f_{DAC} = 11796.48MSPS，交错模式，4.9GHz 匹配，包括 PCB 和电缆损耗。ILn = $f_S/n \pm f_{OUT}$。

图 7-546. 4.9GHz (0 - f_{DAC}) 条件下的 TX 单音 (–1dBFS) 输出频谱



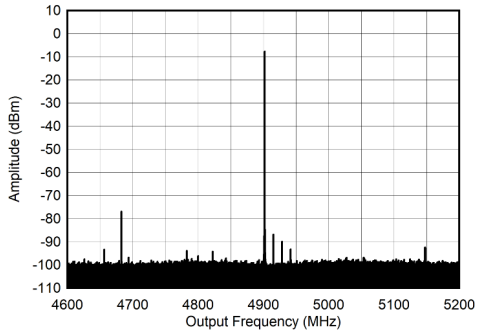
f_{DAC} = 11796.48MSPS，交错模式，4.9GHz 匹配，包括 PCB 和电缆损耗

图 7-547. 4.9GHz (±300MHz) 条件下的 TX 单音 (–1dBFS) 输出频谱



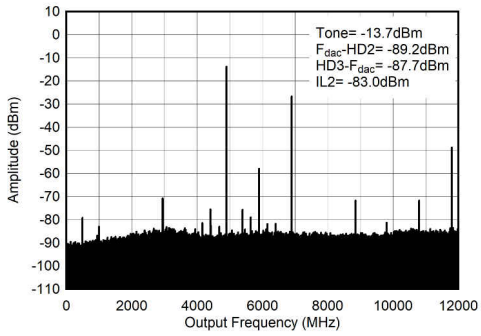
f_{DAC} = 11796.48MSPS，交错模式，4.9GHz 匹配，包括 PCB 和电缆损耗。ILn = $f_S/n \pm f_{OUT}$。

图 7-548. 4.9GHz (0 - f_{DAC}) 条件下的 TX 单音 (–6dBFS) 输出频谱



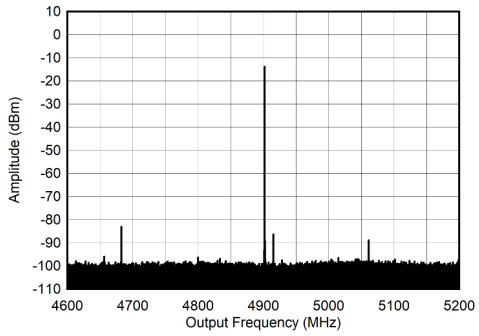
f_{DAC} = 11796.48MSPS，交错模式，4.9GHz 匹配，包括 PCB 和电缆损耗

图 7-549. 4.9GHz (±300MHz) 条件下的 TX 单音 (–6dBFS) 输出频谱



f_{DAC} = 11796.48MSPS，交错模式，4.9GHz 匹配，包括 PCB 和电缆损耗。ILn = $f_S/n \pm f_{OUT}$。

图 7-550. 4.9GHz (0 - f_{DAC}) 条件下的 TX 单音 (–12dBFS) 输出频谱

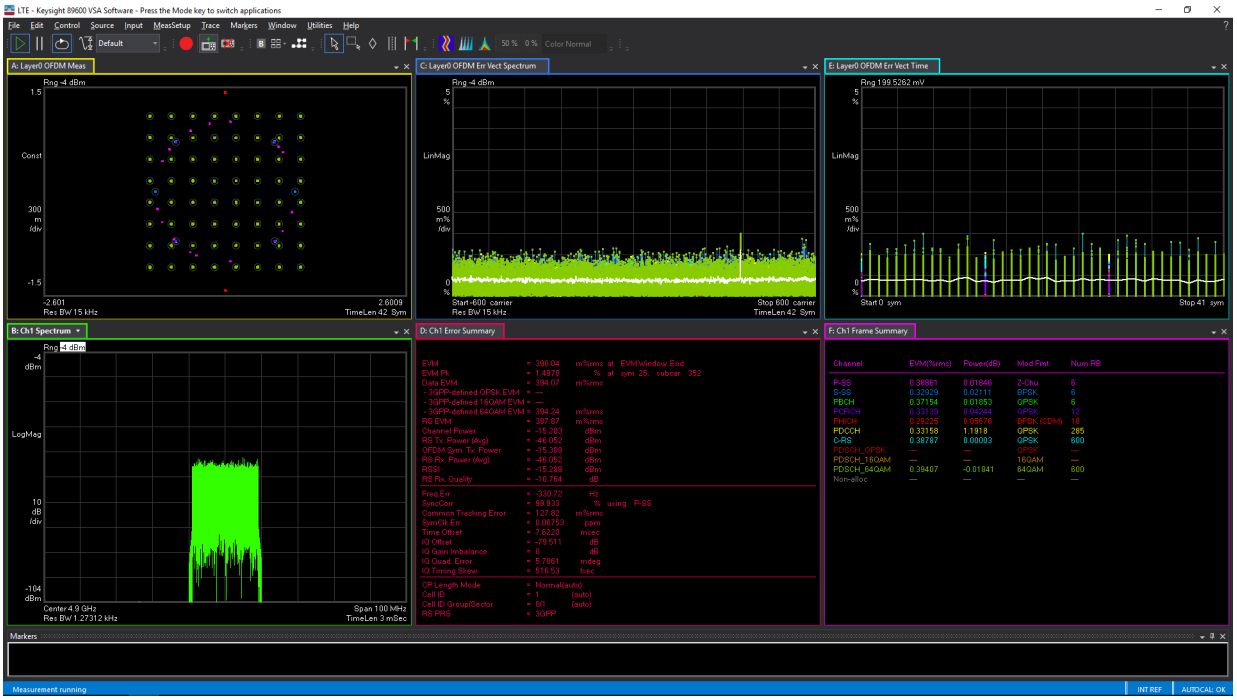


f_{DAC} = 11796.48MSPS，交错模式，4.9GHz 匹配，包括 PCB 和电缆损耗

图 7-551. 4.9GHz (±300MHz) 条件下的 TX 单音 (–12dBFS) 输出频谱

7.12.13 4.9 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 491.52MSPS，f_{DAC} = 11796.48MSPS，交错模式，A_{OUT} = –1dBFS，第一奈奎斯特区域输出，内部 PLL，f_{REF} = 491.52MSPS，24 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准。



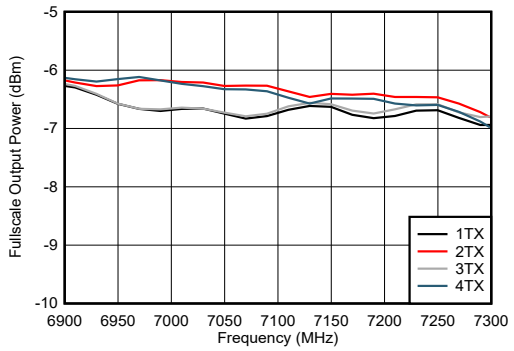
TM1.1，P_{OUT_RMS} = –13dBFS

图 7-552. 4.9GHz 条件下 TX 20MHz LTE 误差矢量幅度

Copyright © 2023 Texas Instruments Incorporated

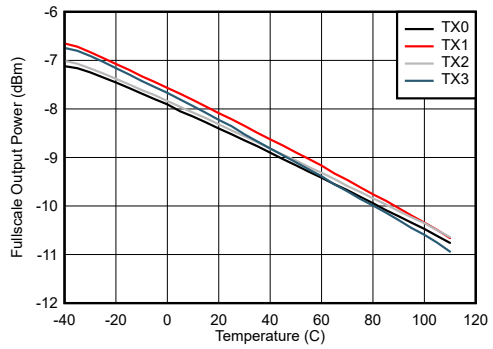
7.12.14 7.1 GHz 下的 TX 典型特性

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 500MSPS，f_{DAC} = 9000MSPS，非交错模式，A_{OUT} = –1dBFS，第二奈奎斯特区域输出，外部时钟模式，18 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准，7.1GHz 匹配。



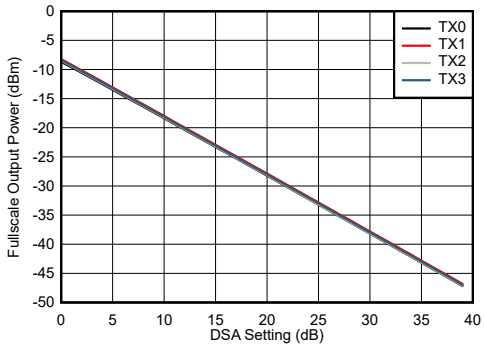
不包括 PCB 和电缆损耗

图 7-553. TX 满量程与射频频率和通道间的关系



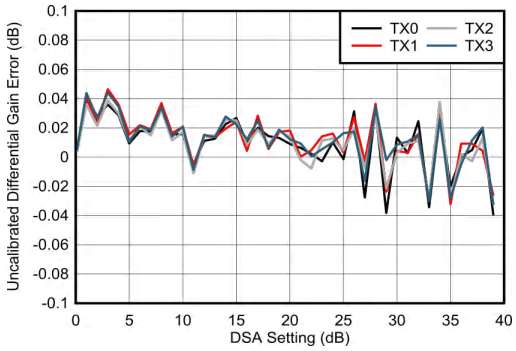
不包括 PCB 和电缆损耗

图 7-554. 7.1GHz 条件下 TX 满量程与温度和通道间的关系



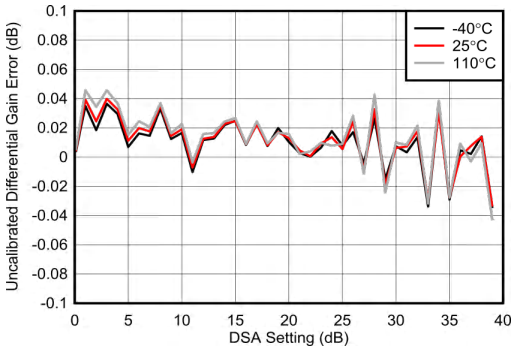
不包括 PCB 和电缆损耗

图 7-555. 7.1GHz 条件下 TX 满量程与 DSA 设置和通道间的关系



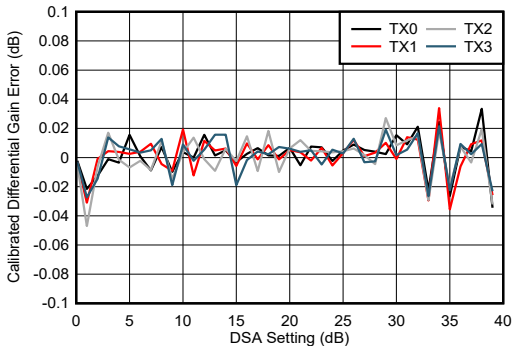
差分增益误差 = 增益（DSA 设置 – 1）- 增益（DSA 设置）

图 7-556. 7.1GHz 条件下未校准差分增益误差与通道间的关系



差分增益误差 = 增益（DSA 设置 – 1）- 增益（DSA 设置）

图 7-557. 7.1GHz 条件下未校准差分增益误差与温度间的关系

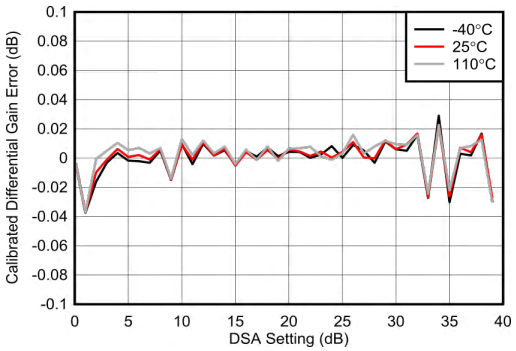


差分增益误差 = 增益（DSA 设置 – 1）- 增益（DSA 设置）

图 7-558. 7.1GHz 条件下校准差分增益误差与通道间的关系

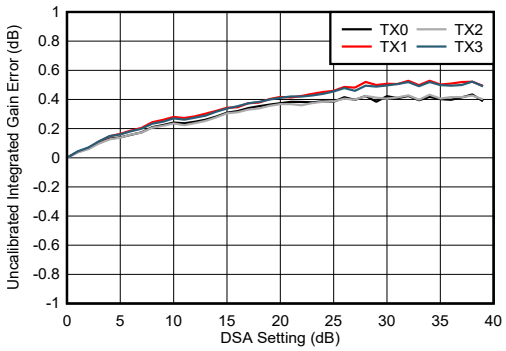
7.12.14 7.1 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 500MSPS，f_{DAC} = 9000MSPS，非交错模式，A_{OUT} = –1dBFS，第二奈奎斯特区域输出，外部时钟模式，18 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准，7.1GHz 匹配。



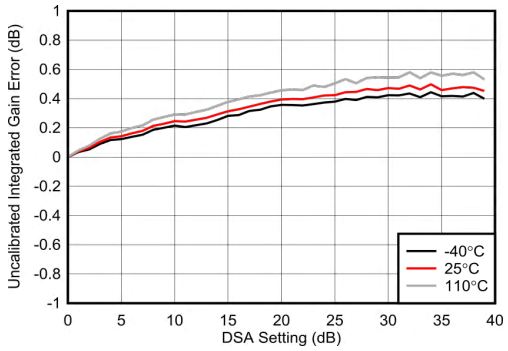
差分增益误差 = 增益（DSA 设置 – 1）- 增益（DSA 设置）

图 7-559. 7.1GHz 条件下校准差分增益误差与温度间的关系



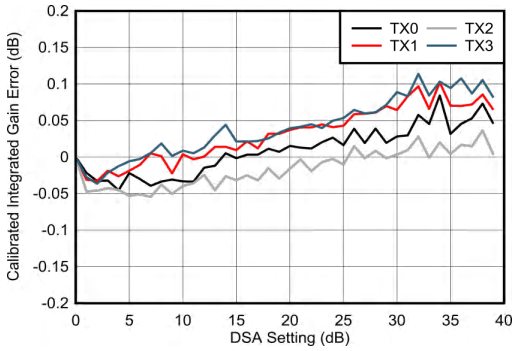
积分增益误差 = 增益（DSA 设置）- 增益（DSA 设置 = 0）。

图 7-560. 7.1GHz 条件下未校准积分增益误差与通道间的关系



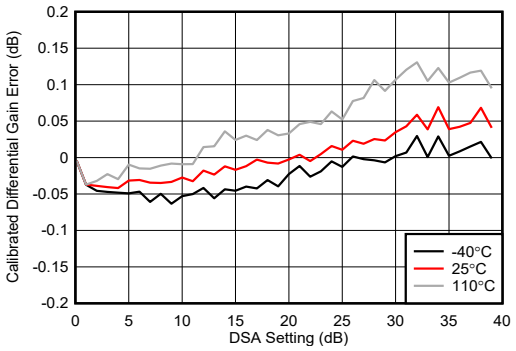
积分增益误差 = 增益（DSA 设置）- 增益（DSA 设置 = 0）。

图 7-561. 7.1GHz 条件下未校准积分增益误差与温度间的关系



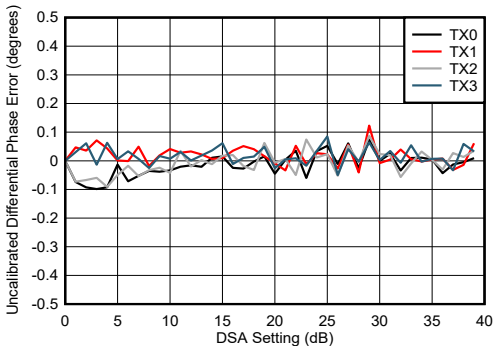
积分增益误差 = 增益（DSA 设置）- 增益（DSA 设置 = 0）。

图 7-562. 7.1GHz 条件下校准积分增益误差与通道间的关系



积分增益误差 = 增益（DSA 设置）- 增益（DSA 设置 = 0）。

图 7-563. 7.1GHz 条件下校准积分增益误差与温度间的关系



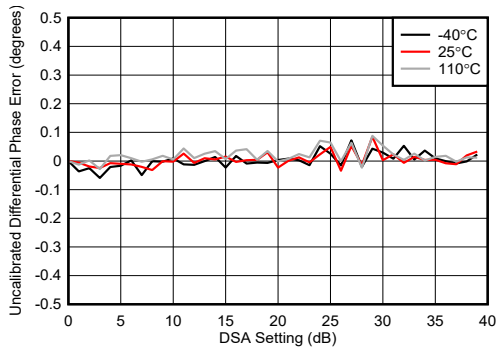
差分相位误差 = Phase（DSA 设置 – 1）– Phase（DSA 设置）

图 7-564. 7.1GHz 条件下未校准差分相位误差与通道间的关系

Copyright © 2023 Texas Instruments Incorporated

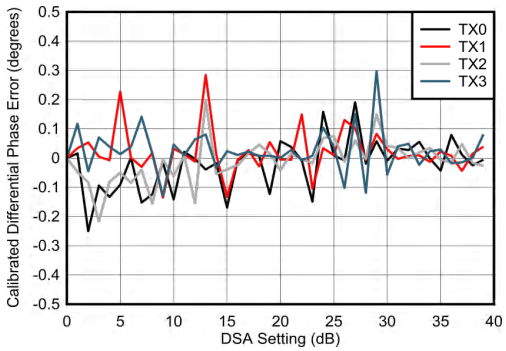
7.12.14 7.1 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 500MSPS，f_{DAC} = 9000MSPS，非交错模式，A_{OUT} = –1dBFS，第二奈奎斯特区域输出，外部时钟模式，18 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准，7.1GHz 匹配。



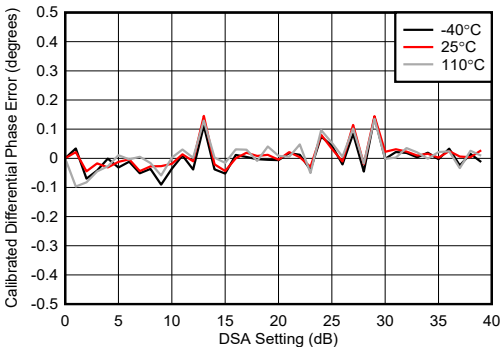
差分相位误差 = Phase（DSA 设置 – 1）– Phase（DSA 设置）

图 7-565. 7.1GHz 条件下未校准差分相位误差与温度间的关系



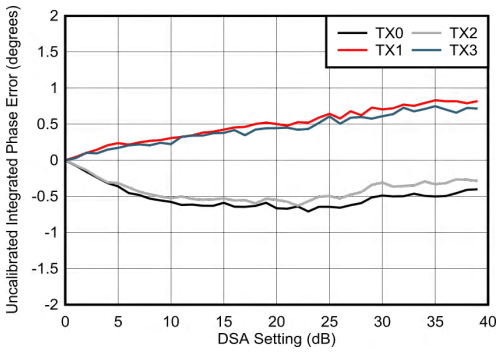
差分相位误差 = Phase（DSA 设置 – 1）– Phase（DSA 设置）

图 7-566. 7.1GHz 条件下校准差分相位误差与通道间的关系



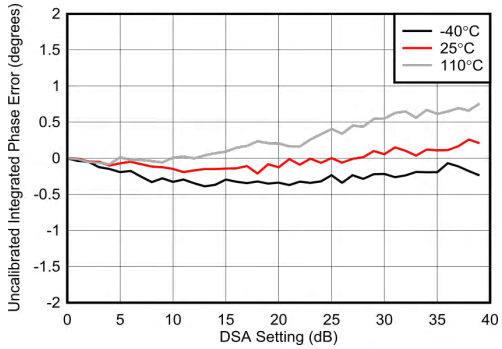
差分相位误差 = Phase（DSA 设置 – 1）– Phase（DSA 设置）

图 7-567. 7.1GHz 条件下校准差分相位误差与温度间的关系



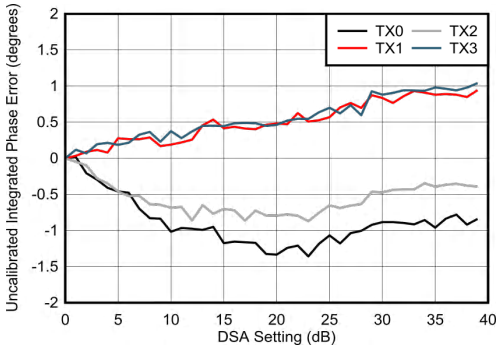
积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

图 7-568. 7.1GHz 条件下未校准积分相位误差与通道间的关系



积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

图 7-569. 7.1GHz 条件下未校准积分相位误差与温度间的关系

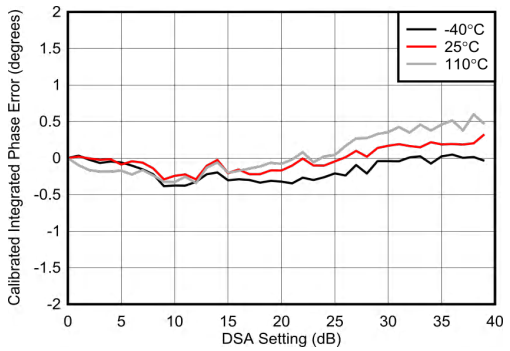


积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

图 7-570. 7.1GHz 条件下校准积分相位误差与通道间的关系

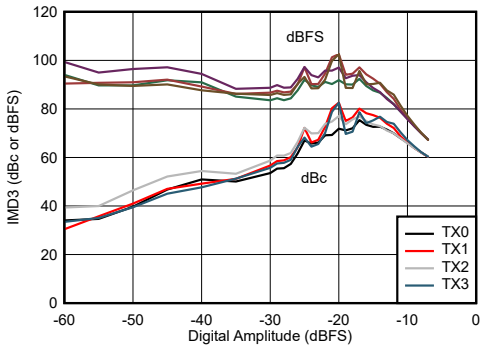
7.12.14 7.1 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 500MSPS，f_{DAC} = 9000MSPS，非交错模式，A_{OUT} = –1dBFS，第二奈奎斯特区域输出，外部时钟模式，18 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准，7.1GHz 匹配。



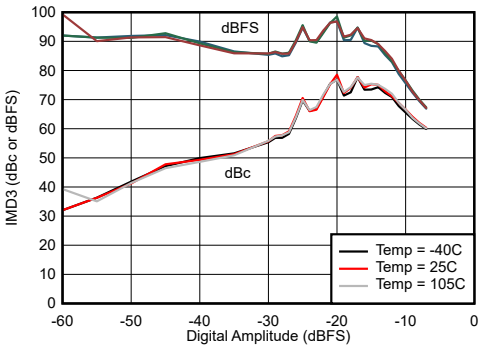
积分相位误差 = Phase（DSA 设置）– Phase（DSA 设置 = 0）

图 7-571. 7.1GHz 条件下校准积分相位误差与温度间的关系



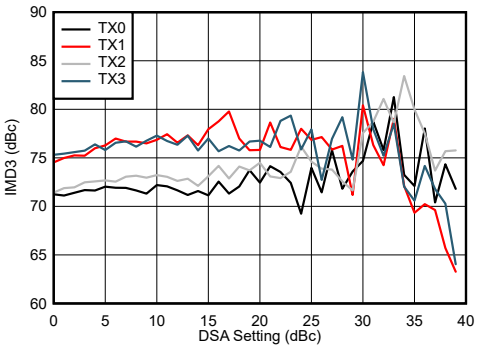
频率间隔 = 50MHz

图 7-572. 7.1GHz 条件下 IMD3 与数字振幅和通道间的关系



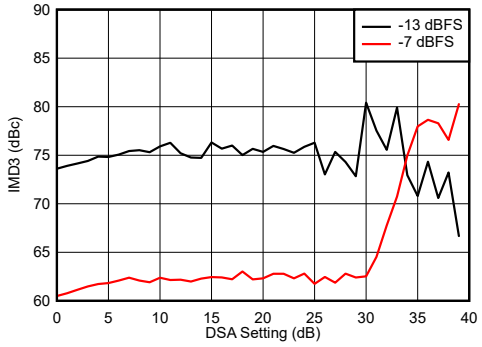
频率间隔 = 50MHz

图 7-573. 7.1GHz 条件下 IMD3 与数字振幅和温度间的关系



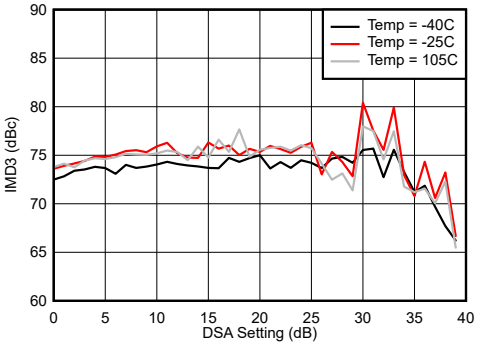
频率间隔 = 50MHz

图 7-574. 7.1GHz 条件下 IMD3 与 DSA 设置和通道间的关系



频率间隔 = 50MHz

图 7-575. 7.1GHz 条件下 IMD3 与 DSA 设置和数字振幅间的关系



频率间隔 = 50MHz

图 7-576. 7.1GHz 条件下 IMD3 与 DSA 设置和温度间的关系

Copyright © 2023 Texas Instruments Incorporated

7.12.14 7.1 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 500MSPS，f_{DAC} = 9000MSPS，非交错模式，A_{OUT} = –1dBFS，第二奈奎斯特区域输出，外部时钟模式，18 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准，7.1GHz 匹配。

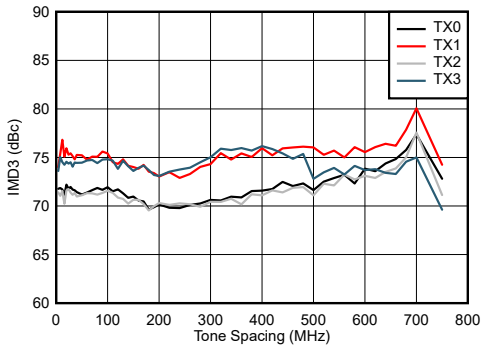


图 7-577. 7.1GHz 条件下 IMD3 与频率间隔和通道间的关系

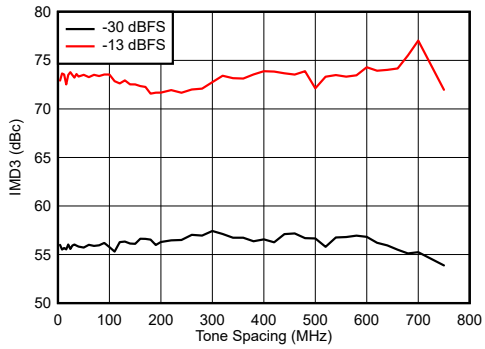


图 7-578. 7.1GHz 条件下 IMD3 与频率间隔和数字振幅间的关系

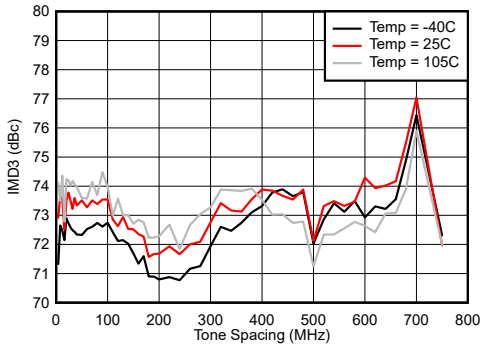
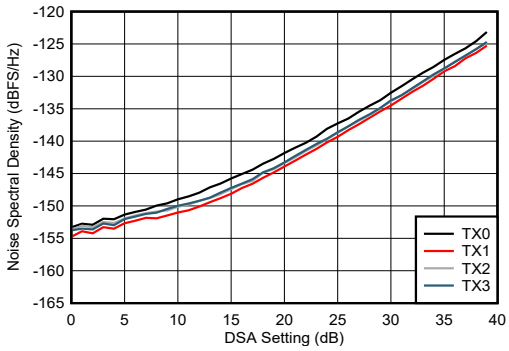
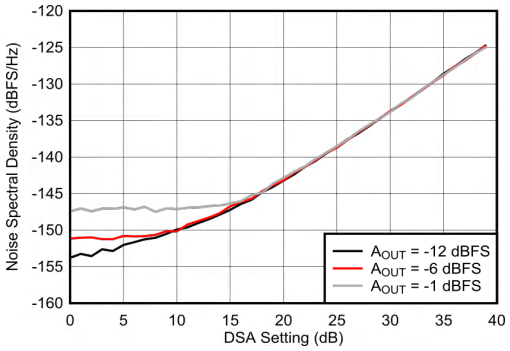


图 7-579. 7.1GHz 条件下 IMD3 与频率间隔和温度间的关系



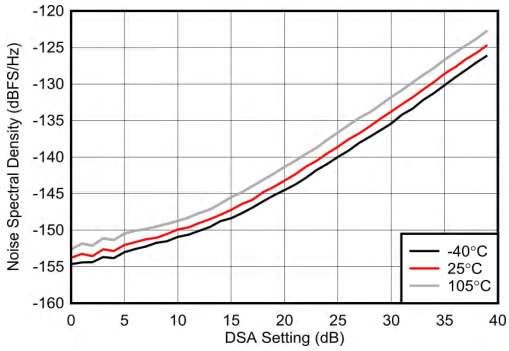
单音幅值为 -12dBFS，偏移频率为 50MHz

图 7-580. 7.1GHz 条件下 NSD 与 DSA 设置和通道间的关系



偏移频率为 50MHz

图 7-581. 7.1GHz 条件下 NSD 与 DSA 设置和振幅间的关系

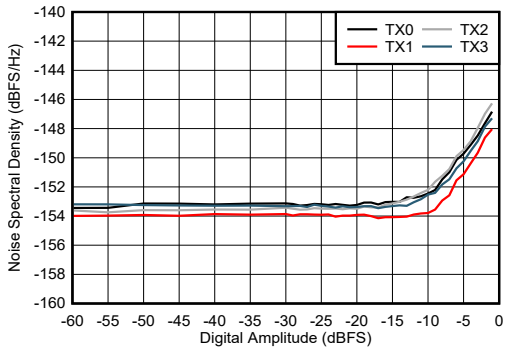


单音幅值为 -12dBFS，偏移频率为 50MHz

图 7-582. 7.1GHz 条件下 NSD 与 DSA 设置和温度间的关系

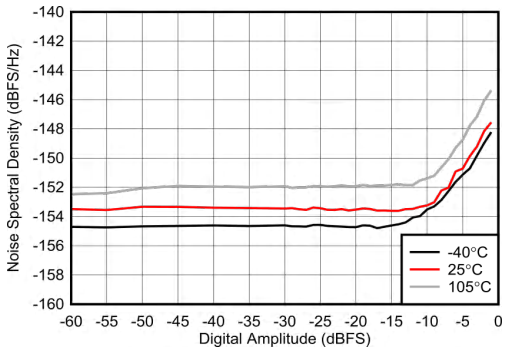
7.12.14 7.1 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 500MSPS，f_{DAC} = 9000MSPS，非交错模式，A_{OUT} = –1dBFS，第二奈奎斯特区域输出，外部时钟模式，18 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准，7.1GHz 匹配。



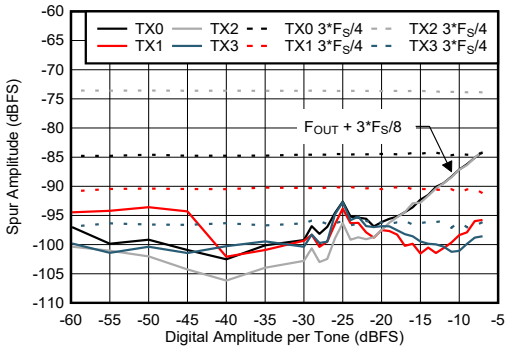
偏移频率为 50MHz

图 7-583. 7.1GHz 条件下 NSD 与数字振幅和通道间的关系



偏移频率为 50MHz

图 7-584. 7.1GHz 条件下 NSD 与数字振幅和温度间的关系



带内 = 7100MHz ± 600MHz，不包括 IMD3 组件，3 x F_S/4 杂散不包括在内，并单独显示

图 7-585. 7.1GHz 条件下双频带内 SFDR 与数字振幅间的关系

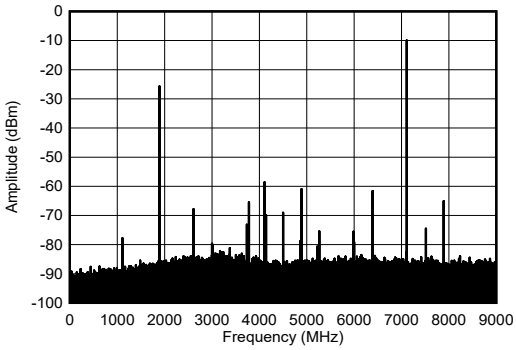


图 7-586. 7.1GHz、-1dBFS (0 - F_{DAC}) 条件下的单音输出频谱

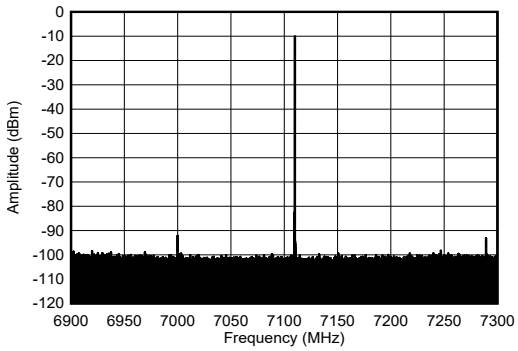


图 7-587. 7.1GHz、-1dBFS（带内）条件下的单音输出频谱

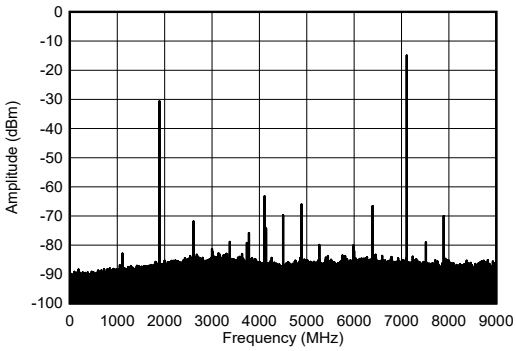


图 7-588. 7.1GHz、-6dBFS (0 - F_{DAC}) 条件下的单音输出频谱

Copyright © 2023 Texas Instruments Incorporated

7.12.14 7.1 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 500MSPS，f_{DAC} = 9000MSPS，非交错模式，A_{OUT} = –1dBFS，第二奈奎斯特区域输出，外部时钟模式，18 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准，7.1GHz 匹配。

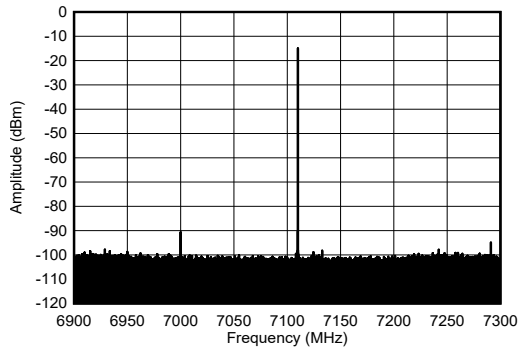


图 7-589. 7.1GHz、-6dBFS（带内）条件下的单音输出频谱

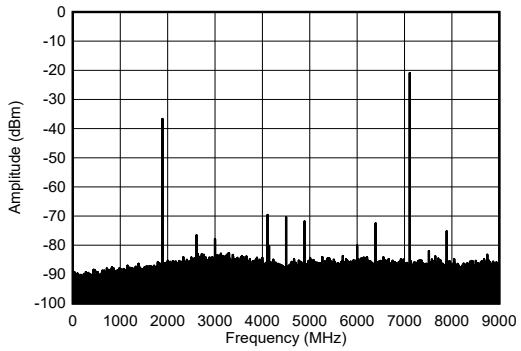


图 7-590. 7.1GHz、-12dBFS (0 - F_{DAC}) 条件下的单音输出频谱

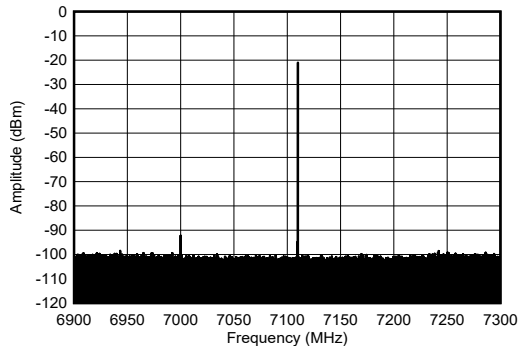
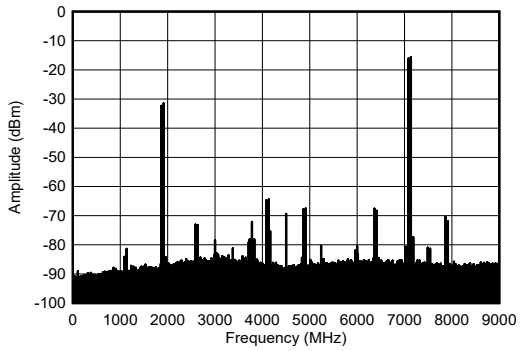
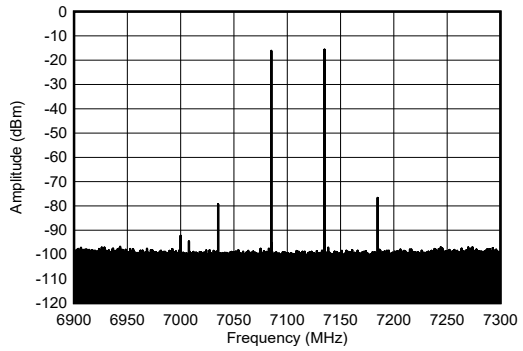


图 7-591. 7.1GHz、-12dBFS（带内）条件下的单音输出频谱



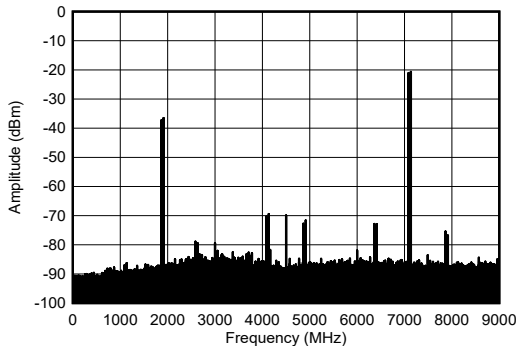
50MHz 频率间隔

图 7-592. 7.1GHz、单音幅值为 -7dBFS (0 - F_{DAC}) 条件下的双音输出频谱



50MHz 频率间隔

图 7-593. 7.1GHz、单音幅值为 -7dBFS（带内）条件下的双音输出频谱

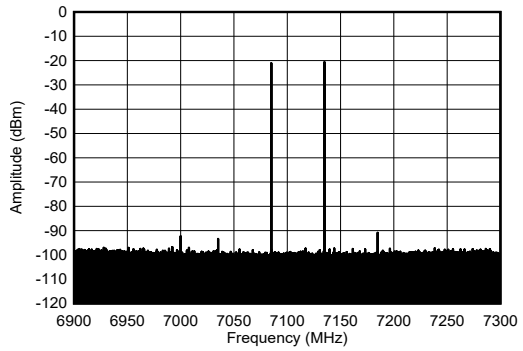


50MHz 频率间隔

图 7-594. 7.1GHz、单音幅值为 -12dBFS (0 - F_{DAC}) 条件下的双音输出频谱

7.12.14 7.1 GHz 下的 TX 典型特性 (continued)

T_A = +25°C 时的典型值，使用标称电源。除非另有说明，否则 TX 输入数据速率 = 500MSPS，f_{DAC} = 9000MSPS，非交错模式，A_{OUT} = –1dBFS，第二奈奎斯特区域输出，外部时钟模式，18 倍插值，DSA = 0dB，Sin(x)/x 启用，DSA 校准，7.1GHz 匹配。



50MHz 频率间隔

图 7-595. 7.1GHz、单音幅值为 -12dBFS（带内）条件下的双音输出频谱

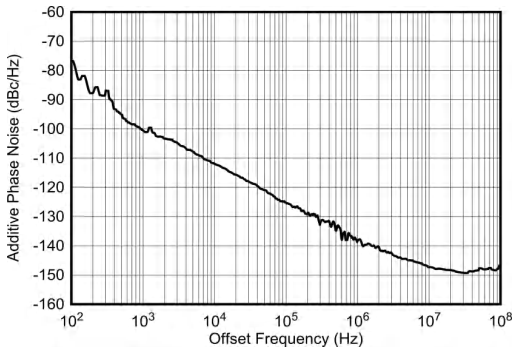
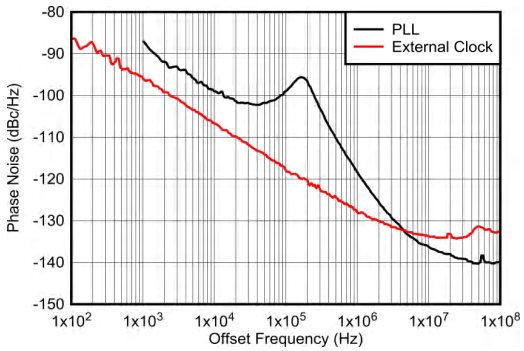


图 7-596. 7.1GHz 条件下的外部时钟附加相位噪声

Copyright © 2023 Texas Instruments Incorporated

7.12.15 PLL 和时钟典型特性



在 TX 输出端测量，通过 20 x log10 (12GHz/F_{OUT}) 标准化为 12GHz

图 7-597. 12GHz 条件下 PLL 和外部时钟的相位噪声与偏移频率间的关系

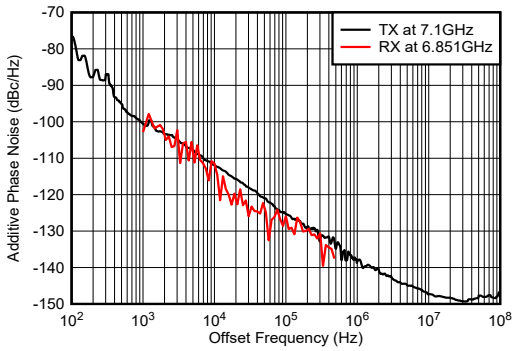
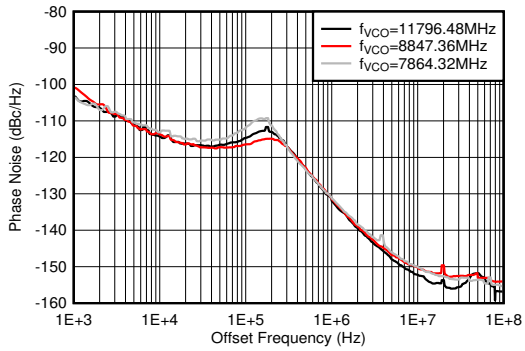
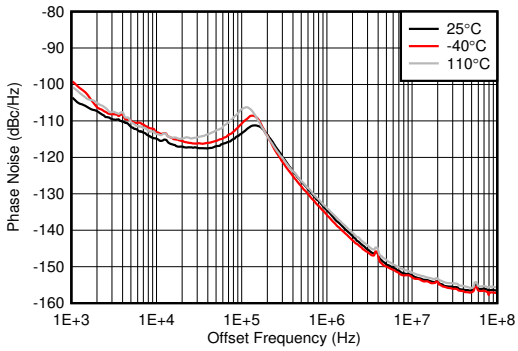


图 7-598. 7GHz 条件下的 TX 与 RX 附加相位噪声



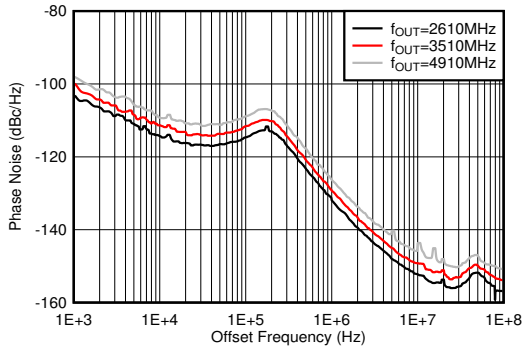
PLL 启用，f_{REF} = 491.52MSPS，在 2TXOUT 测量

图 7-599. f_{OUT} = 2610MHz 时相位噪声与偏移频率和 f_{VCO} 间的关系



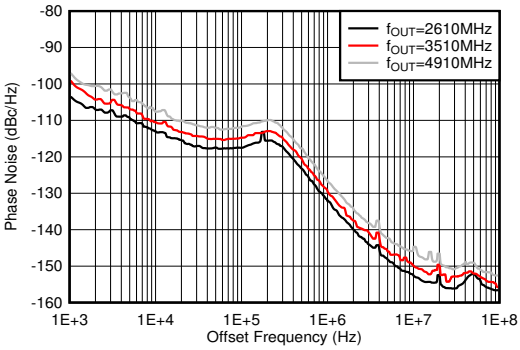
PLL 启用，f_{VCO} = 11796.48MHz，f_{REF} = 491.52MSPS，在 2TXOUT 测量

图 7-600. f_{OUT} = 1910MHz 时 12GHz VCO 相位噪声与偏移频率和温度间的关系



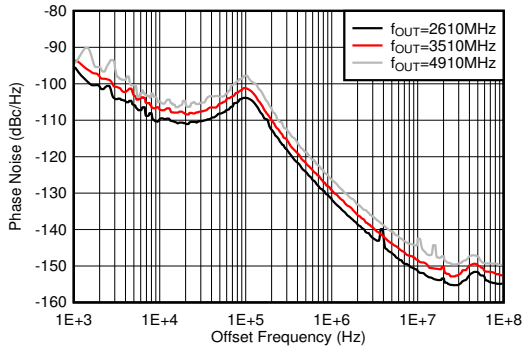
PLL 启用，f_{VCO} = 11796.48MHz，f_{REF} = 491.52MSPS，在 2TXOUT 测量

图 7-601. 25°C 条件下 12GHz VCO 相位噪声与偏移频率和 f_{OUT} 间的关系



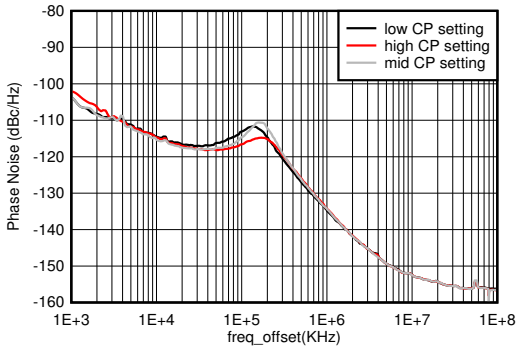
PLL 启用，f_{VCO} = 11796.48MHz，f_{REF} = 491.52MSPS，在 2TXOUT 测量

图 7-602. –40°C 条件下 12GHz VCO 相位噪声与偏移频率和 f_{OUT} 间的关系



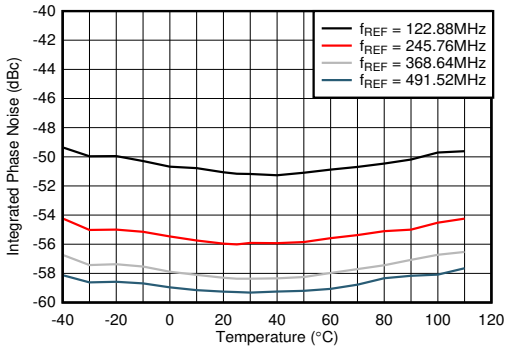
PLL 启用，f_{VCO} = 11796.48MHz，f_{REF} = 491.52MSPS，在 2TXOUT 测量

图 7-603. 110°C 条件下 12GHz VCO 相位噪声与偏移频率和 f_{OUT} 间的关系



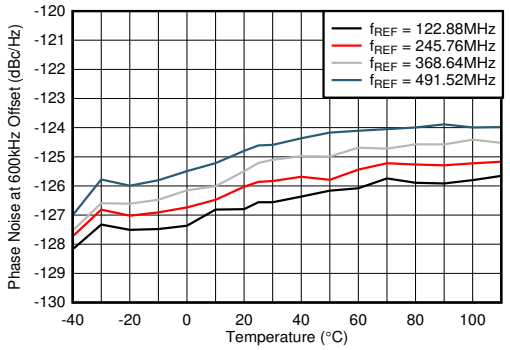
PLL 启用，f_{VCO} = 11796.48MHz，f_{REF} = 491.52MSPS，在 2TXOUT 测量

图 7-604. f_{OUT} = 2.6GHz 时 12GHz VCO 相位噪声与偏移频率和 CP 设置间的关系



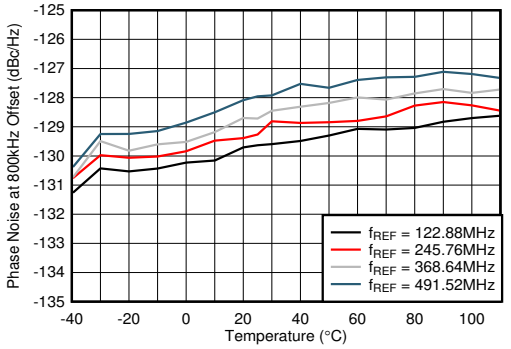
PLL 启用，f_{VCO} = 11796.48MHz，1kHz 至 100MHz，单侧集成带宽，在 2TXOUT 测量

图 7-605. f_{OUT} = 2.6GHz 时 12GHz VCO 积分相位噪声与温度和 f_{REF} 间的关系



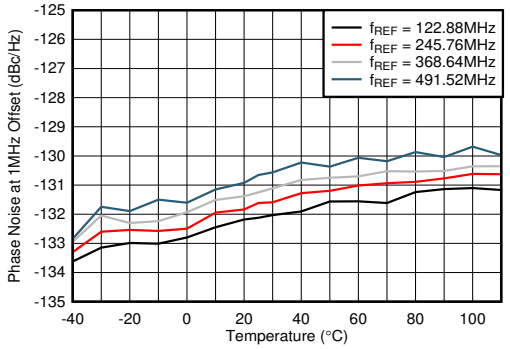
PLL 启用，f_{VCO} = 11796.48MHz，在 2TXOUT 测量

图 7-606. f_{OUT} = 2.6GHz 时 12GHz VCO 相位噪声（600kHz 偏移条件下）与温度和 f_{REF} 间的关系



A. PLL 启用，f_{VCO} = 11796.48MHz，在 2TXOUT 测量

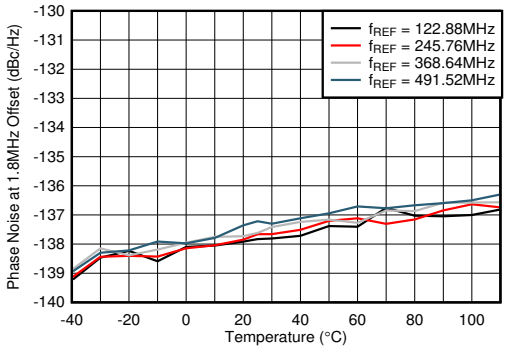
图 7-607. f_{OUT} = 2.6GHz 时 12GHz VCO 相位噪声（800kHz 偏移条件下）与温度和 f_{REF} 间的关系



PLL 启用，f_{VCO} = 11796.48MHz，在 2TXOUT 测量

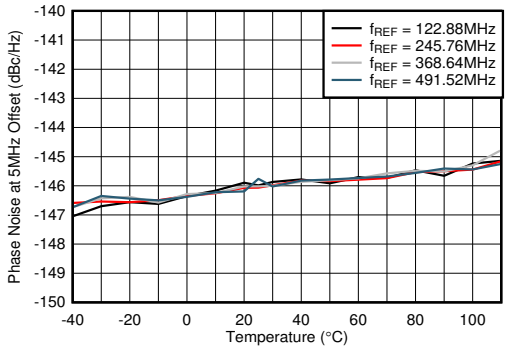
图 7-608. f_{OUT} = 2.6GHz 时 12GHz VCO 相位噪声（1MHz 偏移条件下）与温度和 f_{REF} 间的关系

Copyright © 2023 Texas Instruments Incorporated



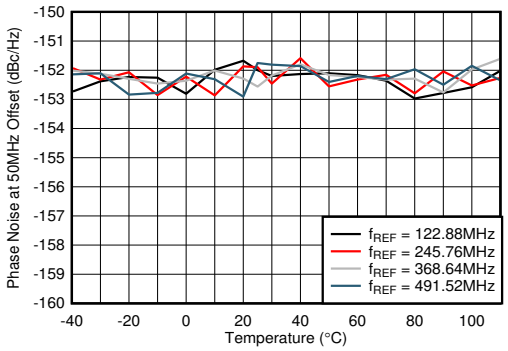
PLL 启用，f_{VCO} = 11796.48MHz，在 2TXOUT 测量

图 7-609. f_{OUT} = 2.6GHz 时 12GHz VCO 相位噪声（1.8MHz 偏移条件下）与温度和 f_{REF} 间的关系



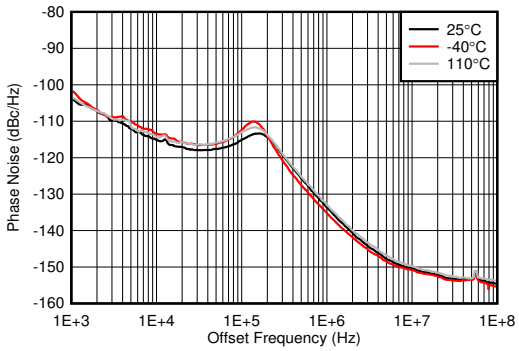
PLL 启用，f_{VCO} = 11796.48MHz，在 2TXOUT 测量

图 7-610. f_{OUT} = 2.6GHz 时 12GHz VCO 相位噪声（5MHz 偏移条件下）与温度和 f_{REF} 间的关系



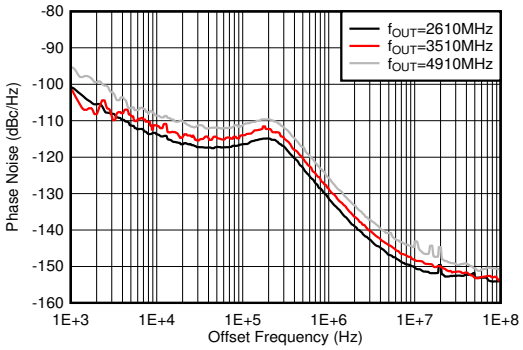
PLL 启用，f_{VCO} = 11796.48MHz，在 2TXOUT 测量

图 7-611. f_{OUT} = 2.6GHz 时 12GHz VCO 相位噪声（50MHz 偏移条件下）与温度和 f_{REF} 间的关系



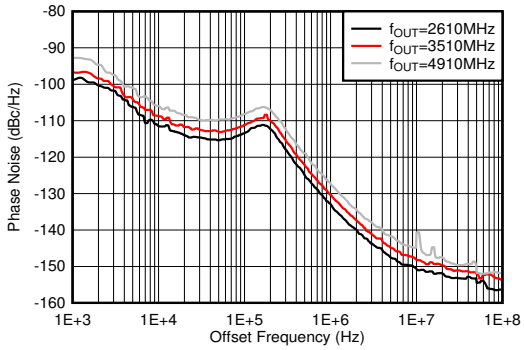
PLL 启用，f_{VCO} = 9830.4MHz，f_{REF} = 491.52MSPS，在 2TXOUT 测量

图 7-612. f_{OUT} = 1910MHz 时 10GHz VCO 相位噪声与偏移频率和温度间的关系



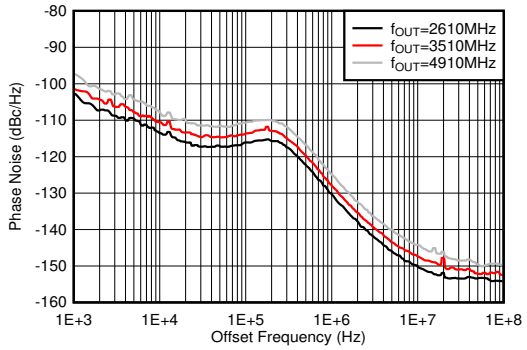
PLL 启用，f_{VCO} = 9830.4MHz，f_{REF} = 491.52MSPS，在 2TXOUT 测量

图 7-613. 25°C 条件下的 10GHz VCO 相位噪声与偏移频率和 f_{OUT} 间的关系



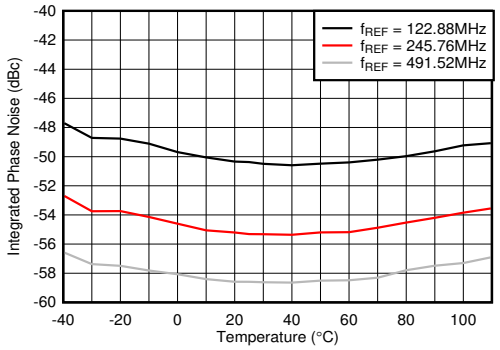
PLL 启用，f_{VCO} = 9830.4MHz，f_{REF} = 491.52MSPS，在 2TXOUT 测量

图 7-614. –40°C 条件下 10GHz VCO 相位噪声与偏移频率和 f_{OUT} 间的关系



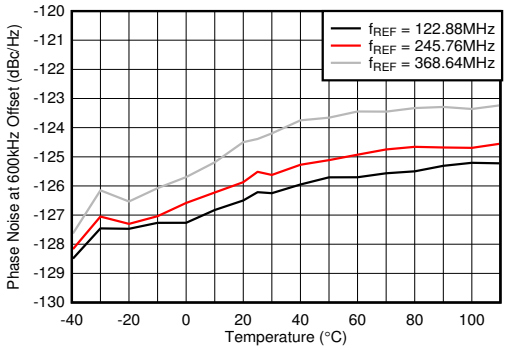
PLL 启用，f_{VCO} = 9830.4MHz，f_{REF} = 491.52MSPS，在 2TXOUT 测量

图 7-615. 110°C 条件下 10GHz VCO 相位噪声与偏移频率和 f_{OUT} 间的关系



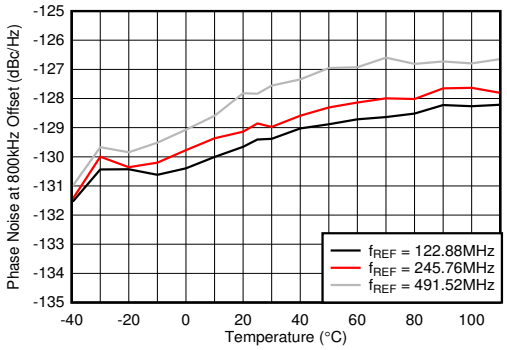
PLL 启用，f_{VCO} = 9830.4MHz，1kHz 至 100MHz，单侧集成带宽，在 2TXOUT 测量

图 7-616. f_{OUT} = 2.6GHz 时 10GHz VCO 积分相位噪声与温度和 f_{REF} 间的关系



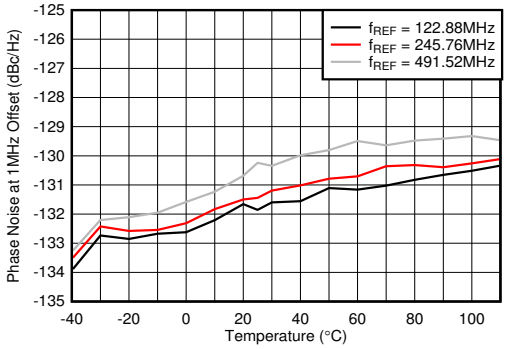
PLL 启用，f_{VCO} = 9830.4MHz，在 2TXOUT 测量

图 7-617. f_{OUT} = 2.6GHz 时 10GHz VCO 相位噪声（600kHz 条件下）与温度和 f_{REF} 间的关系



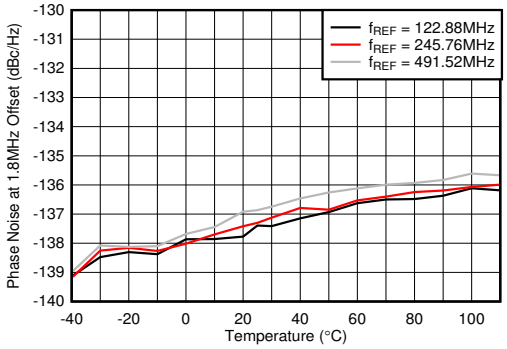
PLL 启用，f_{VCO} = 9830.4MHz，在 2TXOUT 测量

图 7-618. f_{OUT} = 2.6GHz 时 10GHz VCO 相位噪声（800kHz 条件下）与温度和 f_{REF} 间的关系



PLL 启用，f_{VCO} = 9830.4MHz，在 2TXOUT 测量

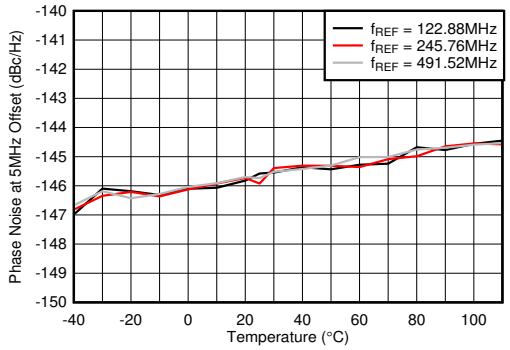
图 7-619. f_{OUT} = 2.6GHz 时 10GHz VCO 相位噪声（1MHz 条件下）与温度和 f_{REF} 间的关系



PLL 启用，f_{VCO} = 9830.4MHz，在 2TXOUT 测量

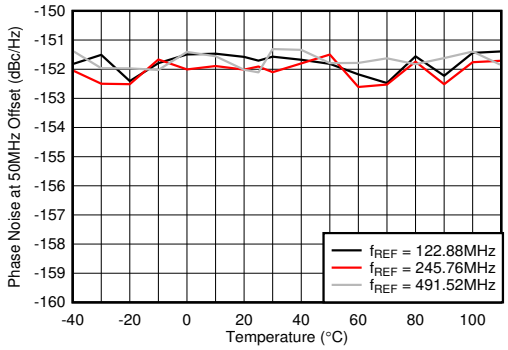
图 7-620. f_{OUT} = 2.6GHz 时 10GHz VCO 相位噪声（1.8MHz 条件下）与温度和 f_{REF} 间的关系

Copyright © 2023 Texas Instruments Incorporated



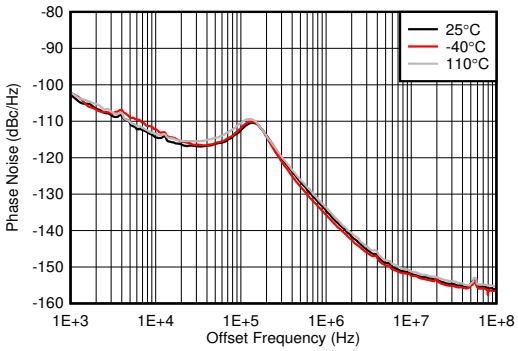
PLL 启用，f_{VCO} = 9830.4MHz，在 2TXOUT 测量

图 7-621. f_{OUT} = 2.6GHz 时 10GHz VCO 相位噪声（5MHz 条件下）与温度和 f_{REF} 间的关系



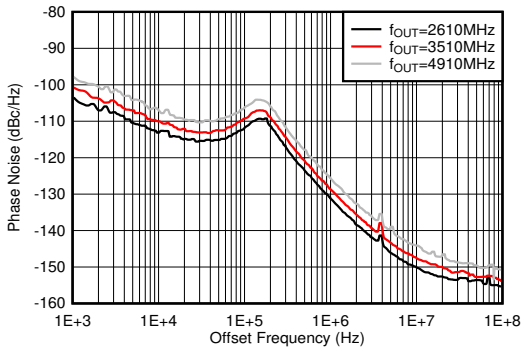
PLL 启用，f_{VCO} = 9830.4MHz，在 2TXOUT 测量

图 7-622. f_{OUT} = 2.6GHz 时 10GHz VCO 相位噪声（50MHz 条件下）与温度和 f_{REF} 间的关系



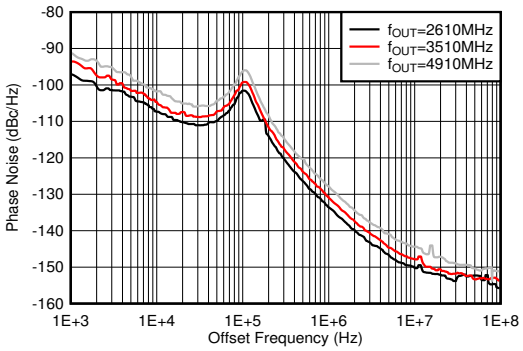
PLL 启用，f_{VCO} = 8847.36MHz，f_{REF} = 491.52MSPS，在 2TXOUT 测量

图 7-623. f_{OUT} = 1910MHz 时 9GHz VCO 相位噪声与偏移频率和温度间的关系



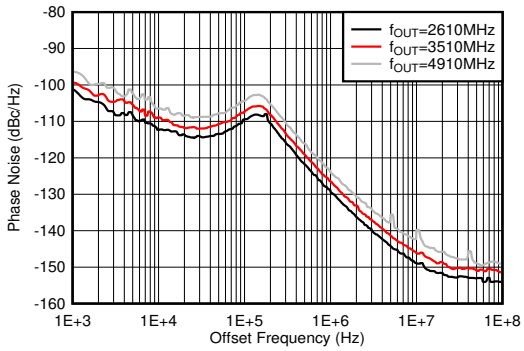
PLL 启用，f_{VCO} = 8847.36MHz，f_{REF} = 491.52MSPS，在 2TXOUT 测量

图 7-624. 25°C 条件下 9GHz VCO 相位噪声与偏移频率和 f_{OUT} 间的关系



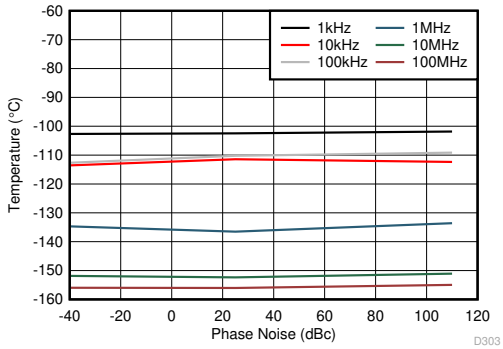
PLL 启用，f_{VCO} = 8847.36MHz，f_{REF} = 491.52MSPS，在 2TXOUT 测量

图 7-625. –40°C 条件下 9GHz VCO 相位噪声与偏移频率和 f_{OUT} 间的关系



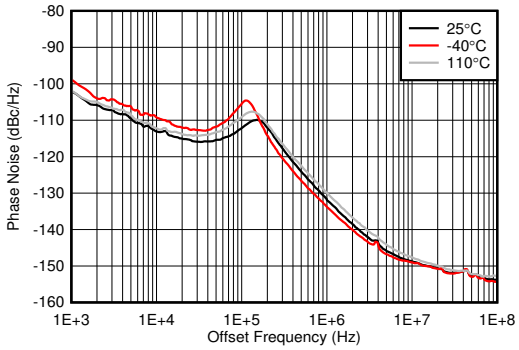
PLL 启用，f_{VCO} = 8847.36MHz，f_{REF} = 491.52MSPS，在 2TXOUT 测量

图 7-626. 110°C 条件下 9GHz VCO 相位噪声与偏移频率和 f_{OUT} 间的关系



PLL 启用，f_{VCO} = 8847.36MHz，f_{REF} = 491.52MSPS，最小 LPF 带宽，在 2TXOUT 测量

图 7-627. f_{OUT} = 2.6GHz 时 9GHz VCO 相位噪声与温度和偏移频率间的关系



PLL 启用，f_{VCO} = 7864.32MHz，f_{REF} = 491.52MSPS，在 2TXOUT 测量

图 7-628. f_{OUT} = 1910MHz 时 8GHz VCO 相位噪声与偏移频率和温度间的关系

Copyright © 2023 Texas Instruments Incorporated

8 器件和文档支持

8.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

8.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
AFE7901IABJ	ACTIVE	FCBGA	ABJ	400	90	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	AFE7901I	Samples
AFE7901IALK	ACTIVE	FCBGA	ALK	400	90	Non-RoHS & Green	Call TI	Level-3-220C-168 HR	-40 to 85	AFE7901 SNPB	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

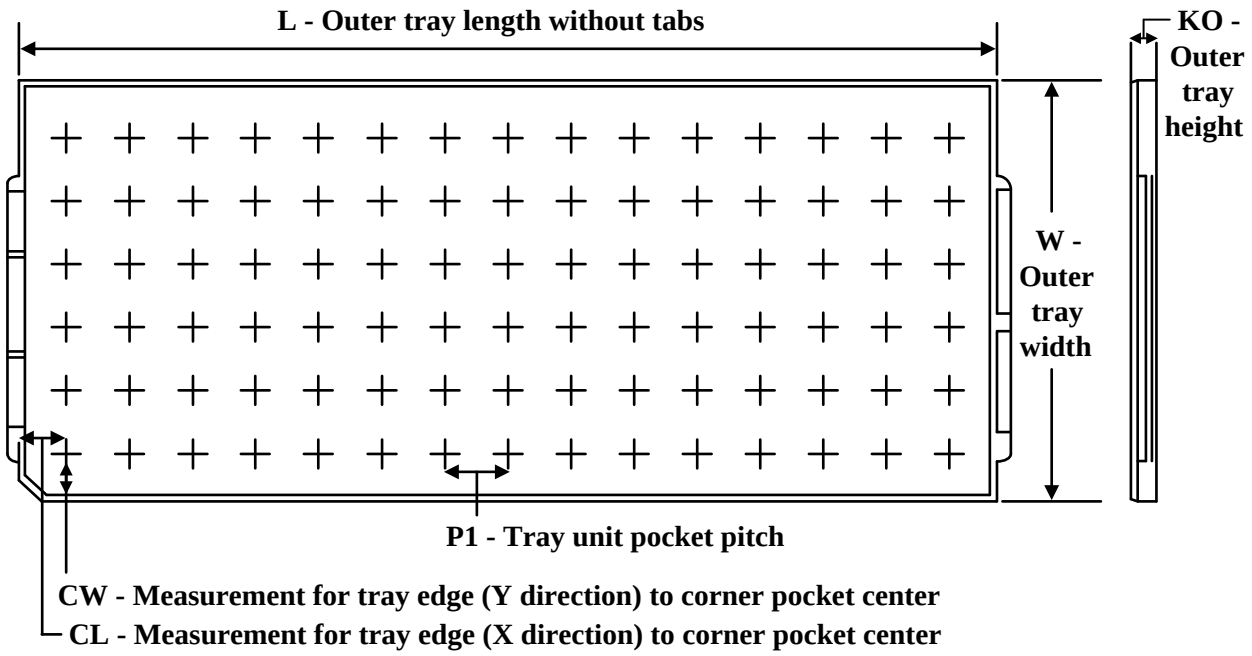
(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

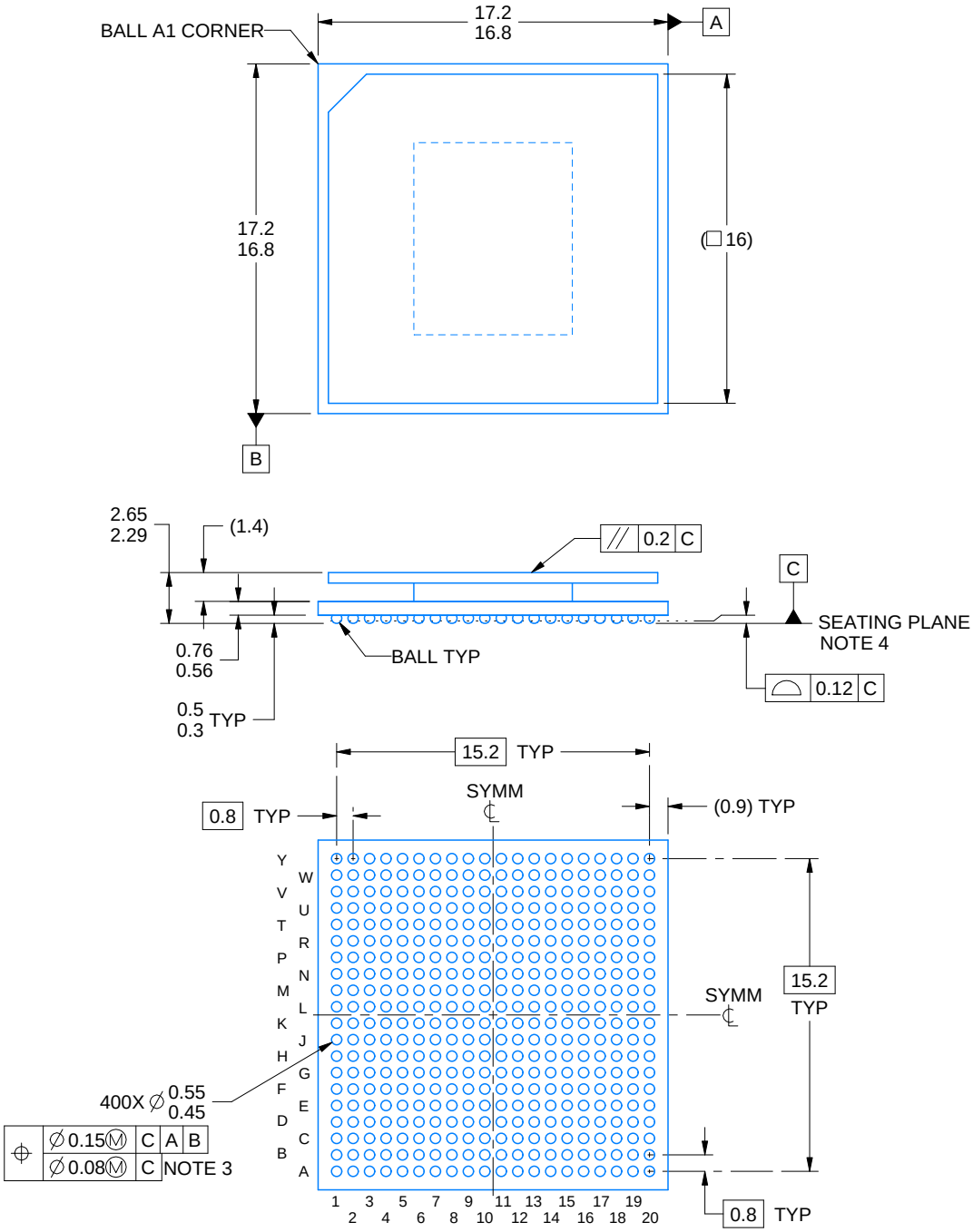
TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

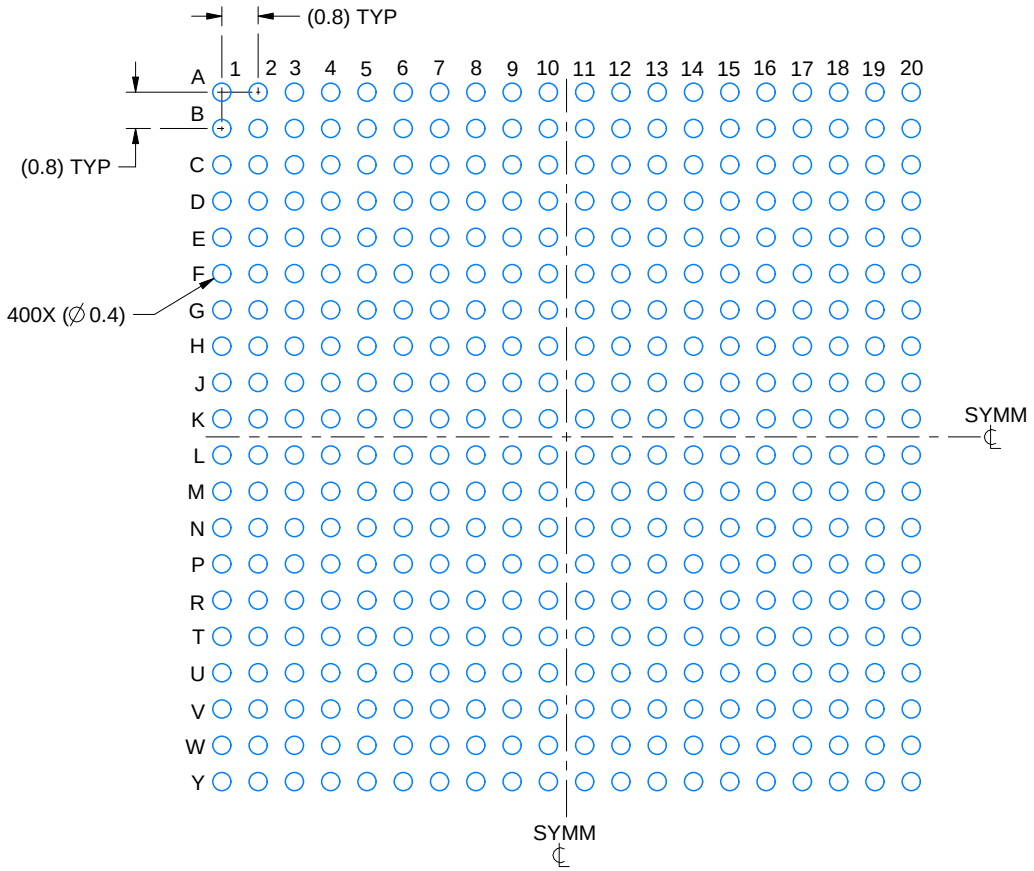
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
AFE7901IABJ	ABJ	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
AFE7901IABJ	ABJ	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
AFE7901IALK	ALK	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
AFE7901IALK	ALK	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2

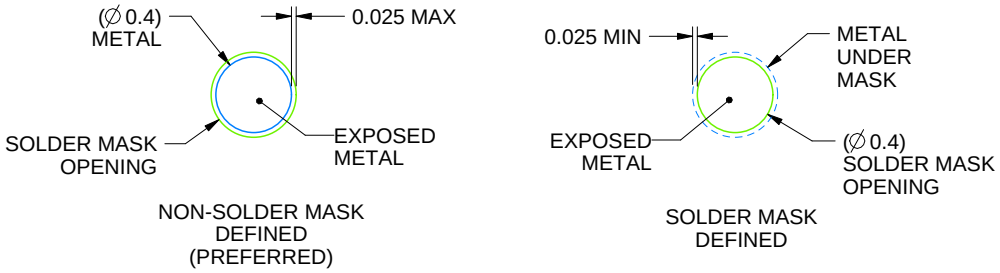


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Dimension is measured at the maximum solder ball diameter, parallel to primary datum C.
4. Primary datum C and seating plane are defined by the spherical crowns of the solder balls.
5. The lids are electrically floating (e.g. not tied to GND).



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

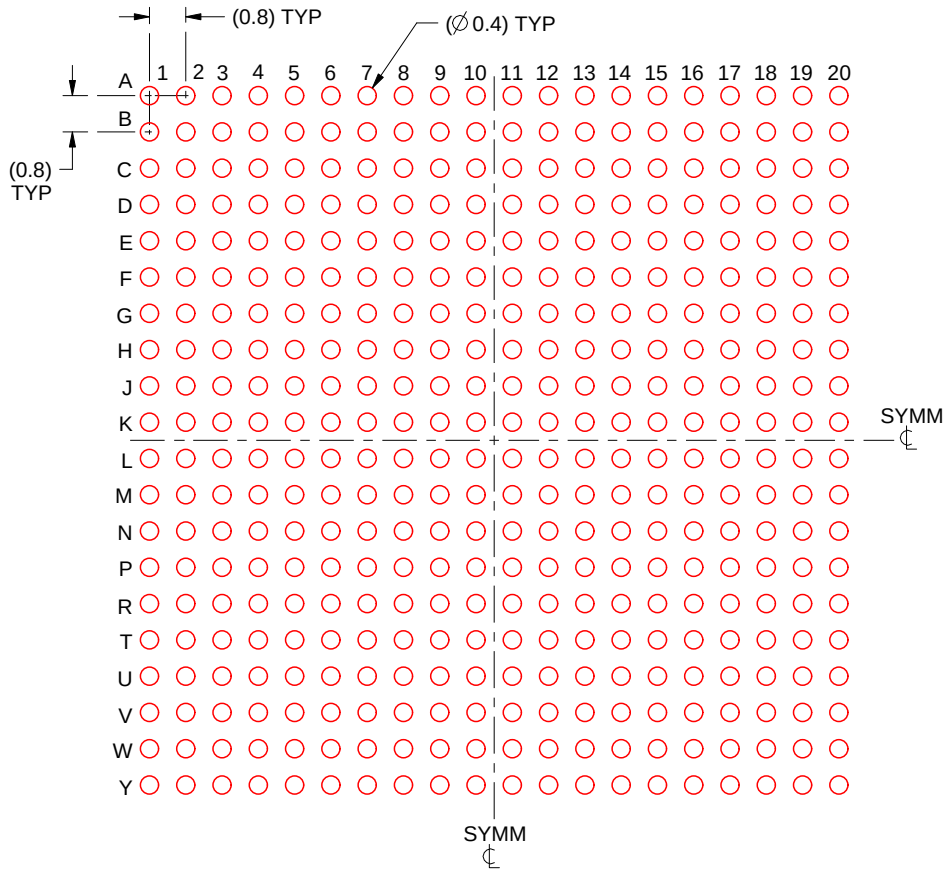


SOLDER MASK DETAILS
NOT TO SCALE

4221311/D 03/2023

NOTES: (continued)

6. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).

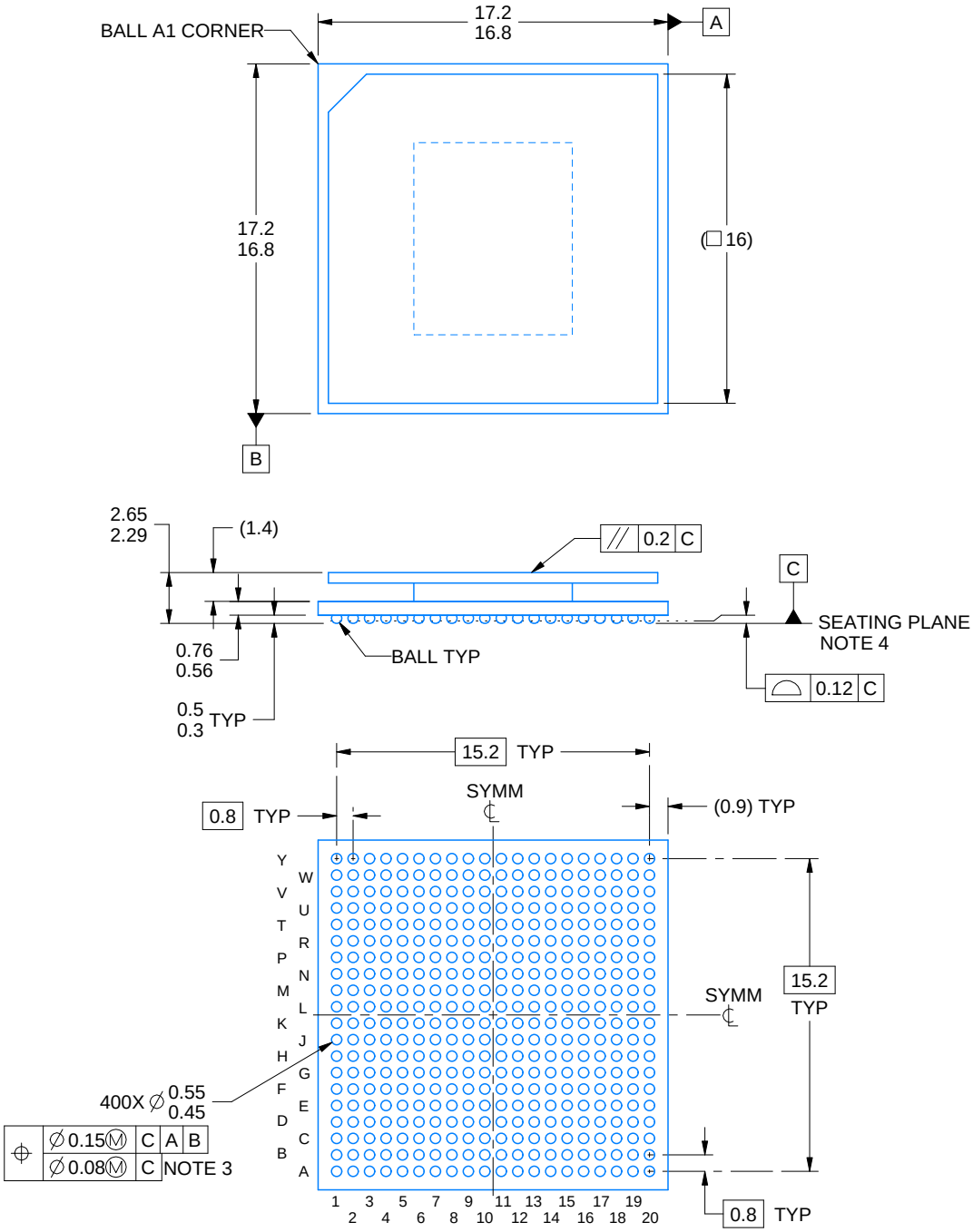


SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE:6X

4221311/D 03/2023

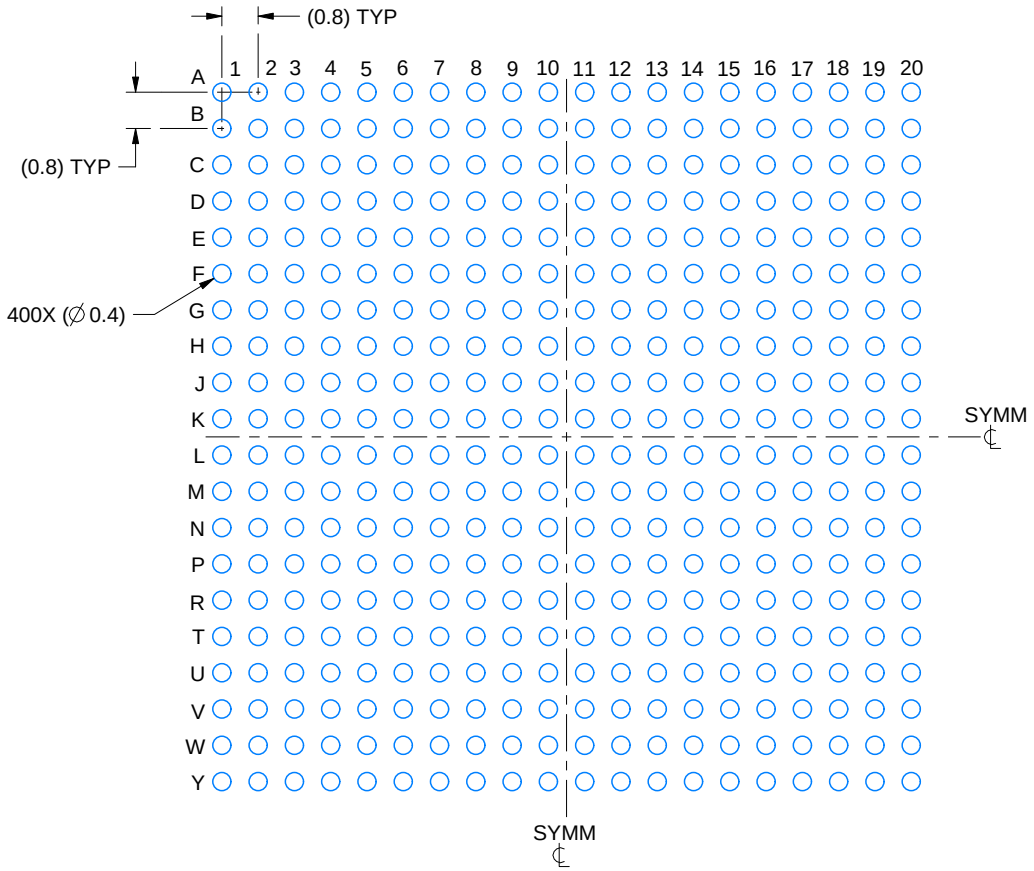
NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

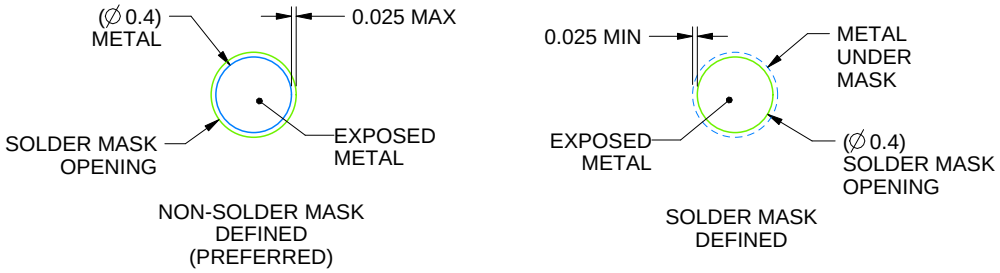


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Dimension is measured at the maximum solder ball diameter, parallel to primary datum C.
4. Primary datum C and seating plane are defined by the spherical crowns of the solder balls.
5. Pb-Free die bump and SnPb solder ball.
6. The lids are electrically floating (e.g. not tied to GND).



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

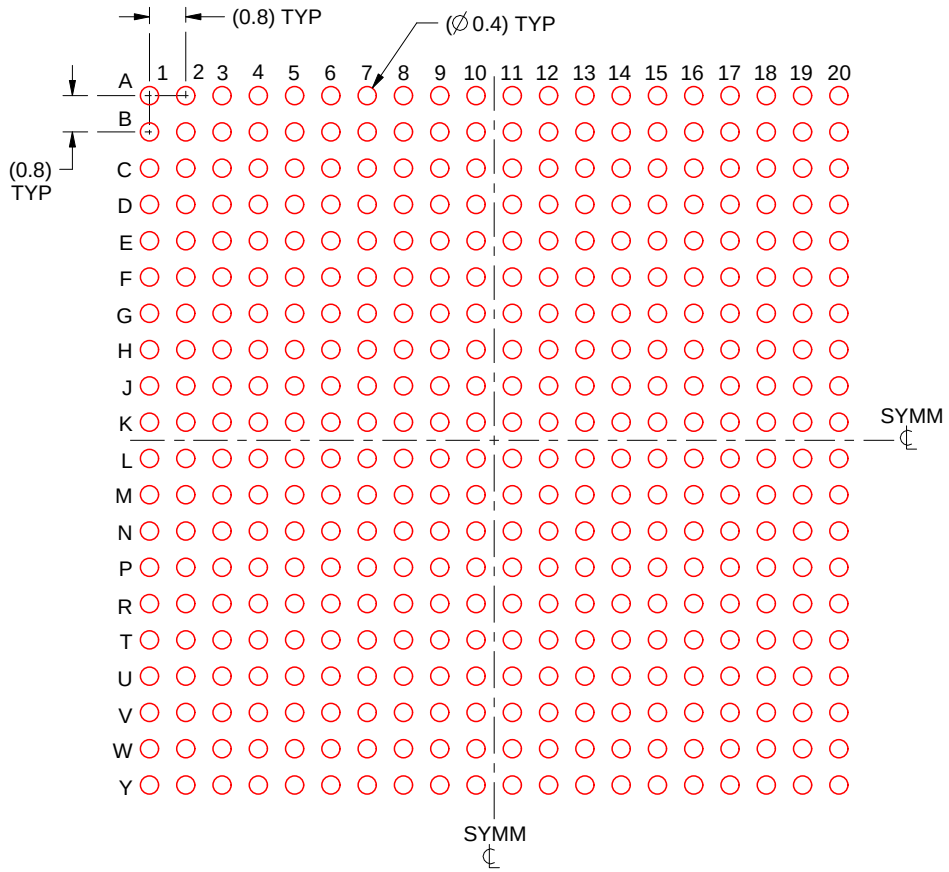


SOLDER MASK DETAILS
NOT TO SCALE

4225930/C 03/2023

NOTES: (continued)

7. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE:6X

4225930/C 03/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司