

AFE20408 8 通道功率放大器监测器和控制器

1 特性

- 8 个模拟输出
 - 8 个单调 DAC : 1.22mV 分辨率
 - 自动配置的输出范围 :
 - 正输出电压 : 0V 至 10V
 - 负输出电压 : -10V 至 0V
 - 高电流驱动能力
 - 高容性负载容差
- 输出开/关控制开关
 - 快速开关
 - 低电阻
- 多通道 ADC 监测器
 - 2 个高压外部输入 : 0V 至 85V
 - 2 个高侧电流检测放大器 : 高达 85V 的共模范围
 - 本地温度传感器 : $\pm 2.5^{\circ}\text{C}$ 误差
- 用于启动和关断事件的输出序列控制
- 内部 2.5V 基准
- SPI 和 I²C 接口 : 工作电压为 1.65V 至 3.6V
 - SPI : 4 线接口
 - I²C : 16 个目标地址
- 额定温度范围 : -40°C 至 $+125^{\circ}\text{C}$
- 工作温度范围 : -55°C 至 $+150^{\circ}\text{C}$

2 应用

- 雷达
- 电子战
- 软件定义无线电
- 导引头前端

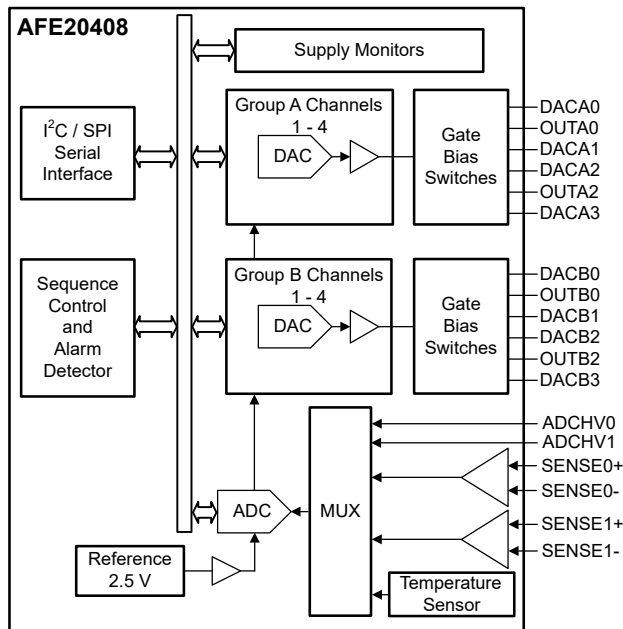
3 说明

AFE20408 是一款高度集成的功率放大器 (PA) 监测和控制器件, 能够监控温度、电流和电压。

AFE20408 偏置控制器基于八个具有可编程输出范围的数模转换器 (DAC)。八个栅极偏置输出通过专用控制引脚来开启和关闭。栅极偏置开关旨在提供快速响应, 可实现正确的电源时序控制, 并保护 GaAs 和 GaN 等耗尽型晶体管。

AFE20408 监测器基于高精度的多通道模数转换器 (ADC)。该器件集成了两个高压输入、两个高侧电流检测放大器和一个高精度片上温度传感器。

AFE20408 具有高功能集成度和宽工作温度范围特性, 因此非常适合作功率放大器的一体化偏置控制电路。凭借灵活的 DAC 输出范围和内置时序控制特性, 该器件可用作适用于多种晶体管技术 (例如 LDMOS、GaAs 和 GaN) 的偏置控制器。



简化版原理图

器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
AFE20408	RHB (VQFN , 32)	5mm × 5mm

(1) 有关更多信息, 请参阅节 11。

(2) 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。



内容

1 特性	1	7.2 通用配置寄存器映射	62
2 应用	1	7.3 ADC 配置寄存器映射	72
3 说明	1	7.4 ADC 自定义通道序列发生器配置寄存器映射	82
4 引脚配置和功能	3	7.5 DAC 配置寄存器映射	86
5 规格	5	7.6 DAC 缓冲器寄存器映射	107
5.1 绝对最大额定值.....	5	7.7 DAC 有效寄存器映射	109
5.2 ESD 等级.....	5	8 应用和实施	111
5.3 建议运行条件.....	6	8.1 应用信息.....	111
5.4 热性能信息.....	6	8.2 典型应用.....	113
5.5 电气特性.....	7	8.3 初始化设置.....	119
5.6 时序要求.....	10	8.4 电源相关建议.....	119
5.7 开关特性.....	12	8.5 布局.....	120
5.8 时序图.....	12	9 器件和文档支持	121
5.9 典型特性.....	13	9.1 文档支持.....	121
6 详细说明	20	9.2 接收文档更新通知.....	121
6.1 概述.....	20	9.3 支持资源.....	121
6.2 功能方框图.....	20	9.4 商标.....	121
6.3 特性说明.....	21	9.5 静电放电警告.....	121
6.4 器件功能模式.....	36	9.6 术语表.....	121
6.5 编程.....	39	10 修订历史记录	121
7 寄存器映射	46	11 机械、封装和可订购信息	121
7.1 全局寄存器映射.....	47		

4 引脚配置和功能

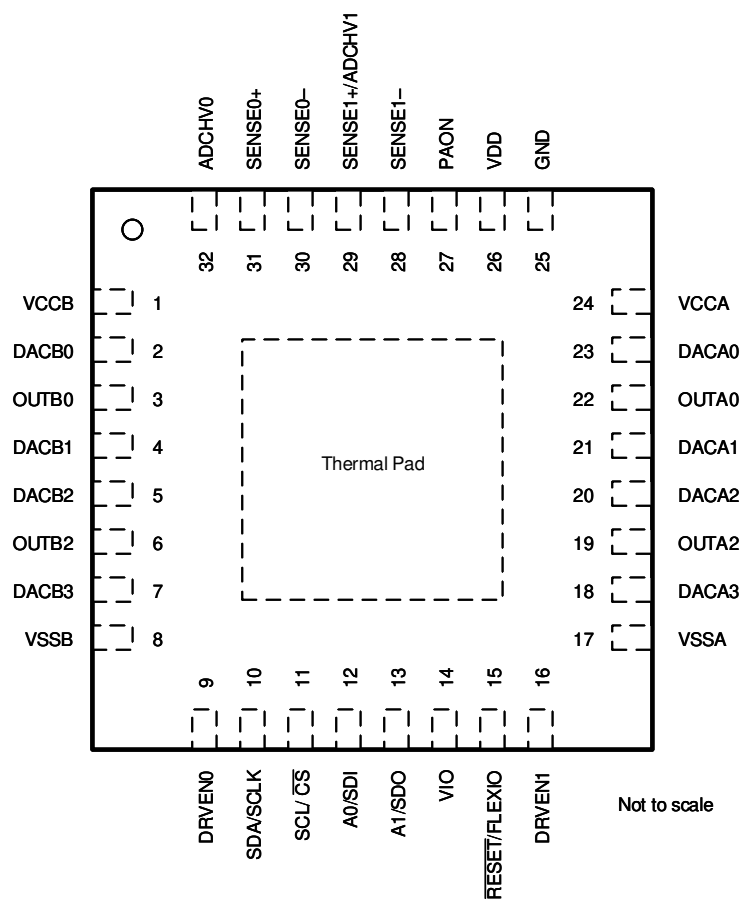


图 4-1. RHB 封装，32 引脚 VQFN (顶视图)

表 4-1. 引脚功能

引脚		类型	说明
编号	名称		
1	VCCB	电源	B 组输出缓冲器正模拟电源。
2	DACB0	输出	DACB0 缓冲器输出。
3	OUTB0	输出	DACB0 开关输出。
4	DACB1	输出	DACB1 缓冲器输出。
5	DACB2	输出	DACB2 缓冲器输出。
6	OUTB2	输出	DACB2 开关输出。
7	DACB3	输出	DACB3 缓冲器输出。
8	VSSB	电源	B 组输出缓冲器负模拟电源。
9	DRVEN0	输入	异步开关控制信号。
10	SDA/SCLK	输入/输出	I ² C：双向数据线。 SPI：时钟输入。
11	SCL/CS	输入	I ² C：时钟输入。 SPI：低电平有效串行数据使能。此输入是串行数据的帧同步信号。当信号变为低电平时，该引脚启用串行接口输入移位寄存器。
12	A0/SDI	输入	I ² C：目标地址选择器。 SPI：数据输入。数据在 SCLK 引脚每个下降沿移入到输入移位寄存器中。
13	A1/SDO	输入/输出	I ² C：目标地址选择器。 SPI：数据输出。根据 FSDO 位的指定值，数据在 SCLK 引脚的上升沿或下降沿从输入移位寄存器中移出。
14	VIO	电源	IO 电源电压。该引脚用于设置器件的 I/O 工作电压。
15	RESET/FLEXIO	输入	低电平有效复位输入。该引脚上的逻辑低电平会使器件启动复位事件。也称为 FLEXIO，因为该引脚可以配置为 RESET（默认）、GPIO、ALARMOUT 输出、ALARMIN 输入、DRVEN2 或 LDAC。
16	DRVEN1	输入	异步开关控制信号。
17	VSSA	电源	A 组输出缓冲器负模拟电源。
18	DACA3	输出	DACA3 缓冲器输出。
19	OUTA2	输出	DACA2 开关输出。
20	DACA2	输出	DACA2 缓冲器输出。
21	DACA1	输出	DACA1 缓冲器输出。
22	OUTA0	输出	DACA0 开关输出。
23	DACA0	输出	DACA0 缓冲器输出。
24	VCCA	电源	A 组输出缓冲器正模拟电源。
25	GND	地	此器件上用于所有电路的接地参考点。
26	VDD	电源	模拟电源电压。
27	PAON	输出	用于 PA 偏置的同步信号。
28	SENSE1 –	输入	电流传感器 1 连接。
29	SENSE1+/ ADCHV1	输入	电流传感器 1 连接。也可用作高电压 ADC 模拟输入。
30	SENSE0 –	输入	电流传感器 0 连接。
31	SENSE0+	输入	电流传感器 0 连接。
32	ADCHV0	输入	高电压 ADC 模拟输入 0。
散热焊盘	散热焊盘	—	散热垫位于封装的底部。通过多个过孔将散热焊盘连接到任何内部 PCB 接地平面，以获得良好的热性能。

5 规格

5.1 绝对最大额定值

所有额定值均在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

			最小值	最大值	单位
	电源电压 ⁽²⁾	V_{DD} 至 GND	-0.3	6	V
		V_{IO} 至 GND	-0.3	6	
		$V_{CC[A,B]}$ 至 GND	-0.3	12	
		$V_{SS[A,B]}$ 至 GND	-12	0.3	
		$V_{CC[A,B]}$ 至 $V_{SS[A,B]}$	-0.3	12	
	引脚电压	DACA[0:3] 输出引脚至 GND	$V_{SSA} - 0.3$	$V_{CCA} + 0.3$	V
		DACB[0:3] 输出引脚至 GND	$V_{SSB} - 0.3$	$V_{CCB} + 0.3$	
		OUTA[0,2] 输出引脚至 GND	$V_{SSA} - 0.3$	$V_{CCA} + 0.3$	
		OUTB[0,2] 输出引脚至 GND	$V_{SSB} - 0.3$	$V_{CCB} + 0.3$	
		ADCHV0 和 ADCHV1 输入引脚至 GND	-0.3	85	
		数字引脚至 GND	-0.3	$V_{IO} + 0.3$	
		SENSE0[+/-] 和 SENSE1[+/-] 输入引脚至 GND	-0.3	85	
		SENSE[0:1]+ 至 SENSE[0:1]- 差分输入 ⁽³⁾	-85	85	
T_J	结温		-55	150	°C
T_{stg}	贮存温度		-65	150	

- 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- 该器件可配置为提供混合范围输出；即一组 DAC 具有正输出范围，另一组 DAC 具有负输出范围。在这种情况下，器件电源电压的设置必须确保 $V_{SSA} \leq V_{SSB}$ 且 $V_{CCA} \leq V_{CCB}$ （即 DAC B 组必须在正输出范围模式下运行，而 DAC A 组必须在负输出范围模式下运行）。
- 请勿长时间（ ≥ 5 年）维持 -85V 的差分输入，因为这样做会降低内部钳位二极管的性能；内部钳位二极管的作用是防止电流直接从 VCC 流向 VSS（即防止器件短路）。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚 ⁽¹⁾	± 1000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚 ⁽²⁾	± 500	

- JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{DD}	模拟电源电压	3.0		5.5	V
V_{IO}	数字 IO 电源电压	1.65		3.6	V
$V_{CC[A,B]}$ ⁽¹⁾	输出缓冲器正电源电压	3.0		11.0	V
$V_{SS[A,B]}$ ⁽²⁾	输出缓冲器负电源电压	-11.0		-3.0	V
$V_{CCA} - V_{SSA}$	A 组输出缓冲器电源电压范围	3.0		11.0	V
$V_{CCB} - V_{SSB}$	B 组输出缓冲器电源电压范围	3.0		11.0	V
$V_{CC[A,B]} - V_{SS[B,A]}$	混合 DAC 范围电源电压范围	3.0		18.0	V
$V_{CM} - V_{SS[A,B]}$	SENSE 引脚共模输入范围	-0.3		85	V
$V_{IN} - V_{SS[A,B]}$	ADCHV 引脚输入电压范围	0		85	V
T_J	额定结温	-40		125	°C
	工作结温	-55		150	

(1) 当相应的 DAC 组配置为在负输出电压范围运行时， $V_{CC[A,B]}$ 必须连接到 GND。

(2) 当相应的 DAC 组配置为在正输出电压范围运行时， $V_{SS[A,B]}$ 必须连接到 GND。

5.4 热性能信息

热性能指标 ⁽¹⁾		AFE20408	单位
		RHB (VQFN)	
		32 引脚	
θ_{JA}	结至环境热阻	34.7	°C/W
$\theta_{JC(top)}$	结至外壳（顶部）热阻	19.5	°C/W
θ_{JB}	结至电路板热阻	14.6	°C/W
Ψ_{JT}	结至顶部特征参数	0.3	°C/W
Ψ_{JB}	结至电路板特征参数	14.5	°C/W
$\theta_{JC(bot)}$	结至外壳（底部）热阻	6.7	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

5.5 电气特性

所有最小值和最大值的条件为 $T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ；所有典型值的条件为 $T_J = 25^{\circ}\text{C}$ ， $V_{DD} = 3.0\text{V}$ 至 5.5V ， $V_{IO} = 1.65\text{V}$ 至 3.6V ，正输出范围： $V_{CC[A,B]} = 3.0\text{V}$ 至 11.0V ， $V_{SS[A,B]} = \text{GND}$ ，负输出范围： $V_{SS[A,B]} = -11.0\text{V}$ 至 -3.0V ， $V_{CC[A,B]} = \text{GND}$ ，且 DAC 输出为空载（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
DAC 特性⁽¹⁾						
	分辨率		13			位
	满量程输出电压范围	在启动时通过自动范围检测进行设置	-10		0	V
		在启动时通过自动范围检测进行设置	0		10	
DNL	微分非线性	指定的 13 位单调	-1		1	LSB
INL	积分非线性		-4		4	LSB
TUE	总体未调整误差		-0.6	±0.1	0.6	%FSR
TUE	总体未调整误差 ⁽⁴⁾	在工作温度范围 ($T_J = -55^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$) 内运行	-2	±0.1	2	%FSR
	总体调整误差	在 25°C 温度下进行一点校准后，DAC 输出处于满量程的 1/4	-0.1	±0.01	0.1	%FSR
	偏移误差	正输出范围	-40	±5	40	mV
		负输出范围	-40	±5	40	
	偏移误差温漂			±5		ppm/ $^{\circ}\text{C}$
	增益误差		-0.5	±0.01	0.5	%FSR
	增益误差温漂			±20		ppm/ $^{\circ}\text{C}$
	零标度误差	正输出范围：全 0 代码	0	5	35	mV
		负输出范围：全 1 代码	-35	-5	0	
	零标度误差温漂			±5		ppm/ $^{\circ}\text{C}$
	满量程误差	正输出范围：全 1 代码	-0.7	±0.05	0.7	%FSR
		负输出范围：全 0 代码	-0.7	±0.05	0.7	
	满量程误差温漂			±20		ppm/ $^{\circ}\text{C}$
	短路电流 ⁽²⁾	启动电流模式		15		mA
		低电流模式		30		
		正常电流模式		90		
		高电流模式		120		
	容性负载稳定性 ⁽³⁾		0		15	μF
	输出直流阻抗	中标度代码		3		Ω
	输出电压稳定时间	$C_L = 15\mu\text{F}$ ，2.5V 阶跃，到 2.5mV 以内		400		μs
	输出噪声	0.1Hz 至 10Hz，中标度代码		70		μVpp
	输出噪声密度	1kHz，中标度代码		700		nV/√Hz
PSRR _{AC}	交流电源抑制比	中标度代码，频率 = 60Hz， 振幅 = 200mVpp 叠加在 $V_{CC[A,B]}$ 或 $V_{SS[A,B]}$ 上		66		dB
		中标度代码，频率 = 60Hz， 振幅 = 200mVpp 叠加在 V_{DD} 上		70		
PSRR _{DC}	直流电源抑制比	中标度代码， $V_{DD} = 5\text{V} \pm 10\%$ ， $V_{CC[A,B]} = 10\text{V} \pm 10\%$ ， $V_{SS} = -10\text{V} \pm 10\%$		500		μV/V
	通道间直流串扰	中标度时测得的 DAC 输出，满量程时的 所有其他 DAC 输出		150		μV

5.5 电气特性 (续)

所有最小值和最大值的条件为 $T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ；所有典型值的条件为 $T_J = 25^{\circ}\text{C}$ ， $V_{DD} = 3.0\text{V}$ 至 5.5V ， $V_{IO} = 1.65\text{V}$ 至 3.6V ，正输出范围： $V_{CC[A,B]} = 3.0\text{V}$ 至 11.0V ， $V_{SS[A,B]} = \text{GND}$ ，负输出范围： $V_{SS[A,B]} = -11.0\text{V}$ 至 -3.0V ， $V_{CC[A,B]} = \text{GND}$ ，且 DAC 输出为空载（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位	
输出开关直流特性							
R _{DAC}	DAC 缓冲器和输出引脚之间的电阻	1.5V 电源余量		3	5	Ω	
R _{VSS}	V _{SS[A,B]} 和输出引脚之间的电阻			4	7	Ω	
电源监控器特性							
V _{SSTH}	V _{SS} 阈值检测器	低 V _{SS} 电源故障检测		-2.2	-1.7	V	
		中 V _{SS} 电源故障检测		-3.7	-3.2		
		高 V _{SS} 电源故障检测		-6.7	-6.2		
V _{CCTH}	V _{CC} 阈值检测器	V _{CC} 电源故障检测		1.7	2.2	V	
高电压检测特性							
V _{IN}	模拟输入范围	V _{SS[A,B]} = 0V		0	85	V	
	偏移电压	V _{IN} = 20mV		±1.5	±13	mV	
	偏移电压 ⁽⁴⁾	V _{IN} = 20mV，在工作温度范围 (T _J = -55°C 至 +150°C) 内运行		±5	±40	mV	
	偏移电压温漂			±20		μV/°C	
	增益误差			±0.1	±1.0	%	
	增益误差 ⁽⁴⁾	在工作温度范围 (T _J = -55°C 至 +150°C) 内运行		±0.3	±3.0	%	
	增益误差漂移			±20		ppm/°C	
	输入阻抗	工作模式		1		MΩ	
	引脚漏电流	关断模式，V _{IN} = 85V		1		μA	
	分辨率			3.125		mV	
电流检测特性							
V _{CM}	共模输入范围	V _{SS[A,B]} = 0V		-0.3	85	V	
V _{DIFF}	分流电压输入范围	SHUNT_RANGE = 0		-163.84	163.84	mV	
		SHUNT_RANGE = 1		-40.96	40.96		
	分流失调电压	V _{CM} = 48V，T _{CT} > 280μs		±10	±100	μV	
		V _{CM} = 0V，T _{CT} > 280μs		±10	±100		
	分流失调电压漂移			±100		nV/°C	
	分流电压增益误差	V _{CM} = 24V		±0.1	±1.0	%	
	分流电压增益误差	V _{CM} = 24V，在工作温度范围 (T _J = -55°C 至 150°C) 内运行		±0.3	±3.0	%	
	分流电压增益误差漂移			±50		ppm/°C	
	共模抑制比			120		dB	
	输入偏置电流	SENSE+ 和 SENSE- 输入，V _{CM} = 85V		1		μA	
	输入差分阻抗	激活模式，V _{DIFF} < 164mV		92		kΩ	
	分辨率	分流电压，SHUNT_RANGE = 0		5		μV	
		分流电压，SHUNT_RANGE = 1		1.25			
温度检测特性							
	精度	T _J = -40°C 至 +125°C		-2.5	±0.25	2.5	°C
	分辨率	LSB 大小			7.8125		m°C

5.5 电气特性 (续)

所有最小值和最大值的条件为 $T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ；所有典型值的条件为 $T_J = 25^{\circ}\text{C}$ ， $V_{DD} = 3.0\text{V}$ 至 5.5V ， $V_{IO} = 1.65\text{V}$ 至 3.6V ，正输出范围： $V_{CC[A,B]} = 3.0\text{V}$ 至 11.0V ， $V_{SS[A,B]} = \text{GND}$ ，负输出范围： $V_{SS[A,B]} = -11.0\text{V}$ 至 -3.0V ， $V_{CC[A,B]} = \text{GND}$ ，且 DAC 输出为空载（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
数字输入特性						
V_{IH}	高电平输入电压		$0.7 \times V_{IO}$			V
V_{IL}	低电平输入电压			$0.3 \times V_{IO}$		V
	输入电流			2		μA
	输入引脚电容			8		pF
数字输出特性						
V_{OH}	高电平输出电压	$I_{SOURCE} = 0.2\text{mA}$	$V_{IO} - 0.4$			V
V_{OL}	低电平输出电压	$I_{SINK} = -0.2\text{mA}$			0.4	V
	输出引脚电容			8		pF
V_{OL}	开漏低电平输出电压	$I_{SINK} = 2\text{mA}$			0.4	V
功耗特性						
I_{VDD}	V_{DD} 电源电流 ⁽⁴⁾	正输出范围			5	mA
		负输出范围			6	
		正输出范围，在工作温度范围 ($T_J = -55^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$) 内运行			10	
		负输出范围，在工作温度范围 ($T_J = -55^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$) 内运行			12	
I_{VCC}	V_{CC} 电源电流 ⁽⁴⁾	正输出范围，中尺度输出			6	mA
		正输出范围，中尺度输出，在工作温度范围 ($T_J = -55^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$) 内运行			12	
I_{VSS}	V_{SS} 电源电流 ⁽⁴⁾	负输出范围，1/4 满量程输出			7	mA
		负输出范围，1/4 满量程输出，在工作温度范围 ($T_J = -55^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$) 内运行			15	
I_{VIO}	V_{IO} 电源电流 ⁽⁴⁾				5	μA
		在工作温度范围 ($T_J = -55^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$) 内运行			10	

- (1) 对于负输出范围，终点处于代码 64 至 8128 之间，对于正输出范围，终点处于代码 64 至 8128 之间。
- (2) 过载条件保护。电流限制期间可能会超过结温。在高于指定最大结温的条件下运行可能会影响器件可靠性。
- (3) 当 DAC 在代码之间转换时，无连续振荡。
- (4) 在工作温度范围 (-55°C 至 $+150^{\circ}\text{C}$) 内提供的所有值均符合特性规格

5.6 时序要求

所有最小值和最大值的条件为 $T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ；所有典型值的条件为 $T_J = 25^{\circ}\text{C}$ ， $V_{DD} = 3.0\text{V}$ 至 5.5V ， $V_{IO} = 1.65\text{V}$ 至 3.6V ，正输出范围： $V_{CC[A,B]} = 3.0\text{V}$ 至 11.0V ， $V_{SS[A,B]} = \text{GND}$ ，负输出范围： $V_{SS[A,B]} = -11.0\text{V}$ 至 -3.0V ， $V_{CC[A,B]} = \text{GND}$ ，且 DAC 输出为空载（除非另有说明）

		最小值	标称值	最大值	单位
I²C 时序要求					
f_{SCL}	I ² C 时钟频率	10		400	kHz
t_{LOW}	SCL 时钟低电平周期	1.3			μs
t_{HIGH}	SCL 时钟高电平周期	0.6			μs
t_{HDSTA}	重复启动条件后的保持时间。 在此周期后，生成第一个时钟	0.6			μs
t_{SUSTA}	重复启动条件建立时间	0.6			μs
t_{SUSTO}	停止条件建立时间	0.6			μs
t_{BUF}	停止条件和启动条件之间的总线空闲时间	1.3			μs
t_{SUDAT}	数据建立时间	100			ns
t_{HDDAT}	数据保持时间	0		900	ns
$t_{\text{F,SDA}}$	数据下降时间	20		300	ns
$t_{\text{F,SCL}}$	时钟下降时间			300	ns
$t_{\text{R,SCL}}$	时钟上升时间			300	ns
$t_{\text{R,SCL100}}$	$\text{SCL} \leq 100\text{kHz}$ 时的上升时间			1000	ns
	SCL 和 SDA 超时	20		30	ms
SPI 时序要求，FSDO = 0					
f_{SCLK}	SCLK 频率			20	MHz
t_{SCLKH}	SCLK 高电平时间	23			ns
t_{SCLKL}	SCLK 低电平时间	23			ns
t_{SDIS}	SDI 建立时间	7			ns
t_{SDIH}	SDI 保持时间	7			ns
t_{SDOTOZ}	SDO 被驱动至三态条件	0		17	ns
t_{SDOTOD}	SDO 三态条件到被驱动	0		21	ns
t_{SDODLY}	SDO 输出延迟	0		23	ns
t_{CSS}	$\overline{\text{CS}}$ 建立时间	21			ns
t_{CSH}	$\overline{\text{CS}}$ 保持时间	20			ns
t_{CSHIGH}	$\overline{\text{CS}}$ 高电平时间	20			ns
SPI 时序要求，FSDO = 1					
f_{SCLK}	SCLK 频率			25	MHz
t_{SCLKH}	SCLK 高电平时间	17			ns
t_{SCLKL}	SCLK 低电平时间	17			ns
t_{SDIS}	SDI 建立时间	7			ns
t_{SDIH}	SDI 保持时间	7			ns
t_{SDOTOZ}	SDO 被驱动至三态条件	0		17	ns
t_{SDOTOD}	SDO 三态条件到被驱动	0		21	ns
t_{SDODLY}	SDO 输出延迟	3.5		32	ns
t_{CSS}	$\overline{\text{CS}}$ 建立时间	21			ns
t_{CSH}	$\overline{\text{CS}}$ 保持时间	20			ns

所有最小值和最大值的条件为 $T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ；所有典型值的条件为 $T_J = 25^{\circ}\text{C}$ ， $V_{DD} = 3.0\text{V}$ 至 5.5V ， $V_{IO} = 1.65\text{V}$ 至 3.6V ，正输出范围： $V_{CC[A,B]} = 3.0\text{V}$ 至 11.0V ， $V_{SS[A,B]} = \text{GND}$ ，负输出范围： $V_{SS[A,B]} = -11.0\text{V}$ 至 -3.0V ， $V_{CC[A,B]} = \text{GND}$ ，且 DAC 输出为空载（除非另有说明）

		最小值	标称值	最大值	单位
$t_{(\text{CSHIGH})}$	$\overline{\text{CS}}$ 高电平时间	20			ns

5.7 开关特性

所有最小值和最大值的条件为 $T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ；所有典型值的条件为 $T_J = 25^{\circ}\text{C}$ ， $V_{DD} = 3.0\text{V}$ 至 5.5V ， $V_{IO} = 1.65\text{V}$ 至 3.6V ，正输出范围： $V_{CC[A,B]} = 3.0\text{V}$ 至 11.0V ， $V_{SS[A,B]} = \text{GND}$ ，负输出范围： $V_{SS[A,B]} = -11.0\text{V}$ 至 -3.0V ， $V_{CC[A,B]} = \text{GND}$ ，且 DAC 输出为空载（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
输出开关交流特性						
t_{ON}	开通时间数字响应时间	中标度代码，从 DRVEN[0,1] 触发器测得			400	ns
t_{OFF}	关断时间数字响应时间	中标度代码，从 DRVEN[0,1] 触发器测得			400	ns
PA_ON 特性						
$t_{\text{PA_OFF}}$	PA_ON 关断时间	从 ALARMIN 警报事件测得，空载			50	ns

5.8 时序图

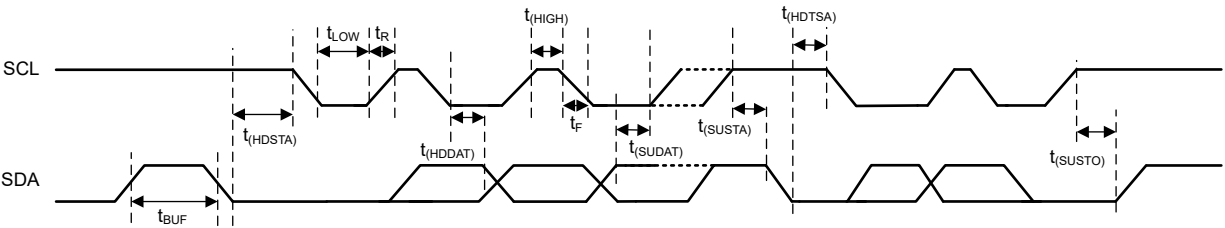


图 5-1. I²C 时序图

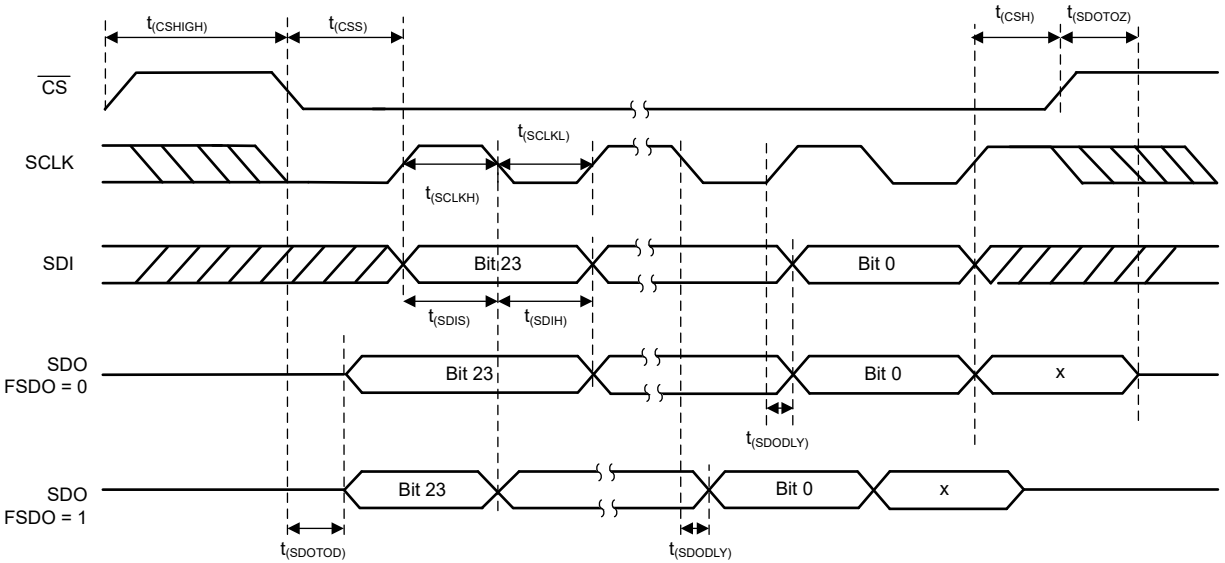


图 5-2. SPI 时序图

5.9 典型特性

$T_A = 25^\circ\text{C}$, $V_{DD} = 5\text{V}$, $V_{IO} = 3.3\text{V}$, 负输出范围: $V_{CC} = \text{GND}$, $V_{SS} = -11\text{V}$, 且 DAC 输出为空载 (除非另有说明)

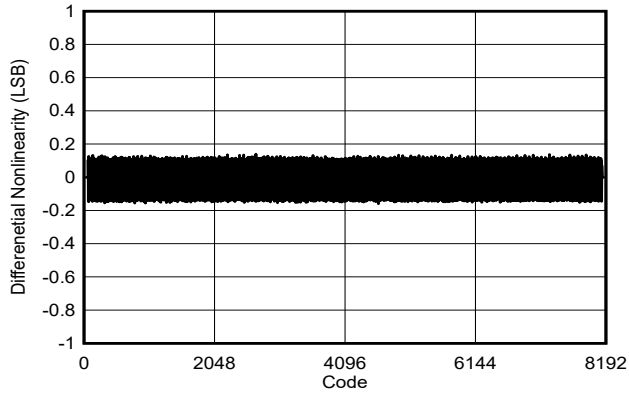


图 5-3. DAC DNL 与数字输入代码间的关系

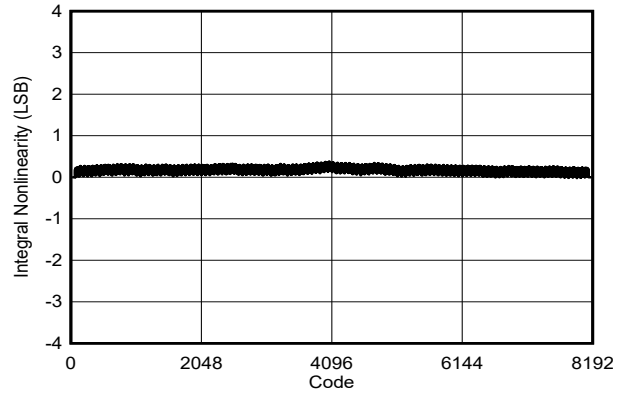


图 5-4. DAC INL 与数字输入代码间的关系

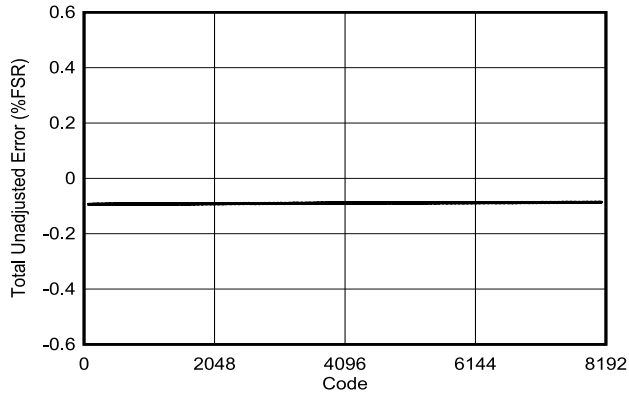


图 5-5. DAC TUE 与数字输入代码间的关系

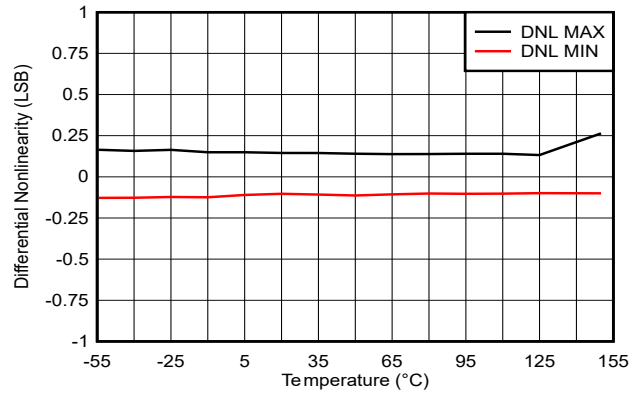


图 5-6. DAC DNL 与温度间的关系

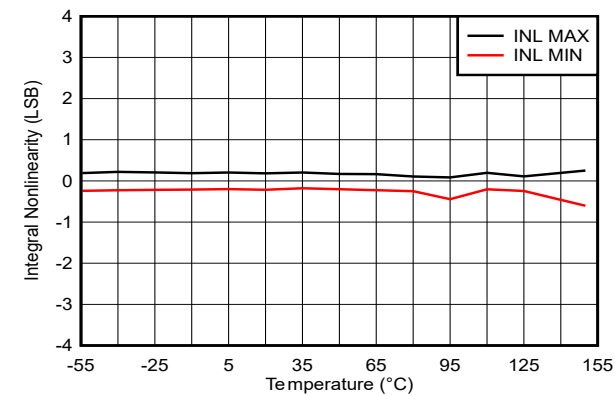


图 5-7. DAC INL 与温度间的关系

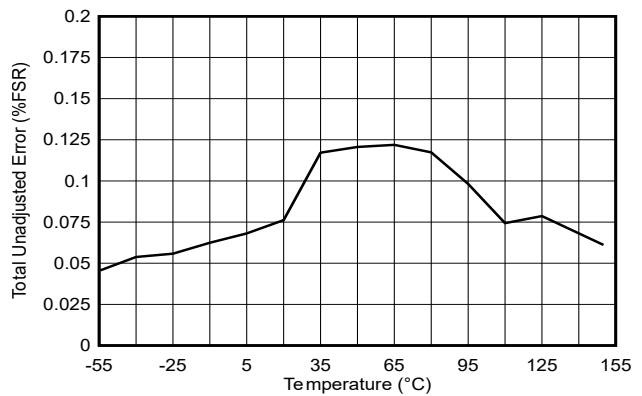


图 5-8. DAC 总体未调整误差与温度间的关系

5.9 典型特性 (续)

$T_A = 25^\circ\text{C}$, $V_{DD} = 5\text{V}$, $V_{IO} = 3.3\text{V}$, 负输出范围: $V_{CC} = \text{GND}$, $V_{SS} = -11\text{V}$, 且 DAC 输出为空载 (除非另有说明)

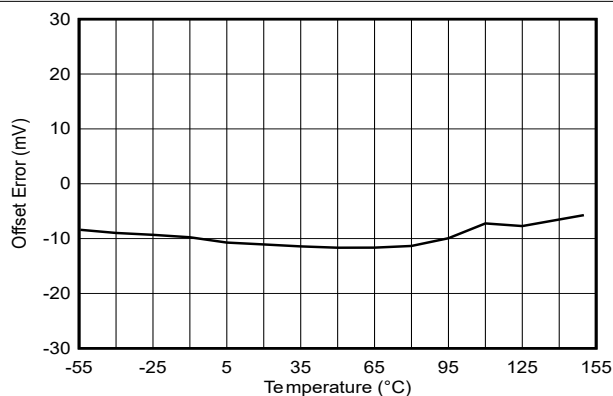


图 5-9. DAC 偏移误差与温度间的关系

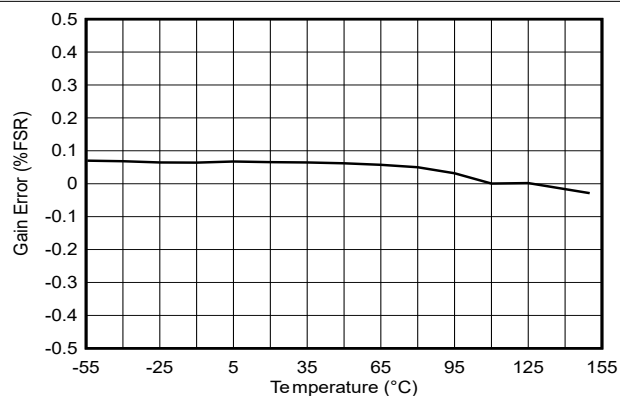
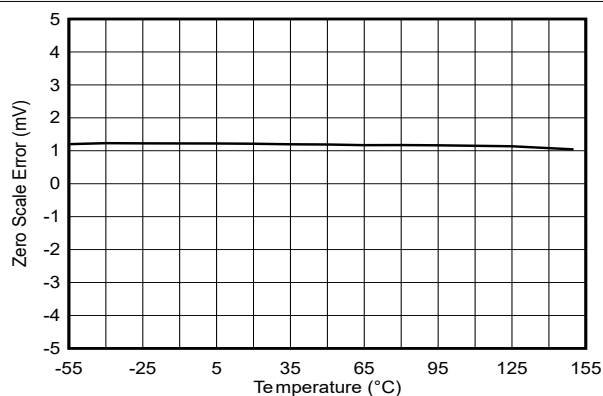
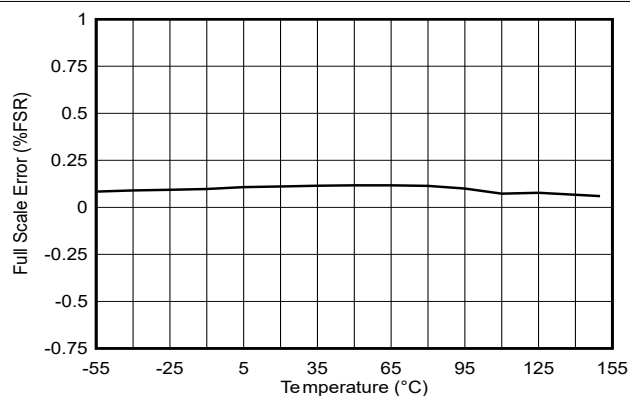


图 5-10. DAC 增益误差与温度间的关系



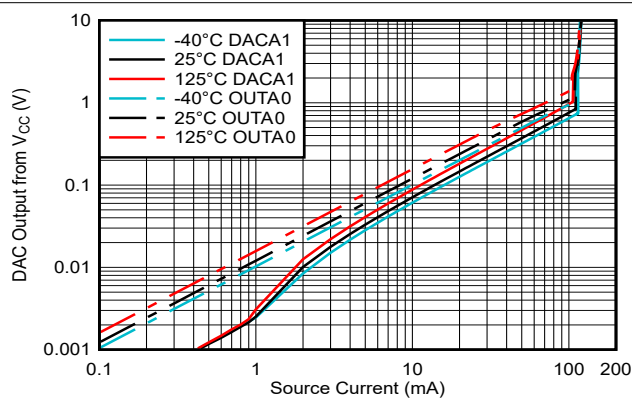
DAC 代码 = 0x1FFF

图 5-11. DAC 零标度误差与温度间的关系



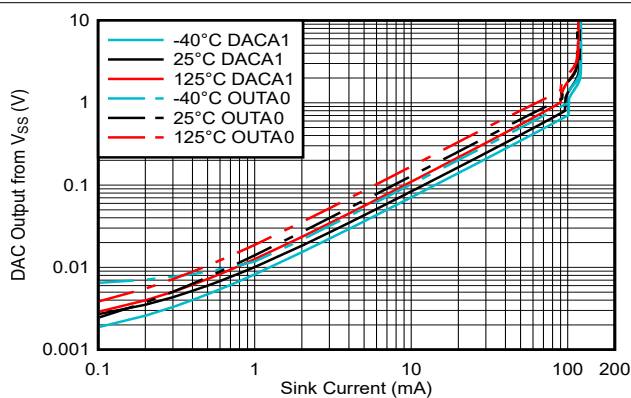
DAC 代码 = 0x0000

图 5-12. DAC 满量程误差与温度间的关系



DAC 代码 = 0x1FFF

图 5-13. DAC 余量与高模式拉电流间的关系



DAC 代码 = 0x0000

图 5-14. DAC 余量与高模式灌电流间的关系

5.9 典型特性 (续)

$T_A = 25^\circ\text{C}$, $V_{DD} = 5\text{V}$, $V_{IO} = 3.3\text{V}$, 负输出范围: $V_{CC} = \text{GND}$, $V_{SS} = -11\text{V}$, 且 DAC 输出为空载 (除非另有说明)

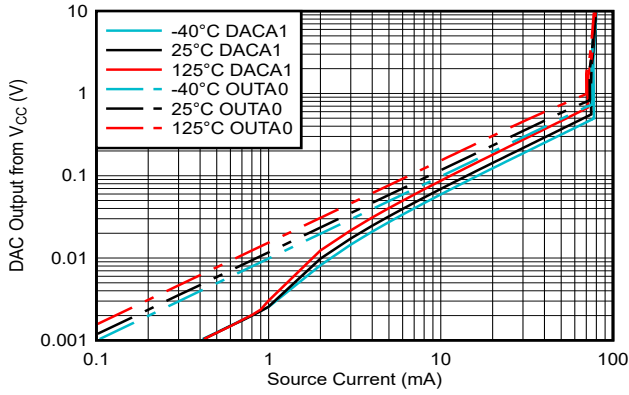


图 5-15. DAC 余量与正常模式拉电流间的关系

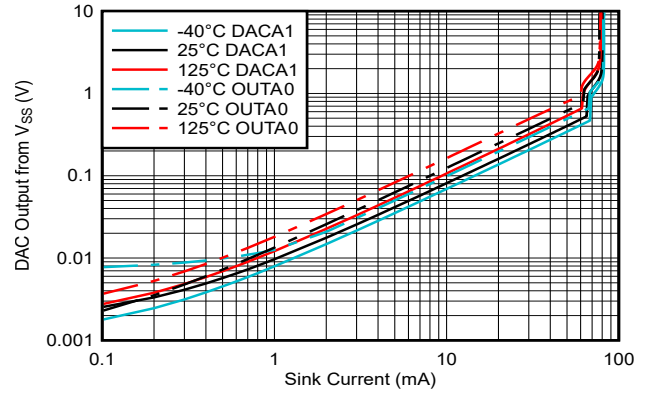
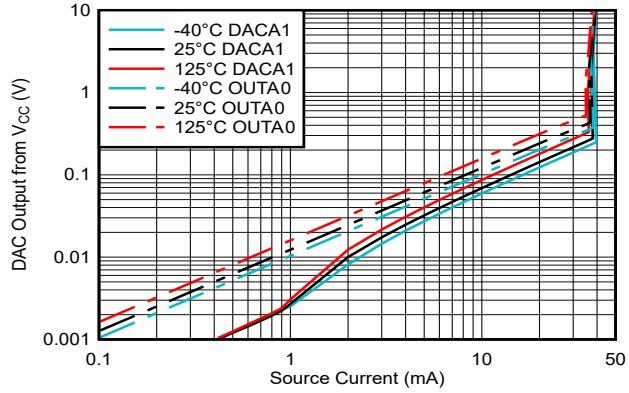
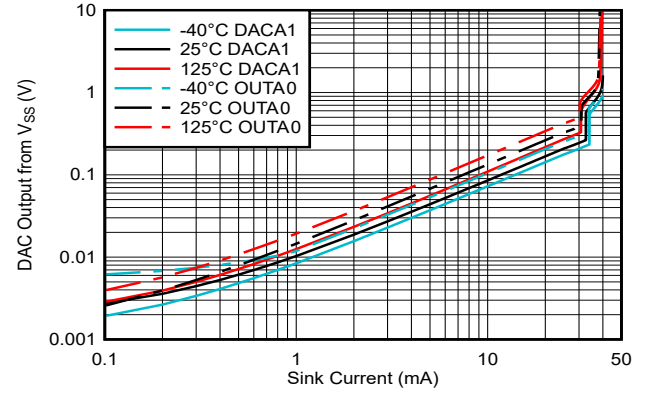


图 5-16. DAC 余量与正常模式灌电流间的关系



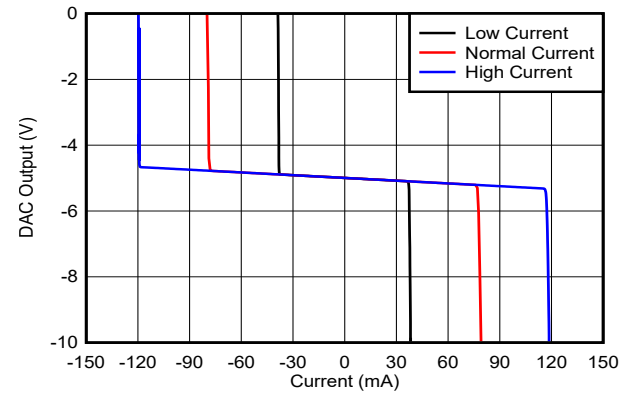
DAC 代码 = 0x1FFF

图 5-17. DAC 余量与低模式拉电流间的关系



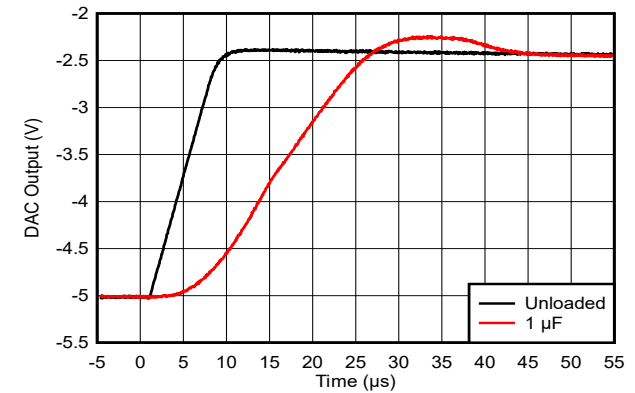
DAC 代码 = 0x0000

图 5-18. DAC 余量与低模式灌电流间的关系



DAC 代码 = 0x1000

图 5-19. 拉电流和灌电流能力

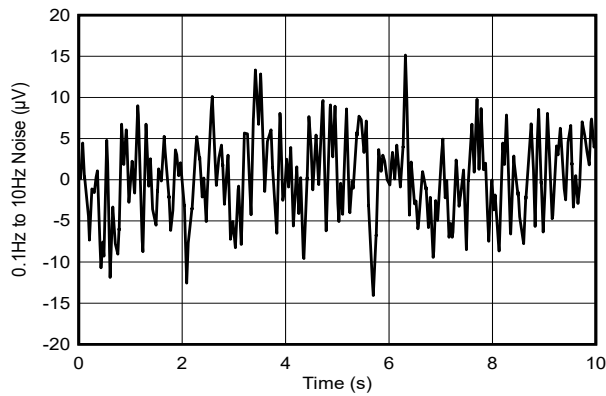


DAC 步长: -5V 至 -2.5V

图 5-20. DAC 稳定时间与容性负载间的关系

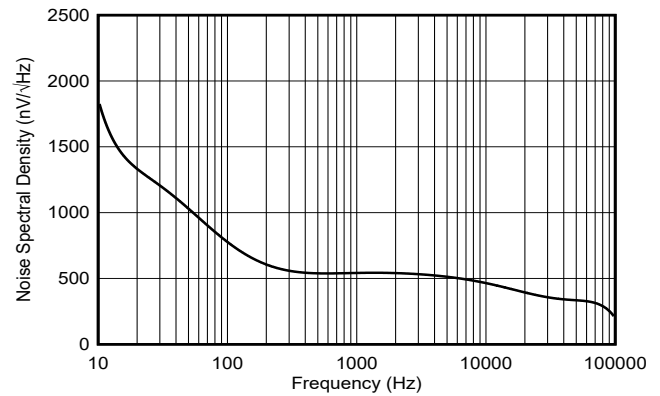
5.9 典型特性 (续)

$T_A = 25^\circ\text{C}$, $V_{DD} = 5\text{V}$, $V_{IO} = 3.3\text{V}$, 负输出范围: $V_{CC} = \text{GND}$, $V_{SS} = -11\text{V}$, 且 DAC 输出为空载 (除非另有说明)



DAC 代码 = 0x1000

图 5-21. DAC 输出噪声, 0.1Hz 至 10Hz



DAC 代码 = 0x1000

图 5-22. DAC 输出噪声密度与频率间的关系

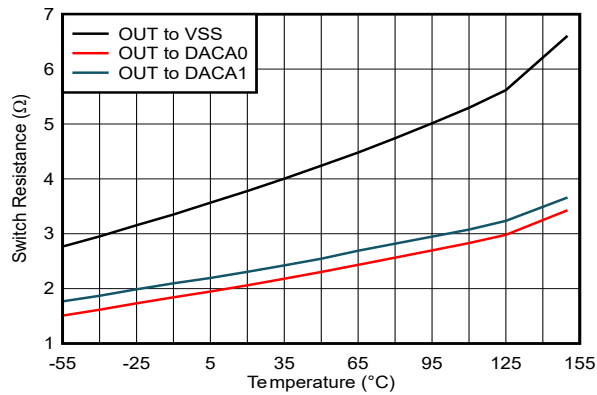
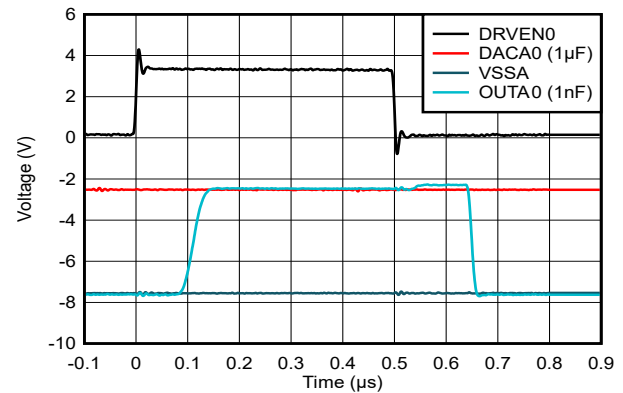


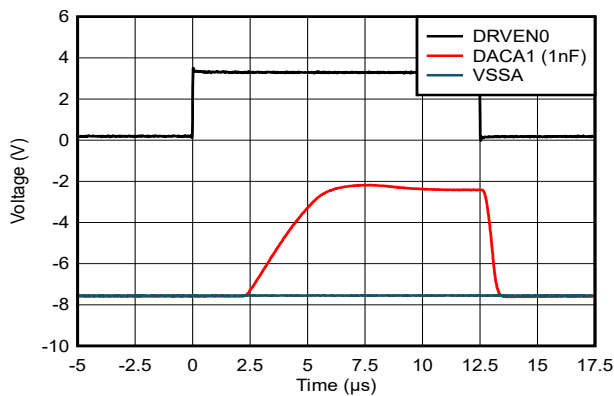
图 5-23. 开关电阻与温度间的关系



DACA0 输出: -2.5V $C_L = 1\text{nF}$

$V_{SS} = -7\text{V}$

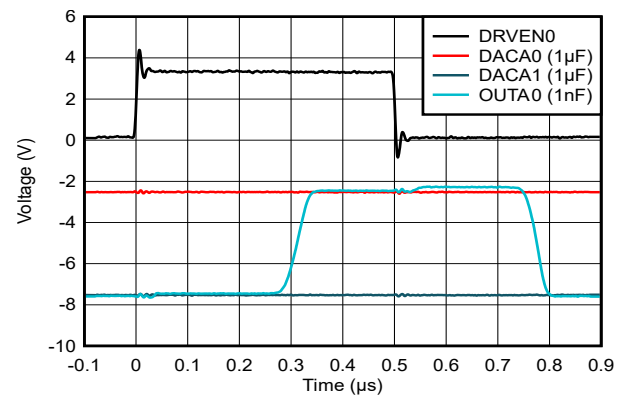
图 5-24. OUT 引脚: DAC 至 V_{SS} 开关响应



DACA1 输出: -2.5V $C_L = 1\text{nF}$

$V_{SS} = -7\text{V}$

图 5-25. OUT 引脚: DACA1 至 V_{SS} 开关响应



DACA0 输出: -2.5V $C_L = 1\text{nF}$

DACA1 输出: -7V

图 5-26. OUT 引脚: DAC 至 DAC 开关响应

5.9 典型特性 (续)

$T_A = 25^\circ\text{C}$, $V_{DD} = 5\text{V}$, $V_{IO} = 3.3\text{V}$, 负输出范围: $V_{CC} = \text{GND}$, $V_{SS} = -11\text{V}$, 且 DAC 输出为空载 (除非另有说明)

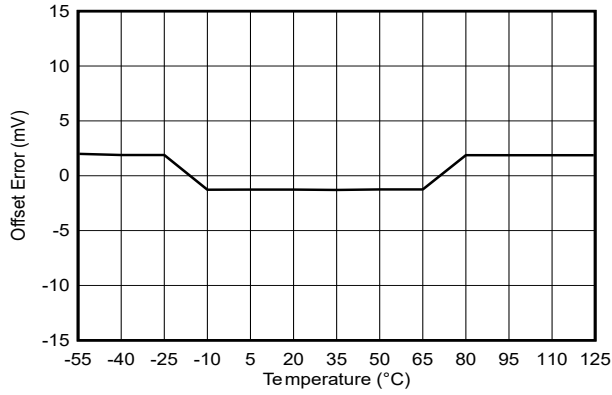


图 5-27. ADC 输入偏移误差与温度间的关系

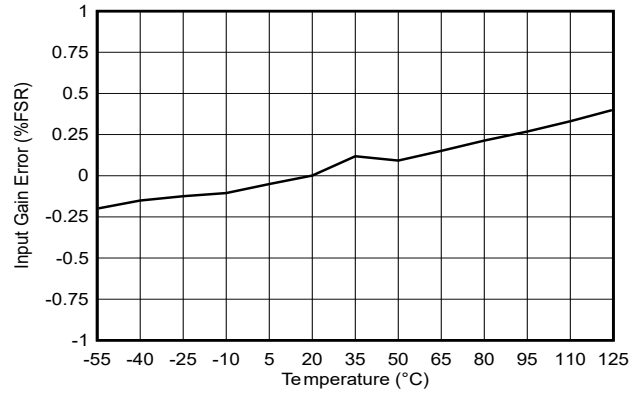


图 5-28. ADC 输入增益误差与温度间的关系

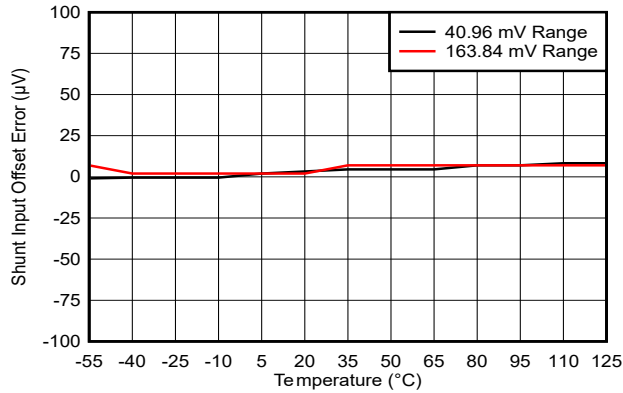


图 5-29. 分流偏移误差与温度间的关系

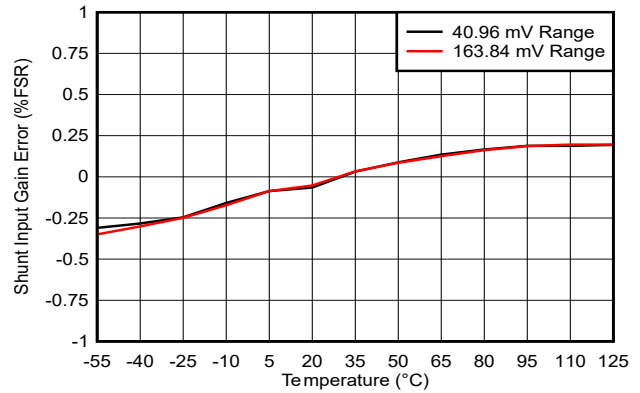


图 5-30. 分流增益误差与温度间的关系

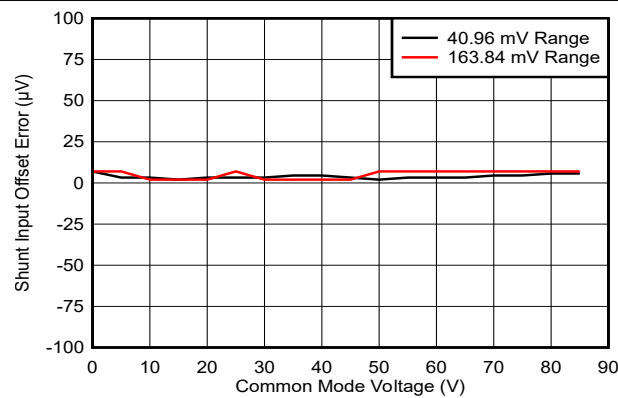


图 5-31. 分流输入偏移误差与共模电压间的关系

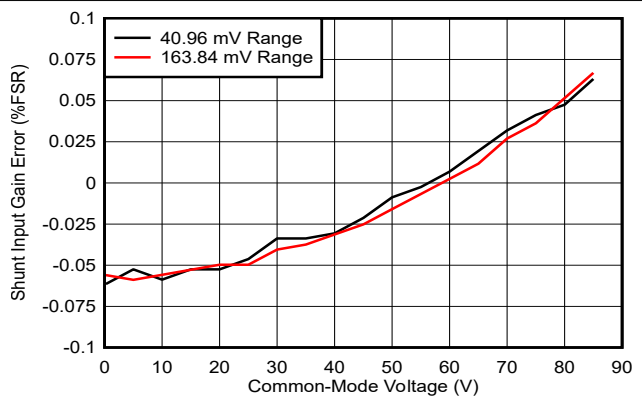


图 5-32. 分流输入增益误差与共模电压间的关系

5.9 典型特性 (续)

$T_A = 25^\circ\text{C}$, $V_{DD} = 5\text{V}$, $V_{IO} = 3.3\text{V}$, 负输出范围: $V_{CC} = \text{GND}$, $V_{SS} = -11\text{V}$, 且 DAC 输出为空载 (除非另有说明)

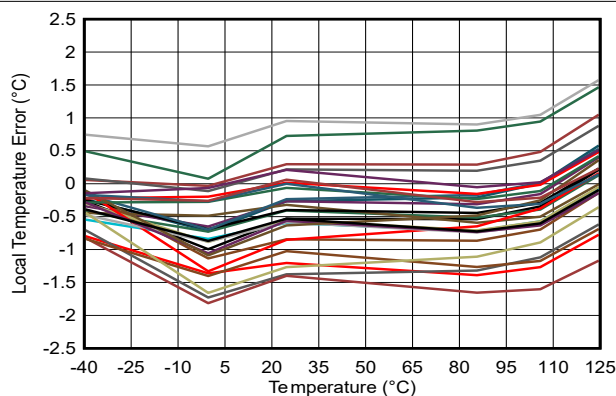


图 5-33. 本地温度传感器误差与温度间的关系

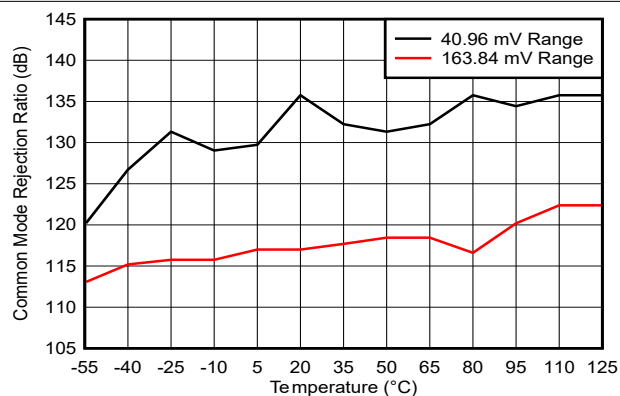


图 5-34. 共模抑制比与温度间的关系

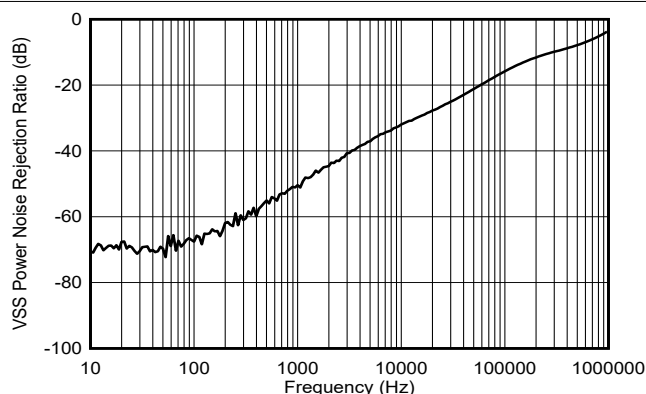


图 5-35. V_{SS} 交流电源抑制比

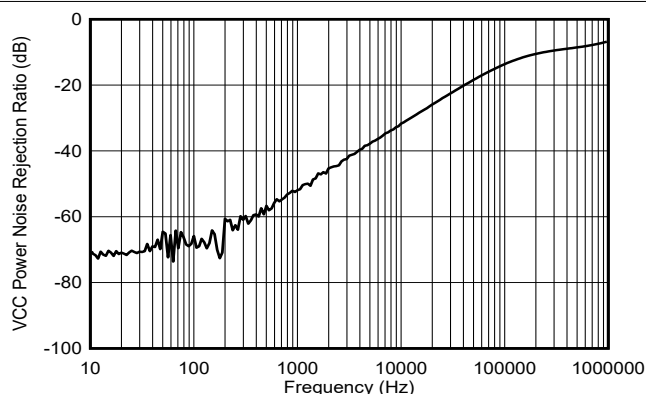


图 5-36. V_{CC} 交流电源抑制比

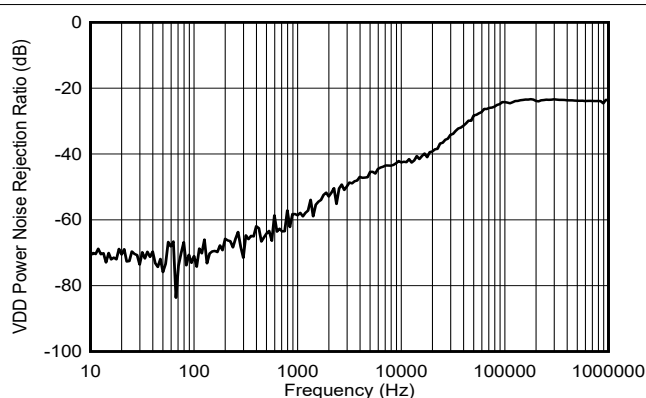
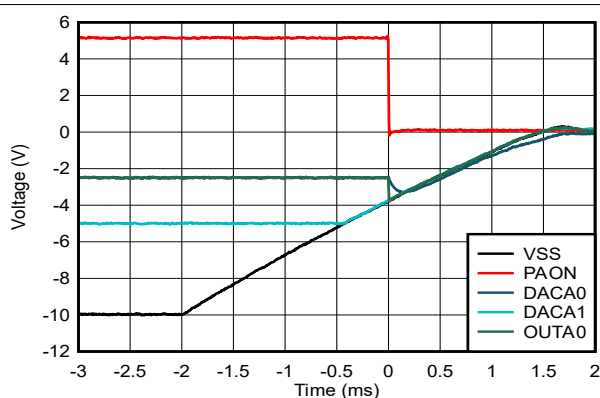


图 5-37. V_{DD} 交流电源抑制比



$V_{SS} = -10\text{V}$

图 5-38. V_{SS} 电源崩溃响应

5.9 典型特性 (续)

$T_A = 25^\circ\text{C}$, $V_{DD} = 5\text{V}$, $V_{IO} = 3.3\text{V}$, 负输出范围: $V_{CC} = \text{GND}$, $V_{SS} = -11\text{V}$, 且 DAC 输出为空载 (除非另有说明)

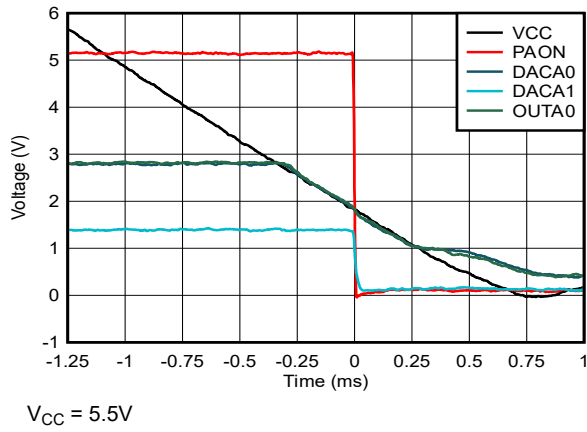


图 5-39. V_{CC} 电源崩溃响应

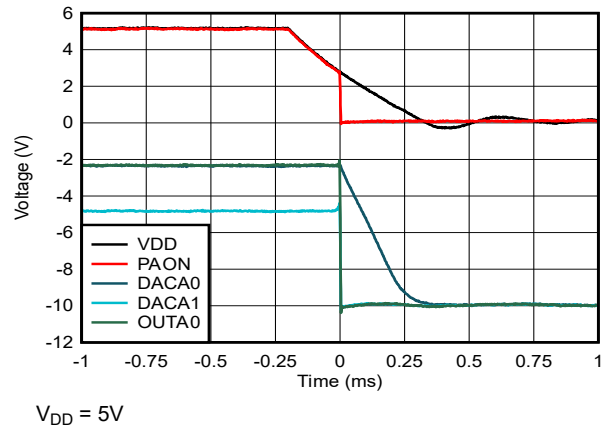


图 5-40. V_{DD} 电源崩溃响应

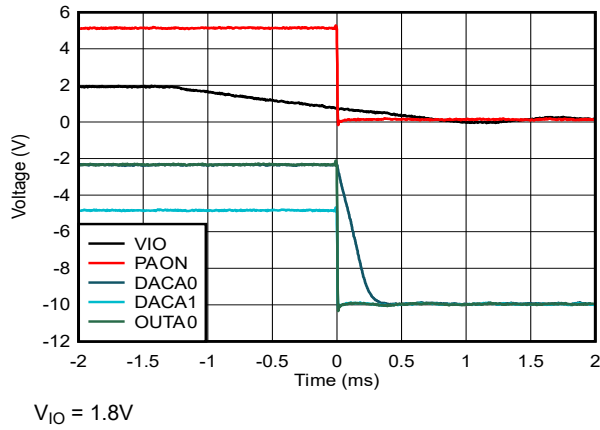


图 5-41. V_{IO} 电源崩溃响应

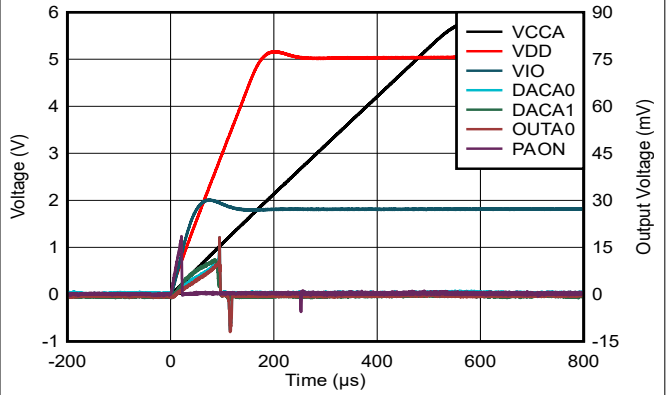


图 5-42. PAON 电源响应 (器件启动, 正范围)

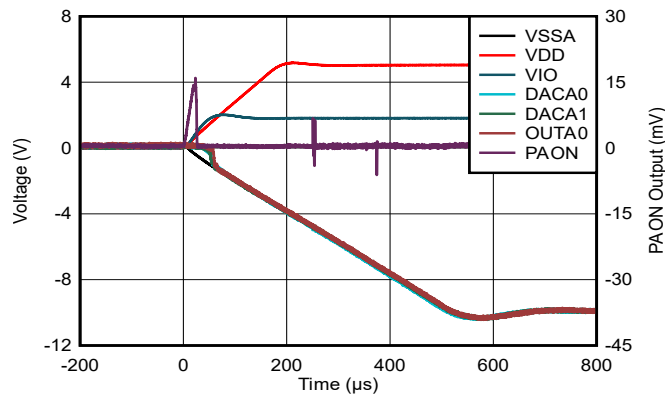


图 5-43. PAON 电源响应 (器件启动, 负范围)

6 详细说明

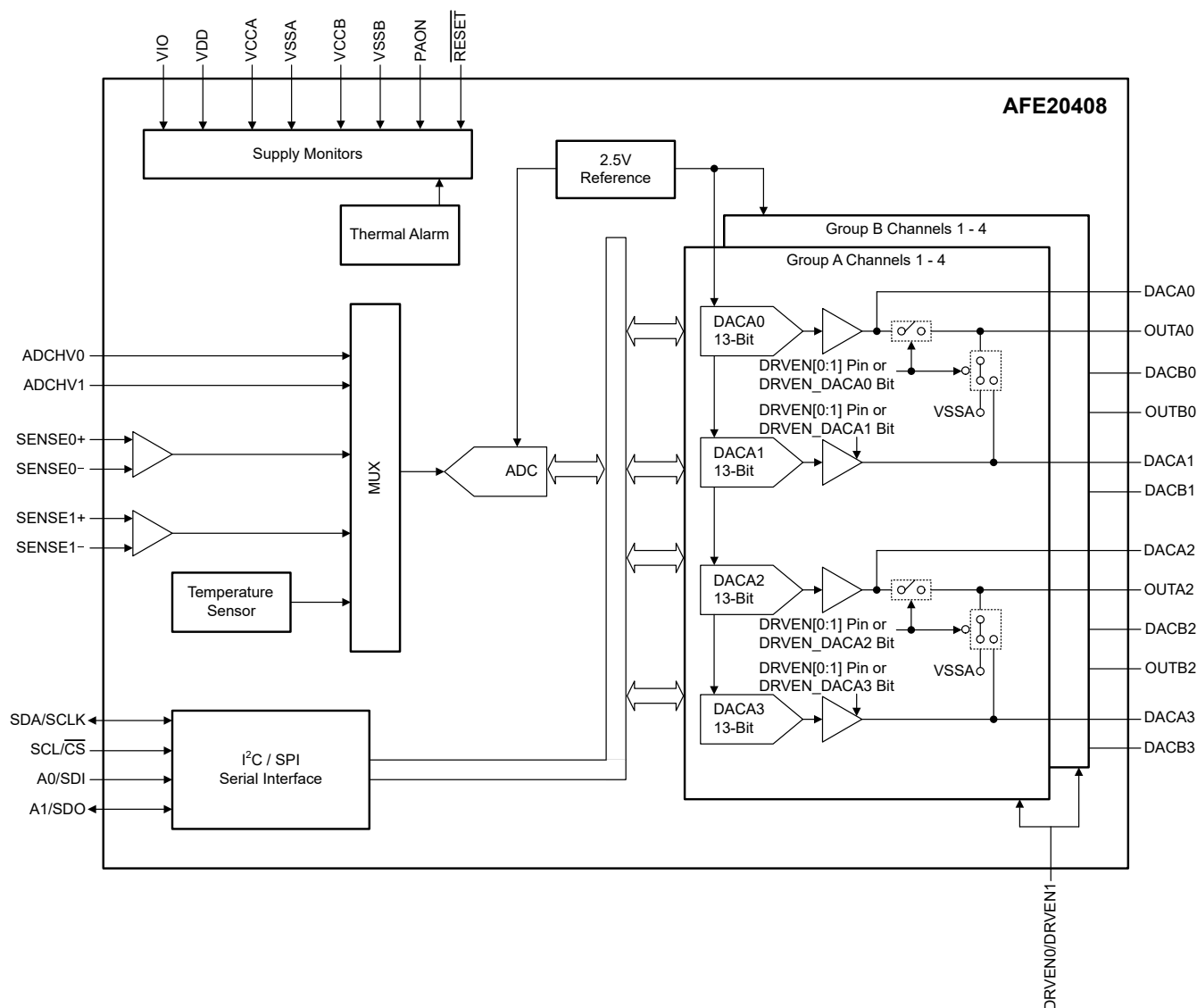
6.1 概述

AFE20408 是一款八通道功率放大器 (PA) 控制器，具有专用的栅极偏置开关控制功能以及电压、电流和温度监控功能。

AFE20408 的八个栅极偏置输出分为两个组，每个组有四个数模转换器 (DAC)。两个输出组具有专用电源输入，使每个组能够在独立的输出电压范围内工作。八个栅极偏置输出可通过数字控制引脚或软件来打开和关闭。输出开关具有快速响应特性，与器件时序控制功能相结合可实现稳健的 PA 控制系统。

AFE20408 外部信号监控器使用高精度模数转换器 (ADC)。该监控器能够监控两个高压外部输入、两个高共模电流检测输入和器件内部温度。与器件之间的通信通过与 SPI 和 I²C 兼容的接口实现。

6.2 功能方框图



6.3 特性说明

6.3.1 数模转换器 (DAC) 概述

该器件具有 8 个模拟控制通道。每个控制通道均以 1 个 DAC 为中心，这个 DAC 基于器件电压基准运行。这些 DAC 中有四个可用于设置内部开关的关断电压。该器件中的 DAC 包含一个 13 位串式 DAC 和一个输出电压缓冲器。图 6-1 显示了 DAC 架构的方框图。

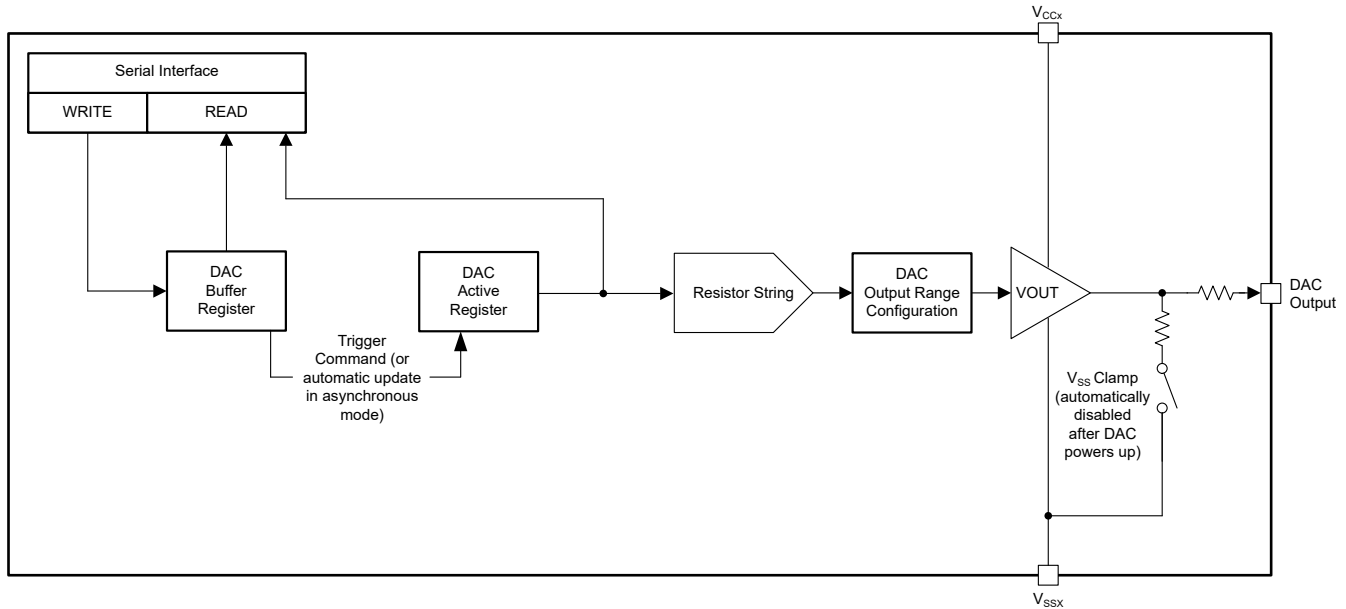


图 6-1. DAC 方框图

这些 DAC 可配置为正/负输出范围运行并具有相同的电压分辨率。以正输出范围运行时，满标量程为 0V 至 10V；但是，输出电压受 V_{CC} 限制。以负输出范围运行时，满标量程为 -10V 至 0V，输出电压受 V_{SS} 限制。

发生复位事件后，所有 DAC 寄存器都设置为零代码，DAC 输出放大器断电，DAC 输出被钳位到 V_{SS} 。每个 DAC 都可通过软件单独启用，只需向 PWR_EN 寄存器（位于寄存器映射的 DAC 配置页面）的相应位写入 1 即可。

6.3.1.1 DAC 电阻串

电阻串结构包含一系列电阻，每个电阻的阻值为 R ，如图 6-2 所示。载入到 DAC 寄存器中的代码确定在电阻串上的哪个节点上将电压分接馈入输出放大器。分接电压的方法是闭合其中一个或多个将电阻串连接到放大器的开关。此电阻串架构具有固有的单调性、电压输出和低干扰。

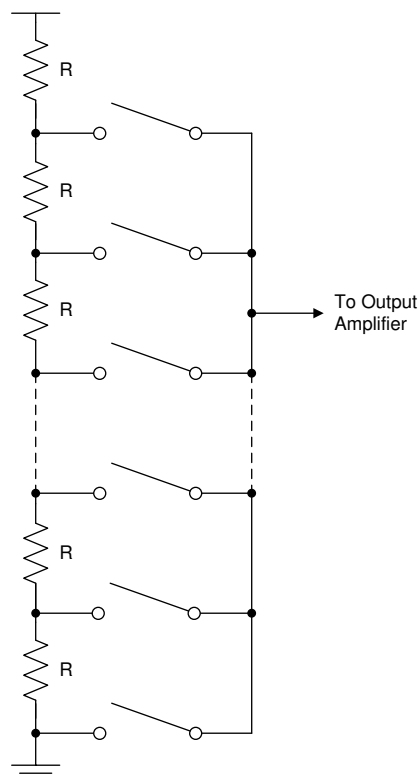


图 6-2. DAC 电阻串

6.3.1.2 DAC 寄存器结构

该 DAC 产生与 13 位输入数据代码成比例的单极输出电压。对于所有输出范围，输入数据均以直接二进制格式写入 DAC 数据寄存器。

DAC 传输函数如下：

$$V_{DAC} = \left(\frac{DACIN}{2^{13}} \times FSR \right) + V_{MIN} \quad (1)$$

其中

- DACIN = 加载到 DAC 寄存器的二进制代码的十进制等效值。DACIN 范围 = 0 至 $2^{13} - 1$ 。
- FSR = 所选输出范围的 DAC 满量程。对于 0V 至 10V 和 -10V 至 0V 范围，FSR 为 10V。
- V_{MIN} = 所选 DAC 输出范围的最低电压。对于 0V 至 10V 范围，此值为 0V，对于 -10V 至 0V 范围，此值为 -10V。

DAC 输出的电压范围跨度如表 6-1 所示。

表 6-1. DAC 数据格式

DAC 数据寄存器		DAC 输出电压 (V)	
二进制	十六进制	0V 至 10V 范围 $V_{CC} = 11V$ $V_{SS} = GND$	-10V 至 0V 范围 $V_{SS} = -11V$ $V_{CC} = GND$
0000 0000 0000 0000	0000	0	-10
0000 0000 0000 0001	0001	0.001221	-9.998779
0001 0000 0000 0000	1000	5	-5
0001 1111 1111 1110	1FFE	9.997559	-0.002441
0001 1111 1111 1111	1FFF	9.998779	-0.001221

通过设置 DAC_SYNC_CFG 寄存器（位于 DAC 配置寄存器页面）中相应的 BCEN 位，可将每个 DAC 配置为在广播模式下运行。将一个值写入 DAC_BCAST 寄存器（位于全局寄存器页面）时，这个值会自动存储到广播模式下运行的所有 DAC 的缓冲器和有效数据寄存器中。此外，还有一个 DAC 代码限制功能可用于以数字方式将 DAC 代码限制为 64 个不同限制之一。启用后，写入到数据寄存器的 DAC 代码的高六位将受到限制。该限制仅适用于 DAC 有效寄存器以及在 DAC 代码限制设为小于满量程的代码后写入的代码。用户需要配置 DAC 代码限制寄存器，后续的 DAC 写入操作会受到当前设置的 DAC 代码限制的影响。指定代码限制的方法是写入 DAC 配置寄存器页面中的 DAC_CODE_LIMIT 寄存器（有关更多详细信息，请参阅节 7.5）。

6.3.1.2.1 DAC 同步运行

每个 DAC 通道的更新模式由 DAC_SYNC_CFG 寄存器（位于 DAC 配置寄存器页面）中相应的 SYNCEN 位的值决定。在异步模式下，对 DAC 缓冲器数据寄存器执行写入操作会立即更新 DAC 有效寄存器和 DAC 输出。在同步模式下，对 DAC 数据寄存器执行写入操作不会自动更新 DAC 输出，而是在 DAC 触发事件后才会发生更新。生成 DAC 触发信号的方法是，设置触发器寄存器（位于全局寄存器页）中的 DAC_TRIG 位，或在配置为 $\overline{LDAC}$ 时由 FLEXIO 引脚生成（ $\overline{LDAC}$ 引脚只能用于触发 DACA0 和 DACA2）。同步更新模式支持同时更新多个 DAC 输出。

6.3.1.3 DAC 缓冲器放大器

DAC 输出缓冲器放大器支持轨到轨运行。在 DAC 输出引脚上提供放大器输出。两个 DAC 组的缓冲器放大器从专用电源轨偏置： $V_{CC[A,B]}$ 和 $V_{SS[A,B]}$ 。最大 DAC 组输出电压范围受这些电源的限制。

输出放大器旨在驱动容性负载而不产生振荡。输出缓冲器能够提供高达 120mA 的拉电流和灌电流。该器件针对瞬时输出接地短路和对电源短路提供了短路保护。拉电流和灌电流短路电流可配置为 30mA (低电流模式)、90mA (正常电流模式) 或 120mA (高电流模式)。向 DAC 配置寄存器页面中的 DAC_CURRENT 寄存器写入所需的值可以设置所需的电流模式。

该器件的高输出电流即使在大容性负载下也能提供良好的压摆特性。要估算大容性负载的正负压摆率，请将拉电流和灌电流短路电流值除以电容。

启动后，DAC 输出会自动设置为 V_{SS} 钳位模式，每个组的范围由 $V_{SS[A,B]}$ 和 $V_{CC[A,B]}$ 引脚上的电压自动配置。在 V_{SS} 钳位模式下，DAC 输出引脚在内部通过限流电路路径连接至 $V_{SS[A,B]}$ 引脚。DAC 输出将保持 V_{SS} 钳位模式，直到 DAC 输出缓冲器通过电源使能寄存器进行上电为止。

6.3.1.3.1 自动范围检测

当 $V_{SS} = 0V$ 且 $3V \leq V_{CC} \leq 11V$ 时，DAC 缓冲器放大器自动配置为在启动时以正电压运行。或者，当 $V_{CC} = 0V$ 且 $-3V \leq V_{SS} \leq -11V$ 时，放大器配置为在启动时以负电压运行（默认为 $-10V$ 至 $0V$ ）。每个 DAC 组的自动范围检测器结果存储在电源状态寄存器 (PWR_STATUS_0) 中。

备注

每个 DAC 组的钳位电压由相应 $V_{SS}[A,B]$ 引脚设置。自动量程检测器根据钳位电压设置 DAC 输出范围。确保 DAC 输出范围设置与 DAC 钳位电压相匹配。对于正输出范围， $V_{SS}[A,B]$ 引脚必须连接到 GND，在这种情况下，钳位电压为 $0V$ 。对于负输出范围， $V_{SS}[A,B]$ 引脚必须连接到负电源电压，在这种情况下，每个组的空载钳位电压由负电源电压的值决定（请参阅图 6-3）。

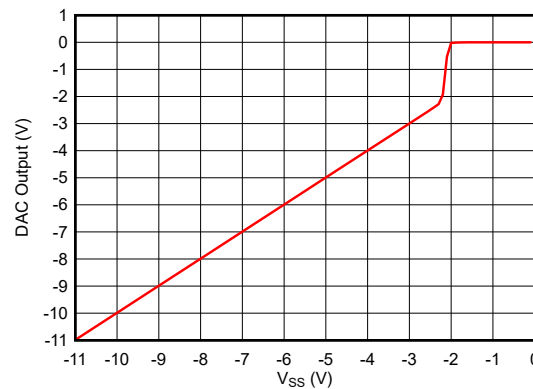


图 6-3. DAC 钳位输出与 V_{SS} 间的关系

6.3.1.3.2 电源监控

该器件持续监控每个 DAC 组的缓冲器放大器电源以确保正常运行。每个 DAC 组的有效电源电压范围如表 6-2 所示。

表 6-2. 有效电源矩阵

DAC 组电源配置	电源	
	$V_{CC}[A,B]$	$V_{SS}[A,B]$
无效配置	$0V \leq V_{CC} < 3V$	$-3V < V_{SS} \leq 0V$
V_{CC} 配置	$3V \leq V_{CC} \leq 11V$	$V_{SS} = 0V$
无效配置	$3V \leq V_{CC} \leq 11V$	$V_{SS} < 0V$
V_{SS} 配置	$V_{CC} = 0V$	$-11V \leq V_{SS} < -3V$
无效配置	$V_{CC} > 0V$	$-11V \leq V_{SS} < -3V$

在运行期间，如果 V_{DD} 降至 $3V$ 以下或 V_{IO} 降至 $1.65V$ 以下，则会生成一个上电复位事件，并且所有 DAC 输出都恢复到 V_{SS} 钳位模式。如果 $V_{CC}[A,B]$ 、 $V_{SS}[A,B]$ 或内部基准电压降至指定的阈值以下，不会进行上电复位；但是，相应的警报位会在 ALARM_STATUS 寄存器（均位于全局寄存器页面）中激活，进而可用于自动关断 DAC 输出。

6.3.2 模数转换器 (ADC)

AFE20408 具有以 16 位 Δ - Σ ADC 为中心的监测系统。ADC 可以测量分流电压、总线电压和内部温度。通过可编程的寄存器可以灵活配置测量精度以及实现自动或直接运行。

6.3.2.1 多功能高压测量功能

该 ADC 可以测量高达 85V 电源轨上的电压和电流。测量电流的方法是在 SENSE+ 和 SENSE- 引脚上检测外部分流电阻器上的压降。该 ADC 可以使用两个满标量程设置中的一个来测量 SENSE 引脚上的压降。通过写入 ADC_GEN_CFG 寄存器 (位于 ADC 配置寄存器页面) 中的 SHUNT_RANGE 位来配置这些设置。该 ADC 的输入级设计为输入共模电压可以高于器件电源电压。输入引脚上支持的共模电压范围为 -0.3V 至 +85V, 这使得该器件非常适合高侧和低侧电流测量。共模输入范围和器件电源电压互相独立, 因而无需专门考虑电源时序; 因此, 总线电压与电源电压可在对方关闭时存在, 而不会损坏器件。

该器件还通过 ADC 引脚测量总线电源电压, 并通过集成式温度传感器测量温度。差分分流电压在 SENSE+ 和 SENSE- 引脚之间进行测量, 而总线电压以器件接地为基准进行测量。监测的总线电压范围可以为 0V 至 85V, 而监测的温度范围可以为 -40°C 至 +125°C。图 6-4 显示了分流电压、总线电压和温度测量值如何在 ADC 内部进行多路复用。

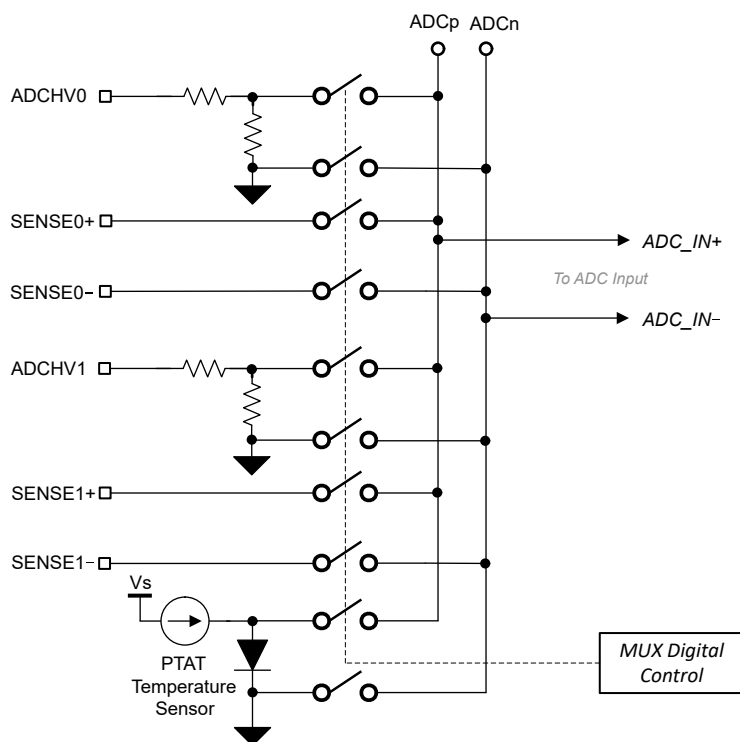


图 6-4. 高压输入多路复用器

6.3.2.2 高精度 Δ - Σ ADC

该集成式 ADC 是一款高性能、低偏移、低温漂 Δ - Σ ADC，旨在支持分流电压测量通道的双向电流。所测量的输入可通过连接到 ADC 输入的高压输入多路复用器来选择。ADC 架构可实现较低的温漂测量值，并可在共模电压、温度和电源电压范围内实现一致的偏移测量。在电流检测应用中，优先选择低偏移 ADC 以提供近 0V 的偏移电压，从而最大限度地扩大系统的有用动态范围。

每个输入的 ADC 转换时间可分别由寄存器 `ADC_CONV_CFG_0`（位于 ADC 配置寄存器页面）中的 `CONV_RATE_SENSE`、`CONV_RATE_ADC` 和 `CONV_RATE_TMP` 位独立设置，其值介于 52 μ s 到 4.122ms 的范围内。此外还实施了 1 $\times$ 至 1024 $\times$ 范围内的样本均值计算功能，可以通过 `ADC_CONV_CFG_1` 寄存器（也位于 ADC 配置寄存器页面）中的 `AVG_SENSE`、`AVG_ADC` 和 `AVG_TMP` 位进行选择。

该器件可以根据 `ADC_CCS_IDS` 寄存器中的选定位设置来测量分流电压、总线电压和内核温度或其中的任意组合（详见节 6.3.2.2.1）。这可通过选择模式来只转换分流电压或总线电压，从而进一步支持用户配置监控功能来满足特定的应用要求。当未选择均值计算时，ADC 转换完成后，转换后的值将在相应的寄存器中独立更新，并在转换结束时可通过数字接口读取。分流电压、总线电压和温度输入的转换时间在 52 μ s 至 4.122ms 之间独立设置，具体取决于在 `ADC_CONV_CFG_0` 寄存器中编程的值。启用的测量输入按顺序转换，因此转换所有输入的总时间取决于每个输入的转换时间和启用的输入数量。当使用均值计算时，中间值随后存储在均值计算累加器中，并且转换序列会重复执行，直到达到平均值的数量为止。在所有均值计算完成后，最终值在相应的寄存器中进行更新，随后可供读取。这些值会保留在数据输出寄存器中，直到下一个完全完成的转换结果准备就绪。在这种情况下，对数据输出寄存器的读取不会影响正在进行的转换。

ADC 有两种转换模式（自动模式和直接模式），可通过 `ADC_GEN_CFG` 寄存器中的 `CMODE` 位来设置。在自动转换模式下，ADC 可以持续转换输入测量值，并在无限循环中更新输出寄存器。在直接转换模式下，ADC 对输入测量值进行转换，然后 ADC 会进入关断模式，直到通过向触发器寄存器（位于全局寄存器页面）中的 `ADC_TRIG` 位写入相应的值来生成另一个单次触发。向 `ADC_TRIG` 位写入值将中断并重新启动正在进行的自动转换或直接转换。虽然可随时读取该器件，并且上次转换的数据仍可用，但可以借助提供的 ADC 未就绪标志（全局寄存器页面中的 `GEN_STATUS` 寄存器的 `ADC_READY` 位）在直接模式下协调触发的转换。在所有转换和均值计算完成后，将清除此位。

通过先前指定的代码可以手动覆盖存储在每个 ADC 数据寄存器中的数据，从而旁路掉所有 ADC 数据转换。设置此代码的方法是向 `ADC_BYP` 寄存器（位于寄存器映射的 ADC 配置页面）写入所需的值。通过向 `GLOBAL_CFG` 寄存器（位于全局寄存器页面）中的 `ADC_BYP_EN` 位写入 1，所有 ADC 数据寄存器中存储的代码将被指定的旁路值覆盖。

6.3.2.2.1 ADC 自定义通道序列发生器

该器件包含一个 ADC 自定义通道序列发生器。ADC 序列发生器用于指定转换哪些通道以及转换顺序。这样，重要性较高的通道比其他优先级较低的通道可以进行更频繁的转换。该序列发生器包含 63 个已编制索引的时隙，这些时隙在通道顺序配置中提供了高度的灵活性。此外，该序列发生器还提供可编程的启动和停止索引字段来配置启动和停止转换点。在直接模式转换中，ADC 将启动索引转换到停止索引一次，然后停止。在自动模式转换中，ADC 反复从启动索引转换到停止索引，直到 ADC 停止。

表 6-3 列出了该序列发生器的 ADC 输入通道分配情况。

表 6-3. 自定义通道序列 ADC 输入分配

CCS_ID[2:0]	ADC 输入
000	GND
001	SENSE0
010	SENSE1
011	ADC0
100	ADC1
101	TMP

6.3.2.3 低延迟数字滤波器

该器件集成了一个低通数字滤波器，它对 ADC 输出数据执行抽取和滤波，这有助于降低噪声。该数字滤波器根据不同输出数据速率自动调节，始终可在一个转换周期内达到稳定状态。用户可以灵活地选择不同的输出转换时间段 T_{CT} (从 52 μ s 到 4.122ms)。在这种配置下，第一个振幅陷波出现在输出信号的奈奎斯特频率处，该频率由所选转换时间段确定，并定义为 $f_{NOTCH} = 1 / (2 \times T_{CT})$ 。这意味着滤波器截止频率将按数据输出速率成比例变化。图 6-5 显示了选择 1.054ms 转换时间段时的滤波器响应

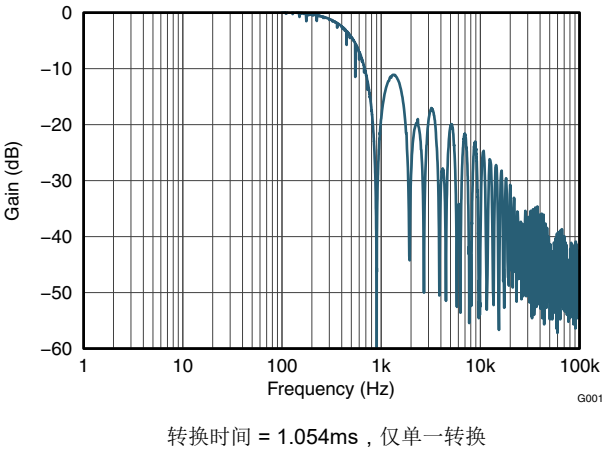
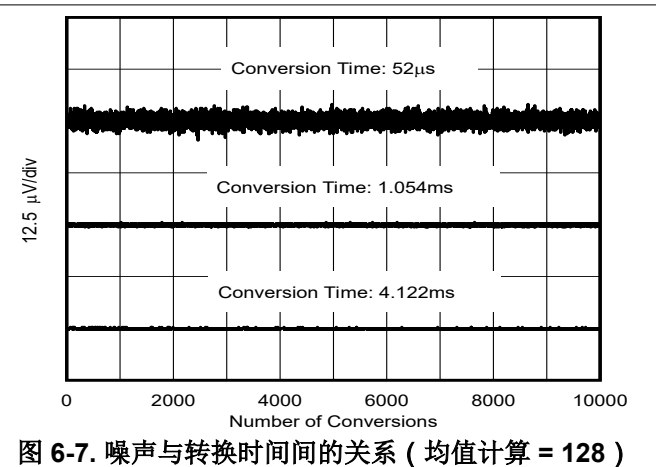
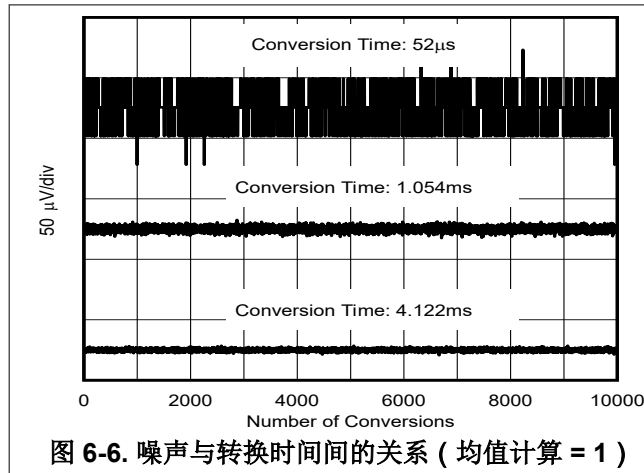


图 6-5. ADC 频率响应

6.3.2.4 灵活的转换时间和均值计算

分流电压、总线电压和温度的 ADC 转换时间可独立设置为 52 μs 到 4.122ms 之间。转换时间的灵活性允许在各种噪声环境中进行稳健的操作。该器件还允许可编程的平均值计算时间介于单次转换直至平均 1024 次转换之间。所选的平均值计算量均匀地应用于所有有效的测量输入。图 6-6 和图 6-7 展示了转换时间和均值计算对恒定输入信号的影响。



6.3.2.5 集成精密振荡器

器件的内部时基由一个内部振荡器提供，该振荡器在室温下修整至低于 0.5% 的容差。精密振荡器是 ADC 转换的时钟源，以及用于计算能量和电荷的时间计数。数字滤波器响应随转换时间变化；因此，精确的时钟可确保滤波器响应和陷波频率在整个温度范围内保持一致。上电时，内部振荡器和 ADC 大约需要 300 μs 才能达到 < 1% 的误差稳定性。

6.3.3 输出开关概述

AFE20408 可实现对器件 OUT 输出电压进行快速开关。OUT0 和 OUT2 输出 (来自 A 组和 B 组) 可以由 DRVEN 输入进行开关, 或通过软件进行开关。开通电压由各自 DAC 组的 DAC0 和 DAC2 输出进行设置, 而关断电压由 V_{SS} 或每个 DAC 的指定钳位电压进行设置。当相应的开关控制引脚或位被置为高电平有效 (驱动启用) 时, OUT0 和 OUT2 引脚由 DAC0 和 DAC2 驱动。否则, OUT 引脚处于驱动禁用状态并被驱动至 V_{SS} 或相应的钳位 DAC。

此外, 每组的 DAC1 和 DAC3 输出包括一个可实现快速关断的简化开关网络。通过其中一个 DRVEN 引脚或通过软件均可对 DAC1 和 DAC3 引脚进行开关。DAC1 和 DAC3 输出引脚在开通时由 DAC1 和 DAC3 缓冲器驱动, 在关断时被驱动至 V_{SS} 。在可实现快速关断的同时, 开通时间受 DAC1 和 DAC3 缓冲器带宽的限制, 并且 DAC1 和 DAC3 还必须退出断电状态。

此类开关被设计为双向开关, 在通电时提供双向电流, 在断电时提供阻断电压。开关控制功能进行了优化, 旨在 DRVEN 输入和输出引脚电压开关之间实现最小延迟。在启动时或发生警报事件后, 开关默认为关断 (驱动禁用) 状态。除了 V_{DD} 电源崩溃之外, 还有三个额外的复位事件: **RESET** 引脚逻辑低电平、软件复位命令或 I²C 通用调用复位。所有复位事件都会生成一个断电、驱动禁用序列。复位时, DAC 和 OUT 输出变为 V_{SS} 。

图 6-8 显示了 AFE20408 中两个 DAC 输出组的开关通道配置。

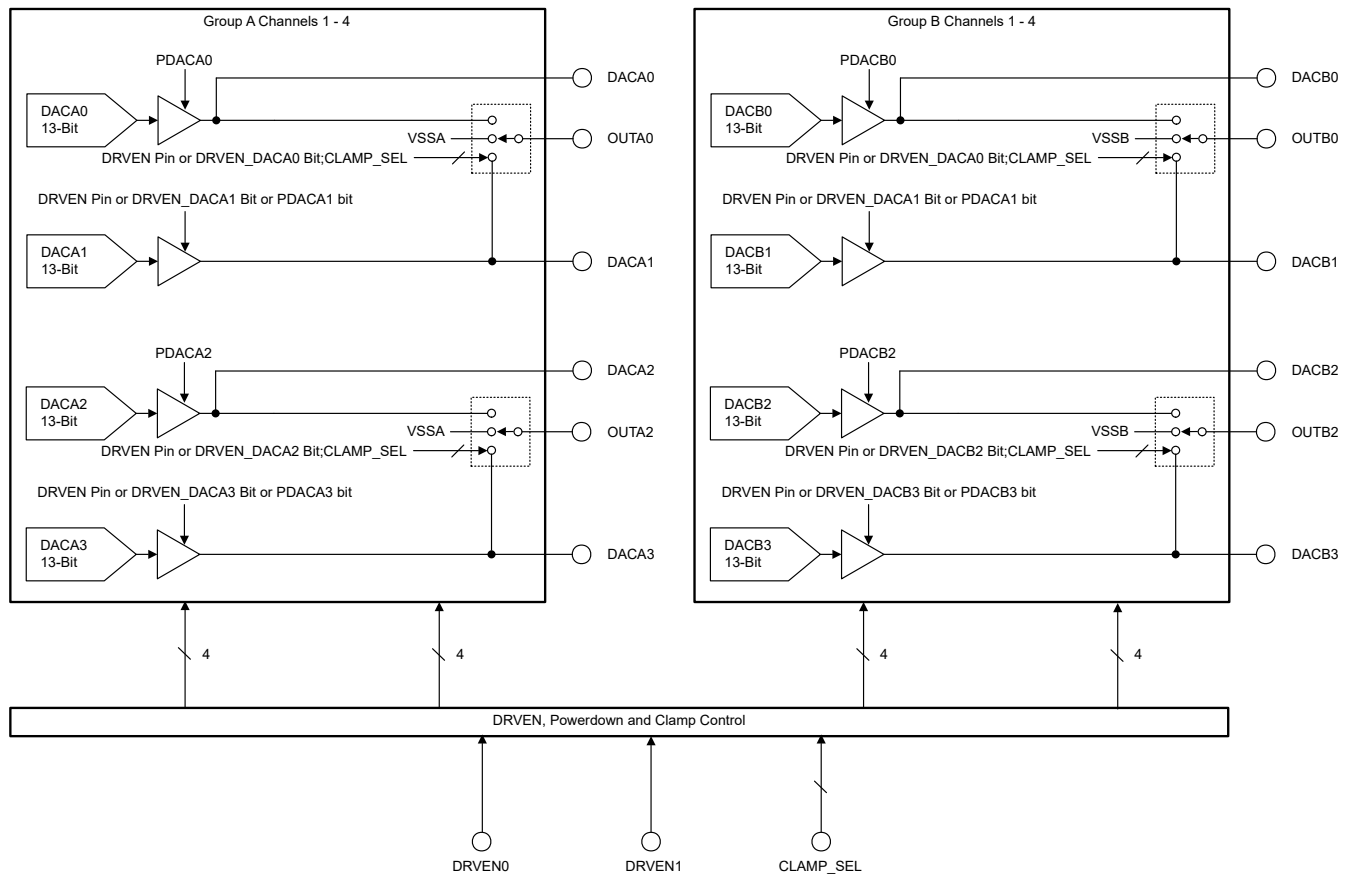


图 6-8. 开关方框图

6.3.4 漏极开关控制

AFE20408 器件有一个输出控制电压 (PAON 引脚) 能够驱动外部 MOSFET 开关, 从而导通或关断流向 PA FET 的漏极电流。结合使用该控制信号与 DAC 钳位选项, 即可控制 PA FET 的上电和断电序列。

在启动时会禁用 PAON 引脚。器件上电后, 可以通过将 PWR_EN 寄存器 (位于全局寄存器页面) 中的 PAON 位设置为 1 来启用 PAON 引脚。在运行期间, 可以通过读取 GEN_STATUS 寄存器 (位于全局寄存器页面) 中的 PAON_STS 位来获取 PAON 引脚的状态。默认情况下, PAON 引脚拉至 GND, 并处于 OFF 状态。

最大输出电压取决于 VDD 引脚上的电压。启用后, 可通过器件中的各种监控电路生成的任何警报 (包括热警报、电源警报、ADC 警报和基准警报) 关闭 PAON。完成此配置的方法是向 PAON_SRC_0 和 PAON_SRC_1 寄存器 (位于通用配置寄存器页面) 中的相应位写入值。

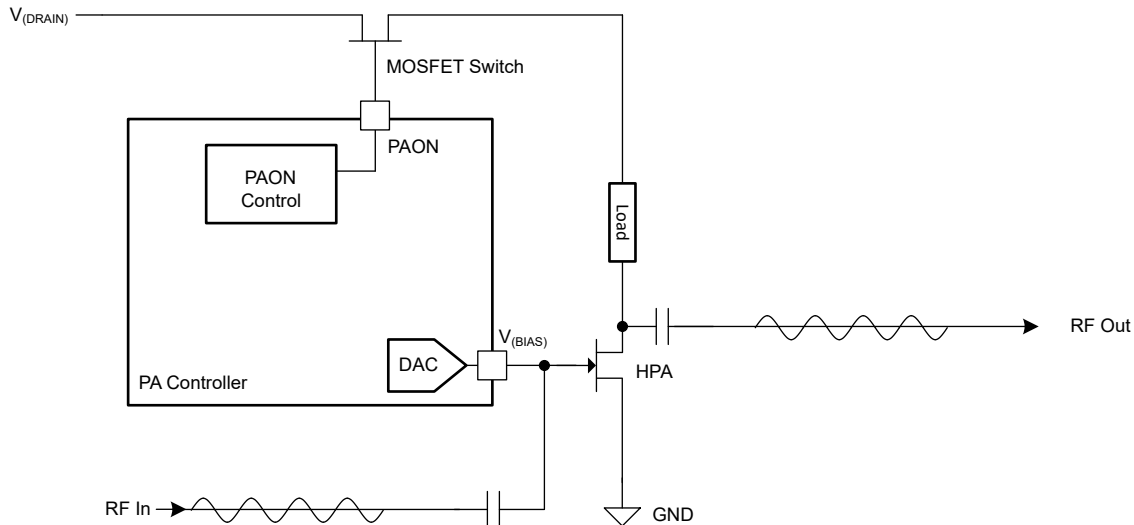


图 6-9. PAON 运行

PAON 引脚默认在推挽模式下运行。通过设置 GEN_CFG_0 寄存器 (位于通用配置寄存器页面) 中的 PAON_ODE 位, 可将 PAON 引脚配置为在开漏模式下运行。在推挽模式下, PAON 引脚在内部通过上拉电阻器连接到 VDD。因此, PAON 引脚在 OFF 状态时输出 0V (或 GND 的电压), 在 ON 状态时输出 VDD。在开漏模式下, 没有内部上拉电阻器连接到 VDD 引脚, 用户必须安装一个外部上拉电阻器连接到 VDD。节 8.2.2.4 对此进行了详细介绍。

此外, 通过设置 GEN_CFG_0 寄存器 (位于通用配置寄存器页面) 中的 PAON_POL 位, 可将 PAON 引脚配置为使 ON 和 OFF 状态反转 (因此高电压为 off, 低电压为 on)。

对于 GaN 等需要负偏置电压的 FET, 确保偏置电压保持在可接受的范围内至关重要; 否则, FET 可能会受到严重而不可逆的损坏。AFE20408 双极 DAC 的运行和钳位机制依靠 VDD 和 VSS 电压来实现正常运行。因此, 当 VDD 或 VSS 电压超出可接受的范围时, 最好关断 FET 的漏极电流。

6.3.5 FLEXIO 引脚

AFE20408 有一个 FLEXIO 引脚可单独配置为 GPIO 或特殊功能引脚。FLEXIO 引脚执行的功能取决于写入 GEN_CFG_1 寄存器 (位于寄存器映射的通用配置页面) 的 FLEXIO_FUNC 字段的值。

在 AFE20408 上, FLEXIO 引脚执行以下功能。要在任何 DAC 上启用 FLEXIO 特殊功能, 必须设置 FLEXIO_EN 寄存器 (位于 DAC 配置寄存器页面) 中的相应位。

1. **RESET**: 当 FLEXIO_FUNC 为 0x01 时, FLEXIO 引脚用作低电平有效外部复位引脚。这是 FLEXIO 引脚的默认功能。
2. **ALARMOUT**: 当 FLEXIO_FUNC 设置为 0x02 时, FLEXIO 引脚用作低电平有效警报输出。**ALARMOUT** 引脚默认为低电平有效推挽输出, 但有效电平和驱动类型都可以通过向 FLEXIO_OUT_POL 和 FLEXIO_OUT_ODE 位写入所需的值来进行配置; 另请参阅节 7.2.1.4。**ALARMOUT_SRC** 寄存器 (通用配置寄存器页面中的地址 0x48 和 0x49) 用于配置会将引脚置为有效的警报; 另请参阅节 7.2。
3. **GPIO**: 当 FLEXIO_FUNC 设置为 0x04 时, FLEXIO 引脚用作 GPIO 引脚。GPIO 在写入操作期间用作输出, 在读取操作期间用作输入。当 GPIO 引脚用作输出时, 可以向 GPIO_DATA 寄存器 (位于全局寄存器映射中) 的 GPIO 位写入所需的值来设置引脚状态。与 **ALARMOUT** 功能一样, GPIO 输出默认为低电平有效推挽输出, 但可以通过向 FLEXIO_OUT_POL 和 FLEXIO_OUT_ODE 位写入所需的值来配置有效电平和驱动类型。当 GPIO 引脚用作输入时, 通过读取 GPIO_DATA 寄存器地址来获取该引脚上的数字值。在上电复位或任何强制复位后, 所有 GPIO_DATA 位都复位为 1。
4. **LDAC**: 当 FLEXIO_FUNC 设置为 0x08 时, FLEXIO 引脚将用作 DAC 输出 DACA0 和 DACA2 的触发输入。具体而言, 当这些 DAC 配置为在同步模式下运行时, 这些 DAC 的有效数据寄存器仅在引脚拉至逻辑 0 后才会更新。
5. **ALARMIN**: 当 FLEXIO_FUNC 设置为 0x10 时, FLEXIO 引脚用作低电平有效警报输入引脚。在 AFE20408 上, **ALARMIN** 输入可以通过设置 DAC_APD_SRC 和 OUT_APD_SRC 寄存器 (位于 DAC 配置寄存器页面) 中的相应位来触发 DAC 自动断电和 OUT 引脚自动断电事件。
6. **DRVEN**: 当 FLEXIO_FUNC 设置为 0x20 时, 除了器件上现有的 DRVEN0 和 DRVEN1 引脚外, FLEXIO 引脚还充当额外的开关控制输入 DRVEN2。通过向 FLEXIO_EN 寄存器 (位于 DAC 配置寄存器映射中) 中的相应位写入所需的值, 可以在任何所需的 DAC 上启用 DRVEN2 控制。

6.3.6 内部温度传感器

该器件具有一个用于测量器件裸片温度的片上温度传感器。此内部温度传感器的正常工作温度范围受器件工作温度范围 (- 55°C 至 +150°C) 的限制。

此温度传感器具有 16 位分辨率 (0.0078°C) 且转换与器件 SAR ADC 无关。温度数据结果以二进制格式表示, 如表 6-4 所示。温度数据格式允许使用带符号的二进制补码表示方式来表示负温度。确保遵守 *绝对最大额定值* 表中列出的参数值。

表 6-4. 温度数据格式 (ADC_TMP [15:0])

温度 (°C)	内部温度寄存器值	
	二进制	十六进制
-55	1111 1111 1100 1001	FFC9
-25	1111 1111 1110 0111	FFE7
-1	1111 1111 1111 1111	FFFF
0	0000 0000 0000 0000	0000
1	0000 0000 1000 0000	0080
10	0000 0101 0000 0000	0500
25	0000 1100 1000 0000	0C80
50	0001 1001 0000 0000	1900
75	0010 0101 1000 0000	2580
100	0011 0010 0000 0000	3200
125	0011 1110 1000 0000	3E80
127	0011 1111 1000 0000	3F80
150	0100 1011 0000 0000	4B00

通过读取全局寄存器页面中的 ADC_TMP 寄存器可以访问温度数据寄存器。

6.3.7 可编程超限警报

AFE20408 能够持续分析电源、基准、外部 ADC 输入和内部温度、以确保正常运行。通过下限和上限阈值寄存器可以确保获得正确的转换结果。当任何被监控的输入超出指定的范围时, 便会设置警报状态寄存器中的相应警报位。此外, 还会设置全局警报位 (GEN_STATUS 寄存器中的 GALR) 。

当配置为 ALARMOUT 时, 所有警报都可以设置为激活 FLEXIO 引脚。任何警报事件都可以激活该引脚, 只要未在 ALARMOUT_SRC 寄存器中屏蔽警报即可。如果屏蔽了某个警报事件, 发生该事件会在警报状态寄存器中设置相应的状态位, 但不会激活 ALARMOUT 引脚。

ALARM_LATCH_DIS 位 (位于通用配置寄存器页面的 GEN_CFG_0 寄存器中) 可设置内部器件警报和 ALARMOUT 引脚的锁存行为。当 ALARM_LATCH_DIS 位清零后, 会锁存警报。警报视为被锁存的原因是 GALR 位和 ALARMOUT 引脚会在软件读取 GEN_STATUS 寄存器之前保持有效状态, 即使在读取之前警报条件消失也是如此。如果软件会定期轮询器件, 这种设计可确保不会丢失超限事件。当 ALARM_LATCH_DIS 位设置为 1 后, 不会锁存警报位。在这种情况下, 无论是否读取了 GEN_STATUS 寄存器, 只要错误条件消失, 便会立即停用 GALR 位和 ALARMOUT 引脚。无论 ALARM_LATCH_DIS 位的值如何, 仅在软件读取后才会清除警报状态寄存器中的所有位。需读取两次警报状态寄存器来确认在警报条件消失后已清除这些位。如果超限条件在下一个监控周期中仍然存在, 则会将这些位重新置为有效。

此外, 可以设置所有警报来强制一个或多个 DAC 进入断电状态。要启用此功能, 必须向 DAC_APD_SRC 和 OUT_APD_SRC 寄存器 (均位于 DAC 配置寄存器页面) 中的相应位写入所需的值来启用警报事件作为断电来源。另外, 必须指定由警报事件控制的 DAC 输出。在此应用中, 当检测到 DAC 控制警报事件时, 所有设置为断电以响应警报的 DAC 都会执行断电。清除警报事件后, DAC 将重新加载 DAC 有效寄存器中的内容, 这样 DAC 输出就可以直接恢复到先前的运行点, 无需执行任何额外的命令。

6.3.7.1 温度传感器警报功能

AFE20408 持续监测内部裸片温度。该器件包含一个在裸片温度超过 150°C 时设置的热错误警报位 (THERMERR_ALR)。热错误警报可配置为设置 ALARMOUT 引脚以及将所有 DAC 输出配置为断电状态。如果由于热警报而发生断电事件，即使器件温度降至 150°C 以下，DAC 输出也会保持断电模式。若要恢复正常运行，必须在 DAC 通道处于断电模式时清除热错误警报。除了热错误警报，该器件还有一个具有可配置阈值的温度警报 (写入 ADC 配置寄存器页面中的 TMP_UP_THRESH 寄存器)。ALARM_STATUS_0 全局寄存器中的 TMP_ALR 位在温度超过阈值时设置，可以配置为设置 ALARMOUT 引脚或触发 DAC 断电事件。

6.3.7.2 电源超限警报功能

AFE20408 能够监测所有电源电压，包括内部基准。对于 VSS 和 VCC 电源引脚，当电源达到上电阈值后，如果相应电源引脚的电压幅度小于电源崩溃阈值，则会设置警报状态寄存器中的相应位。表 6-5 展示了激活电源警报的电压阈值。

表 6-5. 电源警报阈值

电源	警报阈值 (上电)	警报阈值 (电源崩溃)
VDD	2.3V	2.6V
VCCA/VCCB	2.2V	1.7V
VSSA/VSSB (低范围)	-2.2V	-1.7V
VSSA/VSSB (中间范围)	-3.7V	-3.2V
VSSA/VSSB (高范围)	-6.7V	-6.2V

警报取决于电压幅度 (非极性)；因此，当相应的引脚电压大于 (负值的绝对值小于) 指定的电源崩溃阈值时，会设置 VSSA 和 VSSB 警报。此外，VSSA 和 VSSB 报警阈值取决于为相应的 DAC 组选择的范围；另请参阅节 7.2.1.5。

该器件可为高性能内部基准提供超限检测。如果内部基准电压小于 1.5V (在最初达到 2.0V 的上电阈值后)，则会设置基准警报标志。在为 DAC 输出缓冲器上电之前，确认未发出基准警报条件。

通过设置 DAC_APD_SRC 和 OUT_APD_SRC 寄存器中的相应位，电源和内部基准警报均可配置为触发警报引脚和/或 DAC 自动断电事件。

6.3.7.3 ADC 警报功能

该器件为每个 ADC 输入提供独立的超限检测。图 6-10 显示了超限检测块。当测量值超出范围时，警报状态寄存器中会设置相应的警报位来标记超出范围的情况。ADC 上限和下限寄存器中的值定义 ADC 输入的上限和下限阈值。

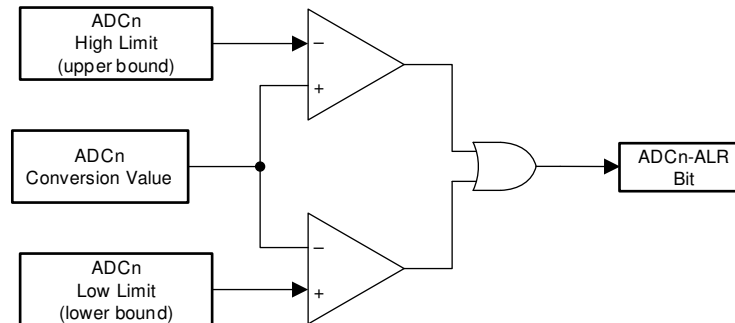


图 6-10. ADC 输入超限警报

为了防止误报，仅当监控的信号在 N 次连续转换中超出范围时，才会记录警报事件。如果监控的信号在 N 次连续转换之前恢复到了正常范围，则不会发出警报事件。向 `ADC_GEN_CFG` 寄存器（位于 ADC 配置寄存器页面）的 `FALR_ADC`、`FALR_SENSE` 和/或 `FALR_TMP` 字段写入值可以配置 ADC 输入警报的误报因子 N 。

如果 ADC 输入信号超出范围且警报已启用，相应的警报位将设置为 1。但是，仅当转换结果恢复到小于上限寄存器设置值或大于下限寄存器设置值，并达到由 ADC 迟滞设置指定的代码数量时，才会清除警报状态（请参阅图 6-11）。可以向 `ADC_HYST_0` 寄存器中的位 7 至 0 写入值来设置 ADC 警报的迟滞。还可以向 `ADC_HYST_1` 寄存器中的位 7 至 0 写入值来设置 SENSE 输入警报的迟滞。在这两种情况下，迟滞都是介于 0 LSB 至 127 LSB 之间的可编程值。

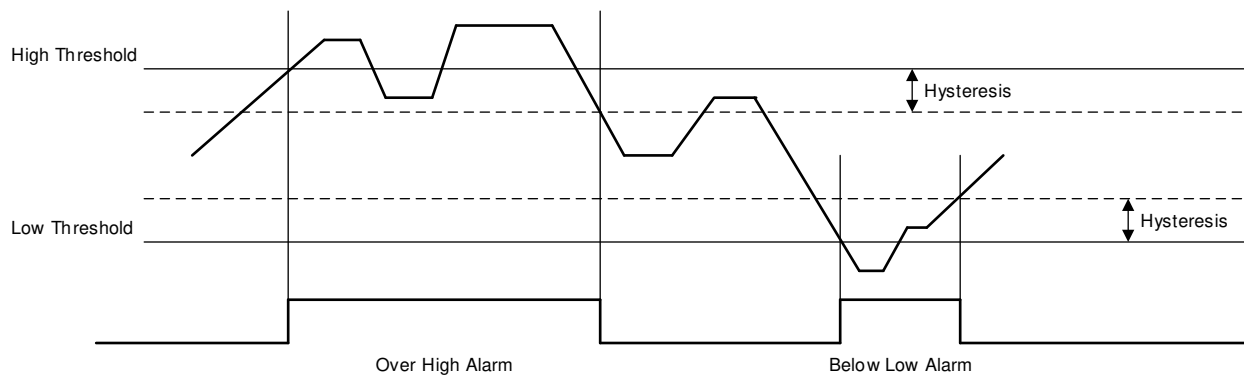


图 6-11. ADC 警报迟滞

6.4 器件功能模式

AFE20408 中的 DAC 分为 A 组和 B 组，每个组都有四个 DAC 通道和两个 OUT 通道。每个 DAC 组的输出范围和钳位电压都是独立设置的，使器件能够在以下其中一个模式下运行：

- 全正 DAC 范围模式
- 全负 DAC 范围模式
- 混合 DAC 范围模式

6.4.1 全正 DAC 范围模式

在 AFE20408 全正 DAC 范围模式下，两个 DAC 组设置为正电压输出范围 (0V 至 10V)。

每个组的最小 DAC 输出不能小于相应的 V_{SS} 电压。在全正 DAC 范围模式下，两个组的最小 DAC 输出均为 0V，因此，VSSA 和 VSSB 引脚必须连接到 GND。

每个组的最大 DAC 输出不能大于相应的 V_{CC} 电压。在全正 DAC 范围模式下，VCCA 和 VCCB 引脚必须连接到正电源电压；但是，不需要将这些引脚连接到同一个电位。通常，每个 VCC 引脚上的正电压由所需的正电压输出范围决定，但这种配置不是必需的。如果一个组的 V_{CC} 电源电压低于正满量程配置，则最大 DAC 电压限制为 $V_{CC[A,B]}$ 。表 6-6 列出了此模式的典型配置。

表 6-6. 全正 DAC 范围模式典型配置

引脚	测试条件	典型连接
VDD		4.5V 至 5.5V
VIO	$V_{IO} \leq V_{DD}$	1.65V 至 5.5V
VCCA	$V_{DACA} \leq V_{CCA}$	$3V \leq V_{CCA} \leq 11V$
VCCB	$V_{DACB} \leq V_{CCB}$	$3V \leq V_{CCB} \leq 11V$
VSSA		GND
VSSB		GND
散热焊盘		GND

复位事件过后，自动范围检测器会自动设置每个 DAC 组的输出范围。

VSS[A,B] 引脚设置每个 DAC 组的钳位电压。钳位电压仅取决于 VSS[A,B] 引脚上的电压；因此，更改 DAC 范围寄存器不会影响钳位设置。VSSA 和 VSSB 引脚都连接到 GND 时，所有 DAC 的钳位电压都为 0V。

6.4.2 全负 DAC 范围模式

在 AFE20408 全负 DAC 范围模式下，两个 DAC 组设置为负电压输出范围 (- 10V 至 0V)。

每个组的最大 DAC 输出不能小于相应的 V_{CC} 电压。在全负 DAC 范围模式下，两个组的最大 DAC 输出均为 0V，因此，VCCA 和 VCCB 引脚必须连接到 GND。

每个组的最小 DAC 输出不能小于相应的 V_{SS} 电压。在全负 DAC 范围模式下，VSSA 和 VSSB 引脚必须连接到负电源电压；但是，不需要将这些引脚连接到同一个电位。具体而言，VSSA 引脚上的电压必须始终小于 (负值的绝对值大于) 或等于 VSSB 电压。通常，每个 VSS 引脚上的负电压由所需的负电压输出范围决定，但这种配置不是必需的。如果一个组的 V_{SS} 电源电压低于负满量程配置，则最小 DAC 电压限制为 $V_{SS[A,B]}$ 。表 6-7 列出了此模式的典型配置。

表 6-7. 全负 DAC 范围模式典型配置

引脚	测试条件	典型连接
VDD		4.5V 至 5.5V
VIO	$V_{IO} \leq V_{DD}$	1.65V 至 5.5V
VCCA		GND
VCCB		GND
VSSA	$V_{DACA} \geq V_{SSA}$	$-11V \leq V_{SSA} \leq -3V$
VSSB	$V_{DACB} \geq V_{SSB}$	$-11V \leq V_{SSB} \leq -3V$
散热焊盘		GND

复位事件过后，自动范围检测器会自动设置每个 DAC 组的输出范围。

VSS[A,B] 引脚设置每个 DAC 组的钳位电压。钳位电压仅取决于 VSS[A,B] 引脚上的电压；因此，更改 DAC 范围寄存器不会影响钳位设置。当 VSSA 和 VSSB 引脚都连接到负电源电压时，DAC A 组的钳位电压等于 V_{SSA} ，而 DAC B 组的钳位电压等于 V_{SSB} 。

6.4.3 混合 DAC 范围模式

在 AFE20408 混合 DAC 范围模式下，DAC A 组设置为负电压输出范围（-10V 至 0V），DAC B 组设置为正电压输出范围（0V 至 10V）。如果 DAC A 组设置为正电压输出范围，则 DAC B 组无法设置为负电压输出范围。

DAC B 组的 VCC 引脚必须连接到正电源电压。通常，VCC 引脚上的正电压由所需的正电压输出范围决定，但这种配置不是必需的。如果正电压输出范围组的 V_{CC} 电源电压低于正电压满量程配置，则最大 DAC 电压限制为 V_{CC}。DAC B 组的 VSS 引脚必须连接到 GND。

DAC A 组的 VSS 引脚必须连接到负电源电压。通常，VSS 引脚上的负电压由所需的负电压输出范围决定，但这种配置不是必需的。如果负输出范围组的 V_{SS} 电源电压低于负满量程配置，则最小 DAC 电压限制为 V_{SS}。DAC A 组的 VCC 引脚必须连接到 GND。表 6-8 列出了此模式的典型配置。

表 6-8. 混合 DAC 范围模式典型配置

引脚	测试条件	典型连接
VDD		4.5V 至 5.5V
VIO	$V_{IO} \leq V_{DD}$	1.65V 至 5.5V
VCCA		GND
VCCB	$V_{SS} \leq V_{DACB} \leq V_{CC}$	$3V \leq V_{CC} \leq 11V$
VSSA	$V_{SS} \leq V_{DACA} \leq V_{CC}$	$-11V \leq V_{SS} \leq -3V$
VSSB		GND
散热焊盘		GND

VSS[A,B] 引脚设置每个 DAC 组的钳位电压。钳位电压仅取决于 VSS[A,B] 引脚上的电压；因此，更改 DAC 范围寄存器不会影响钳位设置。DAC A 组的钳位电压等于 V_{SSA}，DAC B 组的钳位电压等于 V_{SSB}。

6.5 编程

该器件通过一个串行接口与系统控制器通信，这个接口支持兼容 I²C 的双线制总线或兼容 SPI 的总线。该器件有一种强大的机制可在兼容 SPI 或兼容 I²C 的控制器之间进行检测，并自动相应地配置这个接口。接口检测机制在启动时运行，从而防止在正常运行期间更改协议。

图 6-12 显示该器件使用分页系统按功能来组织寄存器。

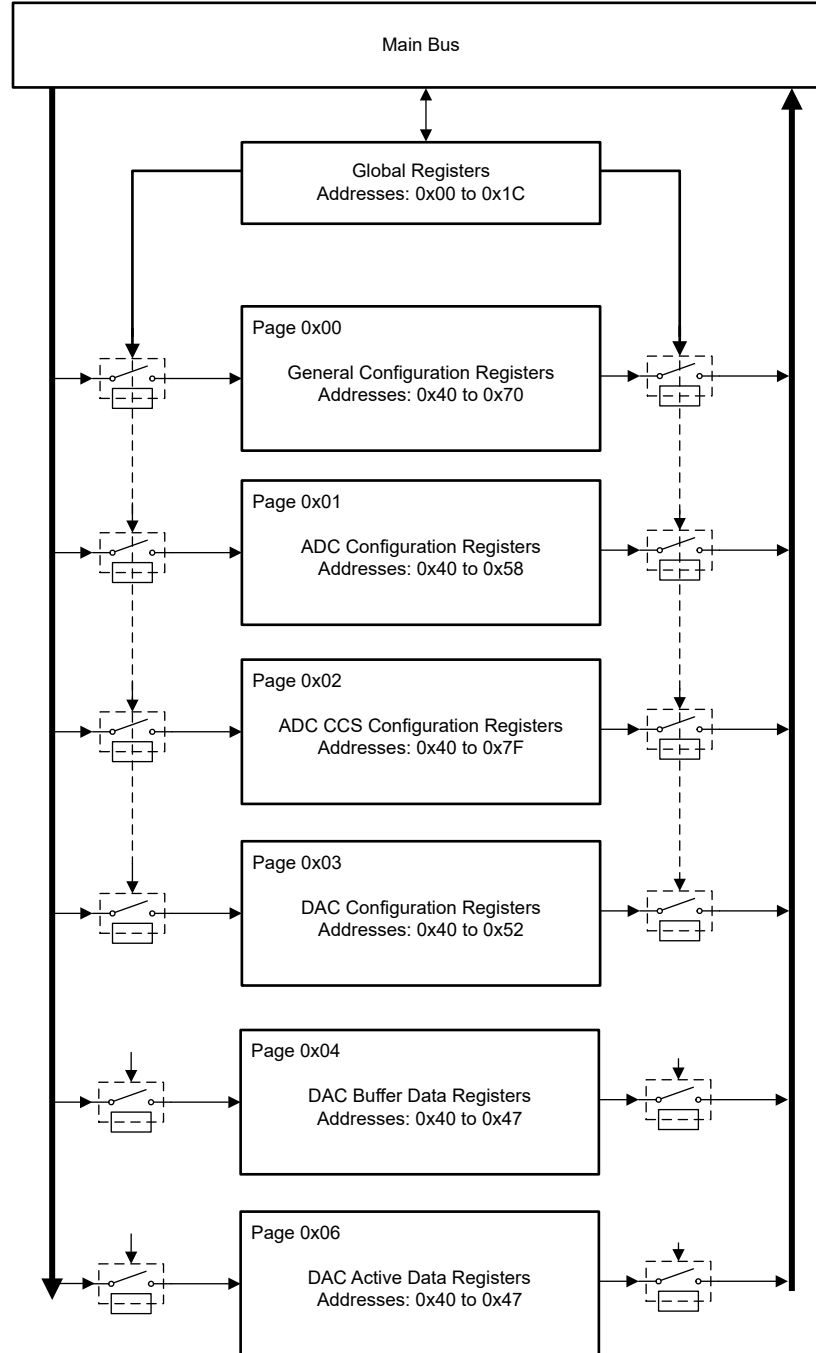


图 6-12. 寄存器页面系统

SPI 和 I²C 配置中都会使用地址 0x01 来选择器件中的不同页面。要对其中一个器件寄存器进行读取和写入，必须首先通过将页码的 5 位表示形式 (PAGE[4:0]) 写入地址 0x01 来选择该寄存器的页面，如图 6-13 所示。页面寄存器会保存页面值，直到有新的页面地址编程到器件中。

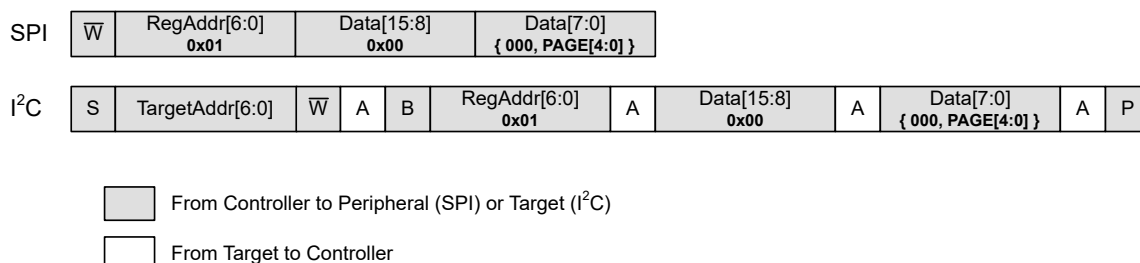


图 6-13. 页面访问格式

每个页面中的地址 0x00 至 0x3F 是全局寄存器，因此无论页面配置如何，都可以访问这些位。

6.5.1 I²C 串行接口

在 I²C 模式下，该器件仅在两线制总线上作为目标器件运行。使用开漏 I/O 线路 SDA 和 SCL 与任一总线建立连接。SDA 和 SCL 引脚特有的集成式峰值抑制滤波器和施密特触发器可大大减少输入峰值和总线噪声的影响。该器件支持快速模式 (1kHz 至 400kHz) 的传输协议。所有数据字节的传输都是 MSB 优先。

6.5.1.1 I²C 总线概述

该器件兼容 I²C。在 I²C 协议中，发起传输的器件称为*控制器*，而控制器控制的器件称为*目标*。总线必须由一个控制器件控制，以生成串行时钟 (SCL)，控制总线访问，并生成启动和停止条件。

要寻址特定器件，需启动一个启动条件。当 SCL 为高电平时，数据线 (SDA) 的逻辑电平从高拉为低，即为启动条件。总线上的所有目标接收目标地址字节，最后一位表明希望进行读取还是写入操作。在第九个时钟脉冲期间，被寻址的目标会生成一个确认位并将 SDA 下拉为低电平，对控制器做出响应。

随后会发起数据传输并发送 8 个时钟脉冲，后跟一个确认位。在数据传输期间，SDA 必须保持稳定，同时 SCL 为高电平，这是因为在 SCL 为高电平时，SDA 中的任何变化会被认为是一个控制信号。

传输完所有数据后，控制器会生成停止条件。当 SCL 为高电平时，SDA 从低电平拉至高电平，即为停止条件。

6.5.1.2 I²C 总线定义

该器件与 I²C 兼容，总线定义如表 6-9 所示。

表 6-9. I²C 符号集

条件	符号	源	说明
启动	S	控制器	开始所有总线事务。当 SCL 线路为高电平时，SDA 线路从高电平到低电平的状态变化将定义一个启动条件。每次数据传输由一个启动条件启动。
停止	P	控制器	终止所有事务并复位总线。当 SCL 线路为高电平时，SDA 线路从低电平到高电平的状态变化将定义一个停止条件。每次数据传输由重复的启动或停止条件终止。
空闲	I	控制器	总线空闲。SDA 和 SCL 线路都保持高电平。
ACK (确认)	A	控制器/目标	握手位 (低电平)。每个接收器件被寻址后，必须生成一个确认位。做出确认的器件必须在确认时钟脉冲期间下拉 SDA 线路，这样一来，在确认时钟脉冲的高电平期间，SDA 线路为稳定低电平。请将设置和保持时间考虑在内。
NACK (否定确认)	$\bar{A}$	控制器/目标	握手位 (高电平)。在控制器接收数据时，通过在目标发送的最后一个字节上生成一个“否定确认”，控制器可发出数据传输终止信号。
读取	R	控制器	紧随目标地址序列之后的高电平有效位。表示控制器正在启动目标到控制器的数据传输。在启动条件和停止条件之间传送的数据字节的数量没有限制，由控制器器件确定。接收器会确认数据传输。
写入	W	控制器	紧随目标地址序列之后的低电平有效位。表示控制器正在启动控制器到目标的数据传输。在启动条件和停止条件之间传送的数据字节的数量没有限制，由控制器器件确定。接收器会确认数据传输。
重复启动	Sr	控制器	由控制器生成，与启动条件的功能相同 (强调停止条件并非绝对必要)。
块访问	B	控制器	高电平有效位，表示控制器正在启动块访问数据传输。

6.5.1.3 I²C 目标地址选择

选择 I²C 总线目标地址的方法是在 A0 和 A1 地址引脚与 V_{IO} 或 GND 电源轨之间安装分流器。在 I²C 总线上每次出现启动条件后，都会测试地址引脚的状态。对于每个引脚，该器件提供四个可能的选项：分流至 V_{IO}（逻辑 1）、分流至 GND（逻辑 0）、分流至 SDA 和分流至 SCL，总共 16 个可能的目标地址，如表 6-10 所示。

表 6-10. I²C 目标地址空间

器件引脚		I ² C 目标地址
A1	A0	[A6:A0]
0	0	101 0000
0	1	101 0001
0	SDA	101 0010
0	SCL	101 0011
1	0	101 0100
1	1	101 0101
1	SDA	101 0110
1	SCL	101 0111
SDA	0	101 1000
SDA	1	101 1001
SDA	SDA	101 1010
SDA	SCL	101 1011
SCL	0	101 1100
SCL	1	101 1101
SCL	SDA	101 1110
SCL	SCL	101 1111

6.5.1.4 I²C 读取和写入操作

对器件执行写入操作时，地址寄存器的值是 R $\overline{W}$ 位为低电平时在目标地址字节之后传输的第一个字节。对器件的每次写入操作都需要一个地址寄存器值，如图 6-14 所示。

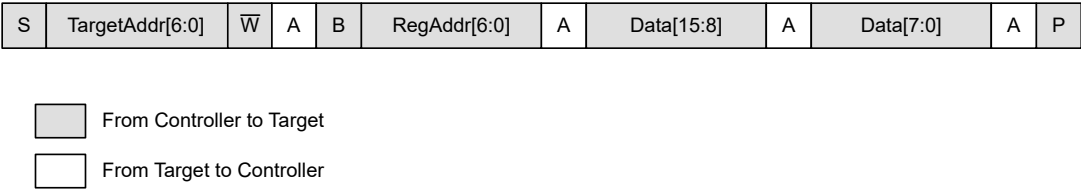


图 6-14. I²C 写入访问协议

对器件执行读取操作时，通过写入操作存入地址寄存器的最后一个值用于确定读取操作将读取哪个寄存器。要更改读取操作将读取哪个寄存器，必须在地址寄存器中写入一个新值。要完成此事务，应在 R $\overline{W}$ 位为低电平时发出一个目标地址字节，后跟地址寄存器字节；无需额外数据。然后，控制器可以生成一个启动条件，并在 R $\overline{W}$ 位为高电平时发送目标地址字节，以启动读取命令。

如果需要对同一寄存器进行重复的读取操作，无需一直发送地址寄存器字节，这是因为器件将保存地址寄存器值，直到这个值被下一个写入操作所更改。寄存器字节采用大端字节序和左对齐方式。

在要读取的最后一个字节的末尾发出一个否定确认命令来终止读取操作。控制器必须在从目标读取的最后一个字节的确认时间内，将 SDA 线路保持为高电平，如图 6-15 所示。

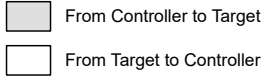
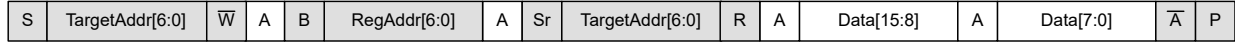


图 6-15. I²C 读取访问协议

提供的块访问功能可以大幅减少大型数据集的传输开销。块访问功能支持多字节传输，通过将块访问位设置为高电平来进行配置。在事务被停止条件终止之前，器件会持续读取和写入后续存储器位置，如图 6-16 和图 6-17 所示。如果控制器在一页中到达地址 0x7F，器件会从该地址继续读取和写入，直到事务被终止。

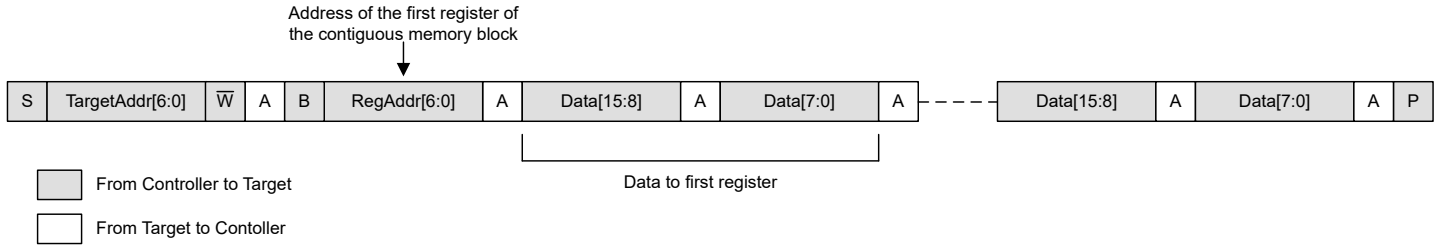


图 6-16. I²C 块写入访问

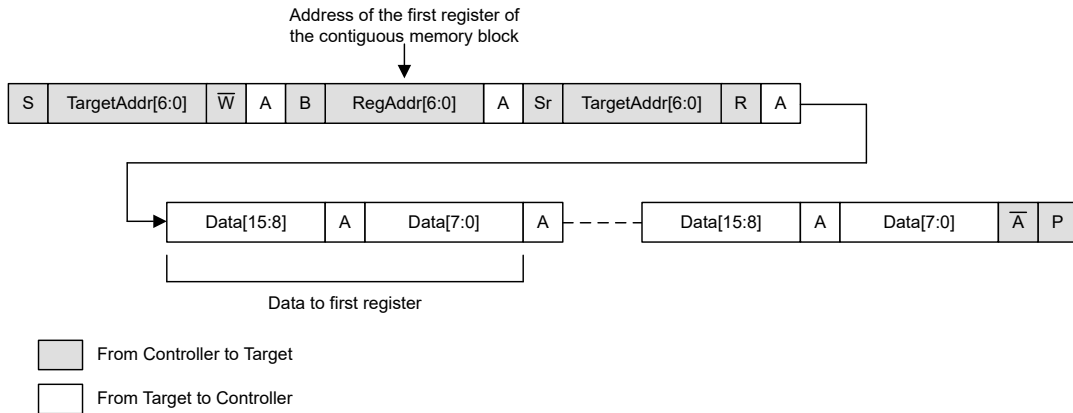


图 6-17. I²C 块读取访问

6.5.1.5 I²C 超时功能

在启动和停止条件之间，如果 **SCL** 或 **SDA** 中的任何一个保持为低电平 **25ms**（典型值），器件将复位串行接口。如果器件将总线保持在低电平，器件会释放总线并等待启动条件。释放总线后，器件会丢弃总线上先前接收到的所有帧，并忽略先前所有的命令和确认请求。为避免激活超时功能，请保持在 **SCL** 工作频率至少为 **1kHz** 时的通信速度。图 6-18 所示为超时特性的逻辑图，而图 6-19 所示为时序图。

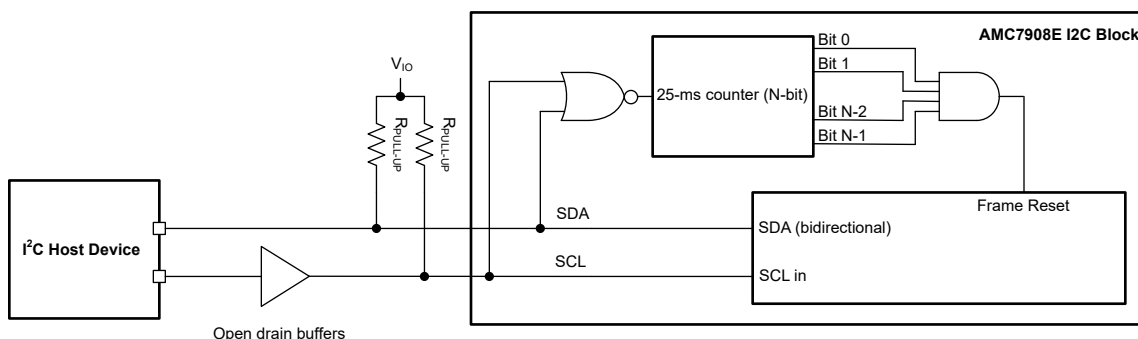


图 6-18. I2C 超时 (逻辑图)

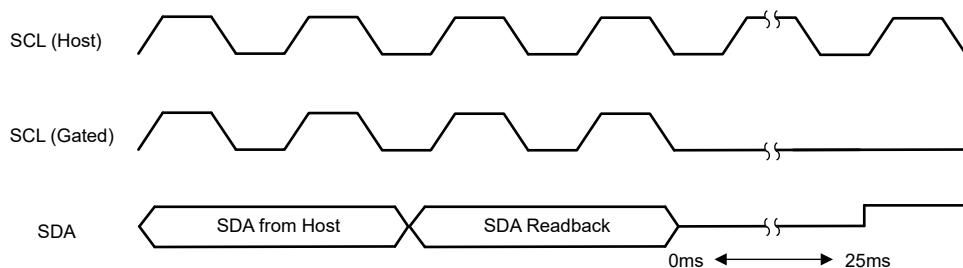


图 6-19. I2C 超时 (时序图)

6.5.1.6 I²C 通用调用复位

该器件支持使用两线制通用调用地址 **00h (0000 0000b)** 进行复位。器件确认通用调用地址，并对第二个字节作出响应。如果第二个字节为 **06h (0000 0110b)**，则器件执行软件复位。此软件复位将启动复位事件。器件不会根据第二个字节中的其他值执行任何操作。

6.5.2 串行外设接口 (SPI)

在 SPI 模式下，通过一个灵活的四线制串行接口控制该器件，这个接口与许多微控制器和 DSP 控制器上使用的 SPI 类型接口兼容。该接口可用于访问器件寄存器。

6.5.2.1 SPI 总线概述

通过将 $\overline{CS}$ 引脚置为低电平来启动一个串行接口访问周期。串行时钟 SCLK 可以是连续时钟或选通时钟。SDI 数据在 SCLK 下降沿上传输。常规串行接口访问周期具有 24 位长度，因此 $\overline{CS}$ 引脚必须在至少 24 个 SCLK 下降沿保持低电平。当 $\overline{CS}$ 引脚取消置位为高电平时，访问周期结束。如果访问周期包含的时钟边沿小于最小值，则通信将被忽略。如果访问周期包含的时钟边沿数大于最小值，则器件仅使用最后 24 位。当 $\overline{CS}$ 为高电平时，SCLK 和 SDI 信号被阻断，SDO 引脚处于高阻态状态。

在串行接口访问周期中，SDI 的第一个字节输入是将请求标识为读取或写入命令的指令周期以及要访问的 7 位地址。此周期中的以下位将构成数据周期，如表 6-11 所示。

表 6-11. SPI 串行接口访问周期

位	字段	说明
23	RW	将通信标识为目标寄存器的读取或写入命令。 RW = 0 设置写入操作。 RW = 1 设置读取操作。
22:16	A[6:0]	寄存器地址。指定在读取或写入操作期间要访问的寄存器。
15:0	DI[15:0]	数据周期位。 如果是写入命令，则数据周期位是要写入地址为 A[6:0] 的寄存器的值。 如果是读取命令，则数据周期位为“不用考虑”值。

读取操作要求首先通过设置 SDO_EN 位来启用 SDO 引脚。读取操作通过发出读取命令访问周期来启动。读取命令后，必须发出第二个访问周期来获取请求的数据，格式如表 6-12 所示。根据 FSDO 位的设置，数据在 SDO 引脚的 SCLK 上升沿或下降沿移出。

表 6-12. SDO 输出访问周期

位	字段	说明
23	RW	来自上一访问周期的回波 RW 位。
22:16	STATUS[6:0]	通用状态 (GEN_STATUS) 寄存器的低七位。
15:0	DO[15:0]	上一访问周期中请求的回读数据。

7 寄存器映射

表 7-1. 寄存器段/块访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

7.1 全局寄存器映射

表 7-2. 全局页面：全局寄存器映射

地址 (十六进制)	寄存器	类型	复位 (十六进制)	位说明																
				15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
00	NOP_RESET	R/W	0000	SW_RST/NOP [15:0]																
01	PAGE	R/W	0000	RESERVED										PAGE[4:0]						
03	GEN_STATUS	R	4000	RESERVED				GREF_ALR	G THERM_ALR	GADC_ALR	GSENSE_ALR	ADC_READY	RESERVED	GVCCVSS_ALR	RESERVED	GALARM_IN_ALR	PAON_STS	GTMP_ALR	GALR	
04	ALARM_STATUS_0	R	0000	RESERVED							TMP_ALR	RESERVED		ADC1_ALR	ADC0_ALR	RESERVED		SENSE1_ALR	SENSE0_ALR	
05	ALARM_STATUS_1	R	0000	RESERVED		ALARMIN_ALR	REF_ALR	THERM_ERR_ALR	RESERVED				VSSB_ALR	VSSA_ALR	RESERVED		VCCB_ALR	VCCA_ALR		
06	PWR_STATUS_0	R	0001	VCCB_STS	VSSB_HIGH_RANGE_STS	VSSB_MID_RANGE_STS	VSSB_LOW_RANGE_STS	VCCA_STS	VSSA_HIGH_RANGE_STS	VSSA_MID_RANGE_STS	VSSA_LOW_RANGE_STS	RESERVED						VDDL_STS		
07	PWR_STATUS_1	R	0000	DRVEN_DACB3_STS	DRVEN_DACB2_STS	DRVEN_DACB1_STS	DRVEN_DACB0_STS	DRVEN_DACA3_STS	DRVEN_DACA2_STS	DRVEN_DACA1_STS	DRVEN_DACA0_STS	PDACB3_STS	PDACB2_STS	PDACB1_STS	PDACB0_STS	PDACA3_STS	PDACA2_STS	PDACA1_STS	PDACA0_STS	
08	PWR_EN	R/W	0200	RESERVED							PAON	PDACB3	PDACB2	PDACB1	PDACB0	PDACA3	PDACA2	PDACA1	PDACA0	
10	触发	W	0000	RESERVED														ALARM_LA_TCH_CLR	DAC_TRIG	ADC_TRIG
11	GPIO_DATA	R/W	0001	RESERVED																GPIO
12	DRVEN_SW_EN	R/W	00FF	RESERVED								DRVEN_SW_EN_DACB3	DRVEN_SW_EN_DACB2	DRVEN_SW_EN_DACB1	DRVEN_SW_EN_DACB0	DRVEN_SW_EN_DACA3	DRVEN_SW_EN_DACA2	DRVEN_SW_EN_DACA1	DRVEN_SW_EN_DACA0	
13	DRVEN	R/W	0000	RESERVED								DRVEN_DACB3	DRVEN_DACB2	DRVEN_DACB1	DRVEN_DACB0	DRVEN_DACA3	DRVEN_DACA2	DRVEN_DACA1	DRVEN_DACA0	
14	DAC_BCAST	W	0000	RESERVED			DAC[12:0]													
17	GLOBAL_CFG	R/W	0000	RESERVED														ADC_BYP_EN	ALARM_BYP_EN	
18	ADC_SENSE_0	R	0000	ADC[15:0]																
19	ADC_SENSE_1	R	0000	ADC[15:0]																
1A	ADC_ADC_0	R	0000	ADC[15:0]																
1B	ADC_ADC_1	R	0000	ADC[15:0]																
1C	ADC_TMP	R	0000	ADC[15:0]																

7.1.1 全局寄存器：全局页面

7.1.1.1 NOP_RESET 寄存器 (地址 = 00h) [复位 = 0000h]

图 7-1. NOP_RESET 寄存器

15	14	13	12	11	10	9	8
SW_RST[15:8]/NOP							
R/W-0h							
7	6	5	4	3	2	1	0
SW_RST[7:0]/NOP							
R/W-0h							

表 7-3. NOP_RESET 寄存器字段说明

位	字段	类型	复位	说明
0	SW_RST/NOP	R/W	0h	无操作 (NOP)，除非数据与以下指定值匹配 0x00AD：软件复位。执行完全上电复位。将器件和所有寄存器复位为默认上电复位状态。通过执行来自动清除

7.1.1.2 页面寄存器 (地址 = 01h) [复位 = 0000h]

图 7-2. 页面寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED				PAGE[4:0]			
R-0h				R/W-0h			

表 7-4. 页面寄存器字段说明

位	字段	类型	复位	说明
4-0	PAGE	R/W	0h	设置页面值。请参阅页面映射以了解更多详情。无论页面设置如何，都可以从任何页面访问全局页面上的寄存器。 0x00：通用配置寄存器页面 0x01：ADC 配置寄存器页面 0x02：ADC CCS 配置寄存器页面 0x03：DAC 配置寄存器页面 0x04：DAC 缓冲器寄存器页面 0x06：DAC 有效寄存器页面

7.1.1.3 GEN_STATUS 寄存器 (地址 = 03h) [复位 = 4000h]

图 7-3. GEN_STATUS 寄存器

15	14	13	12	11	10	9	8
RESERVED				GREF_ALR	GTHERM_ALR	GADC_ALR	GSENSE_ALR
R-4h				R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
ADC_READY	RESERVED	GVCCVSS_ALR	RESERVED	GALARMIN_ALR	PAON_STS	GTMP_ALR	GALR
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 7-5. GEN_STATUS 寄存器字段说明

位	字段	类型	复位	说明
11	GREF_ALR	R	0h	全局基准状态位。此位是所有 REF 警报状态位的 OR 函数。 0 = 无警报条件 1 = 存在警报条件。
10	GTHERM_ALR	R	0h	全局热错误状态位。此位是所有热警报状态位的 OR 函数。 0 = 无警报条件 1 = 存在警报条件。
9	GADC_ALR	R	0h	所有 ADC 输入的全局 ADC 状态位。此位是所有 ADC 警报状态位的 OR 函数。 0 = 无警报条件 1 = 存在警报条件。
8	GSENSE_ALR	R	0h	所有 SENSE 电压输入引脚的全局检测电压状态位。此位是所有 SENSE 警报状态位的 OR 函数。 0 = 无警报条件 1 = 存在警报条件。
7	ADC_READY	R	0h	ADC 就绪指示位 (低电平有效)。 0 = ADC 已准备好启动触发器。 1 = ADC 未就绪。
5	GVCCVSS_ALR	R	0h	全局 VCC 或 VSS 状态位。此位是所有 VCC 和 VSS 警报状态位的 OR 函数。 0 = 无警报条件 1 = 存在警报条件。
3	GALARMIN_ALR	R	0h	全局 ALARMIN 状态位。 0 = 无警报条件 1 = 存在警报条件。
2	PAON_STS	R	0h	PAON 状态位。读取此位可确认 PAON 是激活还是关闭状态。如果任何警报事件配置为关闭 PAON, 则此位遵循原始警报的锁存行为 (基于 ALARM_LATCH_DIS 设置) 0 = PAON 处于非激活状态 1 = PAON 处于激活状态
1	GTMP_ALR	R	0h	全局温度传感器状态位。 0 = 无警报条件 1 = 存在警报条件。
0	GALR	R	0h	全局警报位。此位表示为所有单个警报状态的 OR 函数, 如果存在任何警报条件, 则此位设置为 1。

7.1.1.4 ALARM_STATUS_0 寄存器 (地址 = 04h) [复位 = 0000h]

图 7-4. ALARM_STATUS_0 寄存器

15	14	13	12	11	10	9	8
RESERVED							TMP_ALR
R-0h							R-0h
7	6	5	4	3	2	1	0
RESERVED		ADC1_ALR	ADC0_ALR	RESERVED		SENSE1_ALR	SENSE0_ALR
R-0h		R-0h	R-0h	R-0h		R-0h	R-0h

表 7-6. ALARM_STATUS_0 寄存器字段说明

位	字段	类型	复位	说明
8	TMP_ALR	R	0h	温度传感器的超限警报状态，由相应的阈值寄存器定义。 0 = 温度处于指定范围内 1 = 温度超出范围
5	ADC1_ALR	R	0h	ADC1 的超限警报状态，由相应的阈值寄存器定义。 0 = ADC1 通道处于指定范围内 1 = ADC1 通道超出范围
4	ADC0_ALR	R	0h	ADC0 的超限警报状态，由相应的阈值寄存器定义。 0 = ADC0 通道处于指定范围内 1 = ADC0 通道超出范围
1	SENSE1_ALR	R	0h	SENSE1 的超限警报状态，由相应的阈值寄存器定义。 0 = SENSE1 通道处于指定范围内 1 = SENSE1 通道超出范围
0	SENSE0_ALR	R	0h	SENSE0 的超限警报状态，由相应的阈值寄存器定义。 0 = SENSE0 通道处于指定范围内 1 = SENSE0 通道超出范围

7.1.1.5 ALARM_STATUS_1 寄存器 (地址 = 05h) [复位 = 0000h]

图 7-5. ALARM_STATUS_1 寄存器

15	14	13	12	11	10	9	8
RESERVED		ALARMIN_ALR	REF_ALR	THERMERR_ALR	RESERVED		
R-0h		R-0h	R-0h	R-0h	R-0h		
7	6	5	4	3	2	1	0
RESERVED		VSSB_ALR	VSSA_ALR	RESERVED		VCCB_ALR	VCCA_ALR
R-0h		R-0h	R-0h	R-0h		R-0h	R-0h

表 7-7. ALARM_STATUS_1 寄存器字段说明

位	字段	类型	复位	说明
13	ALARMIN_ALR	R	0h	ALARMIN 警报状态。 0 = 未触发 ALARMIN。 1 = 已触发 ALARMIN。
12	REF_ALR	R	0h	基准警报状态。 0 = 内部基准电压有效 1 = 内部基准电压小于最小基准阈值电压。
11	THERMERR_ALR	R	0h	热错误警报状态。 0 = 裸片温度低于 150°C (典型值) 1 = 工作温度高于或等于 150°C
5	VSSB_ALR	R	0h	VSSB 警报状态。 0 = VSSB 大于最小 VSS 阈值电压 1 = VSSB 小于最小 VSS 阈值电压
4	VSSA_ALR	R	0h	VSSA 警报状态。 0 = VSSA 小于最小 VSS 阈值电压 1 = VSSA 大于最小 VSS 阈值电压
1	VCCB_ALR	R	0h	VCCB 警报状态。 0 = VCCB 大于最小 VCC 阈值电压 1 = VCCB 小于最小 VCC 阈值电压
0	VCCA_ALR	R	0h	VCCA 警报状态。 0 = VCCA 大于最小 VCC 阈值电压 1 = VCCA 小于最小 VCC 阈值电压

7.1.1.6 PWR_STATUS_0 寄存器 (地址 = 06h) [复位 = 0001h]

图 7-6. PWR_STATUS_0 寄存器

15	14	13	12	11	10	9	8
VCCB_STS	VSSB_HIGHRANGE_STS	VSSB_MIDRANGE_STS	VSSB_LOWRANGE_STS	VCCA_STS	VSSA_HIGHRANGE_STS	VSSA_MIDRANGE_STS	VSSA_LOWRANGE_STS
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
RESERVED							VDDL_STS
R-0h							R-1h

表 7-8. PWR_STATUS_0 寄存器字段说明

位	字段	类型	复位	说明
15	VCCB_STS	R	0h	VCCB 的电源检测结果。 0 = VCCB 小于最小 VCC 阈值电压 1 = VCCB 超过最小 VCC 阈值电压
14	VSSB_HIGHRANGE_STS	R	0h	VSSB 的电源检测结果。 0 = VSSB 介于 0V 和高范围 VSS 阈值电压之间。 1 = VSSB 超过 (负值的绝对值大于) 高范围 VSS 阈值电压
13	VSSB_MIDRANGE_STS	R	0h	VSSB 的电源检测结果。 0 = VSSB 介于 0V 和中间范围 VSS 阈值电压之间。 1 = VSSB 超过 (负值的绝对值大于) 中间范围 VSS 阈值电压
12	VSSB_LOWRANGE_STS	R	0h	VSSB 的电源检测结果。 0 = VSSB 介于 0V 和低范围 VSS 阈值电压之间。 1 = VSSB 超过 (负值的绝对值大于) 低范围 VSS 阈值电压
11	VCCA_STS	R	0h	VCCA 的电源检测结果。 0 = VCCA 小于最小 VCC 阈值电压 1 = VCCA 超过最小 VCC 阈值电压。
10	VSSA_HIGHRANGE_STS	R	0h	VSSA 的电源检测结果。 0 = VSSA 介于 0V 和高范围 VSS 阈值电压之间。 1 = VSSA 超过 (负值的绝对值大于) 高范围 VSS 阈值电压
9	VSSA_MIDRANGE_STS	R	0h	VSSA 的电源检测结果。 0 = VSSA 介于 0V 和中间范围 VSS 阈值电压之间。 1 = VSSA 超过 (负值的绝对值大于) 中间范围 VSS 阈值电压
8	VSSA_LOWRANGE_STS	R	0h	VSSA 的电源检测结果。 0 = VSSA 介于 0V 和低范围 VSS 阈值电压之间。 1 = VSSA 超过 (负值的绝对值大于) 低范围 VSS 阈值电压
0	VDDL_STS	R	1h	VDDL 的电源检测结果。 0 = VDDL 小于最小阈值电压。 1 = VDDL 超过最小阈值电压。

7.1.1.7 PWR_STATUS_1 寄存器 (地址 = 07h) [复位 = 0000h]

图 7-7. PWR_STATUS_1 寄存器

15	14	13	12	11	10	9	8
DRVEN_ DACB3_ STS	DRVEN_ DACB2_ STS	DRVEN_ DACB1_ STS	DRVEN_ DACB0_ STS	DRVEN_ DACA3_ STS	DRVEN_ DACA2_ STS	DRVEN_ DACA1_ STS	DRVEN_ DACA0_ STS
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
PDACB3_ STS	PDACB2_ STS	PDACB1_ STS	PDACB0_ STS	PDACA3_ STS	PDACA2_ STS	PDACA1_ STS	PDACA0_ STS
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 7-9. PWR_STATUS_1 寄存器字段说明

位	字段	类型	复位	说明
15	DRVEN_DACB3_STS	R	0h	DACB3 驱动使能状态。 0 : DRVEN = 0 (禁用 DACB3, 将输出强制为 VSS)。 1 : DRVEN = 1。
14	DRVEN_DACB2_STS	R	0h	DACB2 驱动使能状态。 0 : DRVEN = 0 (禁用 DACB2, 将输出强制为 VSS)。 1 : DRVEN = 1。
13	DRVEN_DACB1_STS	R	0h	DACB1 驱动使能状态。 0 : DRVEN = 0 (禁用 DACB1, 将输出强制为 VSS)。 1 : DRVEN = 1。
12	DRVEN_DACB0_STS	R	0h	DACB0 驱动使能状态。 0 : DRVEN = 0 (禁用 DACB0, 将输出强制为 VSS)。 1 : DRVEN = 1。
11	DRVEN_DACA3_STS	R	0h	DACA3 驱动使能状态。 0 : DRVEN = 0 (禁用 DACA3, 将输出强制为 VSS)。 1 : DRVEN = 1。
10	DRVEN_DACA2_STS	R	0h	DACA2 驱动使能状态。 0 : DRVEN = 0 (禁用 DACA2, 将输出强制为 VSS)。 1 : DRVEN = 1。
9	DRVEN_DACA1_STS	R	0h	DACA1 驱动使能状态。 0 : DRVEN = 0 (禁用 DACA1, 将输出强制为 VSS)。 1 : DRVEN = 1。
8	DRVEN_DACA0_STS	R	0h	DACA0 驱动使能状态。 0 : DRVEN = 0 (禁用 DACA0, 将输出强制为 VSS)。 1 : DRVEN = 1。
7	PDACB3_STS	R	0h	DACB3 电源状态。 0 : 在低功耗模式下禁用 DACB3。 1 : DACB3 开启。
6	PDACB2_STS	R	0h	DACB2 电源状态。 0 : 在低功耗模式下禁用 DACB2。 1 : DACB2 开启。
5	PDACB1_STS	R	0h	DACB1 电源状态。 0 : 在低功耗模式下禁用 DACB1。 1 : DACB1 开启。
4	PDACB0_STS	R	0h	DACB0 电源状态。 0 : 在低功耗模式下禁用 DACB0。 1 : DACB0 开启。
3	PDACA3_STS	R	0h	DACA3 电源状态。 0 : 在低功耗模式下禁用 DACA3。 1 : DACA3 开启。
2	PDACA2_STS	R	0h	DACA2 电源状态。 0 : 在低功耗模式下禁用 DACA2。 1 : DACA2 开启。
1	PDACA1_STS	R	0h	DACA1 电源状态。 0 : 在低功耗模式下禁用 DACA1。 1 : DACA1 开启。

表 7-9. PWR_STATUS_1 寄存器字段说明 (续)

位	字段	类型	复位	说明
0	PDACA0_STS	R	0h	DACA0 电源状态。 0 : 在低功耗模式下禁用 DACA0。 1 : DACA0 开启。

7.1.1.8 PWR_EN 寄存器 (地址 = 08h) [复位 = 0200h]

图 7-8. PWR_EN 寄存器

15	14	13	12	11	10	9	8
RESERVED							PAON
R-1h							R/W-0h
7	6	5	4	3	2	1	0
PDACB3	PDACB2	PDACB1	PDACB0	PDACA3	PDACA2	PDACA1	PDACA0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-10. PWR_EN 寄存器字段说明

位	字段	类型	复位	说明
8	PAON	R/W	0h	PAON 电源使能位。 0：禁用 PAON 1：通过电源设置启用 PAON (请注意，如果警报事件关闭 PAON，该位将保持为 1；读取 GEN_STATUS 寄存器中的 PAON_STS 可确认 PAON 是否激活)。
7	PDACB3	R/W	0h	DACB3 为启用状态。 0：禁用 DACB3。 1：启用 DACB3。
6	PDACB2	R/W	0h	DACB2 为启用状态。 0：禁用 DACB2。 1：启用 DACB2。
5	PDACB1	R/W	0h	DACB1 为启用状态。 0：禁用 DACB1。 1：启用 DACB1。
4	PDACB0	R/W	0h	DACB0 为启用状态。 0：禁用 DACB0。 1：启用 DACB0。
3	PDACA3	R/W	0h	DACA3 为启用状态。 0：禁用 DACA3。 1：启用 DACA3。
2	PDACA2	R/W	0h	DACA2 为启用状态。 0：禁用 DACA2。 1：启用 DACA2。
1	PDACA1	R/W	0h	DACA1 为启用状态。 0：禁用 DACA1。 1：启用 DACA1。
0	PDACA0	R/W	0h	DACA0 为启用状态。 0：禁用 DACA0。 1：启用 DACA0。

7.1.1.9 触发器寄存器 (地址 = 10h) [复位 = 0000h]

图 7-9. 触发器寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED					ALARM_LATCH _CLR	DAC_TRIG	ADC_TRIG
R-0h					W-0h	W-0h	W-0h

表 7-11. 触发器寄存器字段说明

位	字段	类型	复位	说明
2	ALARM_LATCH_CLR	W	0h	手动清除锁存了警报条件的寄存器。如果警报条件仍然存在，则会再次锁存相应的警报并设置警报状态。此位会自行清除 0 = 无操作。 1 = 清除警报位。
1	DAC_TRIG	W	0h	软件 LDAC 触发器。此位会自行清除。 0 = 无操作。 1 = 启动从 DAC 缓冲器寄存器到有效寄存器的数据传输。
0	ADC_TRIG	W	0h	ADC 转换触发器。将此位设置为 1 可开始 ADC 转换。在直接模式下，此位在所有转换完成后自行清零。在自动模式下，此位保持设置值，且 ADC 持续转换，直到用户手动将此位清零，从而停止自动模式。在将 ADC_TRIG 设置为 1 之前，应通过连续两次读取 ADC_READY 状态位为 0 来确认 ADC 已就绪。 0 = 停止 ADC 转换。 1 = 启动 ADC 转换

7.1.1.10 GPIO_DATA 寄存器 (地址 = 11h) [复位 = 0001h]

图 7-10. GPIO_DATA 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED							GPIO
R-0h							R/W-1h

表 7-12. GPIO_DATA 寄存器字段说明

位	字段	类型	复位	说明
0	GPIO	R/W	1h	对于读取操作，GPIO 引脚用作输入。通过读取接收相应 GPIO 引脚的状态。对于写入操作，根据写入该寄存器的值，GPIO 引脚用作输出，如下所示 0：将 GPIO 设置为逻辑低电平。 1：将 GPIO 设置为逻辑高电平 (当 FLEXIO_OUT_ODE = 0 时) 或高阻抗状态 (当 FLEXIO_OUT_ODE = 1 时)

7.1.1.11 DRVEN_SW_EN 寄存器 (地址 = 12h) [复位 = 00FFh]

图 7-11. DRVEN_SW_EN 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
DRVEN_ SW_EN_ DACB3	DRVEN_ SW_EN_ DACB2	DRVEN_ SW_EN_ DACB1	DRVEN_ SW_EN_ DACB0	DRVEN_ SW_EN_ DACA3	DRVEN_ SW_EN_ DACA2	DRVEN_ SW_EN_ DACA1	DRVEN_ SW_EN_ DACA0
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h

表 7-13. DRVEN_SW_EN 寄存器字段说明

位	字段	类型	复位	说明
7	DRVEN_SW_EN_DACB3	R/W	1h	启用 DACB3 通道开关 (DRVEN) 的软件操作。 0：禁用软件控制。 1：启用软件控制。
6	DRVEN_SW_EN_DACB2	R/W	1h	启用 DACB2 通道开关 (DRVEN) 的软件操作。 0：禁用软件控制。 1：启用软件控制。
5	DRVEN_SW_EN_DACB1	R/W	1h	启用 DACB1 通道开关 (DRVEN) 的软件操作。 0：禁用软件控制。 1：启用软件控制。
4	DRVEN_SW_EN_DACB0	R/W	1h	启用 DACB0 通道开关 (DRVEN) 的软件操作。 0：禁用软件控制。 1：启用软件控制。
3	DRVEN_SW_EN_DACA3	R/W	1h	启用 DACA3 通道开关 (DRVEN) 的软件操作。 0：禁用软件控制。 1：启用软件控制。
2	DRVEN_SW_EN_DACA2	R/W	1h	启用 DACA2 通道开关 (DRVEN) 的软件操作。 0：禁用软件控制。 1：启用软件控制。
1	DRVEN_SW_EN_DACA1	R/W	1h	启用 DACA1 通道开关 (DRVEN) 的软件操作。 0：禁用软件控制。 1：启用软件控制。
0	DRVEN_SW_EN_DACA0	R/W	1h	启用 DACA0 通道开关 (DRVEN) 的软件操作。 0：禁用软件控制。 1：启用软件控制。

7.1.1.12 DRVEN 寄存器 (地址 = 13h) [复位 = 0000h]

图 7-12. DRVEN 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
DRVEN_DACB3	DRVEN_DACB2	DRVEN_DACB1	DRVEN_DACB0	DRVEN_DACA3	DRVEN_DACA2	DRVEN_DACA1	DRVEN_DACA0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-14. DRVEN 寄存器字段说明

位	字段	类型	复位	说明
7	DRVEN_DACB3	R/W	0h	在 DRVEN_SW_EN_DACB3 上启用软件控制时的软件驱动启用值。 0：禁用 DACB3 驱动，在内部连接至 VSSB。 1：启用 DACB3 驱动。
6	DRVEN_DACB2	R/W	0h	在 DRVEN_SW_EN_DACB2 上启用软件控制时的软件驱动启用值。 0：禁用 OUTB2 驱动，在内部连接至 VSSB 或 DACB3，具体取决于 CLAMP_SEL_OUTB2。 1：启用 OUTB2 驱动，连接至 DACB2。
5	DRVEN_DACB1	R/W	0h	在 DRVEN_SW_EN_DACB1 上启用软件控制时的软件驱动启用值。 0：禁用 DACB1 驱动，在内部连接至 VSSB。 1：启用 DACB1 驱动。
4	DRVEN_DACB0	R/W	0h	在 DRVEN_SW_EN_DACB0 上启用软件控制时的软件驱动启用值。 0：禁用 OUTB0 驱动，在内部连接至 VSSB 或 DACB1，具体取决于 CLAMP_SEL_OUTB0。 1：启用 OUTB0 驱动，连接至 DACB0。
3	DRVEN_DACA3	R/W	0h	在 DRVEN_SW_EN_DACA3 上启用软件控制时的软件驱动启用值。 0：禁用 DACA3 驱动，在内部连接至 VSSA。 1：启用 DACA3 驱动。
2	DRVEN_DACA2	R/W	0h	在 DRVEN_SW_EN_DACA2 上启用软件控制时的软件驱动启用值。 0：禁用 OUTA2 驱动，在内部连接至 VSSA 或 DACA3，具体取决于 CLAMP_SEL_OUTA2。 1：启用 OUTA2 驱动，连接至 DACA2。
1	DRVEN_DACA1	R/W	0h	在 DRVEN_SW_EN_DACA1 上启用软件控制时的软件驱动启用值。 0：禁用 DACA1 驱动，在内部连接至 VSSA。 1：启用 DACA1 驱动。
0	DRVEN_DACA0	R/W	0h	在 DRVEN_SW_EN_DACA0 上启用软件控制时的软件驱动启用值。 0：禁用 OUTA0 驱动，在内部连接至 VSSA 或 DACA1，具体取决于 CLAMP_SEL_OUTA0。 1：启用 OUTA0 驱动，连接至 DACA0。

7.1.1.13 DAC_BCAST 寄存器 (地址 = 14h) [复位 = 0000h]

图 7-13. DAC_BCAST 寄存器

15	14	13	12	11	10	9	8
RESERVED				DAC[12:8]			
R-0h				W-0h			
7	6	5	4	3	2	1	0
DAC[7:0]							
W-0h							

表 7-15. DAC_BCAST 寄存器字段说明

位	字段	类型	复位	说明
12-0	DAC	W	0h	对于已设置相应广播使能 (BCEN) 位的通道, 对该寄存器执行写操作会将所有 DAC 缓冲器和有效数据寄存器值设置为指定代码 (请参阅节 7.5.1.2)。否则, 通道缓冲器和有效寄存器保持不变。

7.1.1.14 GLOBAL_CFG 寄存器 (地址 = 17h) [复位 = 0000h]

图 7-14. GLOBAL_CFG 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED						ADC_BYP_EN	ALARM_BYP_EN
R-0h						R/W-0h	R/W-0h

表 7-16. GLOBAL_CFG 寄存器字段说明

位	字段	类型	复位	说明
1	ADC_BYP_EN	R/W	0h	ADC 数据旁路使能。旁路掉所有 ADC 转换结果。 0：禁用旁路。 1：旁路掉所有 ADC 转换数据, 并将数据寄存器强制为 ADC_BYP 中存储的值 (请参阅节 7.3.1.4)。
0	ALARM_BYP_EN	R/W	0h	内部警报旁路。 0：禁用旁路。 1：旁路掉所有警报条件状态和警报状态位。

7.1.1.15 ADC_SENSE0 寄存器 (地址 = 18h) [复位 = 0000h]

图 7-15. ADC_SENSE0 寄存器

15	14	13	12	11	10	9	8
ADC[15:8]							
R-0h							
7	6	5	4	3	2	1	0
ADC[7:0]							
R-0h							

表 7-17. ADC_SENSE0 寄存器字段说明

位	字段	类型	复位	说明
15-0	ADC	R	0h	分流输出上测得的差分电压。二进制补码值。当 SHUNT_RANGE = 0 时，转换因子为 5 μ V/LSB，当 SHUNT_RANGE = 1 时，转换因子为 1.25 μ V/LSB。

7.1.1.16 ADC_SENSE1 寄存器 (地址 = 19h) [复位 = 0000h]

图 7-16. ADC_SENSE1 寄存器

15	14	13	12	11	10	9	8
ADC[15:8]							
R-0h							
7	6	5	4	3	2	1	0
ADC[7:0]							
R-0h							

表 7-18. ADC_SENSE1 寄存器字段说明

位	字段	类型	复位	说明
15-0	ADC	R	0h	分流输出上测得的差分电压。二进制补码值。当 SHUNT_RANGE = 0 时，转换因子为 5 μ V/LSB，当 SHUNT_RANGE = 1 时，转换因子为 1.25 μ V/LSB。

7.1.1.17 ADC_ADC0 寄存器 (地址 = 1Ah) [复位 = 0000h]

图 7-17. ADC_ADC0 寄存器

15	14	13	12	11	10	9	8
ADC[15:8]							
R-0h							
7	6	5	4	3	2	1	0
ADC[7:0]							
R-0h							

表 7-19. ADC_ADC0 寄存器字段说明

位	字段	类型	复位	说明
15-0	ADC	R	0h	ADCHV 电压输出，二进制补码值（始终为正）。转换因子：3.125mV/LSB。

7.1.1.18 ADC_ADC1 寄存器 (地址 = 1Bh) [复位 = 0000h]

图 7-18. ADC_ADC1 寄存器

15	14	13	12	11	10	9	8
ADC[15:8]							
R-0h							
7	6	5	4	3	2	1	0
ADC[7:0]							
R-0h							

表 7-20. ADC_ADC1 寄存器字段说明

位	字段	类型	复位	说明
15-0	ADC	R	0h	ADCHV 电压输出，二进制补码值（始终为正）。转换因子：3.125mV/LSB。

7.1.1.19 ADC_TMP 寄存器 (地址 = 1Ch) [复位 = 0000h]

图 7-19. ADC_TMP 寄存器

15	14	13	12	11	10	9	8
ADC[15:8]							
R-0h							
7	6	5	4	3	2	1	0
ADC[7:0]							
R-0h							

表 7-21. ADC_TMP 寄存器字段说明

位	字段	类型	复位	说明
15-0	ADC	R	0h	内部芯片温度测量。二进制补码值。转换因子：7.8125m°C/LSB。

7.2 通用配置寄存器映射

表 7-22. 第 0 页：通用配置寄存器映射

地址 (十六进制)	寄存器	类型	复位 (十六进制)	位说明																
				15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
40	CHIP_ID	R	2480	CHIP_ID[15:0]																
41	CHIP_VER	R	0000	RESERVED												VERSION_ID[3:0]				
42	SDO_EN	R/W	0000	RESERVED														FSDO	SDO_EN	
44	GEN_CFG_0	R/W	0010	PAON_POL	PAON_ODE	RESERVED								FLEXIO_OUT_POL	FLEXIO_OUT_ODE	ALARM_LATCH_DIS	RESERVED			
45	GEN_CFG_1	R/W	1101	RESERVED	VSSB_RANGE[2:0]			RESERVED	VSSA_RANGE[2:0]			RESERVED		FLEXIO_FUNC[5:0]						
48	ALARMOUT_SRC_0	R/W	0000	RESERVED							TMP_ALR_OUT	RESERVED		ADC1_ALR_OUT	ADC0_ALR_OUT	RESERVED		SENSE1_ALR_OUT	SENSE0_ALR_OUT	
49	ALARMOUT_SRC_1	R/W	1833	RESERVED				REF_ALR_OUT	THERM_ERR_ALR_OUT	RESERVED					VSSB_ALR_OUT	VSSA_ALR_OUT	RESERVED		VCCB_ALR_OUT	VCCA_ALR_OUT
4C	ALARM_STATUS_0_BYP	R/W	0000	RESERVED							TMP_ALR_BYP	RESERVED		ADC1_ALR_BYP	ADC0_ALR_BYP	RESERVED		SENSE1_ALR_BYP	SENSE0_ALR_BYP	
4D	ALARM_STATUS_1_BYP	R/W	0000	RESERVED				REF_ALR_BYP	THERM_ERR_ALR_BYP	RESERVED					VSSB_ALR_BYP	VSSA_ALR_BYP	RESERVED		VCCB_ALR_BYP	VCCA_ALR_BYP
50	PAON_SRC_0	R/W	0000	RESERVED							TMP_PAON_OUT	RESERVED		ADC1_PAON_OUT	ADC0_PAON_OUT	RESERVED		SENSE1_PAON_OUT	SENSE0_PAON_OUT	
51	PAON_SRC_1	R/W	1833	RESERVED				REF_PAON_OUT	THERM_ERR_PAON_OUT	RESERVED[4:0]					VSSB_PAON_OUT	VSSA_PAON_OUT	RESERVED		VCCB_PAON_OUT	VCCA_PAON_OUT
70	RESET_FLAGS	W	000F	RESERVED												VDD_COLLAPSE_FLAG		RSTPIN_FLAG	VIO_FLAG	PORBASE_FLAG

7.2.1 通用配置寄存器：第 0 页

7.2.1.1 CHIP_ID 寄存器 (地址 = 40h) [复位 = 2480h]

图 7-20. CHIP_ID 寄存器

15	14	13	12	11	10	9	8
CHIP_ID[15:8]							
R-24h							
7	6	5	4	3	2	1	0
CHIP_ID[7:0]							
R-80h							

表 7-23. CHIP_ID 寄存器字段说明

位	字段	类型	复位	说明
15-0	CHIP_ID	R	2480h	芯片识别码

7.2.1.2 CHIP_VER 寄存器 (地址 = 41h) [复位 = 0000h]

图 7-21. CHIP_VER 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED				VERSION[3:0]			
R-0h				R-0h			

表 7-24. CHIP_VER 寄存器字段说明

位	字段	类型	复位	说明
3-0	VERSION[3:0]	R	0h	芯片版本 ID。 0x0：修订版 A。 0x1：修订版 B。 0x2：修订版 C。 0x3：修订版 D。

7.2.1.3 SDO_EN 寄存器 (地址 = 42h) [复位 = 0000h]

图 7-22. SDO_EN 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED						FSDO	SDO_EN
R-0h						R/W-0h	R/W-0h

表 7-25. SDO_EN 寄存器字段说明

位	字段	类型	复位	说明
1	FSDO	R/W	0h	提前一个 SCLK 半周期发送 SDO 数据 (FSDO 模式) 以实现更快的 SPI 总线速度。当 SDO_EN = 0 时忽略 0 = 禁用 FSDO，当芯片选择变为低电平，然后在每个 SCLK 上升沿 (与 SDI 锁存沿相反的边沿) 更新时，SDO 驱动 MSB 1 = 启用 FSDO，当芯片选择变为低电平，然后在每个 SCLK 下降沿 (与 SDI 锁存沿相同的边沿) 更新时，SDO 驱动 MSB
0	SDO_EN	R/W	0h	SDO 使能。只要 SPI $\overline{\text{CS}}$ 引脚为低电平，便会在读取和写入操作中启用 SDO。无论该位设置如何，在 I ² C 模式下始终禁用 SDO。 0 = 禁用 SDO 1 = 在读取/写入操作期间启用 SDO

7.2.1.4 GEN_CFG_0 寄存器 (地址 = 44h) [复位 = 0010h]

表 7-26. GEN_CFG_0 寄存器

15	14	13	12	11	10	9	8
PAON_POL	PAON_ODE	RESERVED					
R/W-0h	R/W-0h	R-0h					
7	6	5	4	3	2	1	0
RESERVED		FLEXIO_OUT_POL	FLEXIO_OUT_ODE	ALARM_LATCH_DIS	RESERVED		
R-0h		R/W-0h	R/W-1h	R/W-0h	R-0h		

表 7-27. GEN_CFG_0 寄存器字段说明

位	字段	类型	复位	说明
15	PAON_POL	R/W	0h	PAON 极性 0 : PAON 引脚遵循 PWR_EN PAON 位设置, 高压时开启, 低压时关闭 1 : PAON 引脚与 PWR_EN PAON 位设置相反, 高压时关闭, 低压时开启。
14	PAON_ODE	R/W	0h	PAON 开漏使能 0 : PAON 引脚为推挽输出 (默认) 1 : PAON 引脚为开漏输出
5	FLEXIO_OUT_POL	R/W	0h	配置为数字输出时的 FLEXIO 引脚极性 0 = FLEXIO 低电平有效 1 = FLEXIO 高电平有效
4	FLEXIO_OUT_ODE	R/W	1h	配置为数字输出时的 FLEXIO 引脚驱动模式 0 = FLEXIO 引脚为推挽输出 1 = FLEXIO 引脚为开漏输出
3	ALARM_LATCH_DIS	R/W	0h	警报锁存状态 0 = 锁存警报状态。仅当相应的警报条件消失后 GALR 位读数为 0 时, 全局警报位 GALR 和 FLEXIO 引脚 (如果配置为 ALARMOUT) 才会恢复默认状态 1 = 不锁存警报状态。在警报条件消失后, 全局警报位和 FLEXIO 引脚 (如果配置为 ALARMOUT) 立即恢复默认状态。

7.2.1.5 GEN_CFG_1 寄存器 (地址 = 45h) [复位 = 1101h]

图 7-23. GEN_CFG_1 寄存器

15	14	13	12	11	10	9	8
RESERVED	VSSB_RANGE[2:0]			RESERVED	VSSA_RANGE[2:0]		
R-0h	R/W-1h			R-0h	R/W-1h		
7	6	5	4	3	2	1	0
RESERVED		FLEXIO_FUNC[5:0]					
R-0h		R/W-1h					

表 7-28. GEN_CFG_1 寄存器字段说明

位	字段	类型	复位	说明
14-12	VSSB_RANGE	R/W	1h	为 DAC B 组配置 VSS 范围；对于该范围之外的任何电压，都会设置 VSSB_ALR 001：低范围 VSS (- 11V 至 - 3V) 010：中间范围 VSS (- 11V 至 - 4.5V) 100：高范围 VSS (- 11V 至 - 7.5V)
10-8	VSSA_RANGE	R/W	1h	为 DAC A 组配置 VSS 范围；对于该范围之外的任何电压，都会设置 VSSA_ALR 001：低范围 VSS (- 11V 至 - 3V) 010：中间范围 VSS (- 11V 至 - 4.5V) 100：高范围 VSS (- 11V 至 - 7.5V)
5-0	FLEXIO_FUNC	R/W	1h	设置 FLEXIO 引脚的功能 0x01：RESET 0x02：ALARMOUT 0x04：GPIO 引脚 0x08：LDAC 0x10：ALARMIN 0x20：DRVEN2

7.2.1.6 ALARMOUT_SRC_0 寄存器 (地址 = 48h) [复位 = 0000h]

图 7-24. ALARMOUT_SRC_0 寄存器

15	14	13	12	11	10	9	8
RESERVED							TMP_ALR_OUT
R-0h							R/W-0h
7	6	5	4	3	2	1	0
RESERVED		ADC1_ALR_OUT	ADC0_ALR_OUT	RESERVED		SENSE1_ALR_OUT	SENSE0_ALR_OUT
R-0h		R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h

表 7-29. ALARMOUT_SRC_0 寄存器字段说明

位	字段	类型	复位	说明
8	TMP_ALR_OUT	R/W	0h	0 : 温度警报不是 $\overline{\text{ALARMOUT}}$ 引脚置为有效的原因。 1 : 温度警报是 $\overline{\text{ALARMOUT}}$ 引脚置为有效的原因。
5	ADC1_ALR_OUT	R/W	0h	0 : ADC1 警报不是 $\overline{\text{ALARMOUT}}$ 引脚置为有效的原因。 1 : ADC1 警报是 $\overline{\text{ALARMOUT}}$ 引脚置为有效的原因。
4	ADC0_ALR_OUT	R/W	0h	0 : ADC0 警报不是 $\overline{\text{ALARMOUT}}$ 引脚置为有效的原因。 1 : ADC0 警报是 $\overline{\text{ALARMOUT}}$ 引脚置为有效的原因。
1	SENSE1_ALR_OUT	R/W	0h	0 : SENSE1 通道警报不是 $\overline{\text{ALARMOUT}}$ 引脚置为有效的原因。 1 : SENSE1 通道警报是 $\overline{\text{ALARMOUT}}$ 引脚置为有效的原因。
0	SENSE0_ALR_OUT	R/W	0h	0 : SENSE0 通道警报不是 $\overline{\text{ALARMOUT}}$ 引脚置为有效的原因。 1 : SENSE0 通道警报是 $\overline{\text{ALARMOUT}}$ 引脚置为有效的原因。

7.2.1.7 ALARMOUT_SRC_1 寄存器 (地址 = 49h) [复位 = 1833h]

图 7-25. ALARMOUT_SRC_1 寄存器

15	14	13	12	11	10	9	8
RESERVED			REF_ALR_OUT	THERMERR_ALR_OUT	RESERVED		
R-0h			R/W-1h	R/W-1h	R-0h		
7	6	5	4	3	2	1	0
RESERVED		VSSB_ALR_OUT	VSSA_ALR_OUT	RESERVED		VCCB_ALR_OUT	VCCA_ALR_OUT
R-0h		R/W-1h	R/W-1h	R-0h		R/W-1h	R/W-1h

表 7-30. ALARMOUT_SRC_1 寄存器字段说明

位	字段	类型	复位	说明
12	REF_ALR_OUT	R/W	1h	0 : 基准警报不是 $\overline{\text{ALARMOUT}}$ 引脚置为有效的原因。 1 : 基准警报是 $\overline{\text{ALARMOUT}}$ 引脚置为有效的原因。
11	THERMERR_ALR_OUT	R/W	1h	0 : 热警报不是 $\overline{\text{ALARMOUT}}$ 引脚置为有效的原因。 1 : 热警报是 $\overline{\text{ALARMOUT}}$ 引脚置为有效的原因。
5	VSSB_ALR_OUT	R/W	1h	0 : VSSB 警报不是 $\overline{\text{ALARMOUT}}$ 引脚置为有效的原因。 1 : VSSB 警报是 $\overline{\text{ALARMOUT}}$ 引脚置为有效的原因。
4	VSSA_ALR_OUT	R/W	1h	0 : VSSA 警报不是 $\overline{\text{ALARMOUT}}$ 引脚置为有效的原因。 1 : VSSA 警报是 $\overline{\text{ALARMOUT}}$ 引脚置为有效的原因。
1	VCCB_ALR_OUT	R/W	1h	0 : VCCB 警报不是 $\overline{\text{ALARMOUT}}$ 引脚置为有效的原因。 1 : VCCB 警报是 $\overline{\text{ALARMOUT}}$ 引脚置为有效的原因。
0	VCCA_ALR_OUT	R/W	1h	0 : VCCA 警报不是 $\overline{\text{ALARMOUT}}$ 引脚置为有效的原因。 1 : VCCA 警报是 $\overline{\text{ALARMOUT}}$ 引脚置为有效的原因。

7.2.1.8 ALARM_STATUS_0_BYP 寄存器 (地址 = 4Ch) [复位 = 0000h]

图 7-26. ALARM_STATUS_0_BYP 寄存器

15	14	13	12	11	10	9	8
RESERVED							TMP_ALR_BYP
R-0h							R/W-0h
7	6	5	4	3	2	1	0
RESERVED		ADC1_ALR_BYP	ADC0_ALR_BYP	RESERVED		SENSE1_ALR_BYP	SENSE0_ALR_BYP
R-0h		R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h

表 7-31. ALARM_STATUS_0_BYP 寄存器字段说明

位	字段	类型	复位	说明
8	TMP_ALR_BYP	R/W	0h	温度警报旁路命令 (当 ALARM_BYP_EN = 1 时) 0 : 温度警报状态被强制为 0 1 : 温度警报状态被强制为 1
5	ADC1_ALR_BYP	R/W	0h	ADC1 警报旁路命令 (当 ALARM_BYP_EN = 1 时) 0 : ADC1 警报状态被强制为 0 1 : ADC1 警报状态被强制为 1
4	ADC0_ALR_BYP	R/W	0h	ADC0 警报旁路命令 (当 ALARM_BYP_EN = 1 时) 0 : ADC0 警报状态被强制为 0 1 : ADC0 警报状态被强制为 1
1	SENSE1_ALR_BYP	R/W	0h	SENSE1 警报旁路命令 (当 ALARM_BYP_EN = 1 时) 0 : SENSE1 警报状态被强制为 0 1 : SENSE1 警报状态被强制为 1
0	SENSE0_ALR_BYP	R/W	0h	SENSE0 警报旁路命令 (当 ALARM_BYP_EN = 1 时) 0 : SENSE0 警报状态被强制为 0 1 : SENSE0 警报状态被强制为 1

7.2.1.9 ALARM_STATUS_1_BYP 寄存器 (地址 = 4Dh) [复位 = 0000h]

图 7-27. ALARM_STATUS_1_BYP 寄存器

15	14	13	12	11	10	9	8
RESERVED		ALARMIN_ALR_BYP	REF_ALR_BYP	THERMERR_ALR_BYP	RESERVED		
R-0h		R/W-0h	R/W-0h	R/W-0h	R-0h		
7	6	5	4	3	2	1	0
RESERVED		VSSB_ALR_BYP	VSSA_ALR_BYP	RESERVED		VCCB_ALR_BYP	VCCA_ALR_BYP
R-0h		R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h

表 7-32. ALARM_STATUS_1_BYP 寄存器字段说明

位	字段	类型	复位	说明
13	ALARMIN_ALR_BYP	R/W	0h	ALARMIN 旁路命令 (当 ALARM_BYP_EN = 1 时) 0 : ALARMIN 警报状态被强制为 0 1 : ALARMIN 警报状态被强制为 1
12	REF_ALR_BYP	R/W	0h	基准警报旁路命令 (当 ALARM_BYP_EN = 1 时) 0 : 基准警报状态被强制为 0 1 : 基准警报状态被强制为 1
11	THERMERR_ALR_BYP	R/W	0h	热警报旁路命令 (当 ALARM_BYP_EN = 1 时) 0 : 热警报状态被强制为 0 1 : 热警报状态被强制为 1
5	VSSB_ALR_BYP	R/W	0h	VSSB 警报旁路命令 (当 ALARM_BYP_EN = 1 时) 0 : VSSB 警报状态被强制为 0 1 : VSSB 警报状态被强制为 1
4	VSSA_ALR_BYP	R/W	0h	VSSA 警报旁路命令 (当 ALARM_BYP_EN = 1 时) 0 : VSSA 警报状态被强制为 0 1 : VSSA 警报状态被强制为 1
1	VCCB_ALR_BYP	R/W	0h	VCCB 警报旁路命令 (当 ALARM_BYP_EN = 1 时) 0 : VCCB 警报状态被强制为 0 1 : VCCB 警报状态被强制为 1
0	VCCA_ALR_BYP	R/W	0h	VCCA 警报旁路命令 (当 ALARM_BYP_EN = 1 时) 0 : VCCA 警报状态被强制为 0 1 : VCCA 警报状态被强制为 1

7.2.1.10 PAON_SRC_0 寄存器 (地址 = 50h) [复位 = 0000h]

图 7-28. PAON_SRC_0 寄存器

15	14	13	12	11	10	9	8
RESERVED							TMP_PAON_OUT
R-0h							R/W-0h
7	6	5	4	3	2	1	0
RESERVED		ADC1_PAON_OUT	ADC0_PAON_OUT	RESERVED		SENSE1_PAON_OUT	SENSE0_PAON_OUT
R-0h		R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h

表 7-33. PAON_SRC_0 寄存器字段说明

位	字段	类型	复位	说明
8	TMP_PAON_OUT	R/W	0h	0 : 温度警报事件不影响 PAON 引脚。 1 : 温度警报事件会关断 PAON 引脚。
5	ADC1_PAON_OUT	R/W	0h	0 : ADC1 警报事件不影响 PAON 引脚。 1 : ADC1 警报事件会关断 PAON 引脚。
4	ADC0_PAON_OUT	R/W	0h	0 : ADC0 警报事件不影响 PAON 引脚。 1 : ADC0 警报事件会关断 PAON 引脚。
1	SENSE1_PAON_OUT	R/W	0h	0 : SENSE1 警报事件不影响 PAON 引脚。 1 : SENSE1 警报事件会关断 PAON 引脚。
0	SENSE0_PAON_OUT	R/W	0h	0 : SENSE0 警报事件不影响 PAON 引脚。 1 : SENSE0 警报事件会关断 PAON 引脚。

7.2.1.11 PAON_SRC_1 寄存器 (地址 = 51h) [复位 = 1833h]

图 7-29. PAON_SRC_1 寄存器

15	14	13	12	11	10	9	8
RESERVED			REF_PAON_OUT	THERMERR_PAON_OUT	RESERVED		
R-0h			R/W-1h	R/W-1h	R-0h		
7	6	5	4	3	2	1	0
RESERVED		VSSB_PAON_OUT	VSSA_PAON_OUT	RESERVED		VCCB_PAON_OUT	VCCA_PAON_OUT
R-0h		R/W-1h	R/W-1h	R-0h		R/W-1h	R/W-1h

表 7-34. PAON_SRC_1 寄存器字段说明

位	字段	类型	复位	说明
12	REF_PAON_OUT	R/W	1h	0 : 基准警报事件不影响 PAON 引脚。 1 : 基准警报事件会关断 PAON 引脚。
11	THERMERR_PAON_OUT	R/W	1h	0 : 热错误警报事件不影响 PAON 引脚。 1 : 热错误警报事件会关断 PAON 引脚。
5	VSSB_PAON_OUT	R/W	1h	0 : VSSB 警报事件不影响 PAON 引脚。 1 : VSSB 警报事件会关断 PAON 引脚。
4	VSSA_PAON_OUT	R/W	1h	0 : VSSA 警报事件不影响 PAON 引脚。 1 : VSSA 警报事件会关断 PAON 引脚。
1	VCCB_PAON_OUT	R/W	1h	0 : VCCB 警报事件不影响 PAON 引脚。 1 : VCCB 警报事件会关断 PAON 引脚。
0	VCCA_PAON_OUT	R/W	1h	0 : VCCA 警报事件不影响 PAON 引脚。 1 : VCCA 警报事件会关断 PAON 引脚。

7.2.1.12 RESET_FLAGS 寄存器 (偏移 = 70h) [复位 = 000Fh]

图 7-30. RESET_FLAGS 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED				VDD_COLLAPSE_FLAG	RSTPIN_FLAG	VIO_FLAG	PORBASE_FLAG
R-0h				W-1h	W-1h	W-1h	W-1h

表 7-35. RESET_FLAGS 寄存器字段说明

位	字段	类型	复位	说明
3	VDD_COLLAPSE_FLAG	W	1h	VDD 崩溃标志。 写入 0 可检测 VDD 崩溃事件，此时该标志会自动设置为 1。当 VDD 达到 VREF 电压的 1V 以内时，VDD 会崩溃。
2	RSTPIN_FLAG	W	1h	RESET 引脚复位标志。 写入 0 可检测 RESET 引脚复位事件，此时该标志会自动设置为 1。
1	VIO_FLAG	W	1h	VIO 复位标志。 写入 0 可检测 VIO 复位事件，此时该标志会自动设置为 1。VIO 复位事件是由于 VIO 降至 POR 阈值电压以下而发生的。
0	PORBASE_FLAG	W	1h	POR 基础标志。 写入 0 可检测 POR 基础复位事件，此时该标志会自动设置为 1。 POR 基础复位事件是由于 VDD 降至 POR 阈值电压以下而发生的。

7.3 ADC 配置寄存器映射

表 7-36. 第 1 页：ADC 配置寄存器映射

地址 (十六 进制)	寄存器	类型	复位 (十六 进制)	位说明															
				15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
40	ADC_GEN_CFG	R/W	3334	RESERVED	FALR_ADC[2:0]			RESERVED	FALR_SENSE[2:0]			RESERVED	FALR_TMP[2:0]			RESERVED	CMODE	SHUNT_RANGE	RESERVED
41	ADC_CONV_CFG_0	R/W	0555	RESERVED					CONV_RATE_TMP[2:0]			RESERVED	CONV_RATE_ADC[2:0]			RESERVED	CONV_RATE_SENSE[2:0]		
42	ADC_CONV_CFG_1	R/W	0000	RESERVED					AVG_TMP[2:0]			RESERVED	AVG_ADC[2:0]			RESERVED	AVG_SENSE[2:0]		
44	ADC_BYP	R/W	0000	ADC_BYP[15:0]															
46	ADC_HYST_0	R/W	0808	HYST_TMP[7:0]										HYST_ADC[7:0]					
47	ADC_HYST_1	R/W	0008	RESERVED										HYST_SENSE[7:0]					
50	SENSE0_UP_THRESH	R/W	7FFF	THRU[15:0]															
51	SENSE0_LO_THRESH	R/W	8000	THRL[15:0]															
52	SENSE1_UP_THRESH	R/W	7FFF	THRU[15:0]															
53	SENSE1_LO_THRESH	R/W	8000	THRL[15:0]															
54	ADC0_UP_THRESH	R/W	7FFF	RESERVED	THRU[14:0]														
55	ADC0_LO_THRESH	R/W	0000	RESERVED	THRL[14:0]														
56	ADC1_UP_THRESH	R/W	7FFF	RESERVED	THRU[14:0]														
57	ADC1_LO_THRESH	R/W	0000	RESERVED	THRL[14:0]														
58	TMP_UP_THRESH	R/W	7FFF	THRU[15:0]															

7.3.1 ADC 配置寄存器：第 1 页

7.3.1.1 ADC_GEN_CFG 寄存器 (地址 = 40h) [复位 = 3334h]

图 7-31. ADC_GEN_CFG 寄存器

15	14	13	12	11	10	9	8
RESERVED	FALR_ADC[2:0]			RESERVED	FALR_SENSE[2:0]		
R-0h	R/W-3h			R-0h	R/W-3h		
7	6	5	4	3	2	1	0
RESERVED	FALR_TMP[2:0]			RESERVED	CMODE	SHUNT_RANGE	RESERVED
R-0h	R/W-3h			R-0h	R/W-1h	R/W-0h	R-0h

表 7-37. ADC_GEN_CFG 寄存器字段说明

位	字段	类型	复位	说明
14-12	FALR_ADC	R/W	3h	外部输入 (ADC) 通道的误报因子。 000：需要 1 次超限转换才能触发警报。 001：需要 4 次连续的超限转换才能触发警报。 010：需要 8 次连续的超限转换才能触发警报。 011：需要 16 次连续的超限转换才能触发警报。 100：需要 32 次连续的超限转换才能触发警报。 101：需要 64 次连续的超限转换才能触发警报。 110：需要 128 次连续的超限转换才能触发警报。 111：需要 256 次连续的超限转换才能触发警报。
10-8	FALR_SENSE	R/W	3h	SENSE 通道的误报因子。 000：需要 1 次超限转换才能触发警报。 001：需要 4 次连续的超限转换才能触发警报。 010：需要 8 次连续的超限转换才能触发警报。 011：需要 16 次连续的超限转换才能触发警报。 100：需要 32 次连续的超限转换才能触发警报。 101：需要 64 次连续的超限转换才能触发警报。 110：需要 128 次连续的超限转换才能触发警报。 111：需要 256 次连续的超限转换才能触发警报。
6-4	FALR_TMP	R/W	3h	温度测量的误报因子。 000：需要 1 次超限转换才能触发警报。 001：需要 4 次连续的超限转换才能触发警报。 010：需要 8 次连续的超限转换才能触发警报。 011：需要 16 次连续的超限转换才能触发警报。 100：需要 32 次连续的超限转换才能触发警报。 101：需要 64 次连续的超限转换才能触发警报。 110：需要 128 次连续的超限转换才能触发警报。 111：需要 256 次连续的超限转换才能触发警报。
2	CMODE	R/W	1h	ADC 转换模式位。此位用于选择 ADC 转换模式。 0：直接模式。器件序列发生器中指定的模拟输入按顺序进行一次性转换。当一组转换完成时，ADC 进入空闲状态并等待新的触发信号。 1：自动模式。器件序列发生器中指定的模拟输入按顺序进行重复转换。当一组转换完成时，ADC 序列发生器返回到起始索引处并重复该序列。
1	SHUNT_RANGE	R/W	0h	SENSE 输入通道的分流电压范围选择位 0：±163.84mV 范围 1：±40.96mV 范围

7.3.1.2 ADC_CONV_CFG_0 寄存器 (地址 = 41h) [复位 = 0555h]

图 7-32. ADC_CONV_CFG_0 寄存器

15	14	13	12	11	10	9	8
RESERVED						CONV_RATE_TMP[2:0]	
R-0h						R/W-5h	
7	6	5	4	3	2	1	0
RESERVED	CONV_RATE_ADC[2:0]			RESERVED	CONV_RATE_SENSE[2:0]		
R-0h		R/W-5h		R-0h		R/W-5h	

表 7-38. ADC_CONV_CFG_0 寄存器字段说明

位	字段	类型	复位	说明
10-8	CONV_RATE_TMP	R/W	5h	温度测量的总采集+转换时间，未求平均值。 000 : 52 μ s 001 : 86 μ s 010 : 152 μ s 011 : 282 μ s 100 : 542 μ s 101 : 1054 μ s 110 : 2076 μ s 111 : 4122 μ s
6-4	CONV_RATE_ADC	R/W	5h	ADC 电压测量的总采集+转换时间，未求平均值。 000 : 52 μ s 001 : 86 μ s 010 : 152 μ s 011 : 282 μ s 100 : 542 μ s 101 : 1054 μ s 110 : 2076 μ s 111 : 4122 μ s
2-0	CONV_RATE_SENSE	R/W	5h	SENSE 分流电压测量的总采集+转换时间，未求平均值。 000 : 52 μ s 001 : 86 μ s 010 : 152 μ s 011 : 282 μ s 100 : 542 μ s 101 : 1054 μ s 110 : 2076 μ s 111 : 4122 μ s

7.3.1.3 ADC_CONV_CFG_1 寄存器 (地址 = 42h) [复位 = 0000h]

图 7-33. ADC_CONV_CFG_1 寄存器

15	14	13	12	11	10	9	8
RESERVED						AVG_TMP[2:0]	
R-0h						R/W-0h	
7	6	5	4	3	2	1	0
RESERVED		AVG_ADC[2:0]		RESERVED		AVG_SENSE[2:0]	
R-0h		R/W-0h		R-0h		R/W-0h	

表 7-39. ADC_CONV_CFG_1 寄存器字段说明

位	字段	类型	复位	说明
10-8	AVG_TMP	R/W	0h	温度测量的均值计算设置。器件根据平均结果进行报告和操作。 000 : 1 个样本 001 : 4 个样本 010 : 16 个样本 011 : 64 个样本 100 : 128 个样本 101 : 256 个样本 110 : 512 个样本 111 : 1024 个样本
6-4	AVG_ADC	R/W	0h	ADC 电压测量的均值计算设置。器件根据平均结果进行报告和操作。 000 : 1 个样本 001 : 4 个样本 010 : 16 个样本 011 : 64 个样本 100 : 128 个样本 101 : 256 个样本 110 : 512 个样本 111 : 1024 个样本
2-0	AVG_SENSE	R/W	0h	SENSE 分流电压测量的均值计算设置。器件根据平均结果进行报告和操作。 000 : 1 个样本 001 : 4 个样本 010 : 16 个样本 011 : 64 个样本 100 : 128 个样本 101 : 256 个样本 110 : 512 个样本 111 : 1024 个样本

7.3.1.4 ADC_BYP 寄存器 (地址 = 44h) [复位 = 0000h]

图 7-34. ADC_BYP 寄存器

15	14	13	12	11	10	9	8
ADC_BYP[15:8]							
R/W-0h							
7	6	5	4	3	2	1	0
ADC_BYP[7:0]							
R/W-0h							

表 7-40. ADC_BYP 寄存器字段说明

位	字段	类型	复位	说明
15-0	ADC_BYP	R/W	0h	ADC 数据旁路值。仅在 ADC_BYP_EN 设置为 1 时使用

7.3.1.5 ADC_HYST_0 寄存器 (地址 = 46h) [复位 = 0808h]

图 7-35. ADC_HYST_0 寄存器

15	14	13	12	11	10	9	8
HYST_TMP[7:0]							
R/W-8h							
7	6	5	4	3	2	1	0
HYST_ADC[7:0]							
R/W-8h							

表 7-41. ADC_HYST_0 寄存器字段说明

位	字段	类型	复位	说明
15-8	HYST_TMP	R/W	8h	温度测量的迟滞设置。1 LSB/步。
7-0	HYST_ADC	R/W	8h	用于 ADC 电压测量的迟滞设置。1 LSB/步。

7.3.1.6 ADC_HYST_1 寄存器 (地址 = 47h) [复位 = 0008h]

图 7-36. ADC_HYST_1 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
HYST_SENSE[7:0]							
R/W-8h							

表 7-42. ADC_HYST_1 寄存器字段说明

位	字段	类型	复位	说明
7-0	HYST_SENSE	R/W	8h	分流电压测量的迟滞设置。1 LSB/步。

7.3.1.7 SENSE0_UP_THRESH 寄存器 (地址 = 50h) [复位 = 7FFFh]

图 7-37. SENSE0_UP_THRESH 寄存器

15	14	13	12	11	10	9	8
THRU[15:8]							
R/W-7Fh							
7	6	5	4	3	2	1	0
THRU[7:0]							
R/W-FFh							

表 7-43. SENSE0_UP_THRESH 寄存器字段说明

位	字段	类型	复位	说明
15-0	THRU	R/W	7FFFh	分流电压测量的上限阈值，二进制补码值。如果 (通道代码 > 上限阈值) 或 (通道代码 < 下限阈值)，则激活相应的警报状态位，而如果 (通道代码 ≤ 上限阈值 - 迟滞) 且 (通道代码 ≥ 下限阈值 + 迟滞)，则清除该位。上限阈值减去迟滞必须始终大于下限阈值加上迟滞。当 SHUNT_RANGE = 0 时，转换因子为 5 μV/LSB，当 SHUNT_RANGE = 1 时，转换因子为 1.25 μV/LSB。

7.3.1.8 SENSE0_LO_THRESH 寄存器 (地址 = 51h) [复位 = 8000h]

图 7-38. SENSE0_LO_THRESH 寄存器

15	14	13	12	11	10	9	8
THRL[15:8]							
R/W-80h							
7	6	5	4	3	2	1	0
THRL[7:0]							
R/W-00h							

表 7-44. SENSE0_LO_THRESH 寄存器字段说明

位	字段	类型	复位	说明
15-0	THRL	R/W	8000h	分流电压测量的下限阈值，二进制补码值。如果 (通道代码 > 上限阈值) 或 (通道代码 < 下限阈值)，则激活相应的警报状态位，而如果 (通道代码 ≤ 上限阈值 - 迟滞) 且 (通道代码 ≥ 下限阈值 + 迟滞)，则清除该位。上限阈值减去迟滞必须始终大于下限阈值加上迟滞。当 SHUNT_RANGE = 0 时，转换因子为 5 μV/LSB，当 SHUNT_RANGE = 1 时，转换因子为 1.25 μV/LSB。

7.3.1.9 SENSE1_UP_THRESH 寄存器 (地址 = 52h) [复位 = 7FFFh]

图 7-39. SENSE1_UP_THRESH 寄存器

15	14	13	12	11	10	9	8
THRU[15:8]							
R/W-7Fh							
7	6	5	4	3	2	1	0
THRU[7:0]							
R/W-FFh							

表 7-45. SENSE1_UP_THRESH 寄存器字段说明

位	字段	类型	复位	说明
15-0	THRU	R/W	7FFFh	分流电压测量的上限阈值，二进制补码值。如果 (通道代码 > 上限阈值) 或 (通道代码 < 下限阈值)，则激活相应的警报状态位，而如果 (通道代码 ≤ 上限阈值 - 迟滞) 且 (通道代码 ≥ 下限阈值 + 迟滞)，则清除该位。上限阈值减去迟滞必须始终大于下限阈值加上迟滞。当 SHUNT_RANGE = 0 时，转换因子为 5 μV/LSB，当 SHUNT_RANGE = 1 时，转换因子为 1.25 μV/LSB。

7.3.1.10 SENSE1_LO_THRESH 寄存器 (地址 = 53h) [复位 = 8000h]

图 7-40. SENSE1_LO_THRESH 寄存器

15	14	13	12	11	10	9	8
THRL[15:8]							
R/W-80h							
7	6	5	4	3	2	1	0
THRL[7:0]							
R/W-00h							

表 7-46. SENSE1_LO_THRESH 寄存器字段说明

位	字段	类型	复位	说明
15-0	THRL	R/W	8000h	分流电压测量的下限阈值，二进制补码值。如果 (通道代码 > 上限阈值) 或 (通道代码 < 下限阈值)，则激活相应的警报状态位，而如果 (通道代码 ≤ 上限阈值 - 迟滞) 且 (通道代码 ≥ 下限阈值 + 迟滞)，则清除该位。上限阈值减去迟滞必须始终大于下限阈值加上迟滞。当 SHUNT_RANGE = 0 时，转换因子为 5 μV/LSB，当 SHUNT_RANGE = 1 时，转换因子为 1.25 μV/LSB。

7.3.1.11 ADC0_UP_THRESH 寄存器 (地址 = 54h) [复位 = 7FFFh]

图 7-41. ADC0_UP_THRESH 寄存器

15	14	13	12	11	10	9	8
RESERVED		THRU[14:8]					
R-0h		R/W-7Fh					
7	6	5	4	3	2	1	0
THRU[7:0]							
R/W-FFh							

表 7-47. ADC0_UP_THRESH 寄存器字段说明

位	字段	类型	复位	说明
14-0	THRU	R/W	7FFFh	ADC 电压测量的上限阈值，无符号正值。如果 (通道代码 > 上限阈值) 或 (通道代码 < 下限阈值)，则激活相应的警报状态位，而如果 (通道代码 ≤ 上限阈值 - 迟滞) 且 (通道代码 ≥ 下限阈值 + 迟滞)，则清除该位。上限阈值减去迟滞必须始终大于下限阈值加上迟滞。转换因子为 3.125mV/LSB。

7.3.1.12 ADC0_LO_THRESH 寄存器 (地址 = 55h) [复位 = 0000h]

图 7-42. ADC0_LO_THRESH 寄存器

15	14	13	12	11	10	9	8
RESERVED		THRL[14:8]					
R-0h		R/W-0h					
7	6	5	4	3	2	1	0
THRL[7:0]							
R/W-00h							

表 7-48. ADC0_LO_THRESH 寄存器字段说明

位	字段	类型	复位	说明
14-0	THRL	R/W	0000h	ADC 电压测量的下限阈值，无符号正值。如果 (通道代码 > 上限阈值) 或 (通道代码 < 下限阈值)，则激活相应的警报状态位，而如果 (通道代码 ≤ 上限阈值 - 迟滞) 且 (通道代码 ≥ 下限阈值 + 迟滞)，则清除该位。上限阈值减去迟滞必须始终大于下限阈值加上迟滞。转换因子为 3.125mV/LSB。

7.3.1.13 ADC1_UP_THRESH 寄存器 (地址 = 56h) [复位 = 7FFFh]

图 7-43. ADC1_UP_THRESH 寄存器

15	14	13	12	11	10	9	8
RESERVED		THRU[14:8]					
R-0h		R/W-7Fh					
7	6	5	4	3	2	1	0
THRU[7:0]							
R/W-FFh							

表 7-49. ADC1_UP_THRESH 寄存器字段说明

位	字段	类型	复位	说明
14-0	THRU	R/W	7FFFh	ADC 电压测量的上限阈值，无符号正值。如果 (通道代码 > 上限阈值) 或 (通道代码 < 下限阈值)，则激活相应的警报状态位，而如果 (通道代码 ≤ 上限阈值 - 迟滞) 且 (通道代码 ≥ 下限阈值 + 迟滞)，则清除该位。上限阈值减去迟滞必须始终大于下限阈值加上迟滞。转换因子为 3.125mV/LSB。

7.3.1.14 ADC1_LO_THRESH 寄存器 (地址 = 57h) [复位 = 0000h]

图 7-44. ADC1_LO_THRESH 寄存器

15	14	13	12	11	10	9	8
RESERVED		THRL[14:8]					
R-0h		R/W-0h					
7	6	5	4	3	2	1	0
THRL[7:0]							
R/W-00h							

表 7-50. ADC1_LO_THRESH 寄存器字段说明

位	字段	类型	复位	说明
14-0	THRL	R/W	0000h	ADC 电压测量的下限阈值，无符号正值。如果 (通道代码 > 上限阈值) 或 (通道代码 < 下限阈值)，则激活相应的警报状态位，而如果 (通道代码 ≤ 上限阈值 - 迟滞) 且 (通道代码 ≥ 下限阈值 + 迟滞)，则清除该位。上限阈值减去迟滞必须始终大于下限阈值加上迟滞。转换因子为 3.125mV/LSB。

7.3.1.15 n mTMP_UP_THRESH 寄存器 (地址 = 58h) [复位 = 7FFFh]

图 7-45. TMP_UP_THRESH 寄存器

15	14	13	12	11	10	9	8
THRU[15:8]							
R/W-7Fh							
7	6	5	4	3	2	1	0
THRU[7:0]							
R/W-FFh							

表 7-51. TMP_UP_THRESH 寄存器字段说明

位	字段	类型	复位	说明
15-0	THRU	R/W	7FFFh	温度测量的上限阈值，以二进制补码表示（仅使用正值）。如果（通道代码 > 上限阈值），则激活相应的警报状态位，而如果（通道代码 ≤ 上限阈值 - 迟滞），则清除该位。上限阈值减去迟滞必须始终为正。转换因子为 7.8125m°C/LSB。

7.4 ADC 自定义通道序列发生器配置寄存器映射

表 7-52. 第 2 页：ADC 自定义通道序列发生器配置寄存器映射

地址 (十六 进制)	寄存器	类型	复位 (十六 进制)	位说明																
				15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
40	ADC_CCS_IDS_0	R/W	0201	RESERVED						CCS_ID_1[2:0]			RESERVED					CCS_ID_0[2:0]		
41	ADC_CCS_IDS_1	R/W	0403	RESERVED						CCS_ID_3[2:0]			RESERVED					CCS_ID_2[2:0]		
42	ADC_CCS_IDS_2	R/W	0005	RESERVED						CCS_ID_5[2:0]			RESERVED					CCS_ID_4[2:0]		
43	ADC_CCS_IDS_3	R/W	0000	RESERVED						CCS_ID_7[2:0]			RESERVED					CCS_ID_6[2:0]		
44	ADC_CCS_IDS_4	R/W	0000	RESERVED						CCS_ID_9[2:0]			RESERVED					CCS_ID_8[2:0]		
45	ADC_CCS_IDS_5	R/W	0000	RESERVED						CCS_ID_11[2:0]			RESERVED					CCS_ID_10[2:0]		
46	ADC_CCS_IDS_6	R/W	0000	RESERVED						CCS_ID_13[2:0]			RESERVED					CCS_ID_12[2:0]		
47	ADC_CCS_IDS_7	R/W	0000	RESERVED						CCS_ID_15[2:0]			RESERVED					CCS_ID_14[2:0]		
48	ADC_CCS_IDS_8	R/W	0000	RESERVED						CCS_ID_17[2:0]			RESERVED					CCS_ID_16[2:0]		
49	ADC_CCS_IDS_9	R/W	0000	RESERVED						CCS_ID_19[2:0]			RESERVED					CCS_ID_18[2:0]		
4A	ADC_CCS_IDS_10	R/W	0000	RESERVED						CCS_ID_21[2:0]			RESERVED					CCS_ID_20[2:0]		
4B	ADC_CCS_IDS_11	R/W	0000	RESERVED						CCS_ID_23[2:0]			RESERVED					CCS_ID_22[2:0]		
4C	ADC_CCS_IDS_12	R/W	0000	RESERVED						CCS_ID_25[2:0]			RESERVED					CCS_ID_24[2:0]		
4D	ADC_CCS_IDS_13	R/W	0000	RESERVED						CCS_ID_27[2:0]			RESERVED					CCS_ID_26[2:0]		
4E	ADC_CCS_IDS_14	R/W	0000	RESERVED						CCS_ID_29[2:0]			RESERVED					CCS_ID_28[2:0]		
4F	ADC_CCS_IDS_15	R/W	0000	RESERVED						CCS_ID_31[2:0]			RESERVED					CCS_ID_30[2:0]		
50	ADC_CCS_IDS_16	R/W	0000	RESERVED						CCS_ID_33[2:0]			RESERVED					CCS_ID_32[2:0]		
51	ADC_CCS_IDS_17	R/W	0000	RESERVED						CCS_ID_35[2:0]			RESERVED					CCS_ID_34[2:0]		
52	ADC_CCS_IDS_18	R/W	0000	RESERVED						CCS_ID_37[2:0]			RESERVED					CCS_ID_36[2:0]		
53	ADC_CCS_IDS_19	R/W	0000	RESERVED						CCS_ID_39[2:0]			RESERVED					CCS_ID_38[2:0]		
54	ADC_CCS_IDS_20	R/W	0000	RESERVED						CCS_ID_41[2:0]			RESERVED					CCS_ID_40[2:0]		
55	ADC_CCS_IDS_21	R/W	0000	RESERVED						CCS_ID_43[2:0]			RESERVED					CCS_ID_42[2:0]		
56	ADC_CCS_IDS_22	R/W	0000	RESERVED						CCS_ID_45[2:0]			RESERVED					CCS_ID_44[2:0]		
57	ADC_CCS_IDS_23	R/W	0000	RESERVED						CCS_ID_47[2:0]			RESERVED					CCS_ID_46[2:0]		
58	ADC_CCS_IDS_24	R/W	0000	RESERVED						CCS_ID_49[2:0]			RESERVED					CCS_ID_48[2:0]		

表 7-52. 第 2 页 : ADC 自定义通道序列发生器配置寄存器映射 (续)

地址 (十六进制)	寄存器	类型	复位 (十六进制)	位说明															
				15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
59	ADC_CCS_IDS_25	R/W	0000	RESERVED					CCS_ID_51[2:0]			RESERVED					CCS_ID_50[2:0]		
5A	ADC_CCS_IDS_26	R/W	0000	RESERVED					CCS_ID_53[2:0]			RESERVED					CCS_ID_52[2:0]		
5B	ADC_CCS_IDS_27	R/W	0000	RESERVED					CCS_ID_55[2:0]			RESERVED					CCS_ID_54[2:0]		
5C	ADC_CCS_IDS_28	R/W	0000	RESERVED					CCS_ID_57[2:0]			RESERVED					CCS_ID_56[2:0]		
5D	ADC_CCS_IDS_29	R/W	0000	RESERVED					CCS_ID_59[2:0]			RESERVED					CCS_ID_58[2:0]		
5E	ADC_CCS_IDS_30	R/W	0000	RESERVED					CCS_ID_61[2:0]			RESERVED					CCS_ID_60[2:0]		
5F	ADC_CCS_IDS_31	R/W	0000	RESERVED					CCS_ID_63[2:0]			RESERVED					CCS_ID_62[2:0]		
60	ADC_CCS_IDS_32	R/W	0000	RESERVED					CCS_ID_65[2:0]			RESERVED					CCS_ID_64[2:0]		
61	ADC_CCS_IDS_33	R/W	0000	RESERVED					CCS_ID_67[2:0]			RESERVED					CCS_ID_66[2:0]		
62	ADC_CCS_IDS_34	R/W	0000	RESERVED					CCS_ID_69[2:0]			RESERVED					CCS_ID_68[2:0]		
63	ADC_CCS_IDS_35	R/W	0000	RESERVED					CCS_ID_71[2:0]			RESERVED					CCS_ID_70[2:0]		
64	ADC_CCS_IDS_36	R/W	0000	RESERVED					CCS_ID_73[2:0]			RESERVED					CCS_ID_72[2:0]		
65	ADC_CCS_IDS_37	R/W	0000	RESERVED					CCS_ID_75[2:0]			RESERVED					CCS_ID_74[2:0]		
66	ADC_CCS_IDS_38	R/W	0000	RESERVED					CCS_ID_77[2:0]			RESERVED					CCS_ID_76[2:0]		
67	ADC_CCS_IDS_39	R/W	0000	RESERVED					CCS_ID_79[2:0]			RESERVED					CCS_ID_78[2:0]		
68	ADC_CCS_IDS_40	R/W	0000	RESERVED					CCS_ID_81[2:0]			RESERVED					CCS_ID_80[2:0]		
69	ADC_CCS_IDS_41	R/W	0000	RESERVED					CCS_ID_83[2:0]			RESERVED					CCS_ID_82[2:0]		
6A	ADC_CCS_IDS_42	R/W	0000	RESERVED					CCS_ID_85[2:0]			RESERVED					CCS_ID_84[2:0]		
6B	ADC_CCS_IDS_43	R/W	0000	RESERVED					CCS_ID_87[2:0]			RESERVED					CCS_ID_86[2:0]		
6C	ADC_CCS_IDS_44	R/W	0000	RESERVED					CCS_ID_89[2:0]			RESERVED					CCS_ID_88[2:0]		
6D	ADC_CCS_IDS_45	R/W	0000	RESERVED					CCS_ID_91[2:0]			RESERVED					CCS_ID_90[2:0]		
6E	ADC_CCS_IDS_46	R/W	0000	RESERVED					CCS_ID_93[2:0]			RESERVED					CCS_ID_92[2:0]		
6F	ADC_CCS_IDS_47	R/W	0000	RESERVED					CCS_ID_95[2:0]			RESERVED					CCS_ID_94[2:0]		

表 7-52. 第 2 页：ADC 自定义通道序列发生器配置寄存器映射（续）

地址 (十六进制)	寄存器	类型	复位 (十六进制)	位说明															
				15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
70	ADC_CCS_IDS_48	R/W	0000	RESERVED					CCS_ID_97[2:0]			RESERVED					CCS_ID_96[2:0]		
71	ADC_CCS_IDS_49	R/W	0000	RESERVED					CCS_ID_99[2:0]			RESERVED					CCS_ID_98[2:0]		
72	ADC_CCS_IDS_50	R/W	0000	RESERVED					CCS_ID_101[2:0]			RESERVED					CCS_ID_100[2:0]		
73	ADC_CCS_IDS_51	R/W	0000	RESERVED					CCS_ID_103[2:0]			RESERVED					CCS_ID_102[2:0]		
74	ADC_CCS_IDS_52	R/W	0000	RESERVED					CCS_ID_105[2:0]			RESERVED					CCS_ID_104[2:0]		
75	ADC_CCS_IDS_53	R/W	0000	RESERVED					CCS_ID_107[2:0]			RESERVED					CCS_ID_106[2:0]		
76	ADC_CCS_IDS_54	R/W	0000	RESERVED					CCS_ID_109[2:0]			RESERVED					CCS_ID_108[2:0]		
77	ADC_CCS_IDS_55	R/W	0000	RESERVED					CCS_ID_111[2:0]			RESERVED					CCS_ID_110[2:0]		
78	ADC_CCS_IDS_56	R/W	0000	RESERVED					CCS_ID_113[2:0]			RESERVED					CCS_ID_112[2:0]		
79	ADC_CCS_IDS_57	R/W	0000	RESERVED					CCS_ID_115[2:0]			RESERVED					CCS_ID_114[2:0]		
7A	ADC_CCS_IDS_58	R/W	0000	RESERVED					CCS_ID_117[2:0]			RESERVED					CCS_ID_116[2:0]		
7B	ADC_CCS_IDS_59	R/W	0000	RESERVED					CCS_ID_119[2:0]			RESERVED					CCS_ID_118[2:0]		
7C	ADC_CCS_IDS_60	R/W	0000	RESERVED					CCS_ID_121[2:0]			RESERVED					CCS_ID_120[2:0]		
7D	ADC_CCS_IDS_61	R/W	0000	RESERVED					CCS_ID_123[2:0]			RESERVED					CCS_ID_122[2:0]		
7E	ADC_CCS_IDS_62	R/W	0000	RESERVED					CCS_ID_125[2:0]			RESERVED					CCS_ID_124[2:0]		
7F	ADC_CCS_CFG_0	R/W	0004	RESERVED	CCS_START_INDEX[6:0]						RESERVED		CCS_STOP_INDEX[6:0]						

7.4.1 ADC CCS 寄存器：第 3 页

7.4.1.1 ADC_CCS_IDS_n 寄存器 (地址 = 40h 至 7Eh) [复位 = 请参阅 节 7.4]

图 7-46. ADC_CCS_IDS_n 寄存器

15	14	13	12	11	10	9	8
RESERVED						CCS_ID_a[2:0]	
R-0h						R/W	
7	6	5	4	3	2	1	0
RESERVED						CCS_ID_b[2:0]	
R-0h						R/W	

表 7-53. ADC_CCS_IDS_n 寄存器字段说明

位	字段	类型	复位	说明
10-8	CCS_ID_a	R/W	请参阅 节 7.4	ADC 自定义通道序列索引设置 000 : GND
2-0	CCS_ID_b	R/W	请参阅 节 7.4	001 : SENSE0 010 : SENSE1 011 : ADC0 100 : ADC1 101 : TMP

备注

CCS_ID_a 表示采用奇数索引的 CCS ID 寄存器，CCS_ID_b 表示采用偶数索引的 CCS ID 寄存器。

7.4.1.2 ADC_CCS_CFG_0 寄存器 (地址 = 7Fh) [复位 = 0004h]

图 7-47. ADC_CCS_CFG_0 寄存器

15	14	13	12	11	10	9	8
RESERVED		CCS_START_INDEX[6:0]					
R-0h		R/W-0h					
7	6	5	4	3	2	1	0
RESERVED		CCS_STOP_INDEX[6:0]					
R-0h		R/W-4h					

表 7-54. ADC_CCS_CFG_0 寄存器字段说明

位	字段	类型	复位	说明
14-8	CCS_START_INDEX[6:0]	R/W	0h	启动索引指针
6-0	CCS_STOP_INDEX[6:0]	R/W	4h	停止索引指针。不得小于 CCS_START_INDEX。

7.5 DAC 配置寄存器映射

表 7-55. 第 3 页：DAC 配置寄存器映射

地址 (十六 进制)	寄存器	类型	复位 (十六 进制)	位说明																
				15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
40	DAC_CURRENT	R/W	0000	DACB3_CURRENT[1:0]		DACB2_CURRENT[1:0]		DACB1_CURRENT[1:0]		DACB0_CURRENT[1:0]		DACA3_CURRENT[1:0]		DACA2_CURRENT[1:0]		DACA1_CURRENT[1:0]		DACA0_CURRENT[1:0]		
41	DAC_SYNC_CFG	R/W	0000	BCEN_DACB3	BCEN_DACB2	BCEN_DACB1	BCEN_DACB0	BCEN_DACA3	BCEN_DACA2	BCEN_DACA1	BCEN_DACA0	SYNCEN_DACB3	SYNCEN_DACB2	SYNCEN_DACB1	SYNCEN_DACB0	SYNCEN_DACA3	SYNCEN_DACA2	SYNCEN_DACA1	SYNCEN_DACA0	
42	DAC_CFG	R/W	0000	RESERVED	DACB_BIPOLAR	RESERVED	DACA_BIPOLAR	RESERVED								CLAMP_SEL_OUTB2	CLAMP_SEL_OUTB0	CLAMP_SEL_OUTA2	CLAMP_SEL_OUTA0	
43	DAC_APD_EN	R/W	AAFF	APD_EN_OUTB2[1:0]		APD_EN_OUTB0[1:0]		APD_EN_OUTA2[1:0]		APD_EN_OUTA0[1:0]		APD_EN_DACB3	APD_EN_DACB2	APD_EN_DACB1	APD_EN_DACB0	APD_EN_DACA3	APD_EN_DACA2	APD_EN_DACA1	APD_EN_DACA0	
44	DACA_APD_SRC_0	R/W	0000	RESERVED								TMP_ALR_APD	RESERVED		ADC1_ALR_APD	ADC0_ALR_APD	RESERVED		SENSE1_ALR_APD	SENSE0_ALR_APD
45	DACA_APD_SRC_1	R/W	1833	RESERVED		ALARMIN_ALR_APD	REF_ALR_APD	THERM_ERR_ALR_APD	RESERVED					VSSB_ALR_APD	VSSA_ALR_APD	RESERVED		VCCB_ALR_APD	VCCA_ALR_APD	
46	OUTA_APD_SRC_0	R/W	0000	RESERVED								TMP_ALR_APD	RESERVED		ADC1_ALR_APD	ADC0_ALR_APD	RESERVED		SENSE1_ALR_APD	SENSE0_ALR_APD
47	OUTA_APD_SRC_1	R/W	1833	RESERVED		ALARMIN_ALR_APD	REF_ALR_APD	THERM_ERR_ALR_APD	RESERVED					VSSB_ALR_APD	VSSA_ALR_APD	RESERVED		VCCB_ALR_APD	VCCA_ALR_APD	
48	DACB_APD_SRC_0	R/W	0000	RESERVED								TMP_ALR_APD	RESERVED		ADC1_ALR_APD	ADC0_ALR_APD	RESERVED		SENSE1_ALR_APD	SENSE0_ALR_APD
49	DACB_APD_SRC_1	R/W	1833	RESERVED		ALARMIN_ALR_APD	REF_ALR_APD	THERM_ERR_ALR_APD	RESERVED					VSSB_ALR_APD	VSSA_ALR_APD	RESERVED		VCCB_ALR_APD	VCCA_ALR_APD	
4A	OUTB_APD_SRC_0	R/W	0000	RESERVED								TMP_ALR_APD	RESERVED		ADC1_ALR_APD	ADC0_ALR_APD	RESERVED		SENSE1_ALR_APD	SENSE0_ALR_APD
4B	OUTB_APD_SRC_1	R/W	1833	RESERVED		ALARMIN_ALR_APD	REF_ALR_APD	THERM_ERR_ALR_APD	RESERVED					VSSB_ALR_APD	VSSA_ALR_APD	RESERVED		VCCB_ALR_APD	VCCA_ALR_APD	
4C	DAC_CODE_LIMIT_0	R/W	3F3F	RESERVED		DACA1_LIMIT[5:0]						RESERVED		DACA0_LIMIT[5:0]						
4D	DAC_CODE_LIMIT_1	R/W	3F3F	RESERVED		DACA3_LIMIT[5:0]						RESERVED		DACA2_LIMIT[5:0]						
4E	DAC_CODE_LIMIT_2	R/W	3F3F	RESERVED		DACB1_LIMIT[5:0]						RESERVED		DACB0_LIMIT[5:0]						
4F	DAC_CODE_LIMIT_3	R/W	3F3F	RESERVED		DACB3_LIMIT[5:0]						RESERVED		DACB2_LIMIT[5:0]						
50	DRVEN0_EN	R/W	0000	RESERVED								DRVEN0_EN_DACB3	DRVEN0_EN_DACB2	DRVEN0_EN_DACB1	DRVEN0_EN_DACB0	DRVEN0_EN_DACA3	DRVEN0_EN_DACA2	DRVEN0_EN_DACA1	DRVEN0_EN_DACA0	
51	DRVEN1_EN	R/W	0000	RESERVED								DRVEN1_EN_DACB3	DRVEN1_EN_DACB2	DRVEN1_EN_DACB1	DRVEN1_EN_DACB0	DRVEN1_EN_DACA3	DRVEN1_EN_DACA2	DRVEN1_EN_DACA1	DRVEN1_EN_DACA0	

表 7-55. 第 3 页 : DAC 配置寄存器映射 (续)

地址 (十六 进制)	寄存器	类型	复位 (十六 进制)	位说明															
				15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
52	FLEXIO_EN	R/W	0000	RESERVED								FLEXIO_ EN_ DACB3	FLEXIO_ EN_ DACB2	FLEXIO_ EN_ DACB1	FLEXIO_ EN_ DACB0	FLEXIO_ EN_ DACA3	FLEXIO_ EN_ DACA2	FLEXIO_ EN_ DACA1	FLEXIO_ EN_ DACA0

7.5.1 DAC 配置寄存器：第 3 页

7.5.1.1 DAC_CURRENT 寄存器 (地址 = 40h) [复位 = 0000h]

图 7-48. DAC_CURRENT 寄存器

15	14	13	12	11	10	9	8
DACB3_CURRENT[1:0]		DACB2_CURRENT[1:0]		DACB1_CURRENT[1:0]		DACB0_CURRENT[1:0]	
R/W-0h		R/W-0h		R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
DACA3_CURRENT[1:0]		DACA2_CURRENT[1:0]		DACA1_CURRENT[1:0]		DACA0_CURRENT[1:0]	
R/W-0h		R/W-0h		R/W-0h		R/W-0h	

表 7-56. DAC_CURRENT 寄存器字段说明

位	字段	类型	复位	说明
15-14	DACB3_CURRENT	R/W	0h	DAC 输出电流模式选择。 00：启动，15mA 01：低电流模式，30mA 10：正常电流模式，90mA 11：高电流模式，120mA
13-12	DACB2_CURRENT	R/W	0h	DAC 输出电流模式选择。 00：启动，15mA 01：低电流模式，30mA 10：正常电流模式，90mA 11：高电流模式，120mA
11-10	DACB1_CURRENT	R/W	0h	DAC 输出电流模式选择。 00：启动，15mA 01：低电流模式，30mA 10：正常电流模式，90mA 11：高电流模式，120mA
9-8	DACB0_CURRENT	R/W	0h	DAC 输出电流模式选择。 00：启动，15mA 01：低电流模式，30mA 10：正常电流模式，90mA 11：高电流模式，120mA
7-6	DACA3_CURRENT	R/W	0h	DAC 输出电流模式选择。 00：启动，15mA 01：低电流模式，30mA 10：正常电流模式，90mA 11：高电流模式，120mA
5-4	DACA2_CURRENT	R/W	0h	DAC 输出电流模式选择。 00：启动，15mA 01：低电流模式，30mA 10：正常电流模式，90mA 11：高电流模式，120mA
3-2	DACA1_CURRENT	R/W	0h	DAC 输出电流模式选择。 00：启动，15mA 01：低电流模式，30mA 10：正常电流模式，90mA 11：高电流模式，120mA
1-0	DACA0_CURRENT	R/W	0h	DAC 输出电流模式选择。 00：启动，15mA 01：低电流模式，30mA 10：正常电流模式，90mA 11：高电流模式，120mA

7.5.1.2 DAC_SYNC_CFG 寄存器 (地址 = 41h) [复位 = 0000h]

图 7-49. DAC_SYNC_CFG 寄存器

15	14	13	12	11	10	9	8
BCEN_DACB3	BCEN_DACB2	BCEN_DACB1	BCEN_DACB0	BCEN_DACA3	BCEN_DACA2	BCEN_DACA1	BCEN_DACA0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
SYNCEN_DACB3	SYNCEN_DACB2	SYNCEN_DACB1	SYNCEN_DACB0	SYNCEN_DACA3	SYNCEN_DACA2	SYNCEN_DACA1	SYNCEN_DACA0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-57. DAC_SYNC_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	BCEN_DACB3	R/W	0h	DAC 广播使能。 0：忽略此 DAC 上的广播写入 1：允许在此 DAC 上进行广播写入
14	BCEN_DACB2	R/W	0h	
13	BCEN_DACB1	R/W	0h	
12	BCEN_DACB0	R/W	0h	
11	BCEN_DACA3	R/W	0h	
10	BCEN_DACA2	R/W	0h	
9	BCEN_DACA1	R/W	0h	
8	BCEN_DACA0	R/W	0h	
7	SYNCEN_DACB3	R/W	0h	DAC 同步配置。 0：将 DAC 设置为异步模式。 1：将 DAC 设置为同步模式。
6	SYNCEN_DACB2	R/W	0h	
5	SYNCEN_DACB1	R/W	0h	
4	SYNCEN_DACB0	R/W	0h	
3	SYNCEN_DACA3	R/W	0h	
2	SYNCEN_DACA2	R/W	0h	
1	SYNCEN_DACA1	R/W	0h	
0	SYNCEN_DACA0	R/W	0h	

7.5.1.3 DAC_CFG 寄存器 (地址 = 42h) [复位 = 0000h]

图 7-50. DAC_CFG 寄存器

15	14	13	12	11	10	9	8
RESERVED	DACB_BIPOLAR	RESERVED	DACA_BIPOLAR	RESERVED			
R-0h	R/W-0h	R-0h	R/W-0h	R-0h			
7	6	5	4	3	2	1	0
RESERVED				CLAMP_SEL_O UTB2	CLAMP_SEL_O UTB0	CLAMP_SEL_O UTA2	CLAMP_SEL_O UTA0
R-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-58. DAC_CFG 寄存器字段说明

位	字段	类型	复位	说明
14	DACB_BIPOLAR	R/W	0h	用于将 DAC B 组配置为双极运行。 0：单极运行 1：双极运行
12	DACA_BIPOLAR	R/W	0h	用于将 DAC A 组配置为双极运行。 0：单极运行 1：双极运行
3	CLAMP_SEL_OUTB2	R/W	0h	OUTB2 的钳位电压选择。 0：钳位电压为 VSSB 1：钳位电压为 DACB3
2	CLAMP_SEL_OUTB0	R/W	0h	OUTB0 的钳位电压选择。 0：钳位电压为 VSSB 1：钳位电压为 DACB1
1	CLAMP_SEL_OUTA2	R/W	0h	OUTA2 的钳位电压选择。 0：钳位电压为 VSSA 1：钳位电压为 DACA3
0	CLAMP_SEL_OUTA0	R/W	0h	OUTA0 的钳位电压选择。 0：钳位电压为 VSSA 1：钳位电压为 DACA1

7.5.1.4 DAC_APD_EN 寄存器 (地址 = 43h) [复位 = AAFh]

图 7-51. DAC_APD_EN 寄存器

15	14	13	12	11	10	9	8
APD_EN_OUTB2[1:0]		APD_EN_OUTB0[1:0]		APD_EN_OUTA2[1:0]		APD_EN_OUTA0[1:0]	
R/W-2h		R/W-2h		R/W-2h		R/W-2h	
7	6	5	4	3	2	1	0
APD_EN_DACB3	APD_EN_DACB2	APD_EN_DACB1	APD_EN_DACB0	APD_EN_DACA3	APD_EN_DACA2	APD_EN_DACA1	APD_EN_DACA0
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h

表 7-59. DAC_APD_EN 寄存器字段说明

位	字段	类型	复位	说明
15-14	APD_EN_OUTB2	R/W	2h	OUTB 引脚自动断电使能 00：忽略 OUTB 引脚上的自动断电事件。 10：禁用 OUTB 引脚驱动通道，并在自动断电期间连接到 VSSB。 11：禁用 OUTB 引脚驱动通道，并在自动断电期间连接到 VSSB 或 DAC 输出（具体取决于钳位设置）。
13-12	APD_EN_OUTB0	R/W	2h	
11-10	APD_EN_OUTA2	R/W	2h	OUTA 引脚自动断电使能 00：忽略 OUTA 引脚上的自动断电事件。 10：禁用 OUTA 引脚驱动通道，并在自动断电期间连接到 VSSA。 11：禁用 OUTA 引脚驱动通道，并在自动断电期间连接到 VSSA 或 DAC 输出（具体取决于钳位设置）。
9-8	APD_EN_OUTA0	R/W	2h	
7	APD_EN_DACB3	R/W	1h	DAC 引脚自动断电使能 0：忽略 DAC 上的自动断电事件。 1：在自动断电事件期间强制该 DAC 断电。
6	APD_EN_DACB2	R/W	1h	
5	APD_EN_DACB1	R/W	1h	
4	APD_EN_DACB0	R/W	1h	
3	APD_EN_DACA3	R/W	1h	
2	APD_EN_DACA2	R/W	1h	
1	APD_EN_DACA1	R/W	1h	
0	APD_EN_DACA0	R/W	1h	

7.5.1.5 DACA_APD_SRC_0 寄存器 (地址 = 44h) [复位 = 0000h]

图 7-52. DACA_APD_SRC_0 寄存器

15	14	13	12	11	10	9	8
RESERVED							TMP_ALR_APD
R-0h							R/W-0h
7	6	5	4	3	2	1	0
RESERVED		ADC1_ALR_APD	ADC0_ALR_APD	RESERVED		SENSE1_ALR_APD	SENSE0_ALR_APD
R-0h		R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h

表 7-60. DACA_APD_SRC_0 寄存器字段说明

位	字段	类型	复位	说明
8	TMP_ALR_APD	R/W	0h	此位确定该警报是否强制 A 组 DAC 进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 DACA 通道。 0：温度警报不会触发 DACA 自动断电事件 1：温度警报会触发 DACA 自动断电事件
5	ADC1_ALR_APD	R/W	0h	此位确定该警报是否强制 A 组 DAC 进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 DACA 通道。 0：ADC1 警报不会触发 DACA 自动断电事件 1：ADC1 警报会触发 DACA 自动断电事件
4	ADC0_ALR_APD	R/W	0h	此位确定该警报是否强制 A 组 DAC 进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 DACA 通道。 0：ADC0 警报不会触发 DACA 自动断电事件 1：ADC0 警报会触发 DACA 自动断电事件
1	SENSE1_ALR_APD	R/W	0h	此位确定该警报是否强制 A 组 DAC 进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 DACA 通道。 0：SENSE1 警报不会触发 DACA 自动断电事件 1：SENSE1 警报会触发 DACA 自动断电事件
0	SENSE0_ALR_APD	R/W	0h	此位确定该警报是否强制 A 组 DAC 进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 DACA 通道。 0：SENSE0 警报不会触发 DACA 自动断电事件 1：SENSE0 警报会触发 DACA 自动断电事件

7.5.1.6 DACA_APD_SRC_1 寄存器 (地址 = 45h) [复位 = 1833h]

图 7-53. DACA_APD_SRC_1 寄存器

15	14	13	12	11	10	9	8
RESERVED		ALARMIN_ALR_APD	REF_ALR_APD	THERMERR_ALR_APD	RESERVED		
R-0h		R/W-0h	R/W-1h	R/W-1h	R-0h		
7	6	5	4	3	2	1	0
RESERVED		VSSB_ALR_APD	VSSA_ALR_APD	RESERVED		VCCB_ALR_APD	VCCA_ALR_APD
R-0h		R/W-1h	R/W-1h	R-0h		R/W-1h	R/W-1h

表 7-61. DACA_APD_SRC_1 寄存器字段说明

位	字段	类型	复位	说明
13	ALARMIN_ALR_APD	R/W	0h	此位确定该警报是否强制 A 组 DAC 进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 DACA 通道。 0 : ALARMIN 警报不会触发 DACA 自动断电事件 1 : ALARMIN 警报会触发 DACA 自动断电事件
12	REF_ALR_APD	R/W	1h	此位确定该警报是否强制 A 组 DAC 进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 DACA 通道。 0 : 基准警报不会触发 DACA 自动断电事件 1 : 基准警报会触发 DACA 自动断电事件
11	THERMERR_ALR_APD	R/W	1h	此位确定该警报是否强制 A 组 DAC 进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 DACA 通道。 0 : 热错误警报不会触发 DACA 自动断电事件 1 : 热错误警报会触发 DACA 自动断电事件
5	VSSB_ALR_APD	R/W	1h	此位确定该警报是否强制 A 组 DAC 进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 DACA 通道。 0 : VSSB 警报不会触发 DACA 自动断电事件 1 : VSSB 警报会触发 DACA 自动断电事件
4	VSSA_ALR_APD	R/W	1h	此位确定该警报是否强制 A 组 DAC 进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 DACA 通道。 0 : VSSA 警报不会触发 DACA 自动断电事件 1 : VSSA 警报会触发 DACA 自动断电事件
1	VCCB_ALR_APD	R/W	1h	此位确定该警报是否强制 A 组 DAC 进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 DACA 通道。 0 : VCCB 警报不会触发 DACA 自动断电事件 1 : VCCB 警报会触发 DACA 自动断电事件
0	VCCA_ALR_APD	R/W	1h	此位确定该警报是否强制 A 组 DAC 进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 DACA 通道。 0 : VCCA 警报不会触发 DACA 自动断电事件 1 : VCCA 警报会触发 DACA 自动断电事件

7.5.1.7 OUTA_APD_SRC_0 寄存器 (地址 = 46h) [复位 = 0000h]

图 7-54. OUTA_APD_SRC_0 寄存器

15	14	13	12	11	10	9	8
RESERVED							TMP_ALR_APD
R-0h							R/W-0h
7	6	5	4	3	2	1	0
RESERVED		ADC1_ALR_APD	ADC0_ALR_APD	RESERVED		SENSE1_ALR_APD	SENSE0_ALR_APD
R-0h		R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h

表 7-62. OUTA_APD_SRC_0 寄存器字段说明

位	字段	类型	复位	说明
8	TMP_ALR_APD	R/W	0h	此位确定该警报是否强制 A 组 OUT 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 OUTA 引脚。 0：温度警报不会触发 OUTA 引脚自动断电事件 1：温度警报会触发 OUTA 引脚自动断电事件
5	ADC1_ALR_APD	R/W	0h	此位确定该警报是否强制 A 组 OUT 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 OUTA 引脚。 0：ADC1 警报不会触发 OUTA 引脚自动断电事件 1：ADC1 警报会触发 OUTA 引脚自动断电事件
4	ADC0_ALR_APD	R/W	0h	此位确定该警报是否强制 A 组 OUT 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 OUTA 引脚。 0：ADC0 警报不会触发 OUTA 引脚自动断电事件 1：ADC0 警报会触发 OUTA 引脚自动断电事件
1	SENSE1_ALR_APD	R/W	0h	此位确定该警报是否强制 A 组 OUT 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 OUTA 引脚。 0：SENSE1 警报不会触发 OUTA 引脚自动断电事件 1：SENSE1 警报会触发 OUTA 引脚自动断电事件
0	SENSE0_ALR_APD	R/W	0h	此位确定该警报是否强制 A 组 OUT 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 OUTA 引脚。 0：SENSE0 警报不会触发 OUTA 引脚自动断电事件 1：SENSE0 警报会触发 OUTA 引脚自动断电事件

7.5.1.8 OUTA_APD_SRC_1 寄存器 (地址 = 47h) [复位 = 1833h]

图 7-55. OUTA_APD_SRC_1 寄存器

15	14	13	12	11	10	9	8
RESERVED		ALARMIN_ALR_APD	REF_ALR_APD	THERMERR_ALR_APD	RESERVED		
R-0h		R/W-0h	R/W-1h	R/W-1h	R-0h		
7	6	5	4	3	2	1	0
RESERVED		VSSB_ALR_APD	VSSA_ALR_APD	RESERVED		VCCB_ALR_APD	VCCA_ALR_APD
R-0h		R/W-1h	R/W-1h	R-0h		R/W-1h	R/W-1h

表 7-63. OUTA_APD_SRC_1 寄存器字段说明

位	字段	类型	复位	说明
13	ALARMIN_ALR_APD	R/W	0h	此位确定该警报是否强制 A 组 OUT 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 OUTA 引脚。 0：ALARMIN 警报不会触发 OUTA 引脚自动断电事件 1：ALARMIN 警报会触发 OUTA 引脚自动断电事件
12	REF_ALR_APD	R/W	1h	此位确定该警报是否强制 A 组 OUT 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 OUTA 引脚。 0：基准警报不会触发 OUTA 引脚自动断电事件 1：基准警报会触发 OUTA 引脚自动断电事件
11	THERMERR_ALR_APD	R/W	1h	此位确定该警报是否强制 A 组 OUT 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 OUTA 引脚。 0：热错误警报不会触发 OUTA 引脚自动断电事件 1：热错误警报会触发 OUTA 引脚自动断电事件
5	VSSB_ALR_APD	R/W	1h	此位确定该警报是否强制 A 组 OUT 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 OUTA 引脚。 0：VSSB 警报不会触发 OUTA 引脚自动断电事件 1：VSSB 警报会触发 OUTA 引脚自动断电事件
4	VSSA_ALR_APD	R/W	1h	此位确定该警报是否强制 A 组 OUT 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 OUTA 引脚。 0：VSSA 警报不会触发 OUTA 引脚自动断电事件 1：VSSA 警报会触发 OUTA 引脚自动断电事件
1	VCCB_ALR_APD	R/W	1h	此位确定该警报是否强制 A 组 OUT 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 OUTA 引脚。 0：VCCB 警报不会触发 OUTA 引脚自动断电事件 1：VCCB 警报会触发 OUTA 引脚自动断电事件
0	VCCA_ALR_APD	R/W	1h	此位确定该警报是否强制 A 组 OUT 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 OUTA 引脚。 0：VCCA 警报不会触发 OUTA 引脚自动断电事件 1：VCCA 警报会触发 OUTA 引脚自动断电事件

7.5.1.9 DACB_APD_SRC_0 寄存器 (地址 = 48h) [复位 = 0000h]

图 7-56. DACB_APD_SRC_0 寄存器

15	14	13	12	11	10	9	8
RESERVED							TMP_ALR_APD
R-0h							R/W-0h
7	6	5	4	3	2	1	0
RESERVED		ADC1_ALR_APD	ADC0_ALR_APD	RESERVED		SENSE1_ALR_APD	SENSE0_ALR_APD
R-0h		R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h

表 7-64. DACB_APD_SRC_0 寄存器字段说明

位	字段	类型	复位	说明
8	TMP_ALR_APD	R/W	0h	此位确定该警报是否强制 B 组 DAC 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 DACB 引脚。 0：温度警报不会触发 DACB 自动断电事件 1：温度警报会触发 DACB 自动断电事件
5	ADC1_ALR_APD	R/W	0h	此位确定该警报是否强制 B 组 DAC 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 DACB 引脚。 0：ADC1 警报不会触发 DACB 自动断电事件 1：ADC1 警报会触发 DACB 自动断电事件
4	ADC0_ALR_APD	R/W	0h	此位确定该警报是否强制 B 组 DAC 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 DACB 引脚。 0：ADC0 警报不会触发 DACB 自动断电事件 1：ADC0 警报会触发 DACB 自动断电事件
1	SENSE1_ALR_APD	R/W	0h	此位确定该警报是否强制 B 组 DAC 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 DACB 引脚。 0：SENSE1 警报不会触发 DACB 自动断电事件 1：SENSE1 警报会触发 DACB 自动断电事件
0	SENSE0_ALR_APD	R/W	0h	此位确定该警报是否强制 B 组 DAC 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 DACB 引脚。 0：SENSE0 警报不会触发 DACB 自动断电事件 1：SENSE0 警报会触发 DACB 自动断电事件

7.5.1.10 DACB_APD_SRC_1 寄存器 (地址 = 49h) [复位 = 1833h]

图 7-57. DACB_APD_SRC_1 寄存器

15	14	13	12	11	10	9	8
RESERVED		ALARMIN_ALR_APD	REF_ALR_APD	THERMERR_ALR_APD	RESERVED		
R-0h		R/W-0h	R/W-1h	R/W-1h	R-0h		
7	6	5	4	3	2	1	0
RESERVED		VSSB_ALR_APD	VSSA_ALR_APD	RESERVED		VCCB_ALR_APD	VCCA_ALR_APD
R-0h		R/W-1h	R/W-1h	R-0h		R/W-1h	R/W-1h

表 7-65. DACB_APD_SRC_1 寄存器字段说明

位	字段	类型	复位	说明
13	ALARMIN_ALR_APD	R/W	0h	此位确定该警报是否强制 B 组 DAC 进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 DACB 通道。 0：ALARMIN 警报不会触发 DACB 自动断电事件 1：ALARMIN 警报会触发 DACB 自动断电事件
12	REF_ALR_APD	R/W	1h	此位确定该警报是否强制 B 组 DAC 进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 DACB 通道。 0：基准警报不会触发 DACB 自动断电事件 1：基准警报会触发 DACB 自动断电事件
11	THERMERR_ALR_APD	R/W	1h	此位确定该警报是否强制 B 组 DAC 进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 DACB 通道。 0：热错误警报不会触发 DACB 自动断电事件 1：热错误警报会触发 DACB 自动断电事件
5	VSSB_ALR_APD	R/W	1h	此位确定该警报是否强制 B 组 DAC 进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 DACB 通道。 0：VSSB 警报不会触发 DACB 自动断电事件 1：VSSB 警报会触发 DACB 自动断电事件
4	VSSA_ALR_APD	R/W	1h	此位确定该警报是否强制 B 组 DAC 进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 DACB 通道。 0：VSSA 警报不会触发 DACB 自动断电事件 1：VSSA 警报会触发 DACB 自动断电事件
1	VCCB_ALR_APD	R/W	1h	此位确定该警报是否强制 B 组 DAC 进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 DACB 通道。 0：VCCB 警报不会触发 DACB 自动断电事件 1：VCCB 警报会触发 DACB 自动断电事件
0	VCCA_ALR_APD	R/W	1h	此位确定该警报是否强制 B 组 DAC 进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 DACB 通道。 0：VCCA 警报不会触发 DACB 自动断电事件 1：VCCA 警报会触发 DACB 自动断电事件

7.5.1.11 OUTB_APD_SRC_0 寄存器 (地址 = 4Ah) [复位 = 0000h]

图 7-58. OUTB_APD_SRC_0 寄存器

15	14	13	12	11	10	9	8
RESERVED							TMP_ALR_APD
R-0h							R/W-0h
7	6	5	4	3	2	1	0
RESERVED		ADC1_ALR_APD	ADC0_ALR_APD	RESERVED		SENSE1_ALR_APD	SENSE0_ALR_APD
R-0h		R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h

表 7-66. OUTB_APD_SRC_0 寄存器字段说明

位	字段	类型	复位	说明
8	TMP_ALR_APD	R/W	0h	此位确定该警报是否强制 B 组 OUT 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 OUTB 引脚。 0：温度警报不会触发 OUTB 引脚自动断电事件 1：温度警报会触发 OUTB 引脚自动断电事件
5	ADC1_ALR_APD	R/W	0h	此位确定该警报是否强制 B 组 OUT 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 OUTB 引脚。 0：ADC1 警报不会触发 OUTB 引脚自动断电事件 1：ADC1 警报会触发 OUTB 引脚自动断电事件
4	ADC0_ALR_APD	R/W	0h	此位确定该警报是否强制 B 组 OUT 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 OUTB 引脚。 0：ADC0 警报不会触发 OUTB 引脚自动断电事件 1：ADC0 警报会触发 OUTB 引脚自动断电事件
1	SENSE1_ALR_APD	R/W	0h	此位确定该警报是否强制 B 组 OUT 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 OUTB 引脚。 0：SENSE1 警报不会触发 OUTB 引脚自动断电事件 1：SENSE1 警报会触发 OUTB 引脚自动断电事件
0	SENSE0_ALR_APD	R/W	0h	此位确定该警报是否强制 B 组 OUT 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 OUTB 引脚。 0：SENSE0 警报不会触发 OUTB 引脚自动断电事件 1：SENSE0 警报会触发 OUTB 引脚自动断电事件

7.5.1.12 OUTB_APD_SRC_1 寄存器 (地址 = 4Bh) [复位 = 1833h]

图 7-59. OUTB_APD_SRC_1 寄存器

15	14	13	12	11	10	9	8
RESERVED		ALARMIN_ALR_APD	REF_ALR_APD	THERMERR_ALR_APD	RESERVED		
R-0h		R/W-0h	R/W-1h	R/W-1h	R-0h		
7	6	5	4	3	2	1	0
RESERVED		VSSB_ALR_APD	VSSA_ALR_APD	RESERVED		VCCB_ALR_APD	VCCA_ALR_APD
R-0h		R/W-1h	R/W-1h	R-0h		R/W-1h	R/W-1h

表 7-67. OUTB_APD_SRC_1 寄存器字段说明

位	字段	类型	复位	说明
13	ALARMIN_ALR_APD	R/W	0h	此位确定该警报是否强制 B 组 OUT 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 OUTB 引脚。 0：ALARMIN 警报不会触发 OUTB 引脚自动断电事件 1：ALARMIN 警报会触发 OUTB 引脚自动断电事件
12	REF_ALR_APD	R/W	1h	此位确定该警报是否强制 B 组 OUT 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 OUTB 引脚。 0：基准警报不会触发 OUTB 引脚自动断电事件 1：基准警报会触发 OUTB 引脚自动断电事件
11	THERMERR_ALR_APD	R/W	1h	此位确定该警报是否强制 B 组 OUT 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 OUTB 引脚。 0：热错误警报不会触发 OUTB 引脚自动断电事件 1：热错误警报会触发 OUTB 引脚自动断电事件
5	VSSB_ALR_APD	R/W	1h	此位确定该警报是否强制 B 组 OUT 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 OUTB 引脚。 0：VSSB 警报不会触发 OUTB 引脚自动断电事件 1：VSSB 警报会触发 OUTB 引脚自动断电事件
4	VSSA_ALR_APD	R/W	1h	此位确定该警报是否强制 B 组 OUT 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 OUTB 引脚。 0：VSSA 警报不会触发 OUTB 引脚自动断电事件 1：VSSA 警报会触发 OUTB 引脚自动断电事件
1	VCCB_ALR_APD	R/W	1h	此位确定该警报是否强制 B 组 OUT 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 OUTB 引脚。 0：VCCB 警报不会触发 OUTB 引脚自动断电事件 1：VCCB 警报会触发 OUTB 引脚自动断电事件
0	VCCA_ALR_APD	R/W	1h	此位确定该警报是否强制 B 组 OUT 引脚进入断电状态。必须在 DAC_APD_EN 寄存器中启用相应的 OUTB 引脚。 0：VCCA 警报不会触发 OUTB 引脚自动断电事件 1：VCCA 警报会触发 OUTB 引脚自动断电事件

7.5.1.13 DAC_CODE_LIMIT_0 寄存器 (地址 = 4Ch) [复位 = 3F3Fh]

图 7-60. DAC_CODE_LIMIT_0 寄存器

15	14	13	12	11	10	9	8
RESERVED		DACA1_LIMITS[5:0]					
R-0h		R/W-3Fh					
7	6	5	4	3	2	1	0
RESERVED		DACA0_LIMITS[5:0]					
R-0h		R/W-3Fh					

表 7-68. DAC_CODE_LIMIT_0 寄存器字段说明

位	字段	类型	复位	说明
13-8	DACA1_LIMITS	R/W	3Fh	DAC 有效寄存器锁存代码限制；默认关闭。应使用以下值对这些位进行编程来达到为 DAC 代码最高六个 MSB 指定的限制。
5-0	DACA0_LIMITS	R/W	3Fh	00h : 007Fh 16h : 0B7Fh 2Bh : 15FFh 01h : 00FFh 17h : 0BFFh 2Ch : 167Fh 02h : 017Fh 18h : 0C7Fh 2Dh : 16FFh 03h : 01FFh 19h : 0CFFh 2Eh : 177Fh 04h : 027Fh 1Ah : 0D7Fh 2Fh : 17FFh 05h : 02FFh 1Bh : 0DFFh 30h : 187Fh 06h : 037Fh 1Ch : 0E7Fh 31h : 18FFh 07h : 03FFh 1Dh : 0EFFh 32h : 197Fh 08h : 047Fh 1Eh : 0F7Fh 33h : 19FFh 09h : 04FFh 1Fh : 0FFFh 34h : 1A7Fh 0Ah : 057Fh 20h : 107Fh 35h : 1AFFh 0Bh : 05FFh 21h : 10FFh 36h : 1B7Fh 0Ch : 067Fh 22h : 117Fh 37h : 1BFFh 0Dh : 06FFh 23h : 11FFh 38h : 1C7Fh 0Eh : 077Fh 24h : 127Fh 39h : 1CFFh 0Fh : 07FFh 25h : 12FFh 3Ah : 1D7Fh 10h : 087Fh 26h : 137Fh 3Bh : 1DFFh 11h : 08FFh 27h : 13FFh 3Ch : 1E7Fh 12h : 097Fh 28h : 147Fh 3Dh : 1EFFh 13h : 09FFh 29h : 14FFh 3Eh : 1F7Fh 14h : 0A7Fh 2Ah : 157Fh 3Fh : 1FFFh 15h : 0AFFh

7.5.1.14 DAC_CODE_LIMIT_1 寄存器 (地址 = 4Dh) [复位 = 3F3Fh]

图 7-61. DAC_CODE_LIMIT_1 寄存器

15	14	13	12	11	10	9	8
RESERVED		DACA3_LIMITS[5:0]					
R-0h		R/W-3Fh					
7	6	5	4	3	2	1	0
RESERVED		DACA2_LIMITS[5:0]					
R-0h		R/W-3Fh					

表 7-69. DAC_CODE_LIMIT_1 寄存器字段说明

位	字段	类型	复位	说明
13-8	DACA3_LIMITS	R/W	3Fh	DAC 有效寄存器锁存代码限制；默认关闭。应使用以下值对这些位进行编程来达到为 DAC 代码最高六个 MSB 指定的限制。
5-0	DACA2_LIMITS	R/W	3Fh	00h : 007Fh 16h : 0B7Fh 2Bh : 15FFh 01h : 00FFh 17h : 0BFFh 2Ch : 167Fh 02h : 017Fh 18h : 0C7Fh 2Dh : 16FFh 03h : 01FFh 19h : 0CFFh 2Eh : 177Fh 04h : 027Fh 1Ah : 0D7Fh 2Fh : 17FFh 05h : 02FFh 1Bh : 0DFFh 30h : 187Fh 06h : 037Fh 1Ch : 0E7Fh 31h : 18FFh 07h : 03FFh 1Dh : 0EFFh 32h : 197Fh 08h : 047Fh 1Eh : 0F7Fh 33h : 19FFh 09h : 04FFh 1Fh : 0FFFh 34h : 1A7Fh 0Ah : 057Fh 20h : 107Fh 35h : 1AFFh 0Bh : 05FFh 21h : 10FFh 36h : 1B7Fh 0Ch : 067Fh 22h : 117Fh 37h : 1BFFh 0Dh : 06FFh 23h : 11FFh 38h : 1C7Fh 0Eh : 077Fh 24h : 127Fh 39h : 1CFFh 0Fh : 07FFh 25h : 12FFh 3Ah : 1D7Fh 10h : 087Fh 26h : 137Fh 3Bh : 1DFFh 11h : 08FFh 27h : 13FFh 3Ch : 1E7Fh 12h : 097Fh 28h : 147Fh 3Dh : 1EFFh 13h : 09FFh 29h : 14FFh 3Eh : 1F7Fh 14h : 0A7Fh 2Ah : 157Fh 3Fh : 1FFFh 15h : 0AFFh

7.5.1.15 DAC_CODE_LIMIT_2 寄存器 (地址 = 4Eh) [复位 = 3F3Fh]

图 7-62. DAC_CODE_LIMIT_2 寄存器

15	14	13	12	11	10	9	8
RESERVED		DACB1_LIMITS[5:0]					
R-0h		R/W-3Fh					
7	6	5	4	3	2	1	0
RESERVED		DACB0_LIMITS[5:0]					
R-0h		R/W-3Fh					

表 7-70. DAC_CODE_LIMIT_2 寄存器字段说明

位	字段	类型	复位	说明
13-8	DACB1_LIMITS	R/W	3Fh	DAC 有效寄存器锁存代码限制；默认关闭。应使用以下值对这些位进行编程来达到为 DAC 代码最高六个 MSB 指定的限制。
5-0	DACB0_LIMITS	R/W	3Fh	00h : 007Fh 16h : 0B7Fh 2Bh : 15FFh 01h : 00FFh 17h : 0BFFh 2Ch : 167Fh 02h : 017Fh 18h : 0C7Fh 2Dh : 16FFh 03h : 01FFh 19h : 0CFFh 2Eh : 177Fh 04h : 027Fh 1Ah : 0D7Fh 2Fh : 17FFh 05h : 02FFh 1Bh : 0DFFh 30h : 187Fh 06h : 037Fh 1Ch : 0E7Fh 31h : 18FFh 07h : 03FFh 1Dh : 0EFFh 32h : 197Fh 08h : 047Fh 1Eh : 0F7Fh 33h : 19FFh 09h : 04FFh 1Fh : 0FFFh 34h : 1A7Fh 0Ah : 057Fh 20h : 107Fh 35h : 1AFFh 0Bh : 05FFh 21h : 10FFh 36h : 1B7Fh 0Ch : 067Fh 22h : 117Fh 37h : 1BFFh 0Dh : 06FFh 23h : 11FFh 38h : 1C7Fh 0Eh : 077Fh 24h : 127Fh 39h : 1CFFh 0Fh : 07FFh 25h : 12FFh 3Ah : 1D7Fh 10h : 087Fh 26h : 137Fh 3Bh : 1DFFh 11h : 08FFh 27h : 13FFh 3Ch : 1E7Fh 12h : 097Fh 28h : 147Fh 3Dh : 1EFFh 13h : 09FFh 29h : 14FFh 3Eh : 1F7Fh 14h : 0A7Fh 2Ah : 157Fh 3Fh : 1FFFh 15h : 0AFFh

7.5.1.16 DAC_CODE_LIMIT_3 寄存器 (地址 = 4Fh) [复位 = 3F3Fh]

图 7-63. DAC_CODE_LIMIT_3 寄存器

15	14	13	12	11	10	9	8
RESERVED			DACB3_LIMITS[5:0]				
R-0h			R/W-3Fh				
7	6	5	4	3	2	1	0
RESERVED			DACB2_LIMITS[5:0]				
R-0h			R/W-3Fh				

表 7-71. DAC_CODE_LIMIT_3 寄存器字段说明

位	字段	类型	复位	说明
13-8	DACB3_LIMITS	R/W	3Fh	DAC 有效寄存器锁存代码限制；默认关闭。应使用以下值对这些位进行编程来达到为 DAC 代码最高六个 MSB 指定的限制。
5-0	DACB2_LIMITS	R/W	3Fh	00h : 007Fh 16h : 0B7Fh 2Bh : 15FFh 01h : 00FFh 17h : 0BFFh 2Ch : 167Fh 02h : 017Fh 18h : 0C7Fh 2Dh : 16FFh 03h : 01FFh 19h : 0CFFh 2Eh : 177Fh 04h : 027Fh 1Ah : 0D7Fh 2Fh : 17FFh 05h : 02FFh 1Bh : 0DFFh 30h : 187Fh 06h : 037Fh 1Ch : 0E7Fh 31h : 18FFh 07h : 03FFh 1Dh : 0EFFh 32h : 197Fh 08h : 047Fh 1Eh : 0F7Fh 33h : 19FFh 09h : 04FFh 1Fh : 0FFFh 34h : 1A7Fh 0Ah : 057Fh 20h : 107Fh 35h : 1AFFh 0Bh : 05FFh 21h : 10FFh 36h : 1B7Fh 0Ch : 067Fh 22h : 117Fh 37h : 1BFFh 0Dh : 06FFh 23h : 11FFh 38h : 1C7Fh 0Eh : 077Fh 24h : 127Fh 39h : 1CFFh 0Fh : 07FFh 25h : 12FFh 3Ah : 1D7Fh 10h : 087Fh 26h : 137Fh 3Bh : 1DFFh 11h : 08FFh 27h : 13FFh 3Ch : 1E7Fh 12h : 097Fh 28h : 147Fh 3Dh : 1EFFh 13h : 09FFh 29h : 14FFh 3Eh : 1F7Fh 14h : 0A7Fh 2Ah : 157Fh 3Fh : 1FFFh 15h : 0AFFh

7.5.1.17 DRVEN0_EN 寄存器 (地址 = 50h) [复位 = 0000h]

图 7-64. DRVEN0_EN 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
DRVEN0_EN_DACB3	DRVEN0_EN_DACB2	DRVEN0_EN_DACB1	DRVEN0_EN_DACB0	DRVEN0_EN_DACA3	DRVEN0_EN_DACA2	DRVEN0_EN_DACA1	DRVEN0_EN_DACA0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-72. DRVEN0_EN 寄存器字段说明

位	字段	类型	复位	说明
7	DRVEN0_EN_DACB3	R/W	0h	0 : 忽略 DACB3 上的 DRVEN0 1 : 为 DACB3 启用 DRVEN0
6	DRVEN0_EN_DACB2	R/W	0h	0 : 忽略 DACB2 上的 DRVEN0 1 : 为 DACB2 启用 DRVEN0
5	DRVEN0_EN_DACB1	R/W	0h	0 : 忽略 DACB1 上的 DRVEN0 1 : 为 DACB1 启用 DRVEN0
4	DRVEN0_EN_DACB0	R/W	0h	0 : 忽略 DACB0 上的 DRVEN0 1 : 为 DACB0 启用 DRVEN0
3	DRVEN0_EN_DACA3	R/W	0h	0 : 忽略 DACA3 上的 DRVEN0 1 : 为 DACA3 启用 DRVEN0
2	DRVEN0_EN_DACA2	R/W	0h	0 : 忽略 DACA2 上的 DRVEN0 1 : 为 DACA2 启用 DRVEN0
1	DRVEN0_EN_DACA1	R/W	0h	0 : 忽略 DACA1 上的 DRVEN0 1 : 为 DACA1 启用 DRVEN0
0	DRVEN0_EN_DACA0	R/W	0h	0 : 忽略 DACA0 上的 DRVEN0 1 : 为 DACA0 启用 DRVEN0

7.5.1.18 DRVEN1_EN 寄存器 (地址 = 51h) [复位 = 0000h]

图 7-65. DRVEN1_EN 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
DRVEN1_EN_DACB3	DRVEN1_EN_DACB2	DRVEN1_EN_DACB1	DRVEN1_EN_DACB0	DRVEN1_EN_DACA3	DRVEN1_EN_DACA2	DRVEN1_EN_DACA1	DRVEN1_EN_DACA0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-73. DRVEN1_EN 寄存器字段说明

位	字段	类型	复位	说明
7	DRVEN1_EN_DACB3	R/W	0h	0 : 忽略 DACB3 上的 DRVEN1 1 : 为 DACB3 启用 DRVEN1
6	DRVEN1_EN_DACB2	R/W	0h	0 : 忽略 DACB2 上的 DRVEN1 1 : 为 DACB2 启用 DRVEN1
5	DRVEN1_EN_DACB1	R/W	0h	0 : 忽略 DACB1 上的 DRVEN1 1 : 为 DACB1 启用 DRVEN1
4	DRVEN1_EN_DACB0	R/W	0h	0 : 忽略 DACB0 上的 DRVEN1 1 : 为 DACB0 启用 DRVEN1
3	DRVEN1_EN_DACA3	R/W	0h	0 : 忽略 DACA3 上的 DRVEN1 1 : 为 DACA3 启用 DRVEN1
2	DRVEN1_EN_DACA2	R/W	0h	0 : 忽略 DACA2 上的 DRVEN1 1 : 为 DACA2 启用 DRVEN1
1	DRVEN1_EN_DACA1	R/W	0h	0 : 忽略 DACA1 上的 DRVEN1 1 : 为 DACA1 启用 DRVEN1
0	DRVEN1_EN_DACA0	R/W	0h	0 : 忽略 DACA0 上的 DRVEN1 1 : 为 DACA0 启用 DRVEN1

7.5.1.19 FLEXIO_EN 寄存器 (地址 = 52h) [复位 = 0000h]

图 7-66. FLEXIO_EN 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
FLEXIO_EN_DACB3	FLEXIO_EN_DACB2	FLEXIO_EN_DACB1	FLEXIO_EN_DACB0	FLEXIO_EN_DACA3	FLEXIO_EN_DACA2	FLEXIO_EN_DACA1	FLEXIO_EN_DACA0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-74. FLEXIO_EN 寄存器字段说明

位	字段	类型	复位	说明
7	FLEXIO_EN_DACB3	R/W	0h	0 : 忽略 DACB3 上的 FLEXIO 1 : 为 DACB3 启用 FLEXIO
6	FLEXIO_EN_DACB2	R/W	0h	0 : 忽略 DACB2 上的 FLEXIO 1 : 为 DACB2 启用 FLEXIO
5	FLEXIO_EN_DACB1	R/W	0h	0 : 忽略 DACB1 上的 FLEXIO 1 : 为 DACB1 启用 FLEXIO
4	FLEXIO_EN_DACB0	R/W	0h	0 : 忽略 DACB0 上的 FLEXIO 1 : 为 DACB0 启用 FLEXIO
3	FLEXIO_EN_DACA3	R/W	0h	0 : 忽略 DACA3 上的 FLEXIO 1 : 为 DACA3 启用 FLEXIO
2	FLEXIO_EN_DACA2	R/W	0h	0 : 忽略 DACA2 上的 FLEXIO 1 : 为 DACA2 启用 FLEXIO
1	FLEXIO_EN_DACA1	R/W	0h	0 : 忽略 DACA1 上的 FLEXIO 1 : 为 DACA1 启用 FLEXIO
0	FLEXIO_EN_DACA0	R/W	0h	0 : 忽略 DACA0 上的 FLEXIO 1 : 为 DACA0 启用 FLEXIO

7.6 DAC 缓冲器寄存器映射

表 7-75. 第 4 页：DAC 缓冲器寄存器映射

地址 (十六 进制)	寄存器	类型	复位 (十六 进制)	位说明														
				15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
40	DACA0	R/W	0000	RESERVED				DAC[12:0]										
41	DACA1	R/W	0000	RESERVED				DAC[12:0]										
42	DACA2	R/W	0000	RESERVED				DAC[12:0]										
43	DACA3	R/W	0000	RESERVED				DAC[12:0]										
44	DACB0	R/W	0000	RESERVED				DAC[12:0]										
45	DACB1	R/W	0000	RESERVED				DAC[12:0]										
46	DACB2	R/W	0000	RESERVED				DAC[12:0]										
47	DACB3	R/W	0000	RESERVED				DAC[12:0]										

7.6.1 DAC 缓冲器数据寄存器：第 4 页

7.6.1.1 DACA/Bn 缓冲器寄存器 (地址 = 40h 至 47h) [复位 = 0000h]

图 7-67. DACA/Bn 缓冲器寄存器

15	14	13	12	11	10	9	8
RESERVED			DAC[12:8]				
R-0h			R/W-0h				
7	6	5	4	3	2	1	0
DAC[7:0]							
R/W-0h							

表 7-76. DACA/Bn 缓冲器寄存器字段说明

位	字段	类型	复位	说明
12-0	DAC	R/W	0h	以 MSB 对齐的单极二进制格式存储要加载到 DACn 有效寄存器的 13 位数据。

7.7 DAC 有效寄存器映射

表 7-77. 第 6 页 : DAC 有效寄存器映射

地址 (十六进制)	寄存器	类型	复位 (十六进制)	位说明														
				15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
40	DACA0	R	0000	RESERVED					DAC[12:0]									
41	DACA1	R	0000	RESERVED					DAC[12:0]									
42	DACA2	R	0000	RESERVED					DAC[12:0]									
43	DACA3	R	0000	RESERVED					DAC[12:0]									
44	DACB0	R	0000	RESERVED					DAC[12:0]									
45	DACB1	R	0000	RESERVED					DAC[12:0]									
46	DACB2	R	0000	RESERVED					DAC[12:0]									
47	DACB3	R	0000	RESERVED					DAC[12:0]									

7.7.1 DAC 有效数据寄存器：第 4 页

7.7.1.1 DACA/Bn 有效寄存器 (地址 = 40h 至 47h) [复位 = 0000h]

图 7-68. DACA/Bn 有效寄存器

15	14	13	12	11	10	9	8
RESERVED				DAC[12:8]			
R-0h				R-0h			
7	6	5	4	3	2	1	0
DAC[7:0]							
R-0h							

表 7-78. DACA/Bn 有效寄存器字段说明

位	字段	类型	复位	说明
12-0	DAC	R	0h	以 MSB 对齐的单极二进制格式存储要加载到 DACn 通道的 13 位数据。

例如，请考虑 **DRVEN0** 从低电平状态变为高电平状态的情况。在开关事件之前， V_{DACA0} 的稳态等于 V_{DACA1} 。**DRVEN** 引脚变为高电平后，**SW2** 闭合，使 C_{OUTA1} 和 C_{DACA0} 相互连接。由于这些电容器现在是并联的，因此每个电容器上的电压均衡为新电压。此电压在以下公式中表示为 $V_{\text{CDAC||COUT}}$ ，可通过找出存储在每个电容器中的电荷来计算得出。两个并联电容器上的总电荷等于每个电容器的电荷之和。

$$Q_{\text{CDAC||COUT}} = Q_{\text{CDAC}} + Q_{\text{COUT}} \quad (2)$$

$$V_{\text{CDAC||COUT}}(C_{\text{DACA1}} + C_{\text{OUTA0}}) = V_{\text{DACA1}} \times C_{\text{DACA1}} + V_{\text{OUTA0}} \times C_{\text{OUTA0}} \quad (3)$$

$$V_{\text{CDAC||COUT}} = \frac{V_{\text{DACA1}} \times C_{\text{DACA1}} + V_{\text{OUTA0}} \times C_{\text{OUTA0}}}{(C_{\text{DACA1}} + C_{\text{OUTA0}})} \quad (4)$$

两个输出所需的均衡时间（称为 **电容稳定周期**）由以下公式计算得出。由于 **DACA0** 的电位低于 **DACA1**，因此 V_{OUTA0} 可表示为充电函数。

$$V_{\text{OUTA0}}(t) = (V_{\text{CDAC||COUT}} - V_{\text{OUTA0}}(t_0)) \left(1 - e^{\frac{-t}{R_{\text{SW1}} \times C_{\text{OUTA0}}}} \right) + V_{\text{OUTA0}}(t_0) \quad (5)$$

在电容稳定周期内， V_{DACA1} 表示为放电 RC 函数。

$$V_{\text{DACA1}}(t) = V_{\text{DACA1}}(t_0) - (V_{\text{DACA1}}(t_0) - V_{\text{CDAC||COUT}}) \left(1 - e^{\frac{-t}{R_{\text{SW1}} \times C_{\text{OUTA0}}}} \right) \quad (6)$$

将电容器连接在一起可使输出快速变为 $V_{\text{CDAC||COUT}}$ ，但在这段时间过后，DAC 输出缓冲器会继续将 C_{OUTA1} 充电至 V_{DACA0} 值。最终转换的稳定时间取决于由 DAC 输出端串联电阻、开关电阻和 DAC 上的容性负载所构成的 RC 函数。此外，DAC 的输出电流受到限制。

图 8-2 显示了从静态 DAC 通道切换到 **VSS** 时 **OUTA0** 引脚的开关响应，而图 8-3 显示了在静态 DAC 输出之间切换时 **OUTA0** 信号的开关响应。

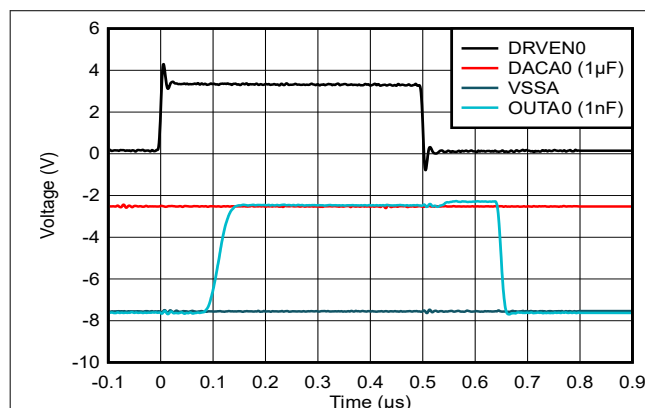


图 8-2. DAC 至 VSS 开关响应

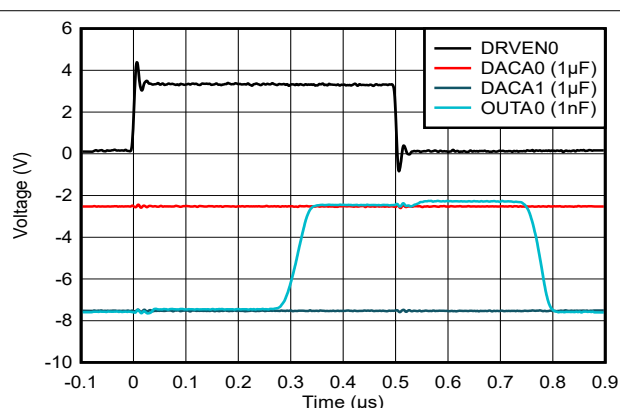


图 8-3. DAC 至 DAC 开关响应

8.2 典型应用

图 8-4 显示了 PA 偏置应用的示例原理图，其中使用单个 AFE20408 器件同时偏置 GaN 和 LDMOS PA。在此应用中，DAC A 组配置为负输出范围，而 DAC B 组配置为正输出范围。

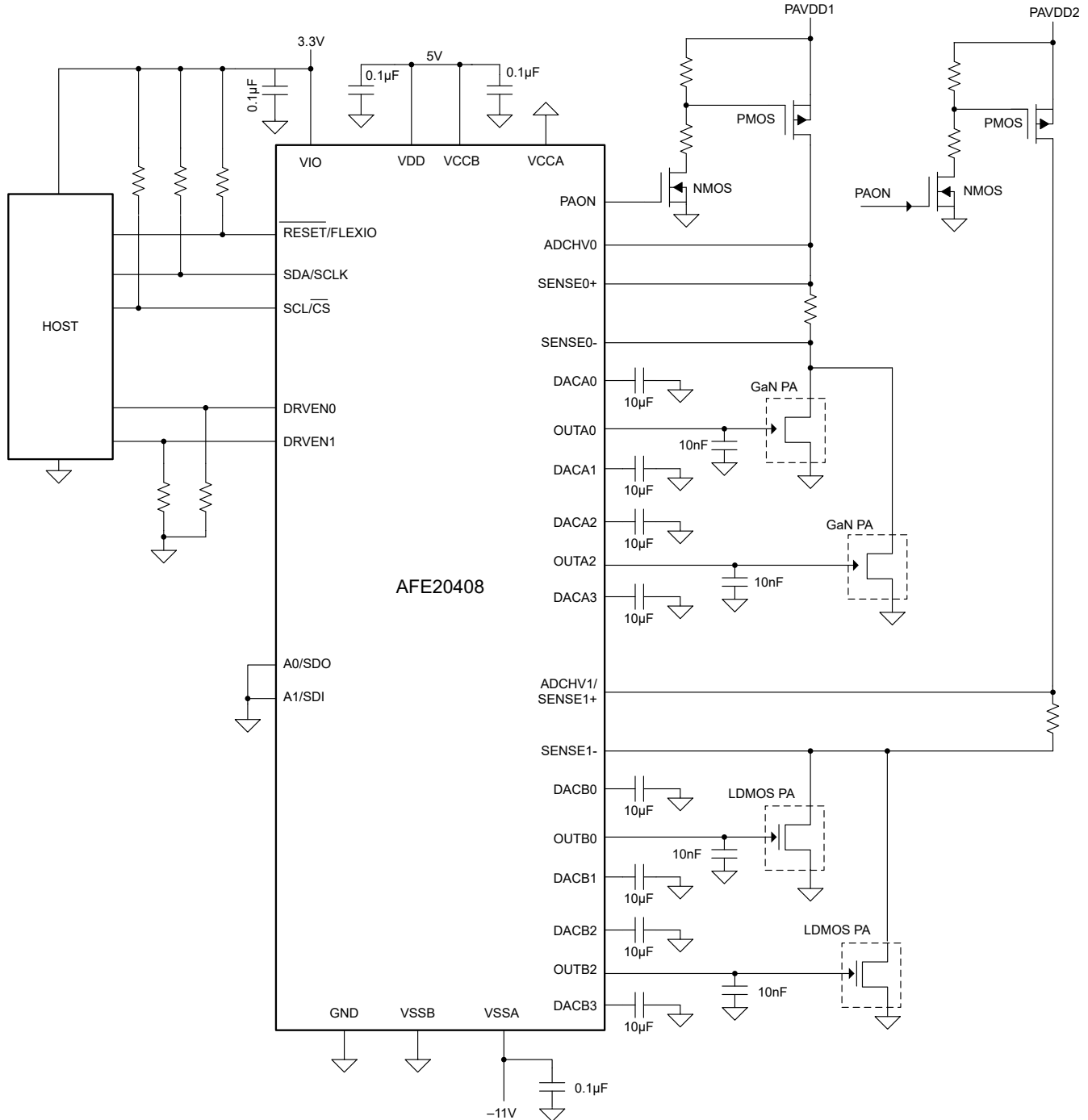


图 8-4. 功率放大器偏置应用

8.2.1 设计要求

示例原理图使用表 8-1 中列出的大多数设计参数。电源和 DAC 输出配置为混合输出范围。

表 8-1. 设计参数

设计参数	示例值
V _{CCA}	接地
V _{CCB}	11V
V _{SSA}	-11V
V _{SSB}	接地
V _{DD}	5V
V _{IO}	1.8V
DAC 输出	A 组可选范围：-10V 至 0V
	B 组可选范围： 0V 至 10V

8.2.2 详细设计过程

8.2.2.1 ADC 输入调节

ADC 输入的输入范围可配置为 0V 至 2.5V 或 0V 至 5V。

为了减少 ADC 采样干扰，应在 ADC 输入端放置一个 470pF 电容器。通过添加小串联电阻（与 ADC 输入串联），可以实现低通噪声滤波器，如图 8-5 所示。

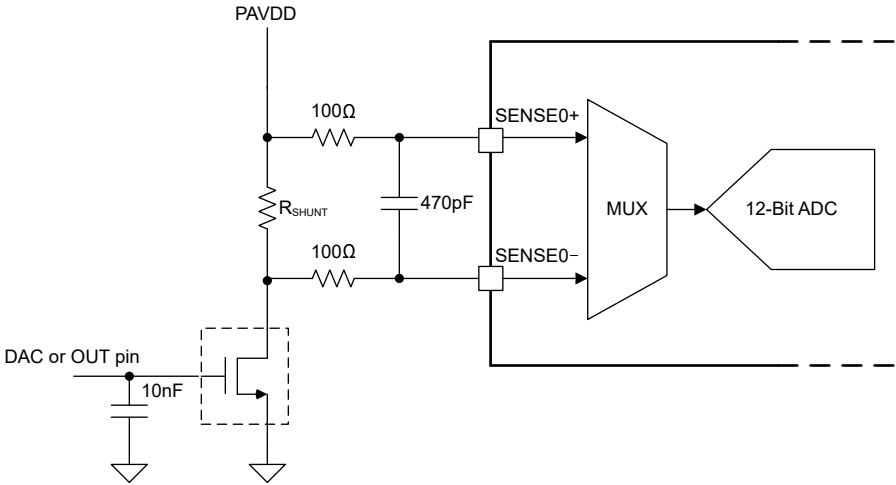


图 8-5. ADC 输入调节

8.2.2.2 静态电流和总功耗

为了计算器件的总功耗，需要知道所有电源输入和 DAC 负载。方程式 7 用于计算总功率，每个分量是由电源或 DAC 负载贡献的功率。

$$P_{TOTAL} = P_{IO} + P_{DD} + P_{CC} + P_{SS} + P_{DAC-LOAD} \quad (7)$$

其中

- P_{IO} 是器件从 V_{IO} 电源消耗的功率：

$$P_{IO} = V_{IO} \times I_{IO - quiescent} \quad (8)$$

- P_{DD} 是器件从 V_{DD} 电源消耗的功率：

$$P_{DD} = V_{DD} \times I_{DD - quiescent} \quad (9)$$

- P_{CC} 是器件从 V_{CC} 电源消耗的功率：

$$P_{CC} = V_{CC} \times I_{CC - quiescent} \quad (10)$$

- P_{SS} 是器件从 V_{SS} 电源消耗的功率：

$$P_{SS} = V_{SS} \times I_{SS - quiescent} \quad (11)$$

- $P_{DAC-LOAD}$ 是器件在 DAC 负载条件下从拉电流或灌电流电源消耗的功率。可以单独计算每个 DAC 通道的功率，然后相加得出 DAC 负载的总功率。功率不仅取决于 DAC 输出的电压，还取决于拉电流或灌电流电源与 DAC 输出电压之差异。下面的公式显示了如何计算 $P_{DAC-LOAD}$ ：

$$P_{DAC-LOAD} = \sum_{channel\ n=0}^n V_{SUPPLY-LOAD} \times I_{LOAD} \quad (12)$$

图 8-6 显示了正输出范围和负输出范围的负载配置。

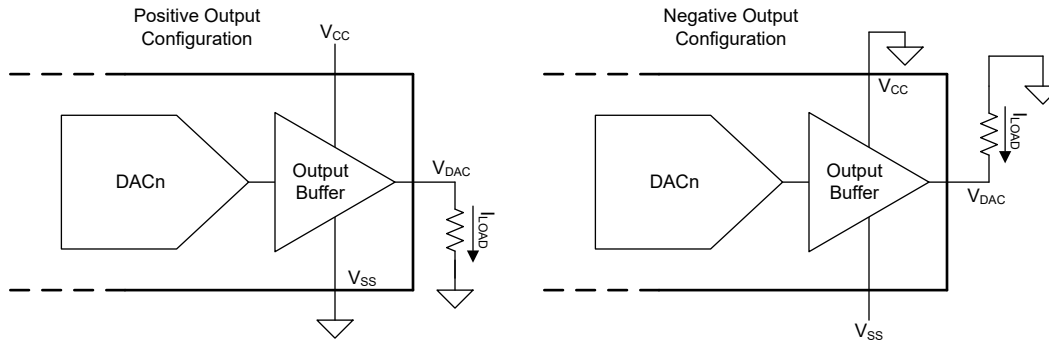


图 8-6. DAC 输出负载

当器件处于正输出范围内时，器件可能会拉出电流。在负输出范围内时，器件可能会灌入电流。电源电压与 DAC 输出电压之差为 $V_{\text{SUPPLY-LOAD}}$ ，如以下公式所示。

当器件处于正输出范围内时， $V_{\text{SUPPLY-LOAD}}$ 的计算公式为：

$$V_{\text{SUPPLY-LOAD}} = V_{\text{CC}} - V_{\text{DAC}} \quad (13)$$

当器件处于负输出范围内时， $V_{\text{SUPPLY-LOAD}}$ 的计算公式为：

$$V_{\text{SUPPLY-LOAD}} = V_{\text{SS}} - V_{\text{DAC}} \quad (14)$$

8.2.2.2.1 最大 $V_{\text{CC}}/V_{\text{SS}}$ 电源电流瞬态

在许多应用中，器件的 DAC 输出具有容性负载。当 DAC 输出从一个输出电压转换为另一个输出电压时，可能会触发短路限制保护。如果 DAC 输出缓冲器达到放大器的短路电流限制，则会从输出放大器电源汲取大量电流。方程式 15 显示了如何计算转换期间对电源的最大电流需求估计值。

$$I_{\text{VCC-MAX}} = I_{\text{VCC-quiescent}} + \sum_{\text{channel } n=0}^n I_{\text{SHORT-CIRCUIT-LIMIT}} \quad (15)$$

8.2.2.2.2 DAC 负载稳定性

图 8-7 显示了 DAC 输出端存在容性负载时所需的配置。DAC 输出端不需要串联电阻器，因为 DAC 能够防止输出放大器上的振荡问题。

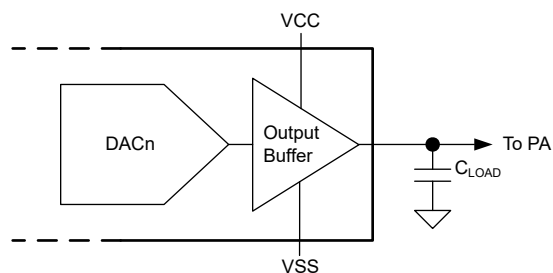


图 8-7. DAC 输出负载

8.2.2.3 禁用 PA 漏极电压

PAVDD 电压不同于具有串联 PMOS 晶体管的功率放大器的漏极电压。PMOS 晶体管激活时会将 PAVDD 电压电源连接到功率放大器的漏极引脚。PMOS 晶体管可由从 PAVDD 摆动至 $PAVDD(R2 / (R1 + R2))$ 的分压器驱动。[图 8-4](#) 所示的 NMOS 晶体管连接到 AFE20408 的 PAON 输出。当 PAON 为低电平时，PMOS 栅极等于 PAVDD 电压，使 PAVDD 电压与 PA 断开连接。当 PAON 为高电平时，分压器开通并启用 PMOS，使 PAVDD 电压连接到 PA。

8.2.2.4 PAON 外部电路

在启动过程中，AFE20408 PAON 为高阻态，直到所有电源都建立起来为止。在推挽模式下运行时，建议使用一个接地的下拉电阻器来防止 PAON 输出悬空。在开漏模式下运行时，PAON 输出将与连接至 V_{DD} 的上拉电阻器隔离，直到所有电源都已接通。[图 8-8](#) 所示的双 NMOS 电路将 PAON 输出接地，直至 V_{DD} 和 V_{IO} 均上电至工作电压，然后 PAON 输出将上拉至 V_{DD} 。

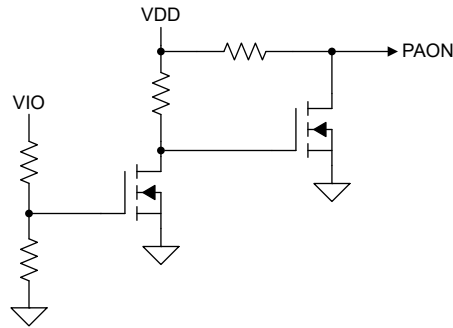
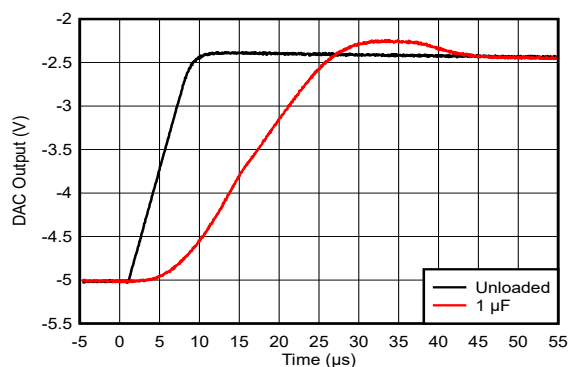


图 8-8. PAON 开漏电路

8.2.3 应用曲线

8.2.3.1 DAC 负载稳定性

图 8-9 分别显示了当 DAC 空载和 DAC 有一个电容器负载时的 DAC 输出响应。



DAC 步长: -5V 至 -2.5V

图 8-9. DAC 稳定时间与负载电容间的关系

8.2.3.2 启动行为

AFE20408 旨在最大限度减少上电和断电时电源瞬态期间的 DAC 输出干扰。图 8-10 至图 8-13 详细说明了此行为。

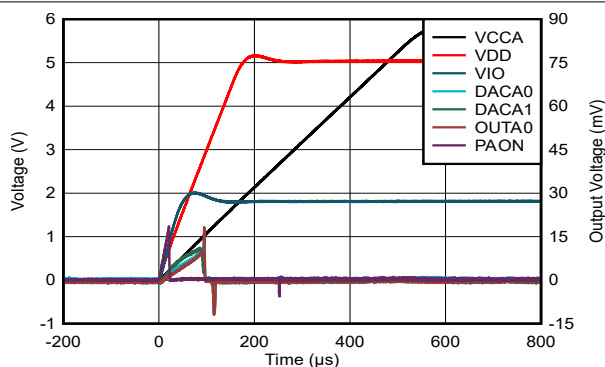


图 8-10. V_{CC} 上电瞬态期间的 DAC 输出

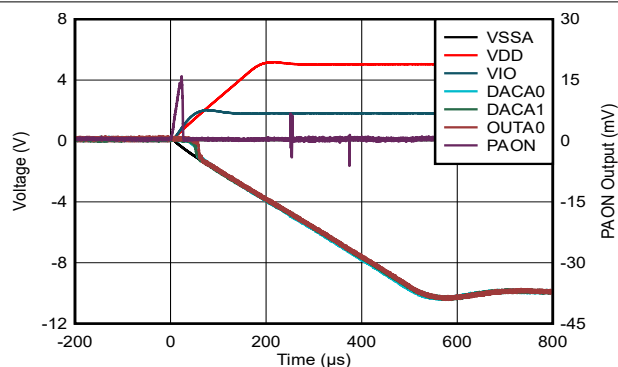


图 8-11. V_{SS} 上电瞬态期间的 DAC 输出

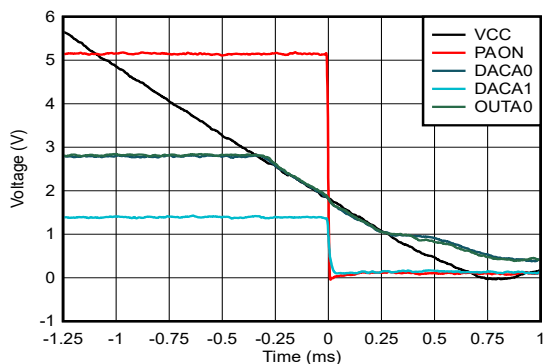


图 8-12. V_{CC} 断电瞬态期间的 DAC 输出

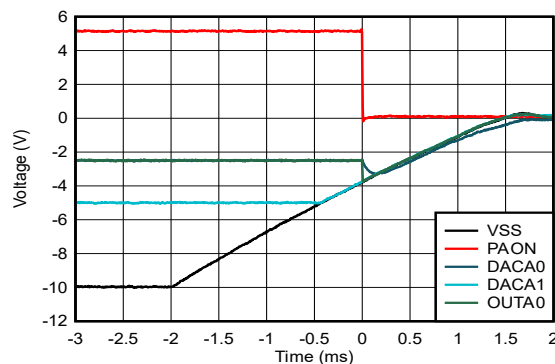


图 8-13. V_{SS} 断电瞬态期间的 DAC 输出

8.3 初始化设置

上电后，该器件可通过串行接口进行配置。在典型配置中可以采用以下步骤。

1. 电源电压上升到最终输出电压后，执行硬件或软件复位，以确保器件处于已知状态。在复位事件之后留出大约 5ms 的时间让器件寄存器进行初始化。
2. 通过向 ADC_CONV_CFG_0 和 ADC_GEN_CFG 寄存器（位于 ADC 配置寄存器页面）写入所需的值来设置 ADC 转换速率、转换模式和分流范围。
3. 通过向 ADC_CCS_IDS 寄存器和 ADC_CCS_CFG_0 寄存器（位于 ADC CCS 配置寄存器页面）写入所需的值来配置 ADC 输入和自定义通道序列发生器 (CCS)。
4. 通过向 DAC 配置寄存器页面中的 DAC_CURRENT 寄存器写入所需的值来设置 DAC 电流限制。
5. 通过配置 DAC_APD_SRC 寄存器、OUT_APD_SRC 寄存器、ALARMOUT_SRC 寄存器、DAC DRVEN_EN 寄存器和 DAC_CODE_LIMIT 寄存器（全部位于 DAC 配置寄存器页面）来初始化 DAC。
6. 通过向 ADC 配置寄存器页面中的 ADCn_UP_THRESH、ADCn_LOW_THRESH 和 TMP_UP_THRESH 寄存器（其中 $n = 0, 1$ ）写入所需的值来设置 ADC 和温度传感器警报限制。
7. 通过向 DACAn 或 DACBn 数据寄存器（其中 $n = 0, 1, 2, 3$ ）写入所需的值来写入初始 DAC 输出值。
8. 通过向全局寄存器页面中的电源使能 (PWR_EN) 寄存器写入所需的值来启用 DAC。
9. 通过向触发器寄存器（位于全局寄存器页面）中的 ADC_TRIG 位写入所需的值来启动单次（或多次）ADC 转换。
10. 通过向触发器寄存器中的 DAC_TRIG 位写入所需的值来更新 DAC 输出值（如果在相应的 DAC 上使用同步模式）。

8.4 电源相关建议

电源序列没有要求，但请注意，器件会保持在复位状态，直到所有电源达到电源正常阈值。此外，建议在电源达到电源正常阈值后对器件进行硬件或软件复位，使器件可以在已知状态下进行初始化。此复位（或任何复位事件）过后至少等待 5ms，确保器件寄存器可以正确初始化。

在先向 V_{SS} 施加负电压的应用中，一些小的负电压可能会出现在其他电源引脚上，例如 V_{IO} 和 V_{DD} 。电源引脚上的负电压可能超过 [节 5.1](#) 中列出的值，但由于这些电压是由固有电路产生的，因此电压电平不影响运行。

8.5 布局

8.5.1 布局指南

- 使用低 ESR 陶瓷旁路电容器将所有电源引脚旁路到地。建议 V_{CCx} 和 V_{SSx} 输入端的旁路电容器为相应组 DAC 输出端总电容的三到四倍，以确保当输出转换到不同的电压输出时，浪涌电流不会导致局部电源崩溃。推荐的典型旁路电容器的电容值为 $1\mu\text{F}$ ，采用 X7R 或 NP0 电介质的陶瓷电容器。
- 将 DAC[0:3]、OUT0 和 OUT2 引脚上的电容器尽可能靠近器件放置。这种放置方式可以降低开关路径的寄生电感和电阻所带来的影响。寄生电感和电阻会延迟输出稳定时间。
- 将器件上的散热焊盘连接到较大的覆铜区，最好是接地平面。
- 当使用本地温度传感器进行输出偏置电压温度补偿时，请将器件置于靠近 PA 的位置，最好共用一个实心接地平面来进行热传导。

8.5.2 布局图

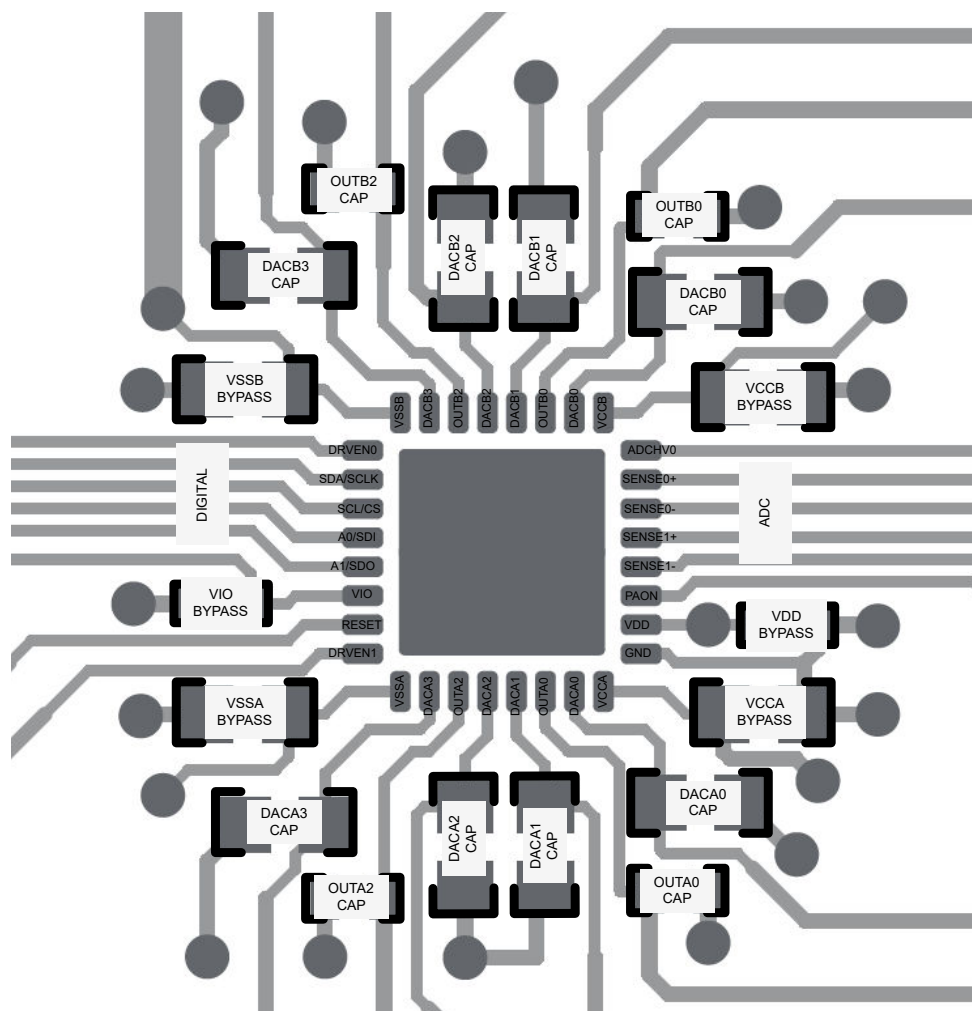


图 8-14. AMC20408 布局

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，[AFE20408EVM 用户指南](#)

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
April 2024	*	初始发行版。

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是针对指定器件可提供的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AFE20408RHBT	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	AFE 20408
AFE20408RHBT.A	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	AFE 20408

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

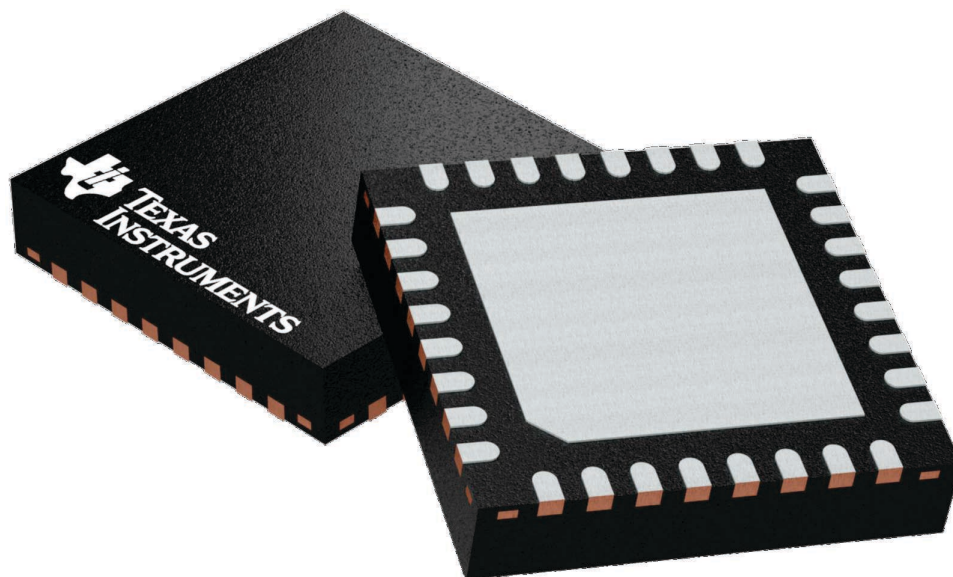
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



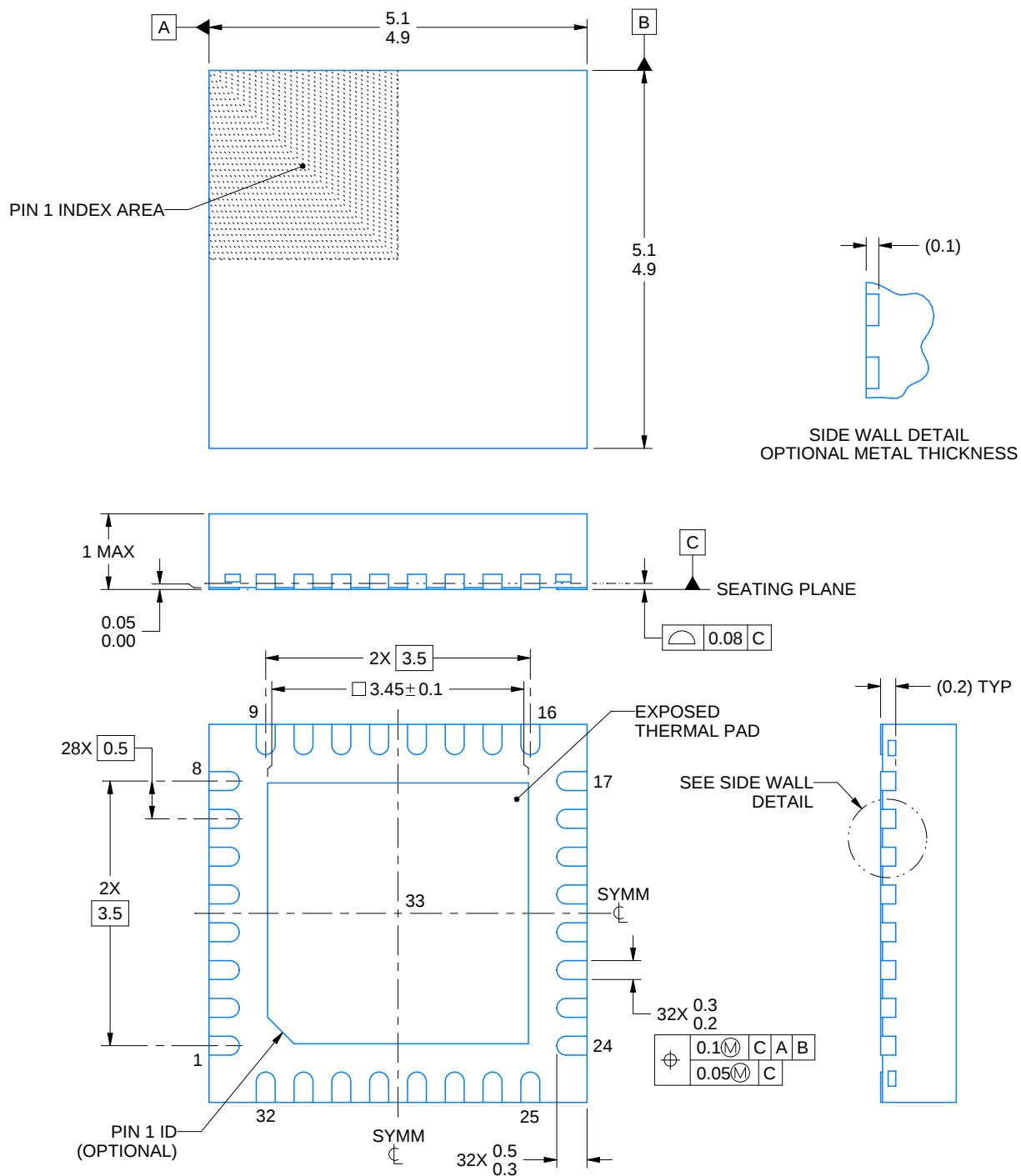
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224745/A



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4223442/B 08/2019

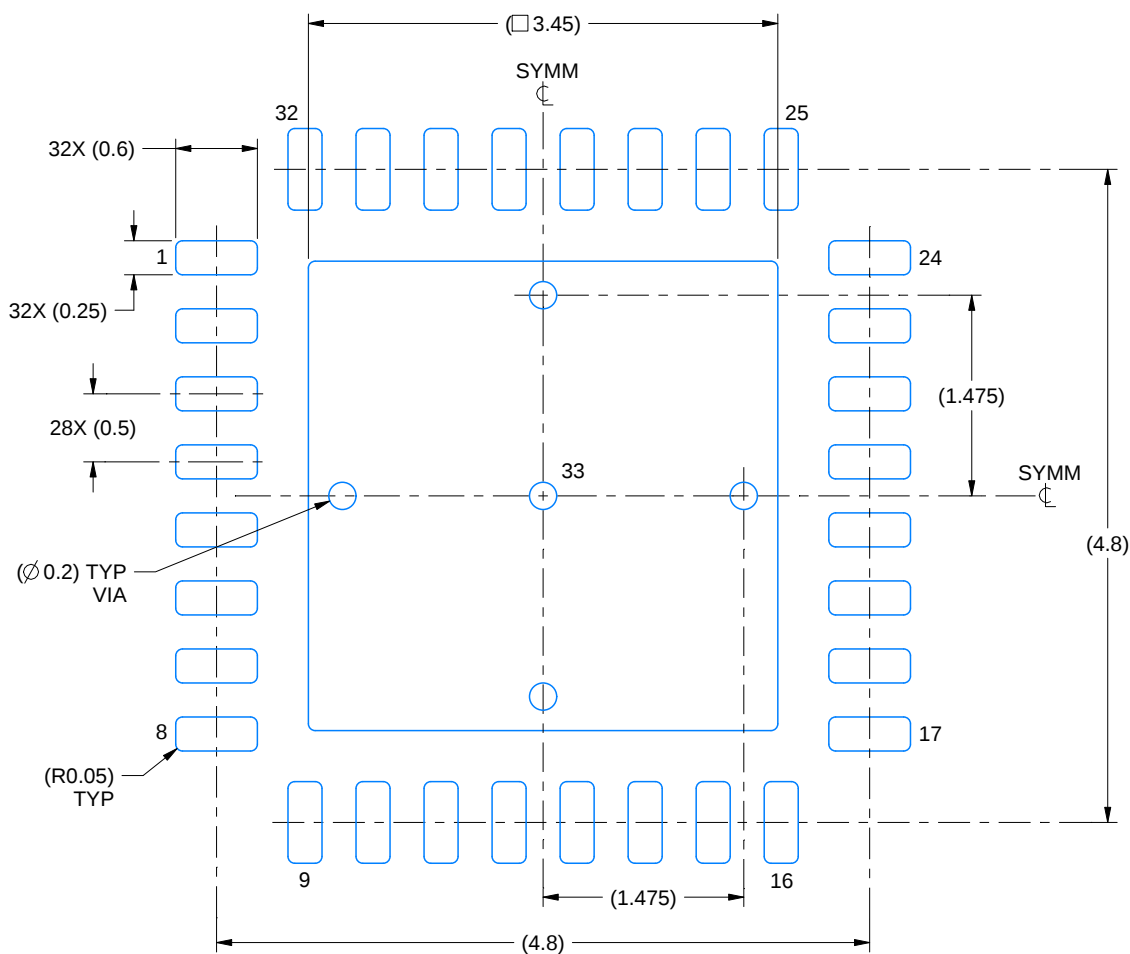
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

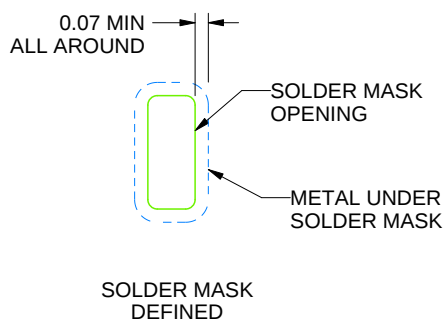
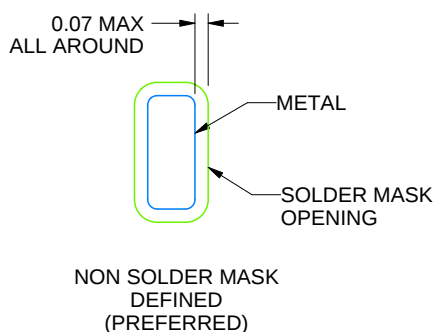
RHB0032E

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:18X



SOLDER MASK DETAILS

4223442/B 08/2019

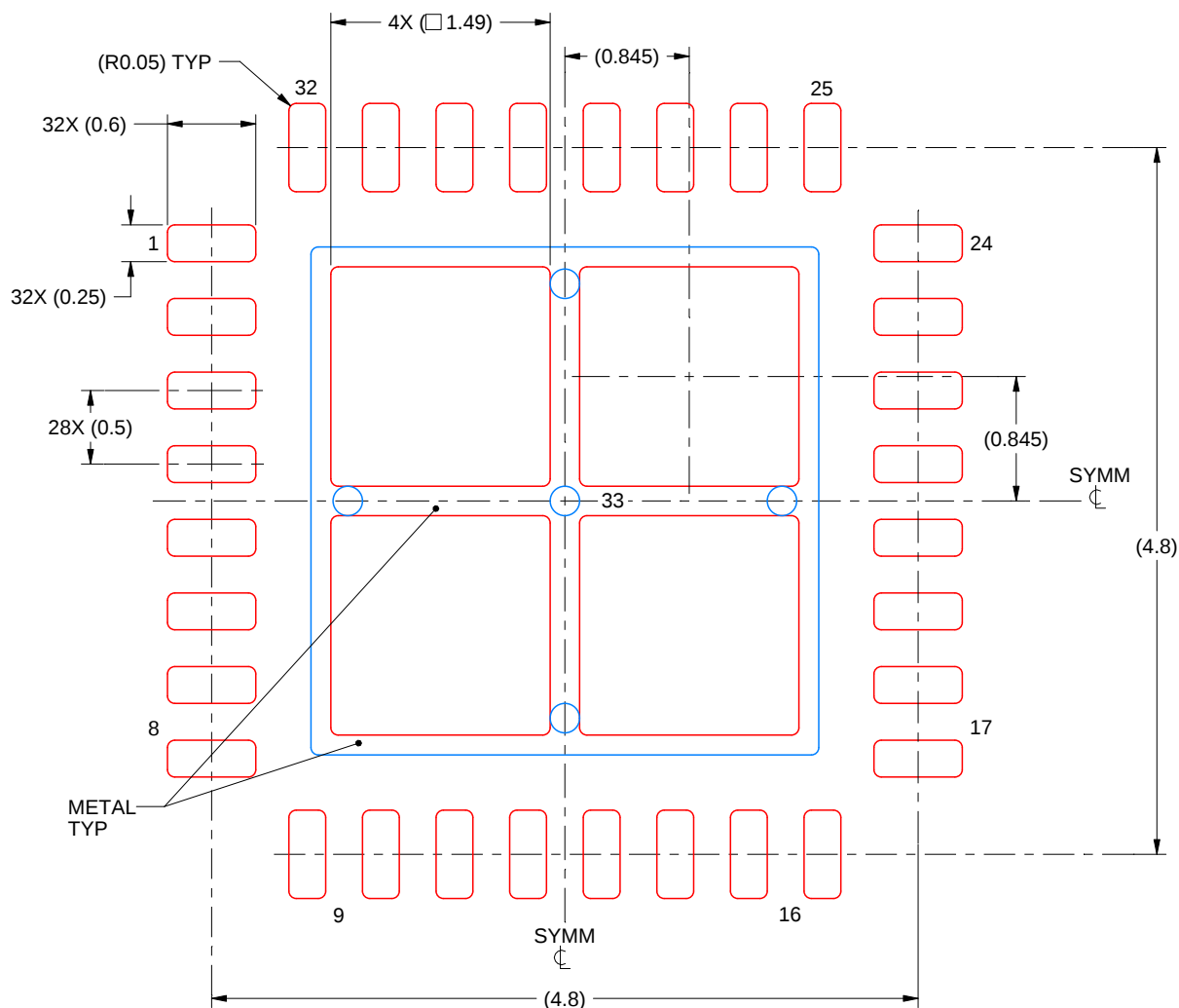
NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

RHB0032E

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4223442/B 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月