

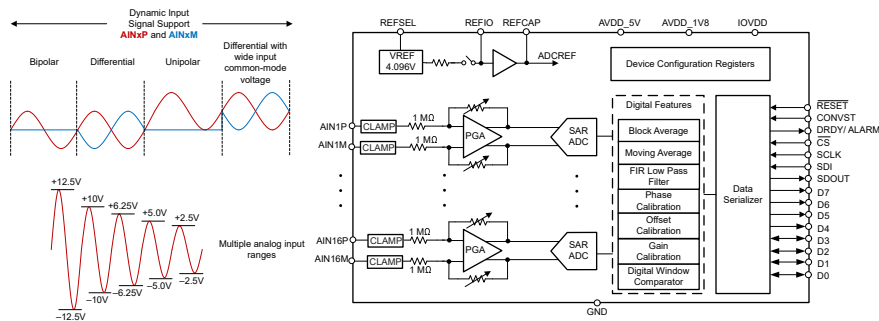
ADS9324 具有集成模拟前端的 16 通道 16 位 1MSPS 同步采样 SAR ADC

1 特性

- 16 通道、16 位同步采样 ADC
 - 每个通道的 1MSPS 吞吐量
- 集成可编程增益放大器
 - 1M Ω 模拟输入阻抗
 - 支持单端和差分输入
 - 输入范围：
 - 差分输入电压： $\pm 12.5V$ 、 $\pm 10V$ 、 $\pm 6.25V$ 、 $\pm 5V$ 、 $\pm 2.5V$
 - 共模电压： $\pm 12.5V$
- 模拟带宽选项：25kHz 和 325kHz
- 开路安全输入
 - 输入悬空时的 ADC 输出代码接近零
- 典型性能：
 - INL： $\pm 0.5LSB$ ；DNL： $\pm 0.5LSB$
 - SNR：88dB；THD：-103dB；DC CMRR：100dB
- 低漂移片上基准 (4.096V) 和缓冲器
 - 15ppm/ $^{\circ}C$ 典型温漂
- 数字特性
 - 用于过采样的片上数字滤波器
 - 系统偏移、增益和相位校准
 - 数字窗口比较器
 - ADC 输出数据随机数发生器
- 电源
 - 模拟电源：5V 和 1.8V
 - 数字 I/O 电源：1.8V 至 3.3V
- 温度范围： $-40^{\circ}C$ 至 $+125^{\circ}C$

2 应用

- 变电站自动化
- 电机保护继电器和接触器
- 电机控制电流检测
- 工业自动化
- 测试和测量



器件方框图

3 说明

ADS9324 是一款 16 通道集成数据采集 (DAQ) 系统，基于同步采样的 16 位逐次逼近型 (SAR) 模数转换器 (ADC)，每通道最高采样速率可达 1MSPS。该器件的每个通道都有一个完整的模拟前端，其中包含输入阻抗达 1M Ω 的可编程增益放大器 (PGA)、输入钳位、低通滤波器和 ADC 输入驱动器。此外，该器件还具有一个低漂移精密基准以及一个用于驱动 ADC 的缓冲器。高输入阻抗特性允许直连传感器和变压器，因此无需使用外部驱动器电路。该器件同时支持差分 and 单端输入，因此可用于各种传感器输出。

ADS9324 包括一个灵活的数字接口，使其可以与各种主机控制器配合使用。用户可以配置串行接口，以在单通道、双通道、4 通道和 8 通道上读取 ADC 输出。该器件还可灵活地将 ADC 用作双通道、4 通道、8 通道和 16 通道同步采样 ADC。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
ADS9324	RSK (VQFN, 64)	8.00mm × 8.00mm

- (1) 如需更多信息，请参阅 [机械、封装和可订购信息](#)。
- (2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



内容

1 特性	1	8 寄存器映射	52
2 应用	1	8.1 ADS93xx 通用寄存器.....	52
3 说明	1	8.2 AIN1 - AIN8 通道寄存器.....	63
4 引脚配置和功能	3	8.3 AIN9 - AIN16 通道寄存器.....	86
5 规格	5	9 应用和实施	108
5.1 绝对最大额定值.....	5	9.1 应用信息.....	108
5.2 ESD 等级.....	5	9.2 典型应用.....	108
5.3 建议运行条件.....	6	9.3 电源相关建议.....	111
5.4 热性能信息.....	6	9.4 布局.....	111
5.5 电气特性.....	7	10 器件和文档支持	113
5.6 时序要求.....	11	10.1 文档支持.....	113
5.7 开关特性.....	12	10.2 接收文档更新通知.....	113
5.8 时序图.....	12	10.3 支持资源.....	113
6 典型特性	17	10.4 商标.....	113
7 详细说明	24	10.5 静电放电警告.....	113
7.1 概述.....	24	10.6 术语表.....	113
7.2 功能方框图.....	24	11 修订历史记录	113
7.3 特性说明.....	25	12 机械、封装和可订购信息	113
7.4 器件功能模式.....	49	12.1 机械数据.....	114
7.5 编程.....	50		

4 引脚配置和功能

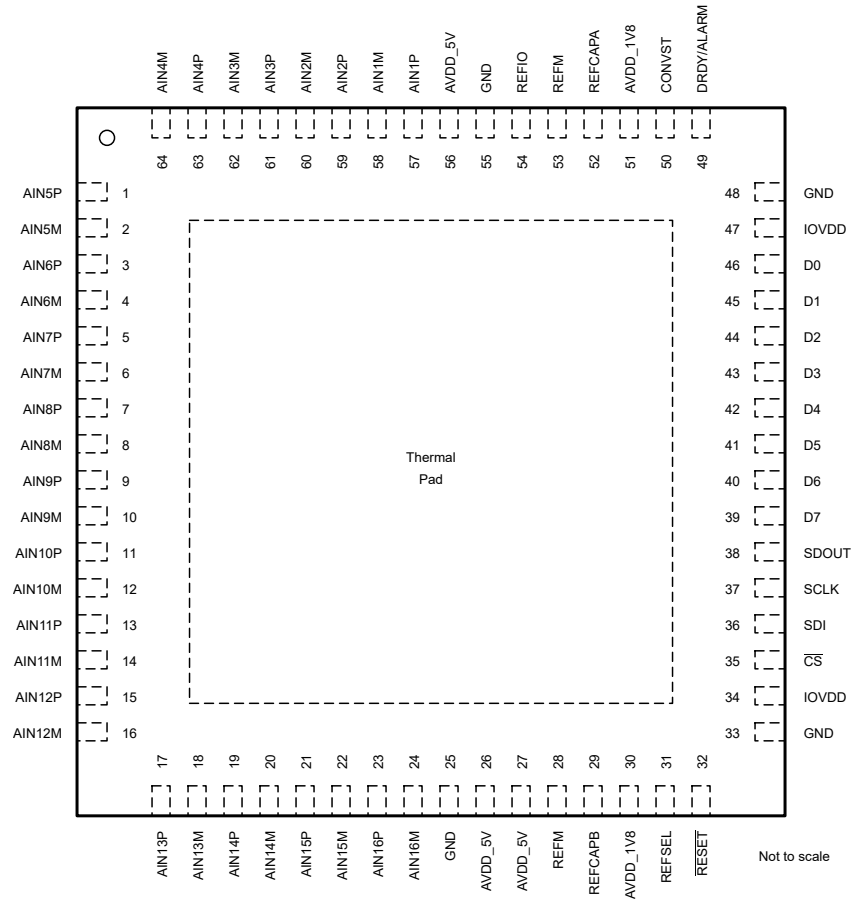


图 4-1. RSK 封装，64 引脚 VQFN（顶视图）

引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
AIN1P	57	AI	模拟输入通道 1，正输入。
AIN1M	58	AI	模拟输入通道 1，负输入。
AIN2P	59	AI	模拟输入通道 2，正输入。
AIN2M	60	AI	模拟输入通道 2，负输入。
AIN3P	61	AI	模拟输入通道 3，正输入。
AIN3M	62	AI	模拟输入通道 3，负输入。
AIN4P	63	AI	模拟输入通道 4，正输入。
AIN4M	64	AI	模拟输入通道 4，负输入。
AIN5P	1	AI	模拟输入通道 5，正输入。
AIN5M	2	AI	模拟输入通道 5，负输入。
AIN6P	3	AI	模拟输入通道 6，正输入。
AIN6M	4	AI	模拟输入通道 6，负输入。
AIN7P	5	AI	模拟输入通道 7，正输入。
AIN7M	6	AI	模拟输入通道 7，负输入。
AIN8P	7	AI	模拟输入通道 8，正输入。
AIN8M	8	AI	模拟输入通道 8，负输入。

引脚功能 (续)

引脚		类型 ⁽¹⁾	说明
名称	编号		
AIN9P	9	AI	模拟输入通道 9, 正输入。
AIN9M	10	AI	模拟输入通道 9, 负输入。
AIN10P	11	AI	模拟输入通道 10, 正输入。
AIN10M	12	AI	模拟输入通道 10, 负输入。
AIN11P	13	AI	模拟输入通道 11, 正输入。
AIN11M	14	AI	模拟输入通道 11, 负输入。
AIN12P	15	AI	模拟输入通道 12, 正输入。
AIN12M	16	AI	模拟输入通道 12, 负输入。
AIN13P	17	AI	模拟输入通道 13, 正输入。
AIN13M	18	AI	模拟输入通道 13, 负输入。
AIN14P	19	AI	模拟输入通道 14, 正输入。
AIN14M	20	AI	模拟输入通道 14, 负输入。
AIN15P	21	AI	模拟输入通道 15, 正输入。
AIN15M	22	AI	模拟输入通道 15, 负输入。
AIN16P	23	AI	模拟输入通道 16, 正输入。
AIN16M	24	AI	模拟输入通道 16, 负输入。
AVDD_1V8	30、51	P	1.8V 电源。将 1 μ F 和 0.1 μ F 去耦电容器连接到 GND。
AVDD_5V	26、27、56	P	5V 模拟电源。将 1 μ F 和 0.1 μ F 去耦电容器连接到 GND。
DRDY/ALARM	49	DIO	数据就绪或警报；高电平有效
CONVST	50	DI	用于控制转换启动的逻辑输入。
\overline{CS}	35	DI	SPI 配置的片选输入；低电平有效。
D0	46	DIO	串行输出数据通道 0 或菊花链输入 0。
D1	45	DIO	串行输出数据通道 1 或菊花链输入 1。
D2	44	DIO	串行输出数据通道 2 或菊花链输入 2。
D3	43	DIO	串行输出数据通道 3 或菊花链输入 3。
D4	42	DO	串行输出数据通道 4。
D5	41	DO	串行输出数据通道 5。
D6	40	DO	串行输出数据通道 6。
D7	39	DO	串行输出数据通道 7。
GND	25、33、48、55	P	接地。
IOVDD	34、47	P	数据接口的数字 I/O 电源。将 1 μ F 和 0.1 μ F 去耦电容器连接到 GND。
REFCAPA	52	AO	基准放大器输出引脚。在引脚 52 和 53 之间连接一个低 ESR 的 1 μ F X7R 去耦去耦电容器。
REFIO	54	AIO	当 REFSEL 为高电平时, 此引脚充当内部基准输出; 当 REFSEL 为低电平时, 此引脚用作外部基准的输入引脚; 使用 4.7 μ F 电容器与引脚 53 上的 REFM 进行去耦。
REFCAPB	29	AO	基准放大器输出引脚。在引脚 29 和 28 之间连接一个低 ESR 1 μ F 的 X7R 去耦去耦电容器。
REFM	28、53	P	基准 GND 引脚。将这些引脚短接至 PCB 上器件外部的 GND 平面。
REFSEL	31	DI	用于选择 ADC 基准电压源的逻辑输入。
RESET	32	DI	器件的复位输入; 低电平有效。
SCLK	37	DI	数据接口的串行时钟输入。
SDI	36	DI	数据接口的串行数据输入。
SDOUT	38	DO	用户寄存器的串行数据输出或单通道数据输出。
散热焊盘	-	P	外露散热焊盘连接至 GND。

(1) AI = 模拟输入; AO = 模拟输出; AIO = 模拟输入或输出; DI = 数字输入; DO = 数字输出; DIO = 数字输入或输出; P = 电源; NC = 无连接。

5 规格

5.1 绝对最大额定值

在工作环境温度范围内测得 (除非另有说明) ⁽¹⁾

	最小值	最大值	单位
AVDD_5V 至 GND	-0.3	6	V
AVDD_1V8 至 GND	-0.3	2.1	V
IOVDD 至 GND	-0.3	3.6	V
AINnP 和 AINnM 至 GND	-18	18	V
REFIO 至 GND	GND - 0.3	VREF (4.096) + 0.3	V
REFM 至 GND	GND - 0.3	GND + 0.3	V
数字输入至 GND	GND - 0.3	3.6	V
输入电流到电源引脚外的任意引脚 ⁽²⁾	-10	10	mA
结温, T _J	-40	150	°C
贮存温度, T _{stg}	-60	150	°C

- (1) 超出绝对最大额定值范围操作可能会导致器件永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议的工作条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 将引脚电流限制为 10mA 或更低。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准, 所有引脚 ⁽¹⁾	±4000	V
		所有其他引脚	±2000	V
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101, 所有引脚 ⁽²⁾	±500	V

- (1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源						
AVDD_5V	模拟电源	AVDD_5V 至 GND	4.75	5	5.25	V
AVDD_1V8	电源	VDD_1V8 至 GND	1.7	1.8	1.9	V
IOVDD	数字接口电源	IOVDD 至 IOGND	1.7		3.6	V
基准电压						
V _{REF}	基准电压至 ADC	外部基准	4.086	4.096	4.106	V
模拟输入						
AINnP	工作输入电压，正输入	差分输入 CM_RANGE_AINn = 0	-17		17	V
AINnM	工作输入电压，负输入	差分输入 CM_RANGE_AINn = 0	-17		17	V
V _{CM}	共模输入范围， (AINnP + AINnM)/2	差分输入 CM_RANGE_AINn = 0	-12.5		12.5	V
AINnP	工作输入电压，正输入	单端输入 CM_RANGE_AINn = 5、6	-13		13	V
AINnM	工作输入电压，负输入	单端输入 CM_RANGE_AINn = 5、6	-0.5		0.5	V
温度范围						
T _A	环境温度		-40		125	°C

5.4 热性能信息

热指标 ⁽¹⁾		ADS9324	单位
		RSK (VQFN)	
		64 引脚	
R _{θJA}	结至环境热阻	22.3	°C/W
R _{θJC(top)}	结至外壳（顶部）热阻	8.6	°C/W
R _{θJB}	结至电路板热阻	6.8	°C/W
Ψ _{JT}	结至顶部特征参数	0.1	°C/W
Ψ _{JB}	结至电路板特征参数	6.7	°C/W
R _{θJC(bot)}	结至外壳（底部）热阻	0.8	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用手册。

5.5 电气特性

在 $AVDD_{5V} = 4.75V$ 至 $5.25V$ ， $AVDD_{1V8} = 1.7V$ 至 $1.9V$ ， $IOVDD = 1.7V$ 至 $3.6V$ ， $V_{REF} = 4.096V$ （内部或外部）以及最大吞吐量条件下测得（除非另有说明）；最小值和最大值在 $T_A = -40^\circ C$ 至 $+125^\circ C$ 条件下测得；典型值在 $T_A = 25^\circ C$ 时测得

参数		测试条件	最小值	典型值	最大值	单位
模拟输入						
R_{IN}	输入阻抗	所有输入范围	0.8	1	1.2	$M\Omega$
	输入阻抗热漂移	所有输入范围		10	30	ppm/ $^\circ C$
	输入电容			10		pF
V_{FSR}	满量程输入范围 (AINnP - AINnM)	RANGE_AINn[2:0] = 010b	-2.5		2.5	V
		RANGE_AINn[2:0] = 000b	-5		5	V
		RANGE_AINn[2:0] = 011b	-6.25		6.25	V
		RANGE_AINn[2:0] = 100b	-10		10	V
		RANGE_AINn[2:0] = 101b	-12.5		12.5	V
V_{CM}	共模输入范围	差分输入 CM_RANGE_AINn = 0	-12.5		12.5	V
模拟输入滤波器						
$BW_{(-3dB)}$	模拟输入 LPF 带宽 - 3 dB	低带宽滤波器，所有输入范围		25.5		kHz
		宽带滤波器， $V_{FSR} = \pm 2.5V$		280		
		宽带滤波器， $V_{FSR} = \pm 5V$		325		kHz
		宽带滤波器， $V_{FSR} = \pm 6.25V$		300		kHz
		宽带滤波器， $V_{FSR} = \pm 10V、\pm 12.5V$		350		kHz
	相位延迟	低带宽滤波器，所有输入范围		6.2		μs
		宽带滤波器，所有输入范围		0.5		μs
直流性能 - 单端						
	分辨率	无丢码	16			位
DNL	微分非线性	所有范围	-0.99	± 0.5	0.99	LSB
INL	积分非线性	$V_{FSR} = \pm 5V、\pm 10V、\pm 12.5V^{(4)}$	-1.5	± 0.5	1.5	LSB
	积分非线性	所有范围	-3	± 0.5	3	LSB
	偏移误差 ^{(1) (5)}	$V_{FSR} = \pm 2.5V$		± 15	± 30	LSB
		$V_{FSR} = \pm 5V、\pm 6.25V、\pm 10V$ 和 $\pm 12.5V$		± 8	± 20	LSB
	偏移误差温漂 ⁽²⁾	$V_{FSR} = \pm 2.5V$ ($T_A = 0^\circ C$ 至 $70^\circ C$)		1	2	ppm/ $^\circ C$
		$V_{FSR} = \pm 2.5V$		1		ppm/ $^\circ C$
		$V_{FSR} = \pm 5V、\pm 6.25V、\pm 10V$ 和 $\pm 12.5V$ ($T_A = 0^\circ C$ 至 $70^\circ C$)		1	2	ppm/ $^\circ C$
		$V_{FSR} = \pm 5V、\pm 6.25V、\pm 10V$ 和 $\pm 12.5V$		1	3	ppm/ $^\circ C$
	增益误差 ^{(2) (3) (5)}	所有范围		± 0.012	± 0.025	%FSR
	增益误差热漂移 ^{(2) (3)}	所有范围		0.8	2.5	ppm/ $^\circ C$
直流性能 - 差分						
	分辨率	无丢码	16			位
DNL	微分非线性	所有范围	-0.99	± 0.5	0.99	LSB
INL	积分非线性	$V_{FSR} = \pm 5V、\pm 10V、\pm 12.5V^{(4)}$	-1.5	± 0.5	1.5	LSB
	积分非线性	所有范围	-3	± 0.5	3	LSB
	偏移误差 ^{(1) (5) (6)}	$V_{FSR} = \pm 2.5V$		± 15	± 30	LSB
		$V_{FSR} = \pm 5V、\pm 6.25V、\pm 10V$ 和 $\pm 12.5V$		± 8	± 20	LSB

在 $AVDD_{-5V} = 4.75V$ 至 $5.25V$, $AVDD_{-1V8} = 1.7V$ 至 $1.9V$, $IOVDD = 1.7V$ 至 $3.6V$, $V_{REF} = 4.096V$ (内部或外部) 以及最大吞吐量条件下测得 (除非另有说明) ; 最小值和最大值在 $T_A = -40^{\circ}C$ 至 $+125^{\circ}C$ 条件下测得 ; 典型值在 $T_A = 25^{\circ}C$ 时测得

参数		测试条件	最小值	典型值	最大值	单位
失调电压误差热漂移 ^{(2) (6)}		$V_{FSR} = \pm 2.5V$		1		ppm/ $^{\circ}C$
		$V_{FSR} = \pm 5V, \pm 6.25V, \pm 10V$ 和 $\pm 12.5V$ ($T_A = 0^{\circ}C$ 至 $70^{\circ}C$)		1	3	ppm/ $^{\circ}C$
		$V_{FSR} = \pm 5V, \pm 6.25V, \pm 10V$ 和 $\pm 12.5V$		1	3.5	ppm/ $^{\circ}C$
增益误差 ^{(2) (3) (5) (6)}	所有范围		± 0.012	± 0.025	%FSR	
增益误差热漂移 ^{(2) (3) (6)}	所有范围		0.8	2.5	ppm/ $^{\circ}C$	
直流性能 - 单端, 开路安全						
	分辨率	无丢码		16		位
DNL	微分非线性	所有范围	-0.99	± 0.5	0.99	LSB
INL	积分非线性	所有范围	-3	± 0.5	3	LSB
偏移误差 ^{(1) (5)}		$V_{FSR} = \pm 2.5V$		± 15		LSB
		$V_{FSR} = \pm 5V, \pm 6.25V, \pm 10V, \pm 12.5V$		± 8		LSB
	偏移误差温漂 ⁽²⁾	所有范围		1		ppm/ $^{\circ}C$
	增益误差 ^{(2) (3) (5)}	所有范围		± 0.012		%FSR
	增益误差热漂移 ^{(2) (3)}	所有范围		0.8		ppm/ $^{\circ}C$
交流性能 - 单端						
SNR	低带宽模式下的信噪比 (1kHz 时输入为 -0.1dBFS)	范围 = $\pm 2.5V$	84	86		dB
		范围 = $\pm 5V, \pm 6.25V$	85.5	87		
		范围 = $\pm 10V, \pm 12.5V$	86.5	88		
	宽带宽模式下的信噪比 (1kHz 时输入为 -0.1dBFS)	范围 = $\pm 2.5V$	75	77		dB
		范围 = $\pm 5V$	78	79.5		
		范围 = $\pm 6.25V$	80	81.5		
范围 = $\pm 10V$		81	82.5			
SINAD	低带宽模式下的信噪比 + 失真比 (1kHz 时输入为 -0.1dBFS)	范围 = $\pm 2.5V$	79.4	84.7		dB
		范围 = $\pm 2.5V^{(4)}$	83	84.7		
		范围 = $\pm 5V, \pm 6.25V$	80.2	86		
		范围 = $\pm 5V, \pm 6.25V^{(4)}$	84.2	86		
		范围 = $\pm 10V, \pm 12.5V$	80.7	86.4		
	宽带宽模式下的信噪比 + 失真比 (1kHz 时输入为 -0.1dBFS)	范围 = $\pm 10V, \pm 12.5V^{(4)}$	85	86.4		
		范围 = $\pm 2.5V$	73.1	76.5		
		范围 = $\pm 5V$	75.4	78.9		
		范围 = $\pm 6.25V$	76.8	80.7		
		范围 = $\pm 10V$	77.5	81.6		
	范围 = $\pm 12.5V$	78.1	83			
THD	总谐波失真 (1kHz 时输入为 -0.1dBFS)	所有范围		-103		dB
SFDR	无杂散动态范围 (1kHz 时输入为 -0.1dBFS)	所有范围		100		dB
	隔离串扰	在直流		-100		dB

在 $AVDD_5V = 4.75V$ 至 $5.25V$, $AVDD_1V8 = 1.7V$ 至 $1.9V$, $IOVDD = 1.7V$ 至 $3.6V$, $V_{REF} = 4.096V$ (内部或外部) 以及最大吞吐量条件下测得 (除非另有说明) ; 最小值和最大值在 $T_A = -40^{\circ}C$ 至 $+125^{\circ}C$ 条件下测得 ; 典型值在 $T_A = 25^{\circ}C$ 时测得

参数		测试条件	最小值	典型值	最大值	单位
交流性能 - 差分						
SNR	低带宽模式下的信噪比 (1kHz 时输入为 -0.1dBFS)	范围 = $\pm 2.5V$	80.5	82		dB
		范围 = $\pm 5V$ 、 $\pm 6.25V$	84.5	87		dB
		范围 = $\pm 10V$ 、 $\pm 12.5V$	86.5	88		dB
	宽带宽模式下的信噪比 (1kHz 时输入为 -0.1dBFS)	范围 = $\pm 2.5V$	72	73.5		dB
		范围 = $\pm 5V$	76.5	78		dB
		范围 = $\pm 6.25V$	78	80		dB
		范围 = $\pm 10V$	80	81.5		dB
		范围 = $\pm 12.5V$	81.5	83		dB
SINAD	低带宽模式下的信噪比 + 失真比 (1kHz 时输入为 -0.1dBFS)	范围 = $\pm 2.5V$	77.1	81.2		dB
		范围 = $\pm 5V$ 、 $\pm 6.25V$	79.6	85.6		dB
		范围 = $\pm 5V$ 、 $\pm 6.25V^{(4)}$	83.9	85.6		dB
		范围 = $\pm 10V$ 、 $\pm 12.5V$	80.5	86		dB
		范围 = $\pm 10V$ 、 $\pm 12.5V^{(4)}$	85	86		dB
	宽带宽模式下的信噪比 + 失真比 (1kHz 时输入为 -0.1dBFS)	范围 = $\pm 2.5V$	70.6	73.2		dB
		范围 = $\pm 5V$	74.2	77.5		dB
		范围 = $\pm 6.25V$	75.4	79.3		dB
		范围 = $\pm 10V$	76.8	80.7		dB
		范围 = $\pm 12.5V$	77.8	82.1		dB
THD	总谐波失真 (1kHz 时输入为 -0.1dBFS)	所有范围		-103		dB
SFDR	无杂散动态范围 (1kHz 时输入为 -0.1dBFS)	所有范围		100		dB
CMRR	CMRR	在直流条件下, 无 CM 误差校正		74		dB
		直流条件下, 启用 CM 误差校正, 在 $\Delta V_{CM} = 24V$ 时测得		100		dB
	隔离串扰	在直流		-100		dB
交流性能 - 单端, 开路安全						
SNR	低带宽模式下的信噪比 (1kHz 时输入为 -0.1dBFS)	范围 = $\pm 2.5V$,		80		dB
		范围 = $\pm 5V$ 、 $\pm 6.25V$		85.5		dB
		范围 = $\pm 10V$ 、 $\pm 12.5V$		87.5		dB
	宽带宽模式下的信噪比 (1kHz 时输入为 -0.1dBFS)	范围 = $\pm 2.5V$		71.5		dB
		范围 = $\pm 5V$		76		dB
		范围 = $\pm 6.25V$		78		dB
		范围 = $\pm 10V$		80		dB
		范围 = $\pm 12.5V$		81.5		dB

在 AVDD_5V = 4.75V 至 5.25V，AVDD_1V8 = 1.7V 至 1.9V，IOVDD = 1.7V 至 3.6V，V_{REF} = 4.096V（内部或外部）以及最大吞吐量条件下测得（除非另有说明）；最小值和最大值在 T_A = -40°C 至 +125°C 条件下测得；典型值在 T_A = 25°C 时测得

参数		测试条件	最小值	典型值	最大值	单位
SINAD	低带宽模式下的 信噪比 + 失真比 (1kHz 时输入为 -0.1dBFS)	范围 = ±2.5V		79.3		dB
		范围 = ±5V、±6.25V		84		dB
		范围 = ±10V、±12.5V		86		dB
	宽带宽模式下的 信噪比 + 失真比 (1kHz 时输入为 -0.1dBFS)	范围 = ±2.5V		71.2		dB
		范围 = ±5V		75.6		dB
		范围 = ±6.25V		77.5		dB
		范围 = ±10V		79.3		dB
	范围 = ±12.5V		80.7		dB	
THD	总谐波失真 (1kHz 时输入为 -0.1dBFS)	所有范围		-103		dB
SFDR	无杂散动态范围 (1kHz 时输入为 -0.1dBFS)	所有范围		100		dB
	宽带宽模式下的 信噪比 + 失真比 (1kHz 时输入为 -0.1dBFS)	在直流		-100		dB
内部基准						
V _{REF} (1)	REFIO 引脚上的电压 (配置为输出)	REFIO 引脚上的 1 μF 电容器，T _A = 25°C	4.086	4.096	4.106	V
	基准温漂			15		ppm/°C
	基准缓冲器输出 阻抗			1		kΩ
	基准开通时间	REFCAP 引脚上的 1μF 电容器			30	ms
外部基准输入						
REF _{LKG}	基准输入漏电流				±10	nA
数字输入						
V _{IL}	输入低逻辑电平阈值			0.3 IOVDD		V
V _{IH}	输入高逻辑电平		0.7 IOVDD			V
数字输出						
V _{OL}	输出低逻辑电平	I _{OL} = 200μA 灌电流	0		0.4	V
V _{OH}	输出高逻辑电平	I _{OH} = 200μA 拉电流	IOVDD-0.4		IOVDD	V
电源						
	总功率损耗	最大吞吐量		230	295	mW
I _{AVDD_5V}	来自 AVDD_5V 的电源电流	最大吞吐量，内部基准		30	35	mA
I _{AVDD_1V8}	来自 AVDD_1V8 的电源电流	最大吞吐量，内部基准		32	38	mA
I _{IOVDD}	来自 IOVDD 的电源电流	最大吞吐量		6	10	mA

- (1) 不包括由焊接漂移效应引起的电压变化。
- (2) 规格包括在 T_A = 25°C 下进行失调电压误差校准后的整个工作温度范围。
- (3) 这些规格包括整个温度范围变化，但不包括内部基准产生的误差。
- (4) 在 AVDD_5V = 4.9V 至 5.1V 和 T_A = 0°C 至 70°C 条件下适用。
- (5) ADC_CAL 在上电时执行。
- (6) 启用共模误差校正 (CME_CORR_EN_AINn =1b)。

5.6 时序要求

在 $AVDD_{5V} = 4.75V$ 至 $5.25V$ ， $AVDD_{1V8} = 1.7V$ 至 $1.9V$ ， $IOVDD = 1.7V$ 至 $3.6V$ ， $V_{REF} = 4.096V$ （内部或外部）以及最大吞吐量条件下测得（除非另有说明）；最小值和最大值在 $T_A = -40^\circ C$ 至 $+125^\circ C$ 条件下测得；典型值在 $T_A = 25^\circ C$ 时测得

		最小值	最大值	单位
CONVST				
f_{CONVST}	采样频率	0.1	1	MHz
t_{CONVST}	采样时间段 ($1 / f_{CONVST}$)	1		μs
t_{PL_CV}	CONVST 脉冲高电平时间	50		ns
t_{PH_CV}	CONVST 脉冲低电平时间	50		ns
$t_{su_CV_hi_DRDY_hi}$	建立时间：CONVST 上升到 DRDY 上升 ⁽¹⁾	50		ns
串行接口				
f_{SCLK}	最大 SCLK 频率		60	MHz
t_{SCLK}	最小 SCLK 时间周期	16		ns
t_{PH_SCLK}	SCLK 高电平时间	0.45	0.55	t_{SCLK}
t_{PL_SCLK}	SCLK 低电平时间	0.45	0.55	t_{SCLK}
t_{hi_CS}	脉冲持续时间： \overline{CS} 高电平	16		ns
t_{su_CSCK}	建立时间： \overline{CS} 下降至第一个 SCLK 捕获沿	16		ns
t_{hl_CSCK}	保持时间：最后一个 SCLK 下降沿到 \overline{CS} 上升沿	16		ns
t_{su_CKDI}	建立时间：SDI 数据对相应的 SCLK 上升沿有效	3		ns
t_{hl_CKDI}	保持时间：SCLK 上升沿到 SDI 上的相应数据有效	1		ns
t_{su_DRDYCS}	建立时间：DRDY 上升沿到 CS 下降沿	0		ns
t_{hl_DRDYCS}	保持时间：DRDY 上升沿到 CS 上升沿	0		ns

(1) 仅适用于内部时钟过采样模式。

5.7 开关特性

在 AVDD_5V = 4.75V 至 5.25V，AVDD_1V8 = 1.7V 至 1.9V，IOVDD = 1.7V 至 1.9V，V_{REF} = 4.096V（内部或外部）以及最大吞吐量条件下测得（除非另有说明）；最小值和最大值在 T_A = -40°C 至 +125°C 条件下测得；典型值在 T_A = 25°C 时测得

参数		测试条件	最小值	最大值	单位
复位					
t _{PU}	器件上电时间	REFCAP 引脚上的 1μF 电容器		30	ms
串行接口					
t _{d_CSDO}	延迟时间：CS 下降沿到 SDOOUT 和 D[7:0] 上的数据有效			16	ns
t _{dz_CSDO}	延迟时间：CS 上升沿到 SDOOUT 和 D[7:0] 进入 Hi-Z 状态			7.5	ns
t _{vt_CKDO}	有效时间：SCLK 启动沿到 SDOOUT 和 D[7:0] 上的上一个数据有效		7.6		ns
t _{d_CKDO}	延迟时间：SCLK 启动沿到 SDOOUT 和 D[7:0] 上的对应数据有效			17	ns
DRDY 和 ALARM					
t _{CYC}	ADC 周期时长		1 / f _{CONVST}		μs
t _{CONV}	ADC 转换时间：转换数据可用于读取	无过采样		1.25	μs
		过采样率 N		(N-1)*t _{CYC} + 1.25	μs
t _{d_CVDRDY_hi}	数据就绪时间，CONVST 下降沿至 DRDY 上升沿之间的时间延迟			t _{CONV}	μs
t _{d_CVDRDY_lo}	CONVST 下降沿至 DRDY 下降沿之间的时间延迟			350	ns
t _{d_ALARM}	CONVST 下降沿至新 ALARM 有效之间的时间延迟			t _{CONV}	μs

5.8 时序图

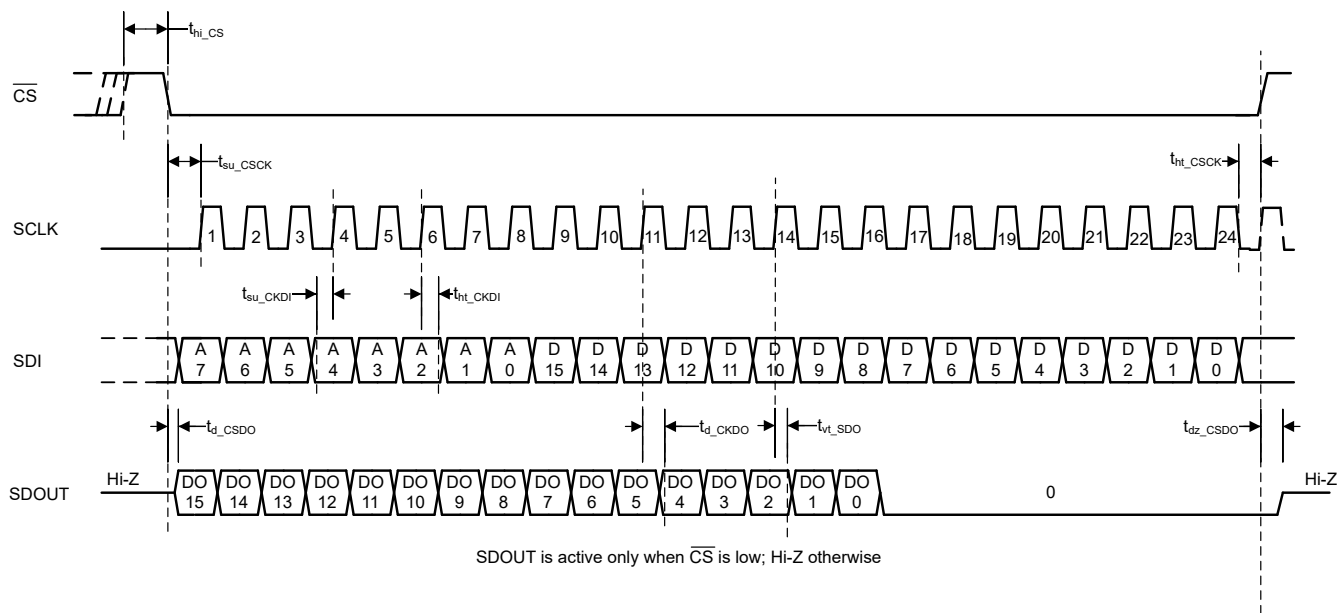


图 5-1. 寄存器读取和写入操作的时序

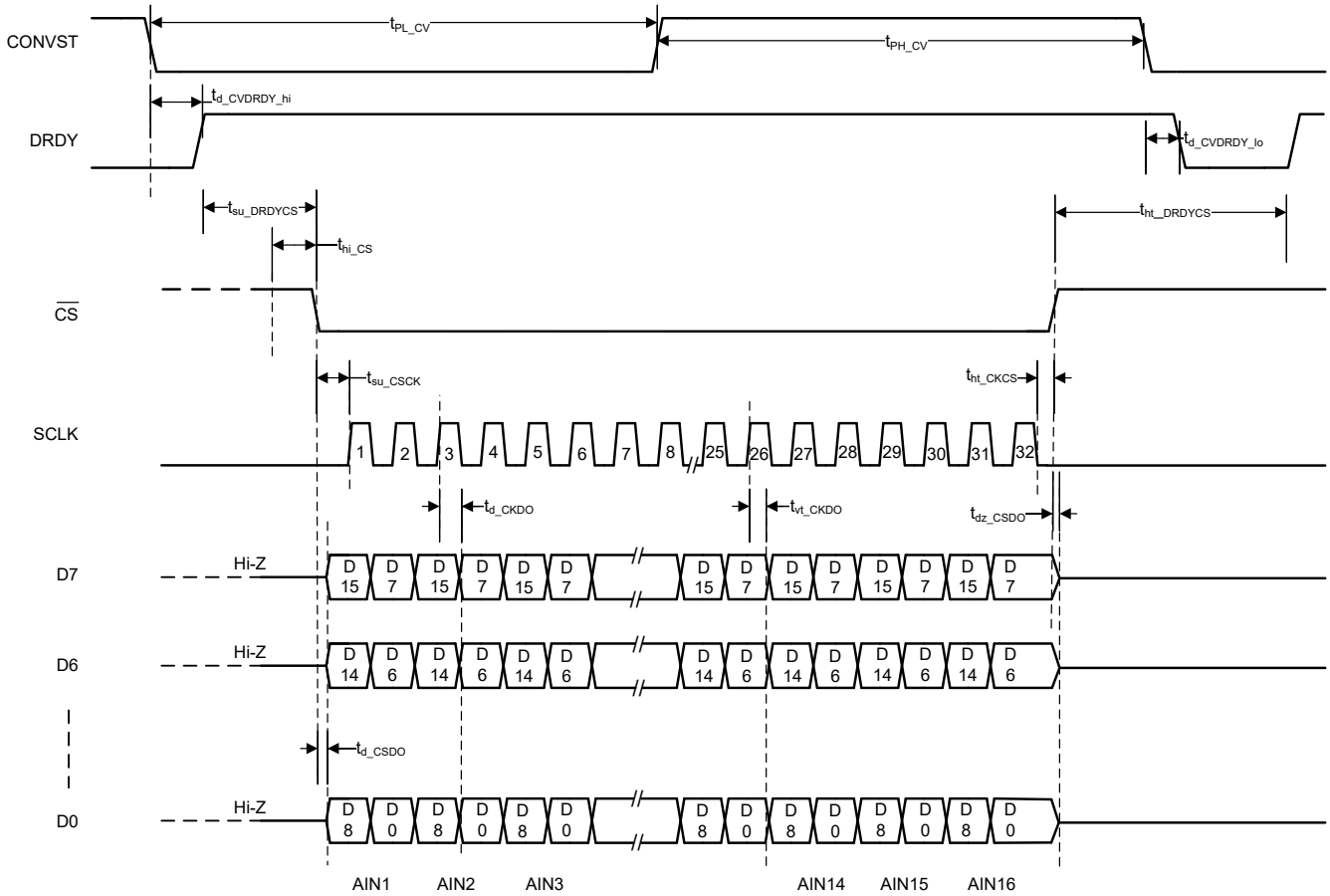


图 5-2. ADC 转换数据读取时序：8 通道（默认操作）

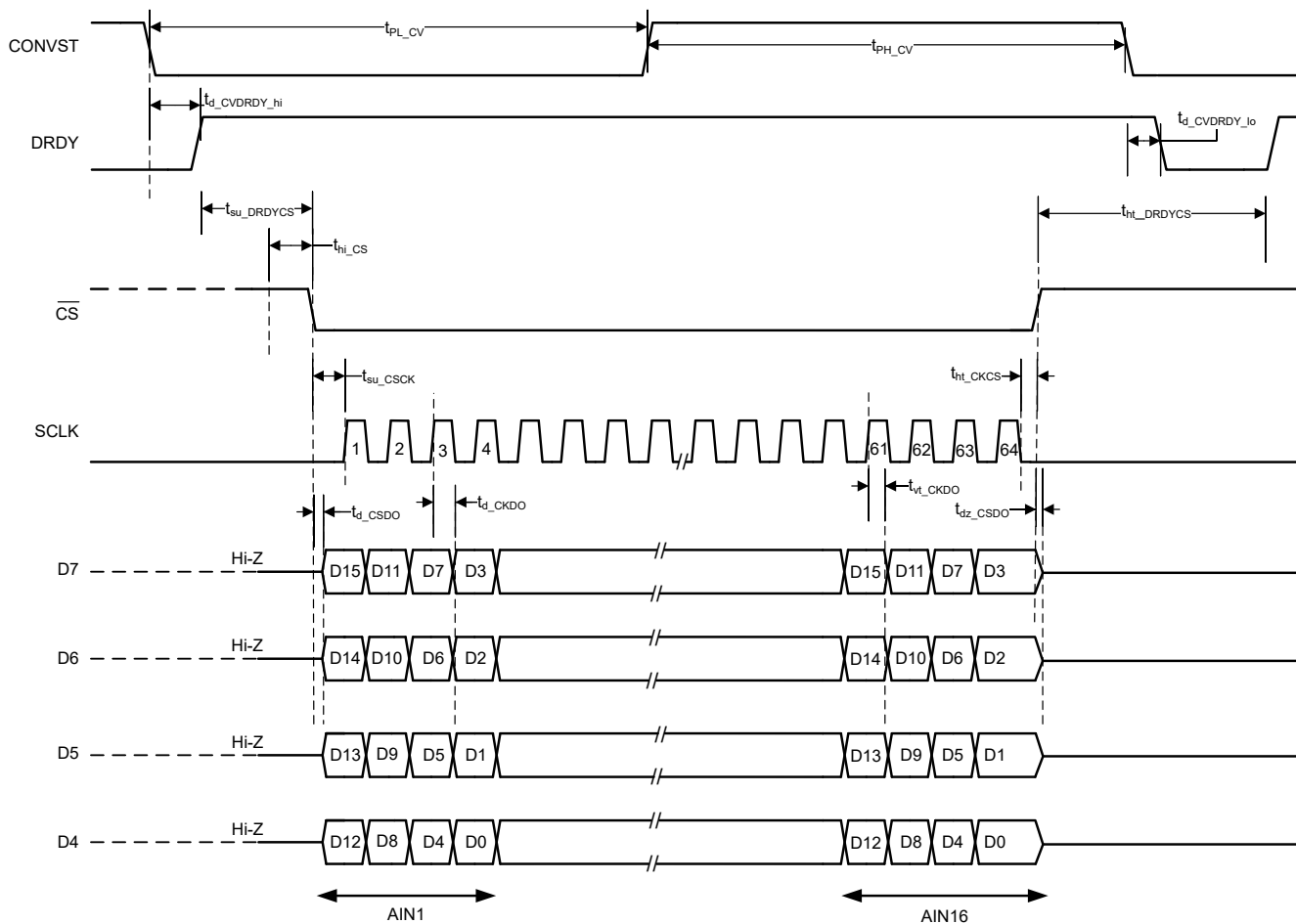


图 5-3. ADC 转换数据读取时序：4 通道

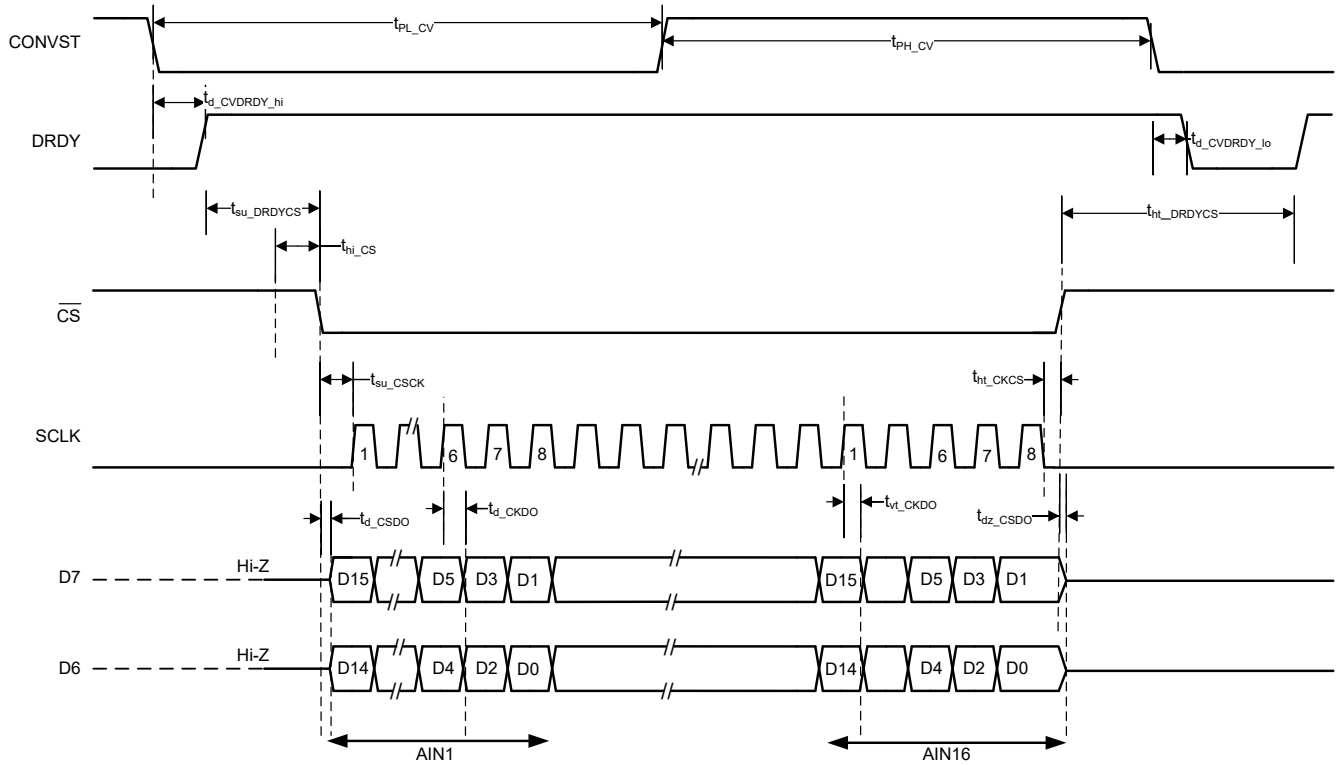


图 5-4. ADC 转换数据读取时序：2 通道

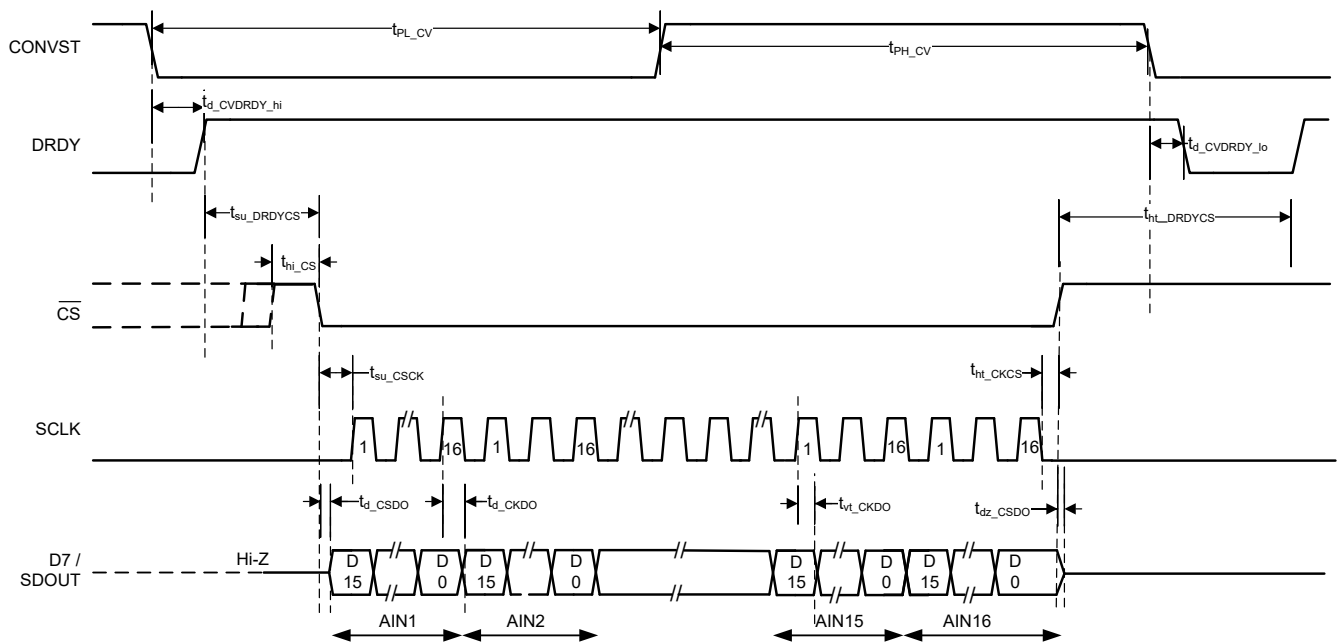
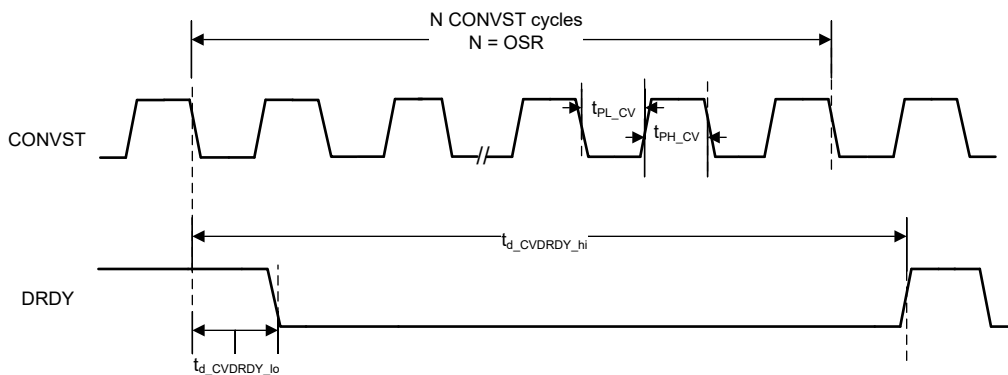


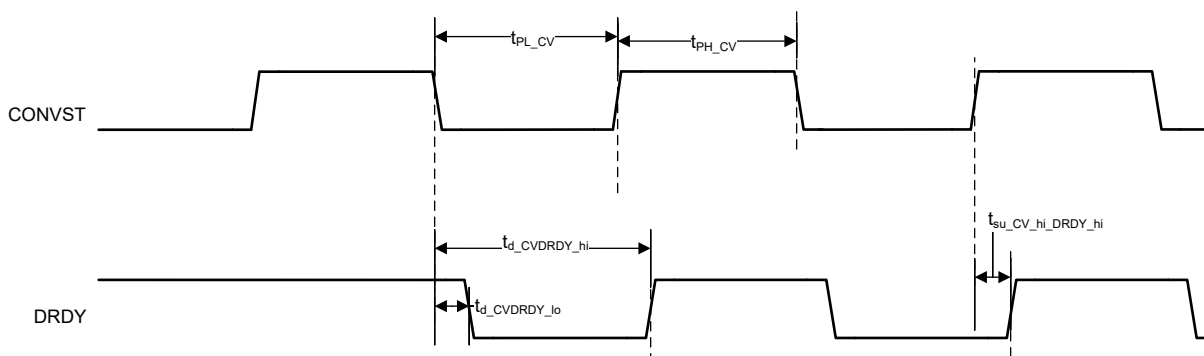
图 5-5. ADC 转换数据读取时序：1 通道



备注

1. 适用于将块平均滤波器与外部时钟过采样模式和 FIR 滤波器一起使用的情况。对于 FIR 滤波器，N 是抽取因子。

图 5-6. CONVST 和 DRDY，外部时钟过采样



备注

1. 在内部时钟过采样模式下，为确保器件正常运行，CONVST 必须在 DRDY 上升沿之前变为高电平。时序要求由 $t_{su_CV_hi_DRDY_hi}$ 定义。这会限制 CONVST 信号的最小 t_{PH_CV} 。 t_{PH_CV} 的最小值由 $t_{PH_CV} = t_{CONVST} - 1.2 \mu s$ 给出，适用于 $f_{CONVST} \leq \frac{800kHz}{N}$ ，其中 N 是过采样率。
2. 适用于采用内部时钟过采样模式的块平均滤波器。

图 5-7. CONVST 和 DRDY，内部时钟过采样

6 典型特性

$T_A = 25^\circ\text{C}$, $AVDD_5V = 5V$, $AVDD_1V8 = 1.8V$, $IOVDD = 1.8V$, 内部 $V_{REF} = 4.096V$, 单端, 最大吞吐量 (除非另有说明)

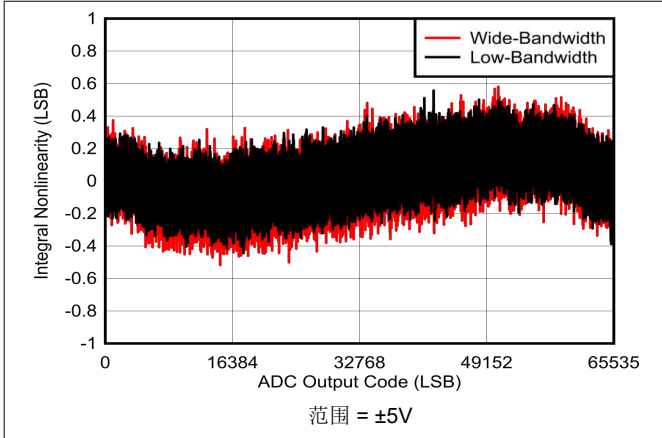


图 6-1. 典型 INL

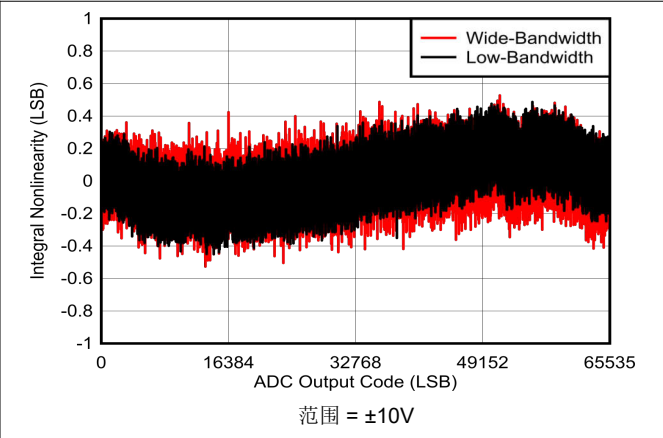


图 6-2. 典型 INL

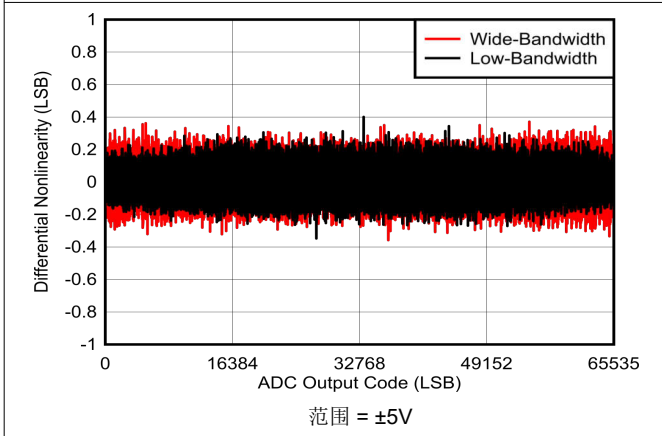


图 6-3. 典型 DNL

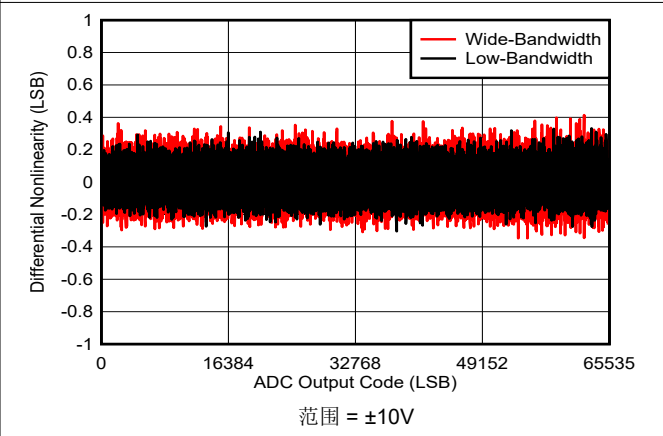


图 6-4. 典型 DNL

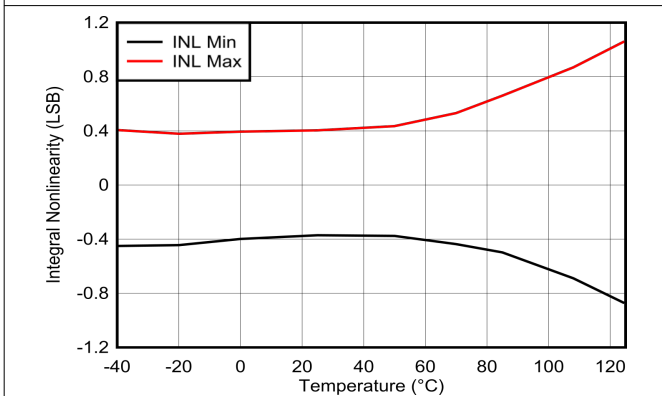


图 6-5. INL 与温度间的关系

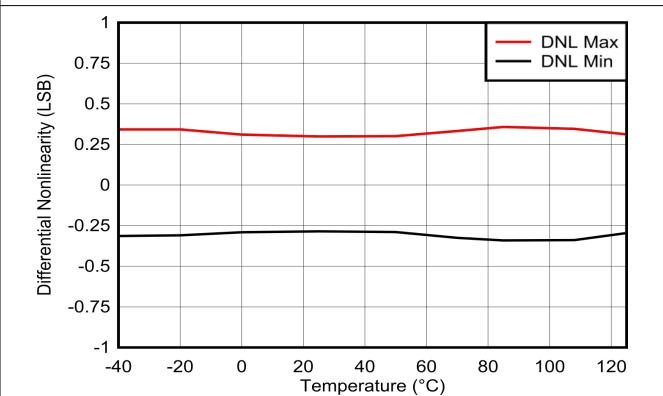


图 6-6. DNL 与温度间的关系

6 典型特性 (续)

$T_A = 25^\circ\text{C}$, $AVDD_5V = 5V$, $AVDD_1V8 = 1.8V$, $IOVDD = 1.8V$, 内部 $V_{REF} = 4.096V$, 单端, 最大吞吐量 (除非另有说明)

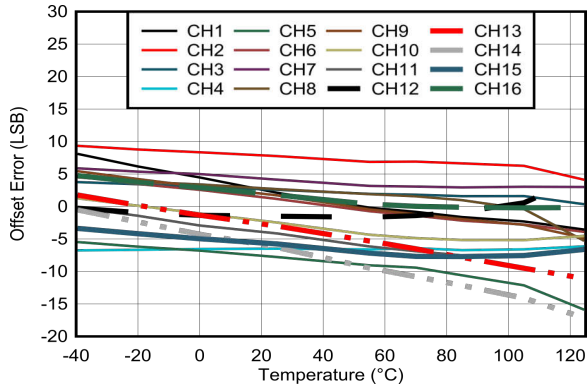


图 6-7. 偏移误差与温度间的关系

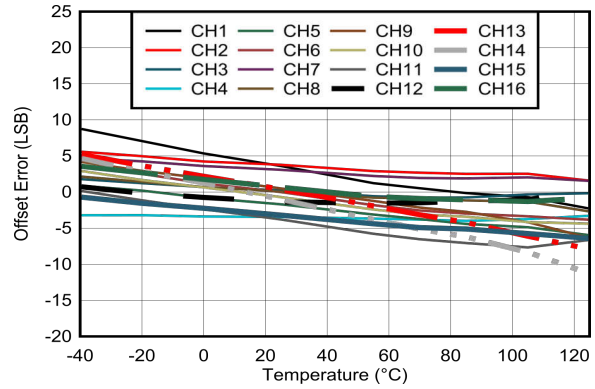


图 6-8. 偏移误差与温度间的关系

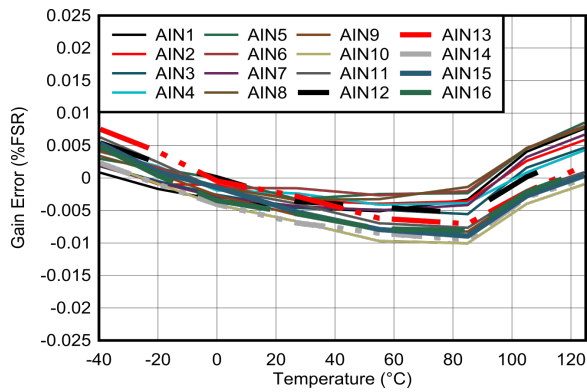


图 6-9. 增益误差与温度间的关系

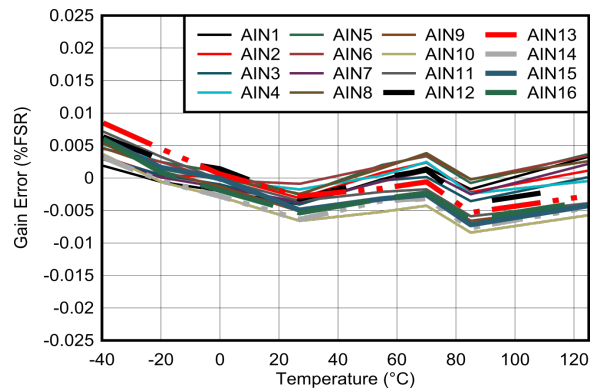


图 6-10. 增益误差与温度间的关系

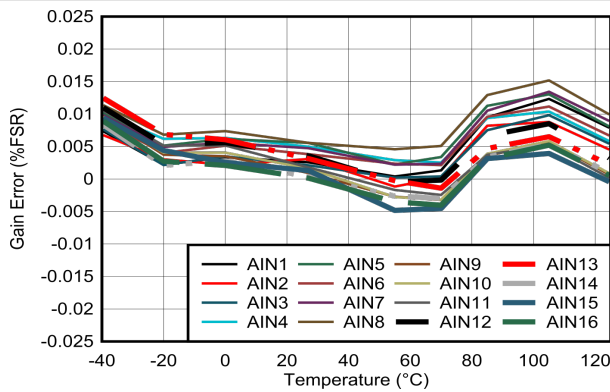


图 6-11. 增益误差与温度间的关系

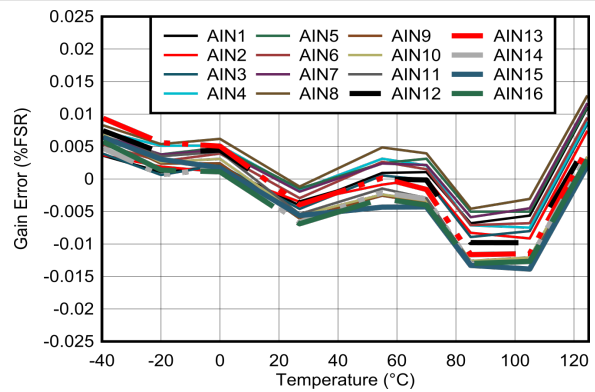
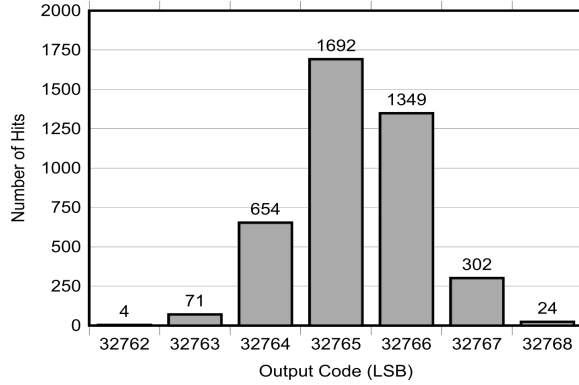


图 6-12. 增益误差与温度间的关系

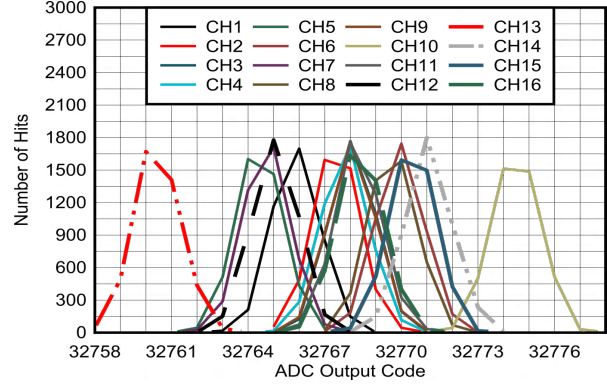
6 典型特性 (续)

$T_A = 25^\circ\text{C}$, $AVDD_{5V} = 5V$, $AVDD_{1V8} = 1.8V$, $IOVDD = 1.8V$, 内部 $V_{REF} = 4.096V$, 单端, 最大吞吐量 (除非另有说明)



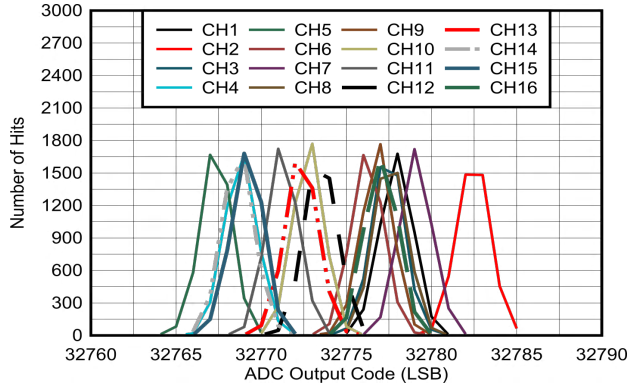
范围 = $\pm 5V$, 单端, $V_{IN} = 0V$,
 $\sigma = 0.91$, 命中数 = 4096

图 6-13. 直流代码直方图



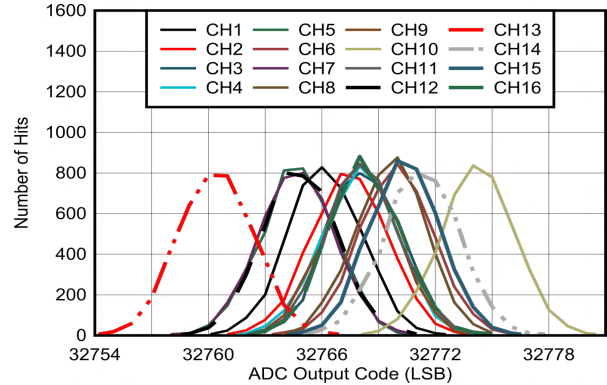
范围 = $\pm 5V$, 低带宽, $V_{IN} = 0V$,
 $\sigma = 0.92$, 命中数 = 4096

图 6-14. 所有通道的直流代码直方图



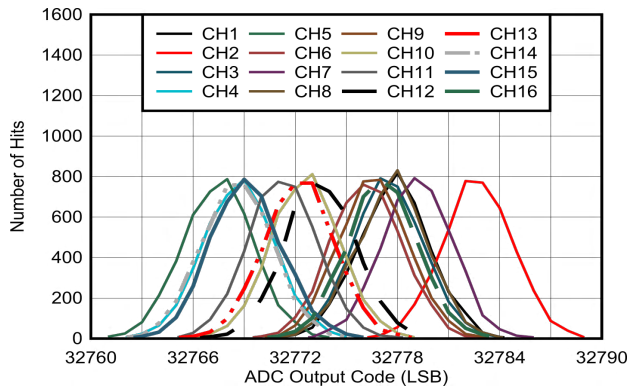
范围 = $\pm 5V$, 低带宽, $V_{IN} = 1mV$,
 $\sigma = 0.94$, 命中数 = 4096

图 6-15. 所有通道的直流代码直方图



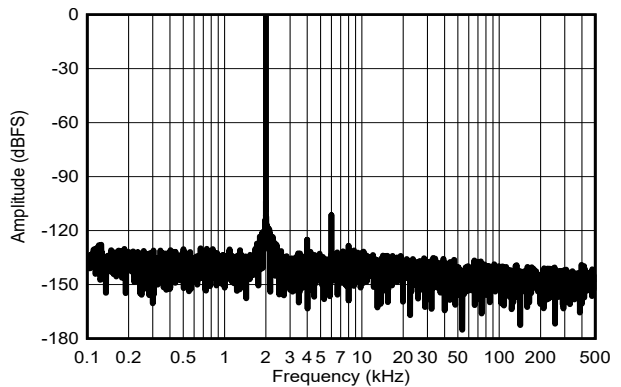
范围 = $\pm 5V$, 宽带宽, $V_{IN} = 0V$,
 $\sigma = 1.95$, 命中数 = 4096

图 6-16. 所有通道的直流代码直方图



范围 = $\pm 5V$, 宽带宽, $V_{IN} = 1mV$,
 $\sigma = 2.08$, 命中数 = 4096

图 6-17. 所有通道的直流代码直方图

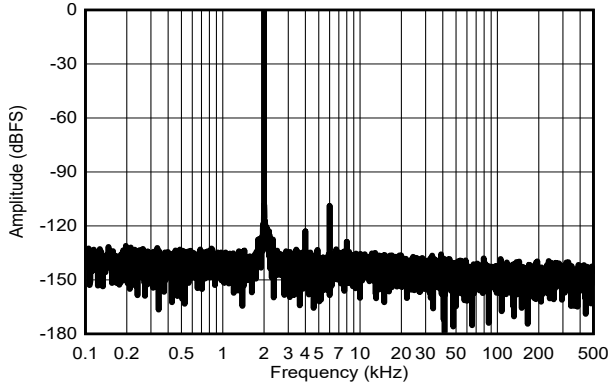


$f_{IN} = 2kHz$ 时, $SNR = 87.5dB$, $THD = -110dB$

图 6-18. 使用低带宽 LPF 时的典型 FFT, RANGE = $\pm 5V$

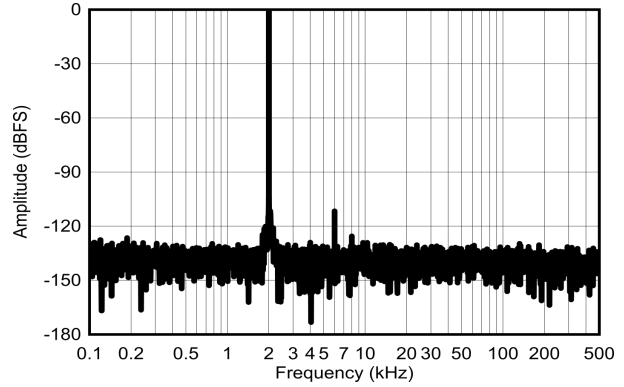
6 典型特性 (续)

$T_A = 25^\circ\text{C}$, $AVDD_5V = 5V$, $AVDD_1V8 = 1.8V$, $IOVDD = 1.8V$, 内部 $V_{REF} = 4.096V$, 单端, 最大吞吐量 (除非另有说明)



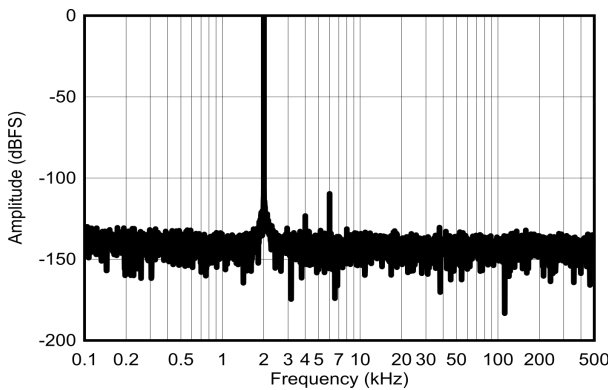
$f_{IN} = 2\text{kHz}$ 时, $SNR = 88.3\text{dB}$, $THD = -108\text{dB}$

图 6-19. 使用低带宽 LPF 时的典型 FFT, RANGE = $\pm 10V$



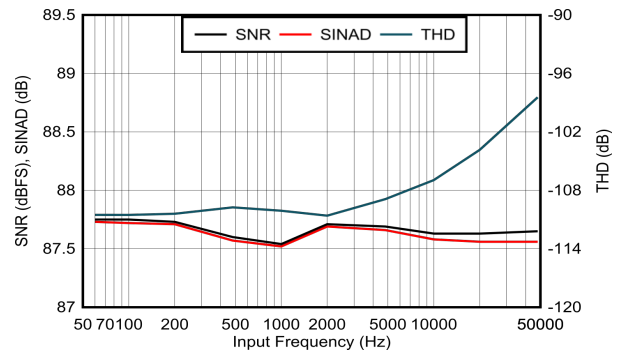
$f_{IN} = 2\text{kHz}$ 时, $SNR = 81.2\text{dB}$, $THD = -110\text{dB}$

图 6-20. 使用宽带宽 LPF 时的典型 FFT, RANGE = $\pm 5V$



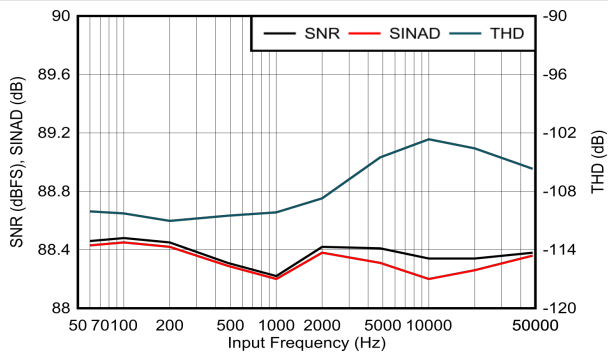
$f_{IN} = 2\text{kHz}$ 时, $SNR = 83.6\text{dB}$, $THD = -109\text{dB}$

图 6-21. 使用宽带宽 LPF 时的典型 FFT, RANGE = $\pm 10V$



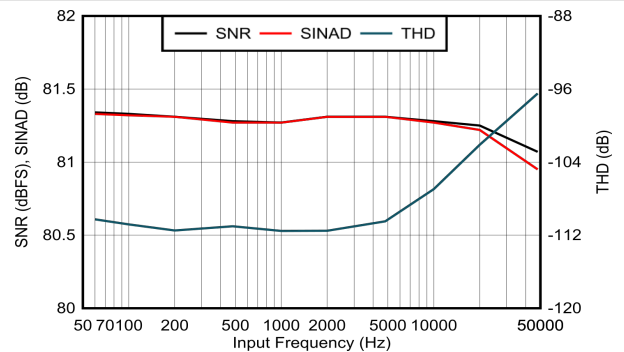
范围 = $\pm 5V$, 低带宽

图 6-22. SNR、SINAD 和 THD 与输入信号频率间的关系



范围 = $\pm 10V$, 低带宽

图 6-23. SNR、SINAD 和 THD 与输入信号频率间的关系



范围 = $\pm 5V$, 宽带宽

图 6-24. SNR、SINAD 和 THD 与输入信号频率间的关系

6 典型特性 (续)

$T_A = 25^\circ\text{C}$, $AVDD_5V = 5V$, $AVDD_1V8 = 1.8V$, $IOVDD = 1.8V$, 内部 $V_{REF} = 4.096V$, 单端, 最大吞吐量 (除非另有说明)

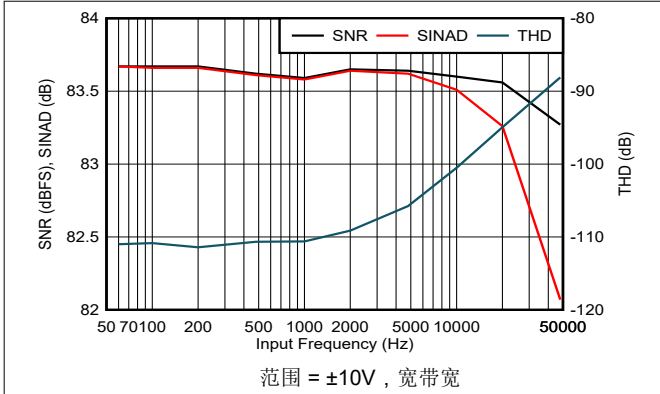


图 6-25. SNR、SINAD 和 THD 与输入信号频率间的关系

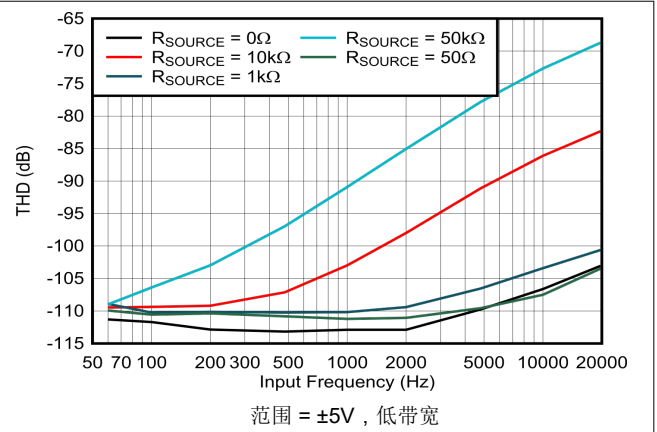


图 6-26. 不同外部源阻抗下 THD 与输入频率间的关系

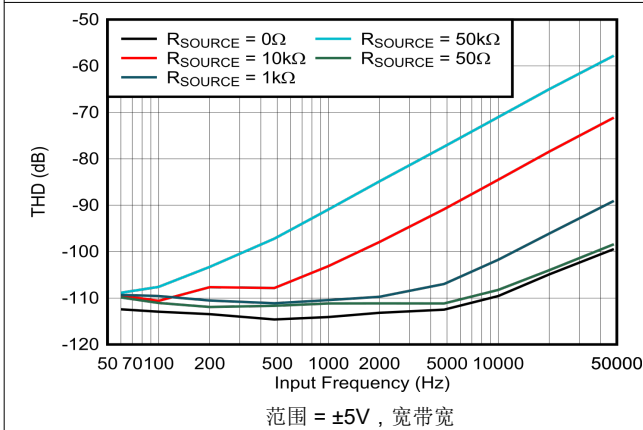


图 6-27. 不同外部源阻抗下 THD 与输入频率间的关系

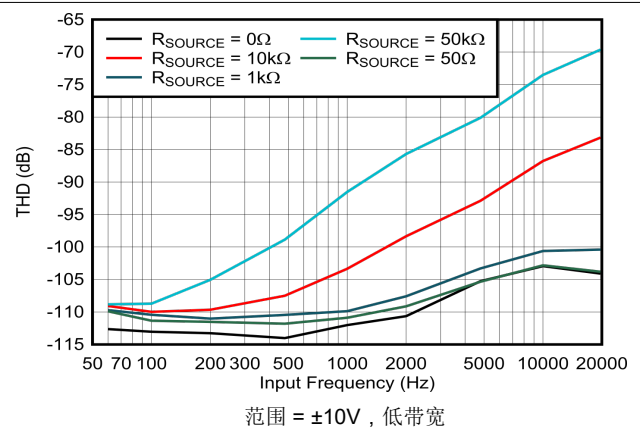


图 6-28. 不同外部源阻抗下 THD 与输入频率间的关系

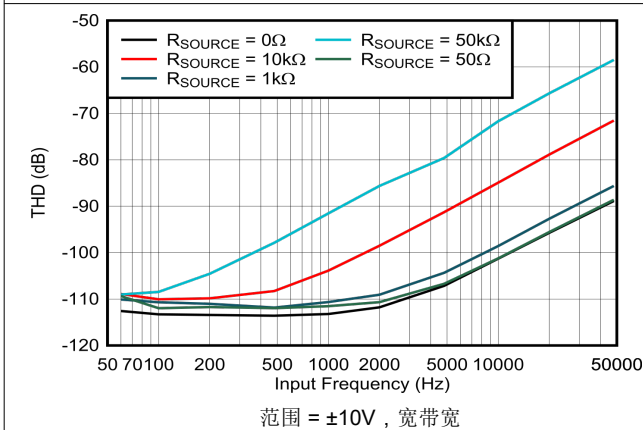


图 6-29. 不同外部源阻抗下 THD 与输入频率间的关系

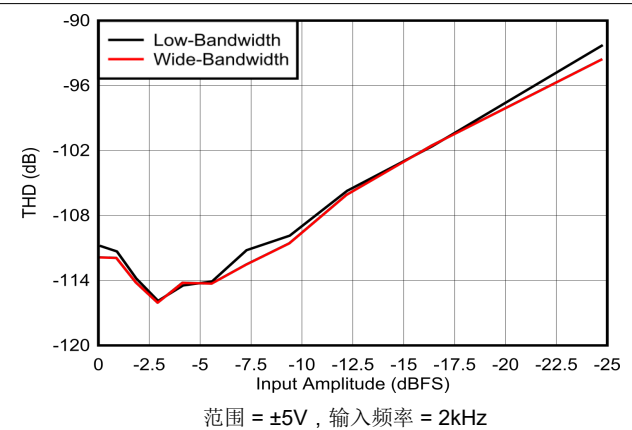


图 6-30. THD 与输入幅度间的关系

6 典型特性 (续)

$T_A = 25^\circ\text{C}$, $AVDD_{5V} = 5V$, $AVDD_{1V8} = 1.8V$, $IOVDD = 1.8V$, 内部 $V_{REF} = 4.096V$, 单端, 最大吞吐量 (除非另有说明)

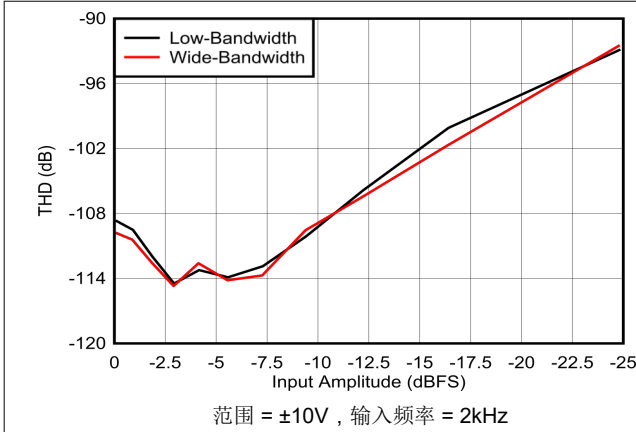


图 6-31. THD 与输入幅度间的关系

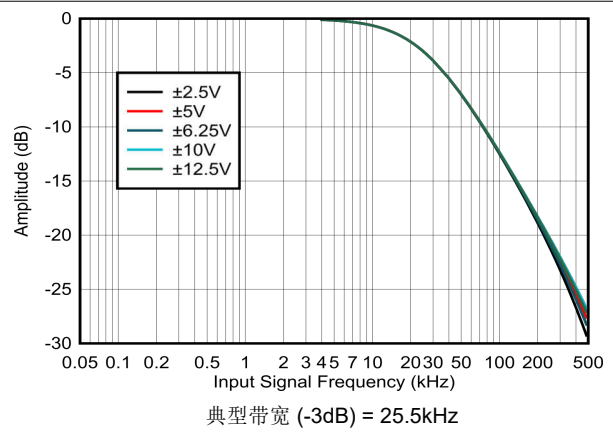


图 6-32. 输入范围内的低带宽 LPF 频率响应

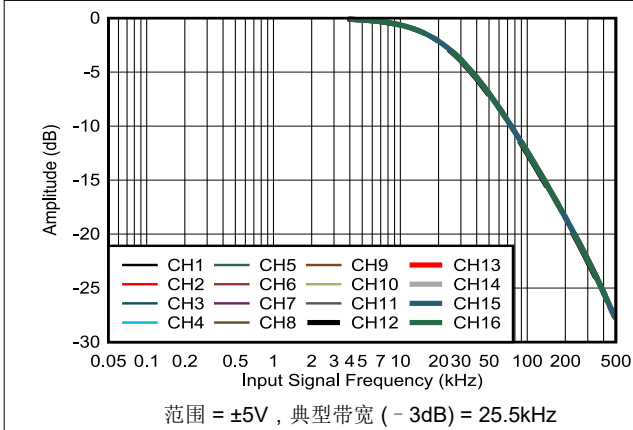


图 6-33. 输入通道上的低带宽 LPF 频率响应

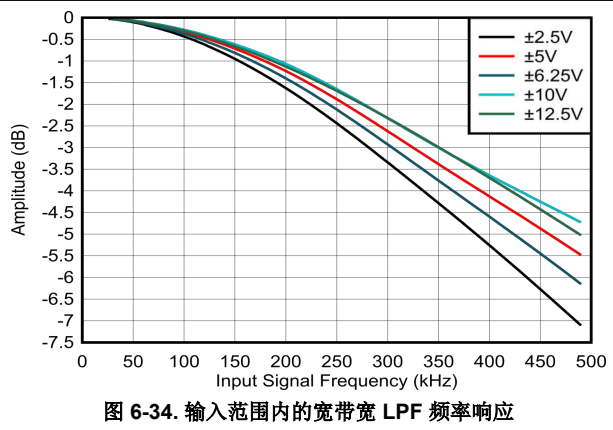


图 6-34. 输入范围内的宽带宽 LPF 频率响应

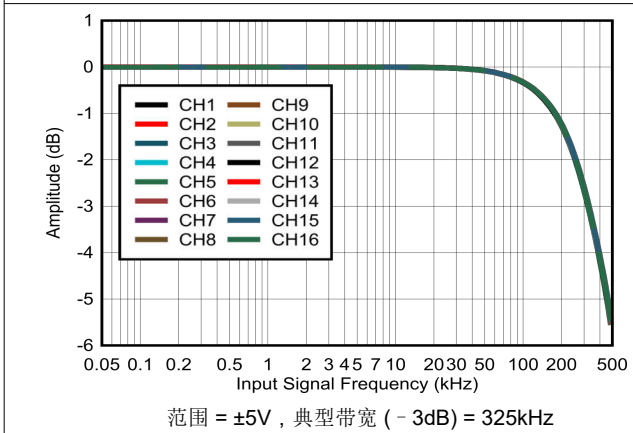


图 6-35. 输入通道上的宽带宽 LPF 频率响应

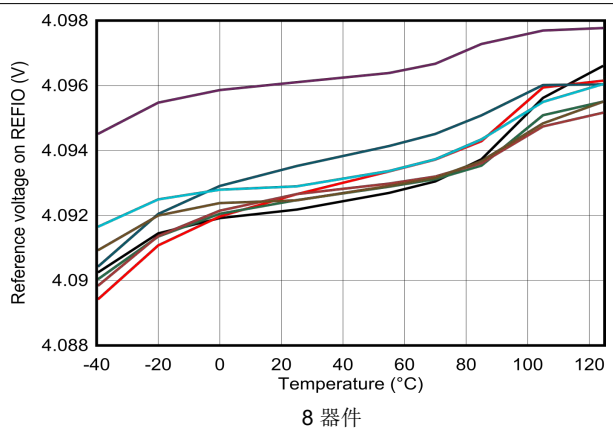
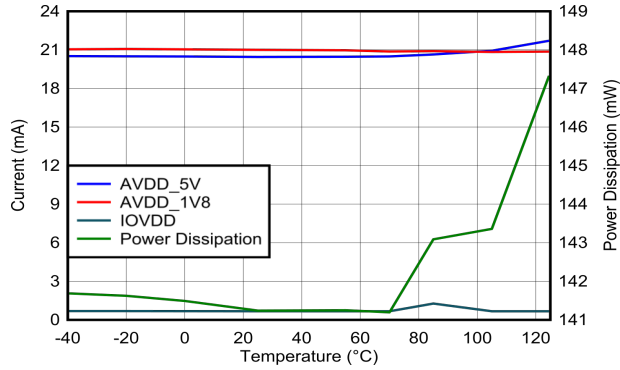


图 6-36. REFIO 与温度间的关系

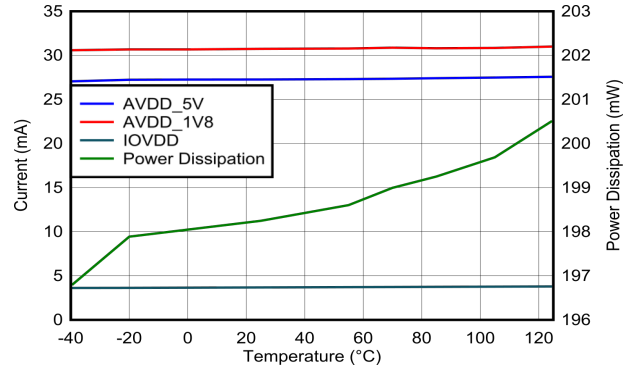
6 典型特性 (续)

$T_A = 25^\circ\text{C}$, $AVDD_5V = 5V$, $AVDD_1V8 = 1.8V$, $IOVDD = 1.8V$, 内部 $V_{REF} = 4.096V$, 单端, 最大吞吐量 (除非另有说明)



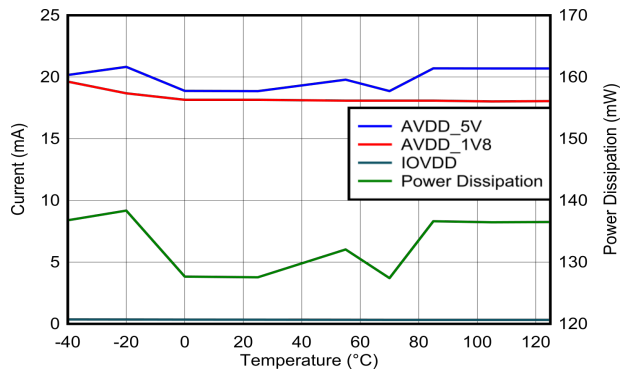
ADC 转换正在进行, $CONVST = 100\text{kSPS}$,
 $IOVDD = 1.8V$, $\overline{CS} = \text{低电平}$, $SCLK = 50\text{MHz}$

图 6-37. 电源电流和总功率损耗与温度间的关系



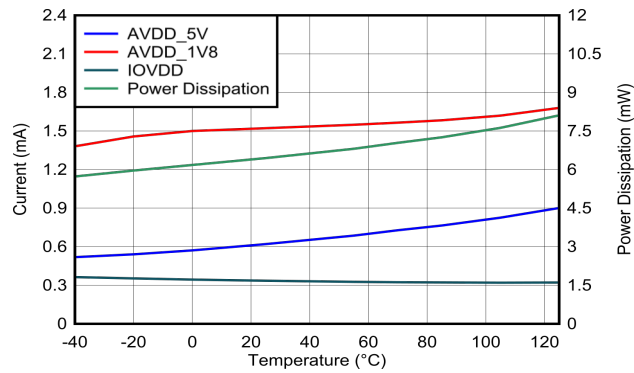
ADC 转换正在进行, $CONVST = 1\text{MSPS}$,
 $IOVDD = 1.8V$, $\overline{CS} = \text{低电平}$, $SCLK = 50\text{MHz}$

图 6-38. 电源电流和总功率损耗与温度间的关系



ADC 空闲, $DEVICE_PDN = 0$,
 $CONVST = \text{低电平}$, $IOVDD = 1.8V$

图 6-39. 电源电流和总功率损耗与温度间的关系



待机模式, $DEVICE_PDN = 1$,
 $CONVST = \text{低电平}$, $IOVDD = 1.8V$

图 6-40. 电源电流和总功率损耗与温度间的关系

7 详细说明

7.1 概述

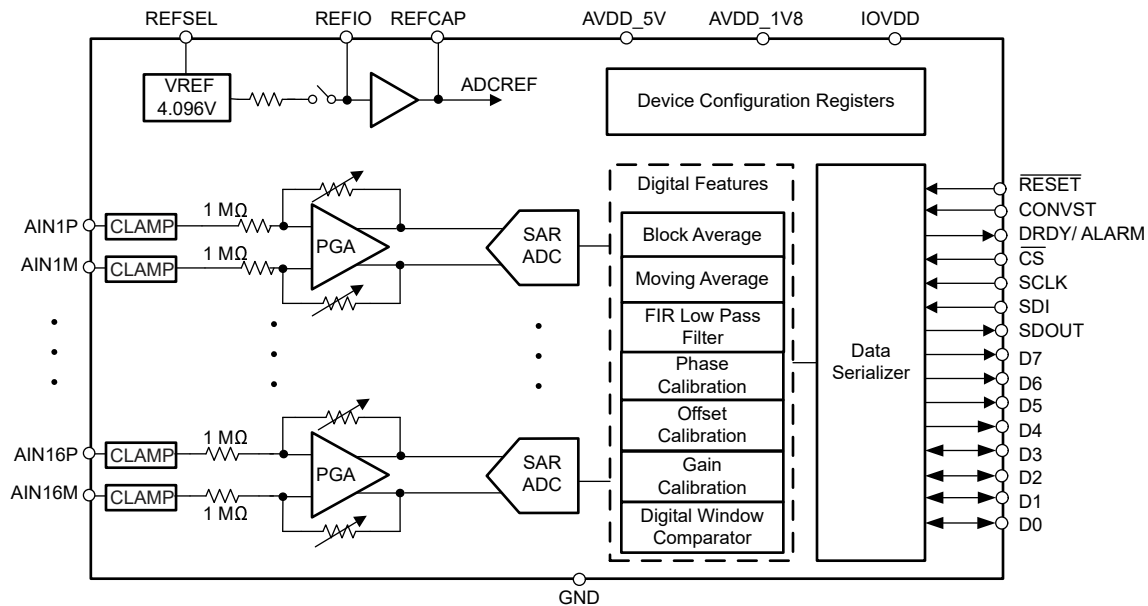
ADS9324 是一款 16 位同步采样数据采集 (DAQ) 系统, 具有十六个可配置为单端或差分的模拟输入通道。每个模拟输入通道都包含一个输入钳位保护电路和一个具有用户可选带宽选项的可编程增益放大器 (PGA)。根据逐次逼近寄存器 (SAR) 架构, 输入信号通过 16 位模数转换器 (ADC) 进行数字化。对于所有通道, 此整体系统可实现每通道 1MSPS 的最大吞吐量。该器件具有一个 4.096V 内部精密基准以及一个用于驱动 ADC 的缓冲器。

此器件由 5V 和 1.8V 模拟电源供电运行, 并且可适应真实双极输入信号。该器件提供了一个 $1\text{M}\Omega$ 的恒定阻性输入阻抗 (无论采样频率或所选输入范围为何)。ADS9324 提供了一种简化的终端设计, 无需外部放大器、高电压双极电源和复杂的驱动器电路。该器件同时支持差分 and 单端输入, 因此可用于各种传感器输出。对于单端输入, 它包括开路安全模式, 如果传感器突然与 ADC 输入断开连接, 这会导致 ADC 输出代码接近零。

ADS9324 上的每个通道都包含可选的数字滤波器, 用于改善 ADC 的噪声性能。数字滤波器支持块平均值、移动平均值和低通 FIR 模式。ADS9324 还包含偏移、增益和相位校准功能, 可对其进行编程以针对测量的偏移、增益和相位误差自动调整 ADC 输出。该器件包括一个 ADC 校准 (ADC_CAL) 模块, 用于校准 ADC 误差并减少通道间偏移和增益误差匹配。当用户不执行任何系统级校准并要求在上电时具有低 ADC 偏移和增益误差时, ADC_CAL 功能非常有用。

ADS9324 包括一个灵活的数字接口, 使其可以与各种主机控制器配合使用。用户可以配置串行接口, 以在单通道、双通道、4 通道和 8 通道上读取 ADC 输出。该器件还可灵活地将 ADC 用作双通道、4 通道、8 通道和 16 通道同步采样 ADC。还提供了 ADC 输出随机数发生器功能, 用于在 PCB 布局未能更大限度地减少接地反弹时, 尽可能地减少数据传输与 ADC 模拟性能之间的干扰。

7.2 功能方框图



7.3 特性说明

7.3.1 模拟输入

ADS9324 整合了十六个同步采样 16 位逐次逼近寄存器 (SAR) 模数转换器 (ADC)。该器件共有十六个模拟输入对。ADC 将模拟输入对 AINnP - AINnM 之间的电压差数字化。图 7-1 展示了每个模拟输入通道的简化电路原理图，包括输入钳位保护电路、带可选低通滤波器的 PGA 和 16 位精密 SAR ADC。

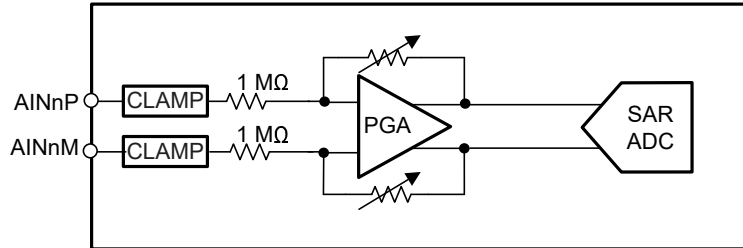


图 7-1. 模拟输入通道的前端电路原理图

7.3.2 输入钳位保护电路

如图 7-1 所示，ADS9324 的十六个模拟输入通道上各有一个内部钳位保护电路。建议将外部保护电路用作二级保护方案，以保护器件。使用外部保护器件有助于防止浪涌、静电放电 (ESD) 和电气快速瞬变 (EFT) 情况。

ADS9324 允许每个模拟输入摆动至最大电压 $\pm 18V$ 。在过压情况下，随着输入电压最高增至 $\pm 105V$ 的钳位电压，输入电流线性增大。图 7-2 展示了输入钳位的典型电流与电压关系特性曲线。超过此电压后，输入钳位电路开启，电流呈指数增大。

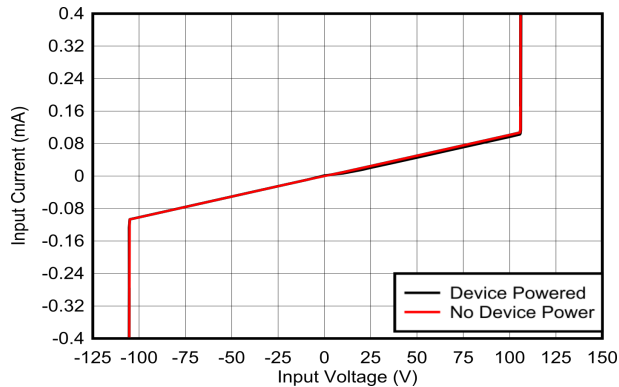


图 7-2. 输入钳位保护曲线：输入电流与输入电压间的关系

当输入电压超过 $\pm 18V$ 的最大输入电压时，确保输入电流不超过 $\pm 10mA$ 的绝对最大额定值（参阅表 5.1），以防止对器件造成任何损坏。图 7-3 显示与模拟输入串联的小型串联电阻器是限制输入电流的有效方法。除了限制输入电流之外，该电阻器与电容器耦合时还可以提供抗混叠低通滤波器。为保持系统的直流精度，将 AINnP 输入引脚上的外部源阻抗与 AINnM 引脚上的等效电阻相匹配。这种匹配有助于消除外部电阻引起的任何额外的失调电压误差。

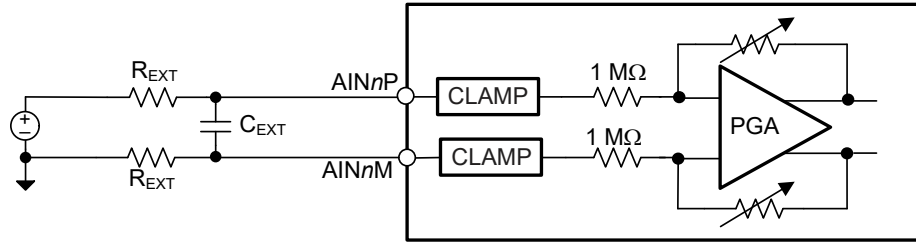


图 7-3. 匹配器件模拟输入端的输入电阻器

ADS9324 上的输入过压保护钳位用于控制输入引脚上的瞬态偏移。不建议在正常或断电模式下让器件长时间保持在钳位电路激活的状态，因为这种故障情况会降低器件性能和可靠性。

7.3.3 模拟输入阻抗

器件中的每个模拟输入通道在 $AINnP$ 和 $AINnM$ 引脚上都存在 $1M\Omega$ 的输入电阻。每个通道的输入电阻与输入信号频率、ADC 的配置范围或过采样模式无关。此类高阻抗输入的主要优势是，无需驱动具有低输出阻抗的放大器即可轻松驱动 ADC 输入。系统中不需要双极高压电源，因为该 ADC 不需要任何高压前端驱动器。在大多数应用中，信号源或传感器输出可直接连接到 ADC 输入，从而显著简化信号链设计。

为保持系统的直流精度，需要将 $AINnP$ 输入引脚上的外部源阻抗与 $AINnM$ 引脚上的等效电阻相匹配（参阅图 7-3）。这种匹配有助于消除外部电阻引起的任何额外的失调电压误差。

7.3.4 可编程增益放大器 (PGA)

ADS93x4 的每个模拟输入通道都有一个可编程增益放大器 (PGA)。PGA 同时支持具有双极信号摆幅的单端和差分输入。在差分输入模式下，ADS93x4 可以接受 $\pm 12.5V$ 的最大共模电压。在信号端模式下，支持的最大共模电压为 $\pm \frac{RANGE}{2}$ 。表 7-1 列出了支持的模拟输入范围。使用 `PGA_CONFIG_AINx` 寄存器中的 `INPUT_RANGE_AINn[2:0]` 寄存器字段为每个通道独立配置模拟输入范围。

每个模拟输入通道在 PGA 输出端都有一个抗混叠低通滤波器 (LPF)。表 7-2 列出了 ADS9324 中与模拟输入范围对应的各种可编程 LPF 选项。下图展示了低带宽和宽带宽 LPF 配置的频率响应。使用 `PGA_BW_SEL_AINn` 寄存器中的 `PGA_SEL` 位字段为每个模拟输入通道选择模拟输入带宽。默认情况下，所有 PGA 都处于低带宽模式。

表 7-1. 模拟输入范围

输入类型	范围	INPUT_RANGE_AINx	CM_RANGE_AINx
单端	$\pm 12.5V$	5	5
单端	$\pm 10V$	4	5
单端	$\pm 6.25V$	3	5
单端	$\pm 5V$	0	5
单端	$\pm 2.5V$	2	5
差分	$\pm 12.5V$	5	0
差分	$\pm 10V$	4	0
差分	$\pm 6.25V$	3	0
差分	$\pm 5V$	0	0
差分	$\pm 2.5V$	2	0
单端开路安全	$\pm 12.5V$	5	6
单端开路安全	$\pm 10V$	4	6
单端开路安全	$\pm 6.25V$	3	6
单端开路安全	$\pm 5V$	0	6
单端开路安全	$\pm 2.5V$	2	6

表 7-2. 低通滤波器转角频率

LPF	PGA_BW_SEL_AINn	模拟输入范围	转角频率 (-3dB)
低带宽	0	所有输入范围	25.5kHz
宽带宽	1	±2.5V	280kHz
		±5V	325kHz
		±6.25V	300kHz
		±10V、±12.5V	350kHz

7.3.5 ADC 传递函数

ADS9324 以直接二进制或二进制补码格式输出 16 转换数据。默认情况下，ADC 输出为二进制补码格式。对于直接二进制格式，将 EN_OFS_BINARY 设置为 1'b。所有模拟通道的输出代码格式均相同。图 7-4 展示了 ADS9324 的传递特性。

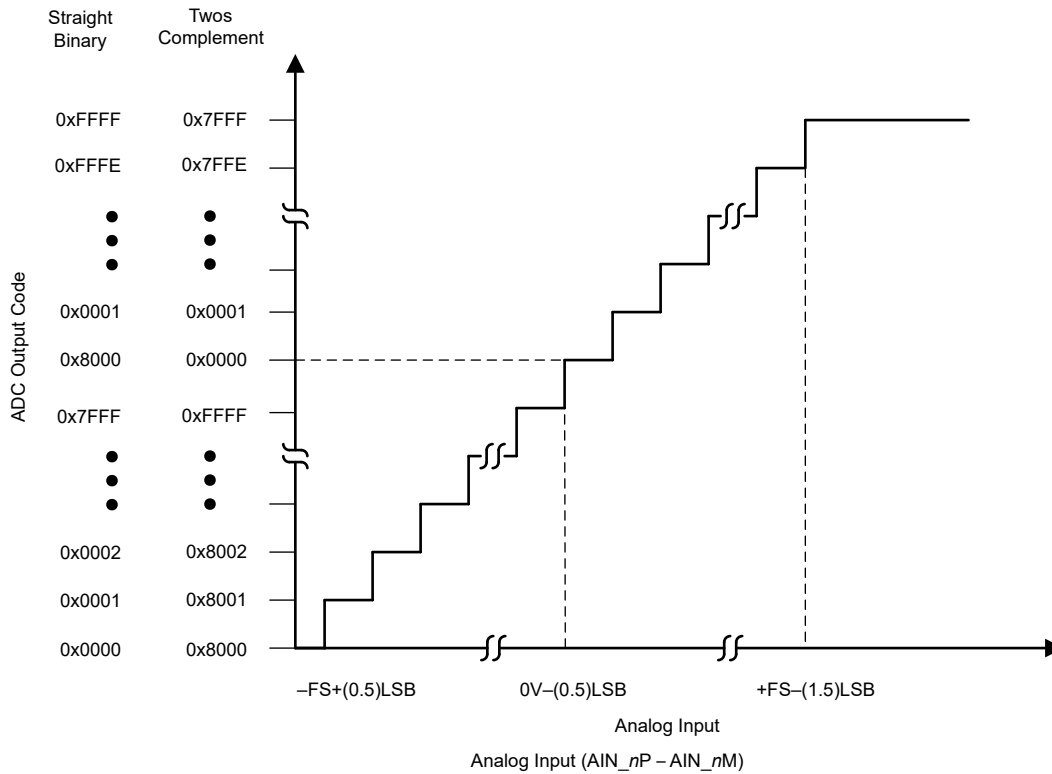


图 7-4. ADC 传递特性

7.3.6 参考

ADS93x4 器件内部具有一个精密的低漂移电压基准。为了获得出色性能，可通过将 4.7 μ F 陶瓷旁路电容器连接到 REFIO 引脚来过滤内部基准噪声，并在 REFCAPA 和 REFM 引脚之间以及在 REFCAPB 和 REFM 引脚之间直接连接 1 μ F 陶瓷电容器，如图 7-5 和图 7-6 所示。如表 7-3 中所述，上电时基准源由 REFSEL 引脚或 ADS93x4 通用寄存器组地址 0x10 中 REFSEL_CTRL 和 EXT_REF_EN 字段的值选择。

表 7-3. ADC 电压基准源选择

REFSEL 输入	REFSEL_CTRL_DIS	EXT_REF_EN	ADC 基准源
低	0b	X	使用 REFSEL 引脚选择 ADC 基准。REFIO 引脚上的外部基准。
高	0b	X	使用 REFSEL 引脚选择 ADC 基准。内部基准处于活动状态。
X	1b	0b	使用 0x10 寄存器中的 EXT_REF_EN 位字段选择 ADC 基准。内部基准处于活动状态。
X	1b	1b	使用 0x10 寄存器中的 EXT_REF_EN 位字段选择 ADC 基准。选择外部基准。强制使用 REFIO 引脚上的外部基准。

备注

1. 如果在外部基准运行中未应用外部基准，则器件进入断电模式。

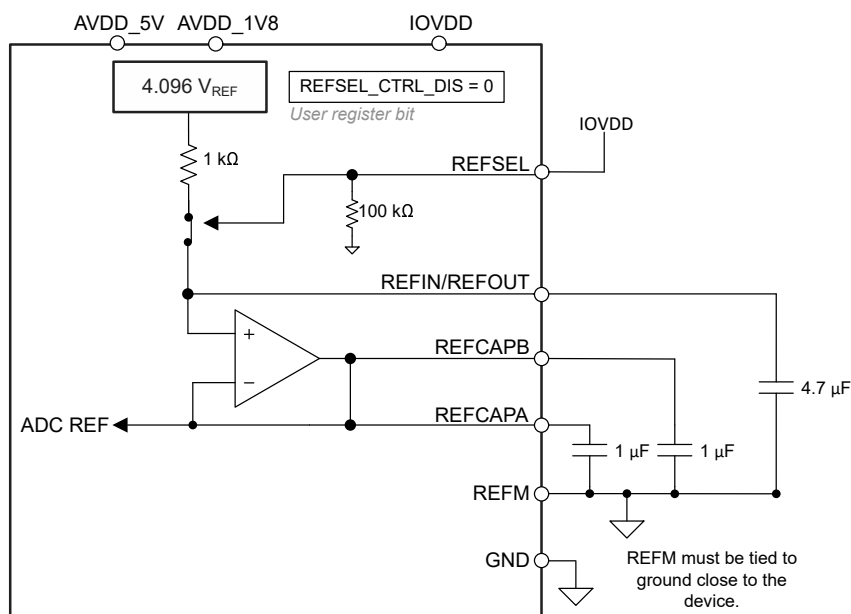


图 7-5. 内部基准电压

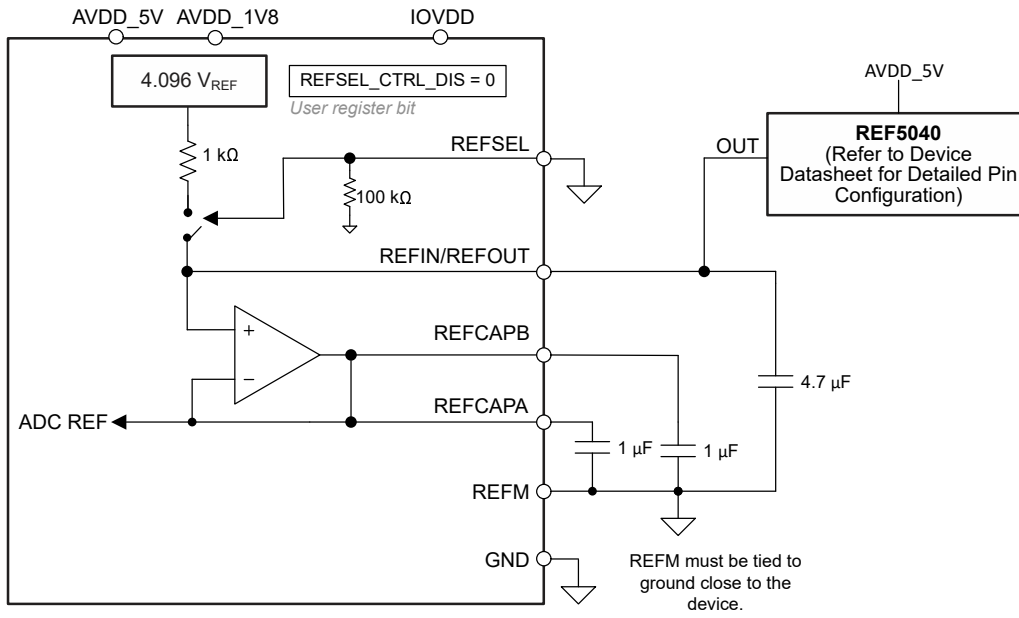


图 7-6. 外部基准电压

7.3.7 开路安全模式

ADS9324 设计用于处理开路输入，不会产生错误的转换结果。当输入 AINnP 和 AINnM 都保持开路状态时，ADC 输出代码保持在 0V 参考代码的 ±16 LSB 范围内。在 AINnM 接地的单端条件下，需要一个下拉电阻器 (R_{PD})，以使 ADC 输出接近零代码，如图 7-7 所示。该器件中有三种输入模式：差分、单端和单端开路安全。当输入信号源悬空时，对于给定的下拉电阻，开路安全模式产生的 ADC 输出变化最小，请参阅表 7-4。要在开路安全模式下配置模拟输入，请将 CM_RANGE_AINn 设置为 110b。

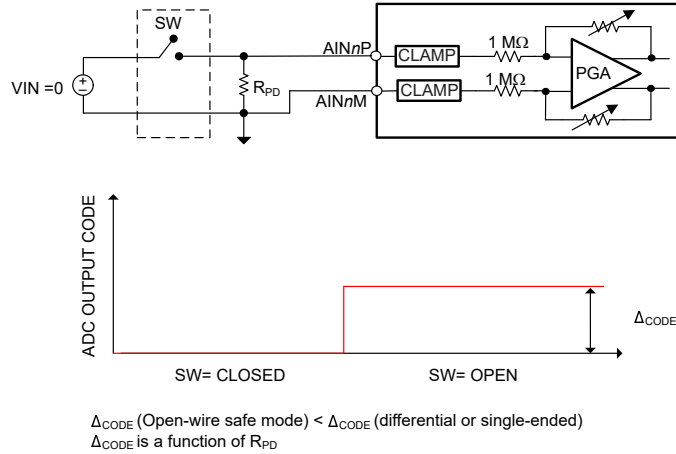
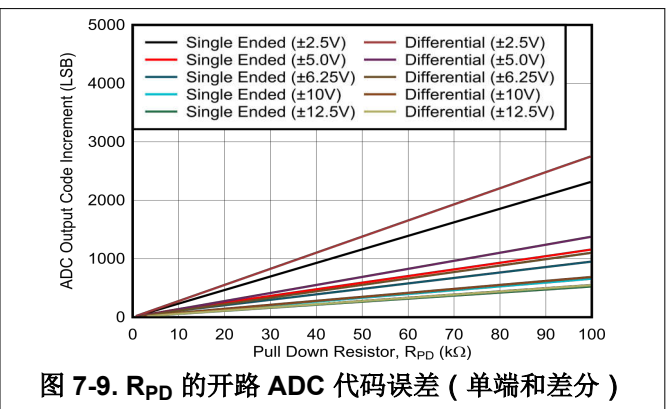
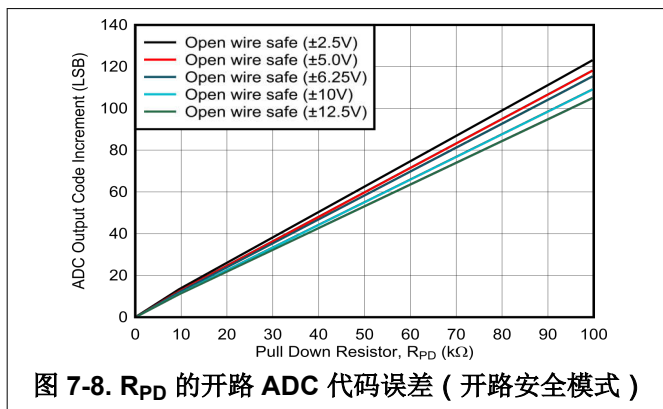


图 7-7. 开路安全模式

表 7-4. R_{PD} 和偏移增量 (范围 = ±10V、±5V)

R _{PD} (kΩ)	Δ_{CODE} 开路安全	Δ_{CODE} 单端
2.5	2 LSB ₁₆	15 LSB ₁₆
5	4 LSB ₁₆	30 LSB ₁₆
7.5	6 LSB ₁₆	45 LSB ₁₆
10	8 LSB ₁₆	60 LSB ₁₆
开路 (Hi-Z)	~0.18V (范围 = ±5V) ~0.36V (范围 = ±5V)	~ 1.89V (范围 = ±5V) ~ 2.10V (范围 = ±10V)

图 7-9 和图 7-8 展示了下拉电阻值变化时的 ADC 输出。



7.3.8 系统偏移校准

传感器上存在的任何偏移或由模拟输入引脚上使用的 R_{EXT} (请参阅图 7-3) 之间的失配引起的偏移误差都可以使用 ADS93x4 片上偏移校准功能进行补偿。偏移校准值是一个以二进制补码格式编码并添加到 ADC 转换数据中的 10 位值。偏移校准运算在增益校准运算之前。方程式 1 显示了偏移运算后的 ADC 输出代码, 表 7-5 显示了具有不同偏移校准寄存器值的 ADC 输出。默认情况下, 偏移校准已启用, 且 OFS_AINx 值为 000h。可以通过向 GEN_CFG5 寄存器中的 OFS_CAL_DIS 写入 1b 来禁用偏移校准。

$$\text{ADC Output Code} = \frac{(16\text{-bit ADC Conversion Result}) \times 4 + \text{OFS_AINx}}{4} \quad (1)$$

表 7-5. 偏移校准示例

OFS_AINx 寄存器代码	ADC 最终输出
1FFh	ADC 代码 + 127LSB ₁₆
100h	ADC 代码 + 64LSB ₁₆
001h	ADC 代码 + 0.25LSB
3FFh	ADC 代码 - 1LSB ₁₆
2FFh	ADC 代码 - 64LSB ₁₆
200h	ADC 代码 - 128LSB ₁₆

7.3.9 系统增益校准

在 ADC 的模拟输入端使用外部电阻器会产生系统增益误差, 可以使用 ADS93x4 器件内部的系统增益校准功能进行补偿。表 7-6 展示了增益校准值示例。可以通过向 GEN_CFG5 寄存器中的 GAN_CAL_DIS 写入 1b 来禁用增益校准。

$$\text{Gain Correction Applied} = \frac{(\text{Gain Register Value})}{65536} \quad (2)$$

$$\text{Gain Register Value} = \frac{(\text{Actual Code} - \text{ADC code})}{\text{ADC Code}} \times 65536 ; \text{ For } 2\text{'s complement} \quad (3)$$

$$\text{Gain Register Value} = \frac{(\text{Actual Code} - \text{ADC code})}{\text{ADC Code} - 32768} \times 65536 ; \text{ For offset binary} \quad (4)$$

表 7-6. 增益校准示例

GAN_AINx	应用的增益校正	ADC 最终输出 (二进制补码)
1FFFh	0.124985	ADC 代码 x 1.124985
0CCDh	0.050003	ADC 代码 x 1.05
0000h	0	ADC 代码 x 1.0
3333h	-0.050003	ADC 代码 x 0.949997
2000h	-0.124985	ADC 代码 x 0.875015

7.3.10 ADC 增益和偏移误差校准

ADS93x4 包含每个 ADC 通道的 ADC 校准模块 (ADC_CAL)。使用这种校准方法，可以校准因环境温度变化而导致的 ADC 增益和偏移误差的任何变化。当 ADC_CAL 运行时，外部输入信号与 ADC 断开，ADC 会等待 T_{WAIT} 时间以校准所有通道的增益和偏移误差 (请参阅图 7-10)。ADC 校准模块不会影响 AINnP 和 AINnM 输入引脚上的信号。在 T_{WAIT} 时 (请参阅表 7-7) 之后，ADC 会自动重新连接到 AINnP 和 AINnM 输入引脚。ADC_CAL 是可选功能，需要用户触发才能启动运行。如果用户正在使用片上系统增益和偏移误差功能或在主机中执行系统级偏移和增益校准，则不需要 ADC_CAL。当用户不执行任何系统级校准并要求在上电时具有低 ADC 偏移和增益误差时，ADC_CAL 功能非常有用。

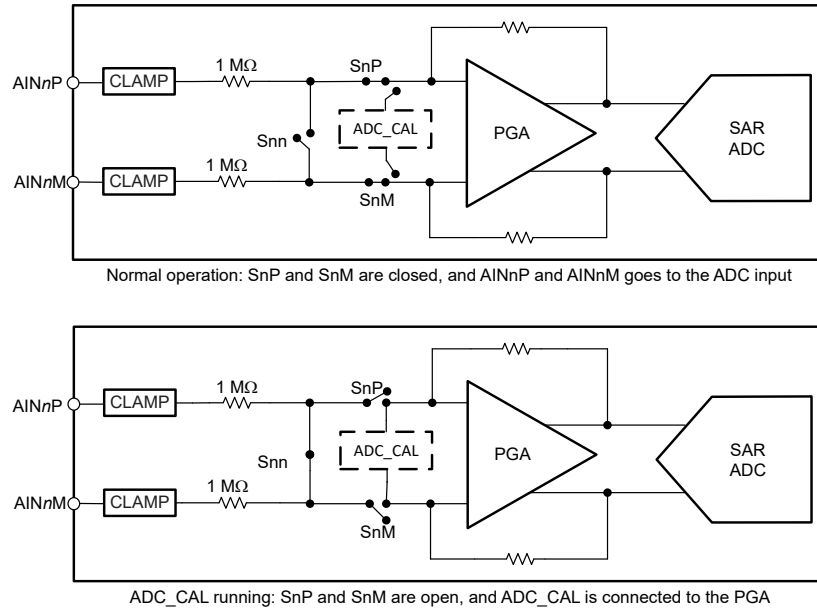
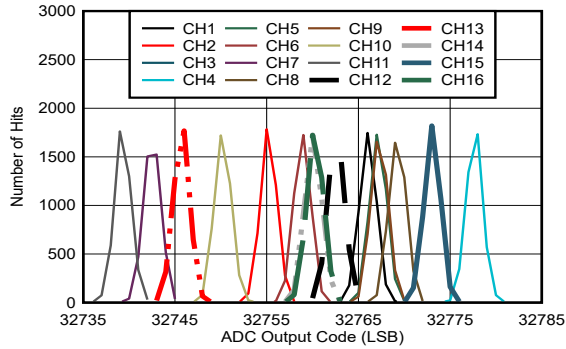


图 7-10. ADC_CAL 功能框图

表 7-7. ADC 校准时间 (T_{WAIT})

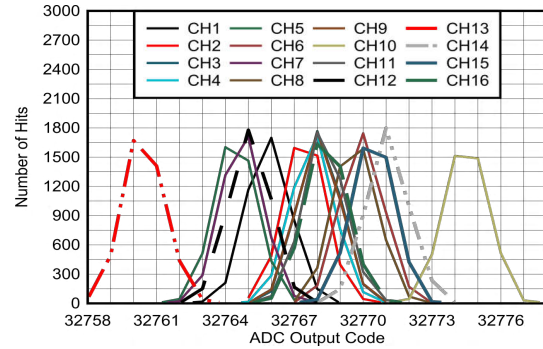
ADC_CAL 模式	INT_TRIG_MODE	T_{WAIT} 时间
自由运行 CONVST	0b	$100,000 \times t_{CONVST}$
单次	1b	125ms

图 7-11 和图 7-12 显示了在执行 ADC 校准前后输入对地短路时的 ADC 输出代码。通道间偏移误差从 $40LSB_{16}$ 降低到 $15LSB_{16}$ ，执行校准后偏移误差从 $\pm 30LSB_{16}$ 降低到 $\pm 8LSB_{16}$ 。



范围 = $\pm 5V$, 低带宽, 单端, $V_{IN} = 0V$,
通道间偏移失配 = $40LSB_{16}$,
偏移误差 = $\pm 30LSB_{16}$

图 7-11. ADC 校准前的偏移误差



范围 = $\pm 5V$, 低带宽, 单端, $V_{IN} = 0V$,
通道间偏移失配 = $15LSB_{16}$,
偏移误差 = $\pm 8LSB_{16}$

图 7-12. ADC 校准后的偏移误差

使用 ADS93x4 通用寄存器组中的 ADC_CAL 寄存器配置 ADC 校准块。在运行 ADC 校准模块之前, 如果需要, 请启用共模误差校正功能, 并禁用数字滤波器。默认情况下, 数字滤波器已禁用。ADC 校准模块需要用户提供模拟输入配置。根据单端或差分模拟模式, 更新 ADC_CAL 寄存器中的 SE_DIFF_MODE_AIN9_16 和 SE_DIFF_MODE_AIN1_8 位字段。有关运行 ADC 增益和偏移误差校准模块所需的步骤, 请参阅下文。

ADC 校准 (单次模式) :

1. 将 INT_TRIG_MODE 设置为 1b。
2. ADC 校准模块支持三种校准模式: 偏移校准、增益校准以及偏移和增益校准。对于仅偏移校准、仅增益校准以及偏移和增益校准, 分别将 ADC_CAL_MODE 位字段更新为 01b、10b 和 11b。向 ADC_CAL_MODE 写入 00b 会禁用自动校准块以及应用于 ADC 数据输出的校准值。如果使用 ADC 校准功能, 请确保将该字段设置为 01b、10b 或 11b。
3. 将 0b 写入为 1b, 以实现 ADC_CAL_TRIG 位的上升沿转换。
4. 等待 $10\mu s$ 。
5. 将 ADC_CAL_TRIG 位写入为 0b。
6. 向器件发送单个时钟脉冲。必须提供至少一个下降沿。如果时钟空闲状态为低电平, 则器件需要一个从低电平到高电平的脉冲序列。CONVST 的结束状态必须为高电平。
7. 等待 125ms。或者, 用户可以读取 CALIB_BUSY 标志状态, 以确定校准何时完成。
8. 现在, 用户可以使 ADC 正常运行。

使用连续 CONVST 信号进行 ADC 校准: 如果 INT_TRIG_MODE 编程为 0b, 请使用以下编程序列配置 ADC_CAL 块。

1. 确保为 ADC 提供了一个自由运行 CONVST 时钟。
2. ADC 校准模块支持三种校准模式: 仅偏移校准、仅增益校准以及偏移和增益校准。对于仅偏移校准、仅增益校准以及偏移和增益校准, 分别将 ADC_CAL_MODE 位字段更新为 01b、10b 和 11b。向 ADC_CAL_MODE 写入 00b 会禁用自动校准块以及应用于 ADC 数据输出的校准值。如果使用 ADC 校准功能, 请确保将该字段设置为 01b、10b 或 11b。
3. 将 0b 写入为 1b, 以实现 ADC_CAL_TRIG 位的上升沿转换。
4. 确保至少有一个 t_{CONVST} 延迟时间。
5. 将 ADC_CAL_TRIG 位写入为 0b。
6. 等待 100,000 个 CONVST 时钟周期。对于 1MHz CONVST, 所需的等待时间为 100ms。
7. 现在, 用户可以使 ADC 正常运行。

7.3.11 数字滤波器

ADS93x4 包括四个数字滤波器选项，如图 7-13 中所示。一次仅选择一个滤波器路径，并将其应用于所有通道。使用 ADS93x4 通用寄存器组中的 DIG_FILTER 寄存器选择数字滤波器。

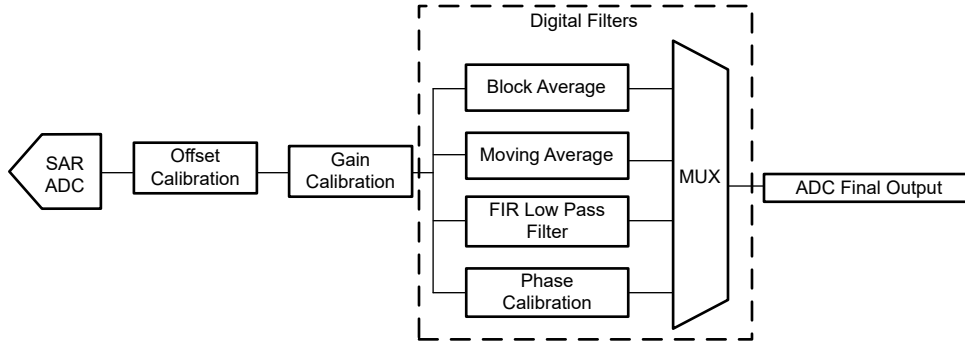


图 7-13. ADC 输出数据路径

7.3.11.1 系统相位校准

可以使用器件内部的相位校准功能按每个通道来补偿通道之间的相位不匹配。相位校准利用数字延迟完成，并且 CONVST 为 1MSPS 时的最小分辨率为 1μs。使用 AIN1 - AIN8 通道和 AIN9 - AIN16 通道寄存器组中的 PHASE_DELAY_AINx 寄存器中的 8 位字段引入相位延迟。方程式 5 用于计算相位校准值。

$$\text{Phase Calibration Applied} = \frac{\text{PHASE_DELAY_AINx}}{\text{ADC Sampling Frequency}} \quad (5)$$

相位校准滤波器配置：

1. 使用 方程式 5 计算 PHASE_DELAY_AINx 字段值。
2. 对相应通道的 PHASE_DELAY_AINx 寄存器进行编程。
3. 将 DIG_FILTER 寄存器中的 PHASE_DELAY_EN 位设置为 1b。
4. 在 DIGITAL_FILTER 寄存器中的 DIGITAL_FILT_SYSREF 位字段上写入 0b 至 1b。确保至少有一个 t_{CONVST} 延时时间，然后将 DIGITAL_FILT_SYSREF 位写入 0b，如图 7-14 所示。

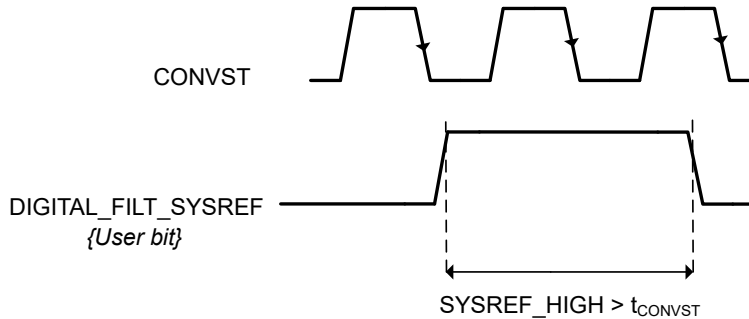
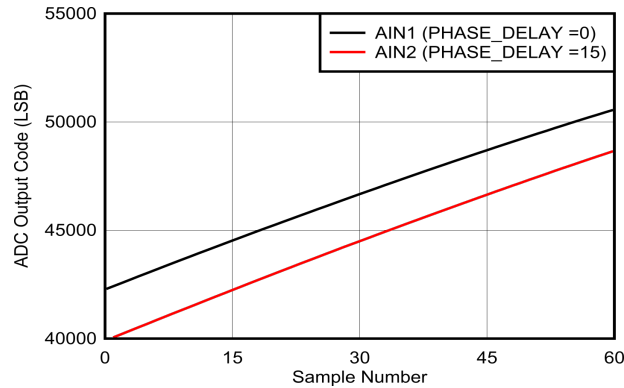


图 7-14. 数字滤波器 SYSREF 和 CONVST



在 AIN1 和 AIN2 上施加相同的输入信号

图 7-15. 相位调整示例

7.3.11.2 块平均滤波器

ADS9324 具有可选的块均值数字滤波器，该滤波器可在吞吐量较低且要求较低噪声和较高动态范围的应用中使用。ADC 的总吞吐量随着块平均滤波器的过采样率增加而成比例降低。过采样可以使用外部或内部过采样时钟完成，如图 7-16 和图 7-17 所示。默认情况下，过采样使用外部时钟，ADC 会在 CONVST 时钟的下降沿对每个通道进行采样，然后报告平均值。在外部时钟过采样中，输入信号以固定间隔进行采样，从而提供出色的抗混叠性能。使用 ADS9324 的片上数字滤波器之前，初始化 GEN_CFG5 寄存器字段。首先，将 GEN_CFG5 寄存器中的 AVG_MODE_OVR_EN 位字段设置为 1b。然后，将 GEN_CFG5 寄存器中的 AVG_MODE 位字段设置为 1b。

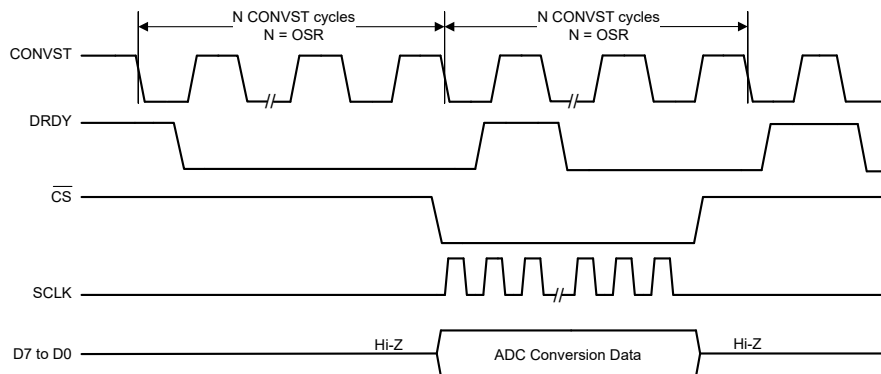


图 7-16. 外部过采样时钟

在内部过采样时钟模式下，ADC 会在第一个 CONVST 下降沿后自动触发转换。要使用内部过采样时钟模式，请将 ADS93x4 通用寄存器组中 DIG_FILTER 寄存器的 INT_TRIG_MODE 位设置为 1b。为了使过采样滤波器正常工作，需要在 DIGITAL_FILTER 寄存器的 DIGITAL_FILT_SYSREF 位字段上进行 0b 到 1b 的上升沿转换（请参阅图 7-14）。

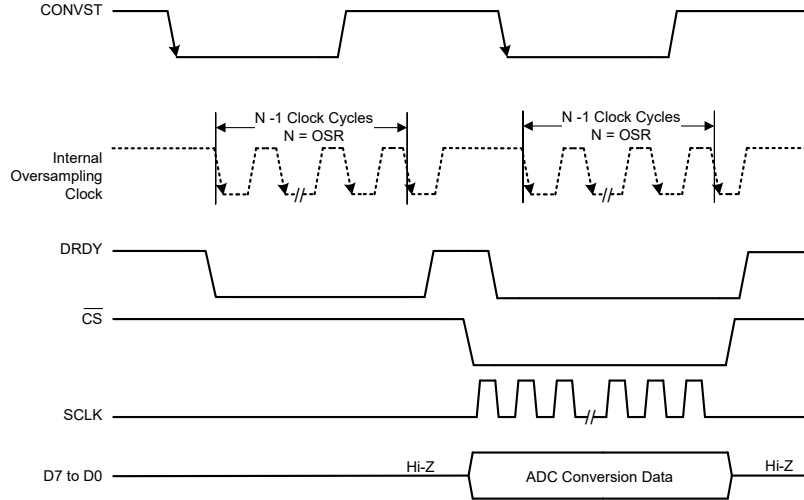


图 7-17. 内部过采样时钟

表 7-8. SNR 与过采样率间的关系

过采样率	SNR (范围 = ± 5V)	最大输出数据速率
未进行平均值计算	87.5dB	1MSPS
2	89.5dB	500kSPS
4	91.2dB	250kSPS
8	92.7dB	125kSPS
16	94dB	62.5kSPS
32	96.7dB	31.25kSPS
64	99.1dB	15.625kSPS
128	101.6dB	7.8125kSPS

7.3.11.3 移动平均滤波器

ADS9324 的每个通道都有一个可编程的简单移动平均滤波器。移动有助于降低随机白噪声，同时保持尽可能灵敏的阶跃响应。可以使用 `DIGITAL_FILTER` 寄存器中的 `MVG_AVG_LENGTH` 位字段来调整移动平均滤波器长度。移动平均滤波器的最大长度为 128。该频率用数学方法描述为方程式 6。图 7-18 展示了长度为 10 的移动平均滤波器频率响应。对移动平均滤波器进行编程和配置后，需要一个 `SYSREF` 脉冲以使滤波器正常工作。在 `DIGITAL_FILTER` 寄存器的 `DIGITAL_FILT_SYSREF` 位字段上将 `0b` 写入为 `1b` (请参阅图 7-14)。

$$H[f] = \frac{\sin(\pi f N)}{N \sin(\pi f)} \quad (6)$$

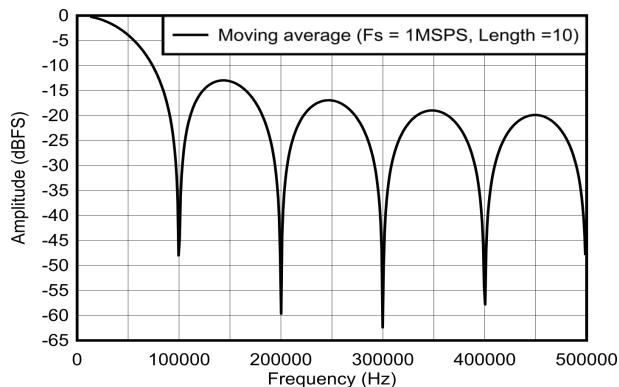


图 7-18. 移动平均值的频率响应 (长度 = 10)

7.3.11.4 低通 FIR 滤波器

每个模拟输入通道在 PGA 输出端都有一个用于抗混叠的集成低通滤波器 (LPF)。如果模拟低通滤波器提供的抗混叠能力不足，用户可以使用 ADS93x4 片上数字滤波器来实现所需的抗混叠效果。ADS93x4 片上数字滤波器对输入信号进行过采样，然后使用数字低通滤波器来衰减该信号上的高频噪声（请参阅图 7-19）。ADS9324 有六个可选择的低通 FIR 滤波器。可以使用 DIGITAL_FILTER 寄存器中的 FIR_FILTER_SEL 位字段来选择 FIR 滤波器，如表 7-9 所示。对数字滤波器进行编程后需要 SYSREF 脉冲。在 DIGITAL_FILTER 寄存器的 DIGITAL_FILTER_SYSREF 位字段上写入 0b 至 1b 转换（请参阅图 7-14）。

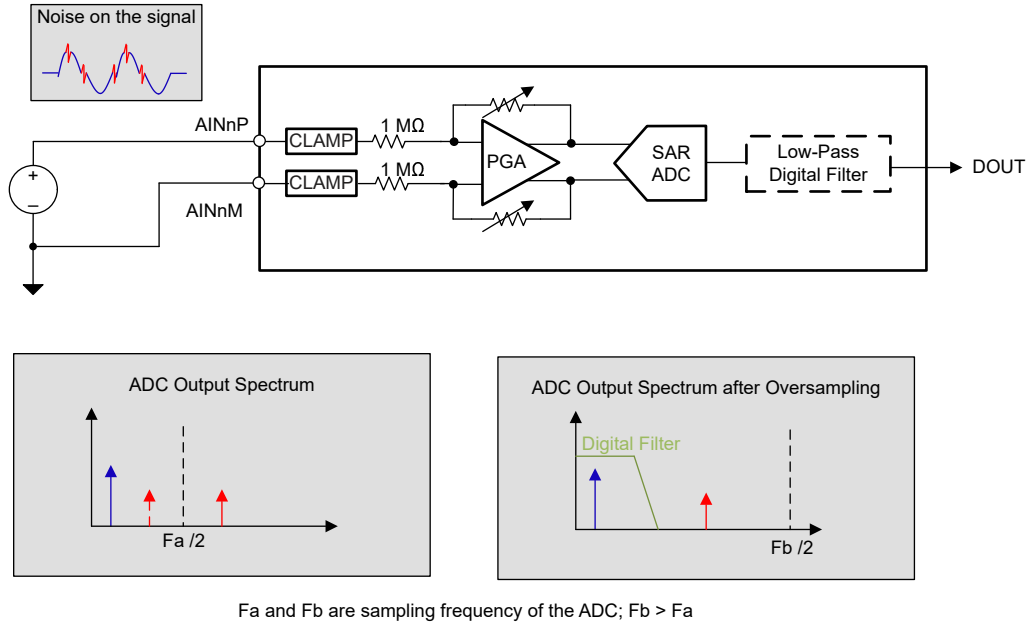


图 7-19. 使用低通数字滤波器实现抗混叠

表 7-9. 低通 FIR 滤波器选项

滤波器选项	FIR_FILTER_SEL	DECIMATION	-3dB 截止频率	群延迟 (T _{CONVST})
FIR1	001b	2	0.218 x F _{CONVST}	5
FIR2	010b	2	0.205 x F _{CONVST}	3
FIR3	011b	4	0.108 x F _{CONVST}	13
FIR4	100b	2	0.205 x F _{CONVST}	3
FIR5	101b	4	0.100 x F _{CONVST}	9
FIR7	111b	8	0.540 x F _{CONVST}	29

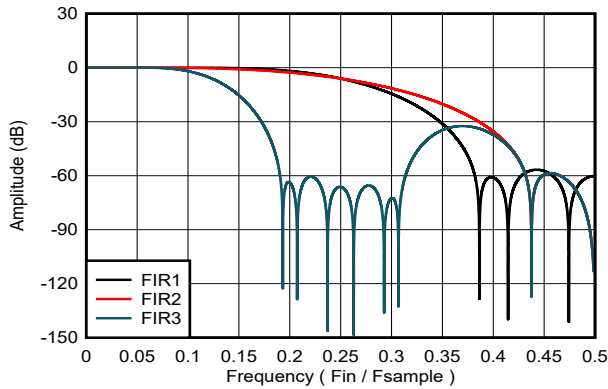


图 7-20. FIR1、FIR2 和 FIR3 滤波器频率响应

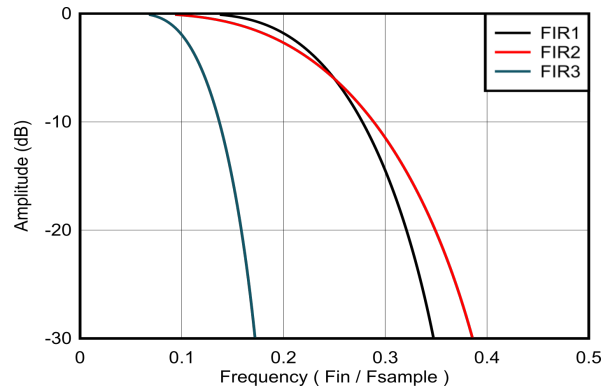


图 7-21. FIR1、FIR2 和 FIR3 滤波器频率响应，通带详细信息

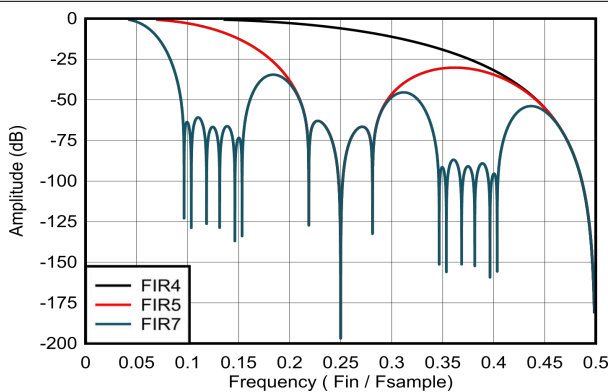


图 7-22. FIR4、FIR5 和 FIR7 滤波器频率响应

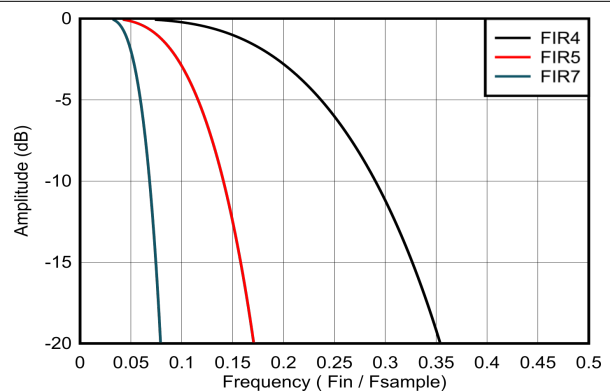


图 7-23. FIR4、FIR5 和 FIR7 滤波器频率响应，通带详细信息

7.3.12 数字窗口比较器

ADS93x4 的每个输入通道都有一个 8 位数字窗口比较器 (DWC)。图 7-24 显示了数字比较器的方框图。每个输入通道的低侧阈值、高侧阈值和迟滞参数都可以独立编程。默认情况下，迟滞为 0，高阈值为 127 (0x7F)，低阈值为 -128 (0x80)。当 ADC 输出超过高阈值或低于低阈值时，DWC 将 DWC 输出设置为高电平。迟滞字段是一个 8 位字段，用户可以将该字段设置为 0 至 255 的值。DWC 还在每个 DWC 内部包含一个毛刺抑制滤波器。毛刺抑制滤波器是一个 4 位计数器，如果 ADC 数据在连续若干 ADC 转换时钟内超过高阈值或低阈值，则会进行计数，然后在低电平和高电平比较器输出上置为高电平有效。毛刺抑制滤波器和用户 DWC 复位由 AIN1 至 AIN8 以及 AIN9 至 AIN16 通道组共用。DWC_RSTx 用户位上的上升沿转换会将数字窗口比较器标志复位。

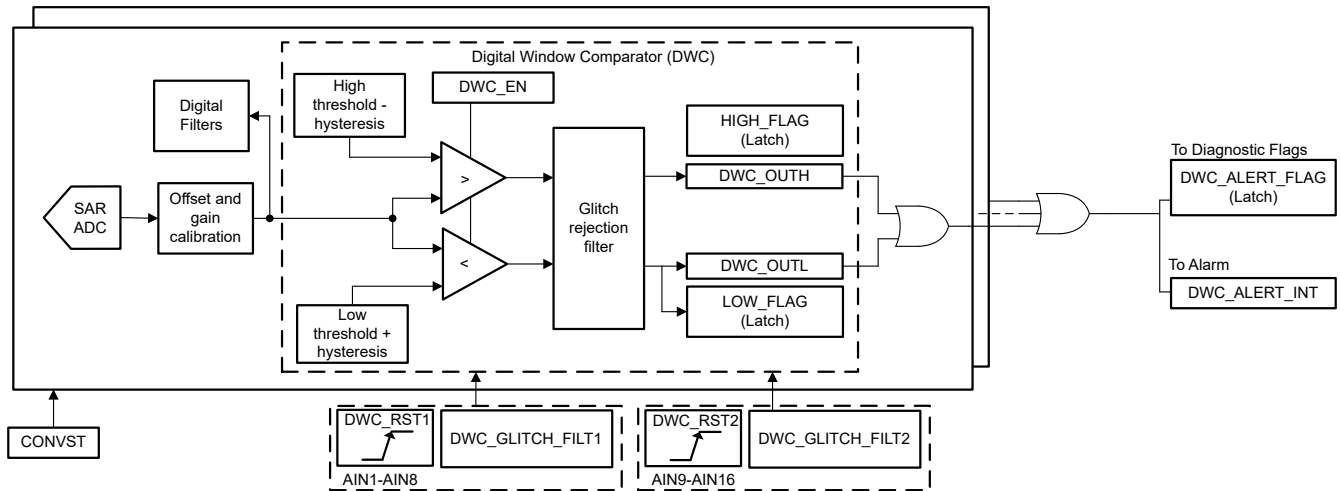


图 7-24. 数字窗口比较器功能方框图

要启用数字窗口比较器，请设置 AIN1 - AIN8 通道和 AIN9 - AIN16 通道寄存器组中 DWC_CFG 寄存器的 DWC_EN 位。可以使用 DWC_FLAG_AIN1_8 和 DWC_FLAG_AIN8_16 寄存器读取每个窗口比较器的高电平和低电平标志状态。默认情况下，毛刺抑制计数器设置为 0000'b。如果发生事件，毛刺抑制滤波器会在设置高电平和低电平标志之前计算违反高电平或低电平阈值的次数。DWC 还提供中断输出 DWC_ALERT_INT，它是高电平和低电平比较器的“或”运算输出。DWC_ALERT_INT 信号进入 ALARM 引脚，并可通过配置 ALARM 引脚作为 DRDY/ALARM 引脚上的输出提供 (请参阅节 7.3.13)。DWC_ALERT_INT 可以编程为基于电平的 (ALRM_TYP = 0b) 或脉冲输出 (ALRM_TYP = 1b)。通过将高或低阈值设置为最大值或最小值，可选择高或低警报中断信号。数字比较器的行为如图 7-25 所示。

- 如果只需要 HIGH_FLAG 或 HIGH_ALERT 信号，则将 LOW_TH_AINn 编程为 -128 (负最大值)。
- 如果只需要 LOW_FLAG 或 LOW_ALERT 信号，则将 HIGH_TH_AINn 编程为 127 (正最大值)。

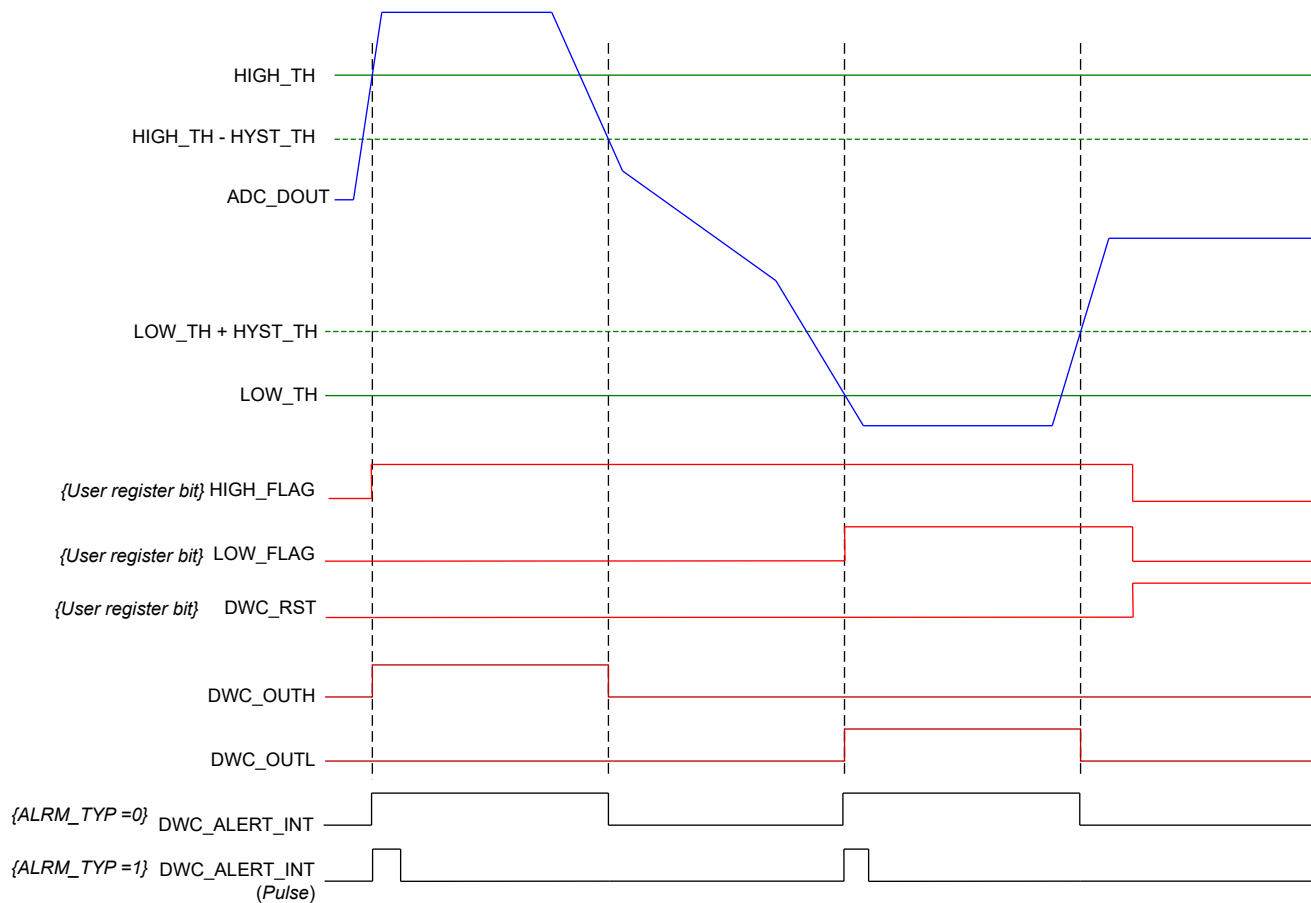


图 7-25. 数字窗口比较器行为

7.3.13 警报模式

ADS93x4 DRDY/ALARM 是一个多功能引脚，如图 7-26 中所示。用户可以对 DRDY/ALARM 引脚进行编程，以输出 DRDY、DWC_ALERT_INT 和 ADC_CAL_DONE 信号。默认情况下，DRDY/ALARM 作为 ADC 数据就绪引脚 DRDY 运行。表 7-10 显示了不同警报模式下的 ALARM_SEL 值。默认情况下 ALARM 是高电平有效引脚，可以通过将 ADS93x4 通用寄存器组的 DRDY_ALARM_SEL 寄存器中的 ALRM_POL 位字段设置为 1'b1 编程为低电平有效。默认情况下 DWC_ALERT_INT 是基于电平的中断，可以通过将 ALRM_TYP 设置为 1b 编程为基于脉冲的中断。脉冲模式仅适用于 DWC_INT 信号。

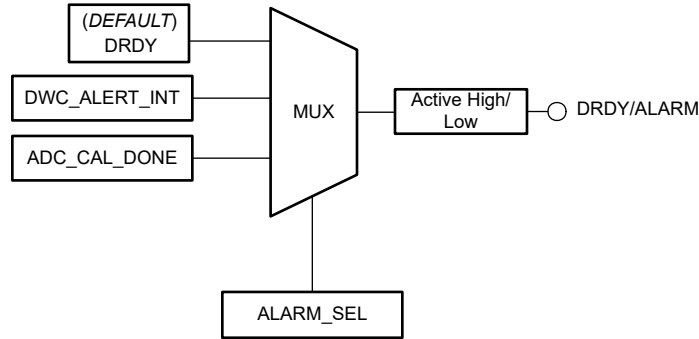


图 7-26. 警报功能框图

表 7-10. 警报模式

ALARM_SEL[3:0]	警报名称	说明
0000b	DRDY	ADC 转换完成中断
0001b	DWC_ALERT_INT	DWC 警报中断
0110b	ADC_CAL_DONE	ADC 校准完成

7.3.14 数据接口

ADS9324 支持单通道、双通道、4 通道和 8 通道模式数据读取串行接口。按照 表 7-11 中所述选择数据接口。ADC 支持 16 位和 24 位 ADC 数据长度。ADC 数据长度使用 GEN_CFG3 寄存器 (0x0A) 中的 DOUT_LENGTH[1:0] 字段进行配置。16 位 ADC 转换结果以 MSB 优先的方式在 24 位数据包中输出，当过采样被禁用时最后八位为零。

使用表 7-11 中的寄存器配置数据接口。

表 7-11. 数据接口模式的寄存器配置

接口模式	图表	DOUT_LANE_SEL[1:0] (地址 = 0x0A)	ADC_DATA_SDOUT_EN (地址 = 0x0A)
8 通道, D[7:0]	图 5-2	0	0
4 通道, D[7:4]	图 5-3	1	0
2 通道, D[7:6]	图 5-4	2	0
1 通道, D7	图 5-5	3	0
1 通道, SDOUT	图 5-5	3	1

7.3.14.1 ADC 通道模式

ADS93x4 包含一个数字功能，用于选择数据接口上的 ADC 通道数量。表 7-12 显示了器件中可能支持的组合。在所有模式下，首先传输最低的通道数量。图 7-27 展示了当 ADC_CH_SEL = 0xxb 时的 8 通道 ADC 数据读取模式。

表 7-12. ADC 通道模式

ADC_NUM_SEL	ADC_CH_SEL	报告的 ADC 通道	ADC 输出
00b (默认值)	xxxb	16 (默认值)	AIN1、AIN2、AIN3、AIN4、AIN5、AIN6、AIN7、AIN8、AIN9、AIN10、AIN11、AIN12、AIN13、AIN14、AIN15、AIN16
01b	0xxb	8	AIN1、AIN2、AIN3、AIN4、AIN13、AIN14、AIN15、AIN16
01b	1xxb	8	AIN5、AIN6、AIN7、AIN8、AIN9、AIN10、AIN11、AIN12
10b	00xb	4	AIN1、AIN2、AIN15、AIN16
10b	01xb	4	AIN3、AIN4、AIN13、AIN14
10b	10xb	4	AIN5、AIN6、AIN11、AIN12
10b	11xb	4	AIN7、AIN8、AIN9、AIN10
11b	000b	2	AIN1、AIN16
11b	001b	2	AIN2、AIN15
11b	010b	2	AIN3、AIN14
11b	011b	2	AIN4、AIN13
11b	100b	2	AIN5、AIN12
11b	101b	2	AIN6、AIN11
11b	110b	2	AIN7、AIN10
11b	111b	2	AIN8、AIN9



图 7-27. 8 通道 ADC 数据读取，ADC_NUM_SEL = 01b，ADC_CH_SEL = 0xxb



图 7-28. 8 通道 ADC 数据读取，ADC_NUM_SEL = 01b，ADC_CH_SEL = 1xxb

7.3.14.2 菊花链

图 7-29 显示了在菊花链拓扑中有两个器件的典型连接图。

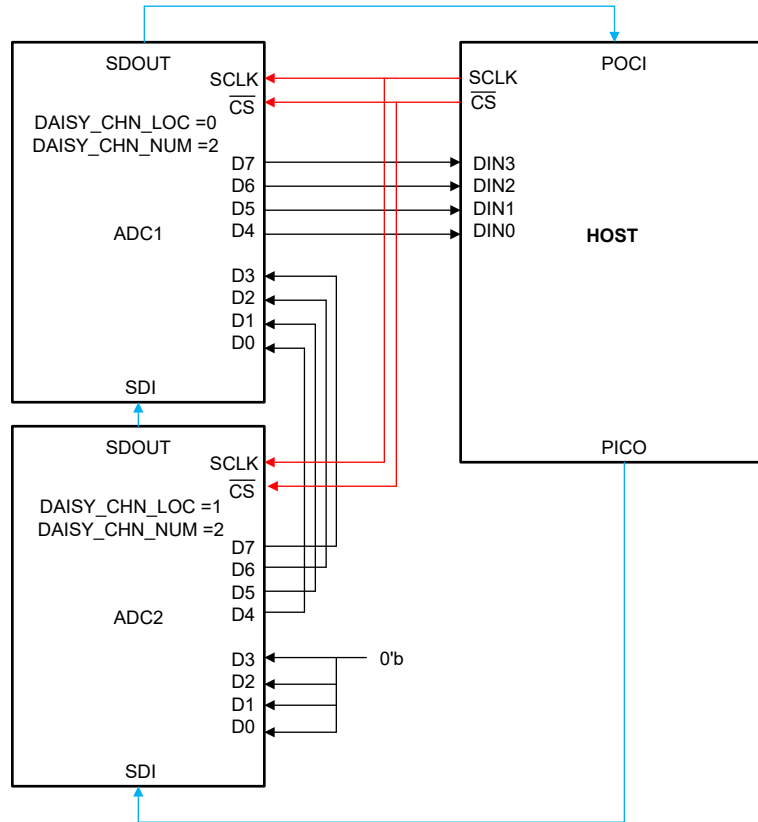


图 7-29. SPI 配置的菊花链连接

两种 ADC 的 \overline{CS} 输入和 SCLK 输入都连接在一起，分别由控制器的单个 \overline{CS} 引脚和 SCLK 引脚控制。链中的底部 ADC (ADC2) 的 SDI 输出引脚连接到控制器的外设 IN 控制器 OUT (PICO) 引脚。然后，ADC2 的 SDO 输出引脚连接到 ADC1 的 SDI 输入引脚。链中的顶部 ADC (ADC1) 的 SDO 输出引脚连接到控制器的外设 OUT 控制器 IN (POCI) 引脚。只要 \overline{CS} 处于活动状态，PICO 引脚上的数据就会以 32-SCLK 延迟通过 ADC1。不使用菊花链时，寄存器读取和写入需要 24-SCLK。在菊花链模式下，每个 ADC 器件的寄存器读取和写入需要 32-SCLK。SPI 命令的 MSB 用零填充。

ADS93x4 中的菊花链模式支持单通道、双通道和四通道数据传输。在单通道模式数据传输中，SDOUT 上的 ADC 数据不支持菊花链。下面是在菊花链配置中对 ADC 进行编程所需的寄存器配置。

1. 设置所有器件的 DAISY_CHN_NUM 和 DAISY_CHN_LOC 位字段。
2. 为所有器件设置通道数 DOUT_LANE_SEL。菊花链配置中的通道数只能是 4、2 和 1。
3. 将器件的 DAISY_CHN_EN 编程为 1b。

7.3.14.3 诊断标志

诊断标志状态是一个 8 位值，如表 7-13 所示。状态位可以与 ADC 数据输出一同报告，如图 7-30 所示。要启用诊断状态位，请将 GEN_CFG 寄存器中的 EN_STATUS_BITS 位字段设置为 1b。

表 7-13. DIAG_FLAG 位字段

DIAG_FLAG[7:0]	字段名称	说明
7	保留	保留
6	DWC_ALERT_FLAG	“或”运算输出所有数字比较器 ALERT_FLAG

表 7-13. DIAG_FLAG 位字段 (续)

DIAG_FLAG[7:0]	字段名称	说明
5	保留	保留
4	保留	保留
3	保留	保留
2	保留	保留
1	保留	保留
0	RESET_DETECT_FLAG	此位的复位值为 1b。ADC 上电后，用户将 RESET_DETECT_FLAG 编程为 0b。导致器件复位的任何毛刺都会将该位设置为 1b。

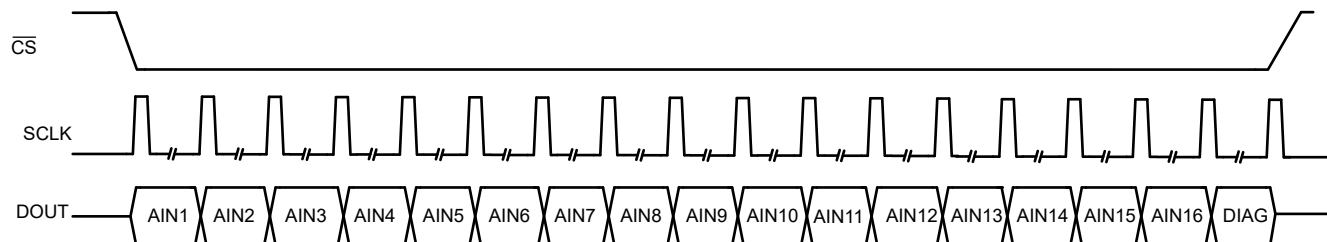


图 7-30. ADC 数据输出帧，DIAG_FLAG 已启用

7.3.14.4 ADC 输出数据随机数发生器

ADS93x4 具有一个数据输出数据随机数发生器。启用时，ADC 转换结果将使用 8 位伪随机二进制序列 (PRBS) 字段进行按位异或 (XOR) 操作，如图 7-31 所示。PRBS 位可以附加到 ADC 数据输出，如图 7-33、图 7-34、图 7-35 和图 7-36 所示。XOR 中所涉及的 PRBS 位为 1 或 0 的概率是相等的。由于异或运算，ADS93x4 的数据输出是随机的。通过数据接口传输该随机结果所产生的接地反弹与模拟输入电压无关。当 PCB 布局未能更大限度地减少接地反弹时，该不相关传输有助于尽可能地减少数据传输与 ADC 模拟性能之间的相互影响。

方程式 7 和方程式 8 显示了启用数据输出随机数发生器时如何根据 ADC 随机输出代码计算 ADC 转换结果。假设 ADC 随机输出值为 0x1234，PRBS 位为 0x1f，计算出的 MASK_BITS 值为 0x1fff，ADC 转换结果为 0x1234 ^ 0x1fff。24 位 ADC 输出帧不支持 XOR 模式。

$$\text{MASK_BITS} = (\text{PRBS 8-bit Value}) \times 256 + (\text{PRBS0} \times 255) \quad (7)$$

$$\text{ADC Conversion Result} = (\text{ADC Randomized Code}) \wedge (\text{MASK_BITS}) \quad (8)$$

要启用数据输出随机数发生器，需要执行以下寄存器写入：

1. 向 GEN_CFG3 寄存器的 EN_XOR_PATT 位字段写入 1b。
2. 配置 XOR_CTL 寄存器：将 XOR_BIT_SEL 编程为 1b、NUM_XOR_BITS 编程为 11b、XOR_MODE 编程为 11b。

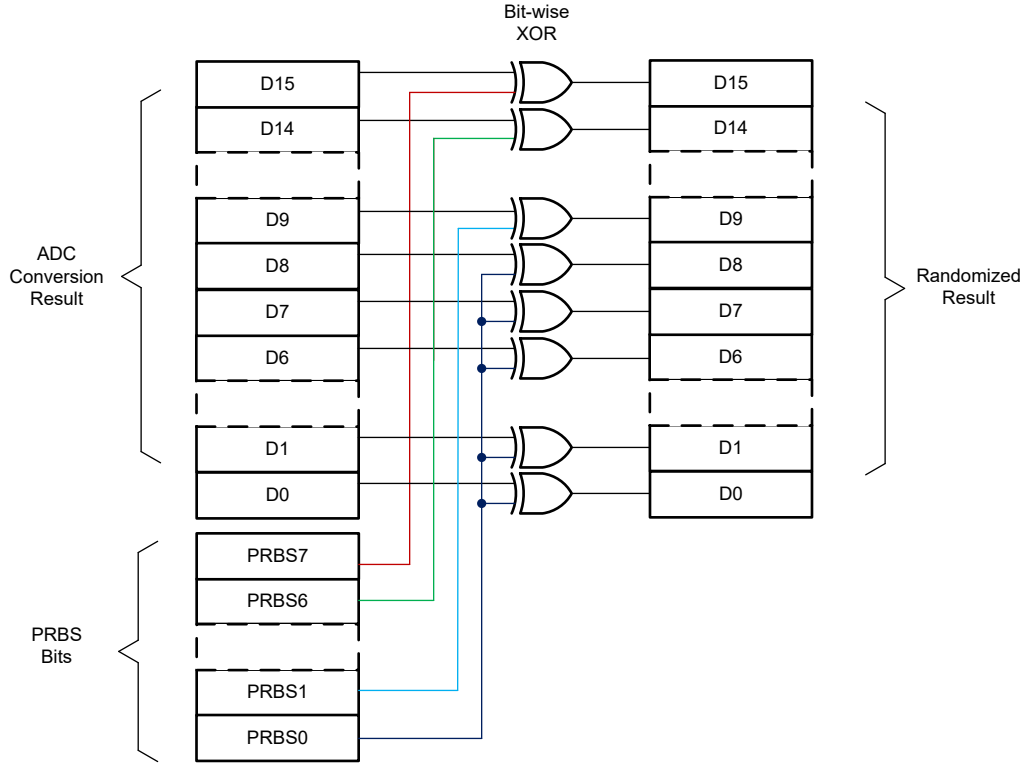


图 7-31. ADC 数据输出随机数发生器

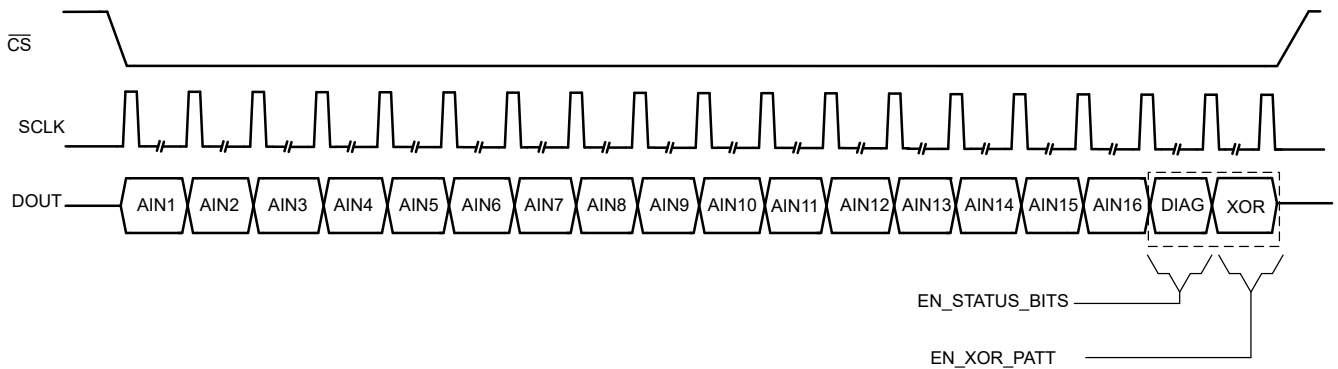


图 7-32. ADC 数据输出帧，已启用 DIAG_FLAG 和 XOR_PATT

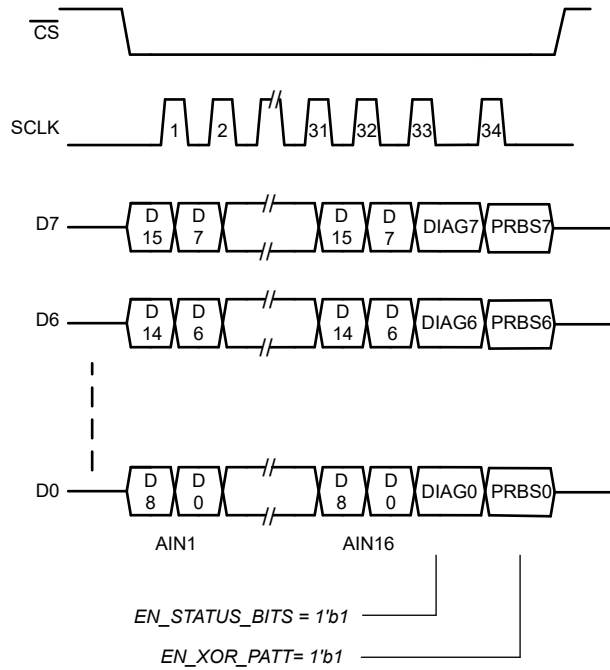


图 7-33. ADC 输出帧，8 通道模式

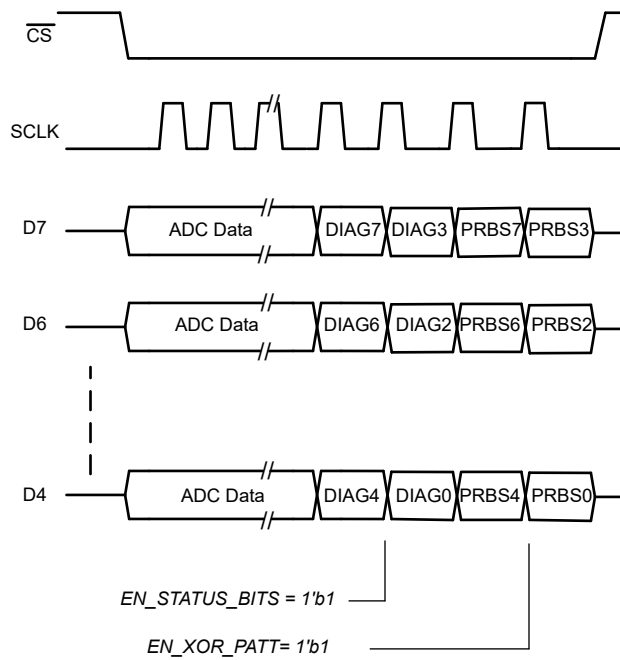


图 7-34. ADC 输出帧，4 通道模式

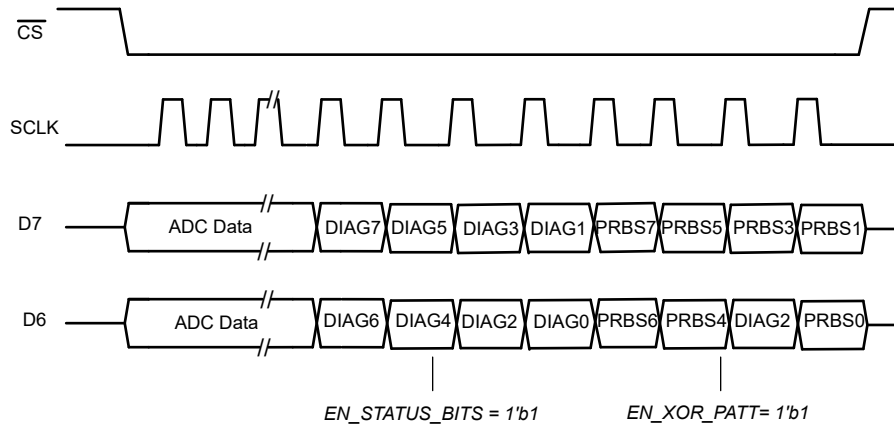


图 7-35. ADC 输出帧，2 通道模式

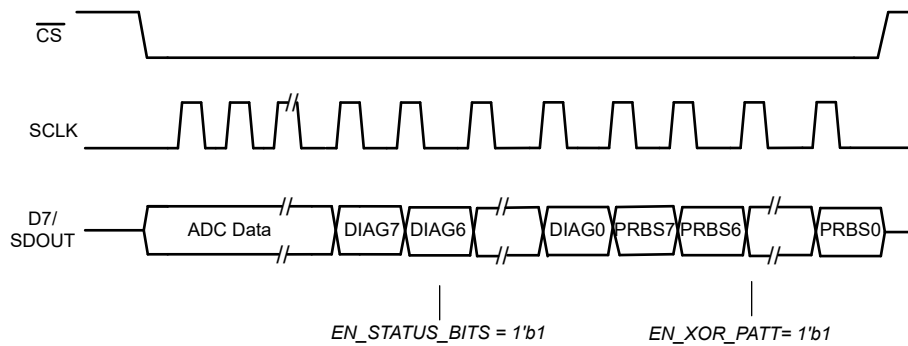


图 7-36. ADC 输出帧，1 通道模式

7.3.14.5 数据接口测试图形

测试图形是一个 16 位值，将 ADC 输出数据 MSB 替换为预定义的数字数据。通过在 AIN1 - AIN8 通道和 AIN9 - AIN16 通道寄存器组中配置 TP_CFG 寄存器 (0x2E) 来启用测试图形。

表 7-14 列出了 ADS93x4 支持的测试图形。

表 7-14. 测试图形配置

TP_EN	TP_MODE[2:0]	TP_DIS_IDX	TP_UPD_MODE	ADC 输出	结果 (请参阅注释)
0	X	X	0	ADC 转换结果	ADC 转换结果
1	0	1	0	固定图形	AIN1 = TP_AIN1、AIN2 = TP_AIN2 ... AIN15 = TP_15、AIN16 = TP_16。
1	0	0	0	固定图形	AIN1 = 0x0000+TP_AIN1、AIN2 = 0x1000+TP_AIN2 ... AIN15 = 0xE000+TP_15、AIN16 = 0xF000+TP_16。
1	1	1	0	斜坡图形	通道帧边界处的斜坡图形增量 (请参阅图 7-37 和图 7-39)。
1	2	1	1	斜坡图形	采样帧边界处的斜坡图形增量。 AIN1=AIN2=AIN3..=AIN8； AIN9=AIN10=AIN11..=AIN16；请参阅图 7-38 和图 7-40

备注

1. 为两个单独的通道组 AIN1_8 和 AIN9_16 配置测试图形。
2. 使用 24 位 ADC 输出时，最后 8 位为零。
3. TP_AIN1 和 TP_AIN16 分别控制 AIN1 至 AIN8 和 AIN9 至 AIN16 的斜坡阶跃。
4. AIN1 至 AIN8 和 AIN9 至 AIN16 的斜坡阶跃分别为 TP_AIN1 + 1 和 TP_AIN16 + 1。

AIN8	AIN1 + 7 x Step	AIN1 + 15 x Step	AIN1 + 23 x Step
AIN7	AIN1 + 6 x Step	AIN1 + 14 x Step	AIN1 + 22 x Step
AIN6	AIN1 + 5 x Step	AIN1 + 13 x Step	AIN1 + 21 x Step
AIN5	AIN1 + 4 x Step	AIN1 + 12 x Step	AIN1 + 20 x Step
AIN4	AIN1 + 3 x Step	AIN1 + 11 x Step	AIN1 + 19 x Step
AIN3	AIN1 + 2 x Step	AIN1 + 10 x Step	AIN1 + 18 x Step
AIN2	AIN1 + 1 x Step	AIN1 + 9 x Step	AIN1 + 17 x Step
AIN1	AIN1 + 0 x Step	AIN1 + 8 x Step	AIN1 + 16 x Step

CHANNEL NUMBER SAMPLE 1 SAMPLE 2 SAMPLE 3

图 7-37. 数字斜坡测试图形，通道帧边界处的增量 (TP_UPD_MODE = 0)

AIN8	AIN1 + 0 x Step	AIN1 + 1 x Step	AIN1 + 2 x Step
AIN7	AIN1 + 0 x Step	AIN1 + 1 x Step	AIN1 + 2 x Step
AIN6	AIN1 + 0 x Step	AIN1 + 1 x Step	AIN1 + 2 x Step
AIN5	AIN1 + 0 x Step	AIN1 + 1 x Step	AIN1 + 2 x Step
AIN4	AIN1 + 0 x Step	AIN1 + 1 x Step	AIN1 + 2 x Step
AIN3	AIN1 + 0 x Step	AIN1 + 1 x Step	AIN1 + 2 x Step
AIN2	AIN1 + 0 x Step	AIN1 + 1 x Step	AIN1 + 2 x Step
AIN1	AIN1 + 0 x Step	AIN1 + 1 x Step	AIN1 + 2 x Step

CHANNEL NUMBER SAMPLE 1 SAMPLE 2 SAMPLE 3

图 7-38. 数字斜坡测试图形，采样帧边界处的增量 (TP_UPD_MODE = 1)

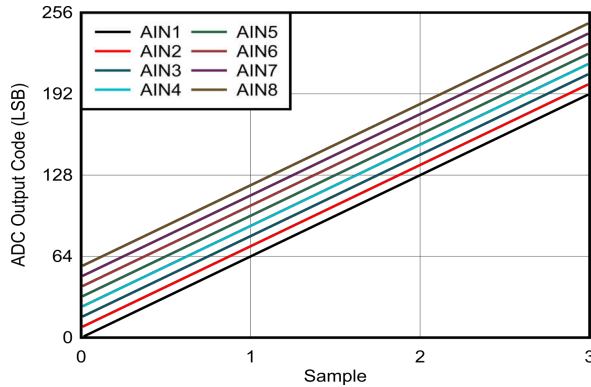


图 7-39. 斜坡测试图形示例，阶跃 = 8 (TP_AIN1 = 7、TP_UPD_MODE = 0)

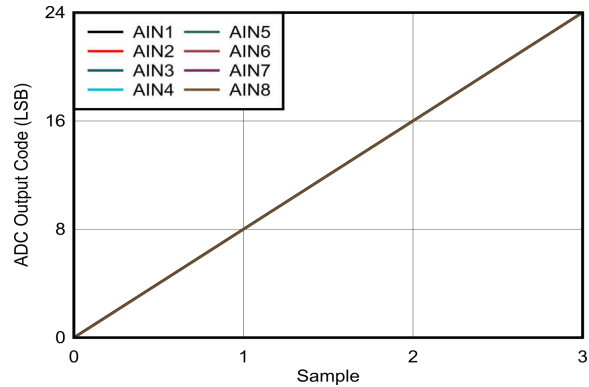


图 7-40. 斜坡测试图形示例，阶跃 = 8 (TP_AIN1 = 7、TP_UPD_MODE = 1)

7.3.14.6 数字输出驱动强度控制

可以使用 ADS93x4 通用 寄存器组的 GEN_CFG4 寄存器中的 DRIVE_STRENGTH 位字段来调整数字输出驱动强度。请参阅数字输出驱动强度控制。

表 7-15. 驱动强度控制

DRIVE_STRENGTH	说明
00b	正常器件操作
01b	0.5 x 正常运行
10b	2 x 正常运行
11b	1.5 x 正常运行

7.3.14.7 数字输出延迟调整

ADS93x4 包括在 ADC 数据输出引脚 SDOUT 以及 D7、D5、D6、D5、D4、D3、D2、D1 和 D0 上延迟的功能。使用 ADS93x4 通用 寄存器组中的 DIG_DELAY_CFG1 和 DIG_DELAY_CFG2 寄存器对延迟进行编程。

7.4 器件功能模式

7.4.1 复位

通过 $\overline{\text{RESET}}$ 引脚上的逻辑 0，或通过向 ADS93x4 通用寄存器组中地址 0x01 的 SW_RST 位字段写入 1b，将 ADS9324 复位。复位后，器件寄存器初始化为默认值，必须通过一系列寄存器写入操作对器件进行初始化。

$\overline{\text{RESET}}$ 引脚是有源低电平数字输入。专用复位引脚允许器件随时以异步方式复位。当 $\overline{\text{RESET}}$ 引脚设置为逻辑低电平时，器件中的所有数字电路都会复位；在引脚恢复高电平之前此状态一直保持有效。

7.4.2 正常运行

当 ADS9324 上电后，ADS9324 会在 CONVST 信号的下降沿将模拟输入电压转换为数字输出电压。设备复位后需要等待最短延迟时间 t_{PU} (请参阅节 5.7)。

7.4.3 待机模式

器件支持低功耗待机模式，在该模式下只有部分电路断电。在此模式下，模拟前端、每个通道的信号调节电路和内部基准均处于断电状态。在待机模式下，器件的总功耗通常等于 6.5mW (请参阅图 6-40)。要将器件置于低功耗待机模式，请将 PDN_CTL 寄存器的 DEVICE_PDN 位字段设置为 1b。

7.5 编程

7.5.1 寄存器写入操作

ADS9324 16 位寄存器分为 3 个寄存器组 ADS93x4 通用、AIN1 - AIN8 通道 和 AIN9 - AIN16 通道，可以使用 8 位寄存器地址进行寻址。通过将 0x0001 写入 BANK_SEL 寄存器地址 0x02，可以选择 ADS93x4 通用 寄存器组进行读取或写入操作。PAGE_SEL 寄存器地址 0x2 在所有寄存器组中具有唯一性，无论 PAGE_SEL 位如何都始终可访问。需要一个 24 位串行通信帧来将数据写入配置寄存器。24 位寄存器读取帧由 8 位寄存器地址和新的 16 位寄存器值组成。SDI 上的数据在 SCLK 的上升沿锁存。写入命令在 CS 上升沿解码，指定的寄存器使用寄存器写入操作中指定的 16 位数据进行更新。用于寄存器写入的 24 位 SPI 帧如图 7-41 所示，写入寄存器所需的步骤如表 7-16 所示。

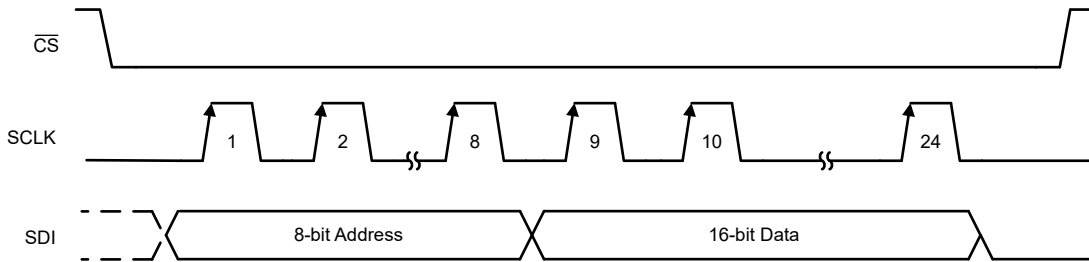


图 7-41. 寄存器写入帧

表 7-16. 寄存器写入序列

帧编号	SDI[23:0]		说明
	SDI[23:16] = REG_ADDR	SDI[15:0] = REG_ADDR 数据	
1	0x02	0x0001	选择寄存器组 0。对于寄存器组 1 和 2，分别写入 0x02 和 0x04。
2	REG_ADDR	REG_ADDR 数据	将用户数据写入所需的地址。按照需要写入寄存器的次数，重复上述步骤。

7.5.2 寄存器读取操作

使用 BANK_SEL 寄存器 (地址 0x02) 选择用于寄存器读取操作的寄存器组。要读取 ADS93x4 通用 寄存器组中的寄存器，请将 0x0001 写入 BANK_SEL 寄存器。同样，将 0x0002 和 0x0004 写入 BANK_SEL 寄存器，可分别读取 AIN1 - AIN8 通道 和 AIN9 - AIN16 通道 组中的寄存器。如图 7-42 所示，读取寄存器需要 24 位 SPI 帧。图 7-42 展示了读取寄存器组中的 N 个寄存器所需的顺序，所需的步骤如表 7-17 所述。

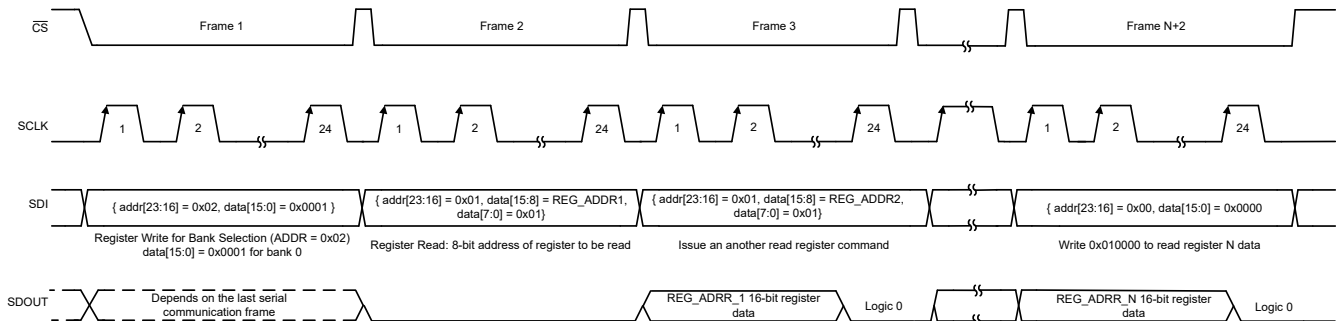


图 7-42. 寄存器读取

表 7-17. 寄存器读取序列

帧编号	24 位 SDI 帧		SDOUT[23:0]	说明
	SDI[23:16]	SDI [15:0]		
1	0x02	寄存器组 0 为 0x0001, 寄存器组 1 为 0x0002, 寄存器组 2 为 0x0004	X	选择寄存器组。
2	0x01	SDIN[15:8] = REG_ADDR1、 SDIN[7:0] = 0x01	0x000000	寄存器地址 REG_ADDR1 的寄存器读取操作。在下一个串行通信帧中接收寄存器数据 REG_ADDR1。
3	0x01	SDIN[15:8] = REG_ADDR1、 SDIN[7:0] = 0x01	SDOUT[23:8] = REG_ADDR1 数据， SDOUT[7:0]= 0x00	寄存器地址 REG_ADDR2 的寄存器读取操作。在此帧中接收寄存器数据 REG_ADDR1。在下一个串行通信帧中接收寄存器数据 REG_ADDR2。
N+2	0x00	0x0000	SDOUT[23:8]= REG_ADDRN 数据， SDOUT[7:0]= 0x00	将 0x000000 写入 SDIN 以读取在上一个串行通信帧中选择的寄存器值 (地址 REG_ADDR)。

7.5.3 初始化示例 - SDOUT 上的单通道模式

默认情况下，ADC 输出接口配置为 8 通道模式，ADC 输出大小为 16 位。表 7-18 显示了使用 SDOUT 读取单通道模式 ADC 数据的器件初始化设置。

表 7-18. 单通道模式的 ADS9324 初始化序列

步骤编号	寄存器		说明
	SDI[23:16] = REG_ADDR	SDI[15:0] = REG_ADDR 数据	
1	等待 30ms		电源和电压基准趋稳
2	0x01	0x0002	软件复位 (可选)
3	等待 1ms (可选)		可选延迟
4	0x02	0x0001	选择 ADS93x4 通用寄存器组
6	0x0A	0x0032	用户根据系统要求对此寄存器进行编程。0x0032 选择 16b 的 ADC 转换数据大小，SDOUT 引脚上为单通道模式数据输出。

8 寄存器映射

8.1 ADS93xx 通用寄存器

表 8-1 列出了 ADS93xx 通用寄存器的存储器映射寄存器。表 8-1 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-1. ADS93xx_Common

地址	首字母缩写词	位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8		
		位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0		
0x01	GEN_CFG1	REG_RD_ADD[7:0]							SW_RST	REG_RD_EN	
		RESERVED									
0x02	BANK_SEL	RESERVED							BANK_SEL[2:0]		
		RESERVED									
0x07	DIAG_CTRL	RESERVED							RESET_DETECT_FLAG		
		RESERVED									
0x08	PDN_CTL	RESERVED							DEVICE_PD_N		
		RESERVED									
0x09	GEN_CFG2	RESERVED				DAISY_CHN_LOC[3:0]				DAISY_CHN_EN	
		DAISY_CHN_NUM_DEV[3:0]				RESERVED					
0x0A	GEN_CFG3	RESERVED			EN_OFS_BINARY	RESERVED		EN_XOR_PATT	EN_DIAG_FLAG	RESERVED	
		RESERVED		DOUT_LANE_SEL[1:0]		DOUT_LENGTH[1:0]		ADC_DATA_SDOUT_EN			
0x0B	XOR_BITS_CTL	RESERVED							XOR_BIT_SEL		
		XOR_MODE[1:0]		NUM_XOR_BITS[1:0]			RESERVED				
0x0C	DRDY_ALARM_SEL	ALRM_MASK[7:0]							DRDY_ALARM_SEL[3:0]		
		RESERVED		ALRM_TYPE	ALRM_POL						
0x0D	GEN_CFG4	RESERVED							DRIVE_STRENGTH[1:0]		
		RESERVED		ALRM_DIS	RESERVED	DIG_DELAY_EN	RESERVED				
0x0E	DIG_DELAY_CFG1	RESERVED	DIG_DELAY_SDOUT[2:0]			DIG_DELAY_D3[2:0]		DIG_DELAY_D2[2:0]			
		DIG_DELAY_D2[2:0]		DIG_DELAY_D1[2:0]			DIG_DELAY_D0[2:0]				
0x0F	DIG_DELAY_CFG2	RESERVED				DIG_DELAY_D7[2:0]		DIG_DELAY_D6[2:0]			
		DIG_DELAY_D6[2:0]		DIG_DELAY_D5[2:0]			DIG_DELAY_D4[2:0]				
0x10	ANA_CFG1	RESERVED							REFSEL_CTL_DIS	EXT_REF_EN	
		RESERVED									
0x11	ANA_CFG2	CH_XTALK_LOW_SPEED	RESERVED							RESERVED	RESERVED
		RESERVED		ADC_CH_SEL[2:0]		ADC_NUM_SEL[1:0]					
0x12	ADC_CAL	RESERVED		SE_DIFF_MODE_AIN1_8	SE_DIFF_MODE_AIN9_16	RESERVED			ADC_CAL_TRIG		
		RESERVED							ADC_CAL_MODE[1:0]		
0x14	DIG_FILTER	PHASE_DELAY_EN	FIR_FILTER_SEL[2:0]			MVG_AVG_LEN[3:0]			DIG_FILTER_SREF		
		BLK_AVG_OSR[3:0]				RESERVED		INT_TRIGGER_MODE			
0x15	GEN_CFG5	RESERVED							AVG_MODE_OVR_EN	AVG_MODE	
		RESERVED				T_MODE_OVR_EN	T_MODE				
0x1D	DEVICE_STATUS	RESERVED							RESERVED	RESERVED	
		RESERVED				CALIB_BUSY_FLAG					

表 8-1. ADS93xx_Common (续)

地址	首字母缩写词	位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8
		位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0x21	DEVICE_ID	RESERVED							
		DEVICE_ID[7:0]							

复杂的位访问类型经过编码可适应小型表单元。表 8-2 展示了适用于此部分中访问类型的代码。

表 8-2. ADS93xx 通用访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.1.1 GEN_CFG1 寄存器 (地址 = 0x01) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-1. GEN_CFG1 寄存器

15	14	13	12	11	10	9	8
REG_RD_ADD[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
RESERVED						SW_RST	REG_RD_EN
R/W-000000b						R/W-0b	R/W-0b

表 8-3. GEN_CFG1 寄存器字段说明

位	字段	类型	复位	说明
15:8	REG_RD_ADD[7:0]	R/W	00000000b	寄存器读取地址
7:2	RESERVED	R/W	000000b	保留。请勿更改默认复位值。
1	SW_RST	R/W	0b	向该位写入 1b 会复位器件。
0	REG_RD_EN	R/W	0b	寄存器读取使能。对于每个寄存器读取 SPI 帧，该位必须为 1b。

8.1.2 BANK_SEL 寄存器 (地址 = 0x02) [复位 = 0x0001]

返回到[汇总表](#)。

图 8-2. BANK_SEL 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R/W-00000000000000b							
7	6	5	4	3	2	1	0
RESERVED					BANK_SEL[2:0]		
R/W-00000000000000b					R/W-001b		

表 8-4. BANK_SEL 寄存器字段说明

位	字段	类型	复位	说明
15:3	RESERVED	R/W	00000000000000b	保留。请勿更改默认复位值。

表 8-4. BANK_SEL 寄存器字段说明 (续)

位	字段	类型	复位	说明
2:0	BANK_SEL[2:0]	R/W	001b	寄存器组选择。 001b = 通用寄存器 010b = 通道寄存器 AIN1 - AIN8 100b = 通道寄存器 AIN9 - AIN16

8.1.3 DIAG_CTRL 寄存器 (地址 = 0x07) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-3. DIAG_CTRL 寄存器

15	14	13	12	11	10	9	8
RESERVED							RESET_DETECT_FL AG
R-0000000b							R/W-0b
7	6	5	4	3	2	1	0
RESERVED							
R-00000000b							

表 8-5. DIAG_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15:9	RESERVED	R	0000000b	
8	RESET_DETECT_FLAG	R/W	0b	指示器件复位, 用户将此位写入为 0b。如果 ADC 发生复位, 此位被设置为 1b。此位可以在 SDOUT 状态位上读取。
7:0	RESERVED	R	00000000b	

8.1.4 PDN_CTL 寄存器 (地址 = 0x08) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-4. PDN_CTL 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
RESERVED							DEVICE_PDN
R/W-0000000000000000b							R/W-0b

表 8-6. PDN_CTL 寄存器字段说明

位	字段	类型	复位	说明
15:1	RESERVED	R/W	0000000000000000 00b	保留。请勿更改默认复位值。
0	DEVICE_PDN	R/W	0b	器件断电控制。 0b = 正常运行 1b = 器件已断电。

8.1.5 GEN_CFG2 寄存器 (地址 = 0x09) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-5. GEN_CFG2 寄存器

15	14	13	12	11	10	9	8
RESERVED					DAISY_CHN_LOC[3:0]		
R/W-0000b					R/W-0000b		
7	6	5	4	3	2	1	0

图 8-5. GEN_CFG2 寄存器 (续)

DAISY_CHN_NUM_DEV[3:0]	RESERVED	DAISY_CHN_EN
R/W-0000b	R/W-000b	R/W-0b

表 8-7. GEN_CFG2 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0000b	保留。请勿更改默认复位值。
11:8	DAISY_CHN_LOC[3:0]	R/W	0000b	器件在菊花链配置中的位置。
7:4	DAISY_CHN_NUM_DEV[3:0]	R/W	0000b	菊花链配置中的器件总数。
3:1	RESERVED	R/W	000b	保留。请勿更改默认复位值。
0	DAISY_CHN_EN	R/W	0b	菊花链配置启用。 0b = 菊花链配置已禁用 1b = 菊花链配置已启用

8.1.6 GEN_CFG3 寄存器 (地址 = 0x0A) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-6. GEN_CFG3 寄存器

15	14	13	12	11	10	9	8
RESERVED			EN_OFS_BINARY	RESERVED		EN_XOR_PATT	EN_DIAG_FLAG
R/W-0000b			R/W-0b	R/W-00b		R/W-0b	R/W-0b
7	6	5	4	3	2	1	0
RESERVED		DOUT_LANE_SEL[1:0]		DOUT_LENGTH[1:0]		ADC_DATA_SDOUT_EN	RESERVED
R/W-00b		R/W-00b		R/W-00b		R/W-0b	R/W-0b

表 8-8. GEN_CFG3 寄存器字段说明

位	字段	类型	复位	说明
15:13	RESERVED	R/W	000b	保留。请勿更改默认复位值。
12	EN_OFS_BINARY	R/W	0b	ADC 转换数据输出格式选择。 0b = 二进制补码 1b = 偏移二进制
11:10	RESERVED	R/W	00b	保留。请勿更改默认复位值。
9	EN_XOR_PATT	R/W	0b	待定
8	EN_DIAG_FLAG	R/W	0b	ADC 转换数据输出启用后的状态位。
7:6	RESERVED	R/W	00b	保留。请勿更改默认复位值。
5:4	DOUT_LANE_SEL[1:0]	R/W	00b	数据通道选择。 00b = 8 个通道 01b = 4 个通道 10b = 2 个通道 11b = 1 个通道
3:2	DOUT_LENGTH[1:0]	R/W	00b	ADC 数据大小选择 00b = 16 位 01b = 保留 10b = 24 位
1	ADC_DATA_SDOUT_EN	R/W	0b	单通道模式下 SDOUT 引脚上的 ADC 数据输出启用。 0b = D7 上的 ADC 数据输出 1b = SDOUT 引脚上的 ADC 数据输出
0	RESERVED	R/W	0b	保留。请勿更改默认复位值。

8.1.7 XOR_BITS_CTL 寄存器 (地址 = 0x0B) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-7. XOR_BITS_CTL 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R/W-00000000b							

图 8-7. XOR_BITS_CTL 寄存器 (续)

7	6	5	4	3	2	1	0
XOR_MODE[1:0]		NUM_XOR_BITS[1:0]		RESERVED			XOR_BIT_SEL
R/W-00b		R/W-00b		R/W-000b			R/W-0b

表 8-9. XOR_BITS_CTL 寄存器字段说明

位	字段	类型	复位	说明
15:8	RESERVED	R/W	00000000b	保留。请勿更改默认复位值。
7:6	XOR_MODE[1:0]	R/W	00b	将 XOR_MODE 设置为 3。
5:4	NUM_XOR_BITS[1:0]	R/W	00b	为 ADC 输出随机数发生器选择 XOR 位数。将该位字段设置为 3。
3:1	RESERVED	R/W	000b	保留。请勿更改默认复位值。
0	XOR_BIT_SEL	R/W	0b	将此位设置为 1b，用于 PRBS 位。

8.1.8 DRDY_ALARM_SEL 寄存器 (地址 = 0x0C) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-8. DRDY_ALARM_SEL 寄存器

15	14	13	12	11	10	9	8
ALRM_MASK[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
RESERVED		ALRM_TYPE	ALRM_POL	DRDY_ALARM_SEL[3:0]			
R/W-00b		R/W-0b	R/W-0b	R/W-0000b			

表 8-10. DRDY_ALARM_SEL 寄存器字段说明

位	字段	类型	复位	说明
15:8	ALRM_MASK[7:0]	R/W	00000000b	警报屏蔽选择。在 ALARM 引脚上选择每个警报的“或”运算输出时，每个位控制每个警报模式的屏蔽。
7:6	RESERVED	R/W	00b	保留。请勿更改默认复位值。
5	ALRM_TYPE	R/W	0b	警报类型选择。仅适用于 DWC。 0b = 基于电平 1b = 基于脉冲
4	ALRM_POL	R/W	0b	DRDY/ALARM 极性选择。 0b = 高电平有效 1b = 低电平有效
3:0	DRDY_ALARM_SEL[3:0]	R/W	0000b	DRDY/ALARM 选择。 0000b = ADC 数据就绪标志 (DRDY) 0001b = DWC 输出 0010b = 保留 0011b = 保留 0100b = 保留 0101b = 保留 0110b = ADC_CAL 完成标志 (ADC_CAL_DONE) 0111b = 保留 1000b = 在执行“或”运算之前，上述所有标志经各自掩码处理后的“或”运算结果

8.1.9 GEN_CFG4 寄存器 (地址 = 0x0D) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-9. GEN_CFG4 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R/W-0000000000b							
7	6	5	4	3	2	1	0
RESERVED		ALRM_DIS	RESERVED	DIG_DELAY_EN	RESERVED	DRIVE_STRENGTH[1:0]	
R/W-0000000000b		R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-00b	

图 8-9. GEN_CFG4 寄存器 (续)

表 8-11. GEN_CFG4 寄存器字段说明

位	字段	类型	复位	说明
15:6	RESERVED	R/W	0000000000b	保留。请勿更改默认复位值。
5	ALRM_DIS	R/W	0b	警报功能禁用。 0b = 启用 1b = 禁用
4	RESERVED	R/W	0b	保留。请勿更改默认复位值。
3	DIG_DELAY_EN	R/W	0b	控制输出缓冲器路径上的数字延迟。0b = 正常器件操作。1b = 启用输出缓冲器路径上的数字延迟。幅度由 DIG_DELAY_CFG1 和 DIG_DELAY_CFG2 控制。
2	RESERVED	R/W	0b	保留。请勿更改默认复位值。
1:0	DRIVE_STRENGTH[1:0]	R/W	00b	控制去配置数字输出缓冲器的驱动强度。 00b = 正常器件操作 01b = 0.5 x 驱动强度 10b = 2 x 驱动强度 11b = 1.5 x 驱动强度

8.1.10 DIG_DELAY_CFG1 寄存器 (地址 = 0x0E) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-10. DIG_DELAY_CFG1 寄存器

15	14	13	12	11	10	9	8
RESERVED	DIG_DELAY_SDOUT[2:0]			DIG_DELAY_D3[2:0]			DIG_DELAY_D2[2:0]
R/W-0b	R/W-000b			R/W-000b			R/W-000b
7	6	5	4	3	2	1	0
DIG_DELAY_D2[2:0]		DIG_DELAY_D1[2:0]			DIG_DELAY_D0[2:0]		
R/W-000b		R/W-000b			R/W-000b		

表 8-12. DIG_DELAY_CFG1 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0b	保留。请勿更改默认复位值。
14:12	DIG_DELAY_SDOUT[2:0]	R/W	000b	SDOUT 上的可编程数字延迟。 000b = 0ns 延迟 001b = 1ns 延迟 010b = 2ns 延迟 011b = 3ns 延迟 100b = 4ns 延迟 101b = 5ns 延迟
11:9	DIG_DELAY_D3[2:0]	R/W	000b	D3 上的可编程数字延迟。 000b = 0ns 延迟 001b = 1ns 延迟 010b = 2ns 延迟 011b = 3ns 延迟 100b = 4ns 延迟 101b = 5ns 延迟
8:6	DIG_DELAY_D2[2:0]	R/W	000b	D2 上的可编程数字延迟。 000b = 0ns 延迟 001b = 1ns 延迟 010b = 2ns 延迟 011b = 3ns 延迟 100b = 4ns 延迟 101b = 5ns 延迟
5:3	DIG_DELAY_D1[2:0]	R/W	000b	D1 上的可编程数字延迟。 000b = 0ns 延迟 001b = 1ns 延迟 010b = 2ns 延迟 011b = 3ns 延迟 100b = 4ns 延迟 101b = 5ns 延迟

表 8-12. DIG_DELAY_CFG1 寄存器字段说明 (续)

位	字段	类型	复位	说明
2:0	DIG_DELAY_D0[2:0]	R/W	000b	D0 上的可编程数字延迟。 000b = 0ns 延迟 001b = 1ns 延迟 010b = 2ns 延迟 011b = 3ns 延迟 100b = 4ns 延迟 101b = 5ns 延迟

8.1.11 DIG_DELAY_CFG2 寄存器 (地址 = 0x0F) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-11. DIG_DELAY_CFG2 寄存器

15	14	13	12	11	10	9	8
RESERVED				DIG_DELAY_D7[2:0]			DIG_DELAY_D6[2:0]
R/W-0000b				R/W-000b			R/W-000b
7	6	5	4	3	2	1	0
DIG_DELAY_D6[2:0]		DIG_DELAY_D5[2:0]			DIG_DELAY_D4[2:0]		
R/W-000b		R/W-000b			R/W-000b		

表 8-13. DIG_DELAY_CFG2 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0000b	保留。请勿更改默认复位值。
11:9	DIG_DELAY_D7[2:0]	R/W	000b	D7 上的可编程数字延迟。 000b = 0ns 延迟 001b = 1ns 延迟 010b = 2ns 延迟 011b = 3ns 延迟 100b = 4ns 延迟 101b = 5ns 延迟
8:6	DIG_DELAY_D6[2:0]	R/W	000b	D6 上的可编程数字延迟。 000b = 0ns 延迟 001b = 1ns 延迟 010b = 2ns 延迟 011b = 3ns 延迟 100b = 4ns 延迟 101b = 5ns 延迟
5:3	DIG_DELAY_D5[2:0]	R/W	000b	D5 上的可编程数字延迟。 000b = 0ns 延迟 001b = 1ns 延迟 010b = 2ns 延迟 011b = 3ns 延迟 100b = 4ns 延迟 101b = 5ns 延迟
2:0	DIG_DELAY_D4[2:0]	R/W	000b	D4 上的可编程数字延迟。 000b = 0ns 延迟 001b = 1ns 延迟 010b = 2ns 延迟 011b = 3ns 延迟 100b = 4ns 延迟 101b = 5ns 延迟

8.1.12 ANA_CFG1 寄存器 (地址 = 0x10) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-12. ANA_CFG1 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R/W-000000000000000b							
7	6	5	4	3	2	1	0
RESERVED						REFSEL_CTRL_DIS	EXT_REF_EN

图 8-12. ANA_CFG1 寄存器 (续)

R/W-00000000000000b	R/W-0b	R/W-0b
---------------------	--------	--------

表 8-14. ANA_CFG1 寄存器字段说明

位	字段	类型	复位	说明
15:2	RESERVED	R/W	00000000000000b	保留。请勿更改默认复位值。
1	REFSEL_CTRL_DIS	R/W	0b	RESEL 引脚控制禁用。 0b = 启用 1b = 禁用
0	EXT_REF_EN	R/W	0b	ADC 基准选择。 0b = 内部基准 1b = 外部基准

8.1.13 ANA_CFG2 寄存器 (地址 = 0x11) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-13. ANA_CFG2 寄存器

15	14	13	12	11	10	9	8
CH_XTALK_LOW_S PEED		RESERVED					
R/W-0b		R/W-00000000b					
7	6	5	4	3	2	1	0
RESERVED		ADC_CH_SEL[2:0]		ADC_NUM_SEL[1:0]		RESERVED	
R/W-00000000b		R/W-000b		R/W-00b		R/W-00b	

表 8-15. ANA_CFG2 寄存器字段说明

位	字段	类型	复位	说明
15	CH_XTALK_LOW_SPEED	R/W	0b	当 ADC 采样率小于 100kSPS/通道时, 将此位设置为 1'b
14:7	RESERVED	R/W	00000000b	保留。请勿更改默认复位值。
6:4	ADC_CH_SEL[2:0]	R/W	000b	选择与 ADC_NUM_SEL 对应的 ADC 通道。当 ADC_NUM_SEL 不是 00'b 时, 这些配置有效。
3:2	ADC_NUM_SEL[1:0]	R/W	00b	选择正在转换的 ADC 数量。当 ADC_NUM_SEL 为 00'b 时, ADC_CH_SEL 为无关。 00b = 16 通道 (默认值) 01b = 8 通道 10b = 4 通道 11b = 2 通道
1:0	RESERVED	R/W	00b	保留。请勿更改默认复位值。

8.1.14 ADC_CAL 寄存器 (地址 = 0x12) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-14. ADC_CAL 寄存器

15	14	13	12	11	10	9	8
RESERVED		SE_DIFF_MODE_AI N1_8	SE_DIFF_MODE_AI N9_16	RESERVED		ADC_CAL_TRIG	
R/W-00b		R/W-0b	R/W-0b	R/W-000b		R/W-0b	
7	6	5	4	3	2	1	0
RESERVED						ADC_CAL_MODE[1:0]	
R/W-0000000b						R/W-00b	

表 8-16. ADC_CAL 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R/W	00b	保留。请勿更改默认复位值。

表 8-16. ADC_CAL 寄存器字段说明 (续)

位	字段	类型	复位	说明
13	SE_DIFF_MODE_AIN1_8	R/W	0b	模拟输入信号类型。用户在 ADC_CAL 模块启动之前更新此位。 0b = AIN1 至 AIN8 上的单端输入信号 1b = AIN1 至 AIN8 上的差分输入信号
12	SE_DIFF_MODE_AIN9_16	R/W	0b	模拟输入信号类型。用户在 ADC_CAL 模块启动之前更新此位。 0b = AIN9 至 AIN16 上的单端输入信号 1b = AIN9 至 AIN16 上的差分输入信号
11:9	RESERVED	R/W	000b	保留。请勿更改默认复位值。
8	ADC_CAL_TRIG	R/W	0b	ADC CAL 模块触发信号。 写入 1'b 以触发 ADC_CAL 模块。
7:2	RESERVED	R/W	000000b	保留。请勿更改默认复位值。
1:0	ADC_CAL_MODE[1:0]	R/W	00b	ADC_CAL 模式选择。 00b = 校准已禁用 01b = 偏移误差校准 10b = 增益误差校准 11b = 偏移和增益误差校准

8.1.15 DIG_FILTER 寄存器 (地址 = 0x14) [复位 = 0x0000]

返回到汇总表。

图 8-15. DIG_FILTER 寄存器

15	14	13	12	11	10	9	8
PHASE_DELAY_EN		FIR_FILT_SEL[2:0]			MVG_AVG_LEN[3:0]		
R/W-0b		R/W-000b			R/W-0000b		
7	6	5	4	3	2	1	0
BLK_AVG_OSR[3:0]			RESERVED		INT_TRIG_MODE	DIG_FILT_SYSREF	
R/W-0000b			R/W-00b		R/W-0b	R/W-0b	

表 8-17. DIG_FILTER 寄存器字段说明

位	字段	类型	复位	说明
15	PHASE_DELAY_EN	R/W	0b	相位延迟使能。用于调整模拟输入通道之间的相位。 0b = 禁用 1b = 启用
14:12	FIR_FILT_SEL[2:0]	R/W	000b	FIR 滤波器选择。 000b = 禁用 001b = FIR1 010b = FIR2 011b = FIR3 100b = FIR4 101b = FIR5 110b = 保留 111b = FIR7
11:8	MVG_AVG_LEN[3:0]	R/W	0000b	移动平均滤波器长度选择。 0000b = 无均值计算 0001b = 2 个采样均值 0010b = 4 个采样均值 0011b = 6 个采样均值 0100b = 8 个采样均值 0101b = 10 个采样均值 0110b = 12 个采样均值 0111b = 16 个采样均值 1000b = 20 个采样均值 1001b = 32 个采样均值 1010b = 64 个采样均值 1011b = 128 个采样均值

表 8-17. DIG_FILTER 寄存器字段说明 (续)

位	字段	类型	复位	说明
7:4	BLK_AVG_OSR[3:0]	R/W	0000b	块平均值滤波器的过采样率 (OSR) 配置。 0000b = 无均值计算 0001b = 2 个采样均值 0010b = 4 个采样均值 0011b = 6 个采样均值 0100b = 8 个采样均值 0101b = 10 个采样均值 0110b = 12 个采样均值 0111b = 16 个采样均值 1000b = 20 个采样均值 1001b = 32 个采样均值 1010b = 64 个采样均值 1011b = 128 个采样均值
3:2	RESERVED	R/W	00b	保留。请勿更改默认复位值。
1	INT_TRIG_MODE	R/W	0b	过采样期间自动触发采样保持电路。 0b = 禁用 1b = 启用
0	DIG_FILT_SYSREF	R/W	0b	写入 1'b 以复位数字滤波器累加器。

8.1.16 GEN_CFG5 寄存器 (地址 = 0x15) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-16. GEN_CFG5 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R/W-0000000000000b							
7	6	5	4	3	2	1	0
RESERVED				T_MODE_OVR_EN	T_MODE	AVG_MODE_OVR_EN	AVG_MODE
R/W-0000000000000b				R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-18. GEN_CFG5 寄存器字段说明

位	字段	类型	复位	说明
15:4	RESERVED	R/W	0000000000000b	保留。请勿更改默认复位值。
3	T_MODE_OVR_EN	R/W	0b	
2	T_MODE	R/W	0b	
1	AVG_MODE_OVR_EN	R/W	0b	
0	AVG_MODE	R/W	0b	

8.1.17 DEVICE_STATUS 寄存器 (地址 = 0x1D) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-17. DEVICE_STATUS 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0000000000000b							
7	6	5	4	3	2	1	0
RESERVED				CALIB_BUSY_FLAG	RESERVED		
R-0000000000000b				R-0b	R-000b		

表 8-19. DEVICE_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15:4	RESERVED	R	0000000000000b	保留。请勿更改默认复位值。
3	CALIB_BUSY_FLAG	R	0b	表示 ADC_CAL 正在运行。 0b = ADC_CAL 模块空闲 1b = ADC_CAL 模块正在运行。

表 8-19. DEVICE_STATUS 寄存器字段说明 (续)

位	字段	类型	复位	说明
2:0	RESERVED	R	000b	保留。请勿更改默认复位值。

8.1.18 DEVICE_ID 寄存器 (地址 = 0x21) [复位 = 0x0004]

返回到[汇总表](#)。

图 8-18. DEVICE_ID 寄存器

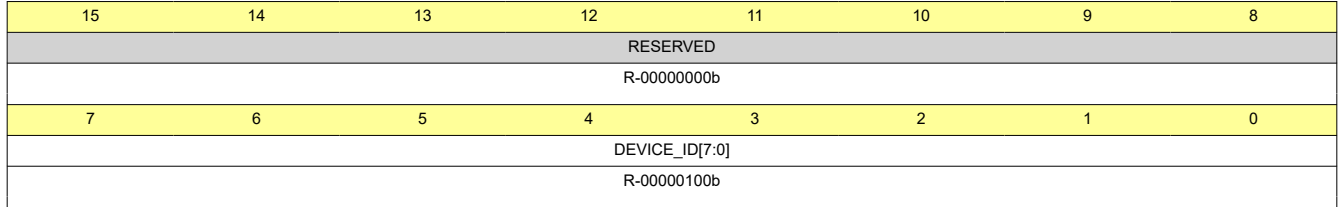


表 8-20. DEVICE_ID 寄存器字段说明

位	字段	类型	复位	说明
15:8	RESERVED	R	00000000b	保留。请勿更改默认复位值。
7:0	DEVICE_ID[7:0]	R	00000100b	器件 ID。

8.2 AIN1 - AIN8 通道寄存器

表 8-21 列出了 AIN1 - AIN8 通道寄存器的存储器映射寄存器。表 8-21 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-21. AIN1 - AIN8 通道

地址	首字母缩写词	位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8
		位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0x08	PGA_CONFIG_AIN1_2	CME_CORR_EN_AIN2	CM_RANGE_AIN2[2:0]		RESERVED	INPUT_RANGE_AIN2[2:0]			
		CME_CORR_EN_AIN1	CM_RANGE_AIN1[2:0]		RESERVED	INPUT_RANGE_AIN1[2:0]			
0x09	PGA_CONFIG_AIN3_4	CME_CORR_EN_AIN4	CM_RANGE_AIN4[2:0]		RESERVED	INPUT_RANGE_AIN4[2:0]			
		CME_CORR_EN_AIN3	CM_RANGE_AIN3[2:0]		RESERVED	INPUT_RANGE_AIN3[2:0]			
0x0A	PGA_CONFIG_AIN5_6	CME_CORR_EN_AIN6	CM_RANGE_AIN6[2:0]		RESERVED	INPUT_RANGE_AIN6[2:0]			
		CME_CORR_EN_AIN5	CM_RANGE_AIN5[2:0]		RESERVED	INPUT_RANGE_AIN5[2:0]			
0x0B	PGA_CONFIG_AIN7_8	CME_CORR_EN_AIN8	CM_RANGE_AIN8[2:0]		RESERVED	INPUT_RANGE_AIN8[2:0]			
		CME_CORR_EN_AIN7	CM_RANGE_AIN7[2:0]		RESERVED	INPUT_RANGE_AIN7[2:0]			
0x0C	PGA_BW_SEL_AIN1_8	PGA_BW_SEL_AIN8[1:0]		PGA_BW_SEL_AIN7[1:0]		PGA_BW_SEL_AIN6[1:0]		PGA_BW_SEL_AIN5[1:0]	
		PGA_BW_SEL_AIN4[1:0]		PGA_BW_SEL_AIN3[1:0]		PGA_BW_SEL_AIN2[1:0]		PGA_BW_SEL_AIN1[1:0]	
0x0D	PHASE_DELAY_AIN1_2	PHASE_DELAY_AIN2[7:0]							
		PHASE_DELAY_AIN1[7:0]							
0x0E	PHASE_DELAY_AIN3_4	PHASE_DELAY_AIN4[7:0]							
		PHASE_DELAY_AIN3[7:0]							
0x0F	PHASE_DELAY_AIN5_6	PHASE_DELAY_AIN6[7:0]							
		PHASE_DELAY_AIN5[7:0]							
0x10	PHASE_DELAY_AIN7_8	PHASE_DELAY_AIN8[7:0]							
		PHASE_DELAY_AIN7[7:0]							
0x11	OFS_AIN1	RESERVED						OFS_AIN1[9:0]	
		OFS_AIN1[9:0]							
0x12	OFS_AIN2	RESERVED						OFS_AIN2[9:0]	
		OFS_AIN2[9:0]							
0x13	OFS_AIN3	RESERVED						OFS_AIN3[9:0]	
		OFS_AIN3[9:0]							
0x14	OFS_AIN4	RESERVED						OFS_AIN4[9:0]	
		OFS_AIN4[9:0]							
0x15	OFS_AIN5	RESERVED						OFS_AIN5[9:0]	
		OFS_AIN5[9:0]							
0x16	OFS_AIN6	RESERVED						OFS_AIN6[9:0]	
		OFS_AIN6[9:0]							
0x17	OFS_AIN7	RESERVED						OFS_AIN7[9:0]	
		OFS_AIN7[9:0]							
0x18	OFS_AIN8	RESERVED						OFS_AIN8[9:0]	
		OFS_AIN8[9:0]							
0x19	GAN_AIN1	RESERVED		GAN_AIN1[13:0]					
		GAN_AIN1[13:0]							
0x1A	GAN_AIN2	RESERVED		GAN_AIN2[13:0]					
		GAN_AIN2[13:0]							
0x1B	GAN_AIN3	RESERVED		GAN_AIN3[13:0]					
		GAN_AIN3[13:0]							
0x1C	GAN_AIN4	RESERVED		GAN_AIN4[13:0]					
		GAN_AIN4[13:0]							

表 8-21. AIN1 - AIN8 通道 (续)

地址	首字母缩写词	位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8	
		位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	
0x1D	GAN_AIN5	RESERVED		GAN_AIN5[13:0]						
		GAN_AIN5[13:0]								
0x1E	GAN_AIN6	RESERVED		GAN_AIN6[13:0]						
		GAN_AIN6[13:0]								
0x1F	GAN_AIN7	RESERVED		GAN_AIN7[13:0]						
		GAN_AIN7[13:0]								
0x20	GAN_AIN8	RESERVED		GAN_AIN8[13:0]						
		GAN_AIN8[13:0]								
0x21	DWC_CFG	DWC_STAT_RST	RESERVED			DWC_GLITCH_FILTER[3:0]				
		DWC_EN_AIN8	DWC_EN_AIN7	DWC_EN_AIN6	DWC_EN_AIN5	DWC_EN_AIN4	DWC_EN_AIN3	DWC_EN_AIN2	DWC_EN_AIN1	
0x22	DWC_TH_AIN1	HIGH_TH_AIN1[7:0]								
		LOW_TH_AIN1[7:0]								
0x23	DWC_TH_AIN2	HIGH_TH_AIN2[7:0]								
		LOW_TH_AIN2[7:0]								
0x24	DWC_TH_AIN3	HIGH_TH_AIN3[7:0]								
		LOW_TH_AIN3[7:0]								
0x25	DWC_TH_AIN4	HIGH_TH_AIN4[7:0]								
		LOW_TH_AIN4[7:0]								
0x26	DWC_TH_AIN5	HIGH_TH_AIN5[7:0]								
		LOW_TH_AIN5[7:0]								
0x27	DWC_TH_AIN6	HIGH_TH_AIN6[7:0]								
		LOW_TH_AIN6[7:0]								
0x28	DWC_TH_AIN7	HIGH_TH_AIN7[7:0]								
		LOW_TH_AIN7[7:0]								
0x29	DWC_TH_AIN8	HIGH_TH_AIN8[7:0]								
		LOW_TH_AIN8[7:0]								
0x2A	DWC_HYS_AIN1_2	HYS_AIN2[7:0]								
		HYS_AIN1[7:0]								
0x2B	DWC_HYS_AIN3_4	HYS_AIN4[7:0]								
		HYS_AIN3[7:0]								
0x2C	DWC_HYS_AIN5_6	HYS_AIN6[7:0]								
		HYS_AIN5[7:0]								
0x2D	DWC_HYS_AIN7_8	HYS_AIN8[7:0]								
		HYS_AIN7[7:0]								
0x2E	TP_CFG	RESERVED								
		RESERVED	TP_MODE[2:0]			RESERVED	TP_DIS_IDX	TP_UPD_MODE	TP_EN	
0x2F	TP_AIN1	TP_AIN1[15:0]								
		TP_AIN1[15:0]								
0x30	TP_AIN2	TP_AIN2[15:0]								
		TP_AIN2[15:0]								
0x31	TP_AIN3	TP_AIN3[15:0]								
		TP_AIN3[15:0]								
0x32	TP_AIN4	TP_AIN4[15:0]								
		TP_AIN4[15:0]								
0x33	TP_AIN5	TP_AIN5[15:0]								
		TP_AIN5[15:0]								
0x34	TP_AIN6	TP_AIN6[15:0]								
		TP_AIN6[15:0]								
0x35	TP_AIN7	TP_AIN7[15:0]								
		TP_AIN7[15:0]								

表 8-21. AIN1 - AIN8 通道 (续)

地址	首字母缩写词	位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8
		位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0x36	TP_AIN8	TP_AIN8[15:0]							
0x37	GEN_CFG5	RESERVED							
0x3E	DWC_FLAG_AIN1_8	HIGH_FLAG_AIN8	HIGH_FLAG_AIN7	HIGH_FLAG_AIN6	HIGH_FLAG_AIN5	HIGH_FLAG_AIN4	HIGH_FLAG_AIN3	HIGH_FLAG_AIN2	HIGH_FLAG_AIN1
		LOW_FLAG_AIN8	LOW_FLAG_AIN7	LOW_FLAG_AIN6	LOW_FLAG_AIN5	LOW_FLAG_AIN4	LOW_FLAG_AIN3	LOW_FLAG_AIN2	LOW_FLAG_AIN1

复杂的位访问类型经过编码可适应小型表单元。表 8-22 展示了适用于此部分中访问类型的代码。

表 8-22. AIN1 - AIN8 通道访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.2.1 PGA_CONFIG_AIN1_2 寄存器 (地址 = 0x08) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-19. PGA_CONFIG_AIN1_2 寄存器

15	14	13	12	11	10	9	8
CME_CORR_EN_AIN2	CM_RANGE_AIN2[2:0]			RESERVED	INPUT_RANGE_AIN2[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		
7	6	5	4	3	2	1	0
CME_CORR_EN_AIN1	CM_RANGE_AIN1[2:0]			RESERVED	INPUT_RANGE_AIN1[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		

表 8-23. PGA_CONFIG_AIN1_2 寄存器字段说明

位	字段	类型	复位	说明
15	CME_CORR_EN_AIN2	R/W	0b	共模误差校正启用。 0b = 禁用 1b = 启用
14:12	CM_RANGE_AIN2[2:0]	R/W	000b	选择输入信号类型。 000b = 差分 (±12.5V CM 范围) 101b = 单端 110b = 单端开路安全
11	RESERVED	R/W	0b	保留。请勿更改默认复位值。
10:8	INPUT_RANGE_AIN2[2:0]	R/W	000b	AIN2 模拟输入范围选择。 000b = ±5V 001b = 保留 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = 保留 111b = 保留
7	CME_CORR_EN_AIN1	R/W	0b	共模误差校正启用。 0b = 禁用 1b = 启用

表 8-23. PGA_CONFIG_AIN1_2 寄存器字段说明 (续)

位	字段	类型	复位	说明
6:4	CM_RANGE_AIN1[2:0]	R/W	000b	选择输入信号类型。 000b = 差分 (±12.5V CM 范围) 101b = 单端 110b = 单端开路安全
3	RESERVED	R/W	0b	保留。请勿更改默认复位值。
2:0	INPUT_RANGE_AIN1[2:0]	R/W	000b	AIN1 模拟输入范围选择。 000b = ±5V 001b = 保留 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = 保留 111b = 保留

8.2.2 PGA_CONFIG_AIN3_4 寄存器 (地址 = 0x09) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-20. PGA_CONFIG_AIN3_4 寄存器

15	14	13	12	11	10	9	8
CME_CORR_EN_AIN4	CM_RANGE_AIN4[2:0]			RESERVED	INPUT_RANGE_AIN4[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		
7	6	5	4	3	2	1	0
CME_CORR_EN_AIN3	CM_RANGE_AIN3[2:0]			RESERVED	INPUT_RANGE_AIN3[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		

表 8-24. PGA_CONFIG_AIN3_4 寄存器字段说明

位	字段	类型	复位	说明
15	CME_CORR_EN_AIN4	R/W	0b	共模误差校正启用。 0b = 禁用 1b = 启用
14:12	CM_RANGE_AIN4[2:0]	R/W	000b	选择输入信号类型。 000b = 差分 (±12.5V CM 范围) 101b = 单端 110b = 单端开路安全
11	RESERVED	R/W	0b	保留。请勿更改默认复位值。
10:8	INPUT_RANGE_AIN4[2:0]	R/W	000b	AIN4 模拟输入范围选择。 000b = ±5V 001b = 保留 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = 保留 111b = 保留
7	CME_CORR_EN_AIN3	R/W	0b	共模误差校正启用。 0b = 禁用 1b = 启用
6:4	CM_RANGE_AIN3[2:0]	R/W	000b	选择输入信号类型。 000b = 差分 (±12.5V CM 范围) 101b = 单端 110b = 单端开路安全
3	RESERVED	R/W	0b	保留。请勿更改默认复位值。
2:0	INPUT_RANGE_AIN3[2:0]	R/W	000b	AIN3 模拟输入范围选择。 000b = ±5V 001b = 保留 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = 保留 111b = 保留

8.2.3 PGA_CONFIG_AIN5_6 寄存器 (地址 = 0x0A) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-21. PGA_CONFIG_AIN5_6 寄存器

15	14	13	12	11	10	9	8
CME_CORR_EN_AIN6	CM_RANGE_AIN6[2:0]			RESERVED	INPUT_RANGE_AIN6[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		
7	6	5	4	3	2	1	0
CME_CORR_EN_AIN5	CM_RANGE_AIN5[2:0]			RESERVED	INPUT_RANGE_AIN5[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		

表 8-25. PGA_CONFIG_AIN5_6 寄存器字段说明

位	字段	类型	复位	说明
15	CME_CORR_EN_AIN6	R/W	0b	共模误差校正启用。 0b = 禁用 1b = 启用
14:12	CM_RANGE_AIN6[2:0]	R/W	000b	选择输入信号类型。 000b = 差分 (±12.5V CM 范围) 101b = 单端 110b = 单端开路安全
11	RESERVED	R/W	0b	保留。请勿更改默认复位值。
10:8	INPUT_RANGE_AIN6[2:0]	R/W	000b	AIN6 模拟输入范围选择。 000b = ±5V 001b = 保留 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = 保留 111b = 保留
7	CME_CORR_EN_AIN5	R/W	0b	共模误差校正启用。 0b = 禁用 1b = 启用
6:4	CM_RANGE_AIN5[2:0]	R/W	000b	选择输入信号类型。 000b = 差分 (±12.5V CM 范围) 101b = 单端 110b = 单端开路安全
3	RESERVED	R/W	0b	保留。请勿更改默认复位值。
2:0	INPUT_RANGE_AIN5[2:0]	R/W	000b	AIN5 模拟输入范围选择。 000b = ±5V 001b = 保留 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = 保留 111b = 保留

8.2.4 PGA_CONFIG_AIN7_8 寄存器 (地址 = 0x0B) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-22. PGA_CONFIG_AIN7_8 寄存器

15	14	13	12	11	10	9	8
CME_CORR_EN_AIN8	CM_RANGE_AIN8[2:0]			RESERVED	INPUT_RANGE_AIN8[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		
7	6	5	4	3	2	1	0
CME_CORR_EN_AIN7	CM_RANGE_AIN7[2:0]			RESERVED	INPUT_RANGE_AIN7[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		

表 8-26. PGA_CONFIG_AIN7_8 寄存器字段说明

位	字段	类型	复位	说明
15	CME_CORR_EN_AIN8	R/W	0b	共模误差校正启用。 0b = 禁用 1b = 启用
14:12	CM_RANGE_AIN8[2:0]	R/W	000b	选择输入信号类型。 000b = 差分 (±12.5V CM 范围) 101b = 单端 110b = 单端开路安全
11	RESERVED	R/W	0b	保留。请勿更改默认复位值。
10:8	INPUT_RANGE_AIN8[2:0]	R/W	000b	AIN8 模拟输入范围选择。 000b = ±5V 001b = 保留 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = 保留 111b = 保留
7	CME_CORR_EN_AIN7	R/W	0b	共模误差校正启用。 0b = 禁用 1b = 启用
6:4	CM_RANGE_AIN7[2:0]	R/W	000b	选择输入信号类型。 000b = 差分 (±12.5V CM 范围) 101b = 单端 110b = 单端开路安全
3	RESERVED	R/W	0b	保留。请勿更改默认复位值。
2:0	INPUT_RANGE_AIN7[2:0]	R/W	000b	AIN7 模拟输入范围选择。 000b = ±5V 001b = 保留 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = 保留 111b = 保留

8.2.5 PGA_BW_SEL_AIN1_8 寄存器 (地址 = 0x0C) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-23. PGA_BW_SEL_AIN1_8 寄存器

15	14	13	12	11	10	9	8
PGA_BW_SEL_AIN8[1:0]		PGA_BW_SEL_AIN7[1:0]		PGA_BW_SEL_AIN6[1:0]		PGA_BW_SEL_AIN5[1:0]	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	
7	6	5	4	3	2	1	0
PGA_BW_SEL_AIN4[1:0]		PGA_BW_SEL_AIN3[1:0]		PGA_BW_SEL_AIN2[1:0]		PGA_BW_SEL_AIN1[1:0]	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 8-27. PGA_BW_SEL_AIN1_8 寄存器字段说明

位	字段	类型	复位	说明
15:14	PGA_BW_SEL_AIN8[1:0]	R/W	00b	AIN8 模拟低通滤波器配置控制。 00b = 低带宽 01b = 宽带宽 10b = 保留 11b = 保留
13:12	PGA_BW_SEL_AIN7[1:0]	R/W	00b	AIN7 模拟低通滤波器配置控制。 00b = 低带宽 01b = 宽带宽 10b = 保留 11b = 保留
11:10	PGA_BW_SEL_AIN6[1:0]	R/W	00b	AIN6 模拟低通滤波器配置控制。 00b = 低带宽 01b = 宽带宽 10b = 保留 11b = 保留

表 8-27. PGA_BW_SEL_AIN1_8 寄存器字段说明 (续)

位	字段	类型	复位	说明
9:8	PGA_BW_SEL_AIN5[1:0]	R/W	00b	AIN5 模拟低通滤波器配置控制。 00b = 低带宽 01b = 宽带宽 10b = 保留 11b = 保留
7:6	PGA_BW_SEL_AIN4[1:0]	R/W	00b	AIN4 模拟低通滤波器配置控制。 00b = 低带宽 01b = 宽带宽 10b = 保留 11b = 保留
5:4	PGA_BW_SEL_AIN3[1:0]	R/W	00b	AIN3 模拟低通滤波器配置控制。 00b = 低带宽 01b = 宽带宽 10b = 保留 11b = 保留
3:2	PGA_BW_SEL_AIN2[1:0]	R/W	00b	AIN2 模拟低通滤波器配置控制。 00b = 低带宽 01b = 宽带宽 10b = 保留 11b = 保留
1:0	PGA_BW_SEL_AIN1[1:0]	R/W	00b	AIN1 模拟低通滤波器配置控制。 00b = 低带宽 01b = 宽带宽 10b = 保留 11b = 保留

8.2.6 PHASE_DELAY_AIN1_2 寄存器 (地址 = 0x0D) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-24. PHASE_DELAY_AIN1_2 寄存器

15	14	13	12	11	10	9	8
PHASE_DELAY_AIN2[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
PHASE_DELAY_AIN1[7:0]							
R/W-00000000b							

表 8-28. PHASE_DELAY_AIN1_2 寄存器字段说明

位	字段	类型	复位	说明
15:8	PHASE_DELAY_AIN2[7:0]	R/W	00000000b	相位延迟 = n * ADC CONVST CLK, 其中 n 为 0 至 255。
7:0	PHASE_DELAY_AIN1[7:0]	R/W	00000000b	相位延迟 = n * ADC CONVST CLK, 其中 n 为 0 至 255。

8.2.7 PHASE_DELAY_AIN3_4 寄存器 (地址 = 0x0E) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-25. PHASE_DELAY_AIN3_4 寄存器

15	14	13	12	11	10	9	8
PHASE_DELAY_AIN4[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
PHASE_DELAY_AIN3[7:0]							
R/W-00000000b							

表 8-29. PHASE_DELAY_AIN3_4 寄存器字段说明

位	字段	类型	复位	说明
15:8	PHASE_DELAY_AIN4[7:0]	R/W	00000000b	相位延迟 = n * CONVST_CLK, 其中 n 为 0 至 255。

表 8-29. PHASE_DELAY_AIN3_4 寄存器字段说明 (续)

位	字段	类型	复位	说明
7:0	PHASE_DELAY_AIN3[7:0]	R/W	00000000b	相位延迟 = $n \cdot \text{CONVST_CLK}$ ，其中 n 为 0 至 255。

8.2.8 PHASE_DELAY_AIN5_6 寄存器 (地址 = 0x0F) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-26. PHASE_DELAY_AIN5_6 寄存器

15	14	13	12	11	10	9	8
PHASE_DELAY_AIN6[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
PHASE_DELAY_AIN5[7:0]							
R/W-00000000b							

表 8-30. PHASE_DELAY_AIN5_6 寄存器字段说明

位	字段	类型	复位	说明
15:8	PHASE_DELAY_AIN6[7:0]	R/W	00000000b	相位延迟 = $n \cdot \text{CONVST_CLK}$ ，其中 n 为 0 至 255。
7:0	PHASE_DELAY_AIN5[7:0]	R/W	00000000b	相位延迟 = $n \cdot \text{CONVST_CLK}$ ，其中 n 为 0 至 255。

8.2.9 PHASE_DELAY_AIN7_8 寄存器 (地址 = 0x10) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-27. PHASE_DELAY_AIN7_8 寄存器

15	14	13	12	11	10	9	8
PHASE_DELAY_AIN8[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
PHASE_DELAY_AIN7[7:0]							
R/W-00000000b							

表 8-31. PHASE_DELAY_AIN7_8 寄存器字段说明

位	字段	类型	复位	说明
15:8	PHASE_DELAY_AIN8[7:0]	R/W	00000000b	相位延迟 = $n \cdot \text{CONVST_CLK}$ ，其中 n 为 0 至 255。
7:0	PHASE_DELAY_AIN7[7:0]	R/W	00000000b	相位延迟 = $n \cdot \text{CONVST_CLK}$ ，其中 n 为 0 至 255。

8.2.10 OFS_AIN1 寄存器 (地址 = 0x11) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-28. OFS_AIN1 寄存器

15	14	13	12	11	10	9	8
RESERVED						OFS_AIN1[9:0]	
R/W-0000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_AIN1[9:0]							
R/W-0000000000b							

表 8-32. OFS_AIN1 寄存器字段说明

位	字段	类型	复位	说明
15:10	RESERVED	R/W	0000000b	保留。请勿更改默认复位值。

表 8-32. OFS_AIN1 寄存器字段说明 (续)

位	字段	类型	复位	说明
9:0	OFS_AIN1[9:0]	R/W	0000000000b	AIN1 的偏移校正寄存器。 偏移值采用二进制补码表示形式。偏移运算在增益运算之前。

8.2.11 OFS_AIN2 寄存器 (地址 = 0x12) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-29. OFS_AIN2 寄存器

15	14	13	12	11	10	9	8
RESERVED						OFS_AIN2[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_AIN2[9:0]							
R/W-0000000000b							

表 8-33. OFS_AIN2 寄存器字段说明

位	字段	类型	复位	说明
15:10	RESERVED	R/W	000000b	保留。请勿更改默认复位值。
9:0	OFS_AIN2[9:0]	R/W	0000000000b	AIN2 的偏移校正寄存器。 偏移值采用二进制补码表示形式。偏移运算在增益运算之前。

8.2.12 OFS_AIN3 寄存器 (地址 = 0x13) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-30. OFS_AIN3 寄存器

15	14	13	12	11	10	9	8
RESERVED						OFS_AIN3[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_AIN3[9:0]							
R/W-0000000000b							

表 8-34. OFS_AIN3 寄存器字段说明

位	字段	类型	复位	说明
15:10	RESERVED	R/W	000000b	保留。请勿更改默认复位值。
9:0	OFS_AIN3[9:0]	R/W	0000000000b	AIN3 的偏移校正寄存器。 偏移值采用二进制补码表示形式。偏移运算在增益运算之前。

8.2.13 OFS_AIN4 寄存器 (地址 = 0x14) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-31. OFS_AIN4 寄存器

15	14	13	12	11	10	9	8
RESERVED						OFS_AIN4[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_AIN4[9:0]							
R/W-0000000000b							

表 8-35. OFS_AIN4 寄存器字段说明

位	字段	类型	复位	说明
15:10	RESERVED	R/W	000000b	保留。请勿更改默认复位值。
9:0	OFS_AIN4[9:0]	R/W	0000000000b	AIN4 的偏移校正寄存器。 偏移值采用二进制补码表示形式。偏移运算在增益运算之前。

8.2.14 OFS_AIN5 寄存器 (地址 = 0x15) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-32. OFS_AIN5 寄存器

15	14	13	12	11	10	9	8
RESERVED						OFS_AIN5[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_AIN5[9:0]							
R/W-0000000000b							

表 8-36. OFS_AIN5 寄存器字段说明

位	字段	类型	复位	说明
15:10	RESERVED	R/W	000000b	保留。请勿更改默认复位值。
9:0	OFS_AIN5[9:0]	R/W	0000000000b	AIN5 的偏移校正寄存器。 偏移值采用二进制补码表示形式。偏移运算在增益运算之前。

8.2.15 OFS_AIN6 寄存器 (地址 = 0x16) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-33. OFS_AIN6 寄存器

15	14	13	12	11	10	9	8
RESERVED						OFS_AIN6[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_AIN6[9:0]							
R/W-0000000000b							

表 8-37. OFS_AIN6 寄存器字段说明

位	字段	类型	复位	说明
15:10	RESERVED	R/W	000000b	保留。请勿更改默认复位值。
9:0	OFS_AIN6[9:0]	R/W	0000000000b	AIN6 的偏移校正寄存器。 偏移值采用二进制补码表示形式。偏移运算在增益运算之前。

8.2.16 OFS_AIN7 寄存器 (地址 = 0x17) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-34. OFS_AIN7 寄存器

15	14	13	12	11	10	9	8
RESERVED						OFS_AIN7[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_AIN7[9:0]							
R/W-0000000000b							

表 8-38. OFS_AIN7 寄存器字段说明

位	字段	类型	复位	说明
15:10	RESERVED	R/W	000000b	保留。请勿更改默认复位值。
9:0	OFS_AIN7[9:0]	R/W	0000000000b	AIN7 的偏移校正寄存器。 偏移值采用二进制补码表示形式，并从转换结果中减去它。偏移运算在增益运算之前。为 12 位 ADS93xx 器件系列型号保留了四个 LSB 位。

8.2.17 OFS_AIN8 寄存器 (地址 = 0x18) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-35. OFS_AIN8 寄存器

15	14	13	12	11	10	9	8
RESERVED						OFS_AIN8[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_AIN8[9:0]							
R/W-0000000000b							

表 8-39. OFS_AIN8 寄存器字段说明

位	字段	类型	复位	说明
15:10	RESERVED	R/W	000000b	保留。请勿更改默认复位值。
9:0	OFS_AIN8[9:0]	R/W	0000000000b	AIN8 的偏移校正寄存器。 偏移值采用二进制补码表示形式。偏移运算在增益运算之前。

8.2.18 GAN_AIN1 寄存器 (地址 = 0x19) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-36. GAN_AIN1 寄存器

15	14	13	12	11	10	9	8
RESERVED			GAN_AIN1[13:0]				
R/W-00b			R/W-0000000000000000b				
7	6	5	4	3	2	1	0
GAN_AIN1[13:0]							
R/W-0000000000000000b							

表 8-40. GAN_AIN1 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R/W	00b	保留。请勿更改默认复位值。
13:0	GAN_AIN1[13:0]	R/W	00000000000000000b	AIN1 的增益校正寄存器。 增益校正正值采用二进制补码表示形式，并在偏移运算后完成。在增益运行期间，将转换数据乘以 (1 + GAN_AINn[13:0] / 10000h)。

8.2.19 GAN_AIN2 寄存器 (地址 = 0x1A) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-37. GAN_AIN2 寄存器

15	14	13	12	11	10	9	8
RESERVED			GAN_AIN2[13:0]				
R/W-00b			R/W-0000000000000000b				
7	6	5	4	3	2	1	0
GAN_AIN2[13:0]							
R/W-0000000000000000b							

图 8-37. GAN_AIN2 寄存器 (续)

表 8-41. GAN_AIN2 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R/W	00b	保留。请勿更改默认复位值。
13:0	GAN_AIN2[13:0]	R/W	00000000000000 0b	AIN2 的增益校正寄存器。 增益校正值采用二进制补码表示形式，并在偏移运算后完成。在增益运行期间，将转换数据乘以 (1 + GAN_AINn[13:0] / 10000h)。

8.2.20 GAN_AIN3 寄存器 (地址 = 0x1B) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-38. GAN_AIN3 寄存器

15	14	13	12	11	10	9	8
RESERVED		GAN_AIN3[13:0]					
R/W-00b		R/W-00000000000000b					
7	6	5	4	3	2	1	0
GAN_AIN3[13:0]							
R/W-00000000000000b							

表 8-42. GAN_AIN3 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R/W	00b	保留。请勿更改默认复位值。
13:0	GAN_AIN3[13:0]	R/W	00000000000000 0b	AIN3 的增益校正寄存器。 增益校正值采用二进制补码表示形式，并在偏移运算后完成。在增益运行期间，将转换数据乘以 (1 + GAN_AINn[13:0] / 10000h)。

8.2.21 GAN_AIN4 寄存器 (地址 = 0x1C) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-39. GAN_AIN4 寄存器

15	14	13	12	11	10	9	8
RESERVED		GAN_AIN4[13:0]					
R/W-00b		R/W-00000000000000b					
7	6	5	4	3	2	1	0
GAN_AIN4[13:0]							
R/W-00000000000000b							

表 8-43. GAN_AIN4 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R/W	00b	保留。请勿更改默认复位值。
13:0	GAN_AIN4[13:0]	R/W	00000000000000 0b	AIN4 的增益校正寄存器。 增益校正值采用二进制补码表示形式，并在偏移运算后完成。在增益运行期间，将转换数据乘以 (1 + GAN_AINn[13:0] / 10000h)。

8.2.22 GAN_AIN5 寄存器 (地址 = 0x1D) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-40. GAN_AIN5 寄存器

15	14	13	12	11	10	9	8
RESERVED		GAN_AIN5[13:0]					
R/W-00b		R/W-00000000000000b					

图 8-40. GAN_AIN5 寄存器 (续)

7	6	5	4	3	2	1	0
GAN_AIN5[13:0]							
R/W-00000000000000b							

表 8-44. GAN_AIN5 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R/W	00b	保留。请勿更改默认复位值。
13:0	GAN_AIN5[13:0]	R/W	00000000000000b	AIN5 的增益校正寄存器。 增益校正值采用二进制补码表示形式，并在偏移运算后完成。在增益运行期间，将转换数据乘以 (1 + GAN_AINn[13:0] / 10000h)。

8.2.23 GAN_AIN6 寄存器 (地址 = 0x1E) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-41. GAN_AIN6 寄存器

15	14	13	12	11	10	9	8
RESERVED		GAN_AIN6[13:0]					
R/W-00b		R/W-00000000000000b					
7	6	5	4	3	2	1	0
GAN_AIN6[13:0]							
R/W-00000000000000b							

表 8-45. GAN_AIN6 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R/W	00b	保留。请勿更改默认复位值。
13:0	GAN_AIN6[13:0]	R/W	00000000000000b	AIN6 的增益校正寄存器。 增益校正值采用二进制补码表示形式，并在偏移运算后完成。在增益运行期间，将转换数据乘以 (1 + GAN_AINn[13:0] / 10000h)。

8.2.24 GAN_AIN7 寄存器 (地址 = 0x1F) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-42. GAN_AIN7 寄存器

15	14	13	12	11	10	9	8
RESERVED		GAN_AIN7[13:0]					
R/W-00b		R/W-00000000000000b					
7	6	5	4	3	2	1	0
GAN_AIN7[13:0]							
R/W-00000000000000b							

表 8-46. GAN_AIN7 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R/W	00b	保留。请勿更改默认复位值。
13:0	GAN_AIN7[13:0]	R/W	00000000000000b	AIN7 的增益校正寄存器。 增益校正值采用二进制补码表示形式，并在偏移运算后完成。在增益运行期间，将转换数据乘以 (1 + GAN_AINn[13:0] / 10000h)。

8.2.25 GAN_AIN8 寄存器 (地址 = 0x20) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-43. GAN_AIN8 寄存器

15	14	13	12	11	10	9	8
RESERVED			GAN_AIN8[13:0]				
R/W-00b			R/W-00000000000000b				
7	6	5	4	3	2	1	0
GAN_AIN8[13:0]							
R/W-00000000000000b							

表 8-47. GAN_AIN8 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R/W	00b	保留。请勿更改默认复位值。
13:0	GAN_AIN8[13:0]	R/W	00000000000000 0b	AIN8 的增益校正寄存器。 增益校正正值采用二进制补码表示形式，并在偏移运算后完成。在增益运行期间，将转换数据乘以 (1 + GAN_AINn[13:0] / 10000h)。

8.2.26 DWC_CFG 寄存器 (地址 = 0x21) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-44. DWC_CFG 寄存器

15	14	13	12	11	10	9	8
DWC_STAT_RST	RESERVED			DWC_GLITCH_FILTER[3:0]			
R/W-0b	R/W-000b			R/W-0000b			
7	6	5	4	3	2	1	0
DWC_EN_AIN8	DWC_EN_AIN7	DWC_EN_AIN6	DWC_EN_AIN5	DWC_EN_AIN4	DWC_EN_AIN3	DWC_EN_AIN2	DWC_EN_AIN1
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-48. DWC_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	DWC_STAT_RST	R/W	0b	数字窗口比较器复位控制。写入 1'b 以复位 DWC 状态标志。
14:12	RESERVED	R/W	000b	保留。请勿更改默认复位值。
11:8	DWC_GLITCH_FILTER[3:0]	R/W	0000b	数字窗口比较器毛刺抑制滤波器控制。 仅当 ADC 数据在连续若干 DWC_GLITCH_FILTER[3:0] 周期内超过阈值时，才会设置比较器标志。
7	DWC_EN_AIN8	R/W	0b	数字窗口比较器使能。 0b = 禁用 1b = 启用
6	DWC_EN_AIN7	R/W	0b	数字窗口比较器使能。 0b = 禁用 1b = 启用
5	DWC_EN_AIN6	R/W	0b	数字窗口比较器使能。 0b = 禁用 1b = 启用
4	DWC_EN_AIN5	R/W	0b	数字窗口比较器使能。 0b = 禁用 1b = 启用
3	DWC_EN_AIN4	R/W	0b	数字窗口比较器使能。 0b = 禁用 1b = 启用
2	DWC_EN_AIN3	R/W	0b	数字窗口比较器使能。 0b = 禁用 1b = 启用
1	DWC_EN_AIN2	R/W	0b	数字窗口比较器使能。 0b = 禁用 1b = 启用
0	DWC_EN_AIN1	R/W	0b	数字窗口比较器使能。 0b = 禁用 1b = 启用

8.2.27 DWC_TH_AIN1 寄存器 (地址 = 0x22) [复位 = 0xFF00]

返回到[汇总表](#)。

图 8-45. DWC_TH_AIN1 寄存器

15	14	13	12	11	10	9	8
HIGH_TH_AIN1[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN1[7:0]							
R/W-00000000b							

表 8-49. DWC_TH_AIN1 寄存器字段说明

位	字段	类型	复位	说明
15:8	HIGH_TH_AIN1[7:0]	R/W	11111111b	模拟输入的 MSB 对齐高阈值。将这些位与 ADC 转换结果的前 8 位进行比较。
7:0	LOW_TH_AIN1[7:0]	R/W	00000000b	模拟输入的 MSB 对齐低阈值。将这些位与 ADC 转换结果的前 8 位进行比较。

8.2.28 DWC_TH_AIN2 寄存器 (地址 = 0x23) [复位 = 0xFF00]

返回到[汇总表](#)。

图 8-46. DWC_TH_AIN2 寄存器

15	14	13	12	11	10	9	8
HIGH_TH_AIN2[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN2[7:0]							
R/W-00000000b							

表 8-50. DWC_TH_AIN2 寄存器字段说明

位	字段	类型	复位	说明
15:8	HIGH_TH_AIN2[7:0]	R/W	11111111b	模拟输入的 MSB 对齐高阈值。将这些位与 ADC 转换结果的前 8 位进行比较。
7:0	LOW_TH_AIN2[7:0]	R/W	00000000b	模拟输入的 MSB 对齐低阈值。将这些位与 ADC 转换结果的前 8 位进行比较。

8.2.29 DWC_TH_AIN3 寄存器 (地址 = 0x24) [复位 = 0xFF00]

返回到[汇总表](#)。

图 8-47. DWC_TH_AIN3 寄存器

15	14	13	12	11	10	9	8
HIGH_TH_AIN3[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN3[7:0]							
R/W-00000000b							

表 8-51. DWC_TH_AIN3 寄存器字段说明

位	字段	类型	复位	说明
15:8	HIGH_TH_AIN3[7:0]	R/W	11111111b	模拟输入的 MSB 对齐高阈值。将这些位与 ADC 转换结果的前 8 位进行比较。
7:0	LOW_TH_AIN3[7:0]	R/W	00000000b	模拟输入的 MSB 对齐低阈值。将这些位与 ADC 转换结果的前 8 位进行比较。

8.2.30 DWC_TH_AIN4 寄存器 (地址 = 0x25) [复位 = 0xFF00]

返回到[汇总表](#)。

图 8-48. DWC_TH_AIN4 寄存器

15	14	13	12	11	10	9	8
HIGH_TH_AIN4[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN4[7:0]							
R/W-00000000b							

表 8-52. DWC_TH_AIN4 寄存器字段说明

位	字段	类型	复位	说明
15:8	HIGH_TH_AIN4[7:0]	R/W	11111111b	模拟输入的 MSB 对齐高阈值。将这些位与 ADC 转换结果的前 8 位进行比较。
7:0	LOW_TH_AIN4[7:0]	R/W	00000000b	模拟输入的 MSB 对齐低阈值。将这些位与 ADC 转换结果的前 8 位进行比较。

8.2.31 DWC_TH_AIN5 寄存器 (地址 = 0x26) [复位 = 0xFF00]

返回到[汇总表](#)。

图 8-49. DWC_TH_AIN5 寄存器

15	14	13	12	11	10	9	8
HIGH_TH_AIN5[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN5[7:0]							
R/W-00000000b							

表 8-53. DWC_TH_AIN5 寄存器字段说明

位	字段	类型	复位	说明
15:8	HIGH_TH_AIN5[7:0]	R/W	11111111b	模拟输入的 MSB 对齐高阈值。将这些位与 ADC 转换结果的前 8 位进行比较。
7:0	LOW_TH_AIN5[7:0]	R/W	00000000b	模拟输入的 MSB 对齐低阈值。将这些位与 ADC 转换结果的前 8 位进行比较。

8.2.32 DWC_TH_AIN6 寄存器 (地址 = 0x27) [复位 = 0xFF00]

返回到[汇总表](#)。

图 8-50. DWC_TH_AIN6 寄存器

15	14	13	12	11	10	9	8
HIGH_TH_AIN6[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN6[7:0]							
R/W-00000000b							

表 8-54. DWC_TH_AIN6 寄存器字段说明

位	字段	类型	复位	说明
15:8	HIGH_TH_AIN6[7:0]	R/W	11111111b	模拟输入的 MSB 对齐高阈值。将这些位与 ADC 转换结果的前 8 位进行比较。
7:0	LOW_TH_AIN6[7:0]	R/W	00000000b	模拟输入的 MSB 对齐低阈值。将这些位与 ADC 转换结果的前 8 位进行比较。

8.2.33 DWC_TH_AIN7 寄存器 (地址 = 0x28) [复位 = 0xFF00]

返回到[汇总表](#)。

图 8-51. DWC_TH_AIN7 寄存器

15	14	13	12	11	10	9	8
HIGH_TH_AIN7[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN7[7:0]							
R/W-00000000b							

表 8-55. DWC_TH_AIN7 寄存器字段说明

位	字段	类型	复位	说明
15:8	HIGH_TH_AIN7[7:0]	R/W	11111111b	模拟输入的 MSB 对齐高阈值。将这些位与 ADC 转换结果的前 8 位进行比较。
7:0	LOW_TH_AIN7[7:0]	R/W	00000000b	模拟输入的 MSB 对齐低阈值。将这些位与 ADC 转换结果的前 8 位进行比较。

8.2.34 DWC_TH_AIN8 寄存器 (地址 = 0x29) [复位 = 0xFF00]

返回到[汇总表](#)。

图 8-52. DWC_TH_AIN8 寄存器

15	14	13	12	11	10	9	8
HIGH_TH_AIN8[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN8[7:0]							
R/W-00000000b							

表 8-56. DWC_TH_AIN8 寄存器字段说明

位	字段	类型	复位	说明
15:8	HIGH_TH_AIN8[7:0]	R/W	11111111b	模拟输入的 MSB 对齐高阈值。将这些位与 ADC 转换结果的前 8 位进行比较。
7:0	LOW_TH_AIN8[7:0]	R/W	00000000b	模拟输入的 MSB 对齐低阈值。将这些位与 ADC 转换结果的前 8 位进行比较。

8.2.35 DWC_HYS_AIN1_2 寄存器 (地址 = 0x2A) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-53. DWC_HYS_AIN1_2 寄存器

15	14	13	12	11	10	9	8
HYS_AIN2[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
HYS_AIN1[7:0]							
R/W-00000000b							

表 8-57. DWC_HYS_AIN1_2 寄存器字段说明

位	字段	类型	复位	说明
15:8	HYS_AIN2[7:0]	R/W	00000000b	针对高阈值和低阈值的 8 位迟滞。
7:0	HYS_AIN1[7:0]	R/W	00000000b	针对高阈值和低阈值的 8 位迟滞。

8.2.36 DWC_HYS_AIN3_4 寄存器 (地址 = 0x2B) [复位 = 0xFF00]

返回到[汇总表](#)。

图 8-54. DWC_HYS_AIN3_4 寄存器

15	14	13	12	11	10	9	8
HYS_AIN4[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
HYS_AIN3[7:0]							
R/W-00000000b							

表 8-58. DWC_HYS_AIN3_4 寄存器字段说明

位	字段	类型	复位	说明
15:8	HYS_AIN4[7:0]	R/W	11111111b	针对高阈值和低阈值的 8 位迟滞
7:0	HYS_AIN3[7:0]	R/W	00000000b	针对高阈值和低阈值的 8 位迟滞

8.2.37 DWC_HYS_AIN5_6 寄存器 (地址 = 0x2C) [复位 = 0xFF00]

返回到[汇总表](#)。

图 8-55. DWC_HYS_AIN5_6 寄存器

15	14	13	12	11	10	9	8
HYS_AIN6[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
HYS_AIN5[7:0]							
R/W-00000000b							

表 8-59. DWC_HYS_AIN5_6 寄存器字段说明

位	字段	类型	复位	说明
15:8	HYS_AIN6[7:0]	R/W	11111111b	针对高阈值和低阈值的 8 位迟滞
7:0	HYS_AIN5[7:0]	R/W	00000000b	针对高阈值和低阈值的 8 位迟滞

8.2.38 DWC_HYS_AIN7_8 寄存器 (地址 = 0x2D) [复位 = 0xFF00]

返回到[汇总表](#)。

图 8-56. DWC_HYS_AIN7_8 寄存器

15	14	13	12	11	10	9	8
HYS_AIN8[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
HYS_AIN7[7:0]							
R/W-00000000b							

表 8-60. DWC_HYS_AIN7_8 寄存器字段说明

位	字段	类型	复位	说明
15:8	HYS_AIN8[7:0]	R/W	11111111b	针对高阈值和低阈值的 8 位迟滞
7:0	HYS_AIN7[7:0]	R/W	00000000b	针对高阈值和低阈值的 8 位迟滞

8.2.39 TP_CFG 寄存器 (地址 = 0x2E) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-57. TP_CFG 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R/W-000000000b							
7	6	5	4	3	2	1	0
RESERVED	TP_MODE[2:0]			RESERVED	TP_DIS_IDX	TP_UPD_MODE	TP_EN
R/W-000000000b	R/W-000b			R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-61. TP_CFG 寄存器字段说明

位	字段	类型	复位	说明
15:7	RESERVED	R/W	000000000b	保留。请勿更改默认复位值。
6:4	TP_MODE[2:0]	R/W	000b	测试图形模式选择。 000b = 恒定图形 001b = 保留 010b = 斜坡模式 011b = 保留 100b = 保留 101b = 保留
3	RESERVED	R/W	0b	保留。请勿更改默认复位值。
2	TP_DIS_IDX	R/W	0b	禁用测试图形中的 1'b 通道索引插入时。
1	TP_UPD_MODE	R/W	0b	测试图形递增模式。 0b = 在通道帧边界发生递增。 1b = 每个 CONVST 发生递增。
0	TP_EN	R/W	0b	AIN1 至 AIN8 的测试模式使能。 0b = 在数据接口上发出 ADC 转换结果 1b = 在数据接口上发出数字测试模式

8.2.40 TP_AIN1 寄存器 (地址 = 0x2F) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-58. TP_AIN1 寄存器

15	14	13	12	11	10	9	8
TP_AIN1[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN1[15:0]							
R/W-0000000000000000b							

表 8-62. TP_AIN1 寄存器字段说明

位	字段	类型	复位	说明
15:0	TP_AIN1[15:0]	R/W	0000000000000000 000b	AIN1 的固定 16 位图形。在斜坡图形模式下，TP_AIN1 控制 AIN1 至 AIN8 的步长。

8.2.41 TP_AIN2 寄存器 (地址 = 0x30) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-59. TP_AIN2 寄存器

15	14	13	12	11	10	9	8
TP_AIN2[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN2[15:0]							

图 8-59. TP_AIN2 寄存器 (续)

R/W-0000000000000000b

表 8-63. TP_AIN2 寄存器字段说明

位	字段	类型	复位	说明
15:0	TP_AIN2[15:0]	R/W	0000000000000000 000b	AIN2 的固定 16 位图形。

8.2.42 TP_AIN3 寄存器 (地址 = 0x31) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-60. TP_AIN3 寄存器

15	14	13	12	11	10	9	8
TP_AIN3[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN3[15:0]							
R/W-0000000000000000b							

表 8-64. TP_AIN3 寄存器字段说明

位	字段	类型	复位	说明
15:0	TP_AIN3[15:0]	R/W	0000000000000000 000b	AIN3 的固定 16 位图形。

8.2.43 TP_AIN4 寄存器 (地址 = 0x32) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-61. TP_AIN4 寄存器

15	14	13	12	11	10	9	8
TP_AIN4[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN4[15:0]							
R/W-0000000000000000b							

表 8-65. TP_AIN4 寄存器字段说明

位	字段	类型	复位	说明
15:0	TP_AIN4[15:0]	R/W	0000000000000000 000b	AIN4 的固定 16 位图形。

8.2.44 TP_AIN5 寄存器 (地址 = 0x33) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-62. TP_AIN5 寄存器

15	14	13	12	11	10	9	8
TP_AIN5[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN5[15:0]							
R/W-0000000000000000b							

表 8-66. TP_AIN5 寄存器字段说明

位	字段	类型	复位	说明
15:0	TP_AIN5[15:0]	R/W	0000000000000000b	AIN5 的固定 16 位图形。

8.2.45 TP_AIN6 寄存器 (地址 = 0x34) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-63. TP_AIN6 寄存器

15	14	13	12	11	10	9	8
TP_AIN6[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN6[15:0]							
R/W-0000000000000000b							

表 8-67. TP_AIN6 寄存器字段说明

位	字段	类型	复位	说明
15:0	TP_AIN6[15:0]	R/W	0000000000000000b	AIN6 的固定 16 位图形。

8.2.46 TP_AIN7 寄存器 (地址 = 0x35) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-64. TP_AIN7 寄存器

15	14	13	12	11	10	9	8
TP_AIN7[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN7[15:0]							
R/W-0000000000000000b							

表 8-68. TP_AIN7 寄存器字段说明

位	字段	类型	复位	说明
15:0	TP_AIN7[15:0]	R/W	0000000000000000b	AIN7 的固定 16 位图形。

8.2.47 TP_AIN8 寄存器 (地址 = 0x36) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-65. TP_AIN8 寄存器

15	14	13	12	11	10	9	8
TP_AIN8[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN8[15:0]							
R/W-0000000000000000b							

表 8-69. TP_AIN8 寄存器字段说明

位	字段	类型	复位	说明
15:0	TP_AIN8[15:0]	R/W	00000000000000 000b	AIN8 的固定 16 位图形。

8.2.48 GEN_CFG5 寄存器 (地址 = 0x37) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-66. GEN_CFG5 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R/W-000000000000b							
7	6	5	4	3	2	1	0
RESERVED			RESERVED	RESERVED		OFS_CORR_DIS	GAN_CORR_DIS
R/W-000000000000b			R/W-0b	R/W-00b		R/W-0b	R/W-0b

表 8-70. GEN_CFG5 寄存器字段说明

位	字段	类型	复位	说明
15:5	RESERVED	R/W	000000000000b	保留。请勿更改默认复位值。
4	RESERVED	R/W	0b	保留。请勿更改默认复位值。
3:2	RESERVED	R/W	00b	保留。请勿更改默认复位值。
1	OFS_CORR_DIS	R/W	0b	AIN1 至 AIN8 的系统偏移校正禁用。 0b = 启用 1b = 禁用
0	GAN_CORR_DIS	R/W	0b	AIN1 至 AIN8 的系统增益校正禁用。 0b = 启用 1b = 禁用

8.2.49 DWC_FLAG_AIN1_8 寄存器 (地址 = 0x3E) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-67. DWC_FLAG_AIN1_8 寄存器

15	14	13	12	11	10	9	8
HIGH_FLAG_AIN8	HIGH_FLAG_AIN7	HIGH_FLAG_AIN6	HIGH_FLAG_AIN5	HIGH_FLAG_AIN4	HIGH_FLAG_AIN3	HIGH_FLAG_AIN2	HIGH_FLAG_AIN1
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b
7	6	5	4	3	2	1	0
LOW_FLAG_AIN8	LOW_FLAG_AIN7	LOW_FLAG_AIN6	LOW_FLAG_AIN5	LOW_FLAG_AIN4	LOW_FLAG_AIN3	LOW_FLAG_AIN2	LOW_FLAG_AIN1
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-71. DWC_FLAG_AIN1_8 寄存器字段说明

位	字段	类型	复位	说明
15	HIGH_FLAG_AIN8	R	0b	AIN8 的数字窗口比较器上限标志。
14	HIGH_FLAG_AIN7	R	0b	AIN7 的数字窗口比较器上限标志。
13	HIGH_FLAG_AIN6	R	0b	AIN6 的数字窗口比较器上限标志。
12	HIGH_FLAG_AIN5	R	0b	AIN5 的数字窗口比较器上限标志。
11	HIGH_FLAG_AIN4	R	0b	AIN4 的数字窗口比较器上限标志。
10	HIGH_FLAG_AIN3	R	0b	AIN3 的数字窗口比较器上限标志。
9	HIGH_FLAG_AIN2	R	0b	AIN2 的数字窗口比较器上限标志。
8	HIGH_FLAG_AIN1	R	0b	AIN1 的数字窗口比较器上限标志。
7	LOW_FLAG_AIN8	R	0b	AIN8 的数字窗口比较器下限标志。
6	LOW_FLAG_AIN7	R	0b	AIN7 的数字窗口比较器下限标志。
5	LOW_FLAG_AIN6	R	0b	AIN6 的数字窗口比较器下限标志。
4	LOW_FLAG_AIN5	R	0b	AIN5 的数字窗口比较器下限标志。

表 8-71. DWC_FLAG_AIN1_8 寄存器字段说明 (续)

位	字段	类型	复位	说明
3	LOW_FLAG_AIN4	R	0b	AIN4 的数字窗口比较器下限标志。
2	LOW_FLAG_AIN3	R	0b	AIN3 的数字窗口比较器下限标志。
1	LOW_FLAG_AIN2	R	0b	AIN2 的数字窗口比较器下限标志。
0	LOW_FLAG_AIN1	R	0b	AIN1 的数字窗口比较器下限标志。

8.3 AIN9 - AIN16 通道寄存器

表 8-72 列出了 AIN9 - AIN16 通道寄存器的存储器映射寄存器。表 8-72 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-72. AIN9 - AIN16 通道

地址	首字母缩写词	位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8
		位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0x08	PGA_CONFIG_AIN15_16	CME_CORR_EN_AIN15	CM_RANGE_AIN15[2:0]		RESERVED	INPUT_RANGE_AIN15[2:0]			
		CME_CORR_EN_AIN16	CM_RANGE_AIN16[2:0]		RESERVED	INPUT_RANGE_AIN16[2:0]			
0x09	PGA_CONFIG_AIN13_14	CME_CORR_EN_AIN13	CM_RANGE_AIN13[2:0]		RESERVED	INPUT_RANGE_AIN13[2:0]			
		CME_CORR_EN_AIN14	CM_RANGE_AIN14[2:0]		RESERVED	INPUT_RANGE_AIN14[2:0]			
0x0A	PGA_CONFIG_AIN11_12	CME_CORR_EN_AIN11	CM_RANGE_AIN11[2:0]		RESERVED	INPUT_RANGE_AIN11[2:0]			
		CME_CORR_EN_AIN12	CM_RANGE_AIN12[2:0]		RESERVED	INPUT_RANGE_AIN12[2:0]			
0x0B	PGA_CONFIG_AIN9_10	CME_CORR_EN_AIN9	CM_RANGE_AIN9[2:0]		RESERVED	INPUT_RANGE_AIN9[2:0]			
		CME_CORR_EN_AIN10	CM_RANGE_AIN10[2:0]		RESERVED	INPUT_RANGE_AIN10[2:0]			
0x0C	PGA_BW_SEL_AIN9_16	PGA_BW_SEL_AIN9[1:0]		PGA_BW_SEL_AIN10[1:0]		PGA_BW_SEL_AIN11[1:0]		PGA_BW_SEL_AIN12[1:0]	
		PGA_BW_SEL_AIN13[1:0]		PGA_BW_SEL_AIN14[1:0]		PGA_BW_SEL_AIN15[1:0]		PGA_BW_SEL_AIN16[1:0]	
0x0D	PHASE_DELAY_AIN15_16	PHASE_DELAY_AIN15[7:0]							
		PHASE_DELAY_AIN16[7:0]							
0x0E	PHASE_DELAY_AIN13_14	PHASE_DELAY_AIN13[7:0]							
		PHASE_DELAY_AIN14[7:0]							
0x0F	PHASE_DELAY_AIN11_12	PHASE_DELAY_AIN11[7:0]							
		PHASE_DELAY_AIN12[7:0]							
0x10	PHASE_DELAY_AIN9_10	PHASE_DELAY_AIN9[7:0]							
		PHASE_DELAY_AIN10[7:0]							
0x11	OFS_AIN16	RESERVED						OFS_AIN16[9:0]	
		OFS_AIN16[9:0]							
0x12	OFS_AIN15	RESERVED						OFS_AIN15[9:0]	
		OFS_AIN15[9:0]							
0x13	OFS_AIN14	RESERVED						OFS_AIN14[9:0]	
		OFS_AIN14[9:0]							
0x14	OFS_AIN13	RESERVED						OFS_AIN13[9:0]	
		OFS_AIN13[9:0]							
0x15	OFS_AIN12	RESERVED						OFS_AIN12[9:0]	
		OFS_AIN12[9:0]							
0x16	OFS_AIN11	RESERVED						OFS_AIN11[9:0]	
		OFS_AIN11[9:0]							
0x17	OFS_AIN10	RESERVED						OFS_AIN10[9:0]	
		OFS_AIN10[9:0]							
0x18	OFS_AIN9	RESERVED						OFS_AIN9[9:0]	
		OFS_AIN9[9:0]							
0x19	GAN_AIN16	RESERVED		GAN_AIN16[13:0]					
		GAN_AIN16[13:0]							
0x1A	GAN_AIN15	RESERVED		GAN_AIN15[13:0]					
		GAN_AIN15[13:0]							
0x1B	GAN_AIN14	RESERVED		GAN_AIN14[13:0]					
		GAN_AIN14[13:0]							
0x1C	GAN_AIN13	RESERVED		GAN_AIN13[13:0]					
		GAN_AIN13[13:0]							

表 8-72. AIN9 - AIN16 通道 (续)

地址	首字母缩写词	位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8	
		位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	
0x1D	GAN_AIN12	RESERVED		GAN_AIN12[13:0]						
		GAN_AIN12[13:0]								
0x1E	GAN_AIN11	RESERVED		GAN_AIN11[13:0]						
		GAN_AIN11[13:0]								
0x1F	GAN_AIN10	RESERVED		GAN_AIN10[13:0]						
		GAN_AIN10[13:0]								
0x20	GAN_AIN9	RESERVED		GAN_AIN9[13:0]						
		GAN_AIN9[13:0]								
0x21	DWC_CFG	DWC_STAT_RST	RESERVED			DWC_GLITCH_FILTER[3:0]				
		DWC_EN_AIN9	DWC_EN_AIN10	DWC_EN_AIN11	DWC_EN_AIN12	DWC_EN_AIN13	DWC_EN_AIN14	DWC_EN_AIN15	DWC_EN_AIN16	
0x22	DWC_TH_AIN16	HIGH_TH_AIN16[7:0]								
		LOW_TH_AIN16[7:0]								
0x23	DWC_TH_AIN15	HIGH_TH_AIN15[7:0]								
		LOW_TH_AIN15[7:0]								
0x24	DWC_TH_AIN14	HIGH_TH_AIN14[7:0]								
		LOW_TH_AIN14[7:0]								
0x25	DWC_TH_AIN13	HIGH_TH_AIN13[7:0]								
		LOW_TH_AIN13[7:0]								
0x26	DWC_TH_AIN12	HIGH_TH_AIN12[7:0]								
		LOW_TH_AIN12[7:0]								
0x27	DWC_TH_AIN11	HIGH_TH_AIN11[7:0]								
		LOW_TH_AIN11[7:0]								
0x28	DWC_TH_AIN10	HIGH_TH_AIN10[7:0]								
		LOW_TH_AIN10[7:0]								
0x29	DWC_TH_AIN9	HIGH_TH_AIN9[7:0]								
		LOW_TH_AIN9[7:0]								
0x2A	DWC_HYS_AIN15_16	HYS_AIN15[7:0]								
		HYS_AIN16[7:0]								
0x2B	DWC_HYS_AIN13_14	HYS_AIN13[7:0]								
		HYS_AIN14[7:0]								
0x2C	DWC_HYS_AIN11_12	HYS_AIN11[7:0]								
		HYS_AIN12[7:0]								
0x2D	DWC_HYS_AIN9_10	HYS_AIN9[7:0]								
		HYS_AIN10[7:0]								
0x2E	TP_CFG	RESERVED								
		RESERVED	TP_MODE[2:0]			RESERVED	TP_DIS_IDX	TP_UPD_MODE	TP_EN	
0x2F	TP_AIN16	TP_AIN16[15:0]								
		TP_AIN16[15:0]								
0x30	TP_AIN15	TP_AIN15[15:0]								
		TP_AIN15[15:0]								
0x31	TP_AIN14	TP_AIN14[15:0]								
		TP_AIN14[15:0]								
0x32	TP_AIN13	TP_AIN13[15:0]								
		TP_AIN13[15:0]								
0x33	TP_AIN12	TP_AIN12[15:0]								
		TP_AIN12[15:0]								
0x34	TP_AIN11	TP_AIN11[15:0]								
		TP_AIN11[15:0]								
0x35	TP_AIN10	TP_AIN10[15:0]								
		TP_AIN10[15:0]								

表 8-72. AIN9 - AIN16 通道 (续)

地址	首字母缩写词	位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8
		位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0x36	TP_AIN9	TP_AIN9[15:0]							
0x37	GEN_CFG5	RESERVED							
0x3E	DWC_FLAG_AIN9_16	HIGH_FLAG_AIN9	HIGH_FLAG_AIN10	HIGH_FLAG_AIN11	HIGH_FLAG_AIN12	HIGH_FLAG_AIN13	HIGH_FLAG_AIN14	HIGH_FLAG_AIN15	HIGH_FLAG_AIN16
		LOW_FLAG_AIN9	LOW_FLAG_AIN10	LOW_FLAG_AIN11	LOW_FLAG_AIN12	LOW_FLAG_AIN13	LOW_FLAG_AIN14	LOW_FLAG_AIN15	LOW_FLAG_AIN16

复杂的位访问类型经过编码可适应小型表单元。表 8-73 展示了适用于此部分中访问类型的代码。

表 8-73. AIN9 - AIN16 通道访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.3.1 PGA_CONFIG_AIN15_16 寄存器 (地址 = 0x08) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-68. PGA_CONFIG_AIN15_16 寄存器

15	14	13	12	11	10	9	8
CME_CORR_EN_AIN15	CM_RANGE_AIN15[2:0]			RESERVED	INPUT_RANGE_AIN15[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		
7	6	5	4	3	2	1	0
CME_CORR_EN_AIN16	CM_RANGE_AIN16[2:0]			RESERVED	INPUT_RANGE_AIN16[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		

表 8-74. PGA_CONFIG_AIN15_16 寄存器字段说明

位	字段	类型	复位	说明
15	CME_CORR_EN_AIN15	R/W	0b	共模误差校正启用。 0b = 禁用 1b = 启用
14:12	CM_RANGE_AIN15[2:0]	R/W	000b	选择输入信号类型。 000b = 差分 (±12.5V CM 范围) 101b = 单端 110b = 单端开路安全
11	RESERVED	R/W	0b	保留。请勿更改默认复位值。
10:8	INPUT_RANGE_AIN15[2:0]	R/W	000b	AIN15 模拟输入范围选择。 000b = ±5V 001b = 保留 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = 保留 111b = 保留
7	CME_CORR_EN_AIN16	R/W	0b	共模误差校正启用。 0b = 禁用 1b = 启用

表 8-74. PGA_CONFIG_AIN15_16 寄存器字段说明 (续)

位	字段	类型	复位	说明
6:4	CM_RANGE_AIN16[2:0]	R/W	000b	选择输入信号类型。 000b = 差分 (±12.5V CM 范围) 101b = 单端 110b = 单端开路安全
3	RESERVED	R/W	0b	保留。请勿更改默认复位值。
2:0	INPUT_RANGE_AIN16[2:0]	R/W	000b	AIN16 模拟输入范围选择。 000b = ±5V 001b = 保留 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = 保留 111b = 保留

8.3.2 PGA_CONFIG_AIN13_14 寄存器 (地址 = 0x09) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-69. PGA_CONFIG_AIN13_14 寄存器

15	14	13	12	11	10	9	8
CME_CORR_EN_AIN13	CM_RANGE_AIN13[2:0]			RESERVED	INPUT_RANGE_AIN13[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		
7	6	5	4	3	2	1	0
CME_CORR_EN_AIN14	CM_RANGE_AIN14[2:0]			RESERVED	INPUT_RANGE_AIN14[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		

表 8-75. PGA_CONFIG_AIN13_14 寄存器字段说明

位	字段	类型	复位	说明
15	CME_CORR_EN_AIN13	R/W	0b	共模误差校正启用。 0b = 禁用 1b = 启用
14:12	CM_RANGE_AIN13[2:0]	R/W	000b	选择输入信号类型。 000b = 差分 (±12.5V CM 范围) 101b = 单端 110b = 单端开路安全
11	RESERVED	R/W	0b	保留。请勿更改默认复位值。
10:8	INPUT_RANGE_AIN13[2:0]	R/W	000b	AIN13 模拟输入范围选择。 000b = ±5V 001b = 保留 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = 保留 111b = 保留
7	CME_CORR_EN_AIN14	R/W	0b	共模误差校正启用。 0b = 禁用 1b = 启用
6:4	CM_RANGE_AIN14[2:0]	R/W	000b	选择输入信号类型。 000b = 差分 (±12.5V CM 范围) 101b = 单端 110b = 单端开路安全
3	RESERVED	R/W	0b	保留。请勿更改默认复位值。
2:0	INPUT_RANGE_AIN14[2:0]	R/W	000b	AIN14 模拟输入范围选择。 000b = ±5V 001b = 保留 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = 保留 111b = 保留

8.3.3 PGA_CONFIG_AIN11_12 寄存器 (地址 = 0x0A) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-70. PGA_CONFIG_AIN11_12 寄存器

15	14	13	12	11	10	9	8
CME_CORR_EN_AIN11	CM_RANGE_AIN11[2:0]			RESERVED	INPUT_RANGE_AIN11[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		
7	6	5	4	3	2	1	0
CME_CORR_EN_AIN12	CM_RANGE_AIN12[2:0]			RESERVED	INPUT_RANGE_AIN12[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		

表 8-76. PGA_CONFIG_AIN11_12 寄存器字段说明

位	字段	类型	复位	说明
15	CME_CORR_EN_AIN11	R/W	0b	共模误差校正启用。 0b = 禁用 1b = 启用
14:12	CM_RANGE_AIN11[2:0]	R/W	000b	选择输入信号类型。 000b = 差分 (±12.5V CM 范围) 101b = 单端 110b = 单端开路安全
11	RESERVED	R/W	0b	保留。请勿更改默认复位值。
10:8	INPUT_RANGE_AIN11[2:0]	R/W	000b	AIN11 模拟输入范围选择。 000b = ±5V 001b = 保留 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = 保留 111b = 保留
7	CME_CORR_EN_AIN12	R/W	0b	共模误差校正启用。 0b = 禁用 1b = 启用
6:4	CM_RANGE_AIN12[2:0]	R/W	000b	选择输入信号类型。 000b = 全差分 (±12.5V CM 范围) 101b = 单端 110b = 单端开路安全
3	RESERVED	R/W	0b	保留。请勿更改默认复位值。
2:0	INPUT_RANGE_AIN12[2:0]	R/W	000b	AIN12 模拟输入范围选择。 000b = ±5V 001b = 保留 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = 保留 111b = 保留

8.3.4 PGA_CONFIG_AIN9_10 寄存器 (地址 = 0x0B) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-71. PGA_CONFIG_AIN9_10 寄存器

15	14	13	12	11	10	9	8
CME_CORR_EN_AIN9	CM_RANGE_AIN9[2:0]			RESERVED	INPUT_RANGE_AIN9[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		
7	6	5	4	3	2	1	0
CME_CORR_EN_AIN10	CM_RANGE_AIN10[2:0]			RESERVED	INPUT_RANGE_AIN10[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		

表 8-77. PGA_CONFIG_AIN9_10 寄存器字段说明

位	字段	类型	复位	说明
15	CME_CORR_EN_AIN9	R/W	0b	共模误差校正启用。 0b = 禁用 1b = 启用
14:12	CM_RANGE_AIN9[2:0]	R/W	000b	选择输入信号类型。 000b = 差分 (±12.5V CM 范围) 101b = 单端 110b = 单端开路安全
11	RESERVED	R/W	0b	保留。请勿更改默认复位值。
10:8	INPUT_RANGE_AIN9[2:0]	R/W	000b	AIN9 模拟输入范围选择。 000b = ±5V 001b = 保留 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = 保留 111b = 保留
7	CME_CORR_EN_AIN10	R/W	0b	共模误差校正启用。 0b = 禁用 1b = 启用
6:4	CM_RANGE_AIN10[2:0]	R/W	000b	选择输入信号类型。 000b = 差分 (±12.5V CM 范围) 101b = 单端 110b = 单端开路安全
3	RESERVED	R/W	0b	保留。请勿更改默认复位值。
2:0	INPUT_RANGE_AIN10[2:0]	R/W	000b	AIN10 模拟输入范围选择。 000b = ±5V 001b = 保留 010b = ±2.5V 011b = ±6.25V 100b = ±10V 101b = ±12.5V 110b = 保留 111b = 保留

8.3.5 PGA_BW_SEL_AIN9_16 寄存器 (地址 = 0x0C) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-72. PGA_BW_SEL_AIN9_16 寄存器

15	14	13	12	11	10	9	8
PGA_BW_SEL_AIN9[1:0]		PGA_BW_SEL_AIN10[1:0]		PGA_BW_SEL_AIN11[1:0]		PGA_BW_SEL_AIN12[1:0]	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	
7	6	5	4	3	2	1	0
PGA_BW_SEL_AIN13[1:0]		PGA_BW_SEL_AIN14[1:0]		PGA_BW_SEL_AIN15[1:0]		PGA_BW_SEL_AIN16[1:0]	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 8-78. PGA_BW_SEL_AIN9_16 寄存器字段说明

位	字段	类型	复位	说明
15:14	PGA_BW_SEL_AIN9[1:0]	R/W	00b	AIN9 模拟低通滤波器配置控制。 00b = 低带宽 01b = 宽带宽 10b = 保留 11b = 保留
13:12	PGA_BW_SEL_AIN10[1:0]	R/W	00b	AIN10 模拟低通滤波器配置控制。 00b = 低带宽 01b = 宽带宽 10b = 保留 11b = 保留
11:10	PGA_BW_SEL_AIN11[1:0]	R/W	00b	AIN11 模拟低通滤波器配置控制。 00b = 低带宽 01b = 宽带宽 10b = 保留 11b = 保留

表 8-78. PGA_BW_SEL_AIN9_16 寄存器字段说明 (续)

位	字段	类型	复位	说明
9:8	PGA_BW_SEL_AIN12[1:0]	R/W	00b	AIN12 模拟低通滤波器配置控制。 00b = 低带宽 01b = 宽带宽 10b = 保留 11b = 保留
7:6	PGA_BW_SEL_AIN13[1:0]	R/W	00b	AIN13 模拟低通滤波器配置控制。 00b = 低带宽 01b = 宽带宽 10b = 保留 11b = 保留
5:4	PGA_BW_SEL_AIN14[1:0]	R/W	00b	AIN14 模拟低通滤波器配置控制。 00b = 低带宽 01b = 宽带宽 10b = 保留 11b = 保留
3:2	PGA_BW_SEL_AIN15[1:0]	R/W	00b	AIN15 模拟低通滤波器配置控制。 00b = 低带宽 01b = 宽带宽 10b = 保留 11b = 保留
1:0	PGA_BW_SEL_AIN16[1:0]	R/W	00b	AIN16 模拟低通滤波器配置控制。 00b = 低带宽 01b = 宽带宽 10b = 保留 11b = 保留

8.3.6 PHASE_DELAY_AIN15_16 寄存器 (地址 = 0x0D) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-73. PHASE_DELAY_AIN15_16 寄存器

15	14	13	12	11	10	9	8
PHASE_DELAY_AIN15[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
PHASE_DELAY_AIN16[7:0]							
R/W-00000000b							

表 8-79. PHASE_DELAY_AIN15_16 寄存器字段说明

位	字段	类型	复位	说明
15:8	PHASE_DELAY_AIN15[7:0]	R/W	00000000b	相位延迟 = n* ADC CONVST CLK, 其中 n 为 0 至 255。
7:0	PHASE_DELAY_AIN16[7:0]	R/W	00000000b	相位延迟 = n* ADC CONVST CLK, 其中 n 为 0 至 255。

8.3.7 PHASE_DELAY_AIN13_14 寄存器 (地址 = 0x0E) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-74. PHASE_DELAY_AIN13_14 寄存器

15	14	13	12	11	10	9	8
PHASE_DELAY_AIN13[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
PHASE_DELAY_AIN14[7:0]							
R/W-00000000b							

表 8-80. PHASE_DELAY_AIN13_14 寄存器字段说明

位	字段	类型	复位	说明
15:8	PHASE_DELAY_AIN13[7:0]	R/W	00000000b	相位延迟 = n* CONVST_CLK, 其中 n 为 0 至 255。

表 8-80. PHASE_DELAY_AIN13_14 寄存器字段说明 (续)

位	字段	类型	复位	说明
7:0	PHASE_DELAY_AIN14[7:0]	R/W	00000000b	相位延迟 = $n \times \text{CONVST_CLK}$ ，其中 n 为 0 至 255。

8.3.8 PHASE_DELAY_AIN11_12 寄存器 (地址 = 0x0F) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-75. PHASE_DELAY_AIN11_12 寄存器

15	14	13	12	11	10	9	8
PHASE_DELAY_AIN11[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
PHASE_DELAY_AIN12[7:0]							
R/W-00000000b							

表 8-81. PHASE_DELAY_AIN11_12 寄存器字段说明

位	字段	类型	复位	说明
15:8	PHASE_DELAY_AIN11[7:0]	R/W	00000000b	相位延迟 = $n \times \text{CONVST_CLK}$ ，其中 n 为 0 至 255。
7:0	PHASE_DELAY_AIN12[7:0]	R/W	00000000b	相位延迟 = $n \times \text{CONVST_CLK}$ ，其中 n 为 0 至 255。

8.3.9 PHASE_DELAY_AIN9_10 寄存器 (地址 = 0x10) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-76. PHASE_DELAY_AIN9_10 寄存器

15	14	13	12	11	10	9	8
PHASE_DELAY_AIN9[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
PHASE_DELAY_AIN10[7:0]							
R/W-00000000b							

表 8-82. PHASE_DELAY_AIN9_10 寄存器字段说明

位	字段	类型	复位	说明
15:8	PHASE_DELAY_AIN9[7:0]	R/W	00000000b	相位延迟 = $n \times \text{CONVST_CLK}$ ，其中 n 为 0 至 255。
7:0	PHASE_DELAY_AIN10[7:0]	R/W	00000000b	相位延迟 = $n \times \text{CONVST_CLK}$ ，其中 n 为 0 至 255。

8.3.10 OFS_AIN16 寄存器 (地址 = 0x11) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-77. OFS_AIN16 寄存器

15	14	13	12	11	10	9	8
RESERVED						OFS_AIN16[9:0]	
R/W-0000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_AIN16[9:0]							
R/W-00000000000b							

表 8-83. OFS_AIN16 寄存器字段说明

位	字段	类型	复位	说明
15:10	RESERVED	R/W	0000000b	保留。请勿更改默认复位值。

表 8-83. OFS_AIN16 寄存器字段说明 (续)

位	字段	类型	复位	说明
9:0	OFS_AIN16[9:0]	R/W	0000000000b	AIN16 的偏移校正寄存器。偏移值采用二进制补码表示形式。偏移运算在增益运算之前。

8.3.11 OFS_AIN15 寄存器 (地址 = 0x12) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-78. OFS_AIN15 寄存器

15	14	13	12	11	10	9	8
RESERVED						OFS_AIN15[9:0]	
R/W-0000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_AIN15[9:0]							
R/W-0000000000b							

表 8-84. OFS_AIN15 寄存器字段说明

位	字段	类型	复位	说明
15:10	RESERVED	R/W	000000b	保留。请勿更改默认复位值。
9:0	OFS_AIN15[9:0]	R/W	0000000000b	AIN15 的偏移校正寄存器。偏移值采用二进制补码表示形式。偏移运算在增益运算之前。

8.3.12 OFS_AIN14 寄存器 (地址 = 0x13) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-79. OFS_AIN14 寄存器

15	14	13	12	11	10	9	8
RESERVED						OFS_AIN14[9:0]	
R/W-0000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_AIN14[9:0]							
R/W-0000000000b							

表 8-85. OFS_AIN14 寄存器字段说明

位	字段	类型	复位	说明
15:10	RESERVED	R/W	000000b	保留。请勿更改默认复位值。
9:0	OFS_AIN14[9:0]	R/W	0000000000b	AIN14 的偏移校正寄存器。偏移值采用二进制补码表示形式。偏移运算在增益运算之前。

8.3.13 OFS_AIN13 寄存器 (地址 = 0x14) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-80. OFS_AIN13 寄存器

15	14	13	12	11	10	9	8
RESERVED						OFS_AIN13[9:0]	
R/W-0000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_AIN13[9:0]							
R/W-0000000000b							

表 8-86. OFS_AIN13 寄存器字段说明

位	字段	类型	复位	说明
15:10	RESERVED	R/W	000000b	保留。请勿更改默认复位值。
9:0	OFS_AIN13[9:0]	R/W	0000000000b	AIN13 的偏移校正寄存器。 偏移值采用二进制补码表示形式。偏移运算在增益运算之前。

8.3.14 OFS_AIN12 寄存器 (地址 = 0x15) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-81. OFS_AIN12 寄存器

15	14	13	12	11	10	9	8
RESERVED						OFS_AIN12[9:0]	
R/W-0000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_AIN12[9:0]							
R/W-0000000000b							

表 8-87. OFS_AIN12 寄存器字段说明

位	字段	类型	复位	说明
15:10	RESERVED	R/W	000000b	保留。请勿更改默认复位值。
9:0	OFS_AIN12[9:0]	R/W	0000000000b	AIN12 的偏移校正寄存器。 偏移值采用二进制补码表示形式。偏移运算在增益运算之前。

8.3.15 OFS_AIN11 寄存器 (地址 = 0x16) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-82. OFS_AIN11 寄存器

15	14	13	12	11	10	9	8
RESERVED						OFS_AIN11[9:0]	
R/W-0000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_AIN11[9:0]							
R/W-0000000000b							

表 8-88. OFS_AIN11 寄存器字段说明

位	字段	类型	复位	说明
15:10	RESERVED	R/W	000000b	保留。请勿更改默认复位值。
9:0	OFS_AIN11[9:0]	R/W	0000000000b	AIN11 的偏移校正寄存器。 偏移值采用二进制补码表示形式。偏移运算在增益运算之前。

8.3.16 OFS_AIN10 寄存器 (地址 = 0x17) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-83. OFS_AIN10 寄存器

15	14	13	12	11	10	9	8
RESERVED						OFS_AIN10[9:0]	
R/W-0000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_AIN10[9:0]							
R/W-0000000000b							

表 8-89. OFS_AIN10 寄存器字段说明

位	字段	类型	复位	说明
15:10	RESERVED	R/W	000000b	保留。请勿更改默认复位值。
9:0	OFS_AIN10[9:0]	R/W	0000000000b	AIN10 的偏移校正寄存器。偏移值采用二进制补码表示形式。偏移运算在增益运算之前。

8.3.17 OFS_AIN9 寄存器 (地址 = 0x18) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-84. OFS_AIN9 寄存器

15	14	13	12	11	10	9	8
RESERVED						OFS_AIN9[9:0]	
R/W-000000b						R/W-0000000000b	
7	6	5	4	3	2	1	0
OFS_AIN9[9:0]							
R/W-0000000000b							

表 8-90. OFS_AIN9 寄存器字段说明

位	字段	类型	复位	说明
15:10	RESERVED	R/W	000000b	保留。请勿更改默认复位值。
9:0	OFS_AIN9[9:0]	R/W	0000000000b	AIN9 的偏移校正寄存器。偏移值采用二进制补码表示形式。偏移运算在增益运算之前。

8.3.18 GAN_AIN16 寄存器 (地址 = 0x19) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-85. GAN_AIN16 寄存器

15	14	13	12	11	10	9	8
RESERVED			GAN_AIN16[13:0]				
R/W-00b			R/W-0000000000000000b				
7	6	5	4	3	2	1	0
GAN_AIN16[13:0]							
R/W-0000000000000000b							

表 8-91. GAN_AIN16 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R/W	00b	保留。请勿更改默认复位值。
13:0	GAN_AIN16[13:0]	R/W	00000000000000b	AIN16 的增益校正寄存器。增益校正正值采用二进制补码表示形式，并在偏移运算后完成。在增益运行期间，将转换数据乘以 (1 + GAN_AINn[13:0] / 10000h)。

8.3.19 GAN_AIN15 寄存器 (地址 = 0x1A) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-86. GAN_AIN15 寄存器

15	14	13	12	11	10	9	8
RESERVED			GAN_AIN15[13:0]				
R/W-00b			R/W-0000000000000000b				
7	6	5	4	3	2	1	0
GAN_AIN15[13:0]							
R/W-0000000000000000b							

表 8-92. GAN_AIN15 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R/W	00b	保留。请勿更改默认复位值。
13:0	GAN_AIN15[13:0]	R/W	00000000000000b	AIN15 的增益校正寄存器。 增益校正正值采用二进制补码表示形式，并在偏移运算后完成。在增益运行期间，将转换数据乘以 (1 + GAN_AINn[13:0] / 10000h)。

8.3.20 GAN_AIN14 寄存器 (地址 = 0x1B) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-87. GAN_AIN14 寄存器

15	14	13	12	11	10	9	8
RESERVED			GAN_AIN14[13:0]				
R/W-00b			R/W-00000000000000b				
7	6	5	4	3	2	1	0
GAN_AIN14[13:0]							
R/W-00000000000000b							

表 8-93. GAN_AIN14 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R/W	00b	保留。请勿更改默认复位值。
13:0	GAN_AIN14[13:0]	R/W	00000000000000b	AIN14 的增益校正寄存器。 增益校正正值采用二进制补码表示形式，并在偏移运算后完成。在增益运行期间，将转换数据乘以 (1 + GAN_AINn[13:0] / 10000h)。

8.3.21 GAN_AIN13 寄存器 (地址 = 0x1C) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-88. GAN_AIN13 寄存器

15	14	13	12	11	10	9	8
RESERVED			GAN_AIN13[13:0]				
R/W-00b			R/W-00000000000000b				
7	6	5	4	3	2	1	0
GAN_AIN13[13:0]							
R/W-00000000000000b							

表 8-94. GAN_AIN13 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R/W	00b	保留。请勿更改默认复位值。
13:0	GAN_AIN13[13:0]	R/W	00000000000000b	AIN13 的增益校正寄存器。 增益校正正值采用二进制补码表示形式，并在偏移运算后完成。在增益运行期间，将转换数据乘以 (1 + GAN_AINn[13:0] / 10000h)。

8.3.22 GAN_AIN12 寄存器 (地址 = 0x1D) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-89. GAN_AIN12 寄存器

15	14	13	12	11	10	9	8
RESERVED			GAN_AIN12[13:0]				
R/W-00b			R/W-00000000000000b				
7	6	5	4	3	2	1	0
GAN_AIN12[13:0]							

图 8-89. GAN_AIN12 寄存器 (续)

R/W-00000000000000b

表 8-95. GAN_AIN12 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R/W	00b	保留。请勿更改默认复位值。
13:0	GAN_AIN12[13:0]	R/W	000000000000000b	AIN12 的增益校正寄存器。增益校正值采用二进制补码表示形式，并在偏移运算后完成。在增益运行期间，将转换数据乘以 (1 + GAN_AINn[13:0] / 10000h)。

8.3.23 GAN_AIN11 寄存器 (地址 = 0x1E) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-90. GAN_AIN11 寄存器

15	14	13	12	11	10	9	8
RESERVED			GAN_AIN11[13:0]				
R/W-00b			R/W-00000000000000b				
7	6	5	4	3	2	1	0
GAN_AIN11[13:0]							
R/W-00000000000000b							

表 8-96. GAN_AIN11 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R/W	00b	保留。请勿更改默认复位值。
13:0	GAN_AIN11[13:0]	R/W	00000000000000b	AIN11 的增益校正寄存器。增益校正值采用二进制补码表示形式，并在偏移运算后完成。在增益运行期间，将转换数据乘以 (1 + GAN_AINn[13:0] / 10000h)。

8.3.24 GAN_AIN10 寄存器 (地址 = 0x1F) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-91. GAN_AIN10 寄存器

15	14	13	12	11	10	9	8
RESERVED			GAN_AIN10[13:0]				
R/W-00b			R/W-00000000000000b				
7	6	5	4	3	2	1	0
GAN_AIN10[13:0]							
R/W-00000000000000b							

表 8-97. GAN_AIN10 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R/W	00b	保留。请勿更改默认复位值。
13:0	GAN_AIN10[13:0]	R/W	00000000000000b	AIN10 的增益校正寄存器。增益校正值采用二进制补码表示形式，并在偏移运算后完成。在增益运行期间，将转换数据乘以 (1 + GAN_AINn[13:0] / 10000h)。

8.3.25 GAN_AIN9 寄存器 (地址 = 0x20) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-92. GAN_AIN9 寄存器

15	14	13	12	11	10	9	8
RESERVED			GAN_AIN9[13:0]				

图 8-92. GAN_AIN9 寄存器 (续)

R/W-00b		R/W-00000000000000b					
7	6	5	4	3	2	1	0
GAN_AIN9[13:0]							
R/W-00000000000000b							

表 8-98. GAN_AIN9 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R/W	00b	保留。请勿更改默认复位值。
13:0	GAN_AIN9[13:0]	R/W	00000000000000b	AIN9 的增益校正寄存器。增益校正采用二进制补码表示形式，并在偏移运算后完成。在增益运行期间，将转换数据乘以 $(1 + \text{GAN_AINn}[13:0] / 10000h)$ 。

8.3.26 DWC_CFG 寄存器 (地址 = 0x21) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-93. DWC_CFG 寄存器

15		14		13		12		11		10		9		8	
DWC_STAT_RST		RESERVED						DWC_GLITCH_FILTER[3:0]							
R/W-0b		R/W-000b						R/W-0000b							
7		6		5		4		3		2		1		0	
DWC_EN_AIN9	DWC_EN_AIN10	DWC_EN_AIN11	DWC_EN_AIN12	DWC_EN_AIN13	DWC_EN_AIN14	DWC_EN_AIN15	DWC_EN_AIN16								
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b								

表 8-99. DWC_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	DWC_STAT_RST	R/W	0b	数字窗口比较器复位控制。写入 1'b 以复位 DWC 状态标志。
14:12	RESERVED	R/W	000b	保留。请勿更改默认复位值。
11:8	DWC_GLITCH_FILTER[3:0]	R/W	0000b	数字窗口比较器毛刺抑制滤波器控制。仅当 ADC 数据在连续若干 DWC_GLITCH_FILTER[3:0] 周期内超过阈值时，才会设置比较器标志。
7	DWC_EN_AIN9	R/W	0b	数字窗口比较器使能。 0b = 禁用 1b = 启用
6	DWC_EN_AIN10	R/W	0b	数字窗口比较器使能。 0b = 禁用 1b = 启用
5	DWC_EN_AIN11	R/W	0b	数字窗口比较器使能。 0b = 禁用 1b = 启用
4	DWC_EN_AIN12	R/W	0b	数字窗口比较器使能。 0b = 禁用 1b = 启用
3	DWC_EN_AIN13	R/W	0b	数字窗口比较器使能。 0b = 禁用 1b = 启用
2	DWC_EN_AIN14	R/W	0b	数字窗口比较器使能。 0b = 禁用 1b = 启用
1	DWC_EN_AIN15	R/W	0b	数字窗口比较器使能。 0b = 禁用 1b = 启用
0	DWC_EN_AIN16	R/W	0b	数字窗口比较器使能。 0b = 禁用 1b = 启用

8.3.27 DWC_TH_AIN16 寄存器 (地址 = 0x22) [复位 = 0xFF00]

返回到[汇总表](#)。

图 8-94. DWC_TH_AIN16 寄存器

15	14	13	12	11	10	9	8
HIGH_TH_AIN16[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN16[7:0]							
R/W-00000000b							

表 8-100. DWC_TH_AIN16 寄存器字段说明

位	字段	类型	复位	说明
15:8	HIGH_TH_AIN16[7:0]	R/W	11111111b	模拟输入的 MSB 对齐高阈值。将这些位与 ADC 转换结果的前 8 位进行比较。
7:0	LOW_TH_AIN16[7:0]	R/W	00000000b	模拟输入的 MSB 对齐低阈值。将这些位与 ADC 转换结果的前 8 位进行比较。

8.3.28 DWC_TH_AIN15 寄存器 (地址 = 0x23) [复位 = 0xFF00]

返回到[汇总表](#)。

图 8-95. DWC_TH_AIN15 寄存器

15	14	13	12	11	10	9	8
HIGH_TH_AIN15[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN15[7:0]							
R/W-00000000b							

表 8-101. DWC_TH_AIN15 寄存器字段说明

位	字段	类型	复位	说明
15:8	HIGH_TH_AIN15[7:0]	R/W	11111111b	模拟输入的 MSB 对齐高阈值。将这些位与 ADC 转换结果的前 8 位进行比较。
7:0	LOW_TH_AIN15[7:0]	R/W	00000000b	模拟输入的 MSB 对齐低阈值。将这些位与 ADC 转换结果的前 8 位进行比较。

8.3.29 DWC_TH_AIN14 寄存器 (地址 = 0x24) [复位 = 0xFF00]

返回到[汇总表](#)。

图 8-96. DWC_TH_AIN14 寄存器

15	14	13	12	11	10	9	8
HIGH_TH_AIN14[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN14[7:0]							
R/W-00000000b							

表 8-102. DWC_TH_AIN14 寄存器字段说明

位	字段	类型	复位	说明
15:8	HIGH_TH_AIN14[7:0]	R/W	11111111b	模拟输入的 MSB 对齐高阈值。将这些位与 ADC 转换结果的前 8 位进行比较。
7:0	LOW_TH_AIN14[7:0]	R/W	00000000b	模拟输入的 MSB 对齐低阈值。将这些位与 ADC 转换结果的前 8 位进行比较。

8.3.30 DWC_TH_AIN13 寄存器 (地址 = 0x25) [复位 = 0xFF00]

返回到[汇总表](#)。

图 8-97. DWC_TH_AIN13 寄存器

15	14	13	12	11	10	9	8
----	----	----	----	----	----	---	---

图 8-97. DWC_TH_AIN13 寄存器 (续)

HIGH_TH_AIN13[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN13[7:0]							
R/W-00000000b							

表 8-103. DWC_TH_AIN13 寄存器字段说明

位	字段	类型	复位	说明
15:8	HIGH_TH_AIN13[7:0]	R/W	11111111b	模拟输入的 MSB 对齐高阈值。将这些位与 ADC 转换结果的前 8 位进行比较。
7:0	LOW_TH_AIN13[7:0]	R/W	00000000b	模拟输入的 MSB 对齐低阈值。将这些位与 ADC 转换结果的前 8 位进行比较。

8.3.31 DWC_TH_AIN12 寄存器 (地址 = 0x26) [复位 = 0xFF00]

返回到[汇总表](#)。

图 8-98. DWC_TH_AIN12 寄存器

15	14	13	12	11	10	9	8
HIGH_TH_AIN12[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN12[7:0]							
R/W-00000000b							

表 8-104. DWC_TH_AIN12 寄存器字段说明

位	字段	类型	复位	说明
15:8	HIGH_TH_AIN12[7:0]	R/W	11111111b	模拟输入的 MSB 对齐高阈值。将这些位与 ADC 转换结果的前 8 位进行比较。
7:0	LOW_TH_AIN12[7:0]	R/W	00000000b	模拟输入的 MSB 对齐低阈值。将这些位与 ADC 转换结果的前 8 位进行比较。

8.3.32 DWC_TH_AIN11 寄存器 (地址 = 0x27) [复位 = 0xFF00]

返回到[汇总表](#)。

图 8-99. DWC_TH_AIN11 寄存器

15	14	13	12	11	10	9	8
HIGH_TH_AIN11[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN11[7:0]							
R/W-00000000b							

表 8-105. DWC_TH_AIN11 寄存器字段说明

位	字段	类型	复位	说明
15:8	HIGH_TH_AIN11[7:0]	R/W	11111111b	模拟输入的 MSB 对齐高阈值。将这些位与 ADC 转换结果的前 8 位进行比较。
7:0	LOW_TH_AIN11[7:0]	R/W	00000000b	模拟输入的 MSB 对齐低阈值。将这些位与 ADC 转换结果的前 8 位进行比较。

8.3.33 DWC_TH_AIN10 寄存器 (地址 = 0x28) [复位 = 0xFF00]

返回到[汇总表](#)。

图 8-100. DWC_TH_AIN10 寄存器

15	14	13	12	11	10	9	8
HIGH_TH_AIN10[7:0]							

图 8-100. DWC_TH_AIN10 寄存器 (续)

R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN10[7:0]							
R/W-00000000b							

表 8-106. DWC_TH_AIN10 寄存器字段说明

位	字段	类型	复位	说明
15:8	HIGH_TH_AIN10[7:0]	R/W	11111111b	模拟输入的 MSB 对齐高阈值。将这些位与 ADC 转换结果的前 8 位进行比较。
7:0	LOW_TH_AIN10[7:0]	R/W	00000000b	模拟输入的 MSB 对齐低阈值。将这些位与 ADC 转换结果的前 8 位进行比较。

8.3.34 DWC_TH_AIN9 寄存器 (地址 = 0x29) [复位 = 0xFF00]

返回到[汇总表](#)。

图 8-101. DWC_TH_AIN9 寄存器

15	14	13	12	11	10	9	8
HIGH_TH_AIN9[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
LOW_TH_AIN9[7:0]							
R/W-00000000b							

表 8-107. DWC_TH_AIN9 寄存器字段说明

位	字段	类型	复位	说明
15:8	HIGH_TH_AIN9[7:0]	R/W	11111111b	模拟输入的 MSB 对齐高阈值。将这些位与 ADC 转换结果的前 8 位进行比较。
7:0	LOW_TH_AIN9[7:0]	R/W	00000000b	模拟输入的 MSB 对齐低阈值。将这些位与 ADC 转换结果的前 8 位进行比较。

8.3.35 DWC_HYS_AIN15_16 寄存器 (地址 = 0x2A) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-102. DWC_HYS_AIN15_16 寄存器

15	14	13	12	11	10	9	8
HYS_AIN15[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
HYS_AIN16[7:0]							
R/W-00000000b							

表 8-108. DWC_HYS_AIN15_16 寄存器字段说明

位	字段	类型	复位	说明
15:8	HYS_AIN15[7:0]	R/W	00000000b	针对高阈值和低阈值的 8 位迟滞。
7:0	HYS_AIN16[7:0]	R/W	00000000b	针对高阈值和低阈值的 8 位迟滞。

8.3.36 DWC_HYS_AIN13_14 寄存器 (地址 = 0x2B) [复位 = 0xFF00]

返回到[汇总表](#)。

图 8-103. DWC_HYS_AIN13_14 寄存器

15	14	13	12	11	10	9	8
HYS_AIN13[7:0]							
R/W-11111111b							

图 8-103. DWC_HYS_AIN13_14 寄存器 (续)

7	6	5	4	3	2	1	0
HYS_AIN14[7:0]							
R/W-00000000b							

表 8-109. DWC_HYS_AIN13_14 寄存器字段说明

位	字段	类型	复位	说明
15:8	HYS_AIN13[7:0]	R/W	11111111b	针对高阈值和低阈值的 8 位迟滞。
7:0	HYS_AIN14[7:0]	R/W	00000000b	针对高阈值和低阈值的 8 位迟滞。

8.3.37 DWC_HYS_AIN11_12 寄存器 (地址 = 0x2C) [复位 = 0xFF00]

返回到[汇总表](#)。

图 8-104. DWC_HYS_AIN11_12 寄存器

15	14	13	12	11	10	9	8
HYS_AIN11[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
HYS_AIN12[7:0]							
R/W-00000000b							

表 8-110. DWC_HYS_AIN11_12 寄存器字段说明

位	字段	类型	复位	说明
15:8	HYS_AIN11[7:0]	R/W	11111111b	针对高阈值和低阈值的 8 位迟滞。
7:0	HYS_AIN12[7:0]	R/W	00000000b	针对高阈值和低阈值的 8 位迟滞。

8.3.38 DWC_HYS_AIN9_10 寄存器 (地址 = 0x2D) [复位 = 0xFF00]

返回到[汇总表](#)。

图 8-105. DWC_HYS_AIN9_10 寄存器

15	14	13	12	11	10	9	8
HYS_AIN9[7:0]							
R/W-11111111b							
7	6	5	4	3	2	1	0
HYS_AIN10[7:0]							
R/W-00000000b							

表 8-111. DWC_HYS_AIN9_10 寄存器字段说明

位	字段	类型	复位	说明
15:8	HYS_AIN9[7:0]	R/W	11111111b	针对高阈值和低阈值的 8 位迟滞。
7:0	HYS_AIN10[7:0]	R/W	00000000b	针对高阈值和低阈值的 8 位迟滞。

8.3.39 TP_CFG 寄存器 (地址 = 0x2E) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-106. TP_CFG 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R/W-00000000b							
7	6	5	4	3	2	1	0

图 8-106. TP_CFG 寄存器 (续)

RESERVED	TP_MODE[2:0]	RESERVED	TP_DIS_IDX	TP_UPD_MODE	TP_EN
R/W-000000000b	R/W-000b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-112. TP_CFG 寄存器字段说明

位	字段	类型	复位	说明
15:7	RESERVED	R/W	000000000b	保留。请勿更改默认复位值。
6:4	TP_MODE[2:0]	R/W	000b	测试图形模式选择。 000b = 恒定图形 001b = 保留 010b = 斜坡模式 011b = 保留 100b = 保留 101b = 保留
3	RESERVED	R/W	0b	保留。请勿更改默认复位值。
2	TP_DIS_IDX	R/W	0b	禁用测试图形中的 1'b 通道索引插入时。
1	TP_UPD_MODE	R/W	0b	测试图形递增模式。 0b = 在通道帧边界发生递增。 1b = 每个 CONVST 发生递增。
0	TP_EN	R/W	0b	AIN9 至 AIN16 的测试模式使能。 0b = 在数据接口上发出 ADC 转换结果 1b = 在数据接口上发出数字测试模式

8.3.40 TP_AIN16 寄存器 (地址 = 0x2F) [复位 = 0x0000]

返回到汇总表。

图 8-107. TP_AIN16 寄存器

15	14	13	12	11	10	9	8
TP_AIN16[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN16[15:0]							
R/W-0000000000000000b							

表 8-113. TP_AIN16 寄存器字段说明

位	字段	类型	复位	说明
15:0	TP_AIN16[15:0]	R/W	0000000000000000 000b	AIN16 的固定 16 位图形。在斜坡图形模式下, TP_AIN16 控制 AIN9 至 AIN16 的步长。

8.3.41 TP_AIN15 寄存器 (地址 = 0x30) [复位 = 0x0000]

返回到汇总表。

图 8-108. TP_AIN15 寄存器

15	14	13	12	11	10	9	8
TP_AIN15[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN15[15:0]							
R/W-0000000000000000b							

表 8-114. TP_AIN15 寄存器字段说明

位	字段	类型	复位	说明
15:0	TP_AIN15[15:0]	R/W	0000000000000000 000b	AIN15 的固定 16 位图形。

8.3.42 TP_AIN14 寄存器 (地址 = 0x31) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-109. TP_AIN14 寄存器

15	14	13	12	11	10	9	8
TP_AIN14[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN14[15:0]							
R/W-0000000000000000b							

表 8-115. TP_AIN14 寄存器字段说明

位	字段	类型	复位	说明
15:0	TP_AIN14[15:0]	R/W	0000000000000000 000b	AIN14 的固定 16 位图形。

8.3.43 TP_AIN13 寄存器 (地址 = 0x32) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-110. TP_AIN13 寄存器

15	14	13	12	11	10	9	8
TP_AIN13[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN13[15:0]							
R/W-0000000000000000b							

表 8-116. TP_AIN13 寄存器字段说明

位	字段	类型	复位	说明
15:0	TP_AIN13[15:0]	R/W	0000000000000000 000b	AIN13 的固定 16 位图形。

8.3.44 TP_AIN12 寄存器 (地址 = 0x33) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-111. TP_AIN12 寄存器

15	14	13	12	11	10	9	8
TP_AIN12[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN12[15:0]							
R/W-0000000000000000b							

表 8-117. TP_AIN12 寄存器字段说明

位	字段	类型	复位	说明
15:0	TP_AIN12[15:0]	R/W	0000000000000000 000b	AIN12 的固定 16 位图形。

8.3.45 TP_AIN11 寄存器 (地址 = 0x34) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-112. TP_AIN11 寄存器

15	14	13	12	11	10	9	8
TP_AIN11[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN11[15:0]							
R/W-0000000000000000b							

表 8-118. TP_AIN11 寄存器字段说明

位	字段	类型	复位	说明
15:0	TP_AIN11[15:0]	R/W	0000000000000000000b	AIN11 的固定 16 位图形。

8.3.46 TP_AIN10 寄存器 (地址 = 0x35) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-113. TP_AIN10 寄存器

15	14	13	12	11	10	9	8
TP_AIN10[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN10[15:0]							
R/W-0000000000000000b							

表 8-119. TP_AIN10 寄存器字段说明

位	字段	类型	复位	说明
15:0	TP_AIN10[15:0]	R/W	0000000000000000000b	AIN10 的固定 16 位图形。

8.3.47 TP_AIN9 寄存器 (地址 = 0x36) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-114. TP_AIN9 寄存器

15	14	13	12	11	10	9	8
TP_AIN9[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TP_AIN9[15:0]							
R/W-0000000000000000b							

表 8-120. TP_AIN9 寄存器字段说明

位	字段	类型	复位	说明
15:0	TP_AIN9[15:0]	R/W	0000000000000000000b	AIN9 的固定 16 位图形。

8.3.48 GEN_CFG5 寄存器 (地址 = 0x37) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-115. GEN_CFG5 寄存器

15	14	13	12	11	10	9	8
RESERVED							

图 8-115. GEN_CFG5 寄存器 (续)

R/W-0000000000b							
7	6	5	4	3	2	1	0
RESERVED		RESERVED		RESERVED		OFS_CORR_DIS	GAN_CORR_DIS
R/W-0000000000b		R/W-0b		R/W-00b		R/W-0b	R/W-0b

表 8-121. GEN_CFG5 寄存器字段说明

位	字段	类型	复位	说明
15:5	RESERVED	R/W	0000000000b	保留。请勿更改默认复位值。
4	RESERVED	R/W	0b	保留。请勿更改默认复位值。
3:2	RESERVED	R/W	00b	保留。请勿更改默认复位值。
1	OFS_CORR_DIS	R/W	0b	AIN9 至 AIN16 的系统偏移校正禁用。 0b = 启用 1b = 禁用
0	GAN_CORR_DIS	R/W	0b	AIN9 至 AIN16 的系统增益校正禁用。 0b = 启用 1b = 禁用

8.3.49 DWC_FLAG_AIN9_16 寄存器 (地址 = 0x3E) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-116. DWC_FLAG_AIN9_16 寄存器

15	14	13	12	11	10	9	8
HIGH_FLAG_AIN9	HIGH_FLAG_AIN10	HIGH_FLAG_AIN11	HIGH_FLAG_AIN12	HIGH_FLAG_AIN13	HIGH_FLAG_AIN14	HIGH_FLAG_AIN15	HIGH_FLAG_AIN16
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b
7	6	5	4	3	2	1	0
LOW_FLAG_AIN9	LOW_FLAG_AIN10	LOW_FLAG_AIN11	LOW_FLAG_AIN12	LOW_FLAG_AIN13	LOW_FLAG_AIN14	LOW_FLAG_AIN15	LOW_FLAG_AIN16
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-122. DWC_FLAG_AIN9_16 寄存器字段说明

位	字段	类型	复位	说明
15	HIGH_FLAG_AIN9	R	0b	AIN9 的数字窗口比较器上限标志。
14	HIGH_FLAG_AIN10	R	0b	AIN10 的数字窗口比较器上限标志。
13	HIGH_FLAG_AIN11	R	0b	AIN11 的数字窗口比较器上限标志。
12	HIGH_FLAG_AIN12	R	0b	AIN12 的数字窗口比较器上限标志。
11	HIGH_FLAG_AIN13	R	0b	AIN13 的数字窗口比较器上限标志。
10	HIGH_FLAG_AIN14	R	0b	AIN14 的数字窗口比较器上限标志。
9	HIGH_FLAG_AIN15	R	0b	AIN15 的数字窗口比较器上限标志。
8	HIGH_FLAG_AIN16	R	0b	AIN16 的数字窗口比较器上限标志。
7	LOW_FLAG_AIN9	R	0b	AIN9 的数字窗口比较器下限标志。
6	LOW_FLAG_AIN10	R	0b	AIN10 的数字窗口比较器下限标志。
5	LOW_FLAG_AIN11	R	0b	AIN11 的数字窗口比较器下限标志。
4	LOW_FLAG_AIN12	R	0b	AIN12 的数字窗口比较器下限标志。
3	LOW_FLAG_AIN13	R	0b	AIN13 的数字窗口比较器下限标志。
2	LOW_FLAG_AIN14	R	0b	AIN14 的数字窗口比较器下限标志。
1	LOW_FLAG_AIN15	R	0b	AIN15 的数字窗口比较器下限标志。
0	LOW_FLAG_AIN16	R	0b	AIN16 的数字窗口比较器下限标志。

9 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

ADS9324 可同时对多达十六个模拟信号进行高精度测量。该器件是基于 16 位逐次逼近型 (SAR) 模数转换器 (ADC) 的全集成数据采集系统。该器件包括每个输入通道的集成模拟前端和带有精密基准缓冲器的集成电压基准。因此，该器件不需要任何额外的有源电路来驱动 ADC 的基准模拟输入引脚。

9.2 典型应用

9.2.1 适用于电力自动化的 16 通道数据采集系统 (DAQ)

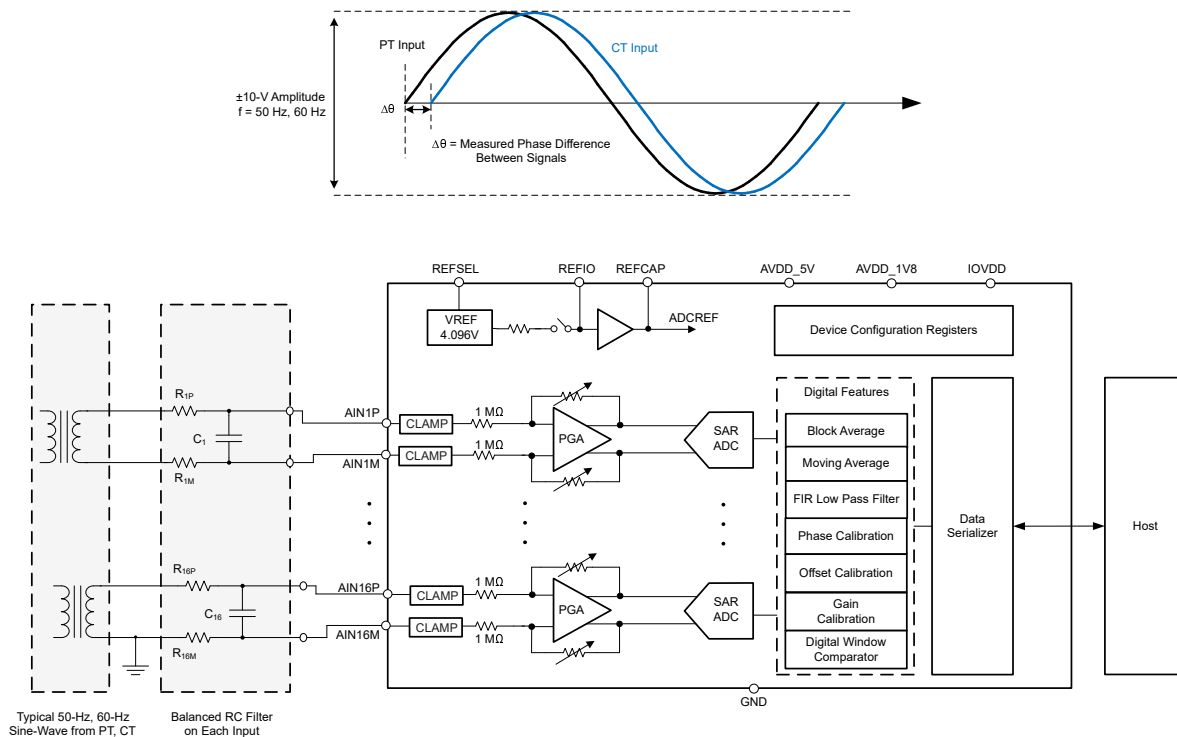


图 9-1. 使用 ADS9324 实现电力自动化的 16 通道 DAQ

此应用示例涉及电力系统中电变量的测量。准确测量电网中的电变量至关重要，因为该测量有助于确定电网的运行状态和运行质量。这种准确的测量还有助于诊断电力网络的潜在问题，以便快速解决这些问题而不会对服务产生任何重大影响。主要电气参数包括电力线上的电压和电流的振幅、频率和相位测量。要在电力自动化系统中启用计量以执行谐波分析、功率因数计算、电能质量评估等操作，这些参数非常重要。ADS93x4 包括偏移校准、增益校准和相位调整等各种数字功能，它们可简化电力自动化系统的 DAQ 设计。

ADS9324 每个通道的模拟输入提供了 $1\text{M}\Omega$ 的恒定阻抗，与 ADC 采样频率和范围设置无关。模拟前端电路的高输入阻抗允许直接连接到电压互感器 (PT) 和电流互感器 (CT)。如图 9-1 所示，系统中使用的 PT 和 CT 输出范围为 $\pm 10\text{V}$ 。ADC 输入可支持高达 $\pm 10\text{V}$ 的范围，因此无需外部放大器或衰减级。

虽然 PT 和 CT 隔离了电源系统，但串联电阻必须放置在模拟输入通道上。如果输入电压超过器件最大额定电压 ($\pm 18\text{V}$)，则串联电阻有助于将输入电流限制在 $\pm 10\text{mA}$ 。内部 ESD 钳位电路有助于防止出现任何超过最大额定值

的瞬态电压。如果应用需要防范超过器件指定绝对最大额定值的过压或快速瞬态事件，建议选择使用瞬态电压抑制器 (TVS) 和 ESD 二极管的外部保护钳位电路。

每个模拟输入通道使用一个低通滤波器来消除高频噪声拾取并充分减少混叠。图 9-2 显示输入 RC 滤波器的建议配置示例。平衡的 RC 滤波器配置将正路径 (AINnP) 上的外源电阻与负路径 (AINnM) 上的相等电阻相匹配。正负路径中的源阻抗匹配可改善共模噪声抑制，通过消除外部串联电阻引起的任何额外偏移误差来帮助维持系统的直流精度。

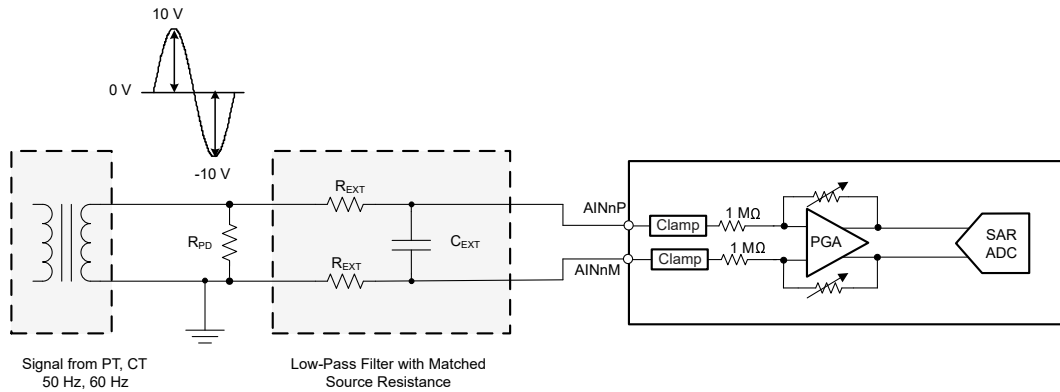


图 9-2. 输入 RC 低通滤波器

9.2.1.1 应用曲线

图 9-3 显示 ADS9324 在 50Hz 频率、 $\pm 10\text{V}$ 正弦输入下采集的数据的频谱。测得的 SNR 为 95dB。

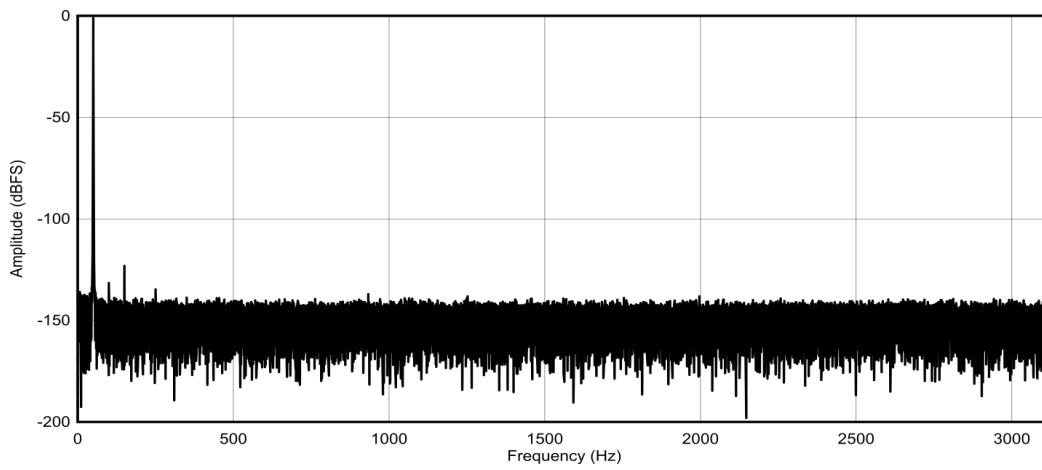


图 9-3. 50Hz、OSR = 16、CONVST = 100KSPS 时的 $\pm 10\text{V}$ 正弦信号的频谱

9.3 电源相关建议

ADS93x4 具有三个独立电源：AVDD_5V、AVDD_1V8 和 IOVDD。不需要特定的上电顺序。IOVDD 为数字 IOVDD 供电。为 IOVDD 使用 1.8V 电源轨时，AVDD_1V8 可以通过 100 Ω 铁氧体磁珠与 IOVDD 短接。图 9-4 显示了相应电源的去耦电容器连接。确保每个电源引脚具有单独的 0.1 μF 去耦电容器。

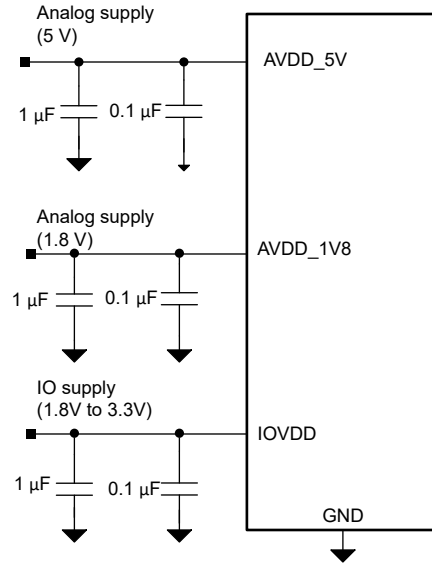


图 9-4. 电源去耦

9.4 布局

9.4.1 布局指南

图 9-5 显示了 ADS9324 的电路板布局布线示例。避免数字线路与模拟信号路径交叉，并使模拟输入信号和基准信号远离噪声源。

为了获得出色性能，可通过将 4.7 μF 陶瓷旁路电容器连接到 REFIO 引脚来过滤内部基准噪声，并在 REFCAPA 和 REFM 引脚之间以及在 REFCAPB 和 REFM 引脚之间直接连接 1 μF 陶瓷电容器。将 1 μF 基准去耦电容器放置在靠近器件的 REFCAP 引脚和 REFM 引脚的位置。避免在 REFIO 引脚和旁路电容器之间放置过孔。使用较短的低阻抗路径将 GND 引脚和 REFM 引脚连接到接地层。

在靠近 AVDD_5V、VDD_1V8 和 IOVDD 电源引脚的位置使用 0.1 μF 陶瓷旁路电容器。避免在电源引脚和旁路电容器之间放置过孔。

9.4.1.1 布局示例

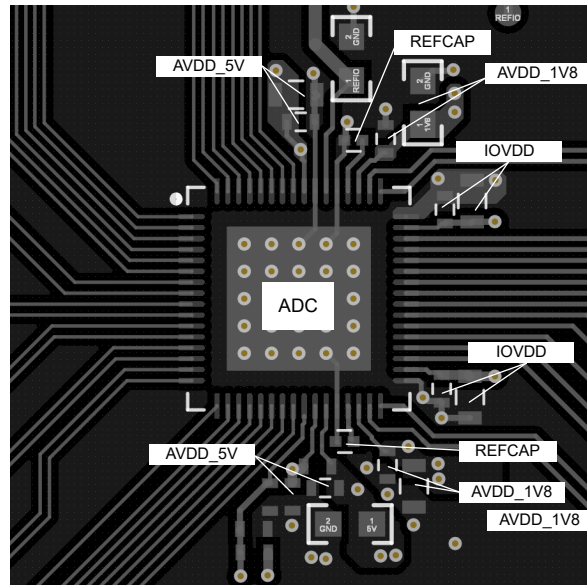


图 9-5. 示例布局

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI), [REF50xx 低噪声、极低温漂、精密电压基准 数据表](#)
- 德州仪器 (TI), [AN-2029 操作和处理建议应用手册](#)

10.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

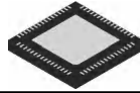
日期	修订版本	注释
December 2025	*	初始发行版

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

12.1 机械数据

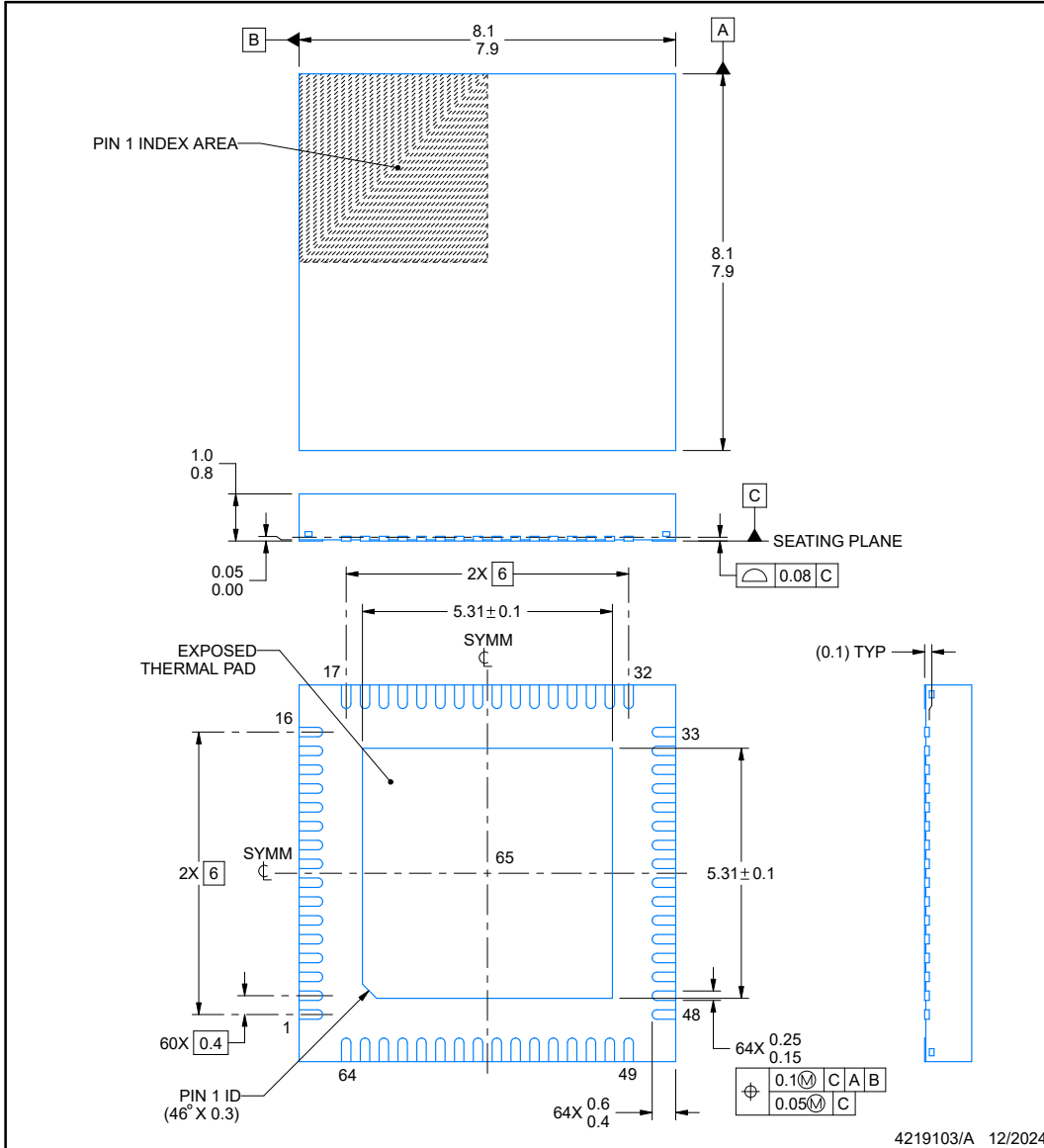
RSK0064B



PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

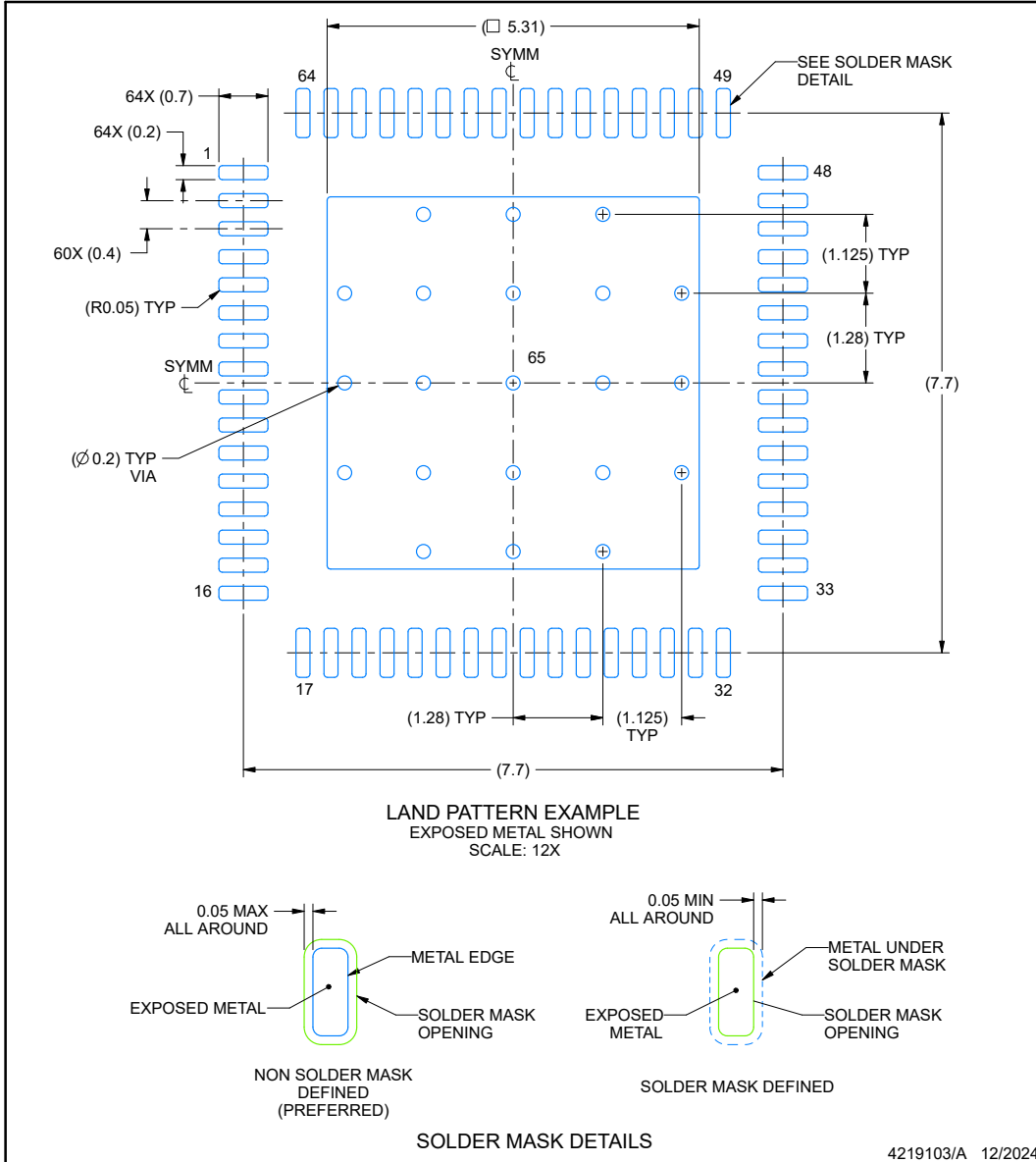
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RSK0064B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

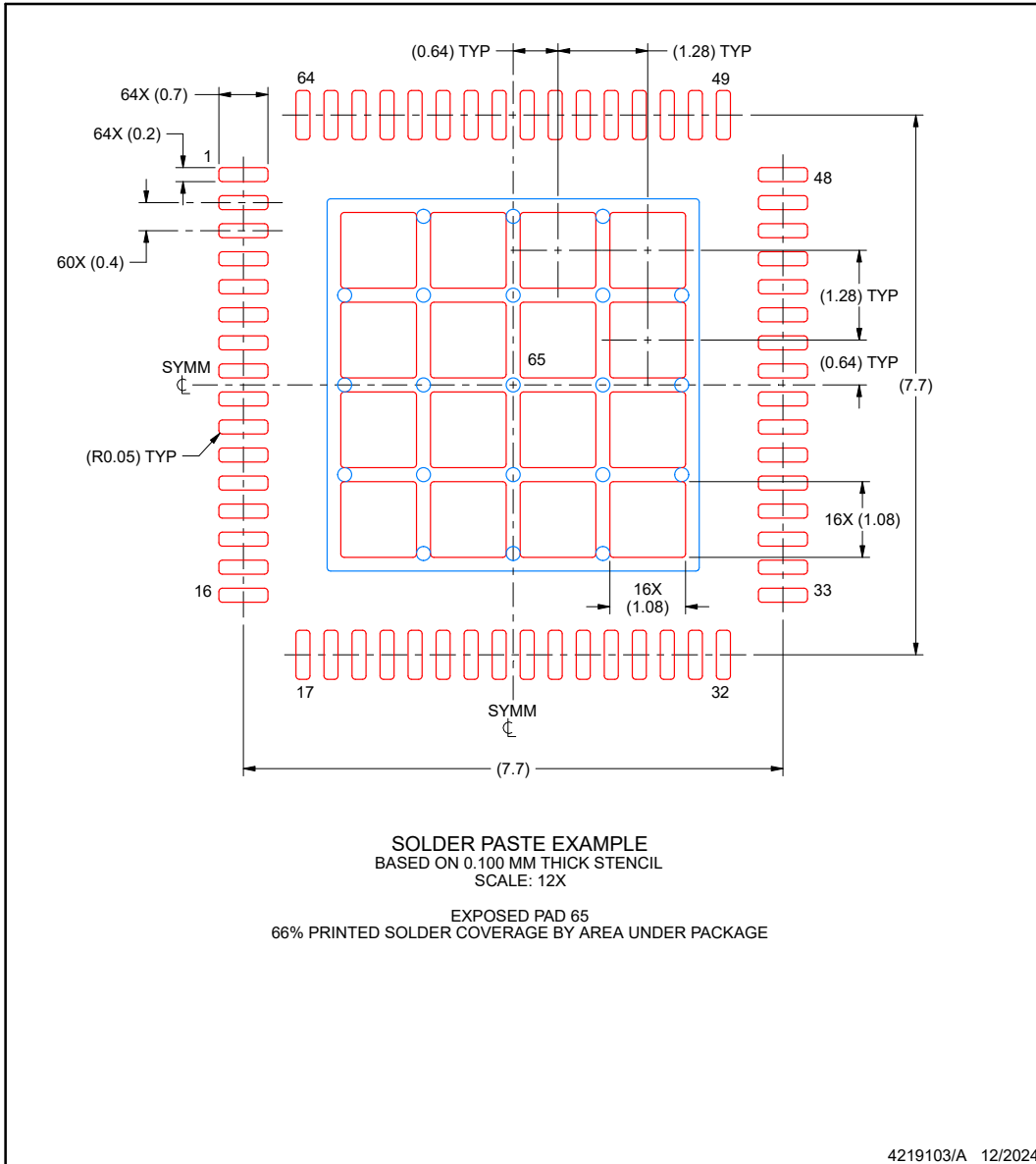
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sl原因271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RSK0064B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS9324RSKR	Active	Production	VQFN (RSK) 64	3500 LARGE T&R	-	NIPDAU	Level-3-260C-168 HR	-40 to 125	ADS9324

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

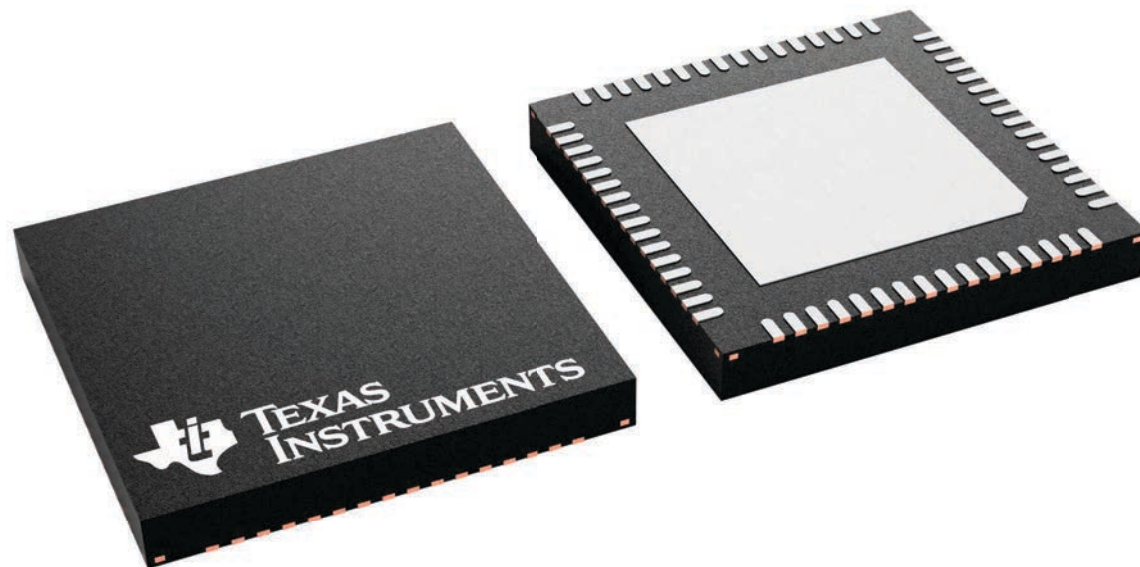
RSK 64

VQFN - 1 mm max height

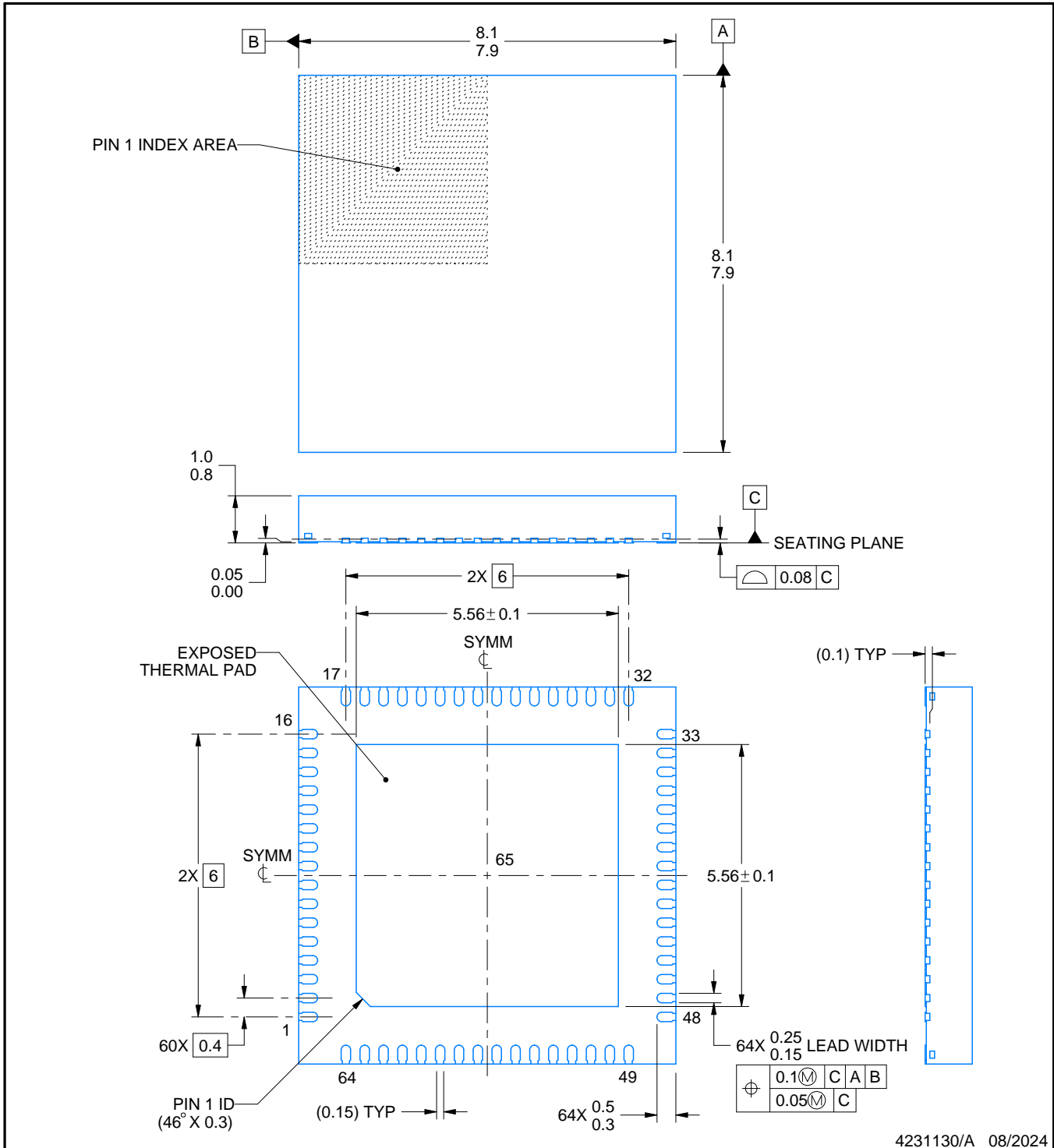
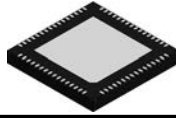
8 x 8, 0.4 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4231455/A



NOTES:

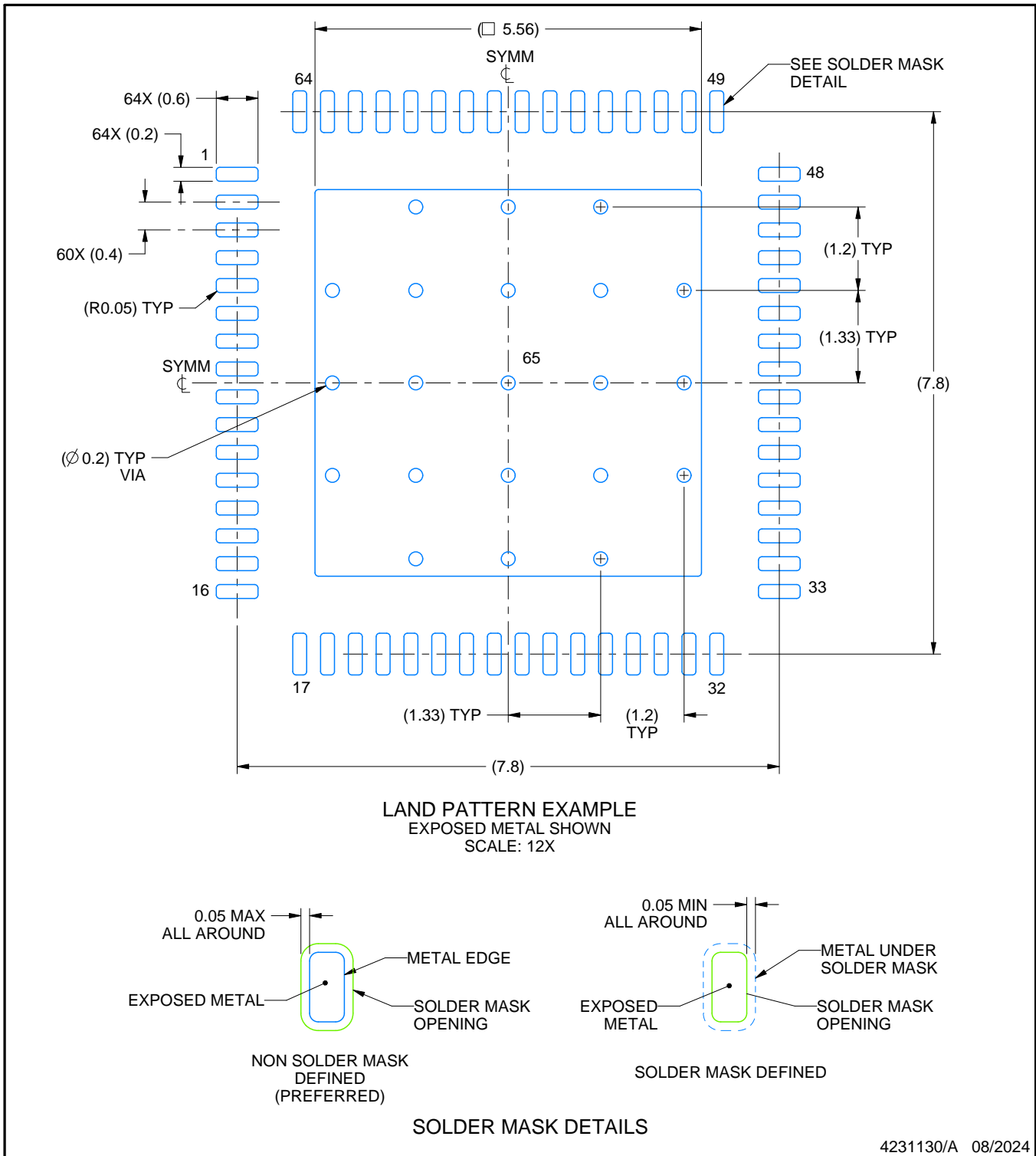
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RSK0064E

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4231130/A 08/2024

NOTES: (continued)

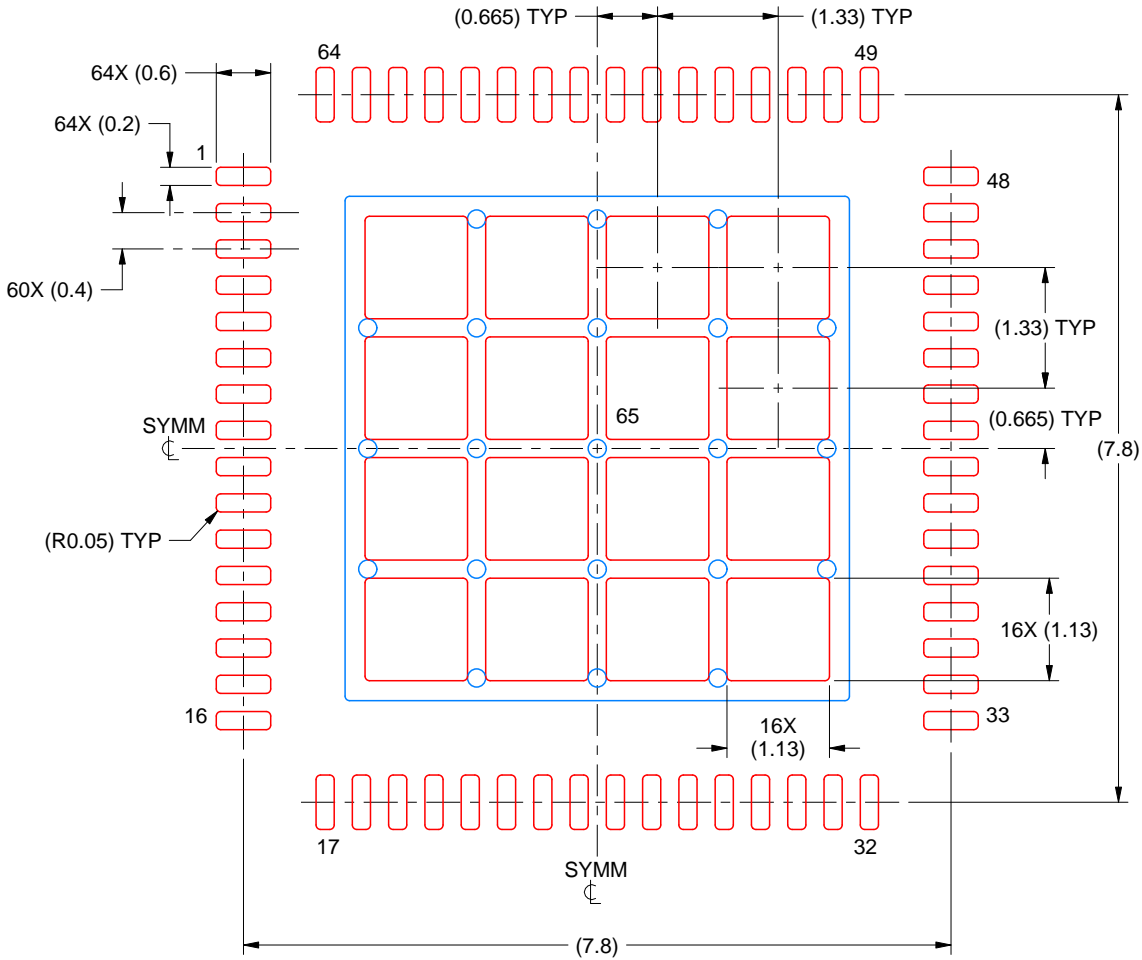
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RSK0064E

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.100 MM THICK STENCIL
 SCALE: 12X

EXPOSED PAD 65
 66% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4231130/A 08/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月