

ADS890xB 20 位，集成基准缓冲器的高速 SAR ADC，以及性能增强特性

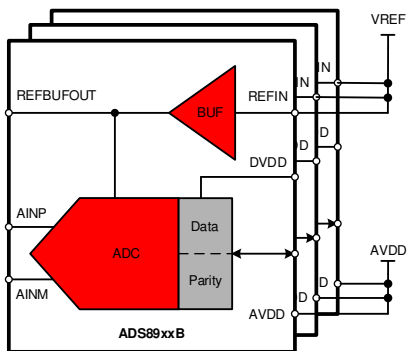
1 特性

- 分辨率：20 位
- 高采样速率、无延迟输出：
 - ADS8900B：1MSPS
 - ADS8902B：500kSPS
 - ADS8904B：250kSPS
- 集成 LDO 可实现低功耗、单电源运行
- 无压降的低功耗基准缓冲器
- 出色的交流和直流性能：
 - SNR：104.5dB，THD：-125dB
 - DNL：±0.2ppm，20 位，无丢码
 - INL：±1ppm
- 宽输入范围：
 - 单极差分输入范围：±V_{REF}
 - V_{REF} 输入范围：2.5V 至 5V
- 增强型 SPI 数字接口
 - 接口 SCLK：1MSPS 时为 22MHz
 - 可配置数据奇偶校验输出
- 扩展工作温度范围：-40°C 至 +125°C
- 小尺寸：4mm x 4mm VQFN

2 应用

- 测试和测量
- 医疗成像
- 高精度、高速数据采集

Multi-ADC System with Single Supply and Reference



使用 ADS89xxB 集成特性简化系统设计

3 说明

ADS8900B、ADS8902B 和 ADS8904B (ADS890xB) 属于引脚对引脚兼容的高速单通道高精度 20 位逐次逼近寄存器 (SAR) 模数转换器 (ADC) 系列，具有集成式基准缓冲器和集成式低压降稳压器 (LDO)。该器件系列包括 ADS891xB (18 位) 和 ADS892xB (16 位) 分辨率变体。

ADS890xB 通过使用 TI 增强型 SPI 特性，提高了模拟性能，同时保持高分辨率数据传输。增强型 SPI 支持 ADS89xxB 以较低的时钟速度实现高吞吐量，从而简化电路板布局布线并降低系统成本。增强的 SPI 还简化了数据的时钟输入，从而使该器件成为涉及 FPGA、DSP 的应用的绝佳选择。ADS89xxB 与标准 SPI 接口兼容。

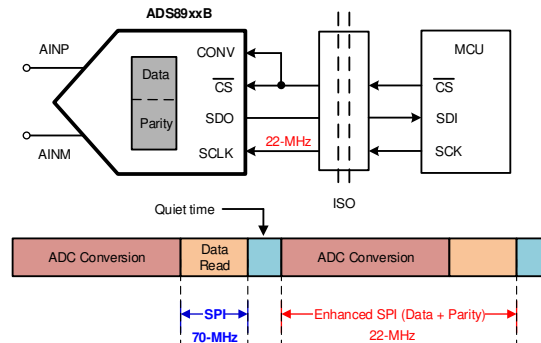
ADS890xB 具有可附加到 ADC 数据输出的内部数据奇偶校验特性。主机使用奇偶校验位进行 ADC 数据验证，以提高系统可靠性。

1MSPS 下的 SPI 接口时钟

器件分辨率 ⁽¹⁾	3-WIRE SPI	3 线增强型 SPI
20 位	70MHz	22MHz
18 位	58MHz	20MHz
16 位	52MHz	18MHz

(1) 要了解增强型 SPI 的所有特性，请参阅[接口模块](#)部分。

Lowest Clock Speeds at 1-MSPS using 3-Wire Enhanced-SPI



内容

1 特性	1	7 寄存器映射	52
2 应用	1	7.1 器件配置和寄存器映射.....	52
3 说明	1	8 应用和实施	59
4 引脚配置和功能	3	8.1 应用信息.....	59
5 规格	5	8.2 典型应用.....	61
5.1 绝对最大额定值.....	5	9 电源相关建议	66
5.2 ESD 等级.....	5	10 布局	67
5.3 建议运行条件.....	5	10.1 布局指南.....	67
5.4 热性能信息.....	5	10.2 布局示例.....	68
5.5 电气特性.....	7	11 器件和文档支持	69
5.6 时序要求.....	9	11.1 文档支持.....	69
5.7 开关特性.....	10	11.2 接收文档更新通知.....	69
5.8 典型特性.....	14	11.3 支持资源.....	69
6 详细说明	19	11.4 商标.....	69
6.1 概述.....	19	11.5 静电放电警告.....	69
6.2 功能方框图.....	19	11.6 术语表.....	69
6.3 特性说明.....	20	12 修订历史记录	70
6.4 器件功能模式.....	26	13 机械、封装和可订购信息	70
6.5 编程.....	28		

4 引脚配置和功能

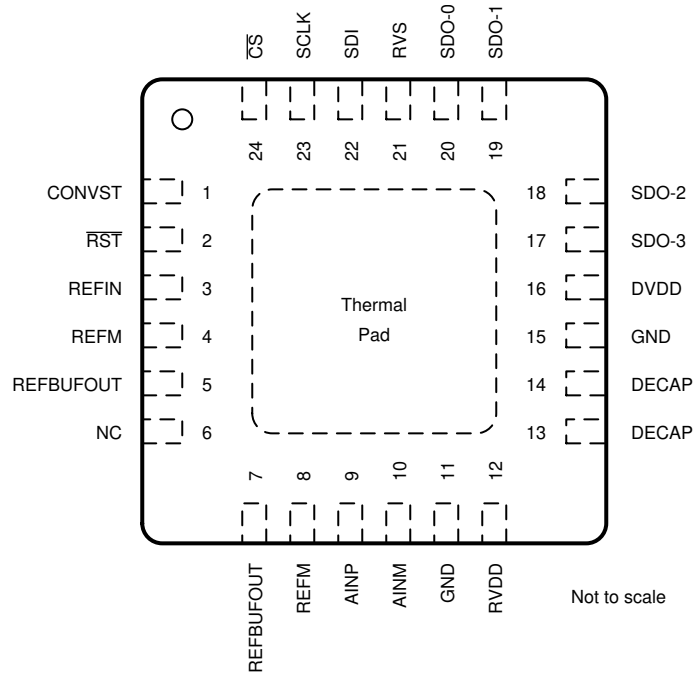


图 4-1. RGE 封装 24 引脚 VQFN 顶视图

表 4-1. 引脚功能

引脚		功能	说明
名称	编号		
AINM	10	模拟输入	负模拟输入
AINP	9	模拟输入	正模拟输入
\overline{CS}	24	数字输入	芯片选择输入引脚；低电平处于活动状态 当 \overline{CS} 为低电平时，由器件控制数据总线。 当 \overline{CS} 为高电平时，SDO-x 引脚进入 Hi-Z。
CONVST	1	数字输入	转换启动输入引脚。 CONVST 上升沿使器件从 ACQ 状态进入 CNV 状态。
DECAP	13、14	电源	在此处放置去耦电容器，用于内部电源。将引脚 13 和 14 短接在一起。
DVDD	16	电源	接口电源引脚
GND	11、15	电源	接地
NC	6	无连接	将这些引脚悬空；不存在外部连接。
REFBUFOUT	5、7	模拟输入/输出	内部基准缓冲器输出，外部基准输入。将引脚 5 和 7 短接在一起。
REFIN	3	模拟输入	基准电压输入
REFM	4、8	模拟输入	基准接地电势
RST	2	数字输入	异步复位输入引脚。 RST 引脚上的低电平脉冲会将器件复位。所有寄存器位将恢复默认状态。
RVDD	12	电源	模拟电源引脚。
RVS	21	数字输出	多功能输出引脚。 当 \overline{CS} 保持高电平时，RVS 反映内部 ADCST 信号的状态。 当 \overline{CS} 为低电平时，RVS 的状态取决于输出协议选择。
SCLK	23	数字输入	串行接口的时钟输入引脚。 所有系统同步数据传输协议根据 SCLK 信号计时。

表 4-1. 引脚功能 (续)

引脚		功能	说明
名称	编号		
SDI	22	数字输入	串行数据输入引脚。 此引脚用于将数据或命令馈入器件。
SDO-0	20	数字输出	串行通信引脚：数据输出 0
SDO-1	19	数字输出	串行通信引脚：数据输出 1
SDO-2	18	数字输出	串行通信引脚：数据输出 2
SDO-3	17	数字输出	串行通信引脚：数据输出 3
散热焊盘		电源	外露散热焊盘；连接到 GND。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1)

	最小值	最大值	单位
RVDD 至 GND	-0.3	7	V
DVDD 至 GND	-0.3	7	V
REFIN 至 REFM	-0.3	RV _{DD} + 0.3	V
REFM 至 GND	-0.1	0.1	V
模拟输入 (AINP、AINM) 至 GND	-0.3	V _{REF} + 0.3	V
数字输入 (RST、CONVST、CS、SCLK、SDI) 至 GND	-0.3	DV _{DD} + 0.3	V
数字输出 (RVS、SDO-0、SDO-1、SDO-2、SDO-3) 至 GND	-0.3	DV _{DD} + 0.3	V
RVDD 和 GND 的模拟输入 (AINP、AINM)	-130	130	mA
自然通风工作温度范围, T _A	-40	125	°C
贮存温度, T _{stg}	-65	150	°C

(1) 应力超出绝对最大额定值中列出的值时,可能会对器件造成永久损坏。这些值仅为应力额定值,并不意味着器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

5.2 ESD 等级

		值	单位
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101(2)	±500	

(1) JEDEC 文件 JEP155 指出, 500V HBM 可通过标准 ESD 管控流程安全生产。

(2) JEDEC 文档 JEP157 指出: 250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
RV _{DD}	模拟电源电压 (RVDD 至 AGND)	3	5	5.5	V
DV _{DD}	数字电源电压 (DVDD 至 AGND)	工作	1.65	3	5.5
		指定的吞吐量	2.35	3	5.5
V _{REF}	REFIN 上的基准输入电压	2.5		RV _{DD} - 0.3	V
C _{REFBUF}	外部陶瓷去耦电容	10	22		µF
R _{ESR}	外部串联电阻器	0	1	1.3	Ω
T _A	指定的自然通风工作温度	-40	25	125	°C

5.4 热性能信息

热指标(1)		ADS890xB		单位
		RGE (VQFN)		
		24 引脚		
R _{θJA}	结至环境热阻	31.9		°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	29.9		°C/W
R _{θJB}	结至电路板热阻	8.9		°C/W
ψ _{JT}	结至顶部特征参数	0.3		°C/W
ψ _{JB}	结至电路板特征参数	8.9		°C/W

热指标 ⁽¹⁾	ADS890xB	单位
	RGE (VQFN)	
	24 引脚	
R _{θJC(bot)} 结至外壳 (底部) 热阻	2.0	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

5.5 电气特性

条件为 $R_{V_{DD}} = 5.5V$ 、 $DV_{DD} = 1.65V$ 至 $5.5V$ 、 $V_{REF} = 5V$ ，以及最大吞吐量（除非另有说明）。
最大和最小值条件 $T_A = -40^\circ C$ 至 $+125^\circ C$ ，典型值条件为 $T_A = 25^\circ C$ 。

参数	测试条件	最小值	典型值	最大值	单位	
模拟输入						
FSR	满标度输入范围 (AINP - AINM)	$-V_{REF}$		V_{REF}	V	
V_{IN}	绝对输入电压 (AINP 和 AINM 至 REFM)	0		V_{REF}	V	
V_{CM}	共模电压 (AINP + AINM)/2	$(V_{REF}/2) - 0.1$	$V_{REF}/2$	$(V_{REF}/2) + 0.1$	V	
C_{IN}	输入电容	采样模式	60		pF	
		保持模式	4		pF	
电压基准输入 (REFIN)						
I_{REF}	基准输入电流	$V_{REF} = 5V$	0.1	1	μA	
C_{REF}	内部电容		10		pF	
基准缓冲器输出 (REFBUFOUT)						
$V_{(RO)}$	基准缓冲器偏移电压 ($V_{REFBUFOUT} - V_{REF}$)	With EN_MARG = 0b ⁽¹⁾ , $T_A = 25^\circ C$ ⁽⁵⁾	-250	250	μV	
C_{REFBUF}	外部陶瓷去耦电容		10	22	μF	
R_{ESR}	外部串联电阻器		0	1	Ω	
I_{SHRT}	短路电流		30		mA	
	裕度调节范围	其中 EN_MARG = 1b ⁽¹⁾	± 4.5		mV	
	裕度调节分辨率	其中 EN_MARG = 1b ⁽¹⁾	280		μV	
直流精度⁽²⁾ ($C_{REFBUF} = 22\mu F$, $R_{ESR} = 1\Omega$)						
	分辨率		20		位	
NMC	无丢码		20		位	
INL	积分非线性 ⁽³⁾	$T_A = 0^\circ C$ 至 $+60^\circ C$	-2	± 1	2	ppm ⁽⁴⁾
		$T_A = -40^\circ C$ 至 $+85^\circ C$	-2.75	± 1	2.75	
		$T_A = -40^\circ C$ 至 $+125^\circ C$	-3.75	± 1	3.75	
DNL	微分非线性 ⁽³⁾		-0.5	± 0.2	0.5	ppm ⁽⁴⁾
$E_{(IO)}$	输入失调电压误差 ⁽³⁾	$T_A = 25^\circ C$ ⁽⁵⁾	-11.5	± 3	11.5	ppm ⁽⁴⁾
		$T_A = -40^\circ C$ 至 $+125^\circ C$ ⁽⁵⁾	-60	± 10	60	
dV_{OS}/dT	输入失调电压热漂移 ⁽⁵⁾		1		$\mu V/^\circ C$	
G_E	增益误差 ⁽³⁾	EN_MARG = 0b ⁽¹⁾ ⁽⁶⁾	-0.03	± 0.005	0.03	%FSR
dG_E/dT	增益误差热漂移	EN_MARG = 0b ⁽¹⁾ ⁽⁶⁾		3.6		ppm/ $^\circ C$
TNS	切换噪声			2.3		ppm ⁽⁴⁾
	突发模式数据采集的 第一个输出代码偏差	请参阅 节 6.3.2	-3		3	TNS
CMRR	共模抑制比	直流至 20kHz		80		dB
采样动态						
	孔径延迟		4		ns	
t_{j-rms}	孔径抖动		2		ps RMS	
$f_{3-DB}(small)$	小信号带宽		23		MHz	

5.5 电气特性 (续)

条件为 $R_{V_{DD}} = 5.5V$ 、 $DV_{DD} = 1.65V$ 至 $5.5V$ 、 $V_{REF} = 5V$ ，以及最大吞吐量（除非另有说明）。
最大和最小值条件 $T_A = -40^\circ C$ 至 $+125^\circ C$ ，典型值条件为 $T_A = 25^\circ C$ 。

参数		测试条件	最小值	典型值	最大值	单位
交流精度^{(2) (7)} ($C_{REFBUF} = 22\mu F$, $R_{ESR} = 1\Omega$)						
SINAD	信噪比 + 失真	$f_{IN} = 2kHz$ 、 $T_A = -40^\circ C$ 至 $+85^\circ C$	101.8	103.9		dB
		$f_{IN} = 2kHz$ 、 $T_A = -40^\circ C$ 至 $+125^\circ C$	101.3	103.9		
SNR	信噪比	$f_{IN} = 2kHz$ 、 $T_A = -40^\circ C$ 至 $+85^\circ C$	102	104.5		dB
		$f_{IN} = 2kHz$ 、 $T_A = -40^\circ C$ 至 $+125^\circ C$	101.5	104.5		
		$f_{IN} = 100kHz$		99.5		
THD	总谐波失真	$f_{IN} = 2kHz$		-125		dB
		$f_{IN} = 100kHz$		-110		
SFDR	无杂散动态范围	$f_{IN} = 2kHz$		-125		dB
LDO 输出 (DECAP)						
V_{LDO}	LDO 输出电压 (DECAP 引脚)			2.85		V
C_{LDO}	DECAP 引脚上的外部陶瓷电容器		1			μF
t_{PU_LDO}	LDO 上电时间	$C_{LDO} = 1\mu F$, $R_{V_{DD}} > V_{LDO}$		1		ms
$I_{SHRT-LDO}$	短路电流			100		mA
数字输入						
V_{IH}	高电平输入电压	$1.65V < DV_{DD} < 2.3V$	$0.8 DV_{DD}$		$DV_{DD} + 0.3$	V
		$2.3V < DV_{DD} < 5.5V$	$0.7 DV_{DD}$		$DV_{DD} + 0.3$	
V_{IL}	低电平输入电压	$1.65V < DV_{DD} < 2.3V$	-0.3		$0.2 DV_{DD}$	V
		$2.3V < DV_{DD} < 5.5V$	-0.3		$0.3 DV_{DD}$	
	输入电流			± 0.01	0.1	μA
数字输出						
V_{OH}	高电平输出电压	$I_{OH} = 500\mu A$ 拉电流	$0.8 DV_{DD}$		DV_{DD}	V
V_{OL}	低电平输出电压	$I_{OH} = 500\mu A$ 灌电流	0		$0.2 DV_{DD}$	V
电源						
I_{RVDD}	模拟电源电流	ADS8900B, $R_{V_{DD}} = 5V$ 、1MSPS 时		4.2	5.8	mA
		ADS8902B, $R_{V_{DD}} = 5V$ 、500KSPS 时		3.2	4	mA
		ADS8904B, $R_{V_{DD}} = 5V$ 、250KSPS 时		2.8	3.6	mA
		静态, 无转换		970		μA
		静态, $PD_ADC = 1b^{(8)}$		900		μA
		静态, $PD_REFBUF = 1b^{(8)}$		120		μA
		静态, $PD_ADC = 1b$ 和 $PD_REFBUF = 1b^{(8)}$		40		μA
I_{DVDD}	数字电源电流	$DV_{DD} = 3V$, $C_{LOAD} = 10pF$, 无转换		1		μA
P_{RVDD}	功率耗散	ADS8900B, $R_{V_{DD}} = 5V$ 、1MSPS 时		21	29	mW
		ADS8902B, $R_{V_{DD}} = 5V$ 、500KSPS 时		16	20	
		ADS8904B, $R_{V_{DD}} = 5V$ 、250KSPS 时		14	18	

- (1) 请参阅 [REF_MRG 寄存器](#)。
- (2) 在使用内部基准缓冲器及 LDO 运行的情况下。
- (3) 请参阅，查看 DNL、INL、偏移和增益误差参数的统计分布数据。
- (4) LSB = 最低有效位。20 位分辨率下的 1LSB 大约为 0.95ppm。
- (5) 对于选定的 V_{REF} ，请参见 [OFST_CAL 寄存器](#)。
- (6) 包括内部基准缓冲器误差及漂移。
- (7) 对于 $V_{IN} = -0.1dBFS$ 。
- (8) 请参阅 [PD_CNTL 寄存器](#)。

5.6 时序要求

		最小值	典型值	最大值	单位	时序图
转换周期						
f _{cycle}	采样频率	ADS8900B		1000	kHz	图 5-1
		ADS8902B		500		
		ADS8904B		250		
t _{cycle}	ADC 周期时长	ADS8900B	1		μs	
		ADS8902B	2			
		ADS8904B	4			
t _{wh_CONVST}	脉冲持续时间: CONVST 高电平	30			ns	
t _{wl_CONVST}	脉冲持续时间: CONVST 低电平	30			ns	
t _{acq}	采集时间	300			ns	
t _{qt_acq}	静默采集时间	30			ns	图 6-15, 请参阅节 6.5.4
t _{d_cnvcap}	静默孔径时间	20			ns	
异步复位及低功耗模式						
t _{wl_RST}	脉冲持续时间: RST 为低电平	100			ns	图 5-2
SPI 兼容串行接口						
f _{CLK}	串行时钟频率	2.35V ≤ DV _{DD} ≤ 5.5V , T _A = -40°C 至 +125°C , V _{IH} > 0.7 DV _{DD} , V _{IL} < 0.3 DV _{DD}		70	MHz	图 5-3
		1.65V ≤ DV _{DD} < 2.35V , T _A = -40°C 至 +125°C , V _{IH} > 0.8 DV _{DD} , V _{IL} < 0.2 DV _{DD}		20		
		1.65V ≤ DV _{DD} < 2.35V , T _A = 0°C 至 +60°C , V _{IH} > 0.8 DV _{DD} , V _{IL} < 0.2 DV _{DD}		57		
		1.65V ≤ DV _{DD} < 2.35V , T _A = -40°C 至 +125°C , V _{IH} > 0.9 DV _{DD} , V _{IL} < 0.1 DV _{DD}		68		
t _{CLK}	串行时钟时间周期	1/f _{CLK}			ns	图 5-3
t _{ph_CK}	SCLK 高电平时间	0.45		0.55	t _{CLK}	图 5-3
t _{pl_CK}	SCLK 低电平时间	0.45		0.55	t _{CLK}	
t _{su_CSCK}	建立时间: CS 下降至第一个 SCLK 捕捉上升沿	12			ns	
t _{su_CKDI}	建立时间: SDI 数据对 SCLK 捕捉沿有效	1.5			ns	
t _{ht_CKDI}	保持时间: SCLK 捕捉边沿至 SDI 上的 (前一个) 数据有效	1			ns	
t _{ht_CKCS}	延迟时间: 最后一个 SCLK 下降到 CS 上升	7			ns	
源同步串行接口 (外部时钟) ⁽¹⁾						
f _{CLK}	串行时钟频率	SDR (DATA_RATE = 0b) , 2.35V ≤ DV _{DD} ≤ 5.5V		70	MHz	图 5-4, 请参阅节 6.5.4
		DDR (DATA_RATE = 1b) , 2.35V ≤ DV _{DD} ≤ 5.5V		35		
t _{CLK}	串行时钟时间周期	1/f _{CLK}			ns	

(1) 当 DV_{DD} < 2.35V 时, 不建议使用外部时钟选项。请参阅表 6-9。

5.7 开关特性

条件为 $V_{DD} = 5.5V$ 、 $DV_{DD} = 1.65V$ 至 $5.5V$ 、 $V_{REF} = 5V$ ，以及最大吞吐量（除非另有说明）。
最大和最小值条件 $T_A = -40^\circ C$ 至 $+125^\circ C$ ，典型值条件为 $T_A = 25^\circ C$ 。

参数 ⁽¹⁾		最小值	典型值	最大值	单位	时序图
转换周期						
t_{conv} 转换时间	ADS8900B	600		670	ns	图 5-1
	ADS8902B	1100		1200		
	ADS8904B	2400		2500		
异步复位及低功耗模式						
t_{d_rst} 延迟时间：RST 上升沿至 RVS 上升沿				3	ms	图 5-2
t_{PU_ADC} 转换器模块的上电时间		1			ms	请参阅 PD_CNTL 寄存器
t_{PU_REFBUF} 内部基准缓冲器的上电时间， $C_{REFBUF} = 22\mu F$		10			ms	
t_{PU_Device} 器件上电时间	$C_{LDO} = 1\mu F$ 、 $C_{REFBUF} = 22\mu F$	10			ms	
SPI 兼容串行接口						
t_{den_CSDO} 延迟时间： \overline{CS} 下降沿至数据使能				9	ns	图 5-3
t_{dz_CSDO} 延迟时间： \overline{CS} 上升沿到 SDO 进入 Hi-Z				10	ns	
t_{d_CKDO} 延迟时间：SCLK 启动沿至 SDO 上的（下一个）数据有效状态				13	ns	
$t_{d_CSRDY_f}$ 延迟时间： \overline{CS} 下降沿至 RVS 下降沿				12	ns	图 5-4
$t_{d_CSRDY_r}$ 延迟时间： \overline{CS} 上升沿至 RVS 上升沿	执行 NOP 操作后			30	ns	图 5-4
	执行 WR 或 RD 操作后			120		
源同步串行接口（外部时钟）⁽¹⁾						
$t_{d_CKSTR_r}$ 延迟时间：SCLK 启动沿至 RVS 上升沿				13	ns	图 5-4
$t_{d_CKSTR_f}$ 延迟时间：SCLK 启动沿至 RVS 下降沿				13	ns	
$t_{off_STRDO_f}$ 时间偏移：RVS 下降沿至 SDO 上的（下一个）数据有效状态		-2		2	ns	
$t_{off_STRDO_r}$ 时间偏移：RVS 上升沿至 SDO 上的（下一个）数据有效状态		-2		2	ns	
t_{ph_STR} 选通输出高电平时间， $2.35V \leq DV_{DD} \leq 5.5V$		0.45		0.55	t_{STR}	
t_{pl_STR} 选通输出低电平时间， $2.35V \leq DV_{DD} \leq 5.5V$		0.45		0.55	t_{STR}	
源同步串行接口（内部时钟）						
t_{d_CSSTR} 延迟时间： \overline{CS} 下降沿至 RVS 上升沿		15		50	ns	图 5-5
t_{STR} 选通输出时间段	INTCLK 选项		15		ns	
	INTCLK/2 选项		30			
	INTCLK/4 选项		60			
t_{ph_STR} 选通输出高电平时间		0.45		0.55	t_{STR}	
t_{pl_STR} 选通输出低电平时间		0.45		0.55	t_{STR}	

(1) 当 $DV_{DD} < 2.35V$ 时，不建议使用外部时钟选项。请参阅表 6-9。

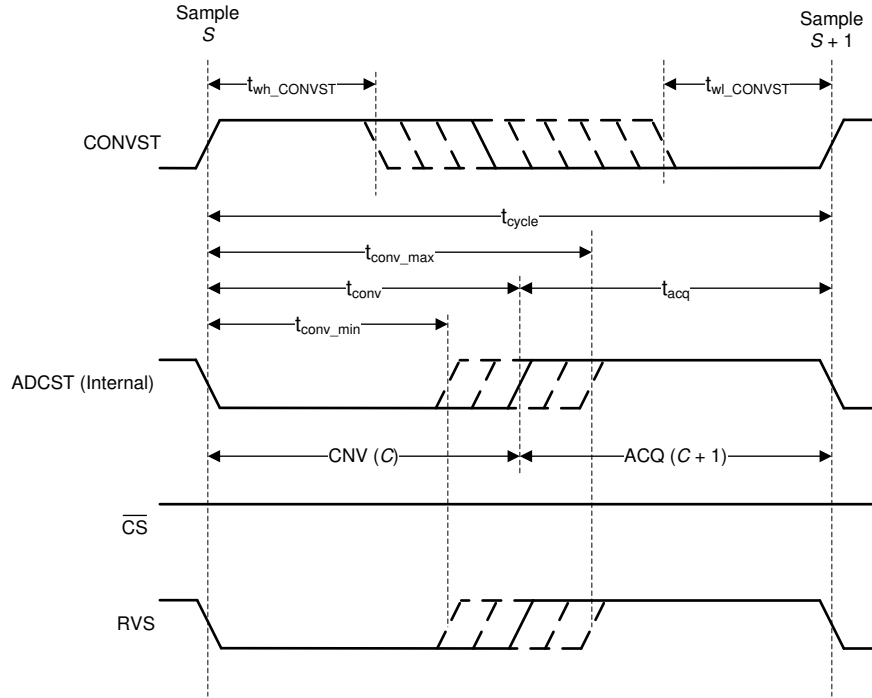


图 5-1. 转换周期时序

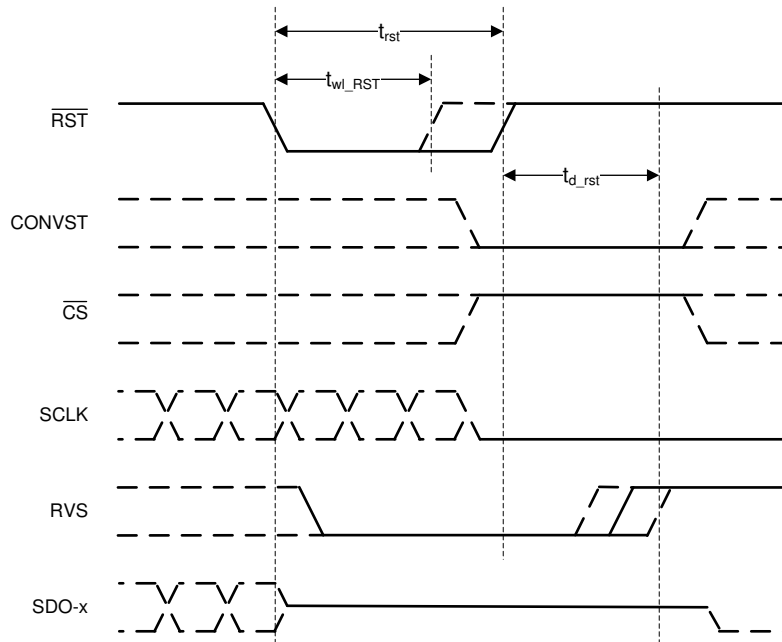
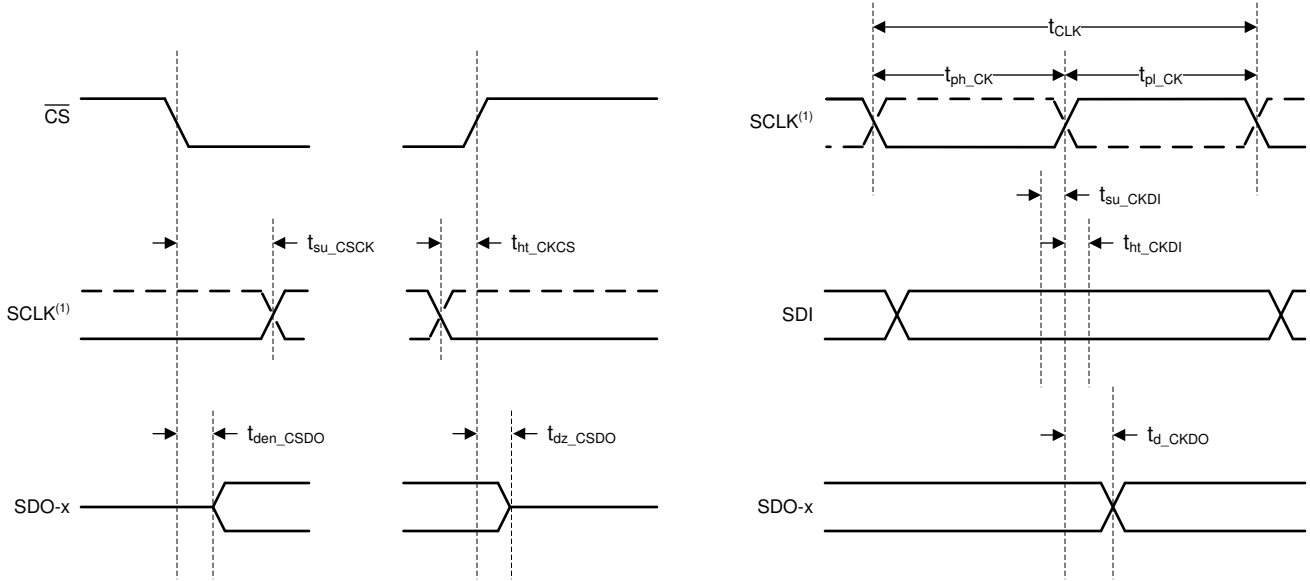


图 5-2. 异步复位时序



A. SCLK 极性、启动沿和捕获边沿取决于所选的 SPI 协议。

图 5-3. SPI 兼容串行接口计时

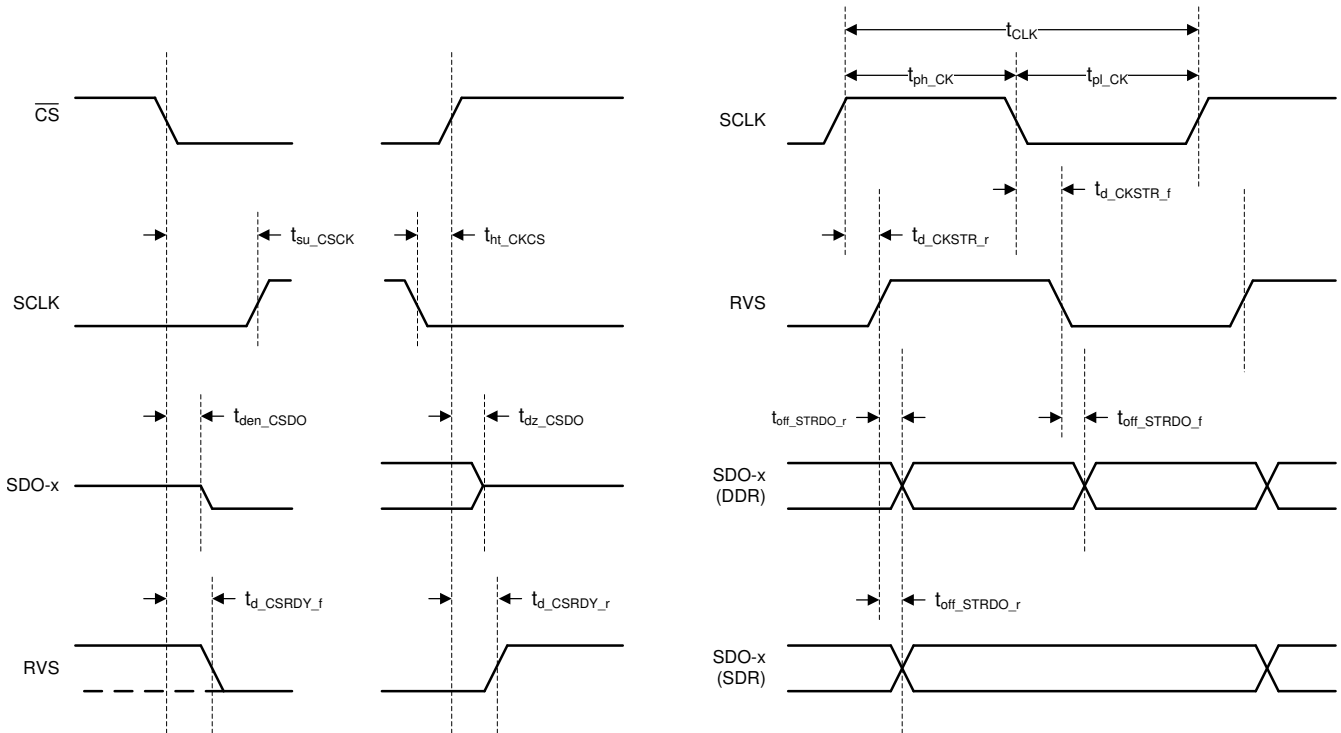


图 5-4. 源同步串行接口时序 (外部时钟)

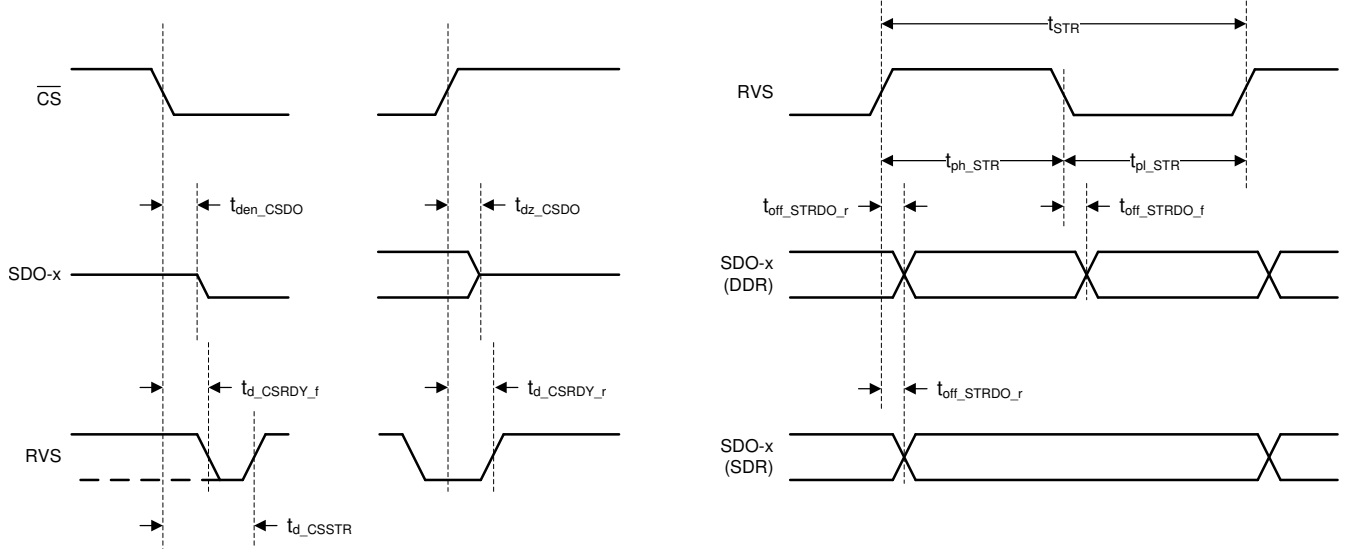


图 5-5. 源同步串行接口时序 (内部时钟)

5.8 典型特性

在 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5.5\text{V}$ 、 $DV_{DD} = 3\text{V}$ ， $V_{REF} = 5\text{V}$ 和最大额定吞吐量的条件下测得（除非另有说明）

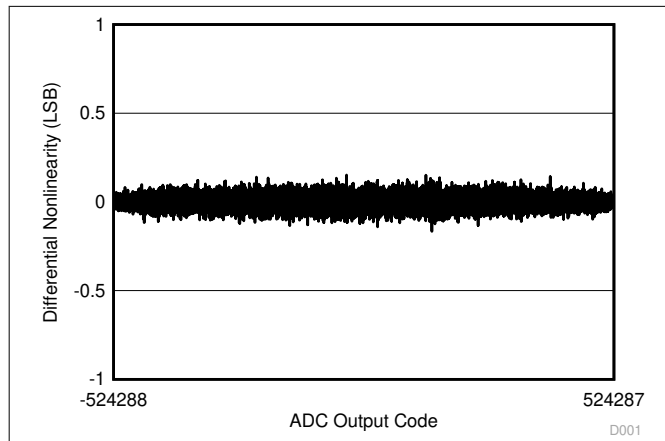


图 5-6. 典型 DNL

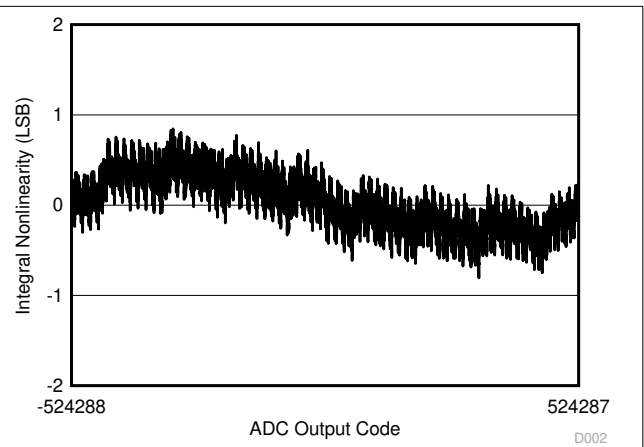


图 5-7. 典型 INL

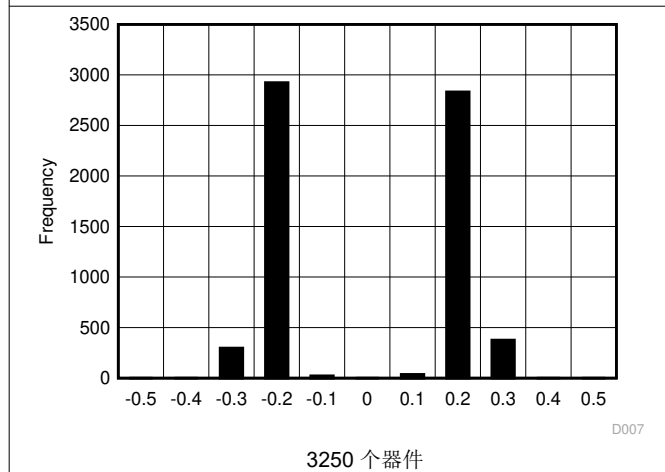


图 5-8. 典型 DNL 分布 (LSB)

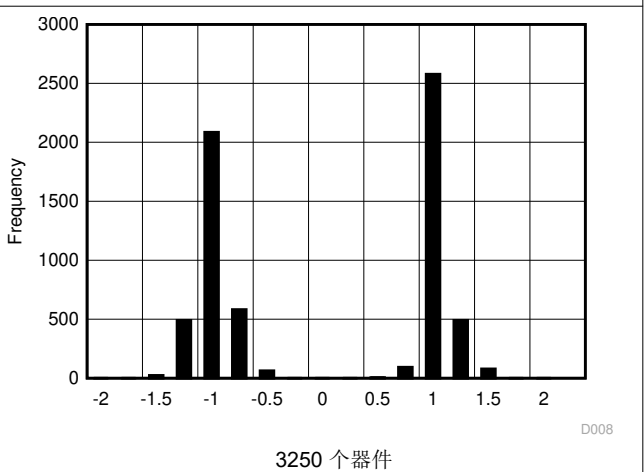


图 5-9. 典型 INL 分布 (LSB)

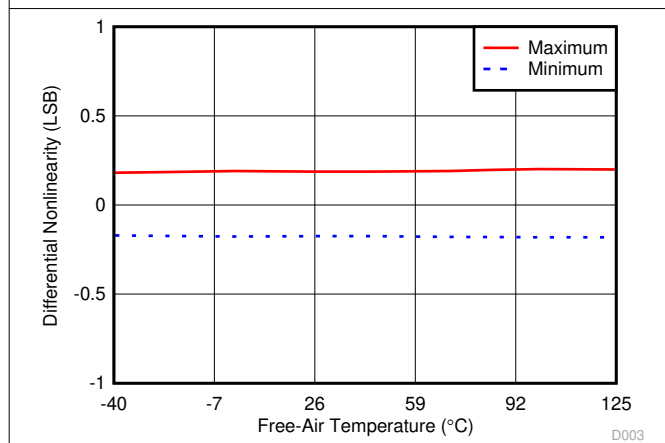


图 5-10. DNL 与温度间的关系

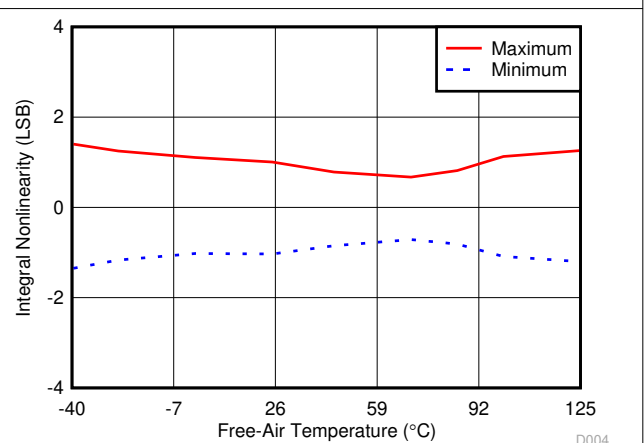


图 5-11. INL 与温度间的关系

5.8 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $R_{V_{DD}} = 5.5\text{V}$ 、 $DV_{DD} = 3\text{V}$ ， $V_{REF} = 5\text{V}$ 和最大额定吞吐量的条件下测得 (除非另有说明)

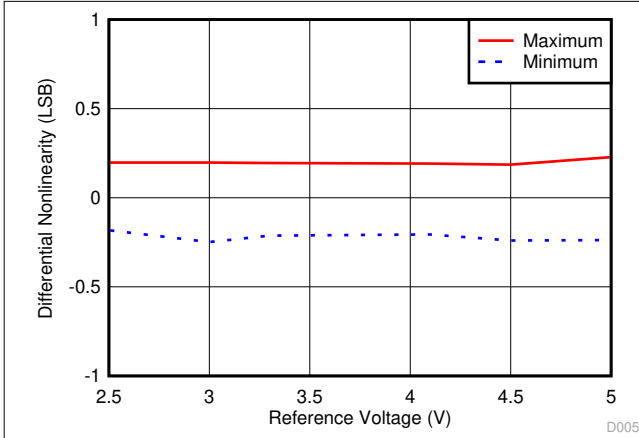


图 5-12. DNL 与基准电压间的关系

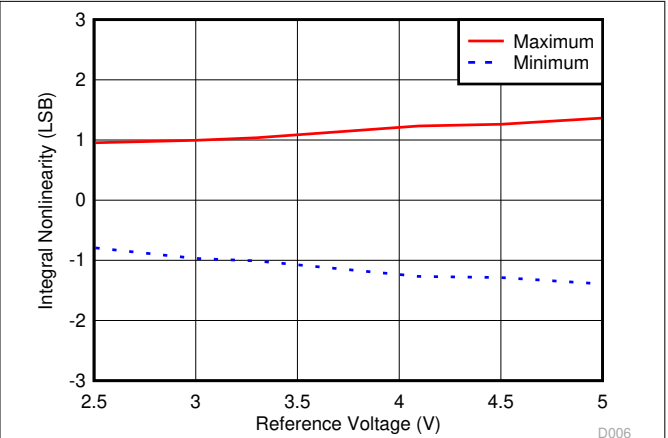
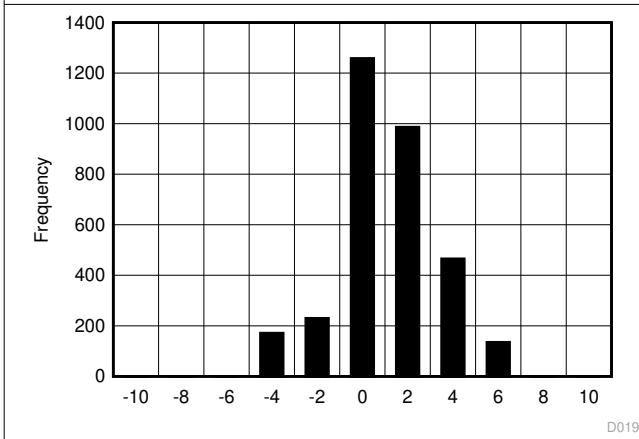
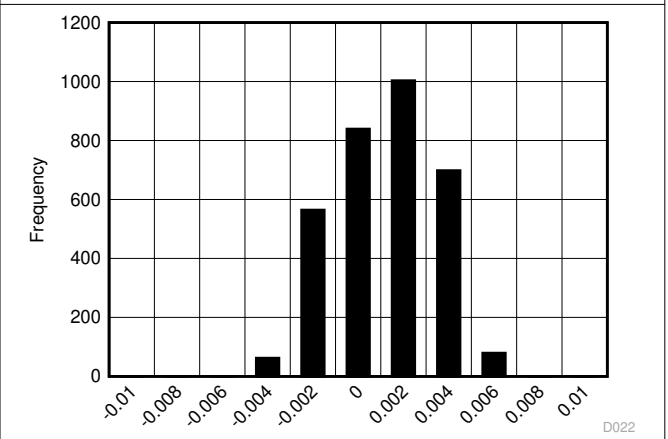


图 5-13. INL 与基准电压间的关系



3250 个器件

图 5-14. 典型偏移分布 (LSB)



3250 个器件

图 5-15. 典型增益误差分布 (%FS)

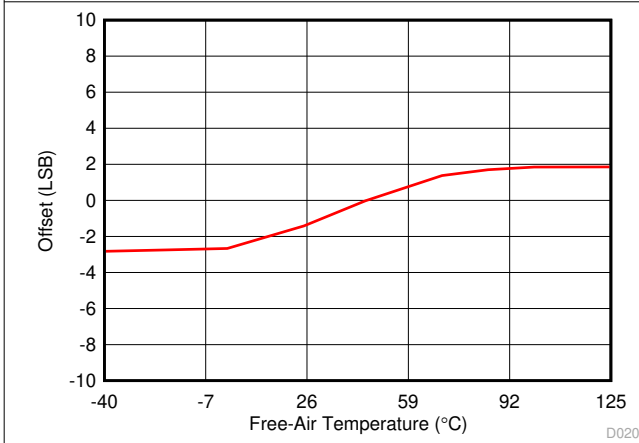


图 5-16. 偏移与温度间的关系

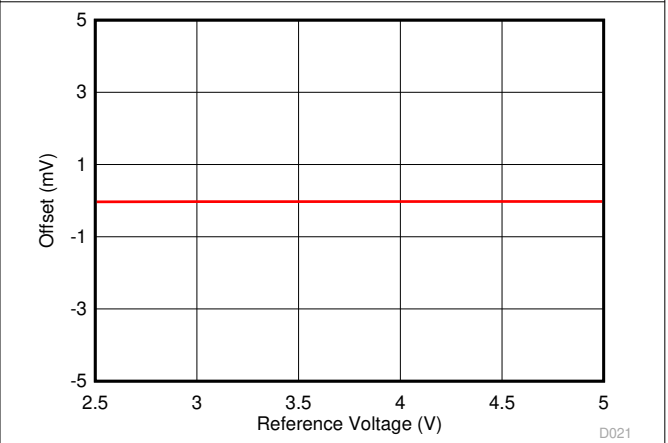


图 5-17. 偏移与基准电压间的关系

5.8 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $R_{V_{DD}} = 5.5\text{V}$ 、 $DV_{DD} = 3\text{V}$ ， $V_{REF} = 5\text{V}$ 和最大额定吞吐量的条件下测得 (除非另有说明)

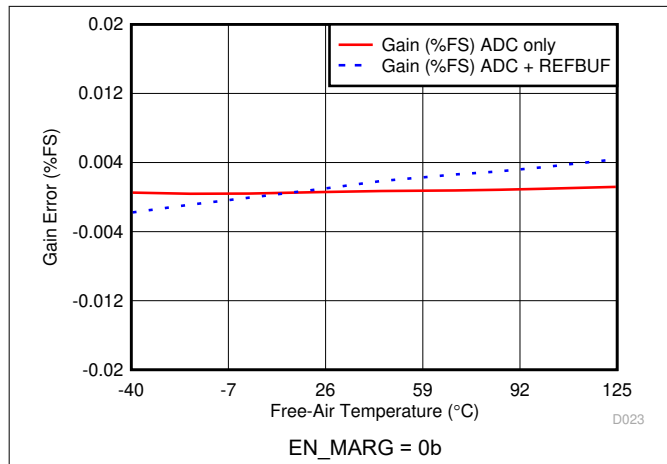


图 5-18. 增益误差与温度间的关系

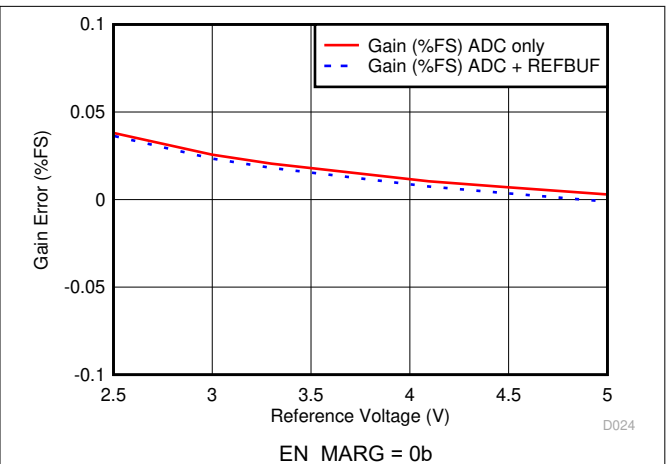


图 5-19. 增益误差与基准电压间的关系

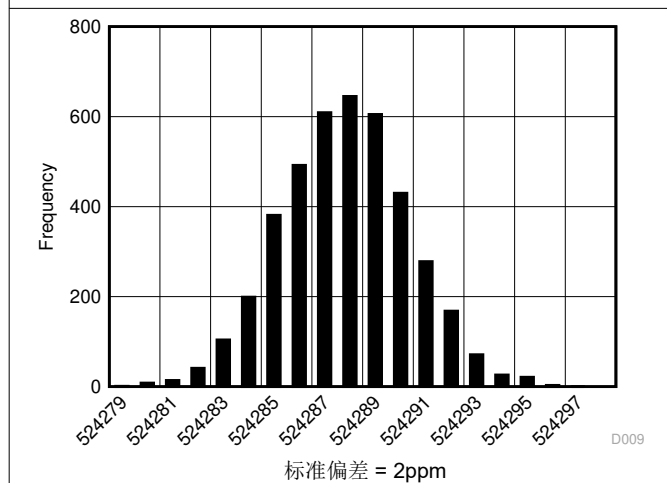


图 5-20. 直流输入直方图

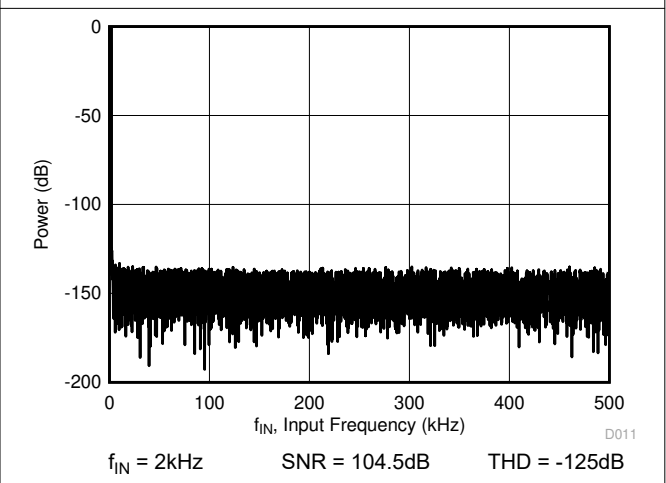


图 5-21. 典型 FFT - ADS8900B

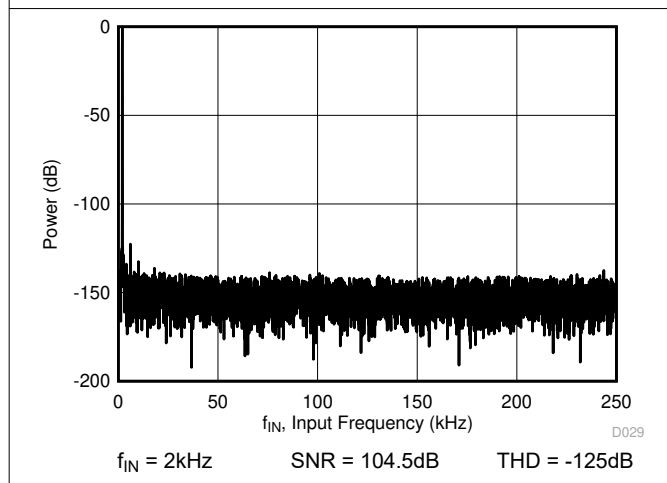


图 5-22. 典型 FFT - ADS8902B

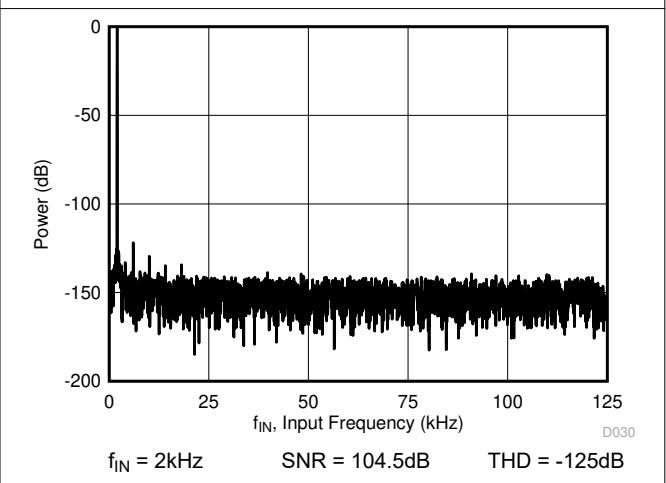


图 5-23. 典型 FFT - ADS8904B

5.8 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $R_{V_{DD}} = 5.5\text{V}$ 、 $DV_{DD} = 3\text{V}$ ， $V_{REF} = 5\text{V}$ 和最大额定吞吐量的条件下测得 (除非另有说明)

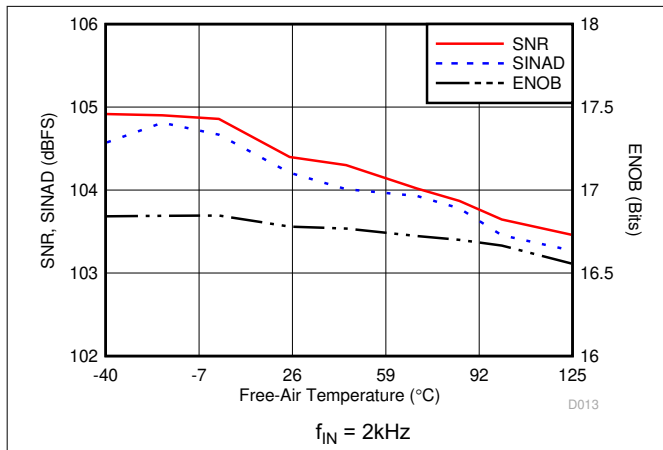


图 5-24. 噪声性能与温度间的关系

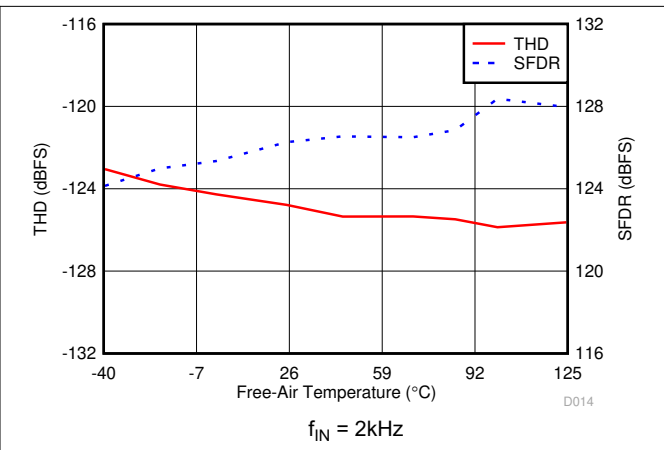


图 5-25. 失真性能与温度间的关系

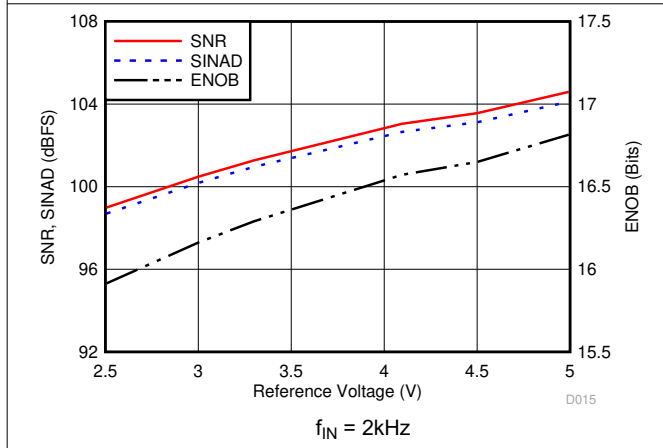


图 5-26. 噪声性能与基准电压间的关系

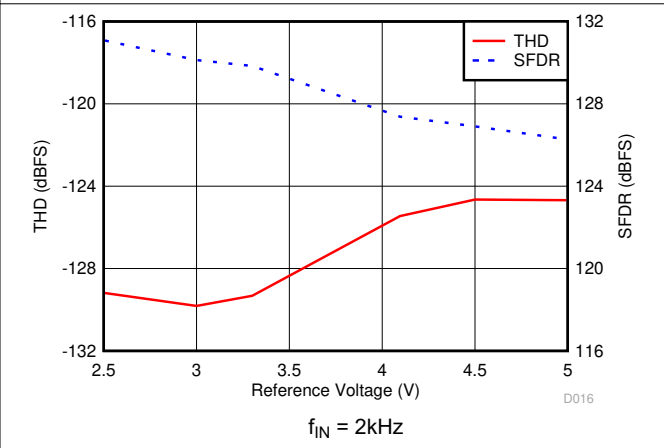


图 5-27. 失真性能与基准电压间的关系

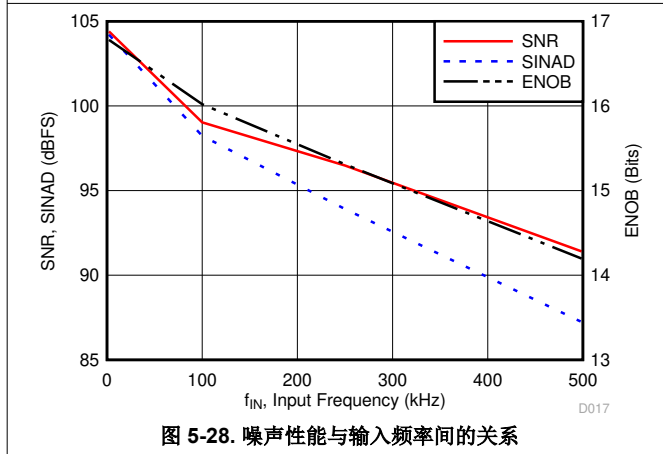


图 5-28. 噪声性能与输入频率间的关系

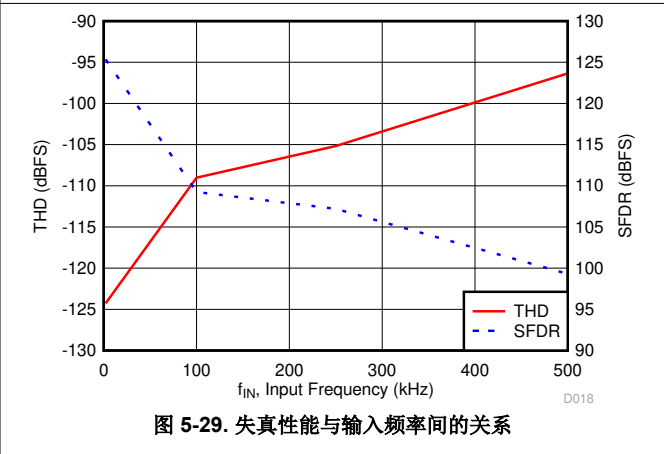


图 5-29. 失真性能与输入频率间的关系

5.8 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $R_{V_{DD}} = 5.5\text{V}$ 、 $DV_{DD} = 3\text{V}$ ， $V_{REF} = 5\text{V}$ 和最大额定吞吐量的条件下测得 (除非另有说明)

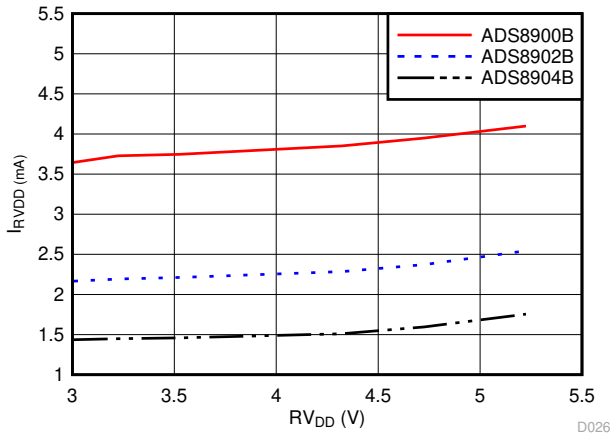


图 5-30. 模拟电源电流与电源电压间的关系

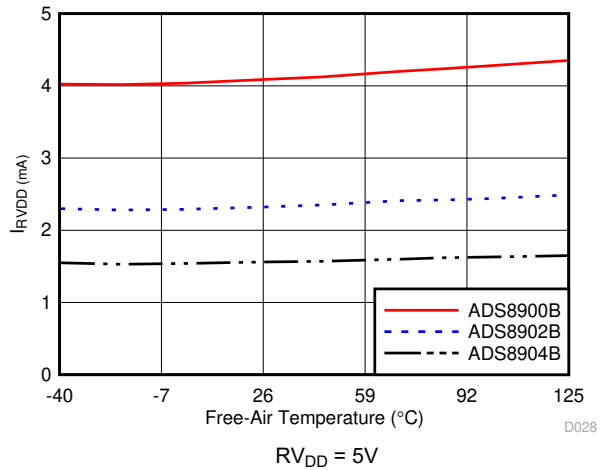


图 5-31. 模拟电源电流与温度间的关系

6 详细说明

6.1 概述

ADS890xB 是一个基于电荷再分配架构的高速逐次逼近寄存器 (SAR)、模数转换器 (ADC) 系列。这些紧凑型器件集成了基准缓冲器和 LDO，可在高吞吐率和低功耗条件下实现高性能。

此器件系列支持单极、全差分模拟输入信号。集成基准缓冲器支持针对 2.5V 至 5V 范围内的外部基准电压进行突发模式的数据采集，并在无需额外输入缩放的情况下提供广泛的输入范围选择。

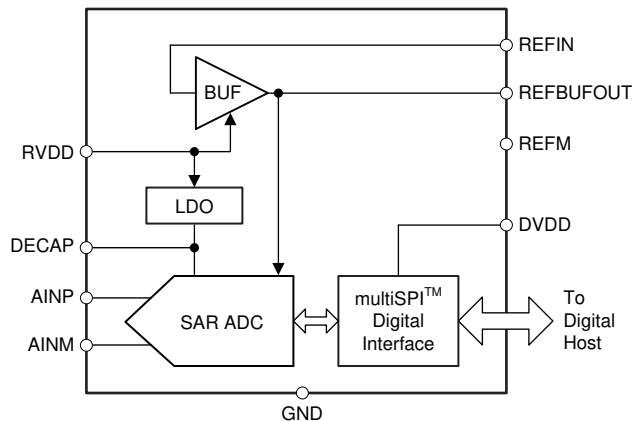
转换启动后，会在内部电容器阵列上对 AINP 和 AINM 引脚之间的差分输入信号进行采样。该器件使用内部时钟执行转换。在转换过程中，两个模拟输入都从内部电路上断开。在转换过程结束时，该器件会将采样电容器重新连接到 AINP 和 AINM 引脚并进入采集阶段。

集成的 LDO 允许器件于单电源 V_{DD} 下运行。在启用内部基准缓冲器和 LDO 的情况下，在分别为 1MSPS、500kSPS 或 250kSPS 的额定最大吞吐量下运行时，该器件的功耗仅为 21mW、16mW 或 14mW。

增强的 multiSPI™ 数字接口向后兼容传统 SPI 协议。可配置特性简化了电路板布局布线、时序和固件，并支持在较低时钟速度下实现高吞吐量，从而可以轻松与各种微控制器、DSP 和 FPGA 连接。

ADS890xB 支持测试和测量、医疗和工业应用，以小尺寸实现快速、低噪声、低失真、低功耗的数据采集。

6.2 功能方框图



6.3 特性说明

从功能的角度来看，该器件由四个模块组成：低压降稳压器 (LDO)、基准缓冲器 (BUF)、转换器 (SAR ADC) 和接口 (multiSPI 数字接口)，如 [功能方框图](#) 部分所示。

LDO 模块由 V_{DD} 电源供电，从而为器件的内部电路块生成偏置电压。在转换过程中，基准缓冲器模块会缓冲基准引脚上存在的动态容性开关负载的外部基准电压源。转换器模块对模拟输入进行采样并将其转换为等效的数字输出代码。接口模块有助于在器件和主机控制器之间进行通信和数据传输。

6.3.1 LDO 模块

为了实现单电源运行，器件具有一个内部低压降稳压器 (LDO)。LDO 由 V_{DD} 电源供电，并且两个 DECAP 引脚上提供输出。此 LDO 输出为器件内的关键模拟块供电，不得用于任何其他外部用途。

将两个 DECAP 引脚短接在一起，并通过放置一个额定电压为 10V 的 $1\ \mu\text{F}$ X7R 级陶瓷电容器与 GND 引脚去耦，如 [图 6-1](#) 所示。去耦电容值没有上限；但是，较大的去耦电容器会导致器件的上电时间更长。有关布局建议，请参阅 [布局](#) 部分。

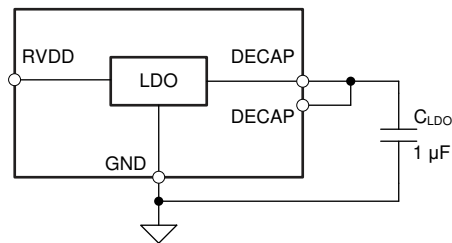


图 6-1. 内部 LDO 连接

6.3.2 基准缓冲器模块

在 CONVST 上升沿，该器件从 ACQ 状态切换到 CONV 状态，并且根据逐次逼近算法将内部电容器切换到 REFBUFOUT 引脚。转换过程中所需的大部分开关电荷由外部去耦电容 C_{REFBUF} 提供。如果在下一个 CONVST 上升沿之前没有补充 C_{REFBUF} 丢失的电荷，则 REFBUFOUT 引脚上的电压小于 $V_{REFBUFOUT}$ 。后续转换发生在这个不同的基准电压下，并导致输出代码中出现比例误差。器件的内部基准缓冲器将 REFBUFOUT 引脚上的电压保持在 $V_{REFBUFOUT}$ 的 0.5LSB 以内。器件的所有性能特性均由内部基准缓冲器和 C_{REFBUF} 及 R_{ESR} 的指定值指定。

在突发运行模式下，器件会在 ACQ 状态长时间保持，然后执行突发转换。在采集状态 (ACQ) 期间，采样电容器 (C_S) 连接到差分输入引脚，并且不会从 REFBUFOUT 引脚汲取电荷。然而，在第一个转换周期中，从 REFBUFOUT 引脚汲取的电流存在阶跃变化。负载的这种突然变化会触发基准缓冲器中的瞬态稳定响应。对于固定输入电压，转换周期结束时的任何瞬态稳定误差都会导致输出代码在后续转换中发生变化，如 [图 6-2](#) 所示。当与 C_{REFBUF} 和 R_{ESR} 的建议值一起使用时，ADS89xxB 的内部基准缓冲器可将每个转换周期结束时的瞬态稳定误差保持在 0.5LSB 以内。因此，该器件支持突发运行模式，每个转换结果都符合数据表规格。

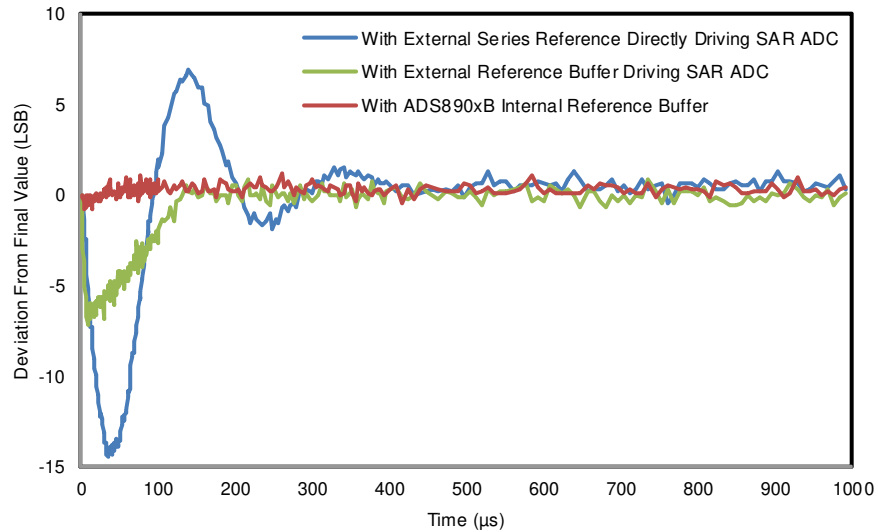


图 6-2. 采用各种 ADC 基准缓冲器以突发模式运行时的 ADC 输出代码

图 6-3 显示了内部基准缓冲器方框图。

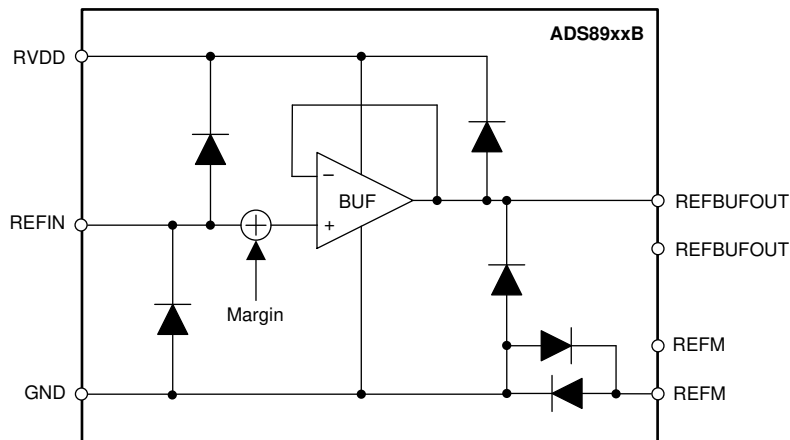


图 6-3. 内部基准缓冲器方框图

器件的输入范围是通过施加在 REFIN 引脚上的外部电压 (V_{REF}) 来设置的。REFIN 引脚具有连接到 RVDD 引脚和 GND 引脚的静电放电 (ESD) 保护二极管。对于最小输入失调误差 (请参见 [电气特性](#) 中指定的 $E_{(IO)}$)，请将 REF_SEL[2:0] 位设置为最接近 V_{REF} 的值 (请参见 [OFST_CAL](#) 寄存器)。

内部基准缓冲器的典型增益为 1 V/V，偏移误差很小 (请参阅 [电气特性](#) 中指定的 $V_{(RO)}$)，并且缓冲器的输出在 REFBUFOUT 引脚和 REF+ 引脚之间可用。设置 REF_OFST[4:0] 位以增加或减去有意的偏移电压 (请参阅 [REF_MRG](#) 寄存器)。

图 6-4 显示了内部基准缓冲器所需的外部连接。

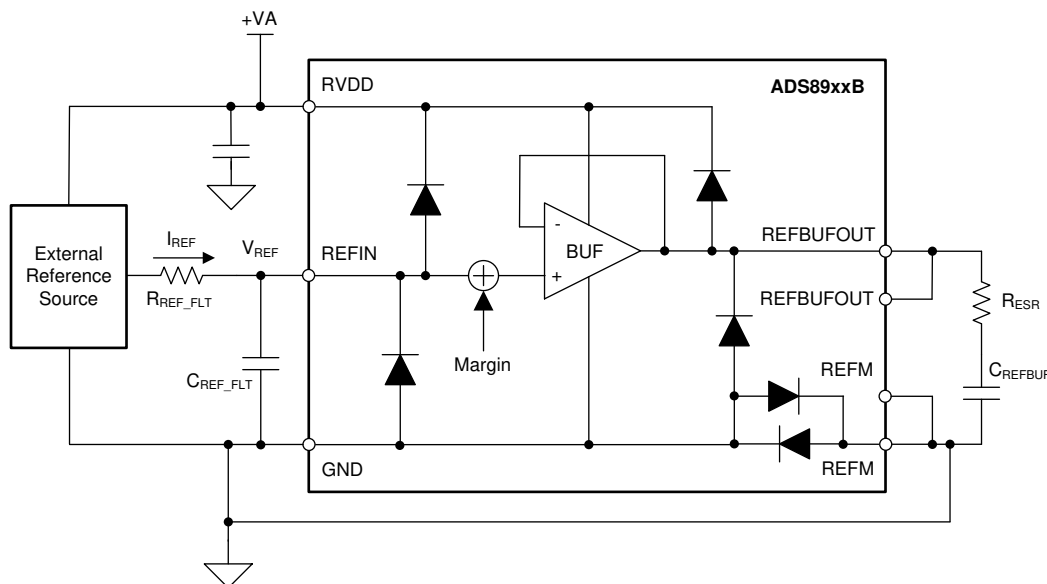


图 6-4. 内部基准缓冲器的外部连接

选择 R_{REF_FLT} 和 C_{REF_FLT} 以限制外部基准源的宽带噪声贡献。该器件从 REFIN 引脚 (通常为 $0.1\mu\text{A}$) 获取非常小的电流 I_{REF} 。但是, 此电流会流经 R_{REF_FLT} , 并可能导致额外的增益误差。

在外部短接两个 REFBUFOUT 引脚。在外部将两个 REF pin 短接至 GND。如图 6-4 所示, 将 R_{ESR} 和 C_{REFBUF} (请参阅 [电气特性](#)) 组合放置在 REFBUFOUT 引脚和 REF pin 引脚之间, 并尽可能靠近器件。有关布局建议, 请参阅 [布局](#) 部分。

6.3.3 转换器模块

如图 6-5 所示, 转换器模块对模拟输入信号 (在 AINP 和 AINM 引脚之间提供) 进行采样, 将该信号与基准电压 (在 REFBUFOUT 和 REF pin 引脚对之间) 进行比较, 并生成等效的数字输出代码。

转换器模块接收来自接口模块的 $\overline{\text{RST}}$ 和 CONVST 输入, 并将 ADCST 信号和转换结果输出回接口模块。

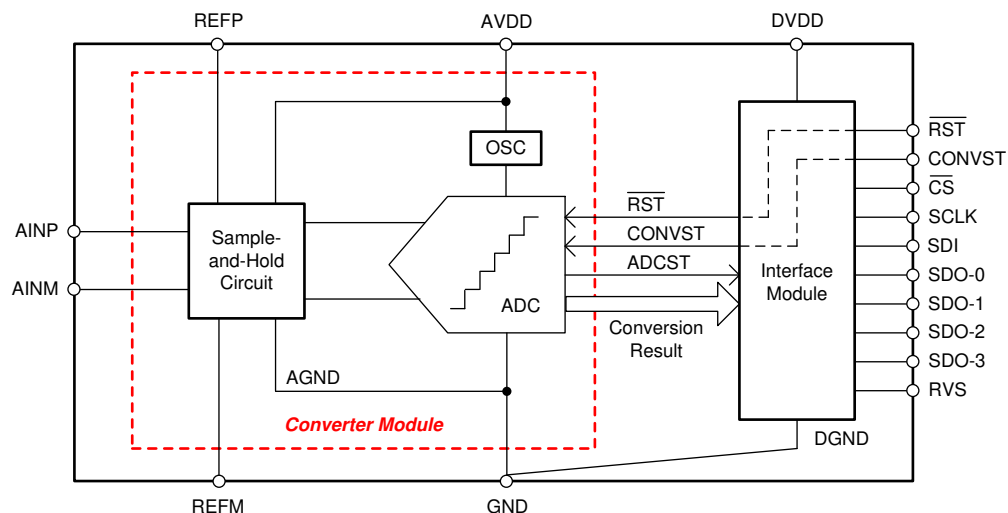


图 6-5. 转换器模块

6.3.3.1 采样保持电路

这些器件支持单极、全差分模拟输入信号。图 6-6 显示了采样保持电路的小信号等效电路。每个采样开关由一个电阻 (R_{S1} 和 R_{S2} , 通常为 $50\ \Omega$) 表示, 与一个理想开关 (SW_1 和 SW_2) 串联。采样电容 C_{S1} 和 C_{S2} 通常为 60pF 。

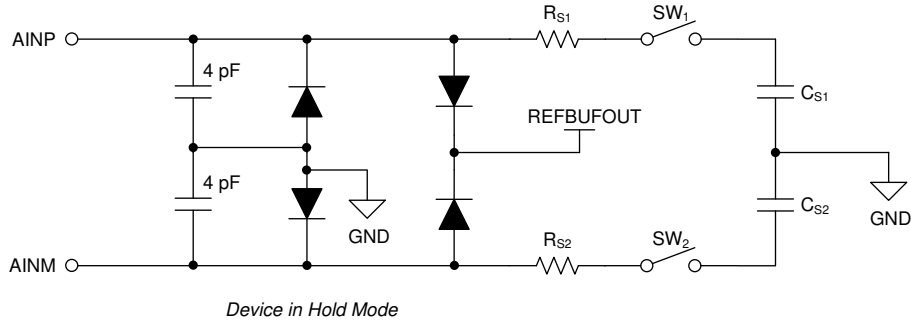


图 6-6. 输入采样级等效电路

在采集过程中 (在 ACQ 状态下), 正负输入端分别在 C_{S1} 和 C_{S2} 上单独进行采样。在转换过程中 (在 CNV 状态下), 器件会对两个采样值之间的电压差进行转换: $V_{AINP} - V_{AINM}$ 。

每个模拟输入引脚均配有连接到 REFBUFOUT 和 GND 的静电放电 (ESD) 保护二极管。将模拟输入保持在指定范围内, 以避免二极管导通。

方程式 1 和 方程式 2 分别显示了模拟输入端对 REFIN 引脚上提供的任何外部基准电压 (V_{REF}) 支持的满标度输入范围 (FSR) 和共模电压 (V_{CM})。

$$FSR = \pm V_{REF} \quad FSR = V_{REF} \quad (1)$$

$$V_{CM} = \left(\frac{V_{REF}}{2} \right) \pm 0.1\text{ V} \quad (2)$$

6.3.3.2 内部振荡器

该器件系列具有一个可提供转换时钟的内部振荡器 (OSC)；参见图 6-5。转换持续时间受 t_{conv} 的最小值和最大值的限制，如 [开关特性](#) 表中所述。

接口模块使用此内部时钟 (OSC)、外部时钟（由主机控制器在 SCLK 引脚上提供），或使用内部和外部时钟组合在器件和主机控制器之间执行数据传输操作；有关更多详细信息，请参阅 [接口模块](#) 部分。

6.3.3.3 ADC 传递函数

该器件系列支持单极、全差分模拟输入。器件输出采用二进制补码格式。图 6-7 和表 6-1 中显示了器件的理想传输特性。

ADC 的最低有效位 (LSB) 由以下方程式 3 得出：

$$1 \text{ LSB} = \frac{\text{FSR}}{2^{20}} = 2 \times \frac{V_{\text{REF}}}{2^{20}} \quad (3)$$

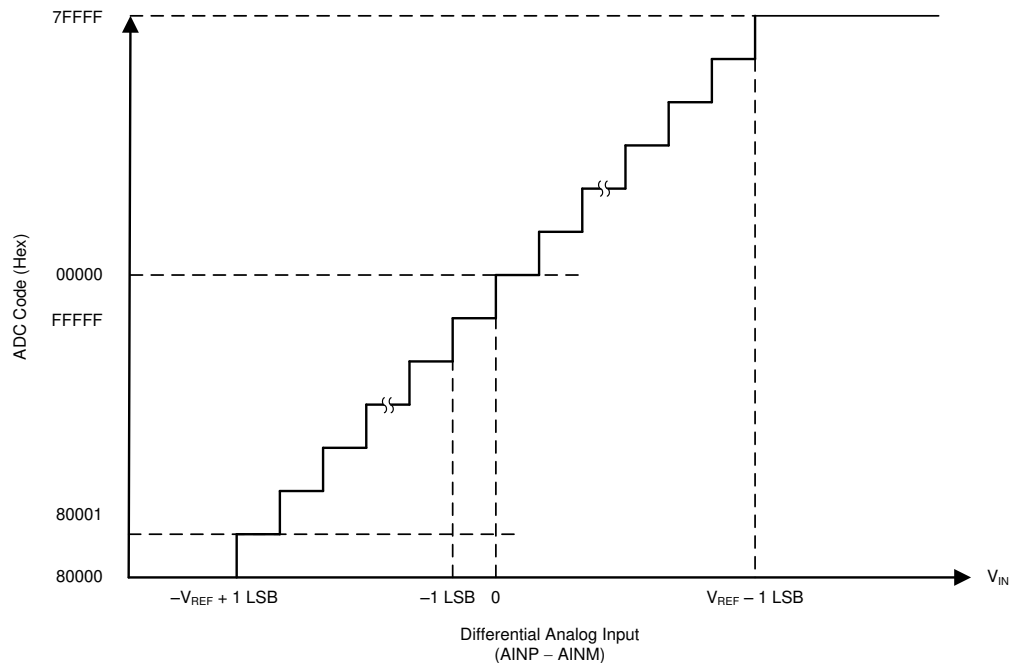


图 6-7. 差分传输特性

表 6-1. 传输特性

差分模拟输入电压 (AINP - AINM)	输出代码 (十六进制)
$< -V_{\text{REF}}$	80000
$-V_{\text{REF}} + 1 \text{ LSB}$	80001
-1 LSB	FFFFFF
0	00000
1 LSB	00001
$> V_{\text{REF}} - 1 \text{ LSB}$	7FFFF

6.3.4 接口模块

接口模块有助于在器件和主机控制器之间进行通信和数据传输。如图 6-8 所示，模块由移位寄存器（输入和输出）、配置寄存器和协议单元组成。

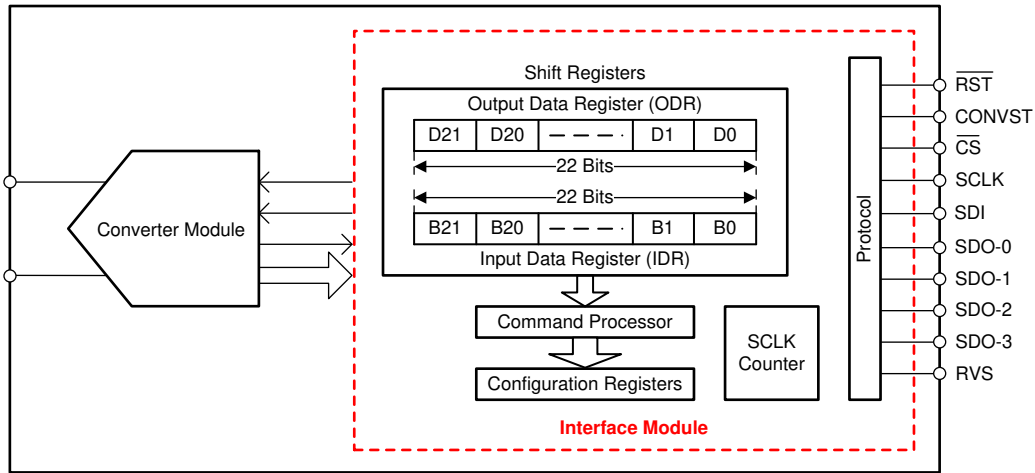


图 6-8. 接口模块

[引脚配置和功能](#) 部分提供了接口引脚的说明。[数据传输帧](#) 部分详细介绍了移位寄存器、SCLK 计数器和命令处理器的功能。[数据传输协议](#) 部分详细介绍了支持的协议。[寄存器映射](#) 部分介绍了配置寄存器和位设置。

6.4 器件功能模式

如图 6-9 所示，此器件系列支持三种功能状态：RST、ACQ 和 CNV。器件状态由主机控制器提供的 CONVST 和 $\overline{\text{RST}}$ 控制信号的状态决定。

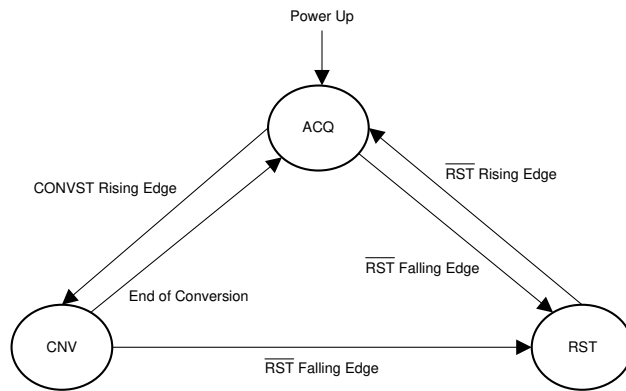


图 6-9. 器件功能状态

6.4.1 RST 状态

$\overline{\text{RST}}$ 引脚是器件的异步数字输入。要进入 RST 状态，主机控制器将 $\overline{\text{RST}}$ 引脚拉至低电平并在 $t_{\text{wl_RST}}$ 时间内保持低电平（如 [时序要求](#) 表中所规定）。

在此 RST 状态下，所有配置寄存器（参见 [寄存器映射](#) 部分）均重置为其默认值，RVS 引脚保持低电平，SDO-x 引脚处于 Hi-Z。

要退出 RST 状态，主机控制器将 $\overline{\text{RST}}$ 拉至高电平，使 CONVST 和 SCLK 保持低电平、使 $\overline{\text{CS}}$ 保持高电平，如图 6-10 中所示。在经过 $t_{\text{d_rst}}$ 延迟后，器件会进入 ACQ 状态且 RVS 引脚变为高电平。

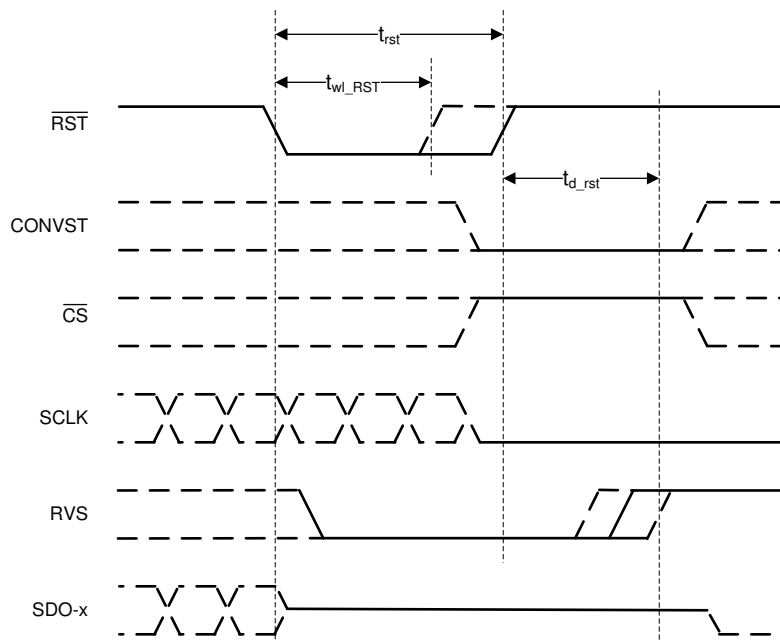


图 6-10. 异步复位

要在 ACQ 或 CNV 状态下运行器件， $\overline{\text{RST}}$ 必须保持高电平。当 $\overline{\text{RST}}$ 引脚保持高电平时，CONVST 引脚上的转换决定了器件的功能状态。

图 6-11 显示了一个典型的转换过程。内部 ADCST 信号在转换期间变为低电平，在转换结束时变为高电平。当 \overline{CS} 保持高电平时，RVS 将反映 ADCST 信号的状态。

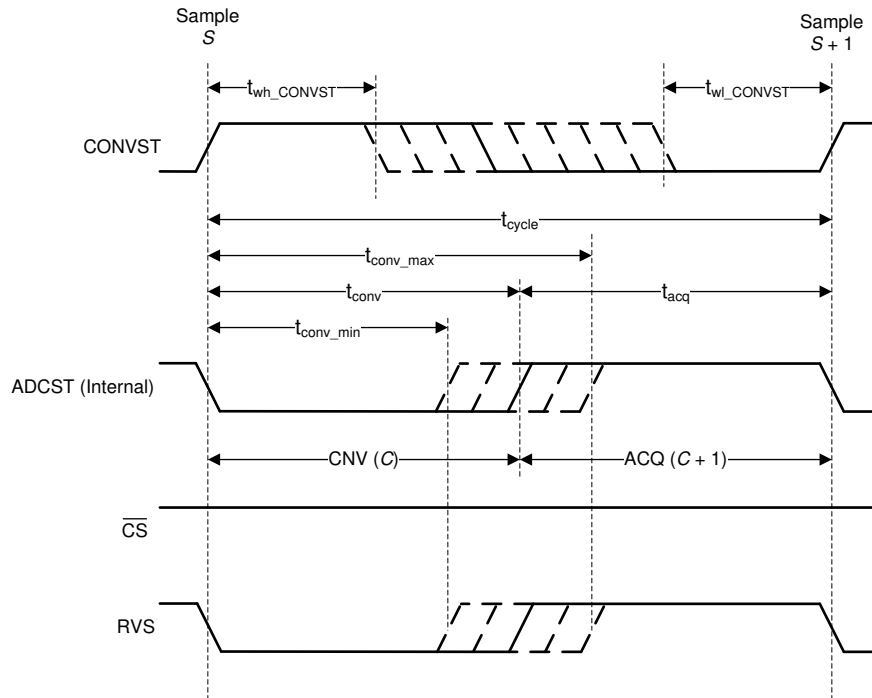


图 6-11. 典型转换过程

6.4.2 ACQ 状态

在 ACQ 状态下，器件获取模拟输入信号。该器件在通电时、断电后（见 PD 控制部分）、任何异步重置后以及每次转换结束时进入 ACQ 状态。

\overline{RST} 下降沿使器件从 ACQ 状态进入 RST 状态。CONVST 上升沿使器件从 ACQ 状态进入 CNV 状态。

6.4.3 CNV 状态

该器件在 CONVST 引脚的上升沿从 ACQ 状态切换至 CNV 状态。转换过程使用内部时钟。器件会忽略 CONVST 信号的任何进一步转换，直至正在进行的转换完成（即，在 t_{conv} 时间间隔内）。

转换结束时，器件进入 ACQ 状态。方程式 4 给出了器件的周期时间：

$$t_{cycle-min} = t_{conv} + t_{acq-min} \quad (4)$$

备注

转换时间 t_{conv} 在 $t_{conv-min}$ 至 $t_{conv-max}$ 的指定限值范围内变化（如 [开关特性](#) 表中所指定）。启动转换后，主机控制器必须监测 RVS 引脚上从低电平到高电平的转换，或等待 $t_{conv-max}$ 时间结束，然后才会启动新操作（数据传输或转换）。如果未监测 RVS，则将方程式 4 中的 t_{conv} 替换为 $t_{conv-max}$ 。

6.5 编程

该器件系列具有九个配置寄存器（如 [寄存器映射](#) 部分所述）。要访问内部配置寄存器，这些器件需支持表 6-2 中列出的命令。

表 6-2. 支持的命令

B[21:17]	B[16:8]	B[7:0]	命令首字母缩写词	命令描述
00000	000000000	00000000	NOP	无操作
10000	<9 位地址>	<8 位未屏蔽位>	CLR_BITS	从 <9 位地址> 中清除 <8 位未屏蔽位>
10001	<9 位地址>	00000000	RD_REG	从 <9 位地址> 读取内容
10010	<9 位地址>	<8 位数据>	WR_REG	将 <8 位数据> 写入 <9 位地址>
10011	<9 位地址>	<8 位未屏蔽位>	SET_BITS	从 <9 位地址> 设置 <8 位未屏蔽位>
11111	111111111	11111111	NOP	无操作
其余组合	xxxxxxxxx	xxxxxxxxx	保留	这些命令被保留，器件将其视为无操作

这些器件支持两种类型的数据传输操作：[数据写入](#)（主机控制器配置设备）和[数据读取](#)（主机控制器从器件读取数据）。

对器件的任何数据写入始终同步到 SCLK 引脚上提供的外部时钟。WR_REG 命令将 8 位数据写入命令字符串中指定的 9 位地址。CLR_BITS 命令会清除 9 位地址处的指定位（由 1 标识）（不影响其他位），并且 SET_BITS 命令会设置 9 位地址处的指定位（由 1 标识）（不影响其他位）。

通过对配置寄存器进行编程，从器件读取的数据可以同步到同一外部时钟或器件的内部时钟（有关详细信息，请参阅[数据传输协议](#)部分）。

6.5.1 输出数据字

在任何数据传输帧中，内部 22 位输出数据字的内容会在 SDO 引脚上移出。任何帧 $F + 1$ 的 22 位输出数据字的 D[21:2] 位由以下项确定：

- DATA_VAL 位的值，适用于帧 $F + 1$ （请参阅 [DATA_CNTL 寄存器](#)）
- 在帧 F 发出的命令

如果在帧 F 中执行有效的 RD_REG 命令，则帧 $F + 1$ 中的 D[21:14] 位会反映所选寄存器的内容，并且 D[13:0] 位为零。

如果帧 $F + 1$ 的 DATA_VAL 位设置为 1，则帧 $F + 1$ 中的 D[21:2] 位替换为 DATA_PATN[19:0] 位。

对于所有其他组合，帧 $F + 1$ 的 D[21:2] 位是最新转换结果。

[图 6-12](#) 显示了输出数据字。[图 6-13](#) 显示了[图 6-12](#) 中所示的奇偶校验计算单元的更多详细信息。

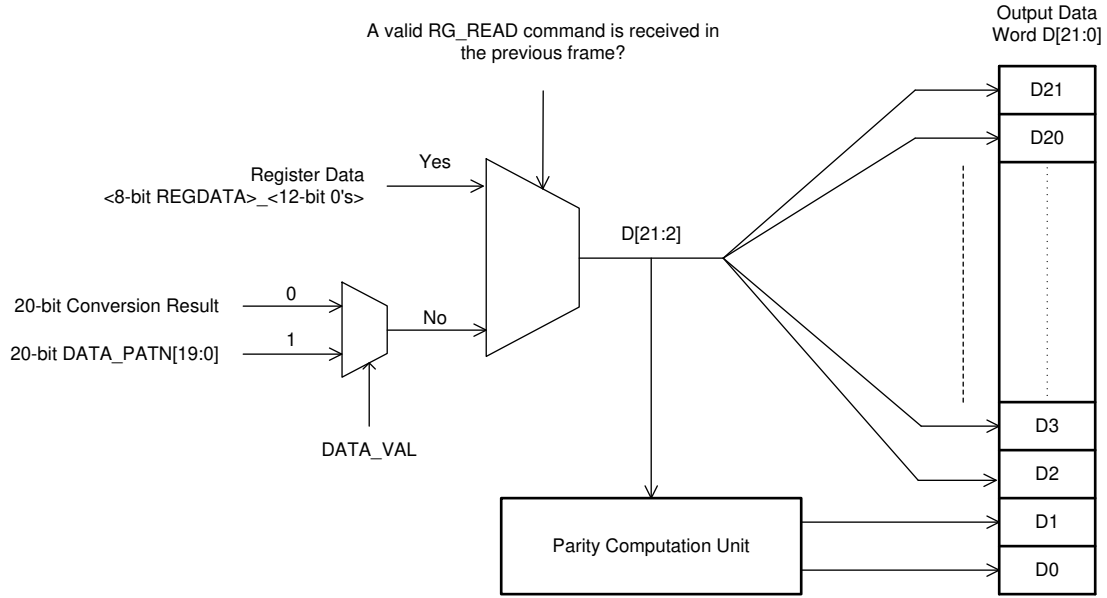


图 6-12. 输出数据字 (D[21:0])

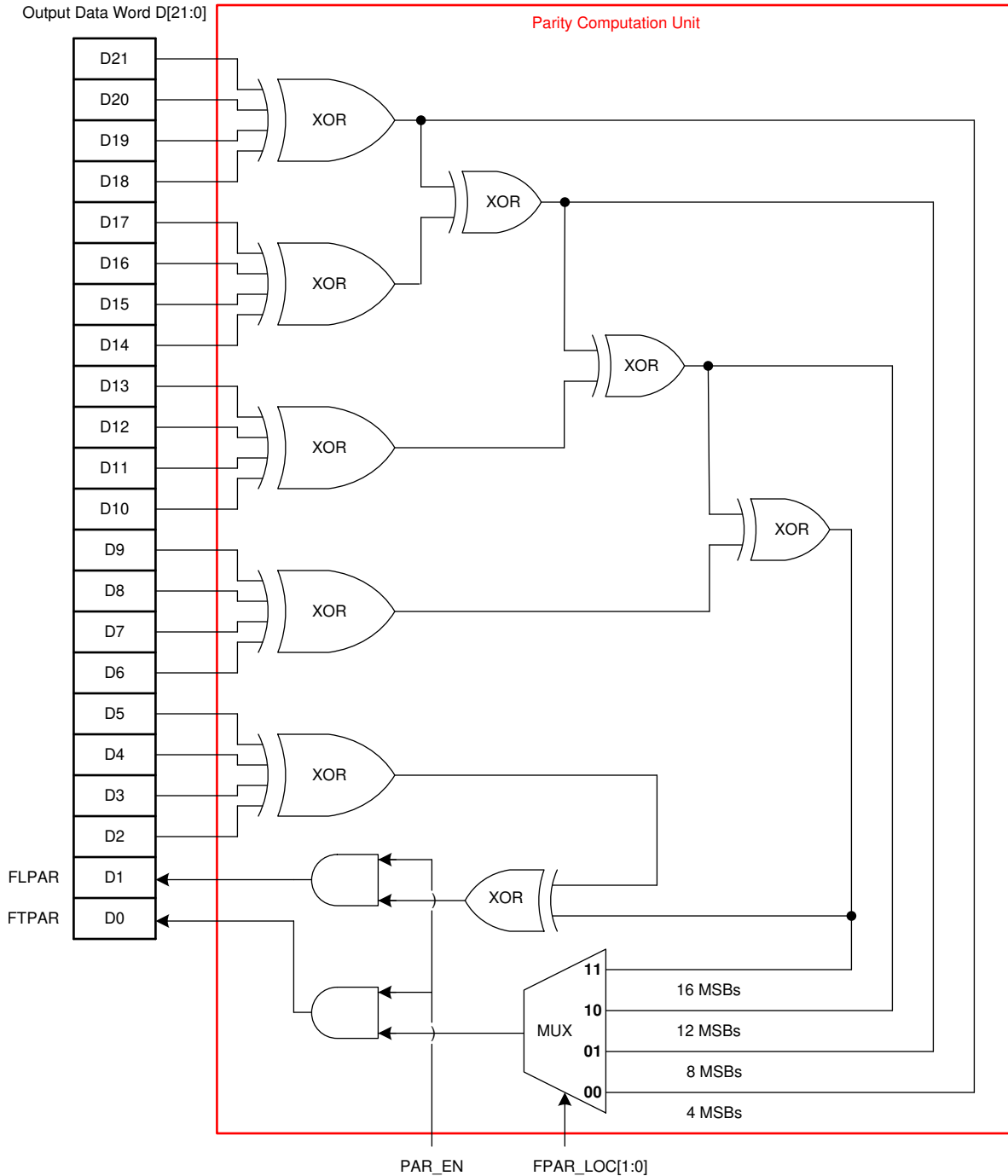


图 6-13. 奇偶校验位计算

当 PAR_EN 位设置为 0 时，输出数据字的 D[1] 和 D[0] 位设置为 0（默认配置）。

当 PAR_EN 位设置为 1 时，器件会计算奇偶校验位（FLPAR 和 FTPAR），并将其附加为位 D[1] 和 D[0]。

- FLPAR 是在位 D[21:2] 上计算的偶校验。
- FTPAR 是在由 FPAR_LOC[1:0] 定义的位上计算出的偶校验。

有关 FPAR_LOC[1:0] 位设置的更多详细信息，请参阅 DATA_CNTL 寄存器。

6.5.2 数据传输帧

器件和主机控制器之间的数据传输帧由一个 $\overline{\text{CS}}$ 下降沿和随后的 $\overline{\text{CS}}$ 上升沿界定。无论 CONVST 信号的状态如何，主机控制器都可以随时启动数据传输帧（如图 6-14 所示）；但是，此类数据传输帧期间读取的数据是 CONVST 和 $\overline{\text{CS}}$ 信号之间相对时序的函数。

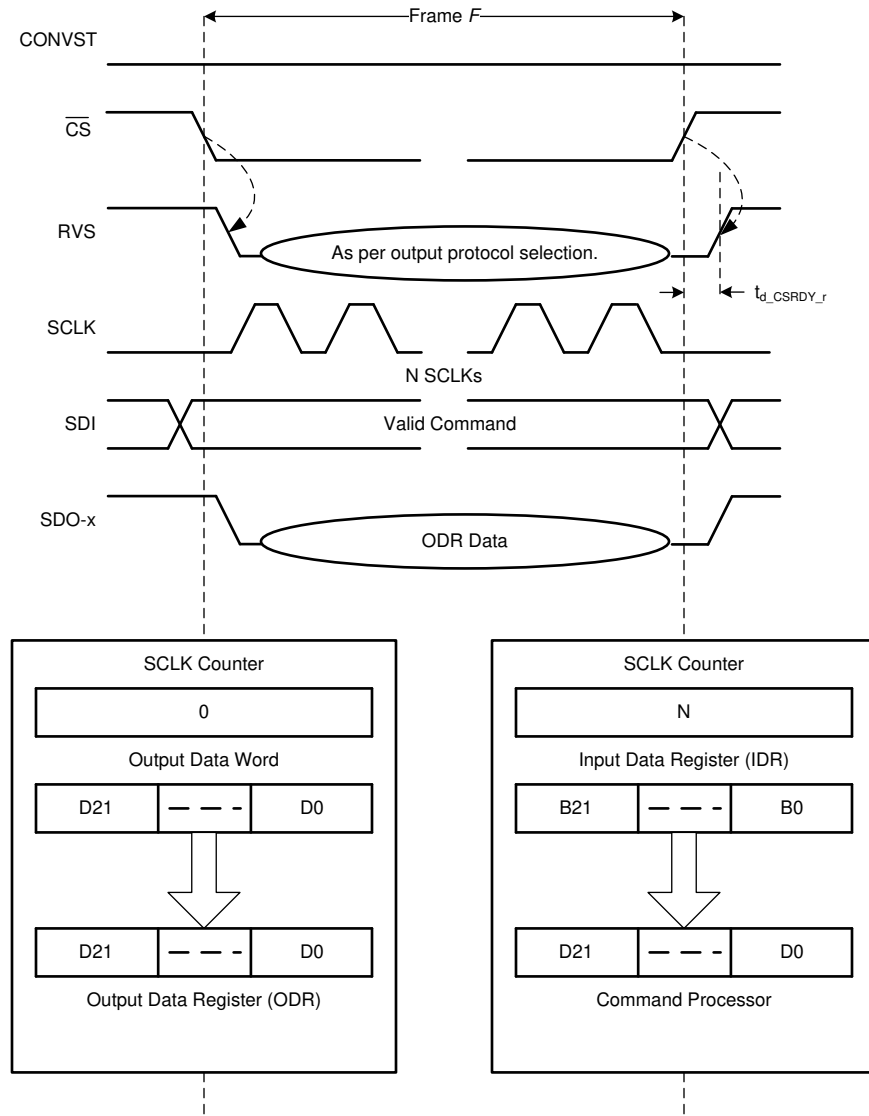


图 6-14. 数据传输帧

在此讨论中，假设 CONVST 信号保持低电平。

典型的数据传输帧 F 遵循以下顺序：

1. 主机控制器将 $\overline{\text{CS}}$ 拉至低电平，以便启动数据传输帧。在 $\overline{\text{CS}}$ 下降沿：
 - RVS 变为低电平，指示数据传输帧开始。
 - SCLK 计数器复位为 0。
 - 该器件可控制数据总线，如图 6-14 中所示。输出数据字的 22 位内容（参见图 6-12）已加载到 22 位输出数据寄存器中（ODR；参见图 6-8）。
 - 22 位输入数据寄存器（IDR；参见图 6-8）复位为 000000h，相当于执行了一个 NOP 命令。

2. 在数据帧期间，主机控制器在 SCLK 引脚上提供时钟信号。器件内部：
 - 对于每个 SCLK 捕捉边沿，SCLK 计数器递增，在 SDI 引脚上接收到的数据位移入 IDR。
 - 对于输出时钟的每个启动边沿（在本例中为 SCLK），ODR 数据在选定 SDO-x 引脚上移出。
 - RVS 引脚的状态取决于输出协议选择（参见[从器件读取数据时使用的协议](#)部分）。
3. 主机控制器将 \overline{CS} 拉至高电平，以结束数据传输帧。在 \overline{CS} 上升沿：
 - SDO-x 引脚进入 Hi-Z。
 - RVS 变为高电平（经过 $t_{d_CSRDY_r}$ 延迟后）。
 - 如图 6-14 中所示，IDR 的 22 位内容传输至命令处理器（参见图 6-8），以进行解码和执行后续操作。

将 \overline{CS} 拉至高电平后，主机控制器监测 RVS 引脚上的低到高转换，或在启动新操作（数据传输或转换）之前等待经过时间 $t_{d_CSRDY_r}$ （见[开关特性](#)表）。任何数据传输帧 F 的延迟 $t_{d_CSRDY_r}$ 因在帧 F 处执行的数据传输操作而异。

在数据传输帧 F 结束时：

- 如果 SCLK 计数器小于 22，则 IDR 从 SDI 捕获的位少于 22 位。在这种情况下，器件将帧 F 视为短命令帧。在短命令帧结束时，IDR 不会更新，并且器件会将该帧视为无操作 (NOP) 命令。
- 如果 SCLK 计数器等于 22，则 IDR 恰好从 SDI 捕获了 22 位。在这种情况下，器件将帧 F 视为最优命令帧。在最优命令帧结束时，命令处理器会将 IDR 的 22 位内容视为有效命令字。
- 如果 SCLK 计数器大于 22，则 IDR 从 SDI 捕获的位超过 22，但仅保留最后 22 位。在这种情况下，器件将帧 F 视为长命令帧。在长命令帧结束时，命令处理器会将 IDR 的 22 位内容视为有效命令字。在任何数据传输帧 F 中可提供的最大时钟数没有限制。但是，如上所述，要确保在 \overline{CS} 上升沿之前移入器件的最后 22 位构成所需命令。

在短命令帧中，对器件的写入操作无效，但短命令帧期间传输的输出数据位仍为有效的输出数据。因此，主机控制器可以使用较短的数据传输帧从 22 位输出数据字中仅读取所需数量的 MSB 位。如图 6-12 中所示，ADS890xB 器件的最佳读取帧必须只读取输出数据字的 20MSB 位。最优读取帧的长度取决于输出协议选择；要了解更多详细信息，请参阅[从器件读取数据时使用的协议](#)部分。

备注

之前的示例显示了与 SCLK 引脚上提供的外部时钟同步的数据读取和数据写入操作。

然而，该器件还支持与内部时钟同步的数据读取操作；要了解更多详细信息，请参阅[从器件读取数据时使用的协议](#)部分。在这种情况下，当 ODR 内容在内部时钟的启动沿上移入 SDO（或多个 SDO）时，器件会继续在 SCLK 捕捉边沿将 SDI 数据捕捉至 IDR（并使 SCLK 计数器递增）。

6.5.3 交错式转换周期和数据传输帧

主机控制器通过交错执行转换周期和数据传输帧，来以所需的吞吐量运行器件。

器件的周期时间 t_{cycle} 是主机控制器提供的两个连续 CONVST 上升沿之间的时间差。器件的响应时间 t_{resp} 是主机控制器启动转换 C 和主机控制器接收转换 C 的完整结果之间的时间差。

图 6-15 显示了三个转换循环：C、C + 1 和 C + 2。转换 C 由 CONVST 上升沿在 $t = 0$ 时间启动，转换结果可在 t_{conv} 用于数据传输。但是，此结果仅在后继 $\overline{\text{CS}}$ 下降沿加载到 ODR 中。该 $\overline{\text{CS}}$ 下降沿必须在转换 C + 1 完成之前（即在 $t_{\text{cycle}} + t_{\text{conv}}$ 之前）提供。

为达到额定性能规范，主机控制器必须确保在静默采集时间 ($t_{\text{qt_acq}}$) 和静默孔径时间 ($t_{\text{d_cnvcap}}$) 内不会切换数字信号。 $t_{\text{d_cnvcap}}$ 期间的任何噪声都会对正在进行的转换的结果产生负面影响，而 $t_{\text{qt_acq}}$ 期间的任何噪声都可能对后续转换的结果产生负面影响。

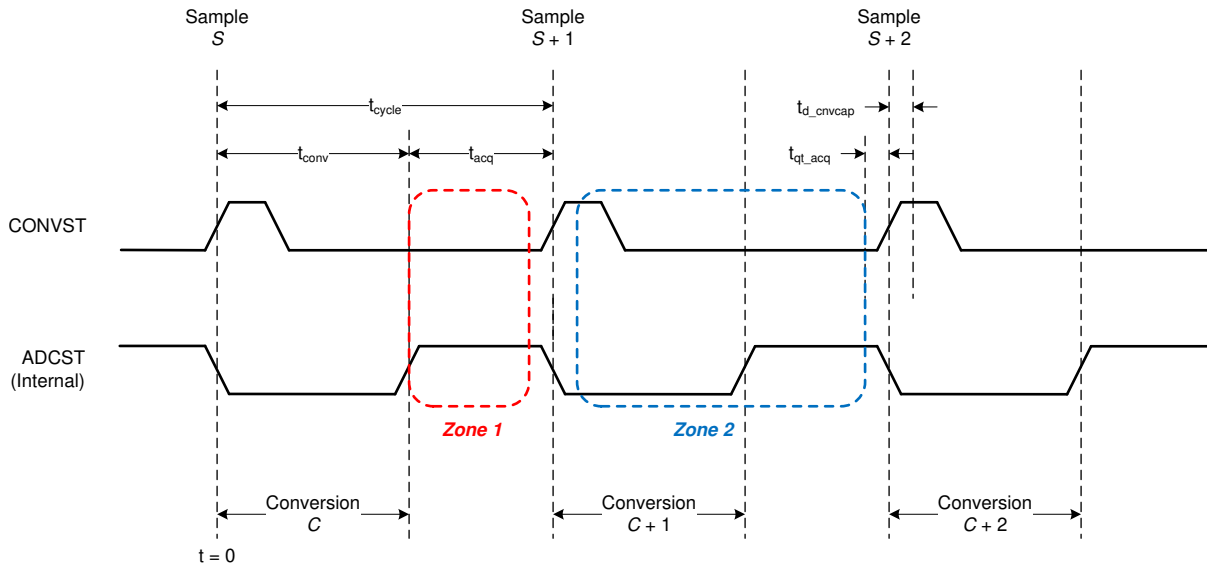


图 6-15. 数据传输区域

这种架构允许两个不同的区域（区域 1 和区域 2）为每次转换传输数据。用于转换 C 的区域 1 和区域 2 在表 6-3 中定义。

表 6-3. 数据传输区域时序

区域	开始时间	结束时间
转换 C 的区域 1	t_{conv}	$t_{\text{cycle}} - t_{\text{qt_acq}}$
转换 C 的区域 2	$t_{\text{cycle}} + t_{\text{d_cnvcap}}$	$t_{\text{cycle}} + t_{\text{cycle}} - t_{\text{qt_acq}}$

响应时间包括转换时间和数据传输时间，因此是所选数据传输区域的函数。

图 6-16 和图 6-17 分别展示了区域 1 和区域 2 中三个转换周期 (C 、 $C + 1$ 和 $C + 2$) 与三个数据传输帧 (F 、 $F + 1$ 和 $F + 2$) 的交织。

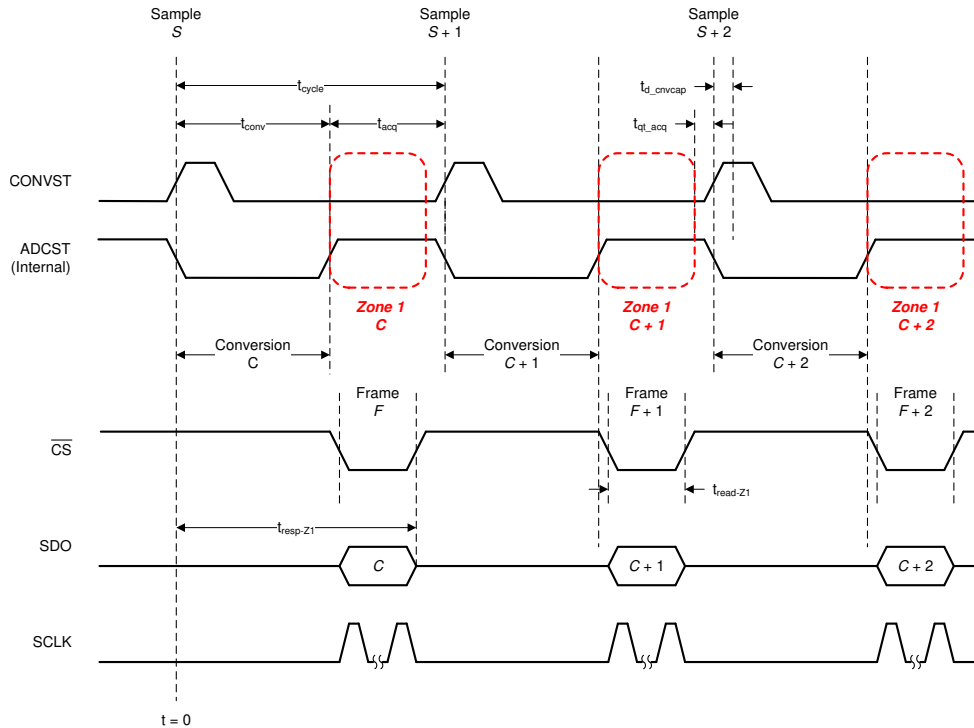


图 6-16. 区域 1 数据传输

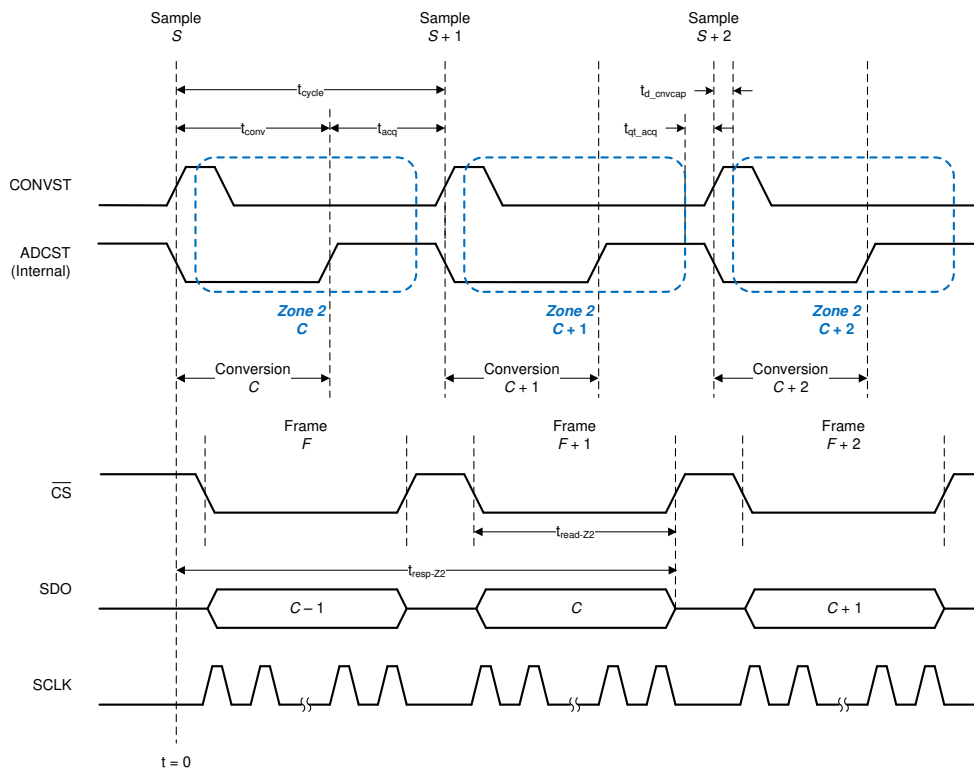


图 6-17. 区域 2 数据传输

要实现周期时间 t_{cycle} ，区域 1 中的读取时间需由 [方程式 5](#) 指定：

$$t_{\text{read-Z1}} \leq t_{\text{cycle}} - t_{\text{conv}} - t_{\text{qt_acq}} \quad (5)$$

对于最优数据传输帧，[方程式 5](#) 产生的 SCLK 频率由 [方程式 6](#) 指定：

$$f_{\text{SCLK}} \geq \frac{20}{t_{\text{read-Z1}}} \quad (6)$$

然后，区域 1 数据传输实现由 [方程式 7](#) 定义的反应时间：

$$t_{\text{resp-Z1-min}} = t_{\text{conv}} + t_{\text{read-Z1}} \quad (7)$$

在较低的 SCLK 速度下， $t_{\text{read-Z1}}$ 会增加，从而导致响应速度变慢和周期时间变长。

要实现相同周期时间 t_{cycle} ，区域 2 中的读取时间由 [方程式 8](#) 指定：

$$t_{\text{read-Z2}} \leq t_{\text{cycle}} - t_{\text{d_cnvcap}} - t_{\text{qt_acq}} \quad (8)$$

对于最优数据传输帧，[方程式 8](#) 产生的 SCLK 频率由 [方程式 9](#) 指定：

$$f_{\text{SCLK}} \geq \frac{20}{t_{\text{read-Z2}}} \quad (9)$$

然后，区域 2 数据传输实现由 [方程式 10](#) 定义的反应时间：

$$t_{\text{resp-Z2-min}} = t_{\text{cycle}} + t_{\text{d_cnvcap}} + t_{\text{read-Z2}} \quad (10)$$

$t_{\text{read-Z2}}$ 的任何增加都会增加响应时间，并可能增加周期时间。

对于给定周期时间，区域 1 数据传输显然可以实现更快的响应时间，但也需要更高的 SCLK 速度（如 [方程式 5](#)、[方程式 6](#) 和 [方程式 7](#) 中所示），而区域 2 数据传输显然需要较低的 SCLK 速度，同时具有较慢的响应时间（如 [方程式 8](#)、[方程式 9](#) 和 [方程式 10](#) 中所示）。

备注

数据传输帧可以从区域 1 开始，然后扩展到区域 2；但是，主机控制器必须确保在 $t_{\text{qt_acq}}$ 和 $t_{\text{d_cnvcap}}$ 时间间隔内不会发生数字转换。

备注

对于使用 ADC 时钟主协议 (SDO_MODE[1:0] = 11b) 的区域 2 中的数据传输操作，该器件仅支持外部时钟回声选项 (SSYNC_CLK_SEL[1:0] = 00b)；请参阅 [表 6-9](#)。

6.5.4 数据传输协议

该器件系列具有 multiSPI 数字接口，允许主机控制器以较慢的 SCLK 速度运行，同时仍能达到所需的吞吐量和响应时间。multiSPI 数字接口模块提供三个选项来降低数据传输所需的 SCLK 速度：

- 增大输出数据总线的宽度。
- 启用双倍数据速率 (DDR) 传输。
- 扩展数据传输窗口，如 [图 6-17](#) 所示。

这三个选项可以结合使用，以进一步降低 SCLK 速度。

限制系统中最大 SCLK 频率的因素有多种。

图 6-18 显示了典型串行通信中主机控制器和器件之间在通信通道内的延迟。

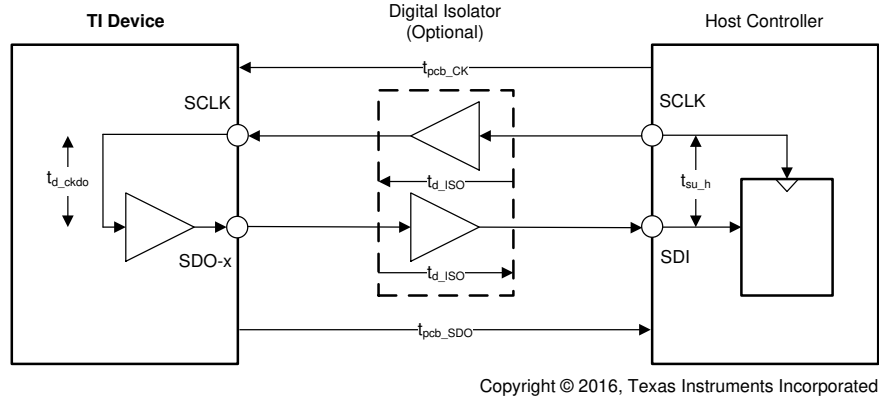


图 6-18. 串行通信延迟

例如，如果 t_{pcb_CK} 和 t_{pcb_SDO} 是印刷电路板 (PCB) 布线针对串行时钟和 SDO 信号引入的延迟， t_{d_CKDO} 是器件的时钟到数据延迟， t_{d_ISO} 是数字隔离器引入的传播延迟， t_{su_h} 是主机控制器的建立时间规格，则路径中的总延迟由方程式 11 指定：

$$t_{d_total_serial} = t_{pcb_CK} + t_{d_iso} + t_{d_ckdo} + t_{d_iso} + t_{pcb_SDO} + t_{su_h} \quad (11)$$

在标准 SPI 协议中，主机控制器和器件在备用 SCLK 边沿启动和捕获数据位。因此， $t_{d_Total_serial}$ 延迟必须始终小于 SCLK 持续时间的一半。方程式 12 显示了 SPI 协议支持的最快时钟：

$$f_{clk-SPI} \leq \frac{1}{2 \times t_{d_total_serial}} \quad (12)$$

如果 $t_{d_total_serial}$ 延迟的值较大，则会限制 SPI 协议的最大 SCLK 速度，从而导致读取和响应时间增加，并可能限制吞吐量。

图 6-19 显示了捕获路径（主机控制器内部）中引入的延迟 (t_{d_delcap})。

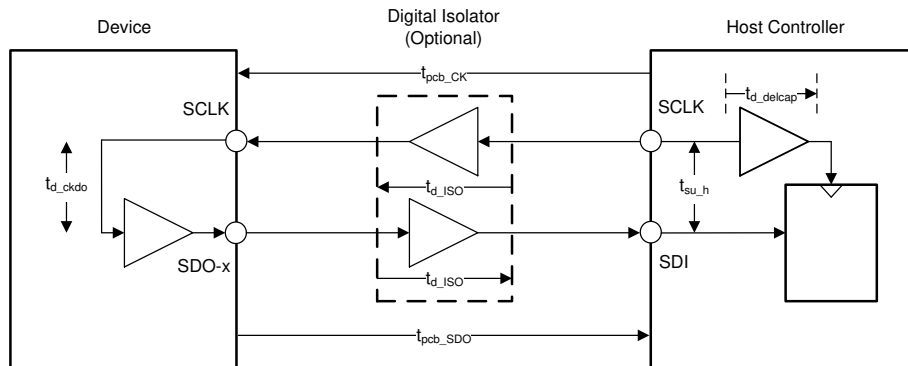


图 6-19. 延迟捕获

路径中的总延迟修改为方程式 13：

$$t_{d_total_serial} = t_{pcb_CK} + t_{d_iso} + t_{d_ckdo} + t_{d_iso} + t_{pcb_SDO} + t_{su_h} - t_{d_delcap} \quad (13)$$

这种总延迟降低允许 SPI 协议以更高时钟速度运行。

multiSPI 数字接口模块提供两个额外选项来消除对 SCLK 速度的限制：

- 早期数据启动 (EDL) 运行模式

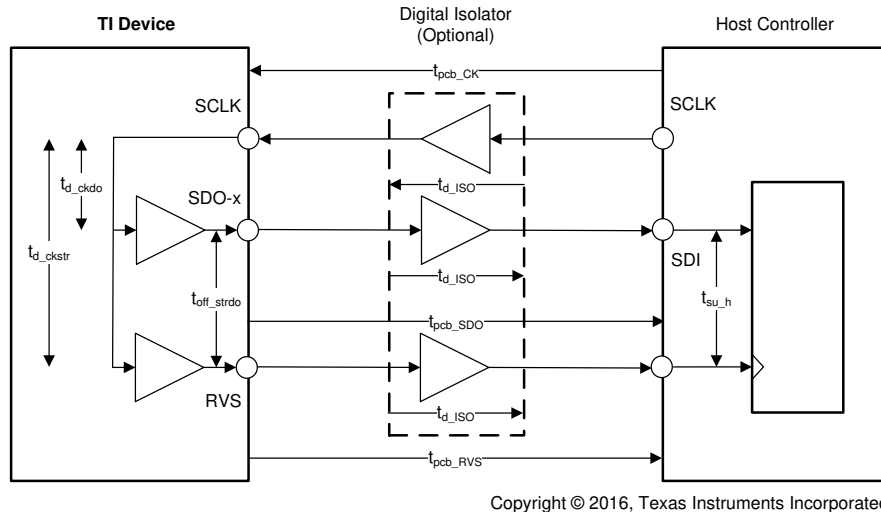
在 EDL 模式下，与标准 SPI 协议相比，器件提前半个时钟在 SDO-x 引脚（或多个引脚）上启动输出数据。因此，[方程式 12](#) 修改为 [方程式 14](#)：

$$f_{clk-SPI} \leq \frac{1}{t_{d_total_serial}} \quad (14)$$

总延迟的降低使串行接口能够以更高时钟速度工作。

- ADC 时钟主器件（源同步）运行模式

如 [图 6-20](#) 中所示，在 ADC 时钟主模式下，器件可提供同步输出时钟（在 RVS 引脚上）以及输出数据（在 SDO-x 引脚上）。



Copyright © 2016, Texas Instruments Incorporated

图 6-20. ADC 时钟主器件（源同步）模式下的延迟

对于可以忽略不计的 t_{off_STRDO} 值，源同步数据传输路径中的总延迟由 [方程式 15](#) 指定：

$$t_{d_total_srcsync} = t_{pcb_RVS} - t_{pcb_SDO} + t_{su_h} \quad (15)$$

如 [方程式 11](#) 和 [方程式 15](#) 之间差异所示，ADC 时钟主模式或源同步模式完全消除了隔离器延迟 (t_{d_ISO}) 和时钟到数据延迟 (t_{d_CKDO}) 的影响，这些延迟通常是整体延迟计算的最大影响因素。

此外， t_{pcb_RVS} 和 t_{pcb_SDO} 的实际值也无关紧要。在大多数情况下，通过在 PCB 上将 RVS 和 SDO 线路布线在一起，可以尽可能减少 $t_{d_total_srcsync}$ 延迟。因此，ADC 时钟主模式能够使主机控制器和器件之间的数据传输以更高的 SCLK 速度进行。

6.5.4.1 配置器件的协议

如表 6-4 中所述，主机控制器可以使用四种与 SPI 兼容的传统协议 (SPI-00-S、SPI-01-S、SPI-10-S 或 SPI-11-S) 中的任何一种协议将数据写入器件。

表 6-4. 用于配置器件的 SPI 协议

协议	SCLK 极性 (在 $\overline{\text{CS}}$ 下降沿)	SCLK 相位 (捕捉边沿)	SDI_CNTL	SDO_CNTL	SCLK 数量 (最优命令帧)	时序图
SPI-00-S	低	上升	00h	00h	22	图 6-21
SPI-01-S	低	下降	01h	00h	22	图 6-22
SPI-10-S	高	下降	02h	00h	22	图 6-23
SPI-11-S	高	上升	03h	00h	22	图 6-24

上电时或完成任何异步复位后，器件支持使用 SPI-00-S 协议进行数据读取和数据写入操作。

要选择不同的 SPI 兼容协议，请对 SDI_CNTL 寄存器中的 SDI_MODE[1:0] 位进行编程。该首次写入操作遵循 SPI-00-S 协议。任何后续数据传输帧都必须遵循新选择的协议。

图 6-21 和图 6-24 详细说明了使用最优命令帧的四种协议；有关相关时序参数的信息，请参阅 [时序要求](#) 和 [开关特性表](#)。

备注

如 [数据传输帧](#) 部分所述，对器件的有效写操作要求在一个数据传输帧内至少提供 22 个 SCLK。

对器件执行的任何数据写操作都必须继续遵循 SDI_CNTL 寄存器中选择的 SPI 兼容协议，而与为数据读操作选择的协议无关。

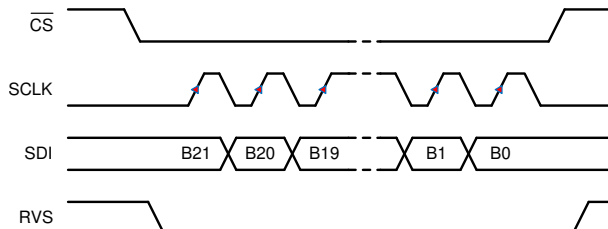


图 6-21. SPI-00-S 协议、最优命令帧

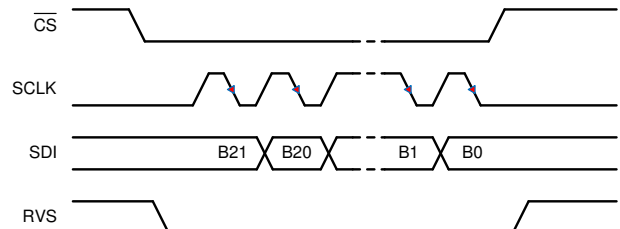


图 6-22. SPI-01-S 协议、最优命令帧

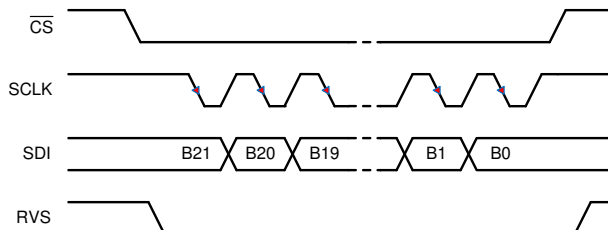


图 6-23. SPI-10-S 协议、最优命令帧

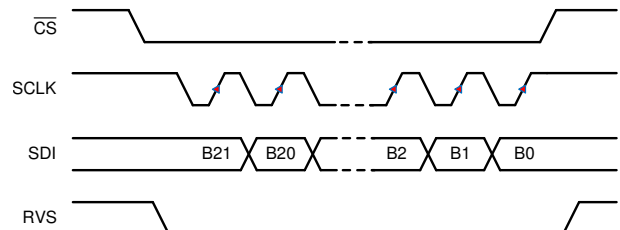


图 6-24. SPI-11-S 协议、最优命令帧

6.5.4.2 从器件读取数据时使用的协议

有关数据读取操作的协议可大致分为三类：

1. 与 SPI 兼容的传统 (SPI-xy-S) 协议
2. 支持总线宽度选项的 SPI 兼容协议 (SPI-xy-D 和 SPI-xy-Q)
3. 源同步 (SRC) 协议

6.5.4.2.1 传统 SPI 兼容 (SYS-xy-S) 协议

如表 6-5 所示，主机控制器可以使用四种传统 SPI 兼容协议 (SPI-00-S、SPI-01-S、SPI-10-S 或 SPI-11-S) 中的任何一种从器件读取数据。

表 6-5. 用于从器件读取的 SPI 协议

协议	SCLK 极性 (在 CS 下降沿)	SCLK 相位 (捕捉边沿)	MSB 位启动边沿	SDI_CNTL	SDO_CNTL	SCLK 数量 (最优读取帧)	时序图
SPI-00-S	低	上升	\overline{CS} 下降	00h	00h	20	图 6-25
SPI-01-S	低	下降	第 1 个 SCLK 上升	01h	00h	20	图 6-26
SPI-10-S	高	下降	\overline{CS} 下降	02h	00h	20	图 6-27
SPI-11-S	高	上升	第 1 个 SCLK 下降	03h	00h	20	图 6-28

上电时或完成任何异步复位后，器件支持使用 SPI-00-S 协议进行数据读取和数据写入操作。若要为两种数据传输操作选择不同的 SPI 兼容协议：

1. 对 SDI_CNTL 寄存器中的 SDI_MODE[1:0] 位进行编程。该首次写入操作遵循 SPI-00-S 协议。任何后续数据传输帧都必须遵循新选择的协议。
2. 在 SDO_CNTL 寄存器中，将 SDO_MODE[1:0] 位设置为 00b。

图 6-25 至图 6-28 详细介绍了使用最优命令帧读取输出数据字的所有 22 位的四种协议。表 6-5 显示了针对不同输出协议选择，最优读取帧中所需的 SCLK 数量。

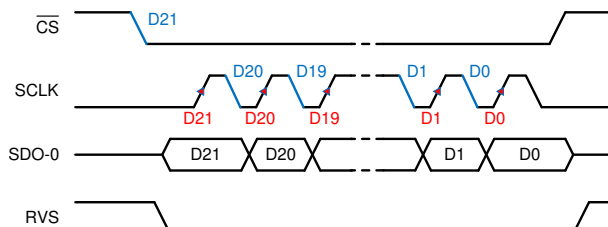


图 6-25. SPI-00-S 协议、22 个 SCLK

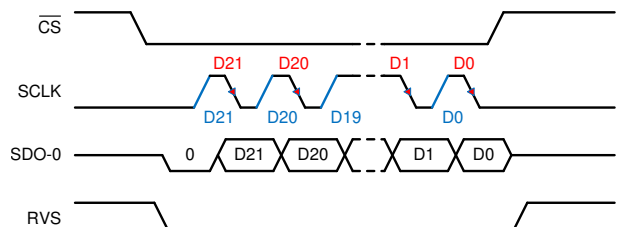


图 6-26. SPI-01-S 协议、22 个 SCLK

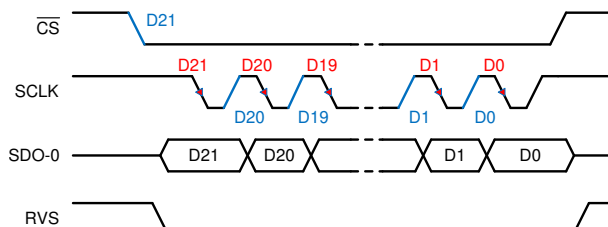


图 6-27. SPI-10-S 协议、22 个 SCLK

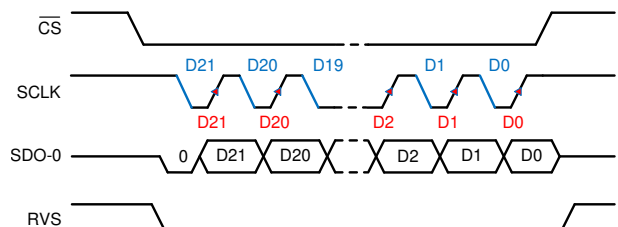


图 6-28. SPI-11-S 协议、22 个 SCLK

对于 $SDI_MODE[1:0] = 00b$ 或 $10b$ ，器件支持早期数据启动 (EDL) 选项。设置 SDO_CNTL 寄存器中的 $SDO_MODE[1:0] = 01b$ 以启用特性 (请参阅表 6-6)。如果 $SDI_MODE[1:0] = 01b$ 或 $11b$ ，则设置 $SDO_MODE[1:0] = 01b$ 不起作用。

表 6-6. 带早期数据启动的 SPI 协议

协议	SCLK 极性 (在 \overline{CS} 下降沿)	SCLK 相位 (捕捉边沿)	MSB 位启动边沿	SDI_CNTL	SDO_CNTL	SCLK 数量 (最优读取帧)	时序图
SPI-00-S-EDL	低	上升	\overline{CS} 下降	00h	01h	20	图 6-25
SPI-10-S-EDL	高	下降	\overline{CS} 下降	02h	01h	20	图 6-27

如图 6-29 和图 6-30 所示，与标准 SPI 协议相比，器件在 SDO-0 引脚半时钟上启动输出数据位。

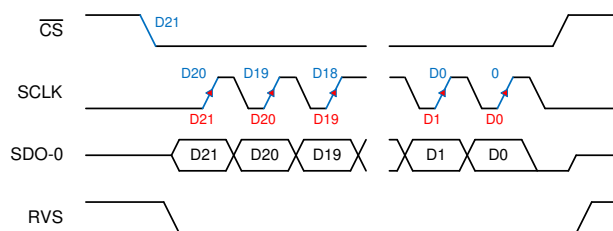


图 6-29. SPI-00-S-EDL 协议、22 个 SCLK

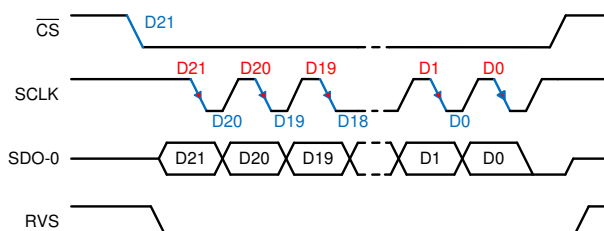


图 6-30. SPI-10-S-EDL 协议、22 个 SCLK

当使用这些与 SPI 兼容的协议时，RVS 输出在整个数据传输帧内保持低电平；有关相关的时序参数，请参阅时序要求和开关特性表。

当 $SDO_CNTL[7:0] = 00h$ 或 $01h$ 时，如果主机控制器使用长数据传输帧，则器件会呈现菊花链运行状态 (参见多个器件：菊花链拓扑部分)。

备注

使用 SPI 兼容协议执行表 6-2 中指定的 RD_REG、WR_REG、CLR_BITS 和 SET_BITS 命令。

6.5.4.2.2 具有总线宽度选项的 SPI 兼容协议

在使用四种与 SPI 兼容的传统协议中的任何一种工作时，该器件提供了一个选项，可将 SDO 总线宽度从一位（默认配置，单路 SDO）增加到两位（双路 SDO）或四位（四路 SDO）。

设置 SDO_CNTL 寄存器中的 SDO_WIDTH[1:0] 位，以选择 SDO 总线宽度。SCLK 启动沿取决于 SPI 协议选择（如表 6-7 中所示）。

表 6-7. 具有总线宽度选项的 SPI 兼容协议

协议	SCLK 极性 (在 \overline{CS} 下降沿)	SCLK 相位 (捕捉边沿)	MSB 位启动边沿	SDI_CNTL	SDO_CNTL	#SCLK (最优读取帧)	时序图
SPI-00-D	低	上升	\overline{CS} 下降	00h	08h	10	图 6-31
SPI-01-D	低	下降	第一个 SCLK 上升沿	01h	08h	10	图 6-32
SPI-10-D	高	下降	\overline{CS} 下降	02h	08h	10	图 6-33
SPI-11-D	高	上升	第一个 SCLK 下降沿	03h	08h	10	图 6-34
SPI-00-Q	低	上升	\overline{CS} 下降	00h	0Ch	5	图 6-35
SPI-01-Q	低	下降	第一个 SCLK 上升沿	01h	0Ch	5	图 6-36
SPI-10-Q	高	下降	\overline{CS} 下降	02h	0Ch	5	图 6-37
SPI-11-Q	高	上升	第一个 SCLK 下降沿	03h	0Ch	5	图 6-38

在双路 SDO 模式 (SDO_WIDTH[1:0] = 10b) 下，将在每个 SCLK 启动沿上的两个 SDO 引脚 (SDO-0 和 SDO-1) 上启动两位数据。

在四路 SDO 模式 (SDO_WIDTH[1:0] = 11b) 下，将在每个 SCLK 启动沿上的四个 SDO 引脚 (SDO-0、SDO-1、SDO-2 和 SDO-3) 上启动四位数据。

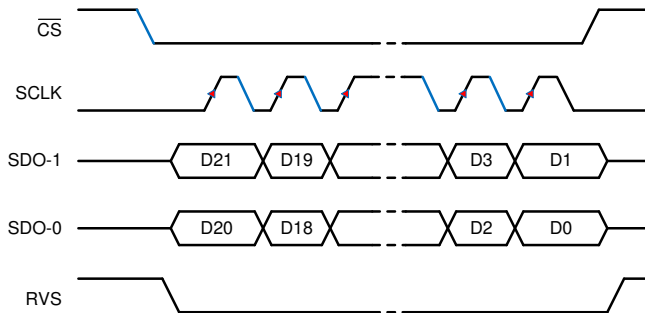


图 6-31. SPI-00-D 协议

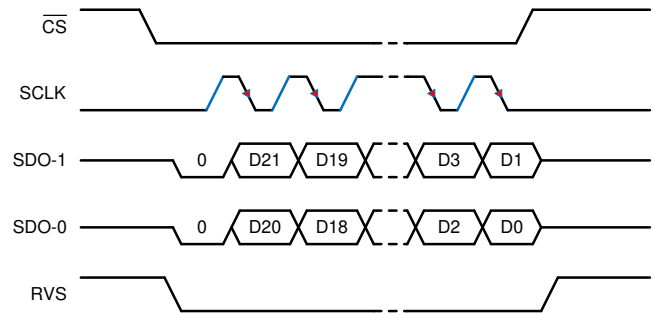


图 6-32. SPI-01-D 协议

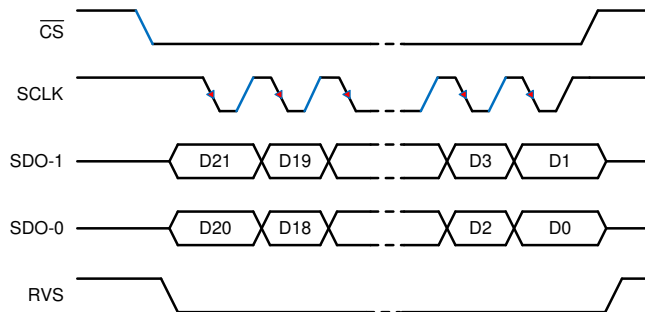


图 6-33. SPI-10-D 协议

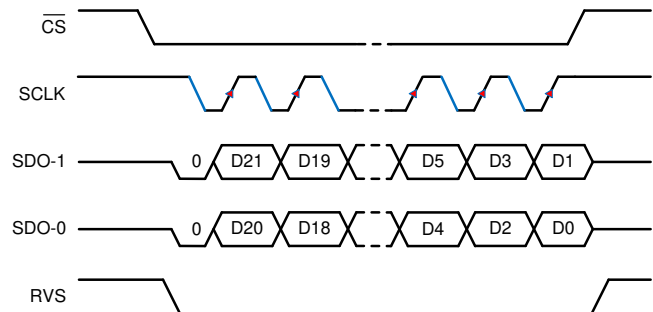


图 6-34. SPI-11-D 协议

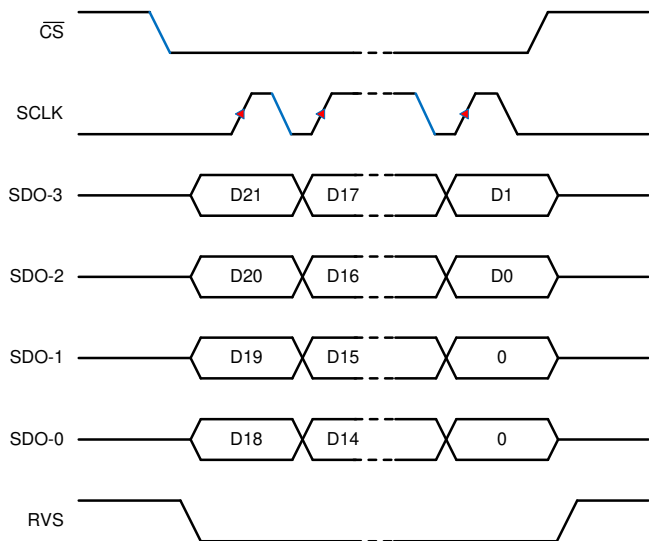


图 6-35. SPI-00-Q 协议

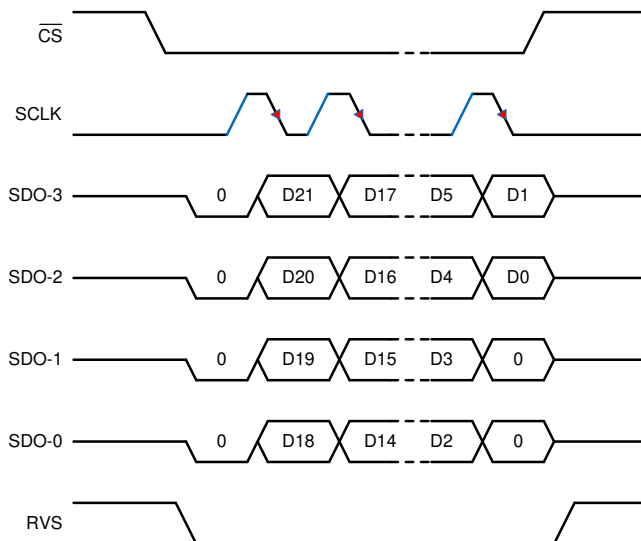


图 6-36. SPI-01-Q 协议

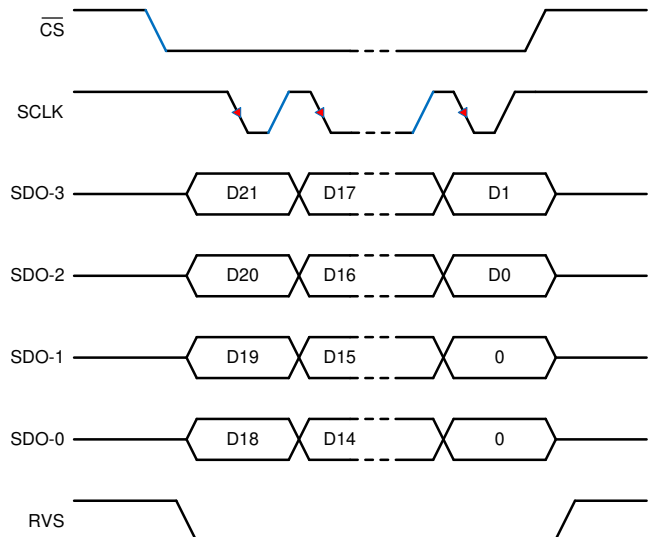


图 6-37. SPI-10-Q 协议

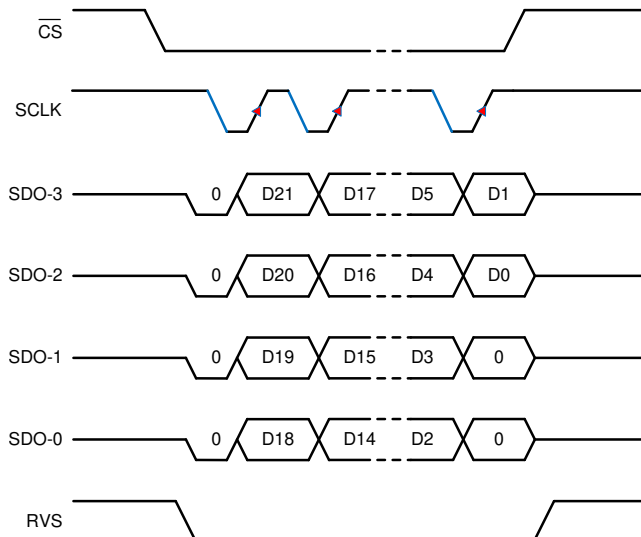


图 6-38. SPI-11-Q 协议

对于 $SDI_MODE[1:0] = 00b$ 或 $10b$ ，器件支持早期数据启动 (EDL) 选项。设置 SDO_CNTL 寄存器中的 $SDO_MODE[1:0] = 01b$ 以启用特性 (请参阅表 6-8)。如果 $SDI_MODE[1:0] = 01b$ 或 $11b$ ，则设置 $SDO_MODE[1:0] = 01b$ 不起作用。

表 6-8. 带早期数据启动的 SPI 协议

协议	SCLK 极性 (在 \overline{CS} 下降沿)	SCLK 相位 (捕捉边沿)	MSB 位启动边沿	SDI_CNTL	SDO_CNTL	SCLK 数量 (最优读取帧)	时序图
SPI-00-D-EDL	低	上升	\overline{CS} 下降	00h	09h	10	图 6-31
SPI-10-D-EDL	高	下降	\overline{CS} 下降	02h	09h	10	图 6-33
SPI-00-Q-EDL	低	上升	\overline{CS} 下降	00h	0Dh	5	图 6-35
SPI-10-Q-EDL	高	下降	\overline{CS} 下降	02h	0Dh	5	图 6-37

如图 6-29 和图 6-30 所示，与标准 SPI 协议相比，器件在 SDO-x 引脚上提前半时钟启动输出数据位。

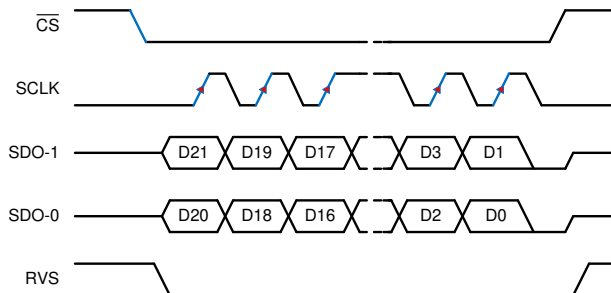


图 6-39. SPI-00-D-EDL 协议

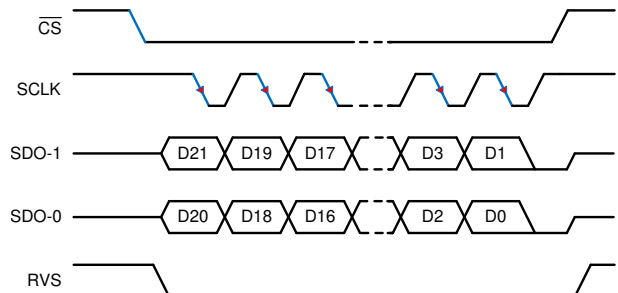


图 6-40. SPI-10-D-EDL 协议

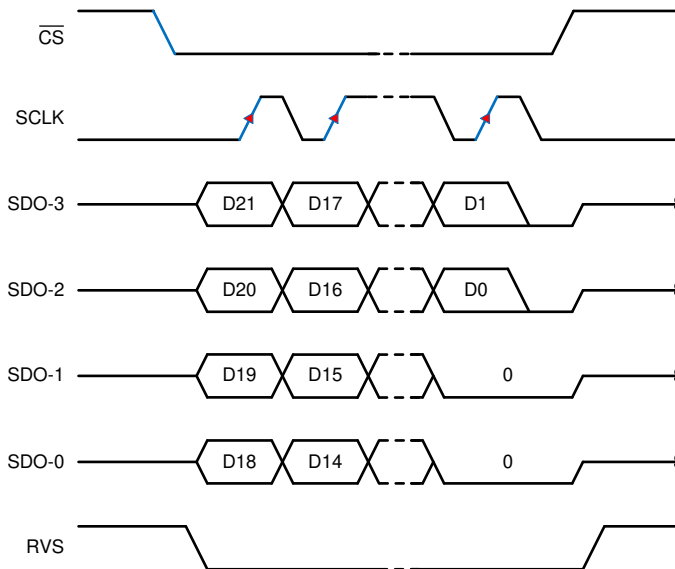


图 6-41. SPI-00-Q-EDL 协议

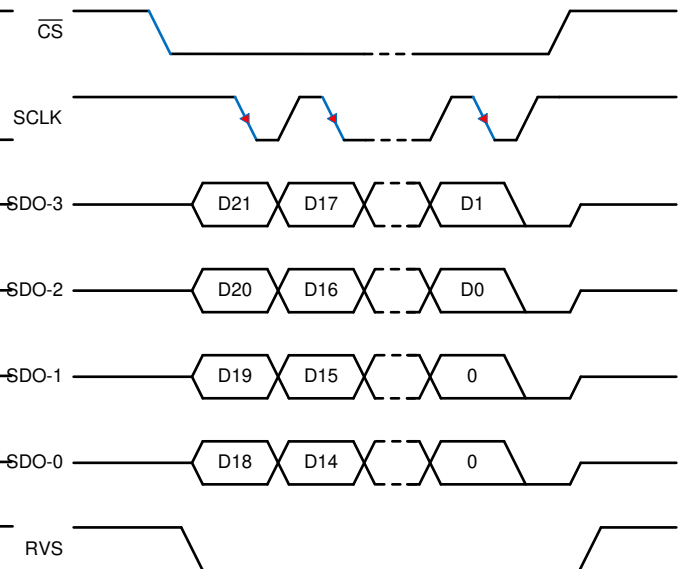


图 6-42. SPI-10-Q-EDL 协议

当使用任何与 SPI 兼容的协议时，RVS 输出在整个数据传输帧内保持低电平；有关相关的时序参数，请参阅[时序要求](#)和[开关特性表](#)。

图 6-31 至图 6-42 展示了较宽的数据总线如何允许主机控制器使用较短的数据传输帧来读取输出数据字的所有 22 位。表 6-7 和表 6-8 显示了针对不同输出协议选择，最优读取帧中所需的 SCLK 数量。

备注

当 SDO_CNTL[7:0] ≠ 00h 或 01h 时，长数据传输帧不会导致菊花链运行。在 SDO 引脚（或多个引脚）上，22 位输出数据字后紧跟零位。

6.5.4.2.3 源同步 (SRC) 协议

如 [数据传输协议](#) 部分所述，multiSPI 数字接口支持在器件和主机控制器之间，进行 ADC 时钟主模式或源同步模式数据传输。在此模式下，器件提供与输出数据同步的输出时钟。此外，主机控制器还可选择输出时钟源、数据总线宽度和数据传输速率。

6.5.4.2.3.1 采用 SRC 协议的输出时钟源选项

在所有 SRC 协议中，RVS 引脚均可提供输出时钟。该器件允许此输出时钟与 SCLK 引脚上提供的外部时钟或器件的内部时钟进行同步。此外，该内部时钟还可以进行二分频或四分频以降低数据速率。

如图 6-43 中所示，设置 SDO_CNTL 寄存器中的 SSYNC_CLK_SEL[1:0] 位可选择输出时钟源。

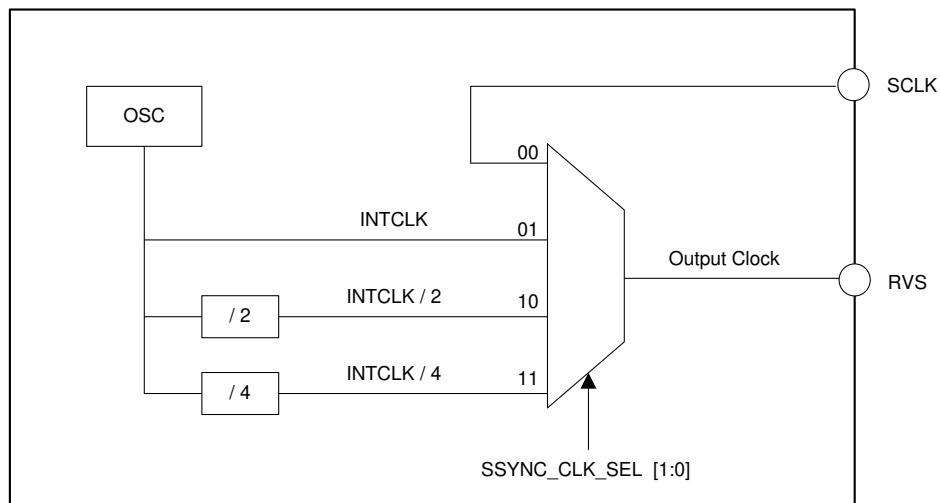


图 6-43. 采用 SRC 协议的输出时钟源选项

6.5.4.2.3.2 采用 SRC 协议的总线宽度选项

在采用任何一种 SRC 协议时，该器件提供了一个选项，可将 SDO 总线宽度从一位（默认配置，单路 SDO）增加到两位（双路 SDO）或四位（四路 SDO）。设置 SDO_CNTL 寄存器中的 SDO_WIDTH[1:0] 位，以选择 SDO 总线宽度。

在双 SDO 模式下 (SDO_WIDTH[1:0] = 10b)，将在每个 SCLK 上升沿上的两个 SDO 引脚 (SDO-0 和 SDO-1) 上启动两位数据。

在四 SDO 模式下 (SDO_WIDTH[1:0] = 11b)，将在每个 SCLK 上升沿上的四个 SDO 引脚 (SDO-0、SDO-1、SDO-2 和 SDO-3) 上启动四位数据。

6.5.4.2.3.3 采用 SRC 协议的输出数据速率选项

该器件提供了以单倍数据速率（默认，SDR）或双倍数据速率（DDR）将数据传输到主机控制器的选项。设置 SDO_CNTL register 中的 DATA_RATE 位可选择数据传输速率。

在 SDR 模式下 (DATA_RATE = 0b)，RVS 引脚从低电平切换到高电平，输出数据位在输出时钟上升沿的 SDO 引脚上启动。

在 DDR 模式 (DATA_RATE = 1b) 下，RVS 引脚会切换（从低到高或从高到低），输出数据位会在每个输出时钟沿（从第一个上升沿开始）在 SDO 引脚上启动。

该器件支持输出时钟源、总线宽度和输出数据速率的所有 24 种组合，如表 6-9 中所示。

表 6-9. SRC 协议组合

协议	输出时钟源	总线宽度	输出数据速率	SDI_CNTL	SDO_CNTL	输出时钟数 (最优读取帧)	时序图
SRC-EXT-SS	SCLK ⁽¹⁾	单通道	SDR	00h、01h、 02h 或 03h ⁽²⁾	03h	10	图 6-44
SRC-INT-SS	INTCLK ⁽³⁾	单通道	SDR		43h	10	图 6-45
SRC-IB2-SS	INTCLK / 2 ⁽³⁾	单通道	SDR		83h	10	
SRC-IB4-SS	INTCLK / 4 ⁽³⁾	单通道	SDR		C3h	10	
SRC-EXT-DS	SCLK ⁽¹⁾	双通道	SDR		0Bh	10	图 6-48
SRC-INT-DS	INTCLK ⁽³⁾	双通道	SDR		4Bh	10	图 6-49
SRC-IB2-DS	INTCLK / 2 ⁽³⁾	双通道	SDR		8Bh	10	
SRC-IB4-DS	INTCLK / 4 ⁽³⁾	双通道	SDR		CBh	10	
SRC-EXT-QS	SCLK ⁽¹⁾	四通道	SDR		0Fh	5	图 6-52
SRC-INT-QS	INTCLK ⁽³⁾	四通道	SDR		4Fh	5	图 6-53
SRC-IB2-QS	INTCLK / 2 ⁽³⁾	四通道	SDR		8Fh	5	
SRC-IB4-QS	INTCLK / 4 ⁽³⁾	四通道	SDR		CFh	5	
SRC-EXT-SD	SCLK ⁽¹⁾	单通道	DDR		13h	10	图 6-46
SRC-INT-SD	INTCLK ⁽³⁾	单通道	DDR		53h	10	图 6-47
SRC-IB2-SD	INTCLK / 2 ⁽³⁾	单通道	DDR		93h	10	
SRC-IB4-SD	INTCLK / 4 ⁽³⁾	单通道	DDR		D3h	10	
SRC-EXT-DD	SCLK ⁽¹⁾	双通道	DDR		1Bh	5	图 6-50
SRC-INT-DD	INTCLK ⁽³⁾	双通道	DDR		5Bh	5	图 6-51
SRC-IB2-DD	INTCLK / 2 ⁽³⁾	双通道	DDR		9Bh	5	
SRC-IB4-DD	INTCLK / 4 ⁽³⁾	双通道	DDR		DBh	5	
SRC-EXT-QD	SCLK ⁽¹⁾	四通道	DDR		1Fh	3	图 6-54
SRC-INT-QD	INTCLK ⁽³⁾	四通道	DDR		5Fh	3	图 6-51
SRC-IB2-QD	INTCLK / 2 ⁽³⁾	四通道	DDR		9Fh	3	
SRC-IB4-QD	INTCLK / 4 ⁽³⁾	四通道	DDR		DFh	3	

(1) 当 DV_{DD} < 2.35V 时，不建议使用 EXTCLK 选项。

(2) 可以使用这四个值中的任何一个；有关更多信息，请参阅配置器件的协议部分。

(3) 该器件仅支持区域 1 中的数据传输操作的 INTCLK、INTCLK/2 及 INTCLK/4 选项。区域 1 和区域 2 支持 EXTCLK 选项；请参阅图 6-15。

图 6-44 至图 6-55 展示了各种源同步协议的详细信息。表 6-9 显示了针对不同输出协议选择，最优读取帧中所需的输出时钟数。

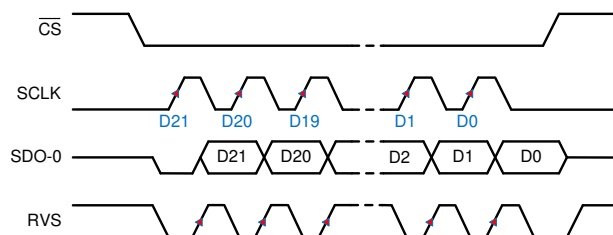


图 6-44. SRC-EXT-SS : SRC、SCLK、单路 SDO、SDR

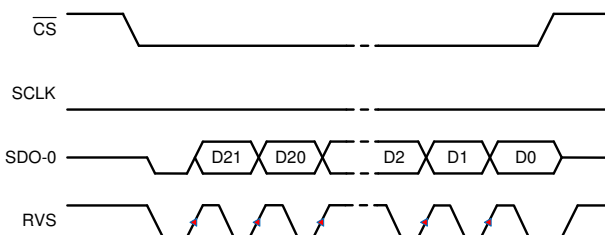


图 6-45. SRC-INT-SS : SRC、INTCLK、单路 SDO、SDR

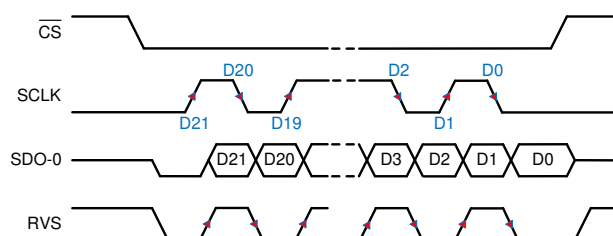


图 6-46. SRC-EXT-SD : SRC、SCLK、单路 SDO、DDR

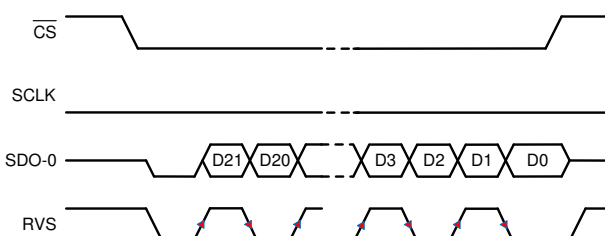


图 6-47. SRC-INT-SD : SRC、INTCLK、单路 SDO、DDR

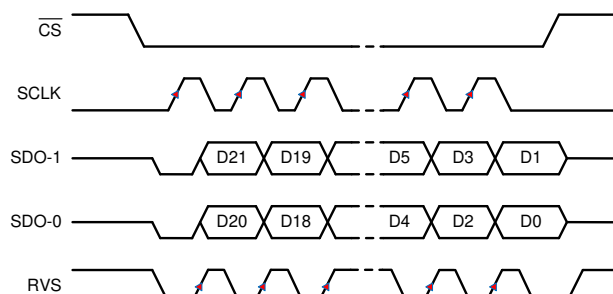


图 6-48. SRC-EXT-DS : SRC、SCLK、双路 SDO、SDR

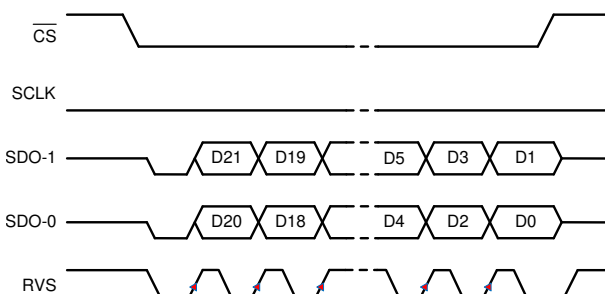


图 6-49. SRC-INT-DS : SRC、INTCLK、双路 SDO、SDR

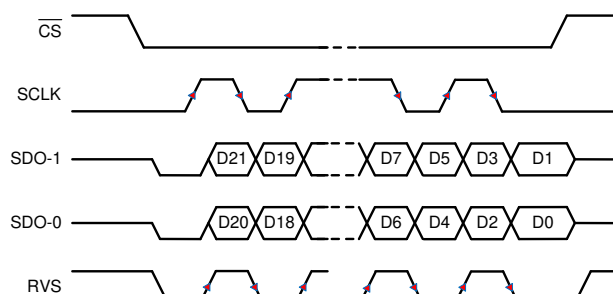


图 6-50. SRC-EXT-DD : SRC、SCLK、双路 SDO、DDR

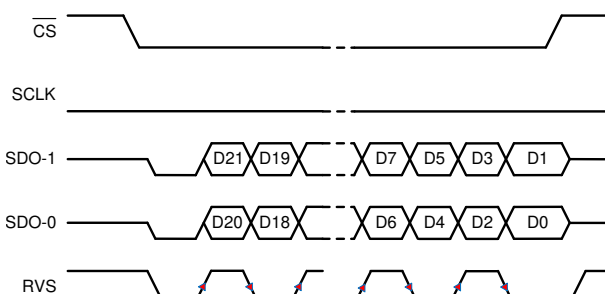


图 6-51. SRC-INT-DD : SRC、INTCLK、双路 SDO、DDR

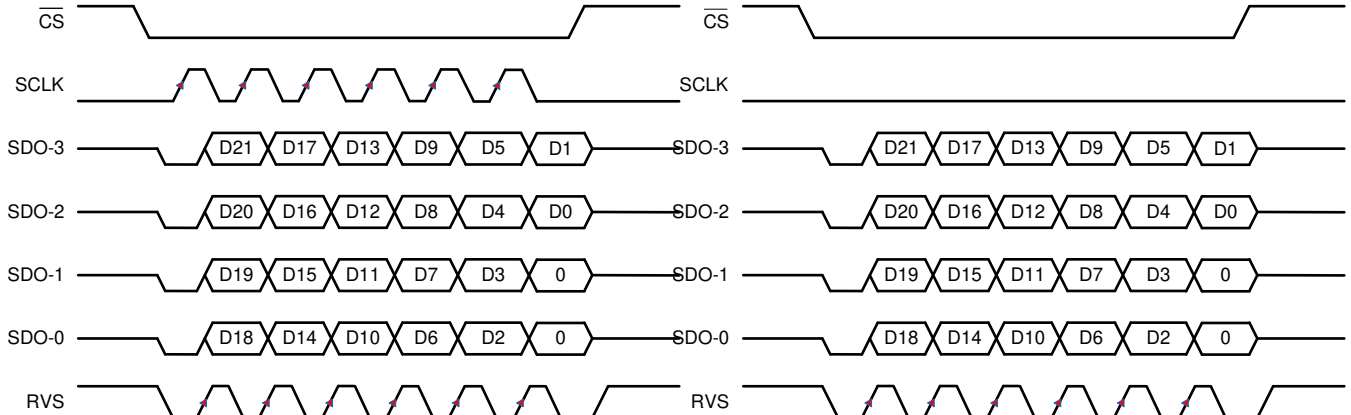


图 6-52. SRC-EXT-QS : SRC、SCLK、四路 SDO、SDR

图 6-53. SRC-INT-QS : SRC、INTCLK、四路 SDO、SDR

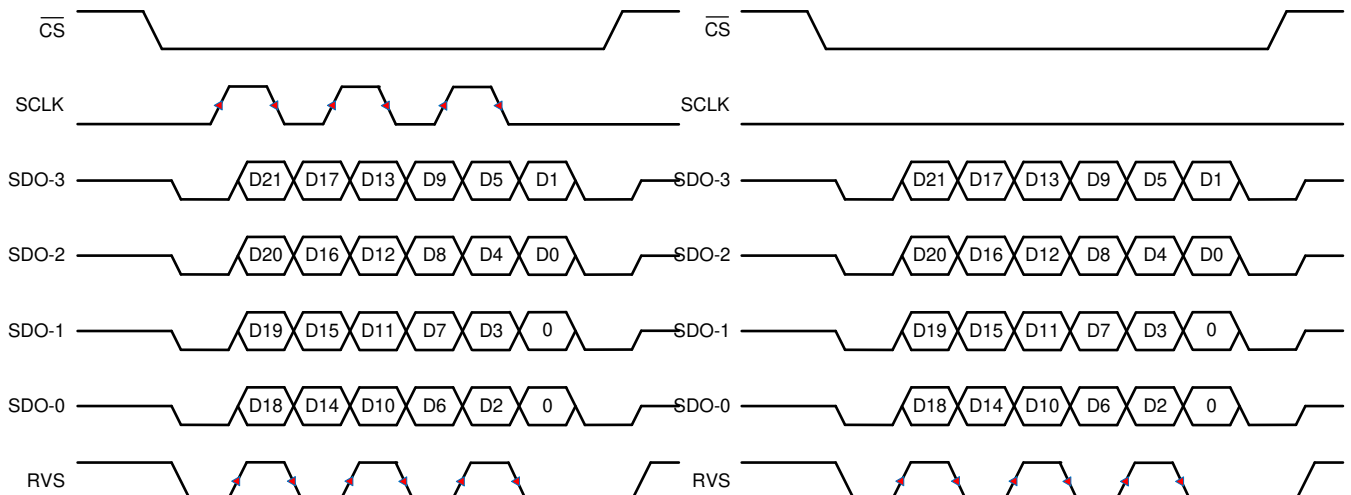


图 6-54. SRC-EXT-QD : SRC、SCLK、四路 SDO、DDR

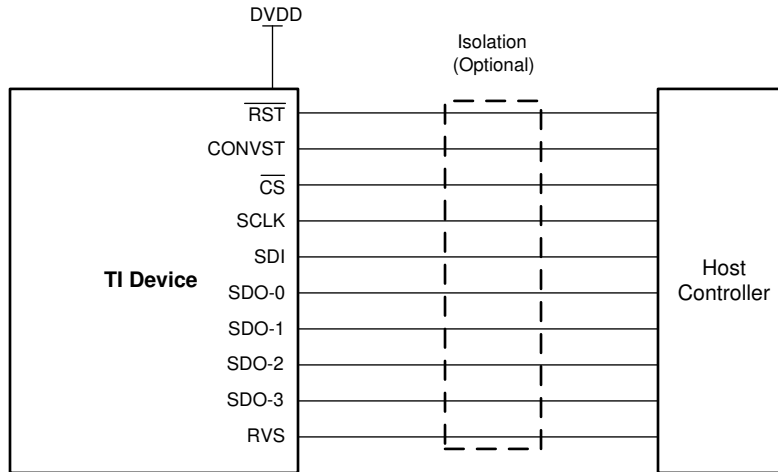
图 6-55. SRC-INT-QD : SRC、INTCLK、四路 SDO、DDR

6.5.5 器件设置

multiSPI 数字接口和器件配置寄存器提供多种运行模式。本节介绍了如何选择硬件连接拓扑来满足不同的系统要求。

6.5.5.1 单个器件：所有 multiSPI 选项

图 6-56 显示了主机控制器和单个器件之间的连接，以便执行 multiSPI 数字接口提供的所有选项。

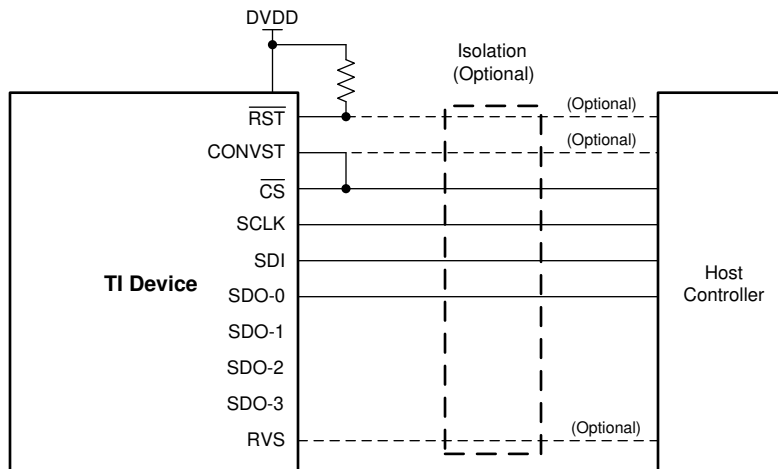


Copyright © 2016, Texas Instruments Incorporated

图 6-56. MultiSPI 数字接口，所有引脚

6.5.5.2 单个器件：标准 SPI 接口的最小引脚数

图 6-57 显示了使用标准 SPI 协议的应用的最小引脚接口。



Copyright © 2016, Texas Instruments Incorporated

图 6-57. SPI 接口、最小引脚

$\overline{\text{CS}}$ 、SCLK、SDI 和 SDO-0 引脚构成主机控制器的标准 SPI 端口。 CONVST 引脚连接至 $\overline{\text{CS}}$ ， $\overline{\text{RST}}$ 引脚连接至 DVDD。SDO-1、SDO-2 和 SDO-3 引脚没有外部连接。也可使用以下特性：

- 独立控制 CONVST 引脚，以获得额外的时序灵活性。
- 独立控制 $\overline{\text{RST}}$ 引脚，以添加异步复位功能。
- 监控 RVS 引脚以了解额外时序优势。

6.5.5.3 多个器件：菊花链拓扑

图 6-58 显示了菊花链拓扑模式下多个器件的典型连接图。

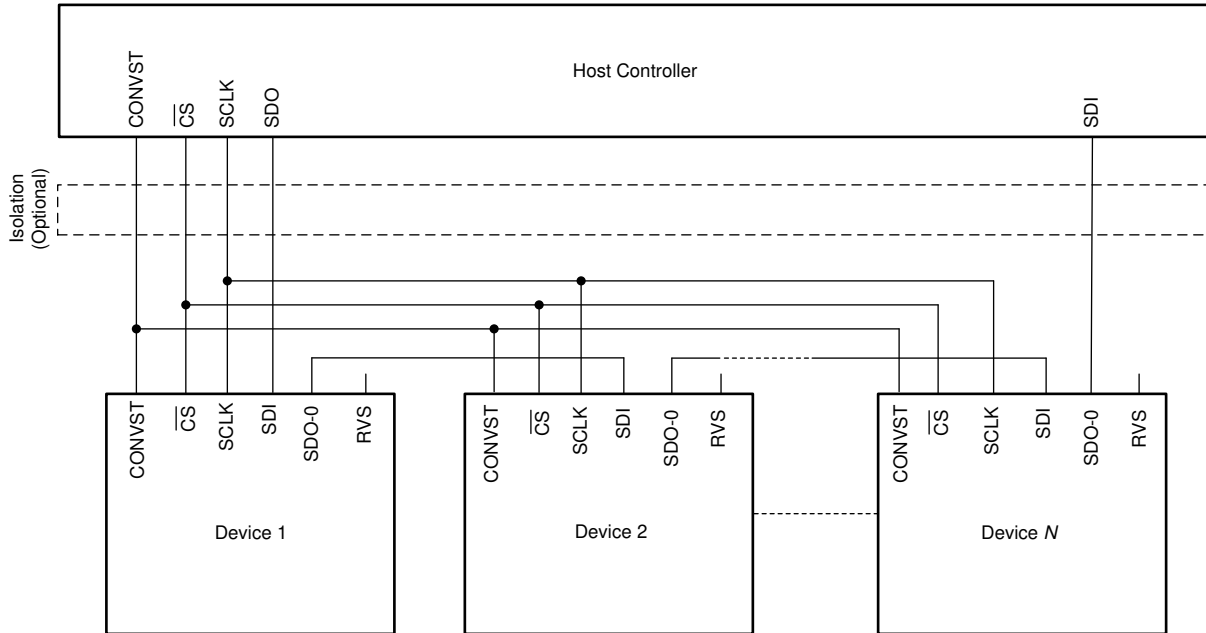


图 6-58. 菊花链连接

所有器件的 CONVST、 \overline{CS} 和 SCLK 输入连接在一起，并分别由主机控制器的单个 CONVST、 \overline{CS} 和 SCLK 引脚进行控制。链中第一个器件（器件 1）的 SDI 输入引脚连接到主机控制器的 SDO 引脚，器件 1 的 SDO-0 输出引脚连接到器件 2 的 SDI 输入引脚，依此类推。链中最后一个器件（器件 N）的 SDO-0 输出引脚连接到主机控制器的 SDI 引脚。

要在菊花链拓扑中运行多个器件，主机控制器使用相同的值对每个器件中的配置寄存器设置，并且必须使用任何与 SPI 兼容的传统协议执行数据读取和数据写入操作（SDO_CNT[7:0] = 00h 或 01h）。通过这些配置设置，每个器件中的 22 位 ODR 和 22 位 IDR 寄存器将通过合并，为每个器件形成一个 22 位统一移位寄存器 (USR)，如图 6-59 中所示。

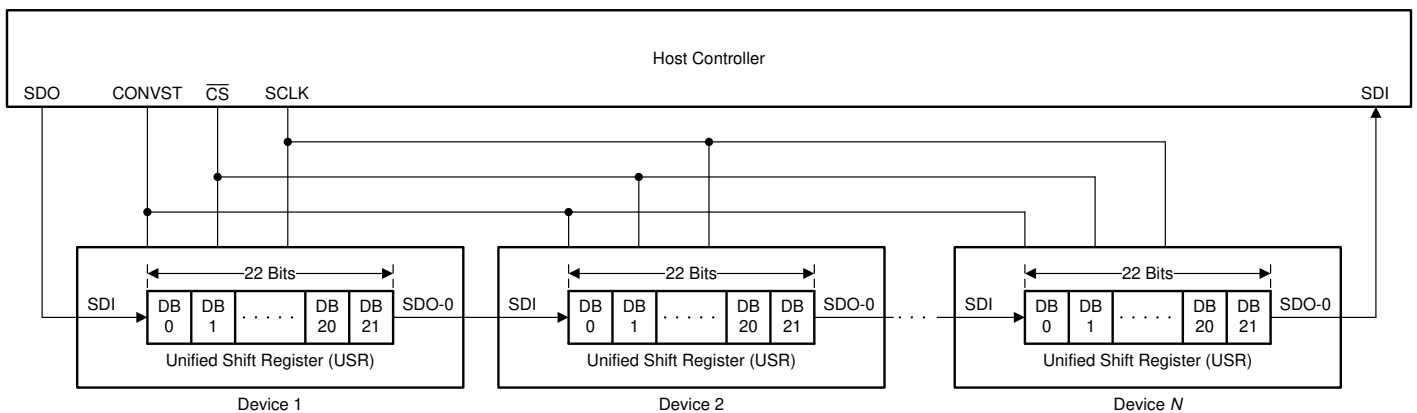


图 6-59. 统一移位寄存器

菊花链拓扑中的所有器件在 CONVST 上升沿对相应器件模拟输入信号进行采样。数据传输帧从 \overline{CS} 下降沿开始。在每个 SCLK 启动沿，链中的每个器件都会将相应 USR 的 MSB 移出到相应 SDO-0 引脚。在每个 SCLK 捕捉边沿，链中的每个器件会移入在相应 SDI 引脚上接收到的数据，作为相应 USR 的 LSB 位。因此，在菊花链配置中，主机控制器先接收器件 N 的数据，然后接收器件 $N - 1$ 的数据，依此类推 (MSB 优先)。在 \overline{CS} 上升沿，每个器件解码相应 USR 中的内容并执行适当的操作。

图 6-60 显示了以菊花链拓扑并使用 SPI-00-S 协议连接的三个器件的典型时序图。

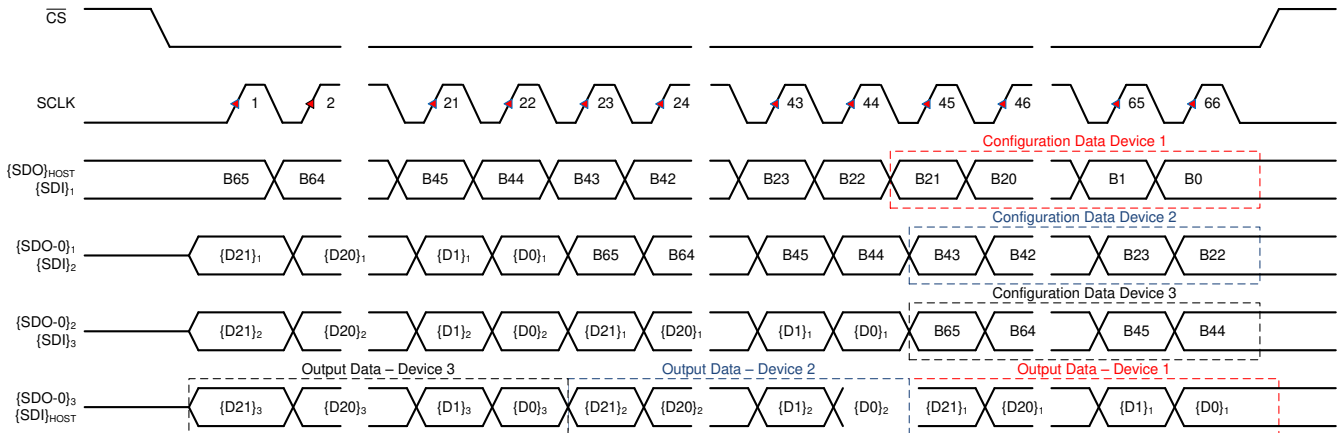


图 6-60. 三器件菊花链时序

在菊花链拓扑中，随着菊花链中连接的器件越来越多，系统的总吞吐量按比例减少。

备注

对于菊花链拓扑中连接的 N 个器件，最优数据传输帧必须包含 $22 \times N$ 个 SCLK 捕捉沿。对于较长的数据传输帧 (帧中的 SCLK 数量 $> 22 \times N$)，主机控制器必须在将 \overline{CS} 置为高电平之前适当地对齐每个器件的配置数据。较短的数据传输帧 (帧中的 SCLK 数量 $< 22 \times N$) 可能会导致错误的设备配置，**必须避免**。

6.5.5.4 多个器件：星型拓扑

显示星型拓扑中多个器件的典型连接图如图 6-61 中所示。所有器件的 CONVST、SDI 和 SCLK 输入都连接在一起，分别由主机控制器的单个 CONVST、SDO 和 SCLK 引脚进行控制。同样，所有器件的 SDO 输出也连接在一起并连接到主机控制器的单个 SDI 输入引脚。每个器件的 CS 输入引脚由主机控制器上单独的 CS 控制线路单独控制。

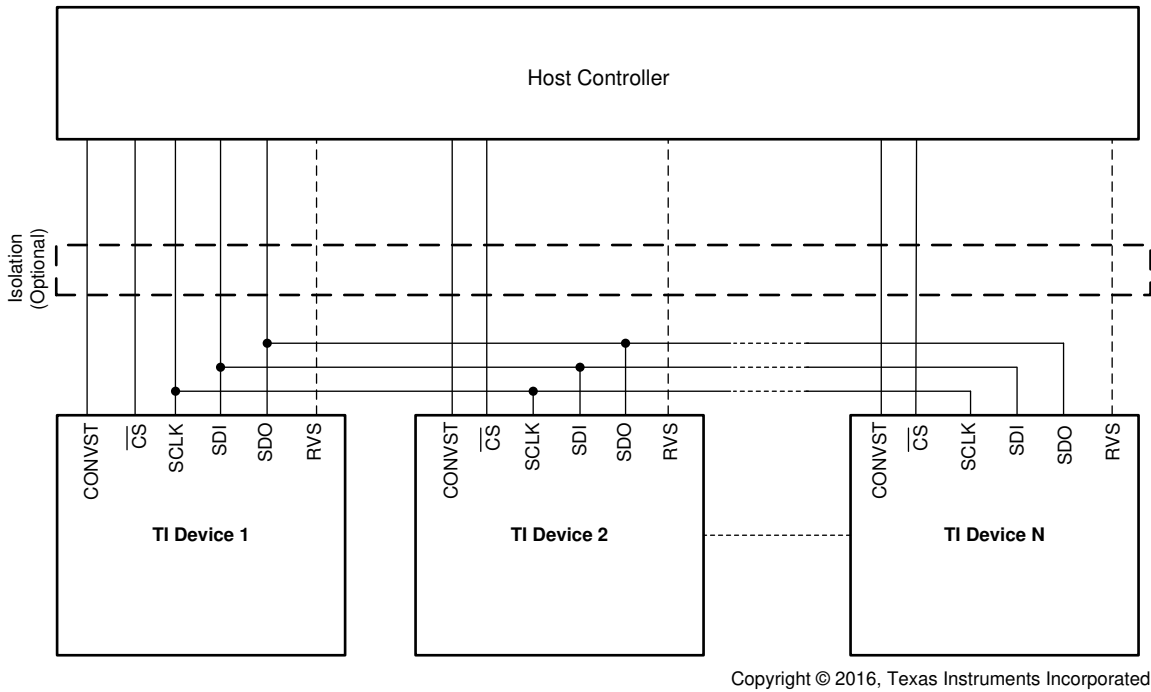


图 6-61. 星型拓扑连接

图 6-62 中显示了以星型拓扑连接的三个器件的时序图。为避免产生与多个器件同时驱动 SDO 线路相关的任何冲突，请确保主机控制器在任何特定时间仅下拉一个器件的 CS 信号。

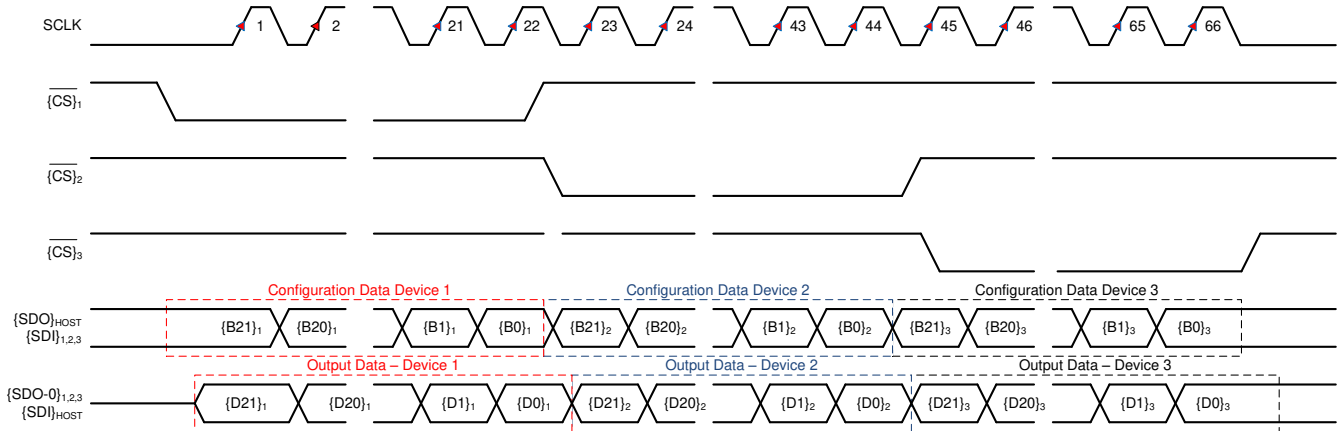


图 6-62. 三器件星型连接时序

7 寄存器映射

7.1 器件配置和寄存器映射

该器件具有九个配置寄存器，映射过程如表 7-1 中所述。

表 7-1. 配置寄存器映射

地址	寄存器名称	寄存器说明
004h	PD_CNTL	低功耗模式控制
008h	SDI_CNTL	SDI 输入协议选择
00Ch	SDO_CNTL	SDO 输出协议选择
010h	DATA_CNTL	输出数据字配置
014h	PATN_LSB	输出模式的八个最低有效位 (LSB)
015h	PATN_MID	输出模式的八个中间位
016h	PATN_MSB	输出模式的四个最高有效位 (MSB)
020h	OFST_CAL	偏移校准
030h	REF_MRG	基准裕度

7.1.1 PD_CNTL 寄存器 (地址 = 04h) [复位 = 00h]

此寄存器控制器件所提供的低功耗模式。

图 7-1. PD_CNTL 寄存器

7	6	5	4	3	2	1	0
0	0	0	0	0	PD_REFBUF	PD_ADC	0
R-0b	R-0b	R-0b	R-0b	R-0b	R/W-0b	R/W-0b	R-0b

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-2. PD_CNTL 寄存器字段说明

位	字段	类型	复位	说明
7-3	0	R	00000b	保留位。读取返回 00000b。
2	PD_REFBUF	R/W	0b	此位可将内部基准缓冲器断电。 0b = 内部基准缓冲器上电 1b = 内部基准缓冲器断电
1	PD_ADC	R/W	0b	此位可将转换器模块断电。 0b = 转换器模块上电 1b = 转换器模块断电
0	0	R	0b	保留位。请勿写入。读取返回 0b。

要将转换器模块断电，请设置 PD_CNTL 寄存器中的 PD_ADC 位。转换器模块在 \overline{CS} 的上升沿断电。要为转换器模块加电，请重置 PD_CNTL 寄存器中的 PD_ADC 位。转换器模块在 \overline{CS} 的上升沿开始加电。在启动任何转换或数据传输操作之前，等待 t_{PU_ADC} 。

要关闭内部基准缓冲器，请设置 PD_CNTL 寄存器中的 PD_REFBUF 位。内部基准缓冲器在 \overline{CS} 的上升沿断电。要为内部基准缓冲器加电，请重置 PD_CNTL 寄存器中的 PD_REFBUF 位。内部基准缓冲器在 \overline{CS} 的上升沿开始上电。等待 t_{PU_REFBUF} ，然后再启动任何转换。

7.1.2 SDI_CNTL 寄存器 (地址 = 008h) [复位 = 00h]

此寄存器选择 SPI 协议将数据写入器件。

图 7-2. SDI_CNTL 寄存器

7	6	5	4	3	2	1	0
0	0	0	0	0	0	SDI_MODE[1:0]	
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R/W-00b	

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-3. SDI_CNTL 寄存器字段说明

位	字段	类型	复位	说明
7-2	0	R	000000b	保留位。请勿写入。读取返回 000000b。
1-0	SDI_MODE[1:0]	R/W	00b	这些位可选择向器件中写入数据时所用的协议。 00b = 标准 SPI 且 CPOL = 0 和 CPHASE = 0 01b = 标准 SPI 且 CPOL = 0 和 CPHASE = 1 10b = 标准 SPI 且 CPOL = 1 和 CPHASE = 0 11b = 标准 SPI 且 CPOL = 1 和 CPHASE = 1

7.1.3 SDO_CNTL 寄存器 (地址 = 0Ch) [复位 = 00h]

该寄存器可配置从器件读取数据的协议。

图 7-3. SDO_CNTL 寄存器

7	6	5	4	3	2	1	0
SSYNC_CLK_SEL[1:0]		0	DATA_RATE	SDO_WIDTH[1:0]		SDO_MODE[1:0]	
R/W-00b		R-0b	R/W-0b	R/W-00b		R/W-00b	

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-4. SDO_CNTL 寄存器字段说明

位	字段	类型	复位	说明
7-6	SSYNC_CLK_SEL[1:0]	R/W	00b	这些位为 ADC 时钟主模式选择时钟的来源和频率，且仅在 SDO_MODE[1:0] = 11b 时有效。 00b = 外部 SCLK 回波 01b = 内部时钟 (INTCLK) 10b = 内部时钟/2 (INTCLK/2) 11b = 内部时钟/4 (INTCLK/4)
5	0	R	0b	保留位。请勿写入。读取返回 0b。
4	DATA_RATE	R/W	0b	如果 SDO_MODE[1:0] = 00b，则忽略该位。当 SDO_MODE[1:0] = 11b 时： 0b = SDO 相对于输出时钟、以单倍数据速率 (SDR) 更新 1b = SDO 相对于输出时钟、以双倍数据速率 (DDR) 更新
3-2	SDO_WIDTH[1:0]	R/W	00b	这些位可设置输出总线的宽度。 0xb = 数据仅从 SDO-0 引脚输出 10b = 数据仅从 SDO-0 和 SDO-1 引脚输出 11b = 数据从 SDO-0、SDO-1、SDO-2 和 SDO-3 引脚输出
1-0	SDO_MODE[1:0]	R/W	00b	这些位可选择从器件读取数据时所用的协议。 00b = SDO 遵循在 SDI_CNTL 寄存器中选择的 SPI 协议 01b = SDO 遵循在 SDI_CNTL 寄存器中选择的 SPI 协议，但启用了早期数据启动特性。请参阅表 6-6。 10b = 无效配置，器件不支持 11b = SDO 遵循源同步协议

7.1.4 DATA_CNTL 寄存器 (地址 = 010h) [复位 = 00h]

该寄存器可配置 22 位输出数据字 (D[21:0]) 的内容。

图 7-4. DATA_CNTL 寄存器

7	6	5	4	3	2	1	0
0	0	0	0	FPAR_LOC[1:0]		PAR_EN	DATA_VAL
R-0b	R-0b	R-0b	R-0b	R/W-00b		R/W-0b	R/W-0b

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-5. DATA_CNTL 寄存器字段说明

位	字段	类型	复位	说明
7-4	0	R	0000b	保留位。读取返回 0000b。
3-2	FPAR_LOC[1:0]	R/W	00b	这些位可控制用于计算 FTPAR 位 (输出数据字中的位 D[0]) 的数据范围。 00b = D[0] 反映针对 4 个 MSB 计算出的偶校验 01b = D[0] 反映针对 8 个 MSB 计算出的偶校验 10b = D[0] 反映针对 12 个 MSB 计算出的偶校验 11b = D[0] 反映针对 16 个 MSB 计算出的偶校验
1	PAR_EN	R/W	0b	0b = 输出数据不包含任何奇偶校验信息 D[1] = 0 D[0] = 0 1b = 奇偶校验信息附加到输出数据的 LSB D[1] = 偶校验按位计算 D[21:2] D[0] = 偶校验根据 FPAR_LOC[1:0] 设置在 D[21:2] 的选定数量 MSB 上计算 请参阅图 6-13 了解奇偶校验计算的详情。
0	DATA_VAL	R/W	0b	这些位控制输出数据字的位 D[21:2]。 0b = 20 位 转换输出 1b = 20 位 固定模式寄存器内容 请参阅 PATN_CNTL 了解更多详情。

7.1.5 PATN_LSB 寄存器 (地址 = 014h) [复位 = 00h]

当 DATA_VAL = 1b 时，此寄存器控制输出模式的八个 LSB；请参阅图 7-8。

图 7-5. PATN_LSB 寄存器

7	6	5	4	3	2	1	0
PATN_LSB_BITS							
R/W-00000000b							

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-6. PATN_LSB 寄存器字段说明

位	字段	类型	复位	说明
7-0	PATN_LSB_BITS	R/W	00000000b	输出图案的 8 LSB

7.1.6 PATN_MID 寄存器 (地址 = 015h) [复位 = 00h]

当 DATA_VAL = 1b 时，此寄存器控制输出模式的中间八个位；请参阅图 7-8。

图 7-6. PATN_MID 寄存器

7	6	5	4	3	2	1	0
PATN_MID_BITS							
R/W-00000000b							

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-7. PATN_MID 寄存器字段说明

位	字段	类型	复位	说明
7-0	PATN_MID_BITS	R/W	00000000b	输出模式的 8 个中间位

7.1.7 PATN_MSB 寄存器 (地址 = 016h) [复位 = 00h]

当 DATA_VAL = 1b 时，此寄存器控制输出模式的四个 MSB；请参阅图 7-8。

图 7-7. PATN_MSB 寄存器

7	6	5	4	3	2	1	0
0	0	0	0	PATN_MSB_BITS			
R-0b	R-0b	R-0b	R-0b	R/W-0000b			

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-8. PATN_MSB 寄存器字段说明

位	字段	类型	复位	说明
7-4	0	R	0000b	保留位。读取返回 0000b。
3-0	PATN_MSB_BITS	R/W	0000b	输出图案的 4 MSB

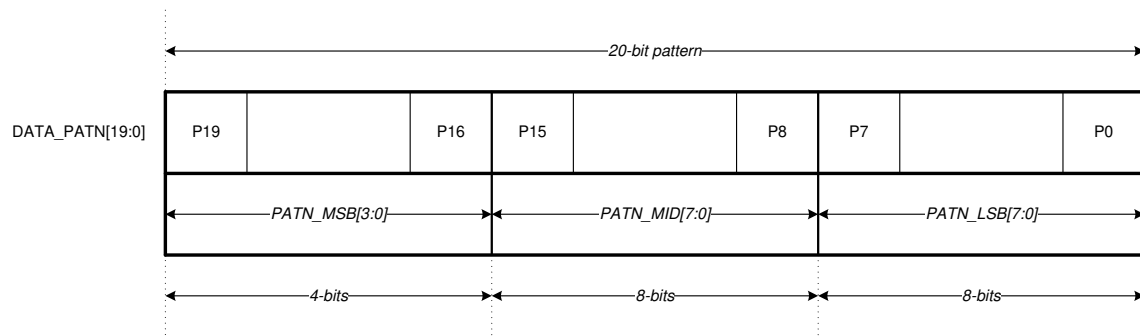


图 7-8. DATA_PATN[19:0]

7.1.8 OFST_CAL 寄存器 (地址 = 020h) [复位 = 00h]

该寄存器选择外部基准范围来实现最佳偏移校准。

图 7-9. OFST_CAL 寄存器

7	6	5	4	3	2	1	0
0	0	0	0	0	REF_SEL[2:0]		
R-0b	R-0b	R-0b	R-0b	R-0b	R/W-000b		

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-9. OFST_CAL 寄存器字段说明

位	字段	类型	复位	说明
7-3	0	R	00000b	保留位。读取返回 00000b。
2-0	REF_SEL[2:0]	R/W	000b	这些位选择外部基准范围来实现最佳偏移。 V _{REF} = 5.0V 时 000b = 最佳偏移校准 V _{REF} = 4.5V 时 001b = 最佳偏移校准 V _{REF} = 4.096V 时 010b = 最佳偏移校准 V _{REF} = 3.3V 时 011b = 最佳偏移校准 V _{REF} = 3.0V 时 100b = 最佳偏移校准 V _{REF} = 2.5V 时 101b = 最佳偏移校准 V _{REF} = 5.0V 时 110b = 最佳偏移校准 V _{REF} = 5.0V 时 111b = 最佳偏移校准

7.1.9 REF_MRG 寄存器 (地址 = 030h) [复位 = 00h]

该寄存器选择要添加到基准缓冲器输出或从基准缓冲器输出中减去的裕量调节；请参阅[基准缓冲器模块](#)部分。

图 7-10. REF_MRG 寄存器

7	6	5	4	3	2	1	0
0	0	EN_MARG	REF_OFST[4:0]				
R-0b	R-0b	R/W-0b	R/W-00000b				

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-10. REF_MRG 寄存器字段说明

位	字段	类型	复位	说明
7-6	0	R	00b	保留位。读取返回 00b。
5	EN_MARG	R/W	0b	该位启用裕量调节特性。 0b = 裕量调节禁用 1b = 裕量调节启用
4-0	REF_OFST[4:0]	R/W	00000b	这些位根据表 7-11 选择基准偏移值。

表 7-11. REF_OFST[4:0] 设置

REF_OFST[4:0]	$\Delta V_{\text{REFBUFOUT}}$ (典型值 ⁽¹⁾)
00000b	0mV
00001b	280 μ V
00010b	580 μ V
00011b	840 μ V
00100b	1.12mV
00101b	1.4mV
00110b	1.68mV
00111b	1.96mV
01000b	2.24mV
01001b	2.52mV
01010b	2.8mV
01011b	3.08mV
01100b	3.36mV
01101b	3.64mV
01110b	3.92mV
01111b	4.2mV
10000b	-4.5mV
10001b	-4.22mV
10010b	-3.94mV
10011b	-3.66mV
10100b	-3.38mV
10101b	-3.1mV
10110b	-2.82mV
10111b	-2.54mV
11000b	-2.26mV
11001b	-1.98mV
11010b	-1.7mV
11011b	-1.42mV
11100b	-1.14mV
11101b	-860 μ V
11110b	-580 μ V
11111b	-280 μ V

(1) 实际 $V_{\text{REFBUFOUT}}$ 值可能会与表 7-11 相差 $\pm 10\%$

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

显著提高高精度逐次逼近寄存器 (SAR) 模数转换器 (ADC) 性能所需的两个主要电路是输入驱动器和基准驱动器电路。本节介绍设计这些电路的一般原则，然后介绍使用 ADS890xB 设计的应用电路。

8.1.1 ADC 基准驱动器

外部基准源必须在 ADS890xB 的 REFIN 引脚上提供低漂移和非常精确的电压。大多数基准源的输出宽带噪声可达数百 μV_{RMS} 量级。因此，为了防止 ADC 的噪声性能有任何劣化，通过使用截止频率为几百赫兹的低通滤波器来适当地对电压基准的输出进行滤波。

ADS890xB 的内部基准缓冲器可在转换过程中提供 REFBUFOUT 引脚上的动态负载。使用建议的 C_{REFBUF} 和 R_{ESR} 通过 REFM 引脚对 REFBUFOUT 引脚进行去耦。有关布局建议，请参阅[布局](#)部分。

8.1.2 ADC 输入驱动器

高精度 ADC 的输入驱动器电路主要由两个器件组成：驱动放大器和电荷反冲滤波器。该放大器用于输入信号的信号调节，且该放大器的低输出阻抗可在信号源和 ADC 的开关电容器输入之间提供缓冲。电荷反冲滤波器有助于衰减来自 ADC 开关电容器输入级的采样电荷注入，并对前端电路产生的宽带噪声进行频带限制。精心设计前端电路对于满足 ADS890xB 的线性度和噪声性能至关重要。

8.1.2.1 电荷反冲滤波器

电荷反冲滤波器是 ADC 输入引脚上的 RC 滤波器，用于滤除来自前端驱动电路的宽带噪声并衰减来自 ADC 开关电容器输入级的采样电荷注入。ADC 的每个输入引脚与地之间都连接一个滤波电容 C_{FLT} (如图 8-1 中所示)。该电容器有助于减少采样电荷注入，并提供一个电荷桶，用于在采集过程中对内部采样保持电容器快速充电。通常，该电容的值必须至少为 ADC 采样电容指定值的 20 倍。对于 ADS890xB，输入采样电容等于 60pF；因此，为了获得最佳性能，请保持 C_{FLT} 大于 1.2nF。该电容器必须是 COG 型或 NPO 型。COG 或 NPO 陶瓷电容器中使用的电介质类型在电压、频率和温度变化时可提供非常稳定的电气特性。

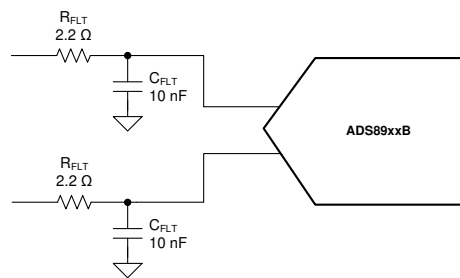


图 8-1. 电荷反冲滤波器配置

驱动容性负载会减小输入放大器的相位裕度，从而使放大器略微不稳定。为避免出现放大器稳定性问题，在放大器输出端增加了串联隔离电阻 (R_{FLT})。较高的 R_{FLT} 值有助于提高放大器稳定性，但是会由于与非线性输入阻抗相互作用而增加失真。失真随着源阻抗、输入信号频率和输入信号振幅的增加而增加。因此， R_{FLT} 的选择需要平衡驱动器放大器的稳定性和设计的失真性能。始终通过 TINA-TI™ SPICE 仿真验证驱动放大器和电荷反冲滤波器的稳定性和稳定行为。将所选电阻器的容差保持在 1% 以下，以保持输入均衡。

8.1.2.2 输入放大器选型

输入放大器的选择标准在很大程度上取决于数据采集系统的输入信号类型和性能目标。在选择合适的放大器来驱动 ADC 输入时，需要考虑的一些关键放大器规格包括：

- **小信号带宽。**在满足系统的功率预算后，选择尽可能高的输入放大器小信号带宽。较高的带宽可降低放大器的闭环输出阻抗，从而使放大器能够更轻松地驱动 ADC 输入端的 ADC 采样保持电容器和 RC 滤波器（[电荷反冲滤波器](#)）。在驱动电荷反冲滤波器的容性负载时，更高带宽的放大器可提供更快的稳定时间，从而减少较高输入频率下的谐波失真。为了保持输入驱动器电路的整体稳定性，请选择具有单位增益带宽 (UGB) 的放大器，如[方程式 16](#) 中所述：

$$UGB \geq 4 \times \left(\frac{1}{2\pi \times R_{FLT} \times C_{FLT}} \right) \quad (16)$$

- **失真。**ADC 和输入驱动器在数据采集块中引入失真。如[方程式 17](#) 中所示，为了确保数据采集系统的失真性能不受前端电路的限制，输入驱动器的失真必须至少比 ADC 失真小 10dB。

$$THD_{AMP} \leq THD_{ADC} - 10 \text{ (dB)} \quad (17)$$

- **噪声。**前端放大器的噪声影响必须尽可能低，以防止系统的 SNR 性能下降。通常情况下，为了确保数据采集系统的噪声性能不受前端电路的限制，来自前端电路的总噪声影响必须保持在 ADC 输入基准噪声的 20% 以下。通过设计低截止频率电荷反冲滤波器，可对输入驱动电路产生的噪声进行带限处理，如[方程式 18](#) 中所述。

$$N_G \times \sqrt{2} \times \sqrt{\left(\frac{V_{1/f_AMP_PP}}{6.6} \right)^2 + e_{n_RMS}^2 \times \frac{\pi}{2} \times f_{-3dB}} \leq \frac{1}{5} \times \frac{V_{REF}}{\sqrt{2}} \times 10^{-\left(\frac{SNR(dB)}{20}\right)} \quad (18)$$

其中：

- V_{1/f_AMP_PP} 是峰值间闪烁噪声，单位为 μV
- e_{n_RMS} 是放大器宽带噪声密度，单位为 nV/\sqrt{Hz}
- f_{-3dB} 是电荷反冲滤波器的 3dB 带宽
- N_G 是前端电路在缓冲器配置中等于 1 的噪声增益
- **趋稳时间**对于多路复用应用中常见的具有快速瞬变的直流信号，输入信号必须在采集时间窗口内在器件输入处稳定在 20 位精度范围内。此条件对于保持 ADC 的整体线性性能至关重要。通常，放大器数据表指定的输出稳定性能仅高达 0.1% 至 0.001%，这对于所需的 20 位精度是不够的。因此，在选择放大器之前，请务必通过 TINA-TI SPICE 仿真验证输入驱动器的稳定行为。

8.2 典型应用

8.2.1 使用差分输入实现超低失真和噪声性能的数据采集 (DAQ) 电路

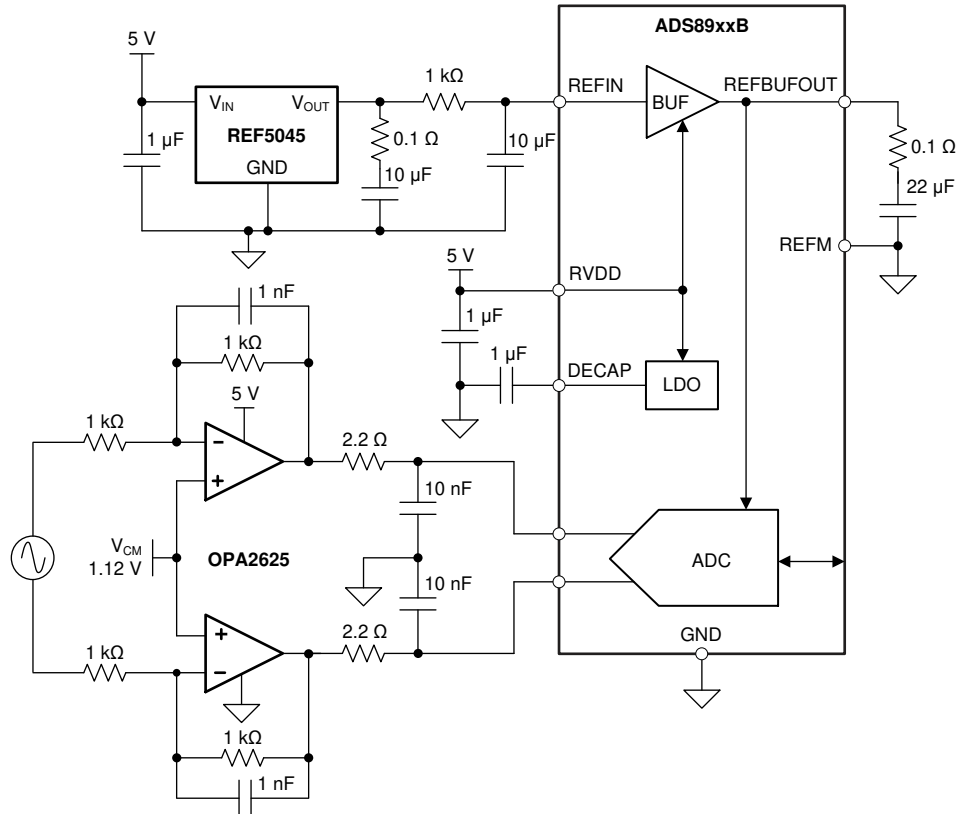


图 8-2. 使用 ADS890xB 实现最低失真和噪声的差分输入 DAQ 电路

8.2.1.1 设计要求

对于此示例，表 8-1 中列出了设计参数。

表 8-1. 设计参数

设计参数	示例值
ADC 采样速率	最大指定吞吐量
输入信号	2kHz 输入，4.5V _{pp} 全差分
噪声性能，SNR	> 101dB、
失真，THD	< -120dB
线性度，INL	< ±2ppm
参考	4.5V
电源	< 5.5V 模拟，3.3V I/O

8.2.1.2 详细设计过程

图 8-2 展示了应用电路。为简单起见，这些电路图中未显示电源去耦电容器；有关建议的指南，请参阅 [电源相关建议](#) 部分。

4.5V 基准电压由高精度、低噪声 REF5045 电路生成。基准的输出宽带噪声由 3dB 截止频率为 16Hz 的低通滤波器进行大量滤波。

一般来说，输入驱动器的失真必须比 ADC 失真至少小 10dB。低功耗 OPA2625 (反相增益配置中的高带宽、低失真、高精度放大器) 作为输入驱动器，由于其极低的失真和高带宽规格，提供了卓越的交流性能。通过在反相增益配置中使用 OPA2625，可以消除共模信号变化所导致的失真。为了练习器件的完整动态范围，可使用 OPA2625 放大器的同相引脚将 ADS890xB 输入端的共模电压确定为 2.25V (4.5V/2)。此外，带电荷反冲滤波器的元件可在不增加输入信号失真的情况下，将前端电路的噪声保持在较低水平。

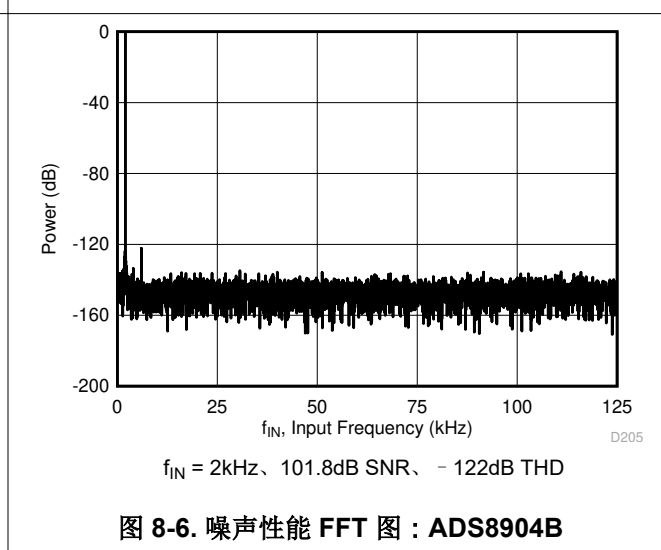
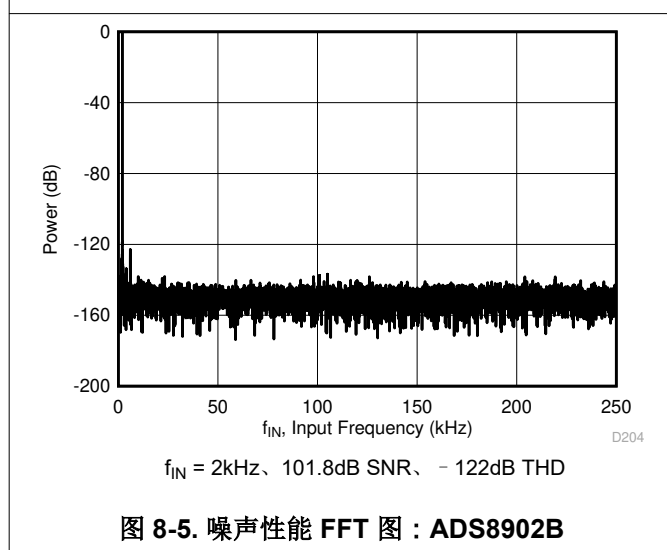
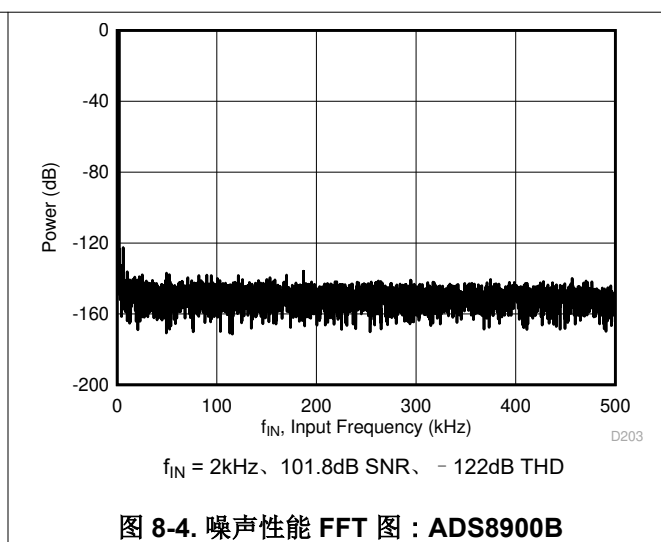
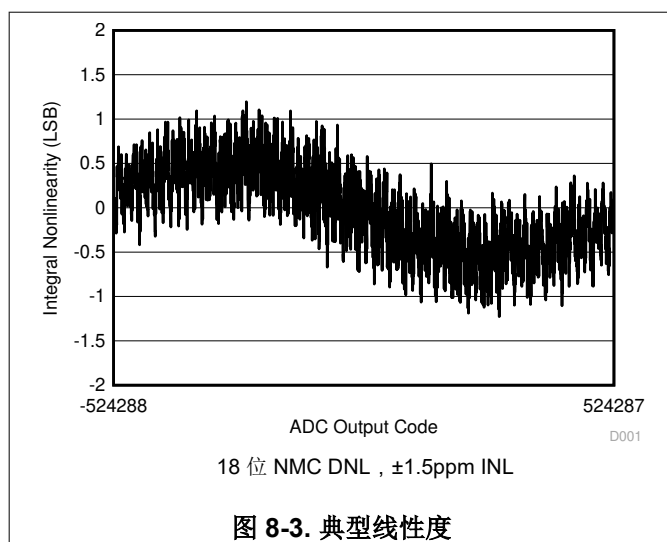
有关完整示意图，请参阅 [ADS8900BEVM-PDK 用户指南](#)，其位于 [ADS8900B SAR 模数转换器评估模块](#) 网页文件夹，网址为 www.ti.com。

相同电路用于参考设计 TIPD211，这是一个循序渐进的过程，即使用四个 ADS8900B SAR ADC、四个 OPA2625 精密放大器和一个 REF5050 精密基准，*为测试和测量应用设计一个 20 位、1MSPS、4 通道小巧外形设计。*



有关分步设计程序、电路原理图、物料清单、PCB 文件、模拟结果和测试结果，请参阅 [TI 精密设计 TIPD211](#)，用于测试和测量应用的 18 位、1MSPS、4 通道小巧外形设计 (TIDUBW7)。

8.2.1.3 应用曲线



8.2.2 具有 FDA 输入驱动器和单端或差分输入的 DAQ 电路

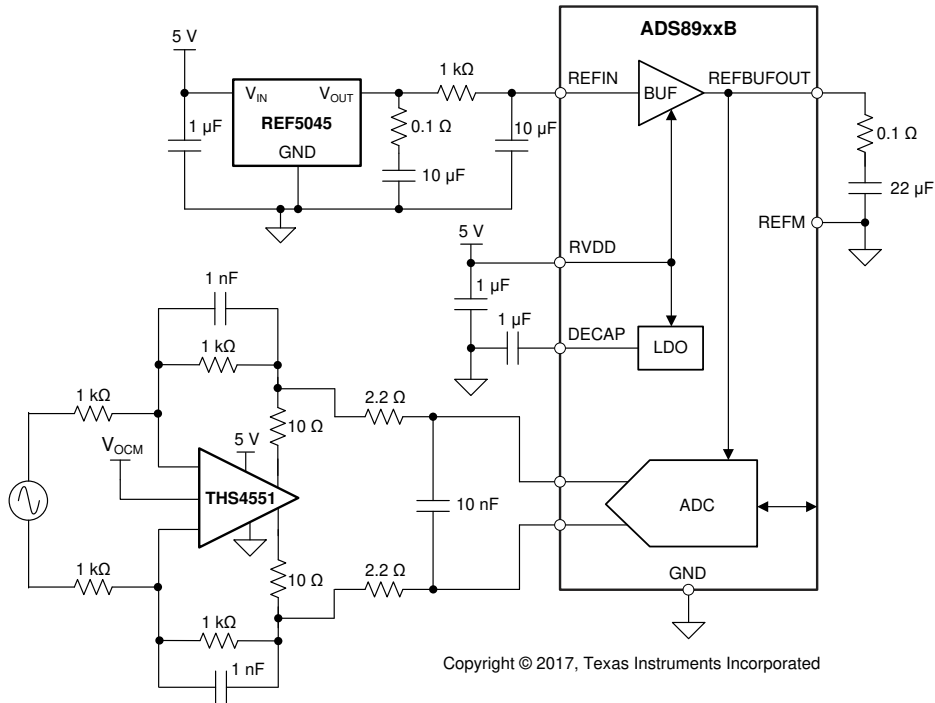


图 8-7. 具有 FDA 输入驱动器和差分输入的 DAQ 电路

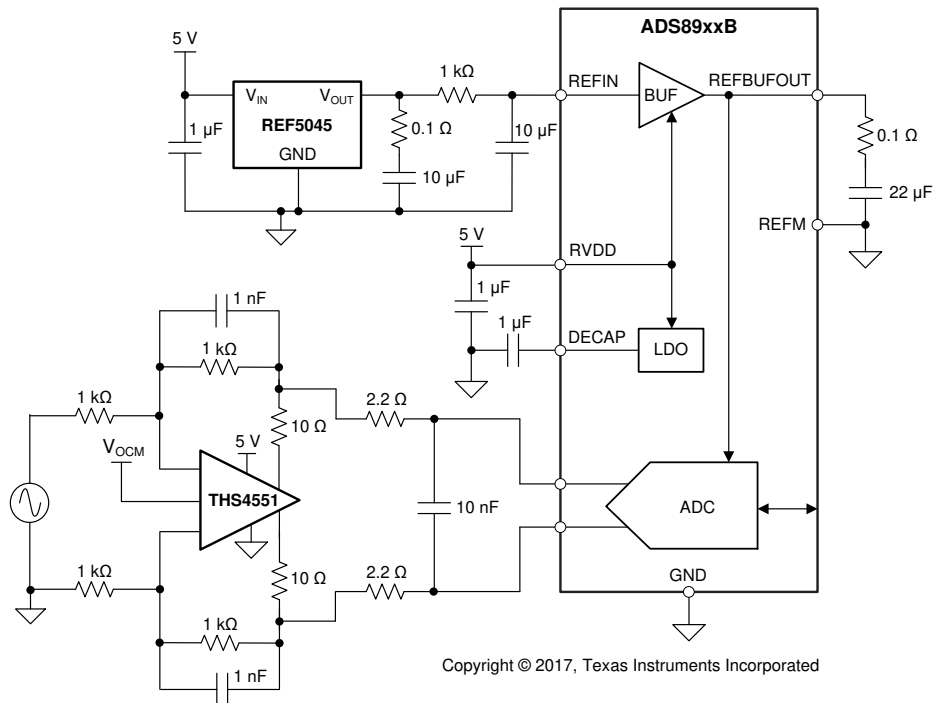


图 8-8. 具有 FDA 输入驱动器和单端输入的 DAQ 电路

8.2.3 设计要求

对于此示例，表 8-2 中列出了设计参数。

表 8-2. 设计参数

设计参数	示例值
ADC 采样速率	最大指定吞吐量
输入信号	2kHz 输入、 $\pm 4.5\text{-V}_{PP}$ 全差分 和 $\pm 4.5\text{-V}_{PP}$ 单端双极性信号
噪声性能, SNR	> 101dB
失真, THD	< -125dB
线性度, INL	< $\pm 2\text{ppm}$
参考	4.5V
电源	< 5.4V 模拟, 3.3V I/O

8.2.4 详细设计过程

图 8-7 和图 8-8 中示出了应用电路。在这两个应用中，输入信号在进入 ADC 之前通过一个高带宽、低失真、全差分放大器 (FDA) (采用 $1V/V$ 增益设计) 和一个低通 RC 滤波器进行处理。

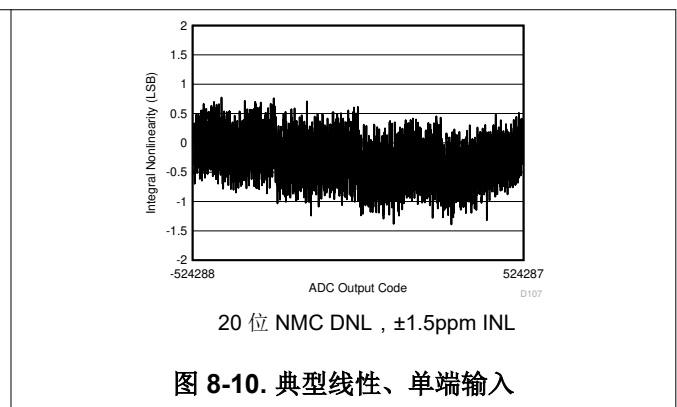
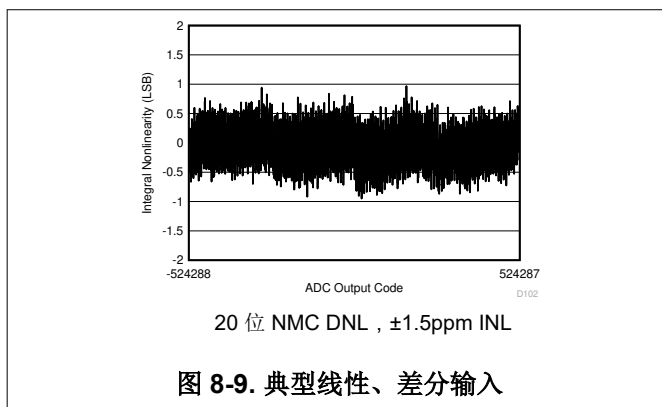
4.5V 基准电压由高精度、低噪声 REF5045 电路生成。基准的输出宽带噪声由 3dB 截止频率为 16Hz 的低通滤波器进行大量滤波。

一般来说，输入驱动器的失真必须比 ADC 失真至少小 10dB。通过在反相增益配置中使用 FDA，可为电路建立固定共模电平，从而消除共模信号变化引起的失真。这种配置还消除了放大器输入端对轨到轨摆幅的要求。因此，这些电路使用低功耗 THS4551 作为输入驱动器，由于其极低的失真和高带宽规格，可提供出色的交流性能。此外，带电荷反冲滤波器的元件可在不增加输入信号失真的情况下，将前端电路的噪声保持在较低水平。

图 8-7 中的电路显示了一个全差分数据采集 (DAQ) 模块，该模板基于 THS4551 和 ADS890xB 而构建，经优化设计可实现低失真、低噪声性能表现。此前端电路配置需要 FDA 输入端的差分信号并提供差分输出以驱动 ADC 输入。提供给 ADC 的输入信号的共模电压由 THS4551 的 V_{OCM} 引脚进行设置 (未在图 8-7 中示出)。要使用 ADC 的完整动态范围，可以使用简单的电阻分压器将 V_{OCM} 设置为 $V_{REF}/2$ 。

图 8-8 中的电路显示了一个单端转差动 DAQ 模块，该模块基于 THS4551 和 ADS890xB 而构建，经过优化设计可实现低失真、低噪声性能表现。此前端电路配置需要 FDA 输入端的单端双极性信号并需提供差分输出以驱动 ADC 输入。提供给 ADC 的输入信号的共模电压由 THS4551 的 V_{OCM} 引脚进行设置 (未在图 8-8 中示出)。要使用 ADC 的完整动态范围，可以使用简单的电阻分压器将 V_{OCM} 设置为 $V_{REF}/2$ 。

8.2.5 应用曲线



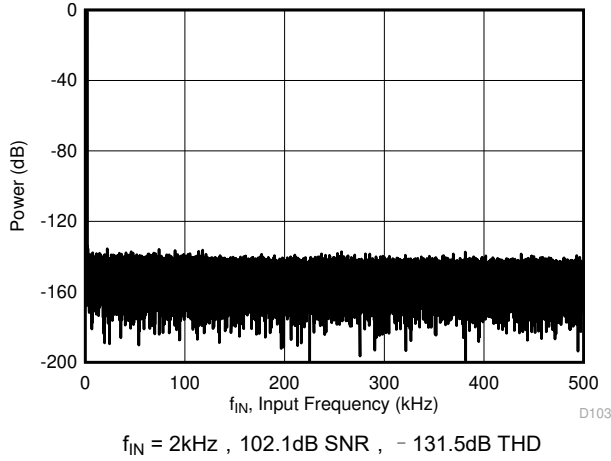


图 8-11. 噪声性能 FFT 图：ADS8900B，差分输入

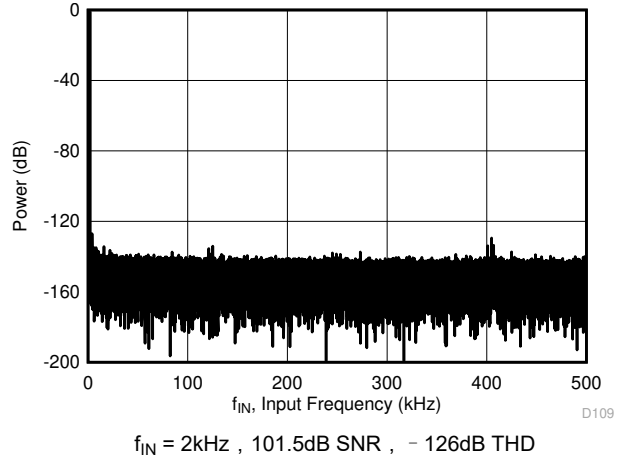


图 8-12. 噪声性能 FFT 图：ADS8900B，单端输入

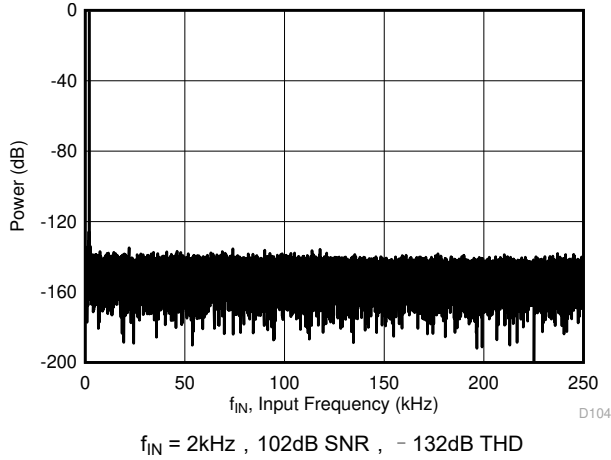


图 8-13. 噪声性能 FFT 图：ADS8902B，差分输入

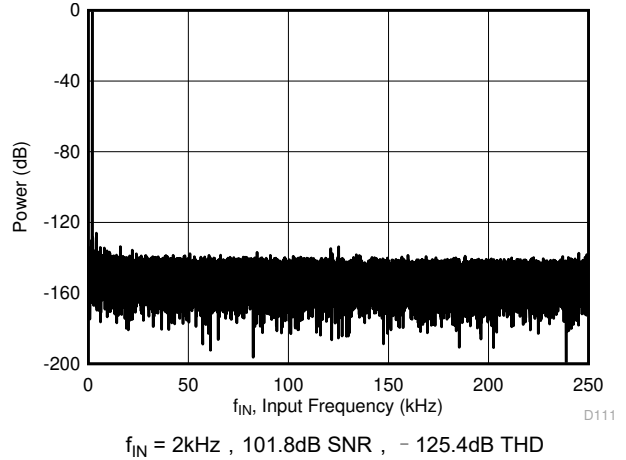


图 8-14. 噪声性能 FFT 图：ADS8902B，单端输入

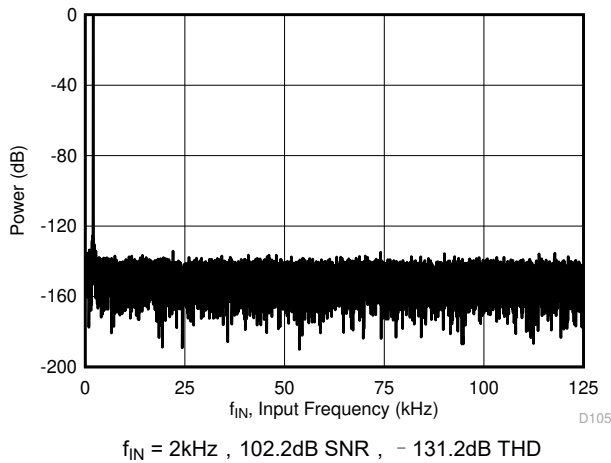


图 8-15. 噪声性能 FFT 图：ADS8904B，差分输入

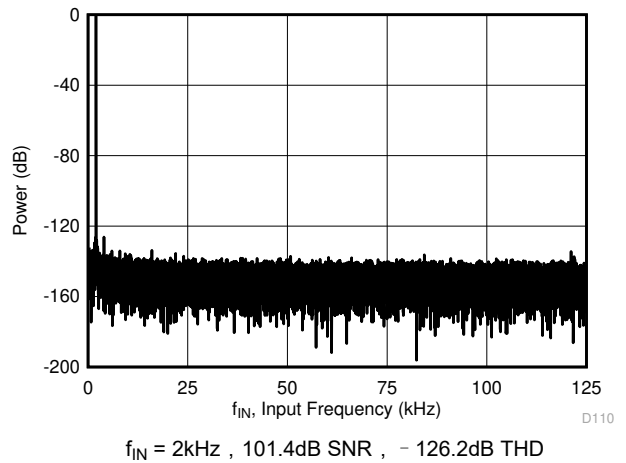


图 8-16. 噪声性能 FFT 图：ADS8904B，单端输入

9 电源相关建议

该器件有两个独立的电源： RV_{DD} 及 DV_{DD} 。内部基准缓冲器及内部 LDO 在 RV_{DD} 上运行。ADC 内核在 LDO 输出上运行（在 DECAP 脚上提供）。 DV_{DD} 用于接口电路。 RV_{DD} 和 DV_{DD} 可以单独设定为允许范围内的任意值。

RV_{DD} 电源电压值定义了 REFIN 引脚上外部基准电压 V_{REF} 的允许范围，如下所示：

$$2.5\text{ V} \leq V_{REF} \leq (RV_{DD} - 0.3)\text{ V} \quad (19)$$

换句话说，要使用 V_{REF} 的外部基准电压，请设置 RV_{DD} ，以便：

$$3\text{ V} \leq RV_{DD} \leq (V_{REF} + 0.3)\text{ V} \quad (20)$$

在 RV_{DD} 和 GND 引脚之间以及 DV_{DD} 和 GND 引脚之间放置一个 $10\mu\text{F}$ 去耦电容器，如图 9-1 所示。在 DECAP 引脚和 GND 引脚之间使用一个最小 $1\mu\text{F}$ 的去耦电容器。

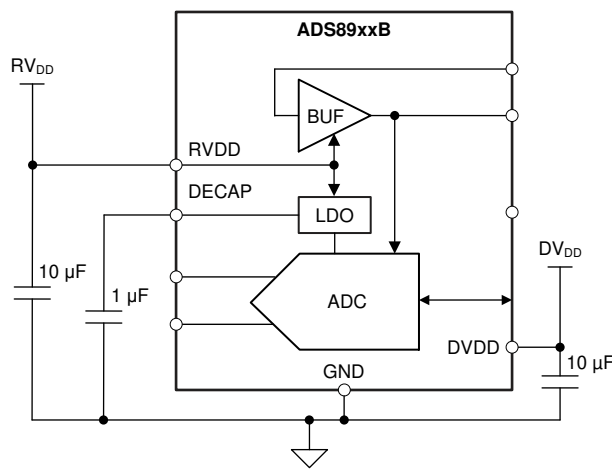


图 9-1. 电源去耦

10 布局

10.1 布局指南

本节提供了一些使用 ADS890xB 器件系列实现出色性能的布局指南。

10.1.1 信号路径

如图 10-1 中所示，模拟输入信号以与数字连接相反的方向布线。使基准去耦元件远离开关数字信号。这种安排可防止数字开关活动产生的噪声耦合到敏感的模拟信号中。

10.1.2 接地和 PCB 堆叠

低电感接地对于实现出色性能至关重要。接地电感通过 15mil 接地过孔和具有至少四层的印刷电路板 (PCB) 布局设计保持在 1nH 以下。将信号链的所有关键元件放置在顶层，并具有来自后续内层的实心模拟接地端，从而更大幅度地缩短接地过孔长度。

为了实现最低电感的接地，将 ADS890xB 的 GND 引脚（引脚 11 和引脚 15）直接连接到器件散热焊盘，并在器件散热焊盘上至少放置四个 8mil 接地过孔。

10.1.3 电源去耦

将去耦电容器放置在 RV_{DD} 、LDO 输出和 DV_{DD} 上距离相应引脚小于 20mil 的位置，并使用 15mil 过孔从每个电容器接地。避免在任何电源引脚和相应去耦电容器之间放置过孔。

10.1.4 基准解耦

在转换阶段，REFBUFOUT 和 REFM 引脚上会出现动态电流，因此需要出色的去耦合才能实现出色性能。如图 10-1 所示，在 REFBUFOUT 和 REFM 引脚之间放置一个额定电压至少为 10V、ESR 为 1Ω 的 $22\mu\text{F}$ 、X7R 级陶瓷电容器。选择 0603 或 0805 尺寸的电容器以将等效串联电感 (ESL) 保持在低水平。在接地过孔之前，先将 REFM 引脚连接到去耦电容器。

10.1.5 差分输入去耦

动态电流也存在于 ADS890xB 的差动模拟输入端。使用 C0G 或 NPO 类型电容器来解耦这些输入，因为使用这些类型的电容器时，电容在整个输入电压范围内几乎保持恒定。劣质电容器（例如 X5R 和 X7R）在整个输入电压范围内的电容变化较大，可能会导致器件性能下降。

10.2 布局示例

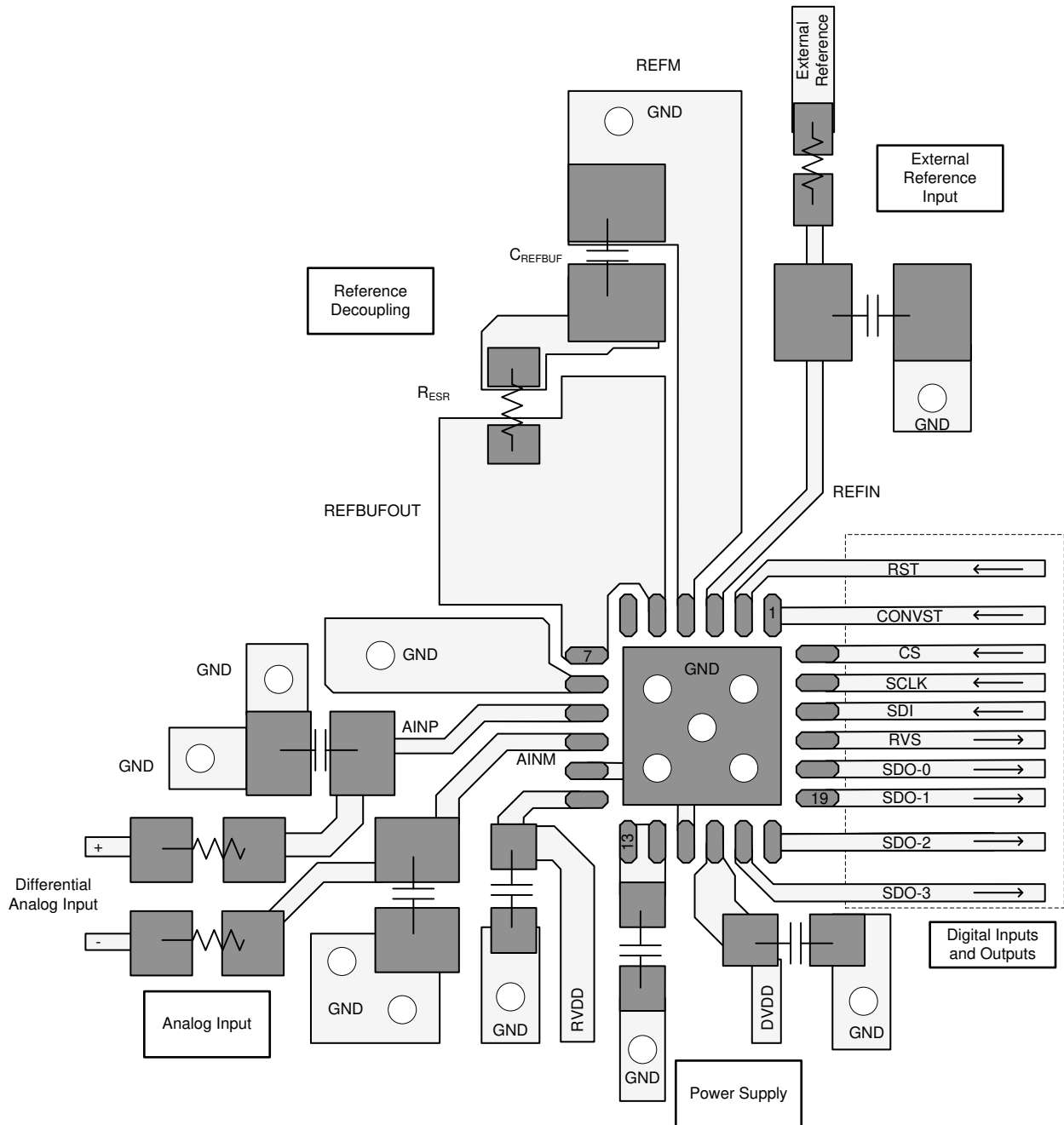


图 10-1. 建议布局

11 器件和文档支持

11.1 文档支持

11.1.1 相关文档

请参阅以下相关文档：

- [ADS8900BEVM-PDK 用户指南 \(SBAU269\) \(SBAU270\)](#)
- [使用 TI 的 multiSPI™ 数字接口为 SAR ADC 提供更快、更智能、更稳健的系统解决方案 \(SBAY002\)](#)
- [超声波 CW 多普勒加法和 20 位真实原始数据转换参考设计 \(TIDA-01351\) \(TIDUBW7\)](#)
- [用于测试和测量应用的 20 位、1MSPS、4 通道小巧外形设计参考设计 \(TIDA-01037\)](#)
- [可实现极大 SNR 和采样率的 20 位、1MSPS 隔离器优化型数据采集参考设计 \(TIDA-01037\)](#)
- [优化抖动以实现最大 SNR 和采样率的 20 位、1MSPS 隔离式数据采集 \(DAQ\) 参考设计 \(TIDA-01035\)](#)
- [OPAx625 高带宽、高精度、低 THD+N、16 位和 18 位模数转换器 \(ADC\) 驱动器数据表 \(SBOS688\)](#)
- [REF5050 低噪声、极低温漂、精密电压基准数据表 \(SBOS410\)](#)
- [THS4551 低噪声精密 150MHz 全差分放大器 \(SBOS778\)](#)

11.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

11.4 商标

multiSPI™, TINA-TI™, and TI E2E™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

11.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

12 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (June 2017) to Revision B (May 2026) Page

- 更新了整个文档中的表格、图和交叉参考的编号格式..... 1

Changes from Revision * (November 2016) to Revision A (June 2017) Page

- 更改了 1MSPS 下的 SPI 接口时钟 1
- 将建议运行条件中的 DV_{DD} 指定的吞吐量值从 3.6V 更改为 5.5V..... 5
- 将电气特性、时序要求和开关特性中的 DV_{DD} 范围最大值从 3.6V 更改为 5.5V..... 7
- 在电气特性表的基准缓冲器失调电压测试条件中添加了 T_A = 25°C..... 7
- 将输入失调电压热漂移典型值从 10 更改为 1..... 7
- 向电气特性表中的 SFDR 添加了 f_{IN} = 2kHz 测试条件..... 7
- 为清晰起见，更改了具有 FDA 输入驱动器和单端或差分输入的 DAQ 电路部分..... 63

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS8900BRGER	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8900B
ADS8900BRGER.B	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8900B
ADS8900BRGERG4	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8900B
ADS8900BRGERG4.B	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8900B
ADS8900BRGET	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8900B
ADS8900BRGET.B	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8900B
ADS8902BRGER	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8902B
ADS8902BRGER.B	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8902B
ADS8902BRGET	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8902B
ADS8902BRGET.B	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8902B
ADS8904BRGER	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8904B
ADS8904BRGER.B	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8904B
ADS8904BRGET	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8904B
ADS8904BRGET.B	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8904B

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS8900BRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADS8900BRGERG4	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADS8900BRGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADS8902BRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADS8902BRGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADS8904BRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADS8904BRGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

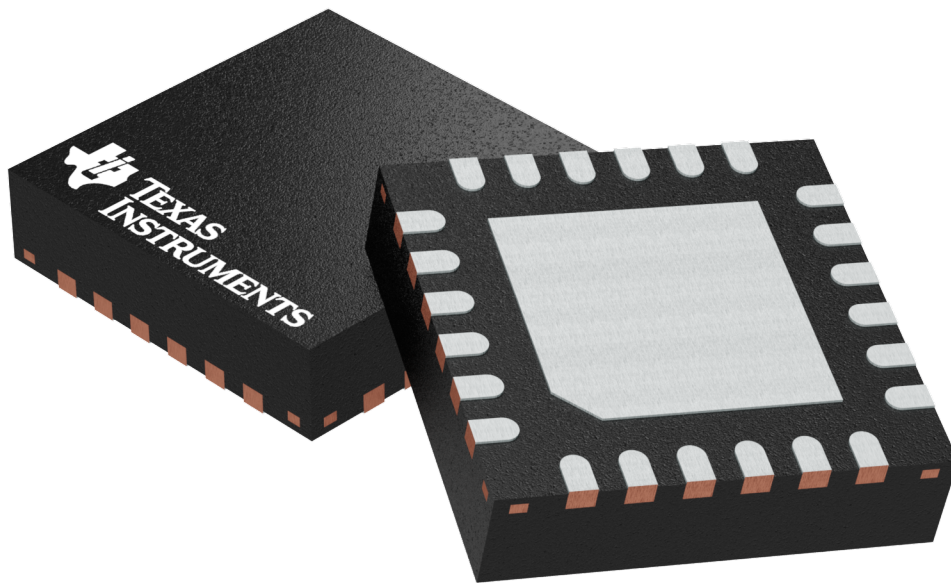
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS8900BRGER	VQFN	RGE	24	3000	346.0	346.0	33.0
ADS8900BRGERG4	VQFN	RGE	24	3000	346.0	346.0	33.0
ADS8900BRGET	VQFN	RGE	24	250	210.0	185.0	35.0
ADS8902BRGER	VQFN	RGE	24	3000	346.0	346.0	33.0
ADS8902BRGET	VQFN	RGE	24	250	210.0	185.0	35.0
ADS8904BRGER	VQFN	RGE	24	3000	346.0	346.0	33.0
ADS8904BRGET	VQFN	RGE	24	250	210.0	185.0	35.0

RGE 24

GENERIC PACKAGE VIEW

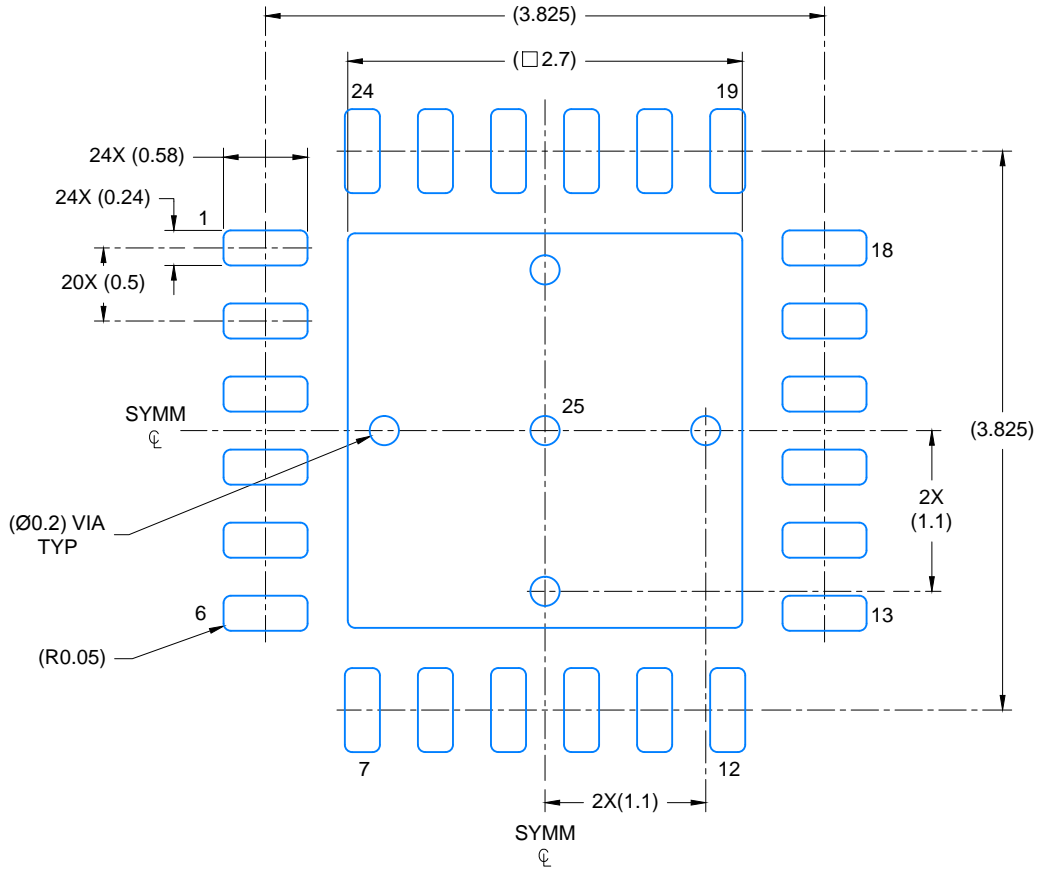
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

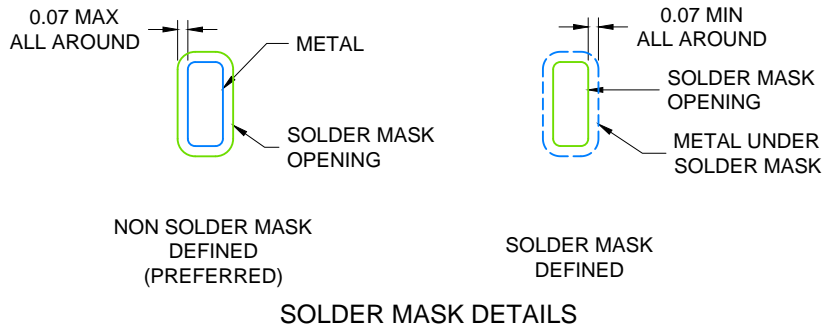


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4204104/H



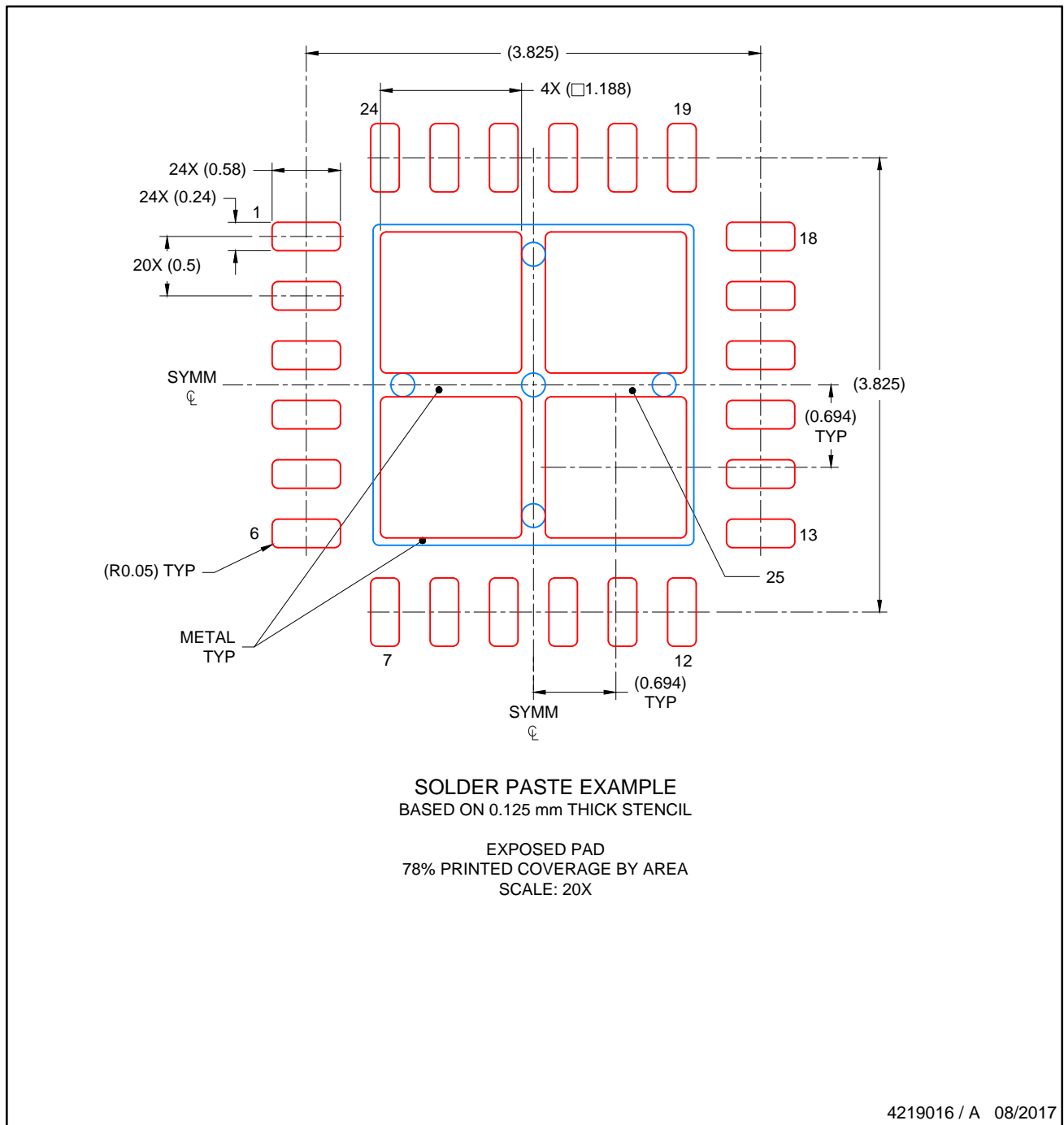
LAND PATTERN EXAMPLE
SCALE: 20X



4219016 / A 08/2017

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



NOTES: (continued)

- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations..

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月