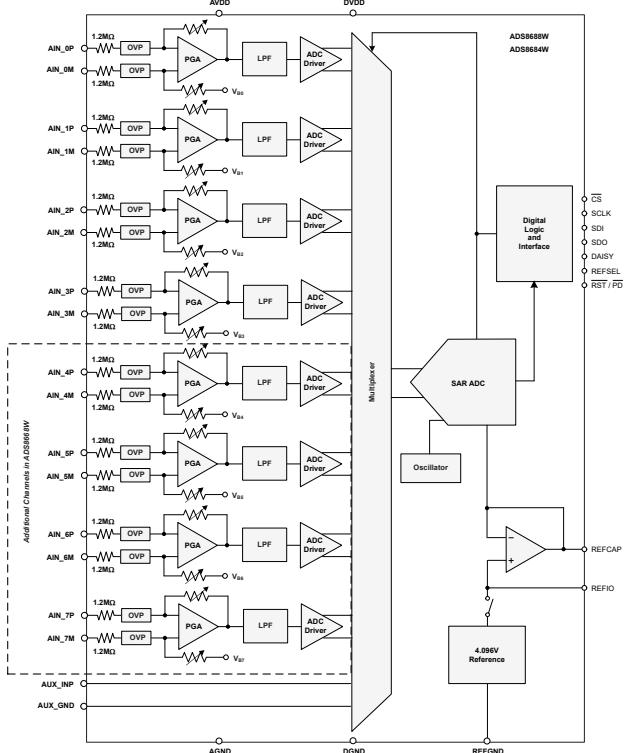


# ADS868xW 16 位, 500kSPS, 4 和 8 通道, 单电源, 带双极输入范围的 SAR ADC

## 1 特性

- 具有集成模拟前端的 16 位 ADC
- 具有自动和手动扫描功能的 4、8 通道多路复用
- 通道独立的可编程输入：
  - $\pm 12.288V$ 、 $\pm 6.144V$  和  $\pm 3.072V$
  - 12.288V 至 0V 和 6.144V 至 0V
- 5V 模拟电源：1.65V 至 5V I/O 电源
- 恒定的阻性输入阻抗： $1.2M\Omega$
- 输入过压保护：高达  $\pm 20V$
- 片上，4.096V 低漂移基准
- 出色的性能：
  - 500kSPS 聚合吞吐量
  - DNL： $\pm 0.6LSB$ ；INL： $\pm 0.8LSB$
  - 增益误差和偏移的低漂移
  - SNR：91.5dB；THD：-102dB
  - 低功耗：65mW
- AUX 输入 → 直接连接到 ADC 输入
- 警报 → 每个通道的高和低阈值
- 通过菊花链与 SPI<sup>TM</sup> 兼容的接口
- 工业温度范围：-40°C 至 125°C



方框图

## 2 应用

- 模拟输入模块
- 交流传输继电器

## 3 说明

ADS8684W 和 ADS8688W 是基于 16 位连续逼近型 (SAR) 模数转换器 (ADC) 的 4 通道和 8 通道集成数据采集系统，工作吞吐量为 500kSPS。这些器件的每个输入通道都具有集成模拟前端电路，具有高达  $\pm 20V$  的过压保护功能，具有自动和手动扫描模式的 4 通道或 8 通道多路复用器以及具有低温漂的 4.096V 片上电压基准。由单个 5V 模拟电源供电，器件上的每个输入通道可独立支持  $\pm 12.288V$ 、 $\pm 6.144V$  和  $\pm 3.072V$  的双极输入范围，以及 12.288V 至 0V 和 6.144V 至 0V 的单极输入范围。

ADS8684W 和 ADS8688W 为数字主机提供了一个与 SPI 兼容的简单串行接口，并且还支持多个器件的菊花链连接。数字电源的工作电压范围为 1.65V 至 5.25V，可直接连接各种主机控制器。

## 封装信息

器件型号	封装 <sup>(1)</sup>	封装尺寸 <sup>(2)</sup>
ADS8684W、 ADS8688W	DBT ( TSSOP, 38 )	9.70mm × 6.40mm

(1) 有关更多信息，请参阅 [节 12](#)。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 [ti.com](http://ti.com) 参考最新的英文版本 (控制文档)。

## 内容

<b>1 特性</b>	<b>1</b>	7.4 器件功能模式	<b>35</b>
<b>2 应用</b>	<b>1</b>	<b>8 寄存器映射</b>	<b>48</b>
<b>3 说明</b>	<b>1</b>	8.1 命令寄存器说明	<b>48</b>
<b>4 器件比较表</b>	<b>3</b>	8.2 程序寄存器说明	<b>48</b>
<b>5 引脚配置和功能</b>	<b>3</b>	<b>9 应用和实施</b>	<b>64</b>
<b>6 规格</b>	<b>5</b>	9.1 应用信息	<b>64</b>
6.1 绝对最大额定值	5	9.2 典型应用	<b>64</b>
6.2 ESD 等级	5	9.3 电源相关建议	<b>65</b>
6.3 建议运行条件	6	9.4 布局	<b>66</b>
6.4 热性能信息	6	<b>10 器件和文档支持</b>	<b>68</b>
6.5 电气特性	7	10.1 文档支持	<b>68</b>
6.6 时序要求	10	10.2 接收文档更新通知	<b>68</b>
6.7 开关特性	11	10.3 支持资源	<b>68</b>
6.8 时序图	12	10.4 商标	<b>68</b>
6.9 典型特性	13	10.5 静电放电警告	<b>68</b>
<b>7 详细说明</b>	<b>21</b>	10.6 术语表	<b>68</b>
7.1 概述	21	<b>11 修订历史记录</b>	<b>68</b>
7.2 功能方框图	21	<b>12 机械、封装和可订购信息</b>	<b>68</b>
7.3 特性说明	22		

## 4 器件比较表

产品	分辨率 (位)	通道数	采样率 (kSPS)
ADS8674	14	4, 单端	500
ADS8678	14	8, 单端	500

## 5 引脚配置和功能

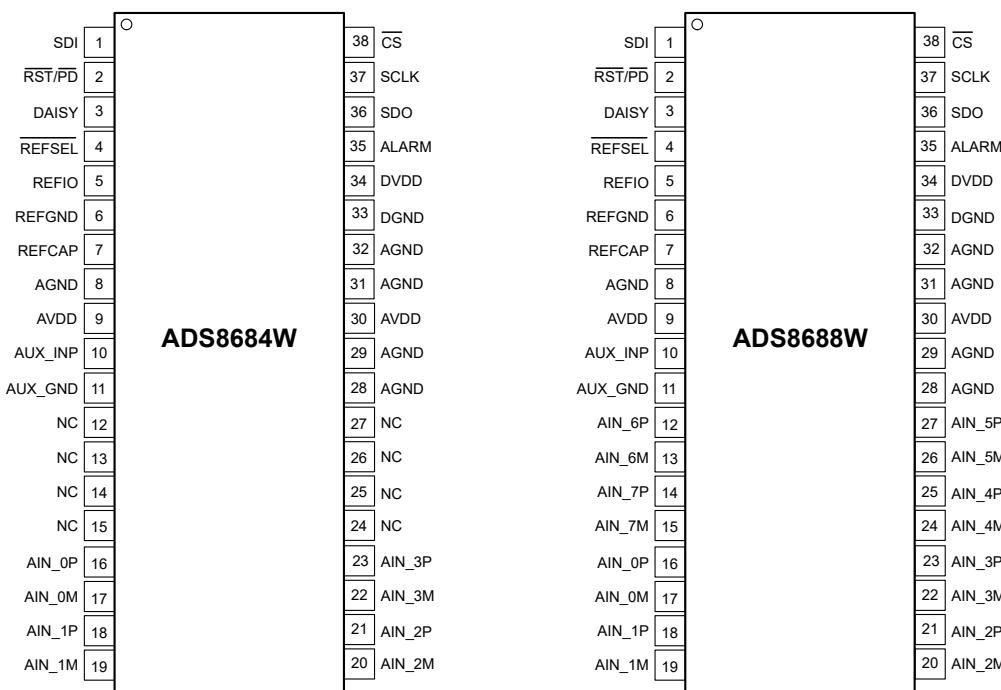


图 5-1. DBT 封装，38 引脚 TSSOP ( 顶视图，没有按比例显示 )

表 5-1. 引脚功能

编号	引脚		类型	说明
	ADS8684W	ADS8688W		
1	SDI		数字输入	串行通信的数据输入。
2	RST/ PD		数字输入	低电平有效逻辑输入。 用于复位或关断器件的双功能。
3	DAISY		数字输入	在菊花链模式下的串行通信期间将数据输入连接在一起。
4	REFSEL		数字输入	有源低电平逻辑输入，用于启用内部基准。 当为低电平时，启用内部基准； REFIO 成为包括 $V_{REF}$ 电压的输出。 当为高电平时，内部基准被禁用； REFIO 成为施加外部 $V_{REF}$ 电压的输入。
5	REFIO		模拟输入/输出	内部基准输出或外部基准输入引脚。在引脚 6 上使用 REFGND 去耦合。
6	REFGND		电源	基准 GND 引脚；短接至模拟 GND 平面。 在引脚 5 上使用 REFIO，在引脚 7 上使用 REFCAP 去耦合。
7	REFCAP		模拟输出	ADC 基准去耦电容器引脚。在引脚 6 上使用 REFGND 去耦合。
8	AGND		电源	模拟地引脚。在引脚 8 上使用 AVDD 去耦合。
9	AVDD		电源	模拟电源引脚。在引脚 9 上使用 AGND 去耦合。
10	AUX_INP		模拟输入	模拟输入通道：正输入。在引脚 11 上使用 AUX_GND 去耦合。
11	AUX_GND		模拟输入	模拟输入通道：负输入。在引脚 10 上使用 AUX_INP 去耦合。

表 5-1. 引脚功能 (续)

引脚		类型	说明
编号	名称		
	ADS8684W		
12	NC	AIN_6P	模拟输入通道 6, 正输入。在引脚 13 上使用 AIN_6M 去耦合。 无 ADS8684W 连接；该引脚既可以保持悬空状态，也可以连接到 AGND。
13	NC	AIN_6M	模拟输入通道 6, 负输入。在引脚 12 上使用 AIN_6P 去耦合。 无 ADS8684W 连接；该引脚既可以保持悬空状态，也可以连接到 AGND。
14	NC	AIN_7P	模拟输入通道 7, 正输入。在引脚 15 上使用 AIN_7M 去耦合。 无 ADS8684W 连接；该引脚既可以保持悬空状态，也可以连接到 AGND。
15	NC	AIN_7M	模拟输入通道 7, 负输入。在引脚 14 上使用 AIN_7P 去耦合。 无 ADS8684W 连接；该引脚既可以保持悬空状态，也可以连接到 AGND。
16	AIN_0P		模拟输入通道 0, 正输入。在引脚 17 上使用 AIN_0M 去耦合。
17	AIN_0M		模拟输入通道 0, 负输入。在引脚 16 上使用 AIN_0P 去耦合。
18	AIN_1P		模拟输入通道 1, 正输入。在引脚 19 上使用 AIN_1M 去耦合。
19	AIN_1M		模拟输入通道 1, 负输入。在引脚 18 上使用 AIN_1P 去耦合。
20	AIN_2M		模拟输入通道 2, 负输入。在引脚 21 上使用 AIN_2P 去耦合。
21	AIN_2P		模拟输入通道 2, 正输入。在引脚 20 上使用 AIN_2M 去耦合。
22	AIN_3M		模拟输入通道 3, 负输入。在引脚 23 上使用 AIN_3P 去耦合。
23	AIN_3P		模拟输入通道 3, 正输入。在引脚 22 上使用 AIN_3M 去耦合。
24	NC	AIN_4M	模拟输入通道 4, 负输入。在引脚 25 上使用 AIN_4P 去耦合。 无 ADS8684W 连接；该引脚既可以保持悬空状态，也可以连接到 AGND。
25	NC	AIN_4P	模拟输入通道 4, 正输入。在引脚 24 上使用 AIN_4M 去耦合。 无 ADS8684W 连接；该引脚既可以保持悬空状态，也可以连接到 AGND。
26	NC	AIN_5M	模拟输入通道 5, 负输入。在引脚 27 上使用 AIN_5P 去耦合。 无 ADS8684W 连接；该引脚既可以保持悬空状态，也可以连接到 AGND。
27	NC	AIN_5P	模拟输入通道 5, 正输入。在引脚 26 上使用 AIN_5M 去耦合。 无 ADS8684W 连接；该引脚既可以保持悬空状态，也可以连接到 AGND。
28	AGND		模拟接地引脚
29	AGND		模拟接地引脚
30	AVDD		模拟电源引脚。在引脚 31 上使用 AGND 去耦合。
31	AGND		模拟地引脚。在引脚 30 上使用 AVDD 去耦合。
32	AGND		模拟地引脚。
33	DGND		数字地引脚。在引脚 34 上使用 DVDD 去耦合。
34	DVDD		数字电源引脚。在引脚 33 上使用 DGND 去耦合。
35	ALARM		高警报阈值有效输出。
36	SDO		用于串行通信的数据输出。
37	SCLK		用于串行通信的时钟输入。在 SCLK 引脚附近串联一个 100Ω 电阻器。
38	CS		低电平有效逻辑输入；芯片选择信号。

## 6 规格

### 6.1 绝对最大额定值

在工作环境温度范围内测得 ( 除非另有说明 ) <sup>(1)</sup>

		最小值	最大值	单位
AIN_nP , AIN_nM 至 AGND	AVDD = 5V <sup>(2)</sup>	-20	20	V
	AVDD = 未供电 <sup>(3)</sup>	-15	15	
AUX_INP 和 AUX_GND 至 AGND		-0.3	AVDD + 0.3	V
AVDD 至 AGND 或 DVDD 至 DGND		-0.3	7	V
REFCAP 至 REFGND 或 REFIO 至 REFGND		-0.3	5.7	V
AGND 至 REFGND		-0.3	0.3	V
AGND 到 DGND		-0.3	0.3	V
数字输入引脚至 DGND		-0.3	DVDD + 0.3	V
数字输出引脚至 DGND		-0.3	DVDD + 0.3	V
除电源引脚外任意引脚的输入电流		-10	10	mA
结温 , $T_J$		-40	150	°C
贮存温度 , $T_{stg}$		-60	150	°C

(1) 超出绝对最大额定值范围操作可能会导致器件永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议的工作条件下以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

(2) AVDD = 5V 或提供源阻抗  $30\text{k}\Omega$  或更低。

(3) AVDD = 悬空，且源阻抗为  $30\text{k}\Omega$  或更高。

### 6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM) , 符合 ANSI/ESDA/JEDEC JS-001 , 模拟输入引脚 (AIN_nP、AIN_nM) <sup>(1)</sup>	$\pm 6000$	V
		人体放电模型 (HBM) , 符合 ANSI/ESDA/JEDEC JS-001 , 其他所有引脚 <sup>(1)</sup>	$\pm 2000$	
		充电器件模型 (CDM) , 符合 ANSI/ESDA/JEDEC JS-002 标准 , 所有引脚 <sup>(2)</sup>	$\pm 500$	

(1) JEDEC 文档 JEP155 指出 : 500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出 : 250V CDM 时能够在标准 ESD 控制流程下安全生产。

## 6.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
<b>电源</b>						
AVDD	模拟电源	AVDD 至 AGND	4.75	5	5.25	V
DVDD	数字接口电源	DVDD 至 DGND	1.65	3.3	AVDD	V
<b>基准电压</b>						
$V_{REFIO\_EXT}$	REFIO 上的外部基准电压	REFIO 引脚配置为输入	4.046	4.096	4.146	V
<b>模拟输入</b>						
AIN_x	满标度输入范围 (AIN_nP 至 AIN_nM)	输入范围 = $\pm 3 \times V_{REF}$	-12.288	12.288	V	
		输入范围 = $\pm 1.5 \times V_{REF}$	-6.144	6.144		
		输入范围 = $\pm 0.75 \times V_{REF}$	-2.56	2.56		
		输入范围 = $2.5 \times V_{REF}$	0	10.24		
		输入范围 = $1.5 \times V_{REF}$	0	6.144		
<b>温度范围</b>						
$T_A$	环境温度		-40	25	125	°C

## 6.4 热性能信息

热指标 <sup>(1)</sup>		ADS868xW	单位
		DBT (TSSOP)	
		38 引脚	
$R_{\theta JA}$	结至环境热阻	68.8	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	19.9	°C/W
$R_{\theta JB}$	结至电路板热阻	30.4	°C/W
$\Psi_{JT}$	结至顶部特征参数	1.3	°C/W
$\Psi_{JB}$	结至电路板特征参数	29.8	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息, 请参阅[半导体和 IC 封装热指标](#)应用手册。

## 6.5 电气特性

所有最小值和最大值规格的适用条件为  $T_A = -40^\circ\text{C}$  至  $+125^\circ\text{C}$ ；典型值规格的适用条件为  $T_A = 25^\circ\text{C}$ ；AVDD = 5V、DVDD = 3.3V、 $V_{\text{REF}} = 4.096\text{V}$ （内部），以及最大吞吐量（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位	
<b>模拟输入</b>						
$R_{\text{IN}}$	输入阻抗	所有输入范围， $\text{AIN\_nP}$ 引脚电压 = $V_{\text{IN}}$ 且 $\text{AIN\_nM} = \text{GND}$	1.02	1.2	$\text{M}\Omega$	
$I_{\text{IN}}$	输入电流	输入范围 = $\pm 3 \times V_{\text{REF}}$ ， $\text{AIN\_nP}$ 引脚上的电压 = $V_{\text{IN}}$ 且 $\text{AIN\_nM} = \text{GND}$	$(V_{\text{IN}} - 2.5) / R_{\text{IN}}$	$\mu\text{A}$		
		输入范围 = $\pm 1.5 \times V_{\text{REF}}$ ， $\text{AIN\_nP}$ 引脚上的电压 = $V_{\text{IN}}$ 且 $\text{AIN\_nM} = \text{GND}$	$(V_{\text{IN}} - 2.0) / R_{\text{IN}}$			
		输入范围 = $\pm 0.75 \times V_{\text{REF}}$ ， $\text{AIN\_nP}$ 引脚上的电压 = $V_{\text{IN}}$ 且 $\text{AIN\_nM} = \text{GND}$	$(V_{\text{IN}} - 1.6) / R_{\text{IN}}$			
		输入范围 = $3 \times V_{\text{REF}}$ ， $\text{AIN\_nP}$ 引脚上的电压 = $V_{\text{IN}}$ 且 $\text{AIN\_nM} = \text{GND}$	$(V_{\text{IN}} - 2.6) / R_{\text{IN}}$			
		输入范围 = $1.5 \times V_{\text{REF}}$ ， $\text{AIN\_nP}$ 引脚上的电压 = $V_{\text{IN}}$ 且 $\text{AIN\_nM} = \text{GND}$	$(V_{\text{IN}} - 2.7) / R_{\text{IN}}$			
<b>输入过压保护电路</b>						
$V_{\text{OVP}}$	所有输入范围	AVDD = 5V，所有输入范围	-20	20	V	
		AVDD = 悬空，所有输入范围	-15	15		
<b>输入带宽</b>						
$f_{-3 \text{ dB}}$	小信号输入带宽，-3dB	所有输入范围， $T_A = 25^\circ\text{C}$	15	15	kHz	
$f_{-0.1 \text{ dB}}$	小信号输入带宽，-0.1dB	所有输入范围， $T_A = 25^\circ\text{C}$	2.5	2.5	kHz	
<b>直流性能</b>						
	分辨率		16	16	位	
NMC	无丢码		16	16	位	
DNL	微分非线性	所有输入范围	-0.9	$\pm 0.6$	0.9	
INL	积分非线性	所有输入双极范围	-2	$\pm 0.8$	2	
		所有单极范围	-2	$\pm 0.6$	2	
$E_O$	偏移误差	双极范围 = $\pm 3 \times V_{\text{REF}}$ 和 $\pm 1.5 \times V_{\text{REF}}$ ， $T_A = 25^\circ\text{C}$	-1.8	$\pm 0.2$	1.8	
$E_O$		双极范围 = $\pm 0.75 \times V_{\text{REF}}$ ， $T_A = 25^\circ\text{C}$	-4.5	$\pm 0.2$	4.5	
		单极范围 = $3 \times V_{\text{REF}}$ 和 $1.5 \times V_{\text{REF}}$ ， $T_A = 25^\circ\text{C}$	-2.4	$\pm 0.2$	2.4	
	失调电压误差漂移与温度间的关系	所有输入范围	-4.5	$\pm 0.75$	4.5	
$E_G$	增益误差	所有输入范围， $T_A = 25^\circ\text{C}$	-0.05	$\pm 0.01$	0.05	
	增益误差漂移与温度间的关系	所有输入范围	-5	$\pm 1$	5	
<b>交流性能</b>						
SNR	信噪比	输入范围 = $\pm 3 \times V_{\text{REF}}$	89.5	91.5	dB	
		输入范围 = $\pm 1.5 \times V_{\text{REF}}$	88.5	90.5		
		输入范围 = $\pm 0.75 \times V_{\text{REF}}$	85.5	87.8		
		输入范围 = $3 \times V_{\text{REF}}$	87.9	90		
		输入范围 = $1.5 \times V_{\text{REF}}$	85.5	87.8		
THD	总谐波失真	所有输入范围	-102	-102	dB	

所有最小值和最大值规格的适用条件为  $T_A = -40^\circ\text{C}$  至  $+125^\circ\text{C}$ ；典型值规格的适用条件为  $T_A = 25^\circ\text{C}$ ；AVDD = 5V、DVDD = 3.3V、 $V_{\text{REF}} = 4.096\text{V}$  ( 内部 )，以及最大吞吐量 ( 除非另有说明 )

参数		测试条件	最小值	典型值	最大值	单位
SINAD	信噪比 + 失真	输入范围 = $\pm 3 \times V_{\text{REF}}$	87.2	91		dB
		输入范围 = $\pm 1.5 \times V_{\text{REF}}$	86.8	90		
		输入范围 = $\pm 0.75 \times V_{\text{REF}}$	83.5	86.5		
		输入范围 = $3 \times V_{\text{REF}}$	85.7	89.5		
		输入范围 = $1.5 \times V_{\text{REF}}$	83.3	86.4		
SFDR	无杂散动态范围	所有输入范围		103		dB
	串扰隔离 <sup>(1)</sup>	干扰源通道输入被过度驱动到最大输入电压的2倍		110		dB
	串扰存储器 <sup>(2)</sup>	干扰源通道输入被过度驱动到最大输入电压的2倍		90		dB
辅助通道						
	分辨率		16			位
$V_{\text{AUX\_IN}}$	AUX_IN 电压范围	(AUX_INP - AUX_GND)	0	$V_{\text{REF}}$		V
	工作输入范围	AUX_INP	0	$V_{\text{REF}}$		V
		AUX_GND		0		
	输入电容	采样期间		75		pF
		转换期间		5		
	输入漏电流		100			nA
	微分非线性		-0.99	1.5		LSB
	积分非线性		-4	4		LSB
	增益误差	$T_A = 25^\circ\text{C}$ 时			$\pm 0.2$	%FSR
	偏移误差	$T_A = 25^\circ\text{C}$ 时	-10	10		mV
	信噪比	1kHz 时, $V_{\text{AUX\_IN}} = -0.5\text{dBFS}$	87	89		dB
	总谐波失真	1kHz 时, $V_{\text{AUX\_IN}} = -0.5\text{dBFS}$		-102		dB
	信噪比 + 失真	1kHz 时, $V_{\text{AUX\_IN}} = -0.5\text{dBFS}$	86	88.5		dB
	无杂散动态范围	1kHz 时, $V_{\text{AUX\_IN}} = -0.5\text{dBFS}$		103		dB
内部基准输出						
$V_{\text{REFIO}}$	REFIO 引脚上 ( 配置为输出 )	$T_A = 25^\circ\text{C}$	4.092	4.096	4.1	V
$dV_{\text{REFIO}}/dT_A$	内部基准温度漂移			5		ppm/°C
$C_{\text{OUT\_REF}}_{\text{IO}}$	REFIO 引脚上的去耦电容器		4.7			μF
$V_{\text{REFCAP}}$	ADC 的基准电压 ( 在 REFCAP 引脚上 )		4.092	4.096	4.1	V
	基准缓冲器输出阻抗			0.5	1	Ω
	基准缓冲器温度漂移			0.5	1.5	ppm/°C
$C_{\text{OUT\_REF}}_{\text{CAP}}$	REFCAP 引脚上的去耦电容器		10	22		μF
	导通时间	$C_{\text{OUT\_REFCAP}} = 10\text{μF}$ , $C_{\text{OUT\_REFIO}} = 10\text{μF}$		20		ms
数字输入						
$V_{\text{IH}}$	数字高输入电压逻辑电平	DVDD > 2.1V	0.7 × DVDD		DVDD + 0.3	V
		DVDD ≤ 2.1V	0.8 × DVDD		DVDD + 0.3	

所有最小值和最大值规格的适用条件为  $T_A = -40^\circ\text{C}$  至  $+125^\circ\text{C}$ ；典型值规格的适用条件为  $T_A = 25^\circ\text{C}$ ； $\text{AVDD} = 5\text{V}$ 、 $\text{DVDD} = 3.3\text{V}$ 、 $\text{V}_{\text{REF}} = 4.096\text{V}$ （内部），以及最大吞吐量（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$V_{\text{IL}}$	数字低输入电压逻辑电平	$\text{DVDD} > 2.1\text{V}$	-0.3	$0.3 \times \text{DVDD}$	$0.2 \times \text{DVDD}$	V
		$\text{DVDD} \leq 2.1\text{V}$	-0.3	$0.2 \times \text{DVDD}$		
	输入漏电流		100		nA	
	输入引脚电容		5		pF	
<b>数字输出</b>						
$V_{\text{OH}}$	数字高输出电压逻辑电平	$I_{\text{O}} = 500\mu\text{A}$ 拉电流	$0.8 \times \text{DVDD}$	$\text{DVDD}$	V	
$V_{\text{OL}}$	数字低输出电压逻辑电平	$I_{\text{O}} = 500 \mu\text{A}$ 灌电流	0	$0.2 \times \text{DVDD}$	V	
	悬空状态漏电流	仅适用于 SDO	1		$\mu\text{A}$	
	内部引脚电容		5		pF	
<b>电源要求</b>						
$I_{\text{AVDD\_DY}}_N$	模拟电源电流，在最大吞吐量时，对采用内部基准的器件进行转换	ADS8688W	13	16	mA	
		ADS8684W	8.5	11.5		
$I_{\text{AVDD\_STC}}$	模拟电源电流，未对采用内部基准的器件进行转换	ADS8688W	10	12	mA	
		ADS8684W	5.5	8.5		
$I_{\text{AVDD\_STD}}_B$	模拟电源电流，器件处于待机模式	器件处于 STDBY 模式且采用内部基准	3	4.5	mA	
$I_{\text{AVDD\_PD}}$	模拟电源电流，器件处于 PD 模式	器件处于 PWR_DN 模式	3	20	$\mu\text{A}$	
$I_{\text{DVDD\_DY}}_N$	数字电源电流，最大吞吐量	当 $\text{DVDD} = 3.3\text{V}$ 时，输出 = 0000h	0.5		mA	

- (1) 隔离串扰的测量方法是，向多路复用序列中的非选定通道施加高达  $10\text{kHz}$  的满量程正弦信号，测量对任意选定通道的输出的影响。
- (2) 存储器串扰的测量方法是，向多路复用序列中的选定通道施加高达  $10\text{kHz}$  的满标度正弦信号，并测量对所有输入通道组合中下一个选定通道的输出的影响。

## 6.6 时序要求

所有最小值和最大值规格的适用条件为  $T_A = -40^\circ\text{C}$  至  $+125^\circ\text{C}$ ；典型值规格的适用条件为  $T_A = 25^\circ\text{C}$ ； $\text{AVDD} = 5\text{V}$ 、 $\text{DVDD} = 3.3\text{V}$ 、 $\text{VREF} = 4.096\text{V}$ （内部），以及最大吞吐量（除非另有说明）

		最小值	典型值	最大值	单位
<b>转换周期</b>					
$f_{\text{cycle}}$	采样频率			500	kSPS
$t_{\text{cycle}}$	ADC 周期时长	2			$\mu\text{s}$
$t_{\text{acq}}$	采集时间	1150			ns
<b>异步复位</b>					
$t_{\text{wl\_RST}}$	脉冲持续时间： $\overline{\text{RST}}$ 为低电平	100			ns
<b>SPI 兼容串行接口</b>					
$f_{\text{SCLK}}$	串行时钟频率			17	MHz
$t_{\text{SCLK}}$	串行时钟时间周期	$1/f_{\text{SCLK}}$			
$t_{\text{PH\_CK}}$	SCLK 高电平时间	0.4		0.6	$t_{\text{CLK}}$
$t_{\text{PL\_CK}}$	SCLK 低电平时间	0.4		0.6	$t_{\text{CLK}}$
$t_{\text{SU\_CSCK}}$	建立时间： $\overline{\text{CS}}$ 下降至第一个 SCLK 下降沿	30			ns
$t_{\text{SU\_CKDI}}$	建立时间：SDI 数据在 SCLK 下降沿有效	5			ns
$t_{\text{HT\_CKDI}}$	保持时间：SCLK 下降至 SDI 上的前一个数据有效	5			ns
$t_{\text{SU\_CKDSY}}$	建立时间：DAISY 数据在 SCLK 下降沿有效	5			
$t_{\text{HT\_CKDSY}}$	保持时间：SCLK 下降至 DAISY 上的前一个数据有效	5			

## 6.7 开关特性

所有最小值和最大值规格的适用条件为  $T_A = -40^\circ\text{C}$  至  $+125^\circ\text{C}$ ；典型值规格的适用条件为  $T_A = 25^\circ\text{C}$ ； $\text{AVDD} = 5\text{V}$ 、 $\text{DVDD} = 3.3\text{V}$ 、 $\text{VREF} = 4.096\text{V}$ （内部），以及最大吞吐量（除非另有说明）

		最小值	典型值	最大值	单位
<b>异步复位</b>					
$t_{\text{conv}}$	转换时间			850	ns
	导通时间			15	ms
<b>SPI 兼容串行接口</b>					
$t_{\text{HT\_CKCS}}$	延迟时间：最后一个 $\text{SCLK}$ 下降沿到 $\overline{\text{CS}}$ 上升沿		10		ns
$t_{\text{DEN\_CSDO}}$	延迟时间： $\overline{\text{CS}}$ 下降沿至数据使能			10	ns
$t_{\text{DZ\_CSDO}}$	延迟时间： $\overline{\text{CS}}$ 上升沿到 $\text{SDO}$ 三态输出		10		ns
$t_{\text{D\_CKDO}}$	延迟时间： $\text{SCLK}$ 下降沿到 $\text{SDO}$ 上的下一个数据有效状态			25	ns
$t_{\text{HT\_CKDO}}$	延迟时间： $\text{SCLK}$ 下降沿到 $\text{SDO}$ 上的前一个数据有效状态		5		ns

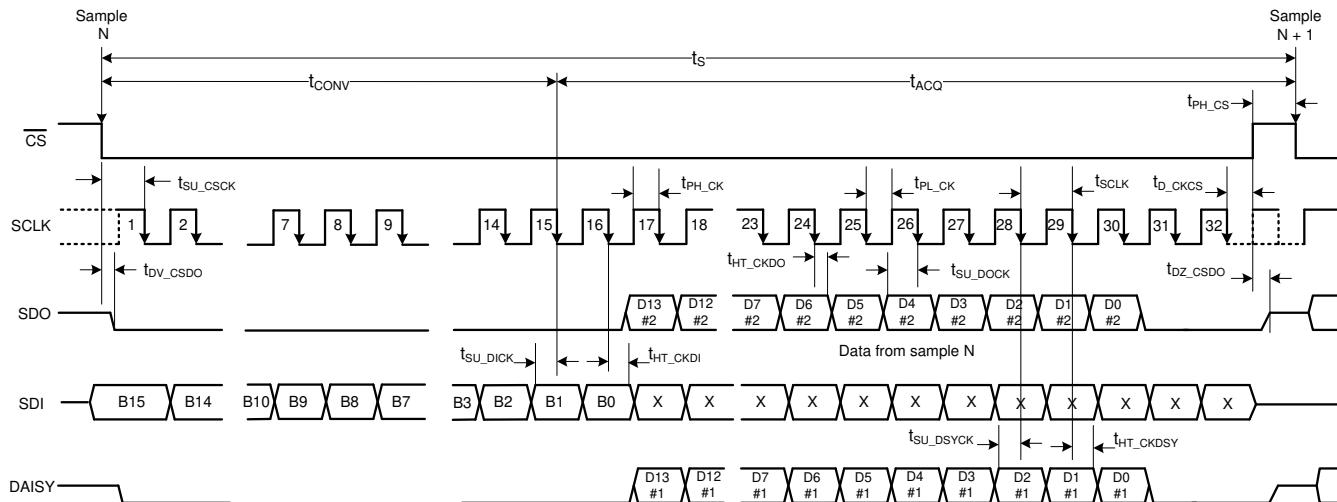


图 6-1. 串行接口时序图

## 6.9 典型特性

在  $T_A = 25^\circ\text{C}$  ,  $\text{AVDD} = 5\text{V}$  ,  $\text{DVDD} = 3\text{V}$  ,  $\text{V}_{\text{REF}} = 4.096\text{V}$  ( 内部基准 ) 且  $f_{\text{SAMPLE}} = 500\text{kSPS}$  的条件下测得 ( 除非另有说明 ) 。

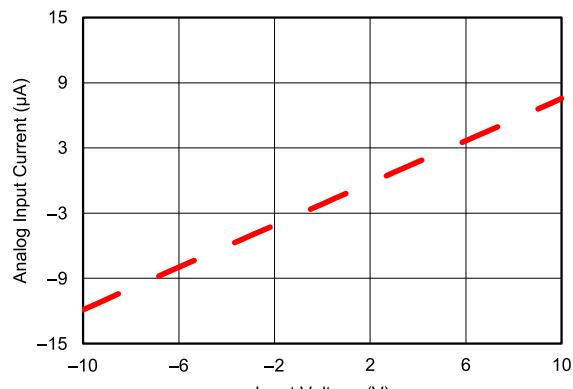
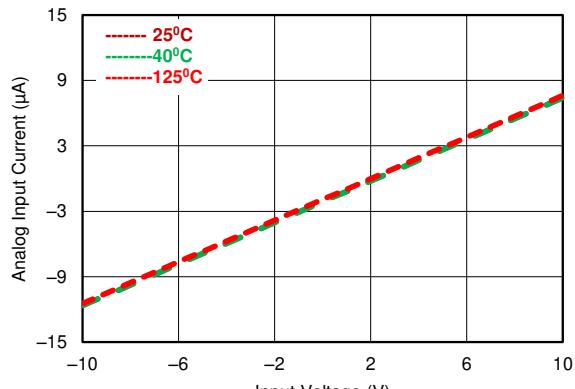


图 6-2. 输入 I-V 特性



输入范围 =  $\pm 3 \times \text{V}_{\text{REF}}$

图 6-3. 输入电流与温度间的关系

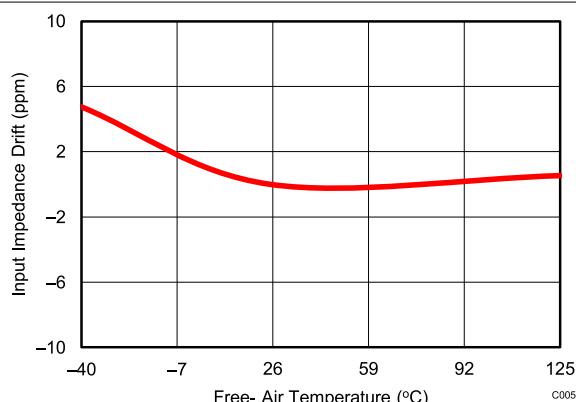
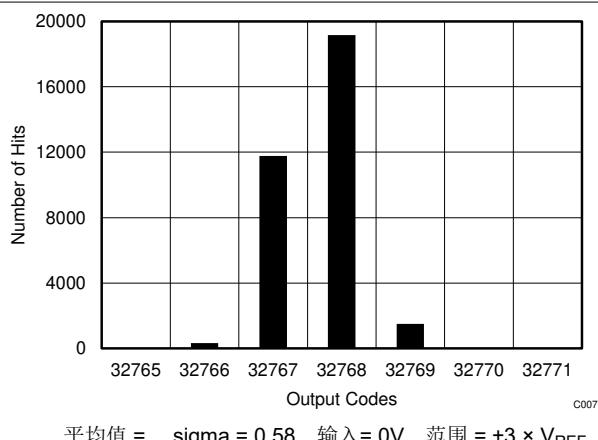
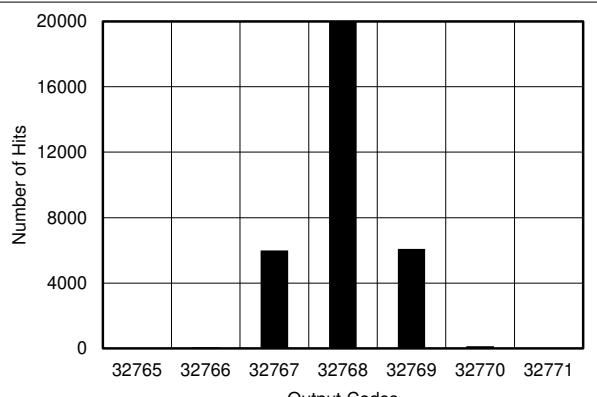


图 6-4. 输入阻抗漂移与温度间的关系



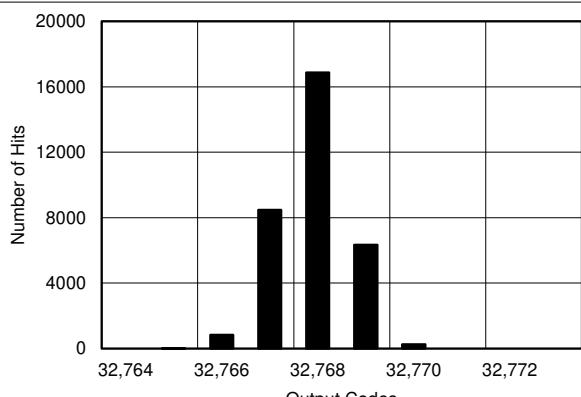
平均值 = , sigma = 0.58 , 输入 = 0V , 范围 =  $\pm 3 \times \text{V}_{\text{REF}}$

图 6-5. 中标度输入的直流柱状图 ( $\pm 3 \times \text{V}_{\text{REF}}$ )



平均值 = 32768.60 , sigma = 0.63 , 输入 = 0V , 范围 =  $\pm 1.5 \times \text{V}_{\text{REF}}$

图 6-6. 中标度输入的直流柱状图 ( $\pm 1.5 \times \text{V}_{\text{REF}}$ )



平均值 = 32768.8 , sigma = 0.76 , 输入 = 0V , 范围 =  $\pm 0.75 \times \text{V}_{\text{REF}}$

图 6-7. 中标度输入的直流柱状图 ( $\pm 0.75 \times \text{V}_{\text{REF}}$ )

## 6.9 典型特性 (续)

在  $T_A = 25^\circ\text{C}$  ,  $\text{AVDD} = 5\text{V}$  ,  $\text{DVDD} = 3\text{V}$  ,  $\text{V}_{\text{REF}} = 4.096\text{V}$  ( 内部基准 ) 且  $f_{\text{SAMPLE}} = 500\text{kSPS}$  的条件下测得 ( 除非另有说明 ) 。

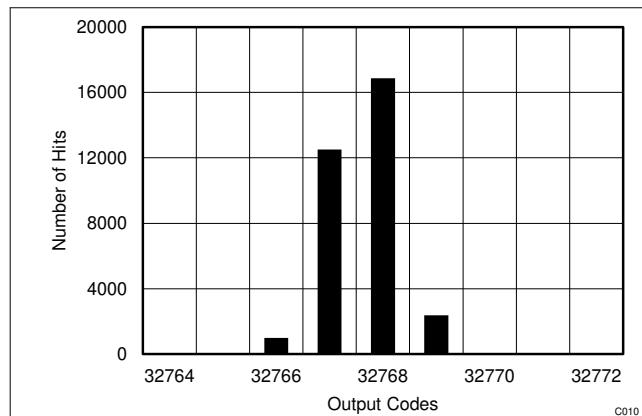


图 6-8. 中标度输入的直流柱状图 ( $3 \times V_{\text{REF}}$ )

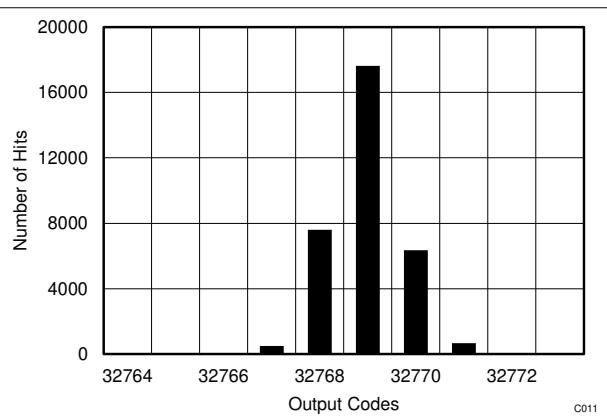


图 6-9. 中标度输入的直流柱状图 ( $1.5 \times V_{\text{REF}}$ )

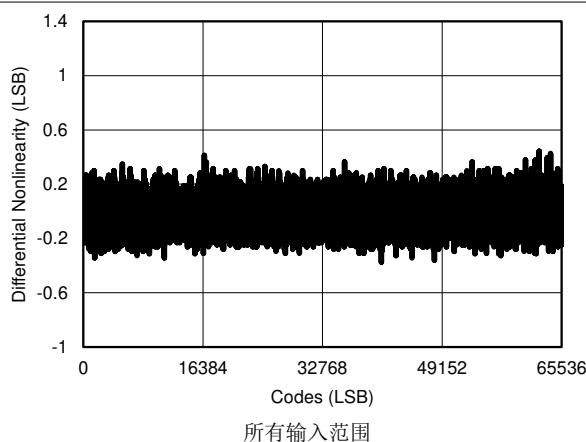


图 6-10. 所有代码的典型 DNL

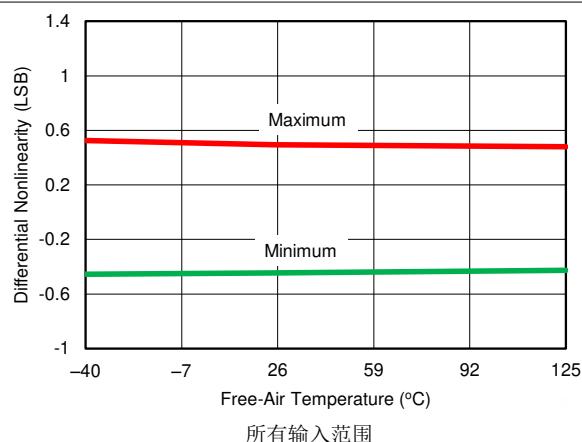


图 6-11. DNL 与温度间的关系

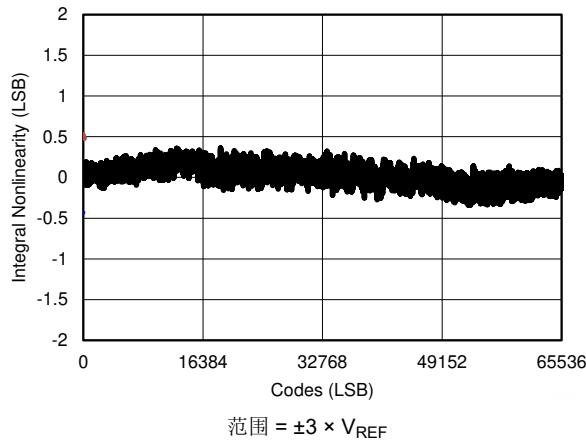


图 6-12. 所有代码的典型 INL

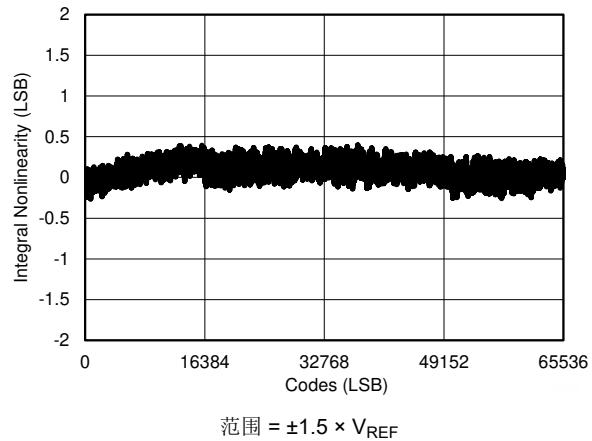


图 6-13. 所有代码的典型 INL

## 6.9 典型特性 (续)

在  $T_A = 25^\circ\text{C}$  ,  $\text{AVDD} = 5\text{V}$  ,  $\text{DVDD} = 3\text{V}$  ,  $\text{V}_{\text{REF}} = 4.096\text{V}$  ( 内部基准 ) 且  $f_{\text{SAMPLE}} = 500\text{kSPS}$  的条件下测得 ( 除非另有说明 ) 。

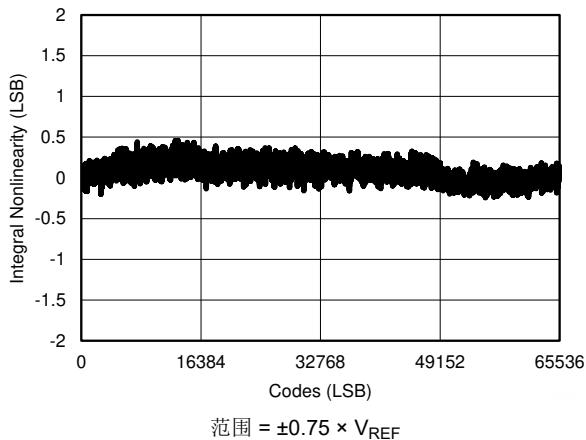


图 6-14. 所有代码的典型 INL

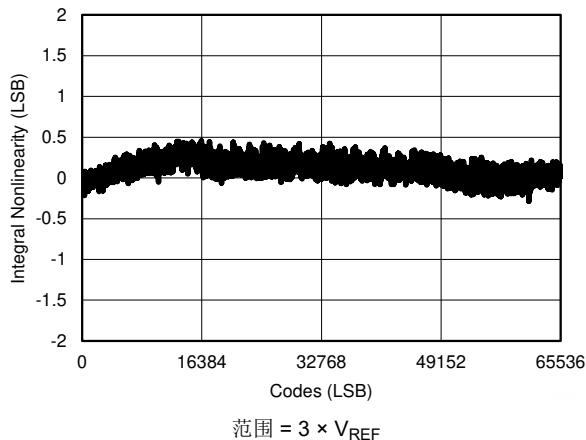


图 6-15. 所有代码的典型 INL

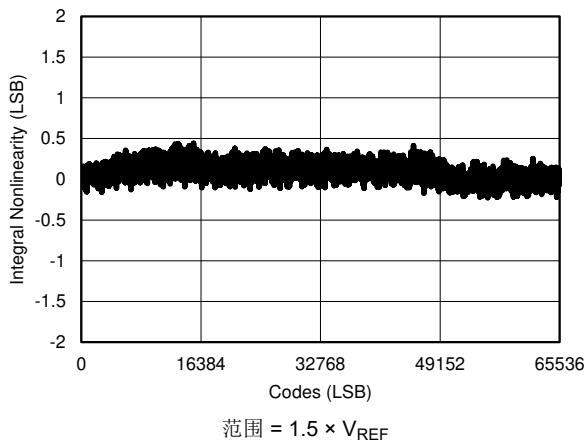


图 6-16. 所有代码的典型 INL

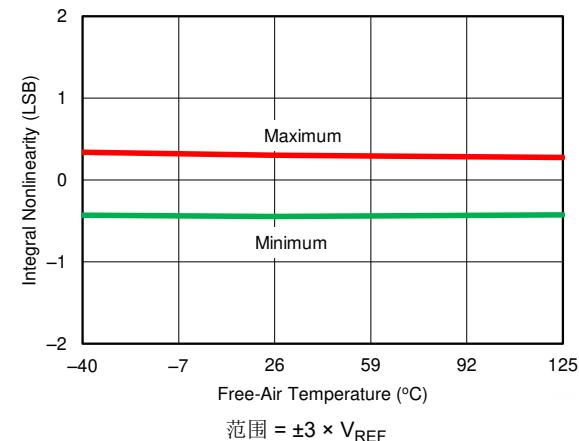


图 6-17. INL 与温度间的关系 ( $±3 \times V_{\text{REF}}$ )

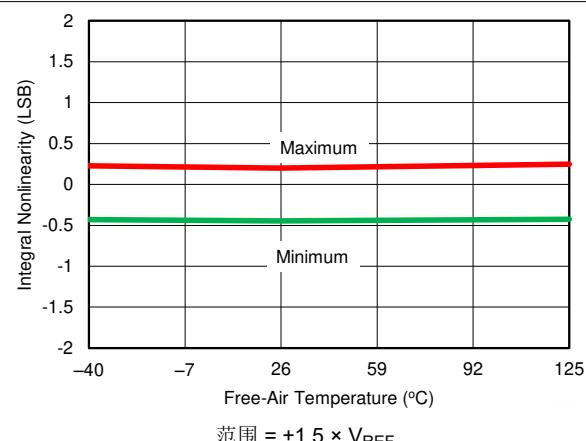


图 6-18. INL 与温度间的关系 ( $±1.5 \times V_{\text{REF}}$ )

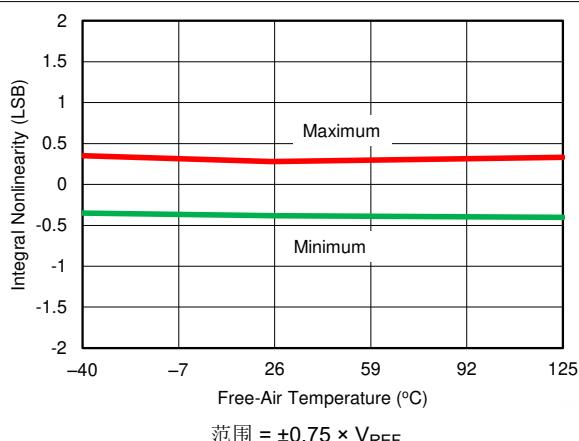
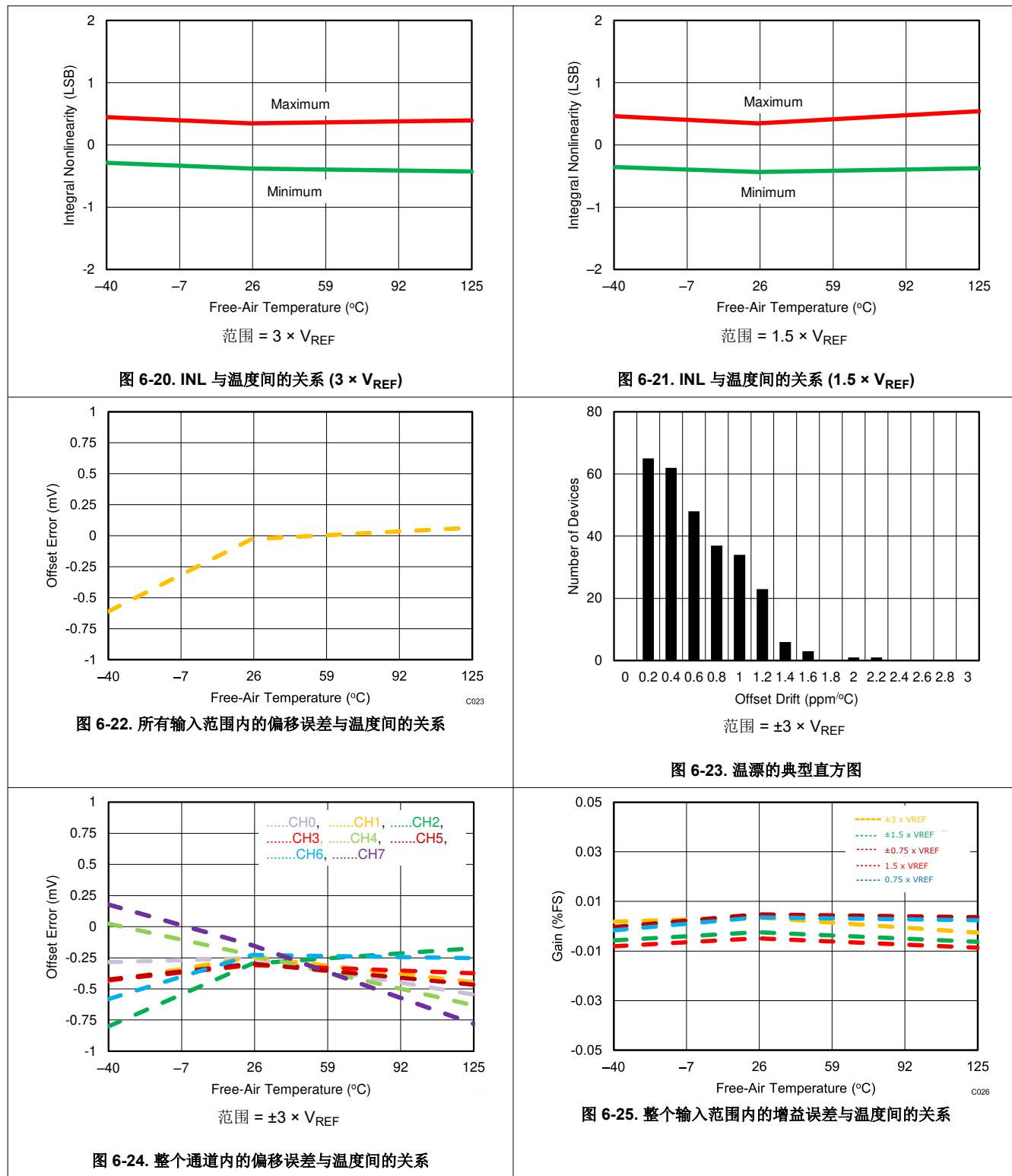


图 6-19. INL 与温度间的关系 ( $±0.75 \times V_{\text{REF}}$ )

## 6.9 典型特性 (续)

在  $T_A = 25^\circ\text{C}$  ,  $\text{AVDD} = 5\text{V}$  ,  $\text{DVDD} = 3\text{V}$  ,  $\text{V}_{\text{REF}} = 4.096\text{V}$  ( 内部基准 ) 且  $f_{\text{SAMPLE}} = 500\text{kSPS}$  的条件下测得 ( 除非另有说明 ) 。



## 6.9 典型特性 (续)

在  $T_A = 25^\circ\text{C}$  ,  $\text{AVDD} = 5\text{V}$  ,  $\text{DVDD} = 3\text{V}$  ,  $\text{V}_{\text{REF}} = 4.096\text{V}$  ( 内部基准 ) 且  $f_{\text{SAMPLE}} = 500\text{kSPS}$  的条件下测得 ( 除非另有说明 ) 。

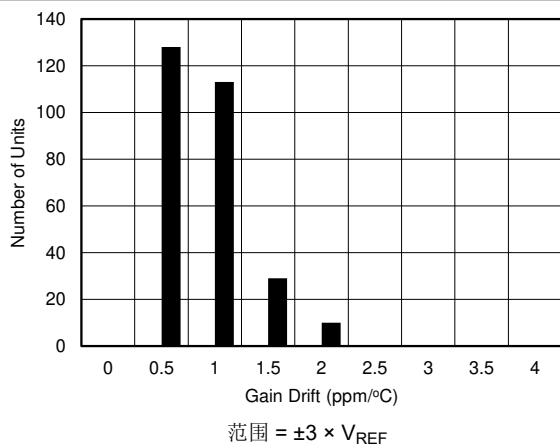


图 6-26. 增益误差漂移的典型直方图

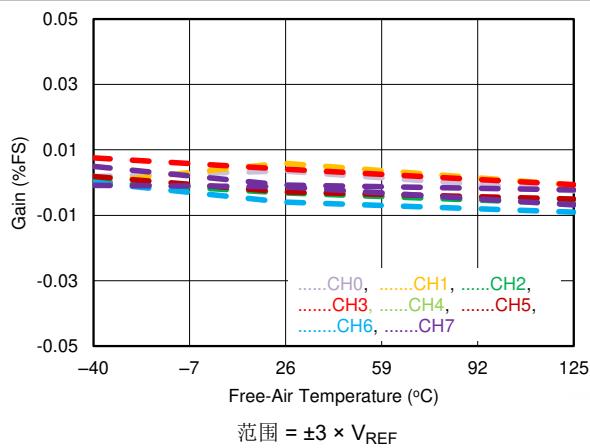


图 6-27. 整个通道内的增益误差与温度间的关系

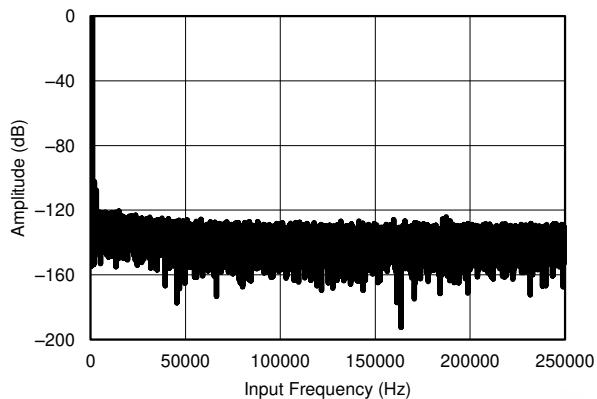


图 6-28. 典型 FFT 图 ( $\pm 3 \times \text{V}_{\text{REF}}$ )

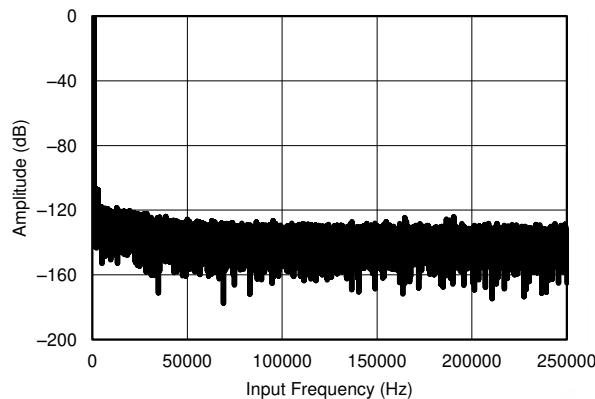


图 6-29. 典型 FFT 图 ( $\pm 1.5 \times \text{V}_{\text{REF}}$ )

## 6.9 典型特性 (续)

在  $T_A = 25^\circ\text{C}$  ,  $\text{AVDD} = 5\text{V}$  ,  $\text{DVDD} = 3\text{V}$  ,  $\text{V}_{\text{REF}} = 4.096\text{V}$  ( 内部基准 ) 且  $f_{\text{SAMPLE}} = 500\text{kSPS}$  的条件下测得 ( 除非另有说明 ) 。

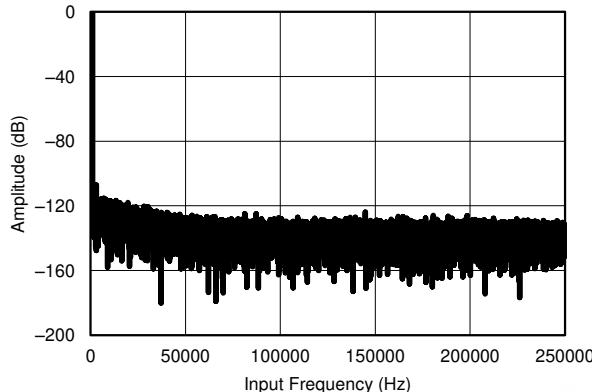
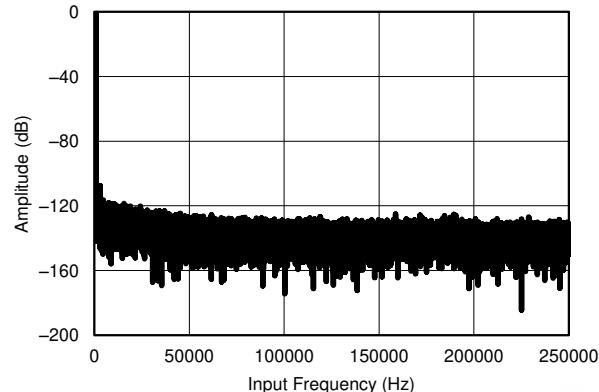


图 6-30. 典型 FFT 图 ( $\pm 0.75 \times V_{\text{REF}}$ )



点数 = 64k ,  $f_{\text{IN}} = 1\text{kHz}$  , SNR = 90.93dB , SINAD = 90.48dB , THD = 100dB , SFDR = 102dB

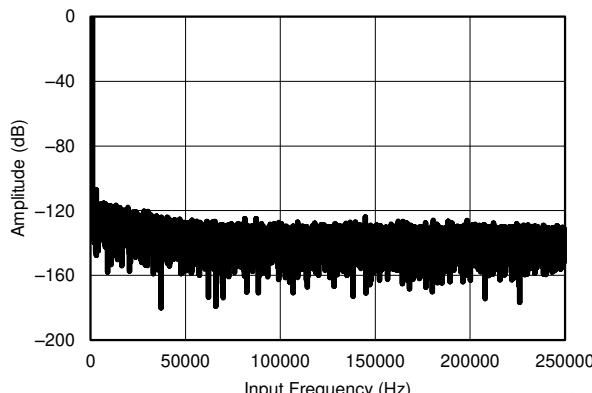


图 6-32. 典型 FFT 图 ( $1.5 \times V_{\text{REF}}$ )

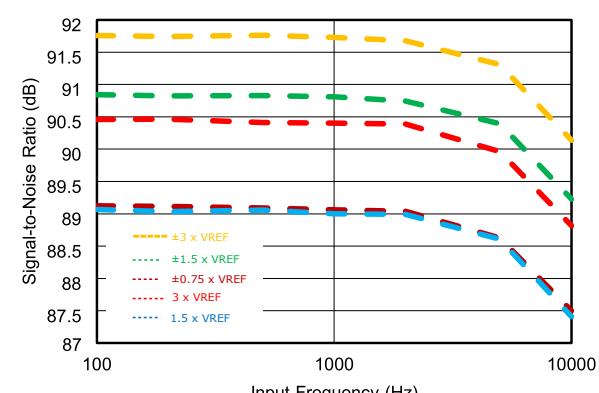
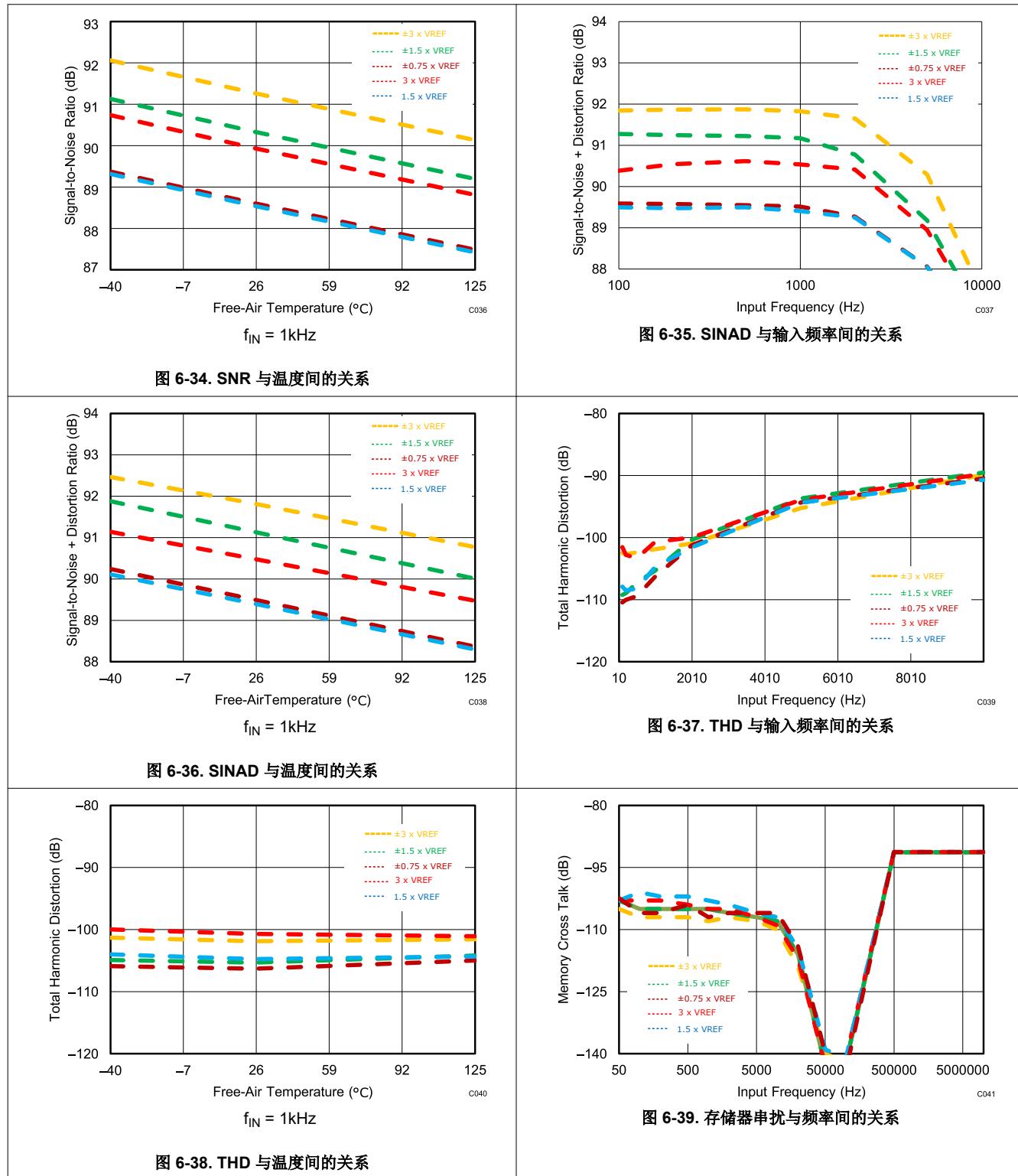


图 6-33. SNR 与输入频率间的关系

C035

## 6.9 典型特性 (续)

在  $T_A = 25^\circ\text{C}$  ,  $\text{AVDD} = 5\text{V}$  ,  $\text{DVDD} = 3\text{V}$  ,  $\text{V}_{\text{REF}} = 4.096\text{V}$  ( 内部基准 ) 且  $f_{\text{SAMPLE}} = 500\text{kSPS}$  的条件下测得 ( 除非另有说明 ) 。



## 6.9 典型特性 (续)

在  $T_A = 25^\circ\text{C}$  ,  $\text{AVDD} = 5\text{V}$  ,  $\text{DVDD} = 3\text{V}$  ,  $\text{V}_{\text{REF}} = 4.096\text{V}$  ( 内部基准 ) 且  $f_{\text{SAMPLE}} = 500\text{kSPS}$  的条件下测得 ( 除非另有说明 ) 。

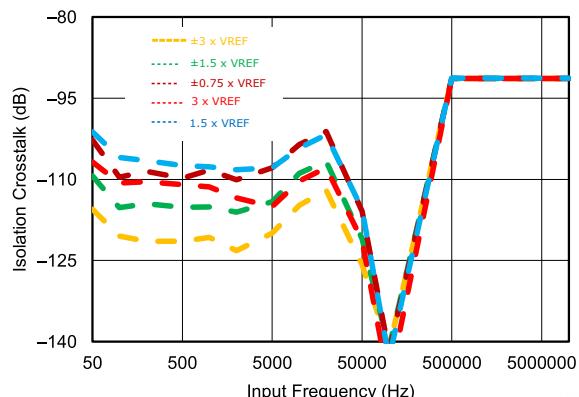
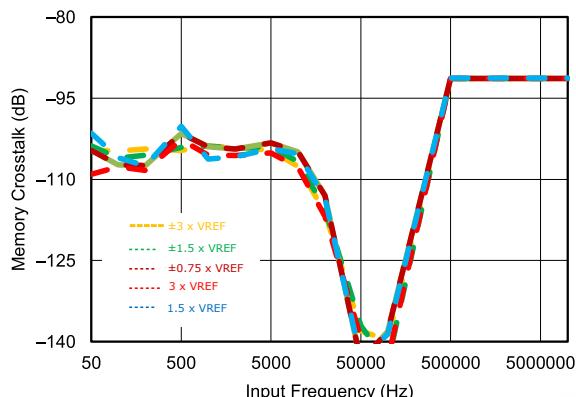
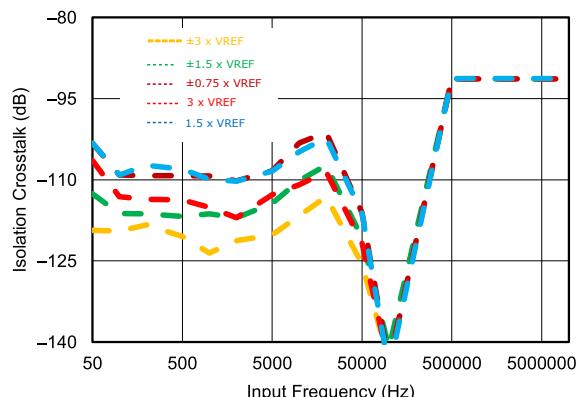


图 6-40. 隔离串扰与频率间的关系



输入 =  $2 \times$  最大输入电压

图 6-41. 超范围输入的存储器串扰与频率间的关系



输入 =  $2 \times$  最大输入电压

图 6-42. 超范围输入的隔离串扰与频率间的关系

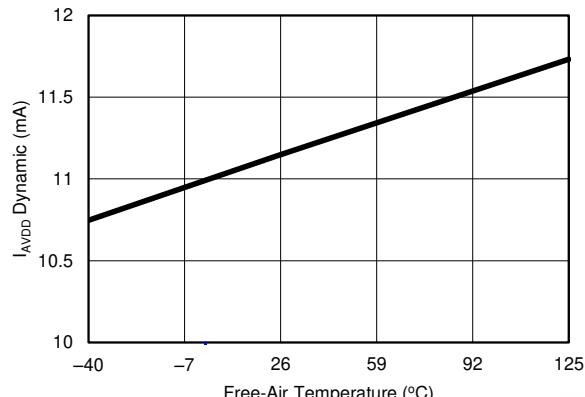


图 6-43. ADS8688W 的 AVDD 电流与温度间的关系 ( $f_s = 500\text{kSPS}$ )

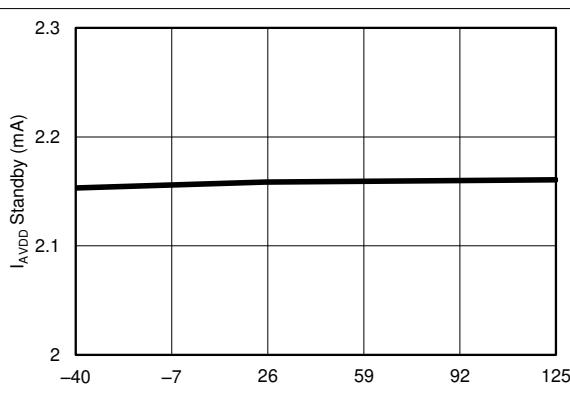


图 6-44. AVDD 电流与温度间的关系 (待机)

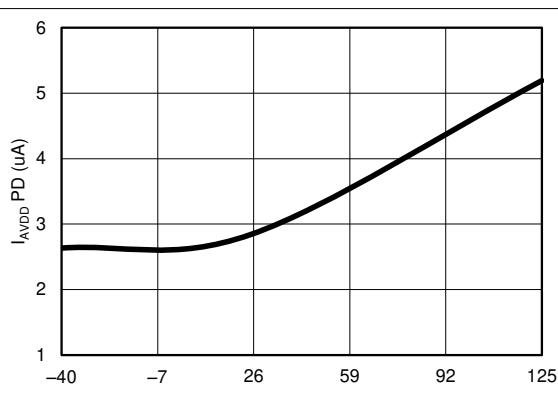


图 6-45. AVDD 电流与温度间的关系 (断电)

## 7 详细说明

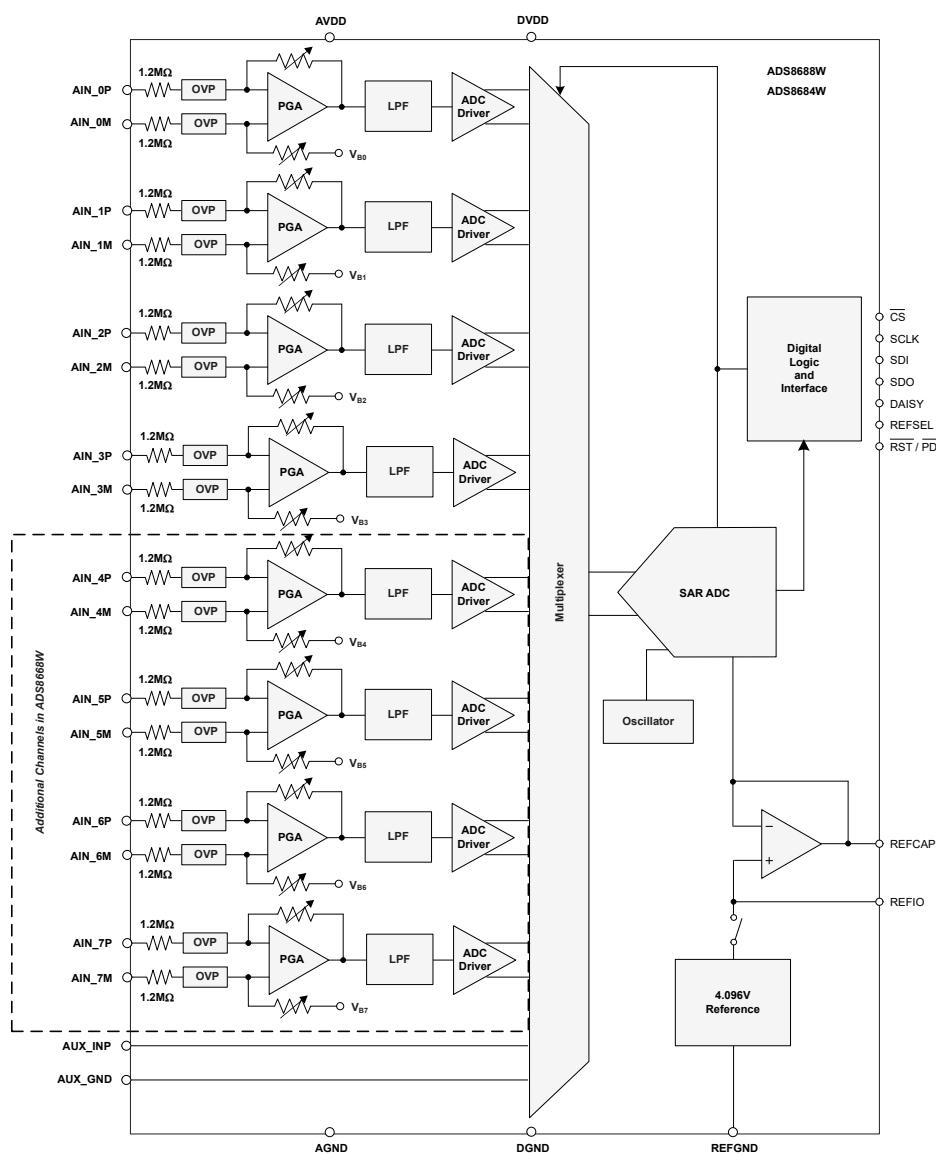
### 7.1 概述

ADS8688W 是一个 16 位数据采集系统，具有 8 通道模拟输入。每个模拟输入通道均由一个过压保护电路、一个可编程增益放大器 (PGA) 和一个二阶抗混叠滤波器组成，该滤波器在输入信号馈送到 8 通道模拟多路复用器 (MUX) 之前调节该输入信号。根据连续逼近型寄存器 (SAR) 架构，MUX 输出通过 16 位模数转换器 (ADC) 进行数字化。对于所有通道，此整体系统可实现 500kSPS 最大吞吐量。这些器件有一个具有快速稳定缓冲器的 4.096V 内部基准，以及一个具有菊花链 (DAISY) 和警报功能的简单 SPI 兼容串行接口。

这些器件由单个 5V 模拟电源供电，并且可适应高达

$\pm 3 \times V_{REF}$  的真正双极输入信号。该器件提供了一个  $1.2M\Omega$  的恒定阻性输入阻抗（无论采样频率或所选输入范围为何）。集成了具有高输入阻抗的多通道精密模拟前端电路和由单个 5V 电源供电的精密 ADC，无需外部高压双极电源和复杂的驱动器电路即可提供简化的终端解决方案。

### 7.2 功能方框图



## 7.3 特性说明

### 7.3.1 模拟输入

ADS8688W 具有八个模拟输入通道，支持单端和差分模拟输入。图 7-1 展示了每个模拟输入通道的简化电路原理图，包括输入过压保护电路、PGA、低通滤波器 (LPF)、高速 ADC 驱动器和模拟多路复用器。

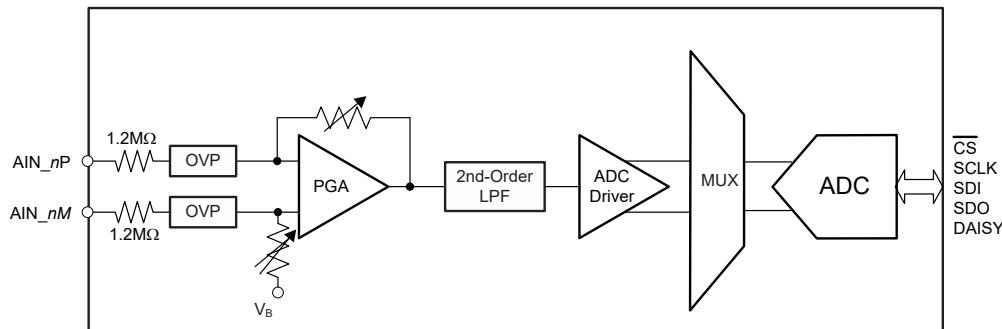


图 7-1. 每个模拟输入通道的前端电路原理图

根据程序寄存器配置，该器件支持多个单极或双极、单端和差分输入电压范围。如 [范围选择寄存器](#)部分所述，每个模拟通道的输入电压范围可配置为  $\pm 12.288V$ 、 $\pm 6.144V$  和  $\pm 3.072V$  双极范围，或  $0V$  至  $12.288V$  和  $0V$  至  $6.144V$  单极范围。这些输入范围中的任何一个都可以分配给器件的任何模拟输入通道。例如， $\pm 12.288V$  范围可以分配给  $AIN\_1P$ ， $\pm 6.144V$  范围可以分配给  $AIN\_2P$ ， $0V$  至  $12.288V$  范围可以分配给  $AIN\_3P$ ，依此类推。

该器件可对所选模拟输入通道之间的电压差 ( $AIN\_nP - AIN\_nM$ ) 进行采样。如果器件的模拟输入引脚 ( $AIN\_nP$ ) 保持悬空状态，则 ADC 输出对应于内部偏置电压。如果器件在输入引脚悬空的情况下运行，则必须将 ADC 的输出视为无效。这种情况不会对器件造成任何损坏，在对引脚施加有效输入电压后，器件便可完全正常工作。

### 7.3.2 模拟输入阻抗

器件中的每个模拟输入通道均存在  $1.2M\Omega$  的恒定阻抗。该输入阻抗与 ADC 采样频率、输入信号频率或量程无关。此类高阻抗输入的主要优势是，无需驱动具有低输出阻抗的放大器即可轻松驱动 ADC 输入。系统中不需要双极高压电源，因为该 ADC 不需要任何高压前端驱动器。在大多数应用中，信号源或传感器输出可直接连接到 ADC 输入，从而显著简化信号链设计。

为保持系统的直流精度，需要将  $AIN\_nP$  输入引脚上的外部源阻抗与  $AIN\_nM$  引脚上的等效电阻相匹配。这种匹配有助于消除外部电阻引起的任何额外的失调电压误差。

### 7.3.3 输入过压保护电路

ADS8688W 的每个模拟输入通道上都具有内部过压保护电路。可将这些保护电路用作二级保护方案，以保护器件。强烈建议使用外部保护器件来帮助防止出现浪涌、静电放电 (ESD) 和电气快速瞬变 (EFT) 情况。内部过压保护 (OVP) 电路的概念框图如 图 7-2 中所示。

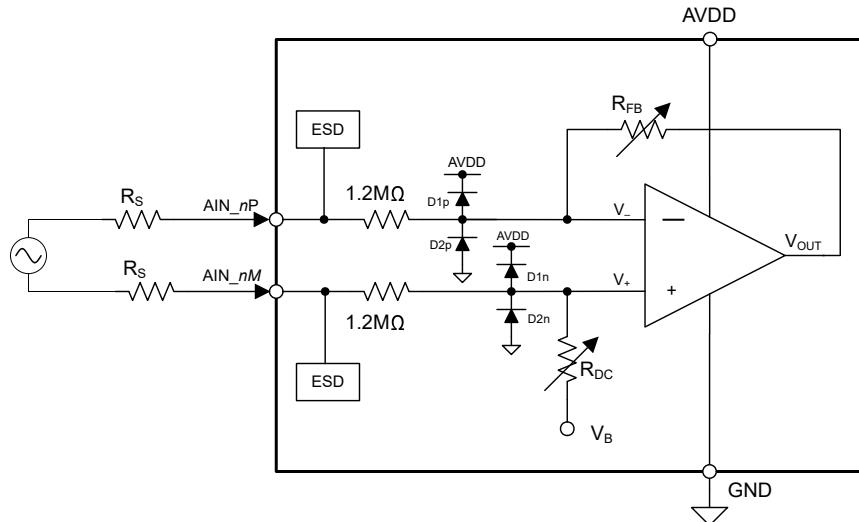


图 7-2. 输入过压保护电路原理图

如 图 7-2 中所示， $1.2M\Omega$  输入电阻器和 PGA 增益设置电阻器 ( $R_{FB}$  和  $R_{DC}$ ) 的组合会限制流入输入引脚的电流。添加了反并联二极管 (D1 和 D2) 组合，以保护内部电路和设置过压保护限制。

表 7-1 说明了器件上电时的各种工作条件。表 7-1 指示当器件的 AVDD 引脚连接到适当的电源电压 ( $AVDD = 5V$ ) 或提供小于  $30k\Omega$  的低阻抗时，内部过压保护电路可在模拟输入引脚上承受高达  $\pm 20V$  的电压。

表 7-1.  $AVDD = 5V$  时的输入过压保护限制或提供  $< 30k\Omega$  的低阻抗 (1)

输入条件 ( $ V_{OVP}  = \pm 20V$ )	测试条件	ADC 输出	注释
$ V_{IN}  <  V_{RANGE} $ 在工作范围内	所有输入范围	有效	器件按照数据表规格运行。
$ V_{RANGE}  <  V_{IN}  <  V_{OVP} $ 超出工作范围但处于过压范围内	所有输入范围	饱和	ADC 输出已饱和，但器件在内部受到保护 (不建议长时间运行)
$ V_{IN}  >  V_{OVP} $ 超出过压范围	所有输入范围	饱和	这种使用状况可能会对器件造成不可逆转的损坏

(1)  $GND = 0$ 、 $AIN\_nM = 0V$ 、 $|V_{RANGE}|$  为任何选定输入范围的最大输入电压， $|V_{OVP}|$  为内部 OVP 电路的击穿电压。假设  $R_S$  接近 0。

表 7-1 中显示的结果假定模拟输入引脚由一个极低阻抗源驱动 ( $R_S$  大约为 0)。但是，如果驱动输入的源阻抗更高，流经保护二极管的电流会进一步降低，从而增大 OVP 电压范围。请注意，较高的源阻抗会导致出现增益误差并影响整体系统噪声性能。

图 7-3 显示了器件上电时内部过压保护电路的电压与电流响应间的关系。根据这个电流至电压 (I-V) 响应，流入器件输入引脚的电流受  $1.2M\Omega$  输入阻抗的限制。但是，当电压超过  $\pm 20V$  时，内部节点电压会超过内部晶体管的击穿电压，从而设置在输入引脚上进行过压保护的限制。

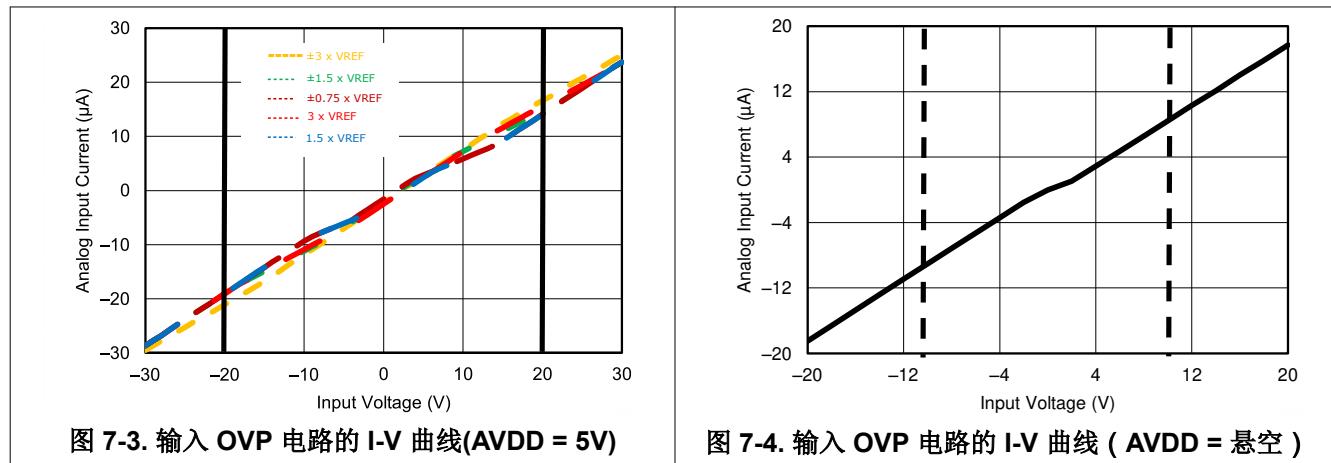
当器件未上电、AVDD 保持悬空其阻抗  $> 30k\Omega$  时，该过压保护电路还能为器件提供保护。当在 ADC 完全上电之前施加输入信号时，会出现这种情况。此情况下的过压保护限制如表 7-2 中所示。

表 7-2. AVDD 悬空且阻抗  $> 30k\Omega$  时的输入过压保护限制 (1)

输入条件 ( $ V_{OVP}  = \pm 11V$ )	测试条件	ADC 输出	注释
$ V_{IN}  <  V_{OVP} $ 在过压范围内	所有输入范围	无效	器件无法正常工作，但在内部受到 OVP 电路的保护。
$ V_{IN}  >  V_{OVP} $ 超出过压范围	所有输入范围	无效	这种使用状况可能会对器件造成不可逆转的损坏。

(1)  $AVDD = \text{悬空}, GND = 0, AIN\_nM = 0V, |V_{RANGE}|$  为任何选定输入范围的最大输入电压， $|V_{OVP}|$  为内部 OVP 电路的击穿电压。假设  $R_S$  接近 0。

图 7-4 显示了器件未上电时内部过压保护电路的电压与电流响应间的关系。根据这个 I-V 响应，流入器件输入引脚的电流受  $1.2M\Omega$  输入阻抗的限制。但是，当电压超过  $\pm 11V$  时，内部节点电压会超过内部晶体管的击穿电压，从而设置在输入引脚上进行过压保护的限制。



### 7.3.4 可编程增益放大器 (PGA)

这些器件在每个单独的模拟输入通道上都提供一个可编程增益放大器 (PGA)，可将原始单端输入信号转换为全差分信号，以驱动内部 16 位 ADC。PGA 在将输入信号馈送到 ADC 之前，还会调节输入信号的共模电平，以确保最大限度地利用 ADC 输入动态范围。根据输入信号范围的不同，可通过设置程序寄存器中的 Range\_CHn[3:0] 位来调整 PGA 增益。Range\_CHn[3:0] 位的默认状态或上电状态为 0000，对应于输入信号范围  $\pm 3 \times V_{REF}$ 。表 7-3 列出了 Range\_CHn[3:0] 位针对不同模拟输入电压范围的各种配置。

PGA 使用高度匹配的电阻网络来实现多种增益配置。这些电阻器与所有通道上的放大器之间的匹配经过精确修整，可在所有通道和输入范围内保持较低的总体增益误差。

表 7-3. 输入范围选择位配置

模拟输入范围	Range_CHn[3:0]			
	位 3	位 2	位 1	位 0
$\pm 3 \times V_{REF}$	0	0	0	0
$\pm 1.5 \times V_{REF}$	0	0	0	1
$\pm 0.75 \times V_{REF}$	0	0	1	0
$\pm 0.3125 \times V_{REF}$	0	0	1	1
$\pm 0.15625 \times V_{REF}$	1	0	1	1
0 至 $3 \times V_{REF}$	0	1	0	1
0 至 $1.5 \times V_{REF}$	0	1	1	0
0 至 $0.625 \times V_{REF}$	0	1	1	1
0 至 $0.3125 \times V_{REF}$	1	1	1	1

### 7.3.5 二阶低通滤波器 (LPF)

为了降低 PGA 前端放大器和增益电阻器的噪声，ADS8688W 的每个模拟输入通道在 PGA 输出端都具有二阶可编程 LPF。模拟抗混叠滤波器的幅度和相位响应分别如 图 7-6 和 图 7-5 所示。为获得出色性能，抗混叠滤波器的 -3dB 截止频率通常设为 15kHz。滤波器性能在 ADC 支持的整个输入范围内保持恒定。

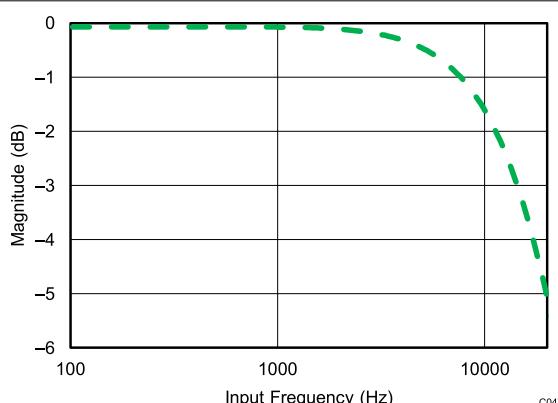


图 7-5. 二阶 LPF 幅值响应

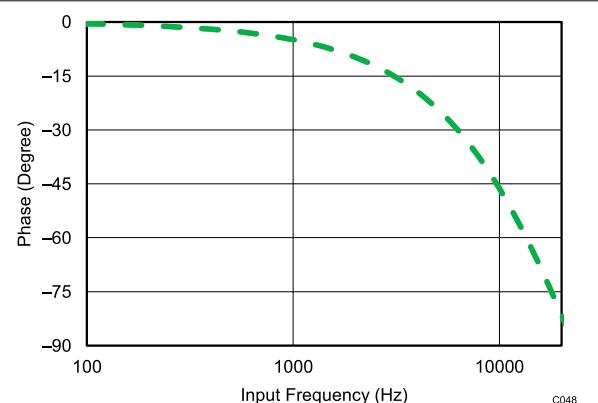


图 7-6. 二阶 LPF 相位响应

### 7.3.6 ADC 驱动器

为满足 16 位 SAR ADC 在最大采样频率 (500kSPS) 下的性能要求，ADC 输入端的采样保持电容器必须在采集时间窗口内成功充电和放电。ADC 输入端的这一驱动要求使得必须使用高带宽低噪声的稳定放大器缓冲器。这种输入驱动器集成在器件模拟输入通道的前端信号路径中。在从多路复用器的一个通道转换到另一个通道期间，快速集成驱动器可验证多路复用器输出是否在 ADC 的采集时间内稳定到 16 位精度，而不管相应通道上的输入电平如何。

### 7.3.7 多路复用器 (MUX)

ADS8688W 具有一个集成式模拟多路复用器。对于每个模拟输入通道，正模拟输入  $AIN_{nP}$  和负接地输入  $AIN_{nM}$  之间的电压差在馈送到多路复用器之前由模拟前端电路进行调节。多路复用器的输出由 ADC 直接采样。器件中的多路复用器可以在手动或自动扫描模式下扫描这些模拟输入，如 [通道时序模式](#) 部分所述。在手动模式 (MAN\_Ch\_n) 下，通过寄存器写入为每个样本选择通道；在自动扫描模式 (AUTO\_RST) 下，对当前通道进行采样后，通道编号会在每个  $\overline{CS}$  下降沿自动递增。可以使用寄存器设置为自动扫描选择模拟输入（请参阅 [自动扫描时序控制寄存器](#) 部分）。这些器件仅按升序自动扫描选定模拟输入。

ADS8688W 的最大总吞吐量是在所有通道中速率为 500kSPS 时指定的。每通道吞吐量取决于在多路复用器扫描序列中选择的通道数。例如，如果仅选择两个通道，则每通道吞吐量等于 250kSPS，但如果选择四个通道，则每通道吞吐量等于 125kSPS，依此类推。

请参阅 [表 8-1](#)，了解各个模拟通道在自动扫描模式和手动模式之间切换的命令寄存器设置。

### 7.3.8 参考

ADS8688W 可以通过内部电压基准或使用内部缓冲器的外部电压基准运行。内部或外部基准选择由外部  $\overline{REFSEL}$  引脚确定。该器件通过内置缓冲放大器来驱动内部 ADC 内核的实际基准输入，从而大幅提高性能。

### 7.3.8.1 内部基准

器件的内部基准电压为 4.096V ( 标称值 )。要选择内部基准，REFSEL 引脚必须连接高电平或连接至 AGND。使用内部基准时，REFIO ( 引脚 5 ) 成为使用内部基准值的输出引脚。建议在 REFIO 引脚和 REFGND ( 引脚 6 ) 之间放置一个  $10\mu\text{F}$  ( 最小值 ) 去耦电容器，如 图 7-7 中所示。该电容器必须尽量靠近 REFIO 引脚放置。内部带隙电路的输出阻抗与该电容器形成一个低通滤波器，对基准的噪声进行频带限制。使用较小的电容器值会增加系统中的基准噪声，从而可能降低 SNR 和 SINAD 性能。由于 REFIO 的电流输出能力有限，因此，请勿使用该引脚驱动外部交流或直流负载。REFIO 引脚后面若连接合适的运算放大器缓冲器，则该引脚可用作基准源 ( 例如 OPA320 )。

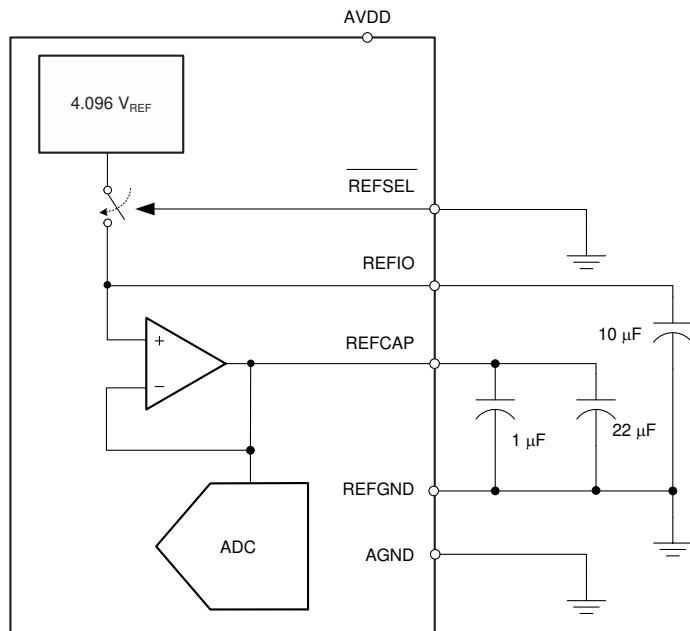


图 7-7. 使用内部 4.096V 基准的器件连接

器件内部基准经过修整，可以提供  $\pm 1\text{mV}$  的最大初始精度。图 7-8 中的直方图显示了从超过 3300 个生产器件获取的内部电压基准输出的分布。

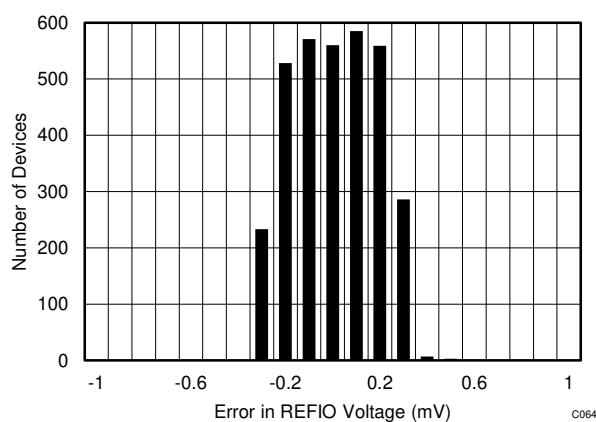


图 7-8. 室温下的内部基准精度直方图

如果芯片受到任何机械应力或热应力，则内部基准的初始精度规格会下降。在焊接到印刷电路板 (PCB) 上时对器件加热以及任何后续焊接回流是  $V_{REF}$  值出现偏移的主要原因。热磁滞的主要原因是芯片应力发生变化，并且取决于封装、芯片焊接材料、封装胶料和器件布局。

为了说明这种影响，使用无铅焊锡膏和制造商建议的回流焊曲线焊接了 80 个器件，如 [AN-2029 操作和处理建议](#) 应用手册中所述。如 [图 7-9](#) 所示，在回流焊过程前后测量内部基准电压输出，并且通常会出现数值的漂移。尽管所有测试单元的输出电压都表现出正漂移，但也可能出现负漂移。请注意，[图 7-9](#) 中的直方图显示了暴露于单个回流焊曲线中的典型漂移。在两侧都有表面贴装元件的 PCB 通常会暴露于多个回流焊，这会导致输出电压出现额外漂移。如果 PCB 要暴露于多个回流焊，则在第二道工序焊接 ADS8688W，以便更大限度地减少器件暴露于热应力的情况。

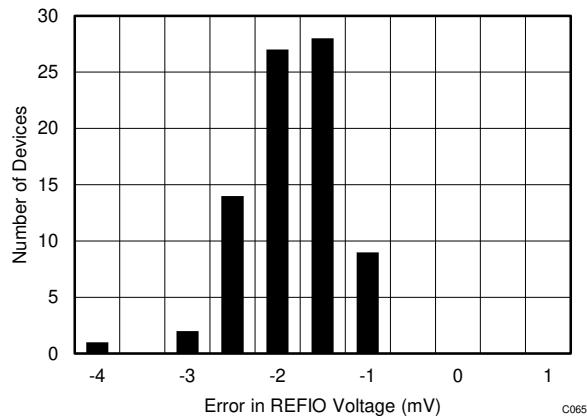
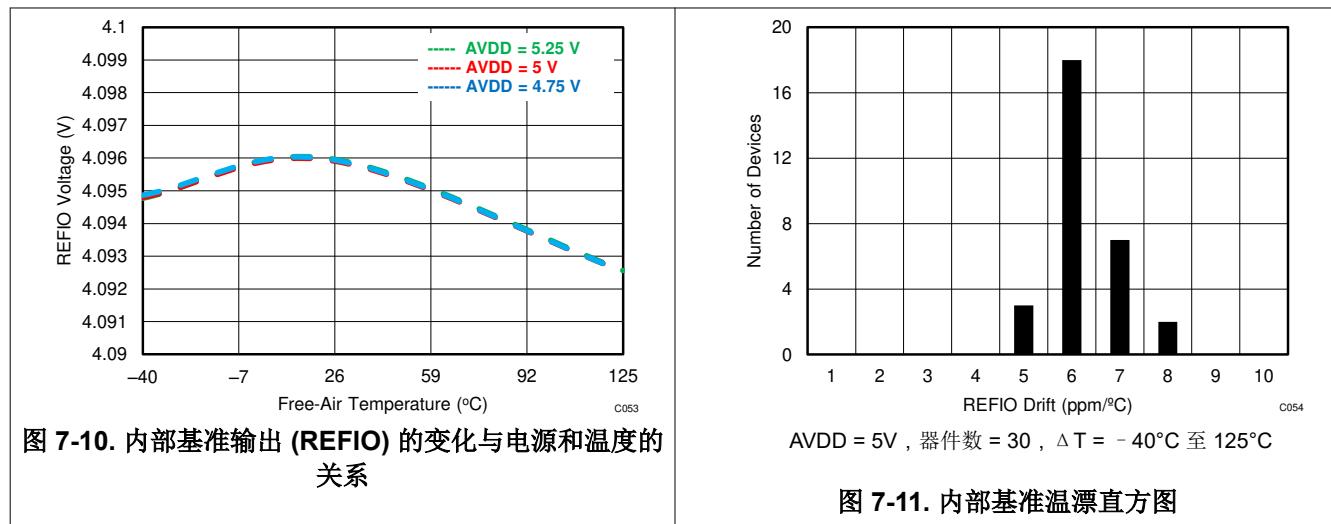


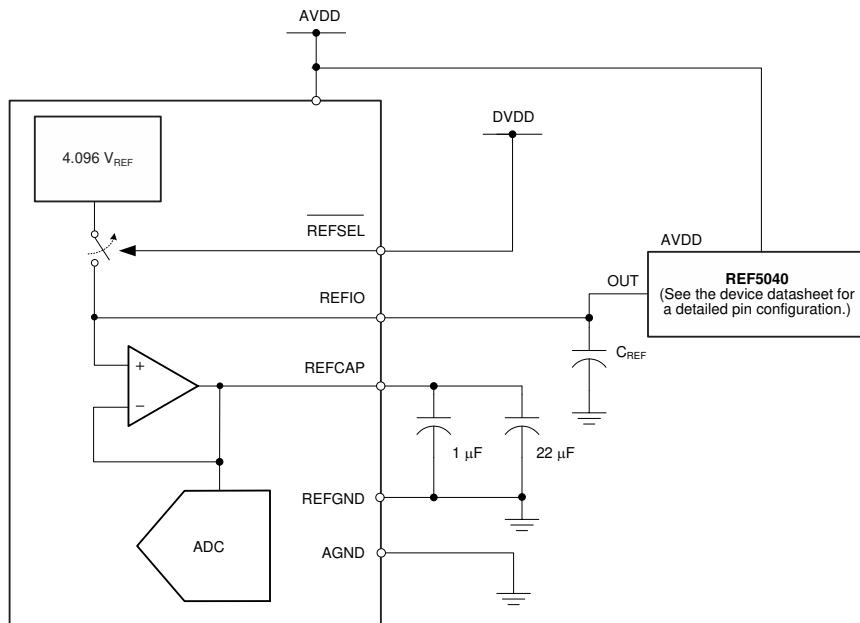
图 7-9. 焊接热移位分配直方图

内部基准还具有温度补偿功能，可在  $-40^{\circ}\text{C}$  至  $125^{\circ}\text{C}$  的扩展工业级工作温度范围内提供出色的温度漂移。[图 7-10](#) 显示了内部基准电压在不同 AVDD 电源电压值下随温度的变化情况。基准电压温漂的典型额定值为  $8\text{ppm}/^{\circ}\text{C}$  ([图 7-11](#))，最大额定温漂等于  $20\text{ppm}/^{\circ}\text{C}$ 。



### 7.3.8.2 外部基准

对于需要更好的参考电压或多个器件的通用参考电压的应用，ADS8688W 可提供相应配置，通过使用外部基准和内部缓冲器来驱动 ADC 参考引脚。要选择外部基准模式，请将 **REFSEL** 引脚拉至高电平或将其连接到 **DVDD** 电源。在此模式下，必须在 **REFIO** ( 引脚 5 ) 上施加一个外部 4.096V 基准电压，使其成为输入引脚。在此模式下可使用任何低功耗、低漂移的小尺寸外部基准，因为内部缓冲器经过优化设计，可处理从内部连接到 ADC 基准输入的 **REFCAP** 引脚上的动态负载。必须对外部基准输出进行适当滤波，以尽量减少基准噪声对系统性能的影响。此模式的典型连接图如 [图 7-12](#) 中所示。



**图 7-12. 使用外部 4.096V 基准的器件连接**

在 **REFCAP** 引脚上获取内部基准缓冲器的输出。必须在 **REFCAP** ( 引脚 7 ) 和 **REFGND** ( 引脚 6 ) 之间放置一个  $10\mu\text{F}$  的最小电容。在尽可能靠近 **REFCAP** 引脚的位置放置另一个  $1\mu\text{F}$  电容器，用于对高频信号去耦合。请勿使用内部缓冲器来驱动外部交流或直流负载，因为此缓冲器的电流输出能力有限。

在  $-40^{\circ}\text{C}$  至  $125^{\circ}\text{C}$  的整个工作温度范围内，内部缓冲器输出的性能非常稳定。图 7-13 显示了在不同 AVDD 电源电压值下，REFCAP 输出在不同温度下的变化。基准缓冲器温漂的典型指定值为  $1\text{ppm}/^{\circ}\text{C}$  (图 7-14)，指定的最大温漂等于  $1.5\text{ppm}/^{\circ}\text{C}$ 。

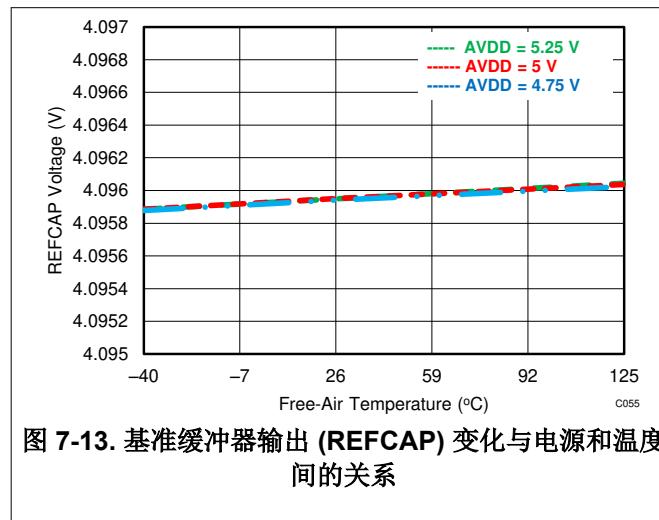
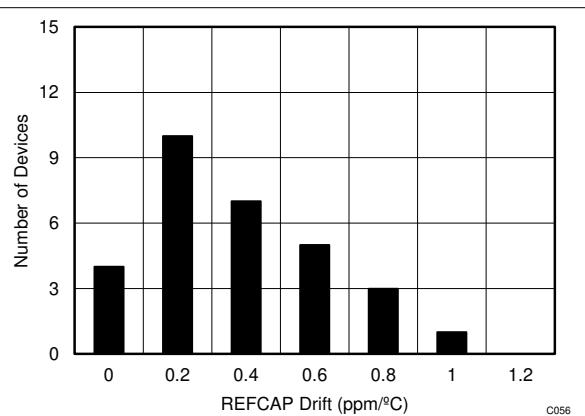


图 7-13. 基准缓冲器输出 (REFCAP) 变化与电源和温度间的关系



AVDD = 5V，器件数 = 30， $\Delta T = -40^{\circ}\text{C}$  至  $125^{\circ}\text{C}$

图 7-14. 基准缓冲器温漂直方图

### 7.3.9 辅助通道

这些器件包括一个单端辅助输入通道 (AUX\_IN 和 AUX\_GND)。AUX 通道通过多路复用器提供与内部高精度 16 位 ADC 的直接连接，因为该通道不包括其他模拟输入通道所具有的前端模拟信号调节功能。由于没有前端 PGA，AUX 通道支持  $0\text{V}$  至  $V_{\text{REF}}$  的单极输入范围。AUX\_IN 引脚上的输入信号可以在  $0\text{V}$  至  $V_{\text{REF}}$  之间变化，而 AUX\_GND 引脚必须连接至 GND。

当转换过程启动时，这些引脚之间的电压将直接在内部采样电容器（典型值为  $75\text{pF}$ ）上采样。对采样电容器进行充电所需的输入电流由多个因素决定，包括采样速率、输入频率和源阻抗。对于使用低阻抗源的慢速应用，可以直接驱动 AUX 通道的输入。当吞吐量、输入频率或源阻抗增加时，必须在输入端使用驱动放大器，确保在 AUX 通道上实现良好的交流性能。AUX 通道的输入驱动器部分讨论了驱动放大器的一些关键要求。

ADS8688W 中的 AUX 通道可提供真正的 16 位性能，不会丢失代码。图 7-15 至图 7-18 显示了 AUX 通道的一些典型性能特征。

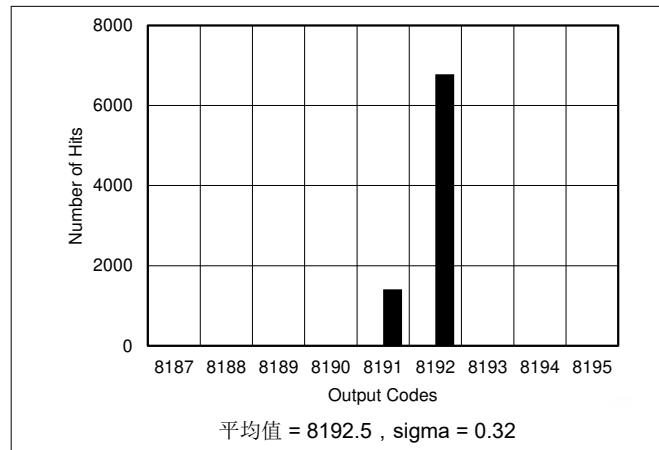


图 7-15. 中标度输入的直流柱状图 (AUX 通道)

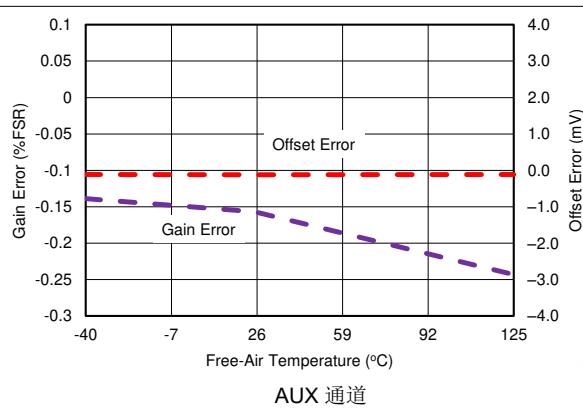


图 7-16. 偏移和增益与温度间的关系 (AUX 通道)

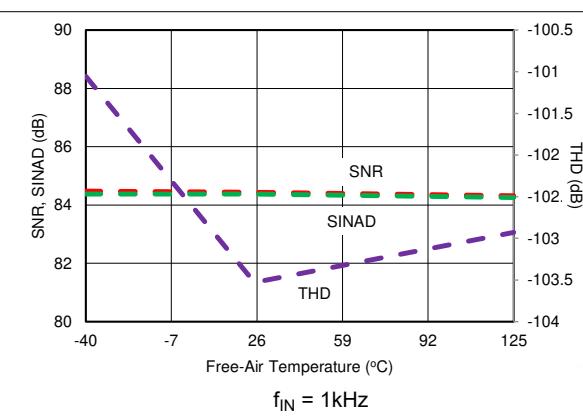
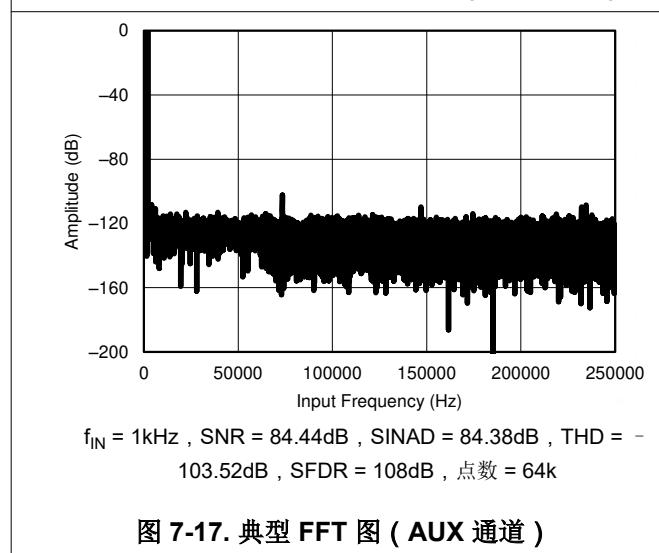


图 7-18. SNR、SINAD 和 THD 与温度间的关系 (AUX 通道)

### 7.3.9.1 AUX 通道的输入驱动器

对于以高吞吐量和高输入频率使用 AUX 输入通道的应用，需要使用具有低输出阻抗的驱动放大器来满足内部 14 位 ADC 的交流性能要求。下面讨论了输入驱动放大器的一些关键规格：

- 小信号带宽。输入驱动放大器的小信号带宽必须远高于 AUX 输入的带宽，以确保放大器的带宽限制不会导致输入信号发生衰减。在典型的数据采集系统中，高分辨率 ADC 的输入端使用低截止频率抗混叠滤波器。驱动抗混叠滤波器的放大器必须具有低闭环输出阻抗才能实现稳定性，这意味着放大器具有更高的增益带宽。较高的小信号带宽还可以显著降低较高输入频率下的谐波失真。通常，可以根据 [方程式 1](#) 计算放大器带宽要求。

$$GBW \geq 4 \times f_{-3dB} \quad (1)$$

其中：

-  $f_{-3dB}$  是 RC 滤波器的 3dB 带宽。

- 失真。要获得 AUX 通道的失真性能，输入驱动器的失真必须至少比内部 ADC 的指定失真低 10dB，如 [方程式 2](#) 所示。

$$THD_{AMP} \leq THD_{ADC} - 10 \text{ (dB)} \quad (2)$$

- 噪声。必须仔细考虑选择低噪声前端放大器，以防止系统的 SNR 性能下降。通常情况下，为了确保数据采集系统的噪声性能不受前端电路的限制，来自前端电路的总噪声影响必须保持在 ADC 输入基准噪声的 20% 以下。输入驱动电路的噪声受到输入抗混叠滤波器的低截止频率的带限，如 [方程式 3](#) 中所述。

$$N_G \times \sqrt{\left( \frac{V_{1/f\_AMP\_PP}}{6.6} \right)^2 + e_{n\_RMS}^2 \times \frac{\pi}{2} \times f_{-3dB}} \leq \frac{1}{5} \times \frac{V_{FSR}}{2\sqrt{2}} \times 10^{-\frac{SNR(\text{dB})}{20}} \quad (3)$$

其中：

-  $V_{1/f\_AMP\_PP}$  是峰值间闪烁噪声，

-  $e_{n\_RMS}$  是放大器宽带噪声密度，单位为  $\text{nV} / \sqrt{\text{Hz}}$ ，

-  $N_G$  是前端电路在缓冲器配置中等于 1 的噪声增益

### 7.3.10 ADC 传递函数

ADS8688W 的输出在双极和单极输入范围内都采用标准二进制格式。所有模拟通道的输出代码格式均相同。

所有输入范围内每个 ADC 通道的理想传输特性如 图 7-19 中所示。每个输入信号的满标量程 (FSR) 等于正满标 (PFS) 输入电压与负满标 (NFS) 输入电压之差。LSB 大小等于  $FSR / 2^{16} = FSR / 65536$ ，因为 ADC 的分辨率为 16 位。参考电压  $V_{REF} = 4.096V$  时，不同输入范围对应的 LSB 值列于 表 7-4 中。

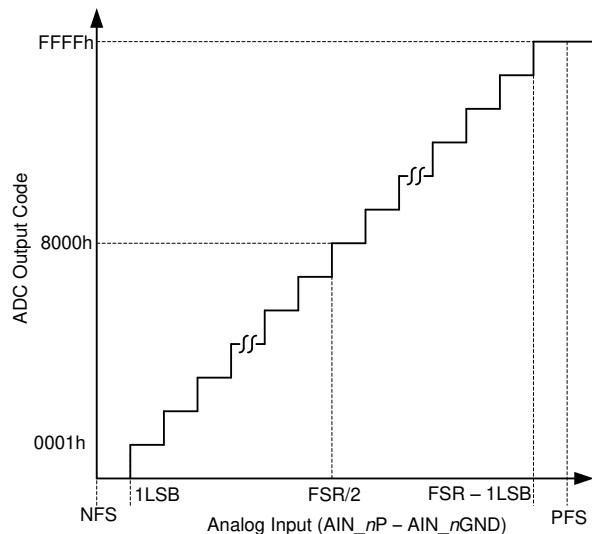


图 7-19. 16 位 ADC 传递函数 ( 标准二进制格式 )

表 7-4. 不同输入范围对应的 ADC LSB 值 ( $V_{REF} = 4.096V$ )

输入范围	正满标量程	负满标量程	满标量程	LSB ( $\mu V$ )
$\pm 3 \times V_{REF}$	12.288V	-12.288V	24.576V	312.50
$\pm 1.5 \times V_{REF}$	6.144V	-6.144V	12.288V	156.25
$\pm 0.75 \times V_{REF}$	3.072V	-3.072V	6.144V	78.125
$\pm 0.3125 \times V_{REF}$	1.28V	-1.28V	2.56V	156.25
$\pm 0.15625 \times V_{REF}$	0.64V	-0.64V	1.28V	78.125
0 至 $3 \times V_{REF}$	12.288V	0V	12.288V	156.25
0 至 $1.5 \times V_{REF}$	6.144V	0V	6.144V	78.125
0 至 $0.625 \times V_{REF}$	2.56V	0V	2.56V	156.25
0 至 $0.3125 \times V_{REF}$	1.28V	0V	1.28V	78.125

### 7.3.11 警报功能

这些器件在引脚 35 上具有活动高警报阈值输出。警报信号同步，并在 SCLK 信号的第 16 个下降沿改变状态。高警报阈值表示在器件的一个或多个通道上触发了警报标志。可以连接此引脚以中断主机输入。当接收到警报中断时，会读取警报标志寄存器以确定哪些通道有警报。这些器件为每个通道提供独立可编程的警报。每个通道有两个警报（低警报阈值和高警报阈值），每个警报阈值都具有单独的磁滞设置。

当特定通道的数字输出超过高警报阈值上限（高警报阈值  $(T) + \text{磁滞} (H)$ ）时，ADS8688W 会设置高警报阈值。当通道的数字输出小于或等于高警报阈值下限（高警报阈值  $(T) - H - 2$ ）时，警报会复位。该函数如图 7-20 中所示。

同样，当特定通道的数字输出降至低于低警报阈值下限（低警报阈值  $T - H - 1$ ）时，会触发低警报阈值。当通道的数字输出大于或等于低警报阈值上限（低警报阈值  $T + H + 1$ ）时，警报会复位。该函数如图 7-21 中所示。

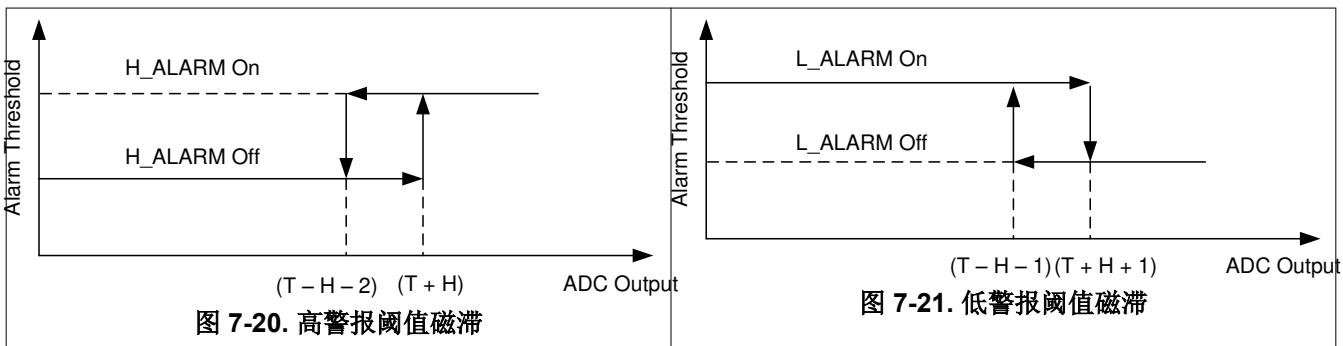


图 7-22 显示了单个通道警报的功能方框图。每个高低警报阈值都有两个标志：活动警报标志和已触发警报标志；有关更多详细信息，请参阅 [警报标志寄存器（只读）](#) 部分。当特定通道满足警报条件时，将触发活动警报标志；当警报关闭时，活动警报标志将复位。已触发警报标志将以与活动警报标志相同的方式设置警报条件。但是，已触发警报标志保持锁存状态，并且仅在读取相应的警报标志寄存器时才会复位。

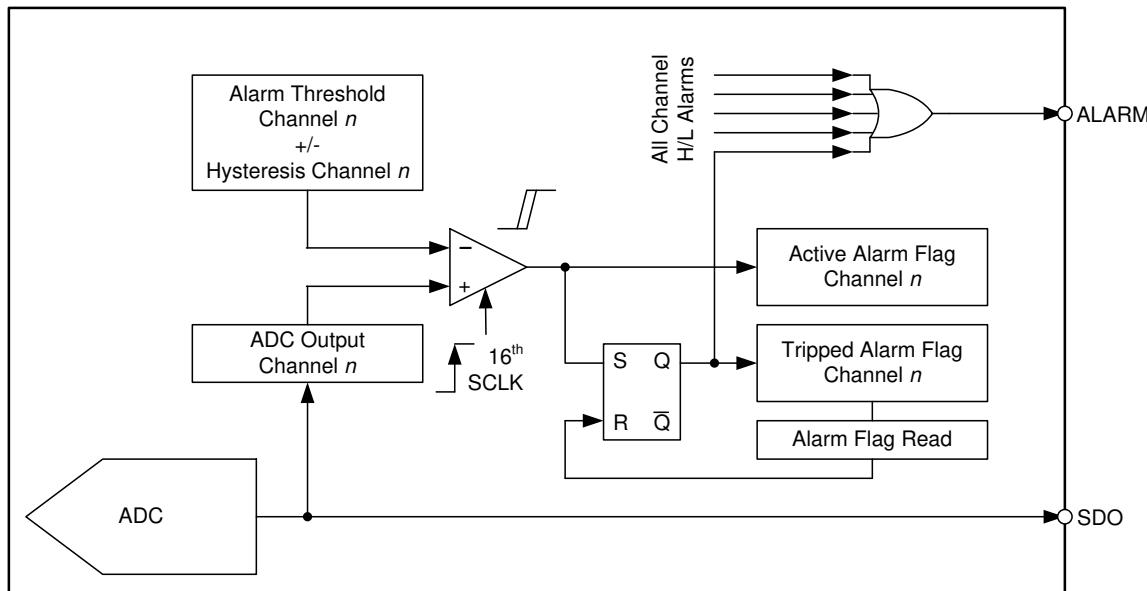


图 7-22. 警报功能原理图

## 7.4 器件功能模式

### 7.4.1 器件接口

#### 7.4.1.1 数字引脚说明

ADS8688W 的数字数据接口如 图 7-23 中所示。

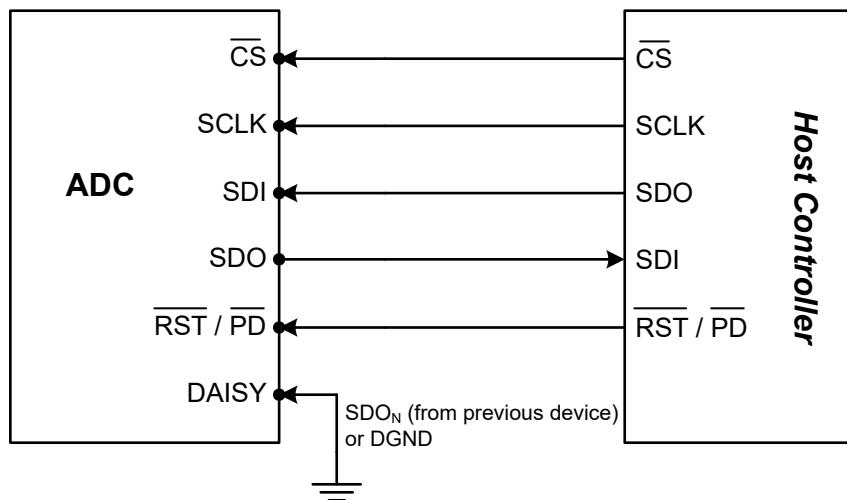


图 7-23. 数字接口的引脚配置

图 7-23 中所示信号的摘要如下。

#### 7.4.1.1.1 $\overline{\text{CS}}$ (输入)

$\overline{\text{CS}}$  表示低电平有效的芯片选择信号。 $\overline{\text{CS}}$  也用作控制信号，可在下降沿触发转换。每个数据帧均从  $\overline{\text{CS}}$  信号的下降沿开始。在前一帧中选择特定帧期间要转换的模拟输入通道。在  $\overline{\text{CS}}$  下降沿，器件从所选通道对输入信号进行采样，并使用内部时钟启动转换。在此转换过程中，可以输入下一个数据帧的器件设置。当  $\overline{\text{CS}}$  信号为高电平时，ADC 被视为处于空闲状态。

#### 7.4.1.1.2 SCLK (输入)

该引脚指示数据接口的外部时钟输入。对器件的所有同步访问都是相对于 SCLK 信号的上升沿定时的。

#### 7.4.1.1.3 SDI (输入)

SDI 是串行数据输入线路。主机处理器使用 SDI 对内部器件寄存器进行编程以进行器件配置。在每个数据帧开始时， $\overline{\text{CS}}$  信号变为低电平，器件在接下来的 16 个 SCLK 周期内在 SCLK 信号的每个下降沿读取 SDI 线路上的数据。在特定数据帧中对器件配置所做的任何更改都会在  $\overline{\text{CS}}$  信号的后续下降沿应用于器件。

#### 7.4.1.1.4 SDO (输出)

SDO 是串行数据输出线路。器件使用 SDO 来输出转换数据。数据输出帧的大小因 SDO 格式的寄存器设置而异；请参阅 表 8-18。 $\overline{\text{CS}}$  上的低电平会将 SDO 引脚从 Hi-Z 状态释放。SDO 在前 15 个 SCLK 下降沿保持低电平。输出数据流的 MSB 在第 16 个 SCLK 下降沿在 SDO 上按时钟输出，随后各位数据依次在每个后续下降沿逐位输出。SDO 线路在整个数据帧输出后变为低电平，并在  $\overline{\text{CS}}$  变为高电平时进入 Hi-Z 状态。

#### 7.4.1.1.5 DAISY (输入)

DAISY 是串行输入引脚。如 图 7-26 中所示，当多个器件以菊花链模式连接时，链中第一个器件的 DAISY 引脚会连接到 GND。每个后续器件的 DAISY 引脚连接到前一个器件的 SDO 输出引脚，链中最后一个器件的 SDO 输出连接到主机处理器的 SDI。如果应用使用独立器件，则 DAISY 引脚连接到 GND。

#### 7.4.1.1.6 $\overline{\text{RST}}/\overline{\text{PD}}$ (输入)

$\overline{\text{RST}}/\overline{\text{PD}}$  是双功能引脚。图 7-24 显示了此引脚的时序，表 7-5 说明了该引脚的使用情况。



图 7-24.  $\overline{\text{RST}}/\overline{\text{PD}}$  引脚时序

表 7-5.  $\overline{\text{RST}}/\overline{\text{PD}}$  引脚功能

条件	器件模式
$40\text{ns} < t_{PL\_RST\_PD} \leq 100\text{ns}$	器件处于 RST 模式，不进入 PWR_DN 模式。
$100\text{ns} < t_{PL\_RST\_PD} < 400\text{ns}$	器件处于 RST 模式，可能会也可能不会进入 PWR_DN 模式。 注意：不建议采用这种设置。
$t_{PL\_RST\_PD} \geq 400\text{ns}$	器件进入 PWR_DN 模式，程序寄存器复位为默认值。

通过将  $\overline{\text{RST}}/\overline{\text{PD}}$  引脚拉至逻辑低电平状态至少 400ns，可以将器件置于断电 (PWR\_DN) 模式。 $\overline{\text{RST}}/\overline{\text{PD}}$  引脚与时钟异步；因此，无论其他引脚（包括模拟输入通道）的状态如何， $\overline{\text{RST}}/\overline{\text{PD}}$  都可以随时触发。当器件处于断电模式时，数字输入引脚（除  $\overline{\text{RST}}/\overline{\text{PD}}$  引脚之外）上的任何活动都将被忽略。

通过将  $\overline{\text{RST}}/\overline{\text{PD}}$  引脚拉至逻辑低电平状态的时间不超过 100ns，可以将器件中的程序寄存器复位为默认值 (RST)。此输入与时钟异步。当  $\overline{\text{RST}}/\overline{\text{PD}}$  被拉回逻辑高电平状态时，器件将置于正常模式。必须对程序寄存器执行有效的写入操作来配置器件，然后执行相应的命令 (AUTO\_RST 或 MAN) 以启动转换。

当  $\overline{\text{RST}}/\overline{\text{PD}}$  引脚拉回逻辑高电平时，器件将以默认状态唤醒，在该状态下，程序寄存器将复位为默认值。

#### 7.4.1.2 数据采集示例

本节举例说明主机处理器如何使用器件接口配置器件内部寄存器，以及如何转换和获取数据以对特定输入通道进行采样。图 7-25 中所示的时序图提供了更多详细信息。

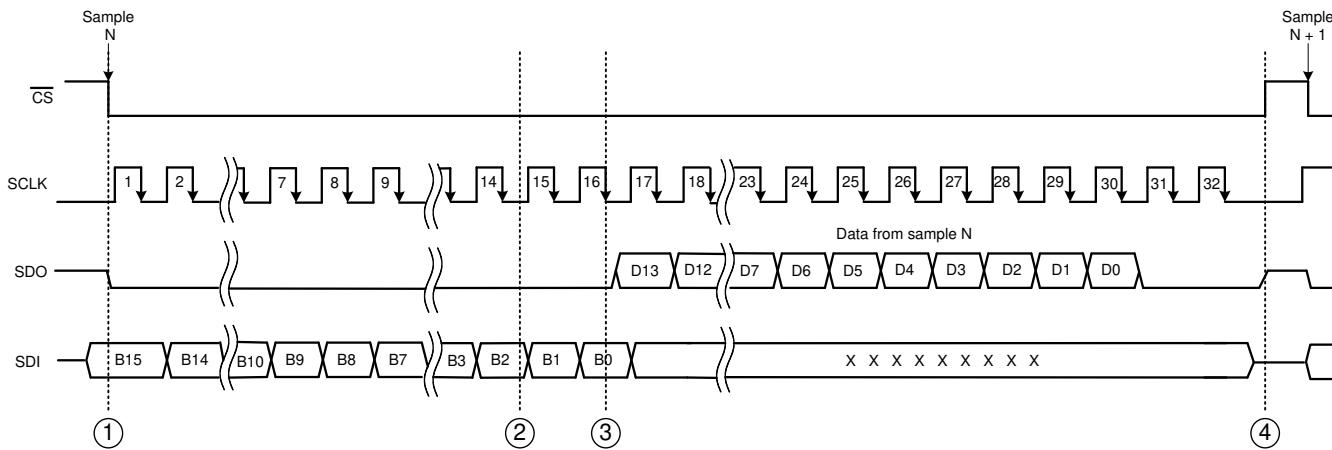


图 7-25. 使用串行接口运行器件时序图

图 7-25 中显示了四个事件。这些事件的说明如下：

- **事件 1：** 主机通过  $\overline{CS}$  信号的下降沿启动数据转换帧。ADC 在  $\overline{CS}$  下降沿瞬间对模拟输入信号进行采样，并使用内部振荡器时钟执行转换。在前一个数据帧中选择了该帧期间转换的模拟输入通道。可以在此数据帧期间使用 SDI 和 SCLK 输入，输入用于下一次转换的器件内部寄存器设置。在此时刻启动 SCLK，并在接下来的 16 个 SCLK 周期内，在每个 SCLK 下降沿将 SDI 线路上的数据锁存到器件中。此时，SDO 变为低电平，因为器件在前 16 个 SCLK 周期内不会在 SDO 线路上输出内部转换数据。
- **事件 2：** 在前 16 个 SCLK 周期内，器件完成内部转换过程，现在转换器内的数据已准备就绪。但是，在 SCLK 输入端出现第 16 个下降沿之前，器件不会在 SDO 上输出数据位。由于 ADC 转换时间是固定的（[电气特性](#)表中给出了最大值），因此内部转换结束后必须出现第 16 个 SCLK 下降沿，否则器件的数据输出将不正确。因此，SCLK 频率不能超过最大值，如[时序要求：串行接口](#)表中所述。
- **事件 3：** 在 SCLK 信号的第 16 个下降沿，器件读取 SDI 线路上输入字的 LSB。对于剩余的数据帧，器件不会从 SDI 线路读取任何内容。在同一边沿，转换数据的 MSB 在 SDO 线路上输出，并可由主机处理器在 SCLK 信号的随后下降沿读取。对于 14 位输出数据，可在第 30 个 SCLK 下降沿读取 LSB。SDO 在后续 SCLK 下降沿输出 0，直到下一次转换启动。
- **事件 4：** 当接收到来自器件的内部数据时，主机通过将  $\overline{CS}$  信号停用为高电平来终止数据帧。SDO 输出会进入 Hi-Z 状态，直到下一个数据帧启动，如事件 1 中所述。

#### 7.4.1.3 主机到器件连接拓扑

ADS8688W 的数字接口在主机控制器与器件交换数据或命令的方式上提供了极大的灵活性。主机控制器与独立器件之间的典型连接如图 7-23 中所示。不过，有些应用需要多个 ADC，但主机控制器的连接能力有限。本部分介绍了两种连接拓扑，可用于满足此类应用的要求。

#### 7.4.1.3.1 菊花链拓扑

图 7-26 显示了菊花链模式下多个器件的典型连接图。所有器件的  $\overline{CS}$ 、SCLK 和 SDI 输入连接在一起，并分别由主机控制器的单个  $\overline{CS}$ 、SCLK 和 SDI 引脚进行控制。链中第一个 ADC 的 DAISY<sub>1</sub> 输入引脚连接到 DGND，SDO<sub>1</sub> 输出引脚连接到 ADC<sub>2</sub> 的 DAISY<sub>2</sub> 输入，依此类推。链中第  $n$  个 ADC 的 SDO<sub>N</sub> 引脚连接到主机控制器的 SDI 引脚。这些器件无需任何特殊的硬件或软件配置即可进入菊花链模式。

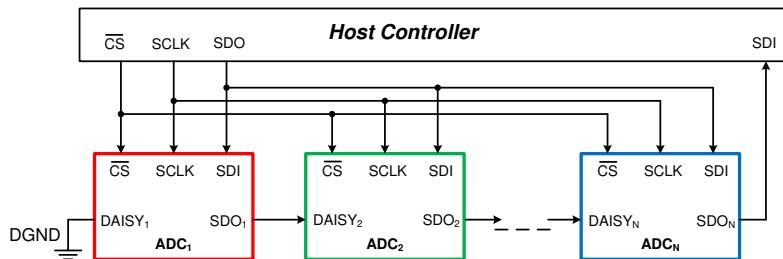


图 7-26. 菊花链连接原理图

以菊花链模式连接的三个器件的典型时序图如 图 7-27 中所示。

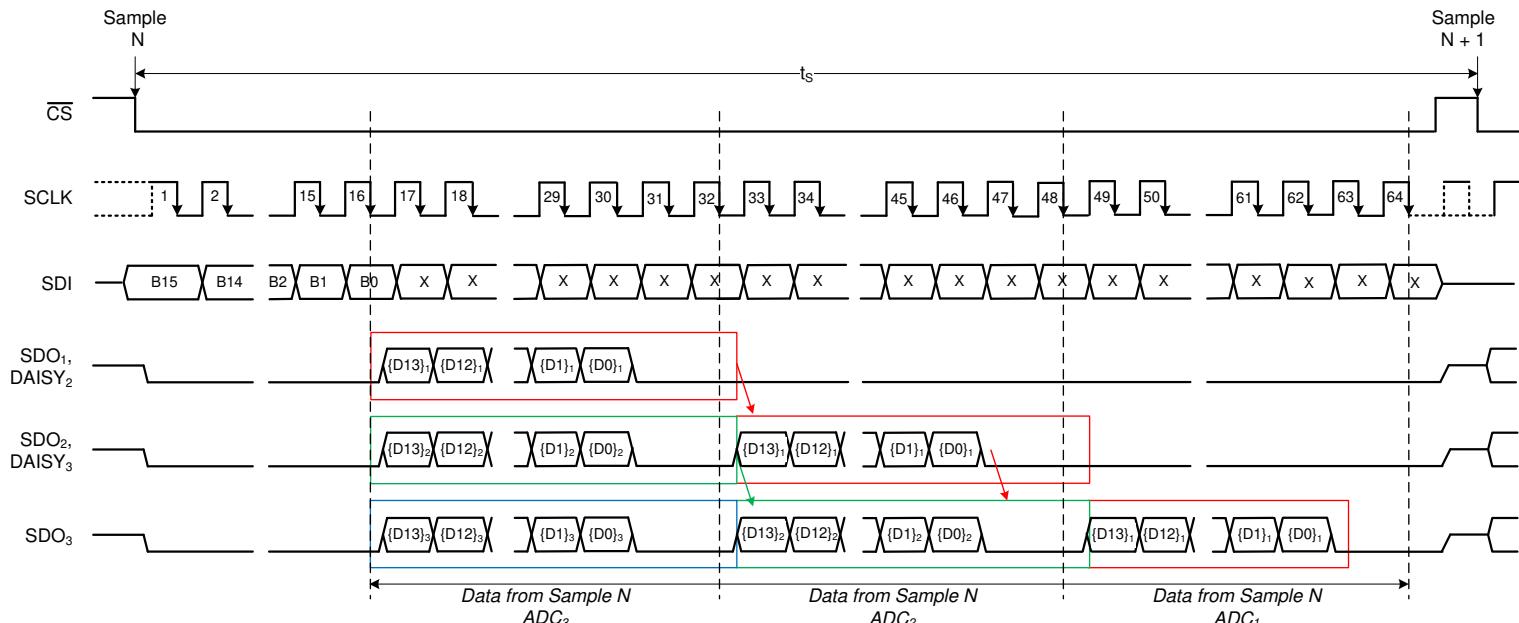


图 7-27. 以菊花链模式连接的三个器件的时序图

在  $\overline{CS}$  信号的下降沿，所有器件都在各自选择的通道对输入信号进行采样，并进入转换阶段。在前 16 个 SCLK 周期中，可以使用链中所有器件通用的 SDI 线路输入下一次转换的内部寄存器设置。在此期间，所有器件的 SDO 输出都保持低电平。转换结束时，链中的每个 ADC 都会将自己的转换结果加载到内部 16 位移位寄存器中。对于 14 位器件，内部移位寄存器加载了 14 位输出数据，后跟 LSB 中的 00。在第 16 个 SCLK 下降沿，链中的每个 ADC 都在自己的 SDO 引脚上输出 MSB 位。在每个后续 SCLK 下降沿，每个 ADC 的内部移位寄存器都会锁存 DAISY 引脚上可用的数据，并移出 SDO 引脚上的下一位数据。因此，数字主机会接收 ADC<sub>N</sub> 的数据，然后是 ADC<sub>N-1</sub> 的数据，依此类推（采用 MSB 优先方式）。总共需要至少  $16 \times N$  个 SCLK 下降沿来捕获链中所有  $N$  个器件的输出。此示例在菊花链连接中使用三个器件，因此需要  $3 \times 16 = 48$  个 SCLK 周期来捕获链中所有器件的输出，并需要 16 个 SCLK 周期来输入下一次转换的寄存器设置，因此整个数据帧总共需要 64 个 SCLK 周期。系统的总吞吐量随着菊花链拓扑中所连接器件数的增多而按比例减少。

关于 图 7-26 中所示的菊花链配置，必须注意以下几点：

- 所有器件的 SDI 引脚连接在一起，因此每个器件使用相同的内部配置运行。通过花费额外的主机控制器资源来控制具有独特配置的器件的  $\overline{CS}$  或 SDI 输入，可以克服这种限制。
- 如果以菊花链方式连接的器件数量超过四个，则来自主机控制器 ( $\overline{CS}$ 、SDO 和 SCLK) 的共享输出线路上的负载会增加。这种增加的负载会导致数字时序错误。在将共享数字线路馈送到其他器件之前，可以通过在主机控制器的共享输出上使用数字缓冲器来克服这种限制。

#### 7.4.1.3.2 星型拓扑

显示星型拓扑中多个器件的典型连接图如 [图 7-28](#) 中所示。所有器件的 SDI 和 SCLK 输入都连接在一起，分别由主机控制器的单个 SDO 和 SCLK 引脚控制。同样，所有器件的 SDO 输出连接在一起并连接到主机控制器的 SDI 输入引脚。每个器件的  $\overline{CS}$  输入引脚由主机控制器上单独的  $\overline{CS}$  控制线路单独控制。

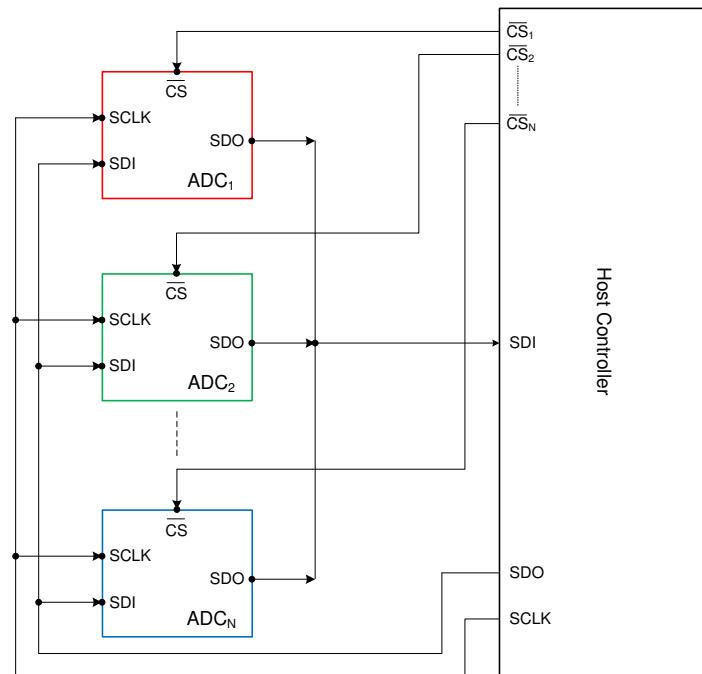


图 7-28. 星型拓扑连接原理图

星型拓扑中典型数据帧的时序图与独立器件操作中的时序图相同，如 [图 7-25](#) 中所示。特定器件的数据帧从  $\overline{CS}$  信号的下降沿开始，在  $\overline{CS}$  信号变为高电平时结束。由于主机控制器为此拓扑中的每个器件提供单独的  $\overline{CS}$  控制信号，因此用户可以按任何顺序选择器件，并通过关闭该特定器件的  $\overline{CS}$  信号来启动转换。如 [图 7-25](#) 中所述，当  $\overline{CS}$  在每个数据帧结束时变为高电平时，器件的 SDO 输出将被置于 Hi-Z 状态。因此，星型拓扑中的共享 SDO 线路仅由具有活动数据帧的器件控制 ( $\overline{CS}$  为低电平)。为避免与多个器件同时驱动 SDO 线路相关的任何冲突，请验证主机控制器是否在任何特定时间仅下拉一个器件的  $\overline{CS}$  信号。

TI 建议在星型拓扑中最多连接四个器件。除此之外，主机控制器 (SDO 和 SCLK) 的共享输出线路上的负载可能会增加。这种负载会导致数字时序错误。通过在主机控制器的共享输出上使用数字缓冲器，然后再馈送到其他器件，可以消除这种限制。

#### 7.4.2 器件模式

ADS8688W 支持可通过软件编程的多种运行模式。上电后，将器件置于空闲模式，并且在接收到用户发出的命令之前不执行任何功能。[表 8-1](#) 列出了进入不同器件模式的所有命令。上电后，程序寄存器以默认值唤醒，并需要进行适当的配置设置才能执行任何转换。[图 7-29](#) 中的图表说明了如何将器件从一种工作模式切换到另一种工作模式。

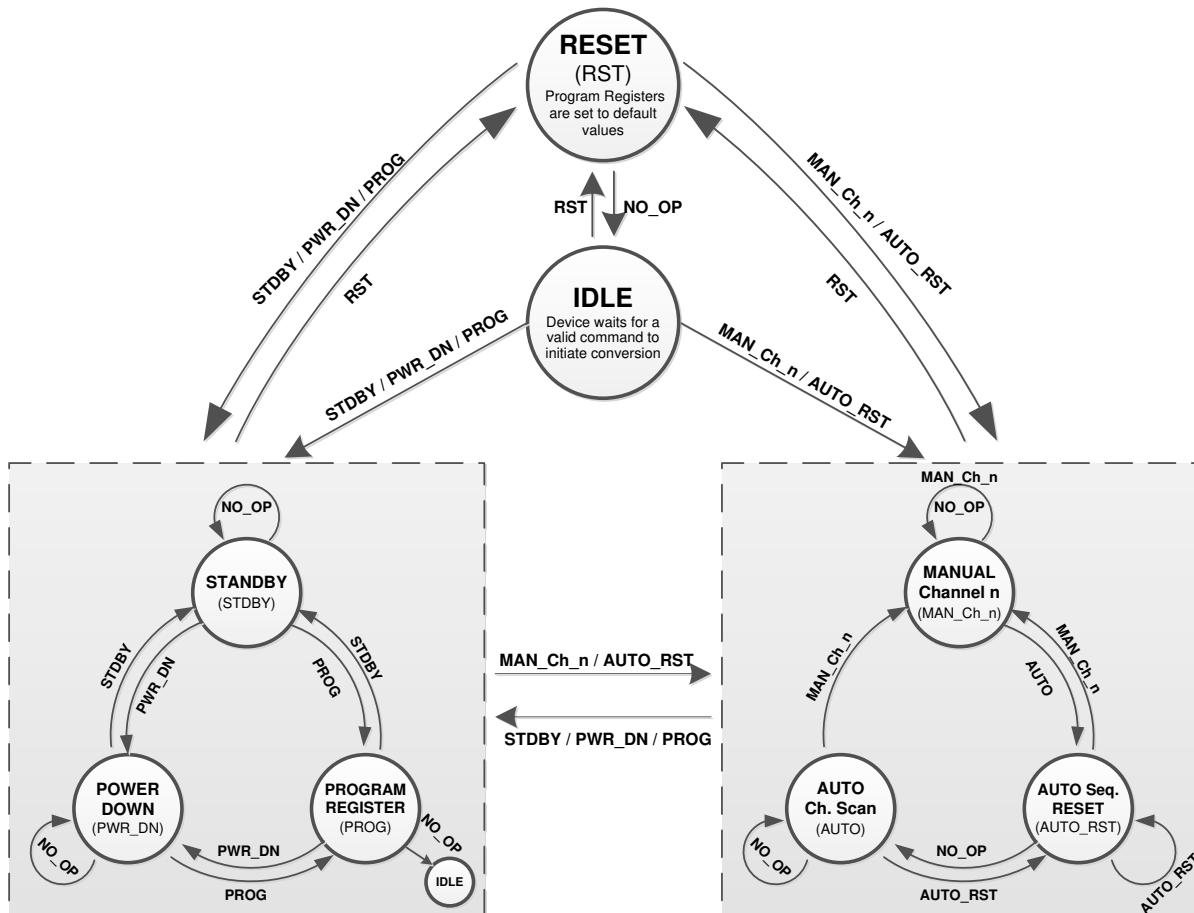


图 7-29. 状态转换图

#### 7.4.2.1 在选定模式下继续运行 (NO\_OP)

在器件运行期间使 SDI 线路持续保持低电平 ( 相当于向全部 16 位写入 0 ) 会继续使器件在最后一个选定模式 ( STDBY、PWR\_DN、AUTO\_RST 或 MAN\_Ch\_n ) 下运行。在此模式下，器件遵循已在程序寄存器中配置的相同设置。

如果器件在程序寄存器 ( PROG 模式 ) 中执行任何读取或写入操作时发生了 NO\_OP 情况，器件会保留程序寄存器的当前设置。器件返回 IDLE 模式，并等待用户输入正确的命令来执行程序寄存器的读取或写入配置。

#### 7.4.2.2 帧中止条件 (FRAME\_ABORT)

如[数据采集示例](#)部分所述，器件数字接口的设计可确保每个数据帧从 $\overline{CS}$ 信号的下降沿开始。在前16个SCLK周期内，器件在SDI线路上读取16位命令字。器件会等待执行命令，直到接收到命令的最后一位，该位锁存在第16个SCLK下降沿。在执行此操作期间， $\overline{CS}$ 信号必须保持低电平。如果在数据传输完成之前， $\overline{CS}$ 信号出于任何原因变为高电平，则器件将进入INVALID状态并等待写入正确的命令。此条件称为FRAME\_ABORT条件。当器件在该INVALID模式下运行时，器件上的任何读取操作都会在SDO线路上返回无效数据。ALARM引脚的输出继续反映先前选择的通道上的输入信号状态。

#### 7.4.2.3 待机模式 (STDBY)

这些器件支持低功耗待机模式 (STDBY)，在该模式下，只有部分电路断电。内部基准和缓冲器未断电，因此，在退出STDBY模式时，器件可以在20 $\mu$ s内快速上电。当器件退出STDBY模式时，程序寄存器不会复位为默认值。

要进入STDBY模式，请使用8200h的STDBY命令对命令寄存器执行有效写入操作，如[图7-30](#)中所示。执行该命令，器件会在此写入操作之后的下一个 $\overline{CS}$ 上升沿进入STDBY模式。如果未执行有效的转换命令 (AUTO\_RST或MAN\_Ch\_n)，并且SDI在后续数据帧期间保持低电平 (请参阅[在所选模式下继续运行](#)部分)，则器件将保持在STDBY模式。当器件在STDBY模式下运行时，可以使用16个SCLK周期更新程序寄存器设置 (如[程序寄存器读取/写入操作](#)部分所述)。但是，如果提供了32个完整的SCLK周期，则器件会在SDO线路上返回无效数据，因为在STDBY模式下没有正在进行的转换。程序寄存器读取操作可在此模式下正常进行。

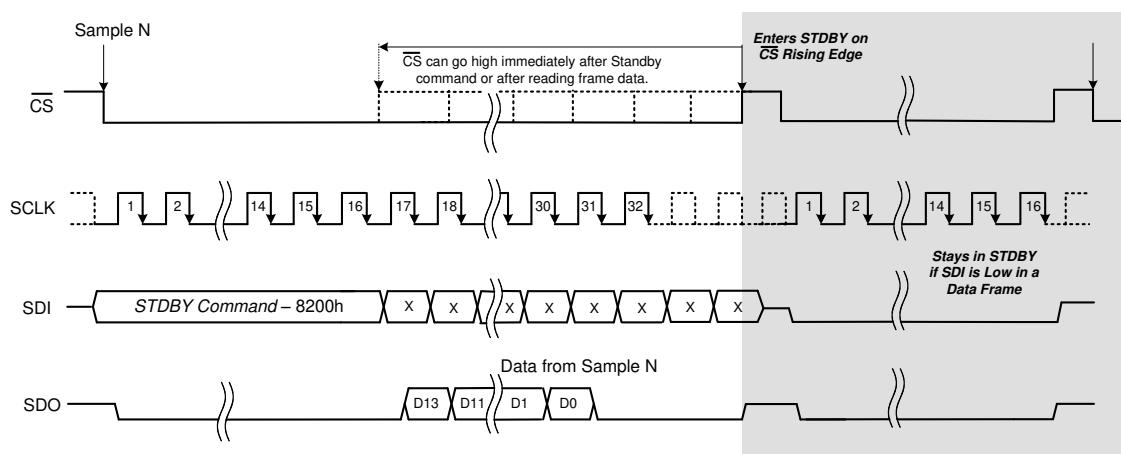


图 7-30. 进入并保持 STDBY 模式时序图

要退出 STDBY 模式，必须执行一个有效的 16 位写入命令才能进入自动 (AUTO\_RST) 或手动 (MAN\_CH\_n) 扫描模式，如 图 7-31 中所示。器件在下一个  $\overline{\text{CS}}$  上升沿开始退出 STDBY 模式。在下一个  $\overline{\text{CS}}$  下降沿，器件在 MAN\_CH\_n 命令选择的通道或 AUTO\_RST 模式序列的第一个通道处对模拟输入进行采样。为了验证输入信号是否正确采样，请在退出 STDBY 模式后保持  $\overline{\text{CS}}$  信号的最小宽度 20 $\mu\text{s}$ ，以便器件内部电路在采样之前可以完全上电并正确偏置。可以在同一数据帧中读取所选通道的数据输出，如 图 7-25 中所述。

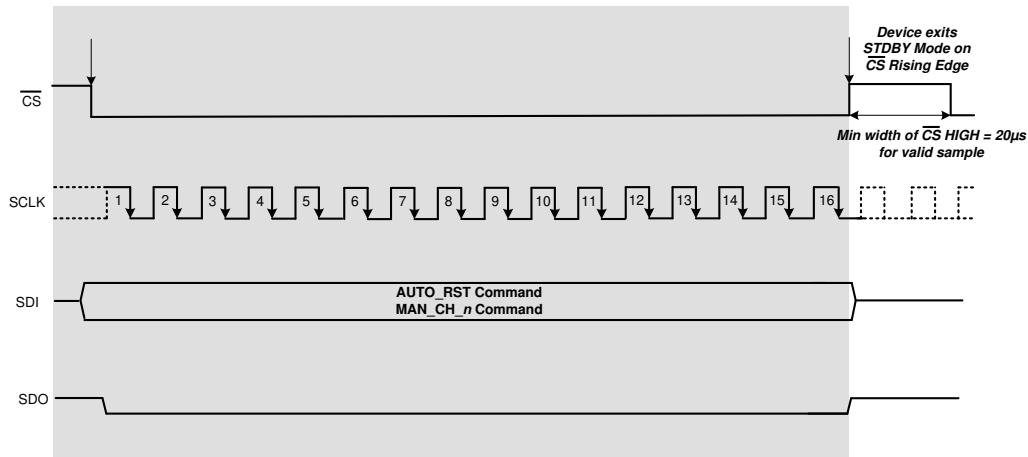


图 7-31. 退出 STDBY 模式时序图

#### 7.4.2.4 断电模式 (PWR\_DN)

这些器件支持硬件和软件断电模式 (PWR\_DN)，在该模式下，所有内部电路均断电，包括内部基准和缓冲器。如果器件在内部基准模式 ( $\overline{\text{REFSEL}} = 0$ ) 下运行，那么在退出 PWR\_DN 模式后，器件至少需要 15ms 来上电并转换所选模拟输入通道。[RST / PD \(输入\)](#) 部分介绍了器件的硬件功耗模式。硬件和软件断电模式的主要区别在于，当器件从硬件断电中唤醒时，程序寄存器会复位为默认值，但当器件从软件断电中唤醒时，会保留之前的程序寄存器设置。

要使用软件进入 PWR\_DN 模式，请使用软件 PWR\_DN 命令 8300h 在命令寄存器上执行有效写入操作，如 [图 7-32](#) 中所示。执行该命令后，器件会在此写入操作之后的下一个  $\overline{\text{CS}}$  上升沿进入 PWR\_DN 模式。如果未执行有效的转换命令 (AUTO\_RST 或 MAN\_Ch\_n)，并且 SDI 在后续数据帧期间保持低电平 (请参阅 [在所选模式下继续运行](#) 部分)，则器件将保持在 PWR\_DN 模式。当器件在 PWR\_DN 模式下运行时，可以使用 16 个 SCLK 周期更新程序寄存器设置 (如 [程序寄存器读取/写入操作](#) 部分所述)。但是，如果提供了 32 个完整的 SCLK 周期，则器件会在 SDO 线路上返回无效数据，因为在 PWR\_DN 模式下没有正在进行的转换。程序寄存器读取操作可在此模式下正常进行。

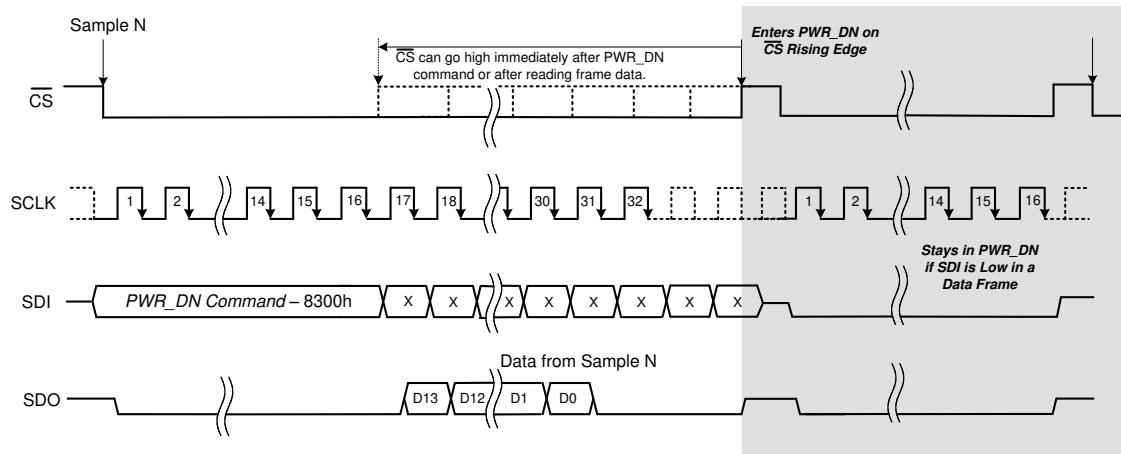


图 7-32. 进入并保持在 PWR\_DN 模式时序图

要退出 PWR\_DN 模式，必须执行有效的 16 位写入命令，如 [图 7-33](#) 中所示。器件会在下一个  $\overline{\text{CS}}$  上升沿退出 PWR\_DN 模式。要在内部基准模式 ( $\overline{\text{REFSEL}} = 0$ ) 下运行，在为所选输入通道输出有效转换数据之前，器件需要 15ms 来为基准和其他内部电路上电并稳定至所需的精度。

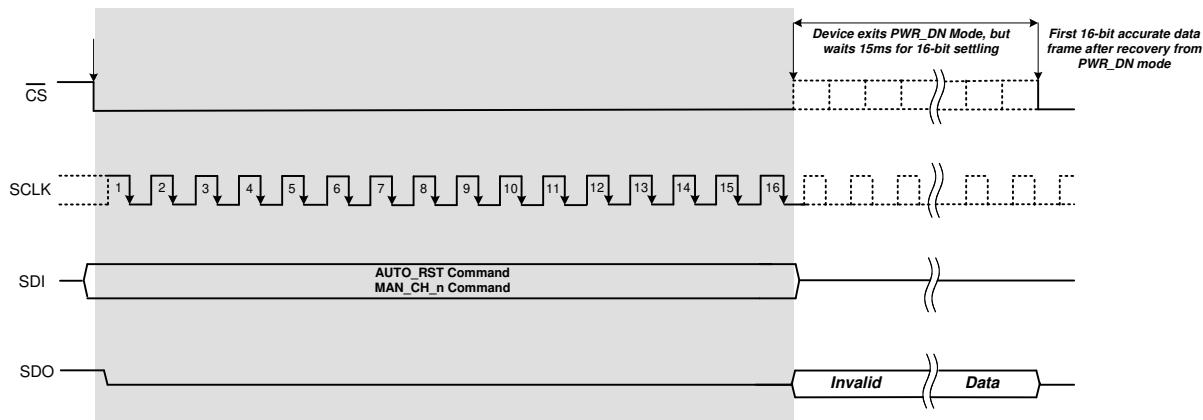


图 7-33. 退出 PWR\_DN 模式时序图

#### 7.4.2.5 通过复位启用自动通道 (AUTO\_RST)

通过在命令寄存器中使用复位 (AUTO\_RST, A000h) 命令写入有效的自动通道序列，可以对器件进行编程，从而自动扫描所有模拟通道上的输入信号，如 图 7-34 中所述。如 图 7-34 中所示， $\overline{CS}$  信号可以在 AUTO\_RST 命令后或读取帧的输出数据后立即被拉至高电平。但是，为了准确采集和转换下一个数据帧中第一个选定通道上的输入信号，命令帧必须是具有 32 个 SCLK 周期的完整帧。

自动扫描的通道序列可通过程序寄存器中的自动扫描时序控制寄存器 (01h 至 02h) 进行配置；请参阅 [程序寄存器映射](#) 部分。在此模式下，器件从最低通道开始连续按升序循环使用所选通道，并转换在程序寄存器中选择的所有通道。完成序列后，器件返回到程序寄存器中计数最低的通道并重复该序列。可以通过设置程序寄存器的 [范围选择寄存器](#)，来配置自动扫描序列中每个通道的输入电压范围。

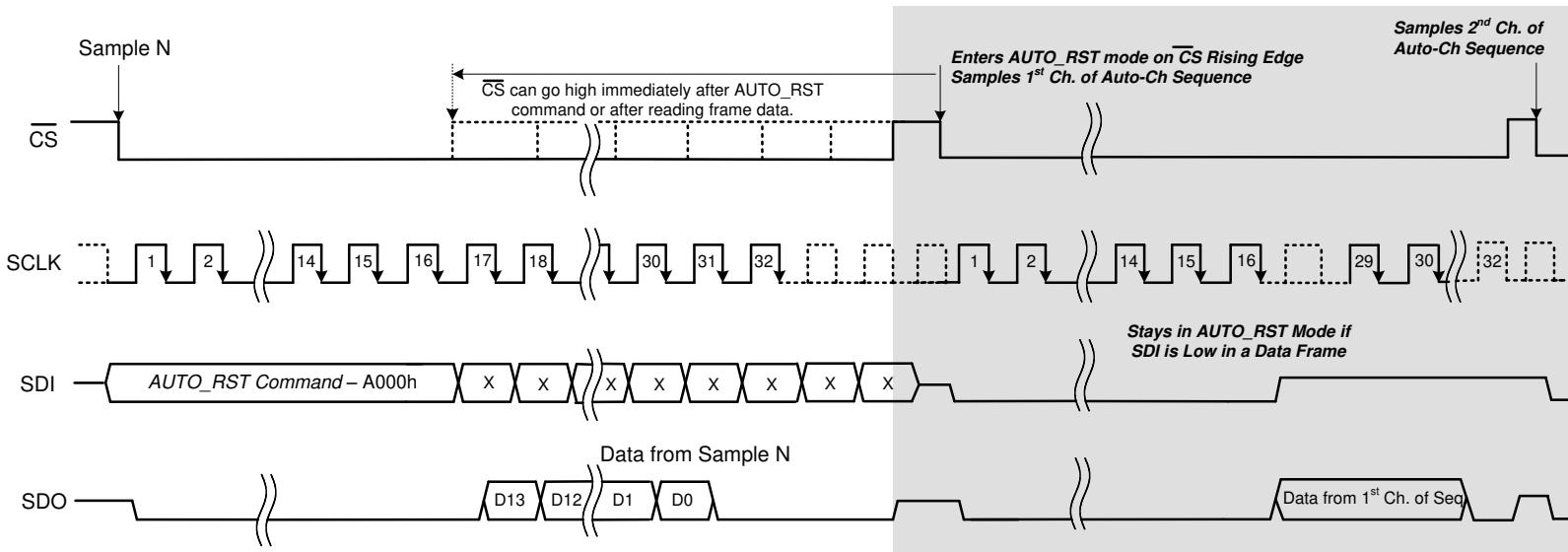


图 7-34. 进入 AUTO\_RST 模式时序图

如果未执行其他有效命令，并且 SDI 在后续数据帧期间保持低电平（请参阅 [在所选模式 \(NO\\_OP\) 下继续运行](#) 部分），则器件会保持在 AUTO\_RST 模式下。如果在此运行模式下随时再次执行 AUTO\_RST 命令，则已扫描通道的序列会复位。这些器件返回到程序寄存器中自动扫描序列的最低计数通道并重复该序列。图 7-35 中的时序图通过一个示例来展示此行为，在该示例中，在自动序列中选择通道 0 至 2。要了解如何在 AUTO\_RST 模式和 MAN\_Ch\_n 模式之间切换，请参阅 [通道时序模式](#) 部分。

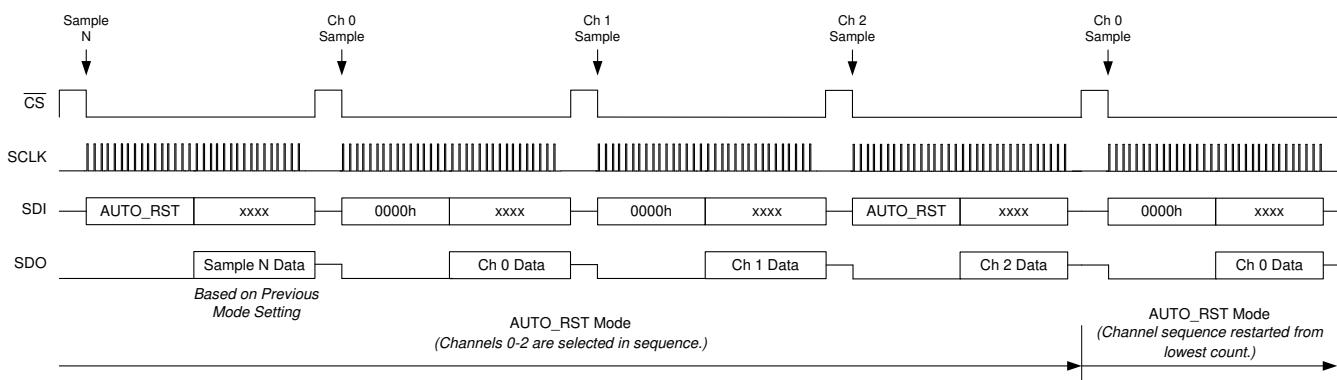


图 7-35. AUTO\_RST 模式下的器件运行示例

#### 7.4.2.6 手动通道 $n$ 选择 (MAN\_Ch\_n)

通过在手动通道  $n$  扫描模式 (MAN\_Ch\_n) 下运行，这些器件可编程为转换特定的模拟输入通道。此编程通过在命令寄存器中写入一个有效的手动通道  $n$  选择命令 (MAN\_Ch\_n) 来完成，如 图 7-36 中所示。如 图 7-36 中所示， $\overline{CS}$  信号可以在 MAN\_Ch\_n 命令后或读取帧的输出数据后立即拉至高电平。但是，为了准确地获取和转换下一个通道上的输入信号，命令帧必须是一个包含 32 个 SCLK 周期的完整帧。有关在 MAN\_Ch\_n 模式期间选择各个通道的命令列表，请参阅表 8-1。

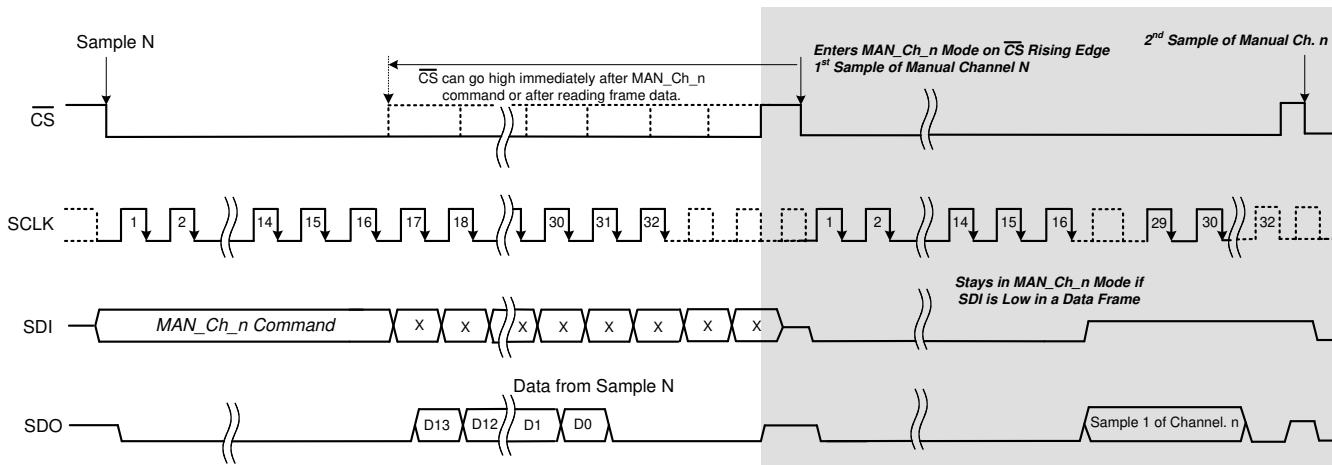


图 7-36. 进入 MAN\_Ch\_n 扫描模式时序图

执行手动通道  $n$  选择命令 (MAN\_Ch\_n)，并且在此写入操作之后，器件在下一个数据帧的  $\overline{CS}$  下降沿对所选通道上的模拟输入进行采样。可通过设置程序寄存器中的 [范围选择寄存器](#)，来配置 MAN\_Ch\_n 模式下每个通道的输入电压范围。如果未执行其他有效命令，且 SDI 在后续数据帧期间保持低电平（请参阅 [在所选模式下继续运行 \(NO\\_OP\) 部分](#)），则器件会继续对同一通道上的模拟输入进行采样。图 7-37 中的时序图通过一个示例展示了此行为，其中在手动时序控制模式下选择通道 1。有关如何在 MAN\_Ch\_n 模式和 AUTO\_RST 模式之间切换，请参阅 [通道时序控制模式](#) 部分。

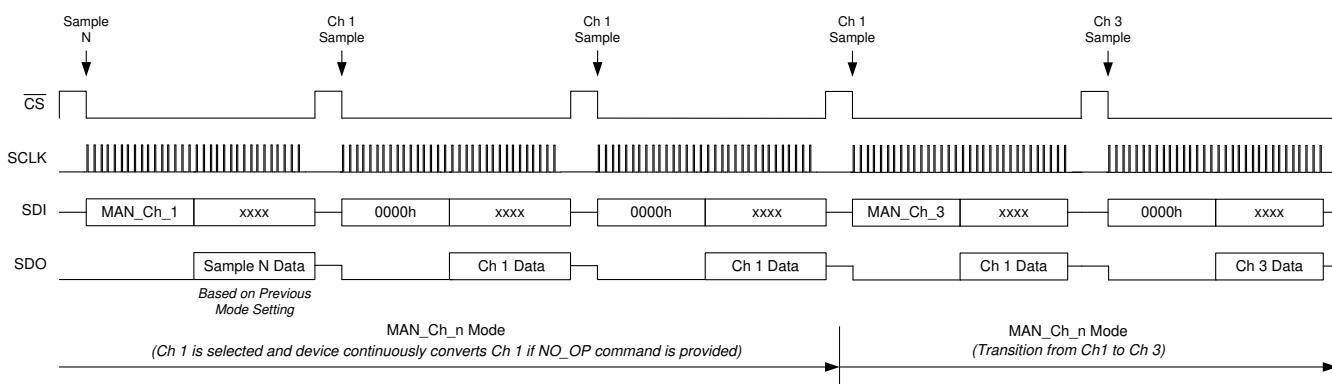


图 7-37. 器件在 MAN\_Ch\_n 模式下运行

#### 7.4.2.7 通道时序控制模式

这些器件提供两种通道时序控制模式：AUTO\_RST 和 MAN\_Ch\_n。

在 AUTO\_RST 模式下，通道编号会在每个后续帧中自动递增。如[自动扫描时序控制寄存器](#)部分所述，可以使用寄存器设置选择模拟输入来进行自动扫描。该器件仅按升序自动扫描选定模拟输入。未选择的模拟输入也可以断电，以优化该运行模式下的功耗。在自动扫描期间，可以随时复位自动模式序列（使用 AUTO\_RST 命令）。接收到复位命令后，正在进行的自动模式序列将复位并从序列中的最低选择通道重新启动。

在 MAN\_Ch\_n 模式下，在每个数据转换帧期间会选择相同的输入通道。[表 8-1](#) 中列出了在 MAN\_Ch\_n 模式下选择各个模拟通道的输入命令字。如果在数据帧期间选择特定输入通道，则会在下一个数据帧期间对同一通道上的模拟输入进行采样。[图 7-38](#) 显示了从 AUTO\_RST 转换到 MAN\_Ch\_n 模式的 SDI 命令序列。

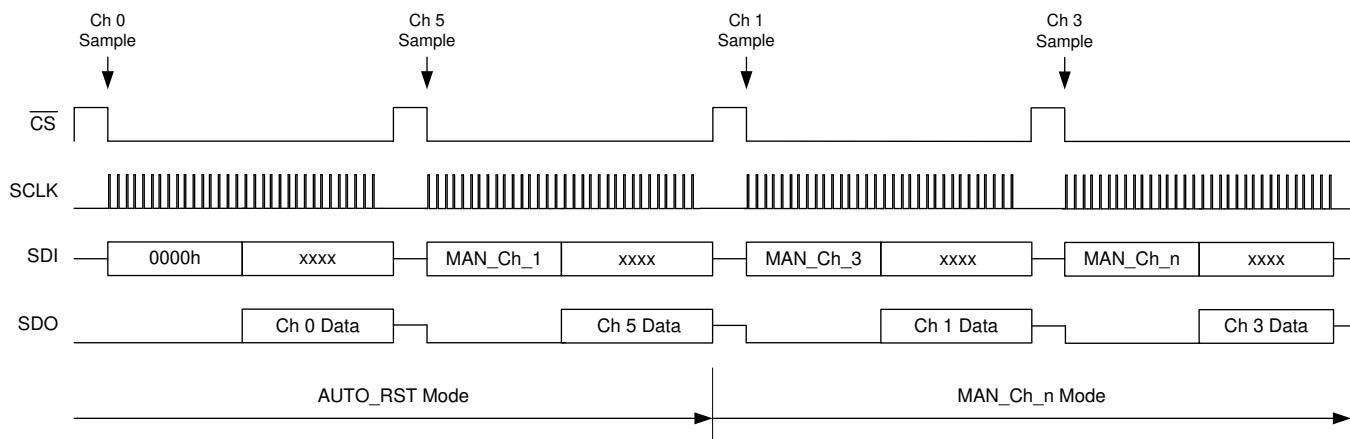


图 7-38. 从 AUTO\_RST 转换到 MAN\_Ch\_n 模式 (为自动序列选择通道 0 和 5)

[图 7-39](#) 显示了从 MAN\_Ch\_n 转换到 AUTO\_RST 模式的 SDI 命令序列。请注意，会在下一个 CS 下降沿执行每个 SDI 命令。可在任何通道时序控制模式期间随时发出 RST 命令，之后器件会在下一个数据帧中处于默认的上电状态。

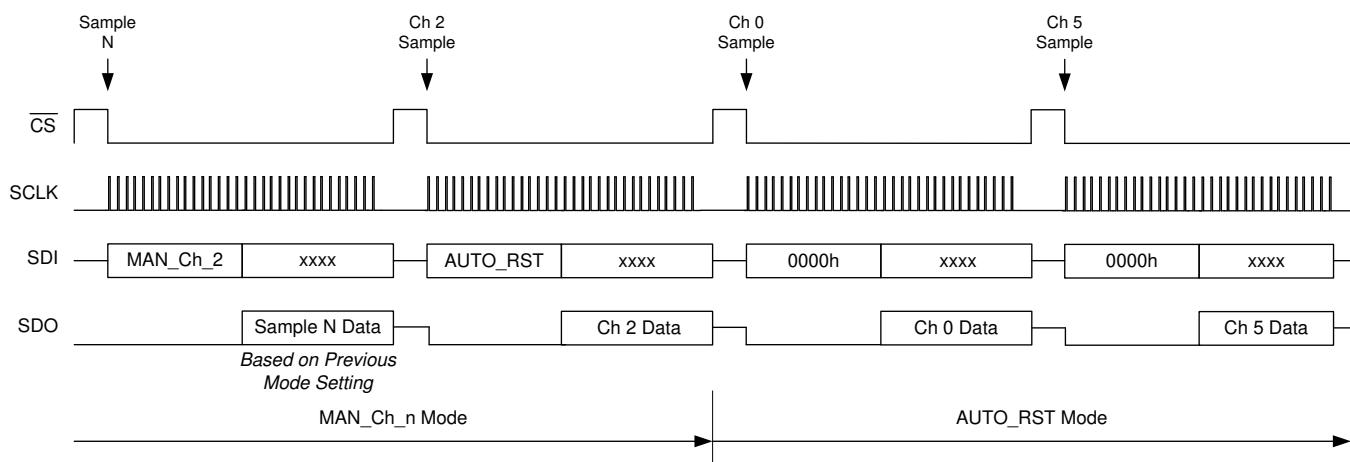


图 7-39. 从 MAN\_Ch\_n 转换到 AUTO\_RST 模式 (为自动序列选择通道 0 和 5)

#### 7.4.2.8 复位程序寄存器 (RST)

器件支持硬件和软件复位 (RST) 模式，在该模式下，所有程序寄存器都复位为默认值。可以使用硬件引脚将器件置于 RST 模式，如[RST/PD \(输入\)](#)部分所述。

通过使用 8500h 的 RST 命令对命令寄存器执行有效写入操作，可以在任何数据帧期间将器件程序寄存器重置为默认值，如 [图 7-40](#) 中所示。如果未执行有效转换命令 ( AUTO\_RST 或 MAN\_Ch\_n )，并且 SDI 在后续数据帧期间保持低电平 ( 请参阅在选定模式下继续运行 (NO\_OP) 部分 )，则器件会保持在 RST 模式。当器件在 RST 模式下运行时，可以使用 16 个 SCLK 周期更新程序寄存器设置 ( 如 [编程寄存器读取/写入操作](#) 部分所述 )。但是，如果提供了 32 个完整的 SCLK 周期，则器件会在 SDO 线路上返回无效数据，因为 RST 模式下没有正在进行的转换。在此模式下，可以正常读取程序寄存器的值。必须执行有效的 AUTO\_RST 或 MAN\_CH\_n 通道选择命令，才能使用默认程序寄存器设置在特定模拟信道上启动转换。

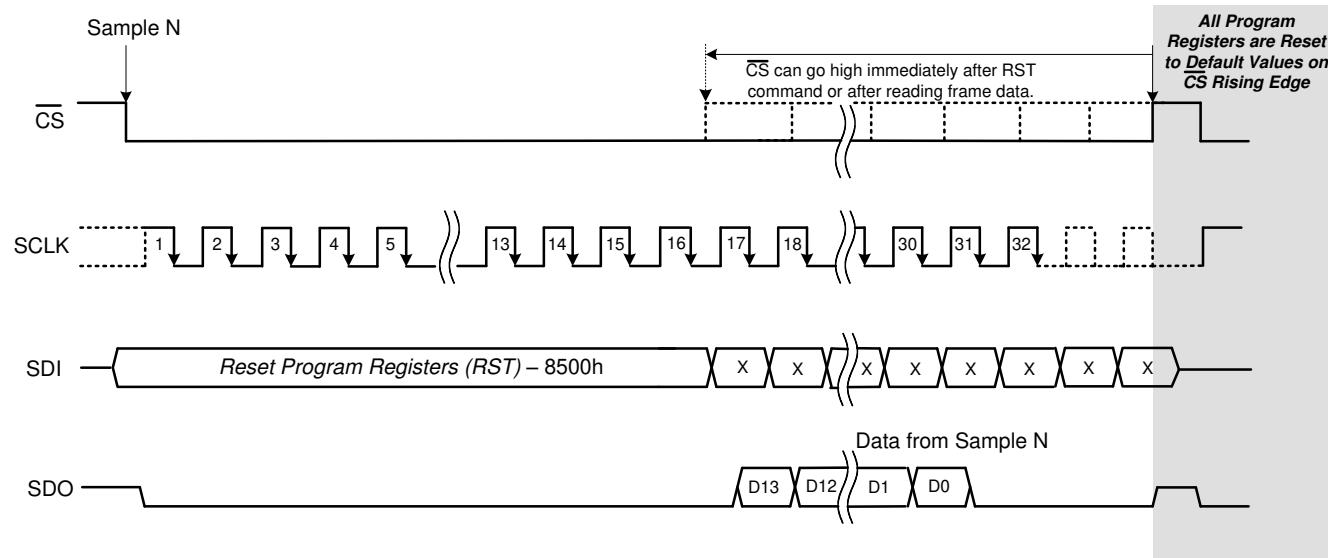


图 7-40. 复位程序寄存器 (RST) 时序图

## 8 寄存器映射

内部寄存器分为两类：命令寄存器和程序寄存器。

命令寄存器用于选择通道时序控制模式（AUTO\_RST 或 MAN\_Ch\_n），将器件配置为待机（STDBY）或断电（PWR\_DN）模式，并将程序寄存器复位（RST）为默认值。

程序寄存器用于为 AUTO\_RST 模式选择通道序列、选择 SDO 输出格式、控制各个通道的输入范围设置、控制警报功能、读取警报标志以及对每个通道的警报阈值进行编程。

### 8.1 命令寄存器说明

命令寄存器是一个用于设置 ADC 工作模式的 16 位只写寄存器。该寄存器中的设置用于选择通道时序控制模式（AUTO\_RST 或 MAN\_Ch\_n）、将器件配置为待机（STDBY）或断电（PWR\_DN）模式，以及将程序寄存器复位（RST）为默认值。表 8-1 中列出了该寄存器的所有命令设置。在上电或复位期间，命令寄存器的默认内容为全 0，器件等待写入命令，然后再进入任何工作模式。请参阅 [串行接口时序图](#)，了解将 16 位命令写入器件的典型时序图。当 CS 信号变为高电平时，器件在该特定数据帧结束时执行命令。

表 8-1. 命令寄存器映射

寄存器	MSB 字节								LSB 字节	命令 (十六进制)	在下一帧中运行
	B15	B14	B13	B12	B11	B10	B9	B8			
继续运行 (NO_OP)	0	0	0	0	0	0	0	0	0000 0000	0000h	在上一模式下继续运行
待机 (STDBY)	1	0	0	0	0	0	1	0	0000 0000	8200h	器件处于待机模式
断电 (PWR_DN)	1	0	0	0	0	0	1	1	0000 0000	8300h	器件已断电
复位程序寄存器 (RST)	1	0	0	0	0	1	0	1	0000 0000	8500h	程序寄存器复位为默认值
具有复位功能的自动通道序列 (AUTO_RST)	1	0	1	0	0	0	0	0	0000 0000	A000h	复位后启用自动模式
手动选择通道 0 (MAN_Ch_0)	1	1	0	0	0	0	0	0	0000 0000	C000h	选择通道 0 输入
手动选择通道 1 (MAN_Ch_1)	1	1	0	0	0	1	0	0	0000 0000	C400h	选择通道 1 输入
手动选择通道 2 (MAN_Ch_2)	1	1	0	0	1	0	0	0	0000 0000	C800h	选择通道 2 输入
手动选择通道 3 (MAN_Ch_3)	1	1	0	0	1	1	0	0	0000 0000	CC00h	选择通道 3 输入
手动选择通道 4 (MAN_Ch_4) <sup>(1)</sup>	1	1	0	1	0	0	0	0	0000 0000	D000h	选择通道 4 输入
手动选择通道 5 (MAN_Ch_5)	1	1	0	1	0	1	0	0	0000 0000	D400h	选择通道 5 输入
手动选择通道 6 (MAN_Ch_6)	1	1	0	1	1	0	0	0	0000 0000	D800h	选择通道 6 输入
手动选择通道 7 (MAN_Ch_7)	1	1	0	1	1	1	0	0	0000 0000	DC00h	选择通道 7 输入
手动选择 AUX (MAN_AUX)	1	1	1	0	0	0	0	0	0000 0000	E000h	选择 AUX 通道输入

(1) 阴影表示器件的 4 通道版本中未包含的位或寄存器。

### 8.2 程序寄存器说明

程序寄存器是一个用于设置 ADS8688W 工作模式的 16 位寄存器。此寄存器中的设置用于为 AUTO\_RST 模式选择通道序列，在菊花链模式下配置器件 ID，选择 SDO 输出格式，控制各个通道的输入范围设置、控制报警功能、读取报警标志，并为每个通道设定报警阈值。表 8-4 中列出了此寄存器的所有程序设置。在上电或复位期间，会使用默认值唤醒器件中的不同程序寄存器，并且器件会等待写入命令，然后再将其置于任何工作模式。

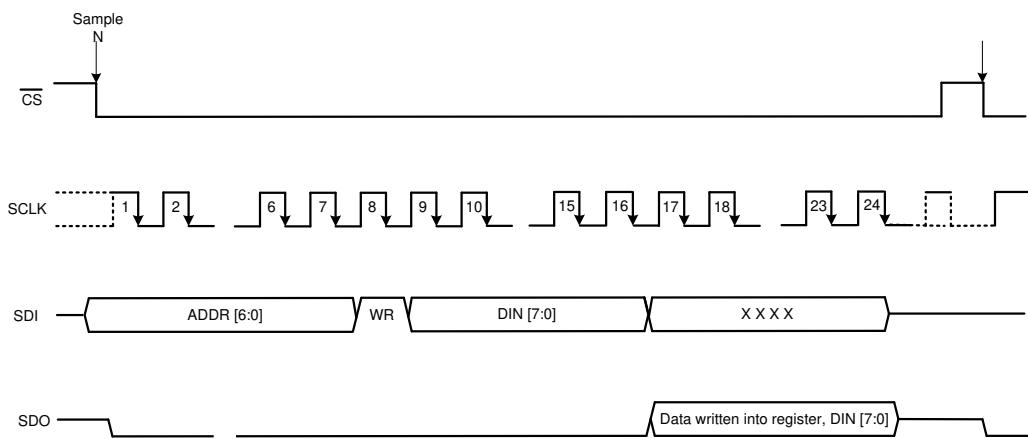
### 8.2.1 程序寄存器读取/写入操作

程序寄存器是一个 16 位读取或写入寄存器。要对程序寄存器执行任何读取或写入操作， $\overline{CS}$  下降沿之后必须至少有 24 个 SCLK。当  $\overline{CS}$  变为低电平时，SDO 线路也变为低电平。该器件通过 SDI 接收命令（请参阅 [表 8-3](#) 和 [表 8-2](#)），其中前七位（位 15-9）表示寄存器地址，第八位（位 8）是写入或读取指令。

对于写入周期，SDI 上的接下来 8 个位（位 7-0）是寻址寄存器所需的数据。在接下来的 8 个 SCLK 周期中，器件输出写入寄存器的这 8 位数据。该数据回读允许验证是否将正确的数据输入到器件中。[图 8-1](#) 展示了程序寄存器写入周期的典型时序图。

**表 8-2. 写入周期命令字**

引脚	寄存器地址 (位 15-9)	WR/ RD (位 8)	数据 (位 7-0)
SDI	ADDR[6:0]	1	DIN[7:0]



**图 8-1. 程序寄存器写入周期时序图**

对于读取周期，SDI 上的接下来 8 个位（位 7-0）为不用考虑位，SDO 保持低电平。从第 16 个 SCLK 下降沿及以后，SDO 以 MSB 优先的方式在接下来的八个时钟期间输出来自寻址寄存器的 8 位数据。图 8-2 展示了程序寄存器读取周期的典型时序图。

表 8-3. 读取周期命令字

引脚	寄存器地址 (位 15-9)	WR/ RD (位 8)	数据 (位 7-0)
SDI	ADDR[6:0]	0	XXXXX
SDO	0000 000	0	DOUT[7:0]

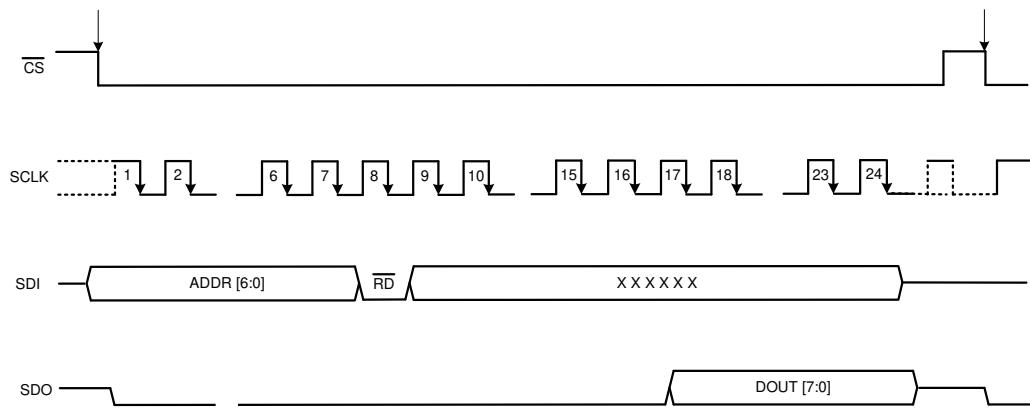


图 8-2. 程序寄存器读取周期时序图

## 8.2.2 程序寄存器映射

本节提供了每个程序寄存器的逐位说明。

**表 8-4. 程序寄存器映射**

寄存器	寄存器地址位 [15:9]	默认值 <sup>(1)</sup>	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
<b>自动扫描时序控制</b>										
AUTO_SEQ_EN	01h	FFh	CH7_EN <sup>(2)</sup>	CH6_EN	CH5_EN	CH4_EN	CH3_EN	CH2_EN	CH1_EN	CH0_EN
通道断电	02h	00h	CH7_PD	CH6_PD	CH5_PD	CH4_PD	CH3_PD	CH2_PD	CH1_PD	CH0_PD
<b>器件具有选择控制功能</b>										
功能选择	03h	00h	DEV[1:0]	0	ALARM_EN	0	0	SDO [2:0]		
<b>范围选择寄存器</b>										
通道 0 输入范围	05h	00h	0	0	0	0	0	范围选择通道 0[3:0]		
通道 1 输入范围	06h	00h	0	0	0	0	0	范围选择通道 1[3:0]		
通道 2 输入范围	07h	00h	0	0	0	0	0	范围选择通道 2[3:0]		
通道 3 输入范围	08h	00h	0	0	0	0	0	范围选择通道 3[3:0]		
通道 4 输入范围	09h	00h	0	0	0	0	0	范围选择通道 4[3:0]		
通道 5 输入范围	0Ah	00h	0	0	0	0	0	范围选择通道 5[3:0]		
通道 6 输入范围	0Bh	00h	0	0	0	0	0	范围选择通道 6[3:0]		
通道 7 输入范围	0Ch	00h	0	0	0	0	0	范围选择通道 7[3:0]		
<b>警报标志寄存器 (只读)</b>										
警报概述触发标志	10h	00h	已触发警报标志 通道 7	已触发警报标志 通道 6	已触发警报标志 通道 5	已触发警报标志 通道 4	已触发警报标志 通道 3	已触发警报标志 通道 2	已触发警报标志 通道 1	已触发警报标志 通道 0
警报通道 0-3 已触发标志	11h	00h	通道 0 低警报阈 值已触发标志	通道 0 高警报阈 值已触发标志	通道 1 低警报阈 值已触发标志	通道 1 高警报阈 值已触发标志	通道 2 低警报阈 值已触发标志	通道 2 高警报阈 值已触发标志	通道 3 低警报阈 值已触发标志	通道 3 高警报阈 值已触发标志
警报通道 0-3 活动标志	12h	00h	通道 0 低警报阈 值活动标志	通道 0 高警报阈 值活动标志	通道 1 低警报阈 值活动标志	通道 1 高警报阈 值活动标志	通道 2 低警报阈 值活动标志	通道 2 高警报阈 值活动标志	通道 3 低警报阈 值活动标志	通道 3 高警报阈 值活动标志
警报通道 4-7 已触发标志	13h	00h	通道 4 低警报阈 值已触发标志	通道 4 高警报阈 值已触发标志	通道 5 低警报阈 值已触发标志	通道 5 高警报阈 值已触发标志	通道 6 低警报阈 值已触发标志	通道 6 高警报阈 值已触发标志	通道 7 低警报阈 值已触发标志	通道 7 高警报阈 值已触发标志
警报通道 4-7 活动标志	14h	00h	通道 4 低警报阈 值活动标志	通道 4 高警报阈 值活动标志	通道 5 低警报阈 值活动标志	通道 5 高警报阈 值活动标志	通道 6 低警报阈 值活动标志	通道 6 高警报阈 值活动标志	通道 7 低警报阈 值活动标志	通道 7 高警报阈 值活动标志

表 8-4. 程序寄存器映射 (续)

寄存器	寄存器地址位 [15:9]	默认值 <sup>(1)</sup>	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
<b>警报阈值寄存器</b>										
通道 0 磁滞	15h	00h			CH0_HYST[5:0]			0	0	
通道 0 高阈值 MSB	16h	FFh			CH0_HT[13:6]					
通道 0 高阈值 LSB	17h	FCh			CH0_HT[5:0]			0	0	
通道 0 低阈值 MSB	18h	00h			CH0_LT[13:6]					
通道 0 低阈值 LSB	19h	00h			CH0_LT[5:0]			0	0	
...	...	...			有关警报阈值设置寄存器的详细信息，请参阅 <a href="#">警报阈值设置寄存器</a> 。	...				
通道 7 磁滞	38h	00h			CH7_HYST[5:0]			0	0	
通道 7 高阈值 MSB	39h	FFh			CH7_HT[13:6]					
通道 7 高阈值 LSB	3Ah	FCh			CH7_HT[5:0]			0	0	
通道 7 低阈值 MSB	3Bh	00h			CH7_LT[13:6]					
通道 7 低阈值 LSB	3Ch	00h			CH7_LT[5:0]			0	0	
<b>命令读回 (只读)</b>										
命令读回	3Fh	00h			COMMAND_WORD[7:0]					

(1) 上电或器件复位时使用寄存器设置方法将所有寄存器复位为默认值。  
 (2) 阴影表示器件的 4 通道版本中未包含的位或寄存器。对这些位或寄存器中的任何一个执行写入操作都不会影响器件行为。对这些位或寄存器中的任何一个执行读取操作都会在 SDO 线路上输出全 1。

### 8.2.2.1 自动扫描时序控制寄存器

在 AUTO\_RST 模式下，器件会自动按升序扫描预选通道，并且每次转换都会选择一个新通道。每个单独的通道都可以选择性地包含在自动通道时序中。对于未选择用于自动时序控制的通道，模拟前端电路可单独断电。

#### 8.2.2.1.1 自动扫描序列使能寄存器 (地址 = 01h)

该寄存器可在 AUTO\_RST 模式下选择用于时序控制的各个通道。该寄存器的默认值为 FFh，这意味着在默认情况下，所有通道都包含在自动扫描序列中。如果自动序列中不包含任何通道（即该寄存器的值为 00h），则默认情况下会选择通道 0 进行转换。

图 8-3. AUTO\_SEQ\_EN 寄存器

7	6	5	4	3	2	1	0
CH7_EN <sup>(1)</sup>	CH6_EN	CH5_EN	CH4_EN	CH3_EN	CH2_EN	CH1_EN	CH0_EN
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h

说明：R/W = 读/写；-n = 复位后的值

(1) 阴影表示器件的 4 通道版本中未包含的位或寄存器。对这些位或寄存器中的任何一个执行写入操作都不会影响器件行为。对这些位或寄存器中的任何一个执行读取操作都会在 SDO 线路上输出全 1。

表 8-5. AUTO\_SEQ\_EN 字段说明

位	字段	类型	复位	说明
7	CH7_EN	R/W	1h	通道 7 启用。 0 = 在 AUTO_RST 模式下不选择通道 7 进行时序控制 1 = 在 AUTO_RST 模式下选择通道 7 进行时序控制
6	CH6_EN	R/W	1h	通道 6 启用。 0 = 在 AUTO_RST 模式下不选择通道 6 进行时序控制 1 = 在 AUTO_RST 模式下选择通道 6 进行时序控制
5	CH5_EN	R/W	1h	通道 5 启用。 0 = 在 AUTO_RST 模式下不选择通道 5 进行时序控制 1 = 在 AUTO_RST 模式下选择通道 5 进行时序控制
4	CH4_EN	R/W	1h	通道 4 启用。 0 = 在 AUTO_RST 模式下不选择通道 4 进行时序控制 1 = 在 AUTO_RST 模式下选择通道 4 进行时序控制
3	CH3_EN	R/W	1h	通道 3 启用。 0 = 在 AUTO_RST 模式下不选择通道 3 进行时序控制 1 = 在 AUTO_RST 模式下选择通道 3 进行时序控制
2	CH2_EN	R/W	1h	通道 2 启用。 0 = 在 AUTO_RST 模式下不选择通道 2 进行时序控制 1 = 在 AUTO_RST 模式下选择通道 2 进行时序控制
1	CH1_EN	R/W	1h	通道 1 启用。 0 = 在 AUTO_RST 模式下不选择通道 1 进行时序控制 1 = 在 AUTO_RST 模式下选择通道 1 进行时序控制
0	CH0_EN	R/W	1h	通道 0 启用。 0 = 在 AUTO_RST 模式下不选择通道 0 进行时序控制 1 = 在 AUTO_RST 模式下选择通道 0 进行时序控制

### 8.2.2.1.2 通道断电寄存器 ( 地址 = 02h )

该寄存器会使在 AUTO\_RST 模式下不包含用于时序控制的各个通道断电。该寄存器的默认值为 00h，这意味着在默认情况下，所有通道都会加电。如果所有通道都断电（即该寄存器的值为 FFh），则所有通道的模拟前端电路都会断电，并且 ADC 的输出包含无效数据。如果器件处于 MAN-Ch\_n 模式且所选通道断电，则器件会产生无效输出，这也会触发错误警报条件。

图 8-4. 通道断电寄存器

7	6	5	4	3	2	1	0
CH7_PD <sup>(1)</sup>	CH6_PD	CH5_PD	CH4_PD	CH3_PD	CH2_PD	CH1_PD	CH0_PD
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

说明 : R/W = 读/写 ; -n = 复位后的值

(1) 阴影表示器件的 4 通道版本中未包含的位或寄存器。对这些位或寄存器中的任何一个执行写入操作都不会影响器件行为。对这些位或寄存器中的任何一个执行读取操作都会在 SDO 线路上输出全 1。

表 8-6. 通道断电寄存器字段说明

位	字段	类型	复位	说明
7	CH7_PD	R/W	0h	通道 7 断电。 0 = 通道 7 上的模拟前端上电，通道 7 可包含在 AUTO_RST 序列中 1 = 通道 7 上的模拟前端断电，通道 7 不能包含在 AUTO_RST 序列中
6	CH6_PD	R/W	0h	通道 6 断电。 0 = 通道 6 上的模拟前端上电，通道 6 可包含在 AUTO_RST 序列中 1 = 通道 6 上的模拟前端断电，通道 6 不能包含在 AUTO_RST 序列中
5	CH5_PD	R/W	0h	通道 5 断电。 0 = 通道 5 上的模拟前端上电，通道 5 可包含在 AUTO_RST 序列中 1 = 通道 5 上的模拟前端断电，通道 5 不能包含在 AUTO_RST 序列中
4	CH4_PD	R/W	0h	通道 4 断电。 0 = 通道 4 上的模拟前端上电，通道 4 可包含在 AUTO_RST 序列中 1 = 通道 4 上的模拟前端断电，通道 4 不能包含在 AUTO_RST 序列中
3	CH3_PD	R/W	0h	通道 3 断电。 0 = 通道 3 上的模拟前端上电，通道 3 可包含在 AUTO_RST 序列中 1 = 通道 3 上的模拟前端断电，通道 3 不能包含在 AUTO_RST 序列中
2	CH2_PD	R/W	0h	通道 2 断电。 0 = 通道 2 上的模拟前端上电，通道 2 可包含在 AUTO_RST 序列中 1 = 通道 2 上的模拟前端断电，通道 2 不能包含在 AUTO_RST 序列中
1	CH1_PD	R/W	0h	通道 1 断电。 0 = 通道 1 上的模拟前端上电，通道 1 可包含在 AUTO_RST 序列中 1 = 通道 1 上的模拟前端断电，通道 1 不能包含在 AUTO_RST 序列中
0	CH0_PD	R/W	0h	通道 0 断电。 0 = 通道 0 上的模拟前端上电，通道 0 可包含在 AUTO_RST 序列中 1 = 通道 0 上的模拟前端断电，通道 0 不能包含在 AUTO_RST 序列中

### 8.2.2.2 警报标志寄存器 (只读)

与各个通道相关的警报条件存储在这些寄存器中。当在 **ALARM** 引脚上接收到警报中断时，可以读取这些标志。每个警报有两种类型的标志：活动和已触发。在警报条件下（当数据超过警报限值时），活动标志设置为 1，并且只要警报条件持续存在，就会保持该状态。已触发标志会开启与活动标志类似的警报条件，但在读取之前保持设置状态。此功能使器件无需跟踪警报。

#### 8.2.2.2.1 警报概述已触发标志寄存器 (地址 = 10h)

警报概述已触发标志寄存器包含所有八个通道的高或低已触发警报阈值标志的逻辑或 (OR)。

图 8-5. 警报概述已触发标志寄存器

7	6	5	4	3	2	1	0
已触发警报标志 通道 7 <sup>(1)</sup>	已触发警报标志 通道 6	已触发警报标志 通道 5	已触发警报标志 通道 4	已触发警报标志 通道 3	已触发警报标志 通道 2	已触发警报标志 通道 1	已触发警报标志 通道 0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

说明 : R = 只读 ; -n = 复位后的值

(1) 阴影表示器件的 4 通道版本中未包含的位或寄存器。对这些位或寄存器中的任何一个执行写入操作都不会影响器件行为。对这些位或寄存器中的任何一个执行读取操作都会在 SDO 线路上输出全 1。

表 8-7. 警报概述已触发标志寄存器字段说明

位	字段	类型	复位	说明
7	已触发警报标志通道 7	R	0h	所有模拟通道的已触发警报标志概览。
6	已触发警报标志通道 6	R	0h	根据通道 7 至 0 的警报标志寄存器，每个单独的位分别指示每个通道的已触发警报标志状态。
5	已触发警报标志通道 5	R	0h	0 = 未检测到警报 1 = 检测到警报
4	已触发警报标志通道 4	R	0h	
3	已触发警报标志通道 3	R	0h	
2	已触发警报标志通道 2	R	0h	
1	已触发警报标志通道 1	R	0h	
0	已触发警报标志通道 0	R	0h	

### 8.2.2.2 警报标志寄存器：已触发并处于活动状态 ( 地址 = 11h 至 14h )

每个通道有两个警报阈值（高和低），每个阈值有两个标志。当触发警报时（当数据超过警报阈值时），会启用活动警报标志，并且只要警报条件持续存在，就会保持启用状态。已触发警报标志的启用方式与活动警报标志相同，但在读取之前保持锁存状态。程序寄存器中的寄存器 11h 至 14h 存储所有单独八个通道的活动和已触发警报标志。

图 8-6. 警报通道 0-3 已触发标志寄存器 ( 地址 = 11h )

7	6	5	4	3	2	1	0
通道 0 低警报阈值已触发标志	通道 0 高警报阈值已触发标志	通道 1 低警报阈值已触发标志	通道 1 高警报阈值已触发标志	通道 2 低警报阈值已触发标志	通道 2 高警报阈值已触发标志	通道 3 低警报阈值已触发标志	通道 3 高警报阈值已触发标志
R-0h							

说明 : R = 只读 ; -n = 复位后的值

表 8-8. 警报通道 0-3 已触发标志寄存器字段说明

位	字段	类型	复位	说明
7-0	通道 n 低或高警报阈值已触发标志 ( n = 0 至 3 )	R	0h	通道 n ( n = 0 至 3 ) 的高或低警报阈值已触发标志 根据通道 0 至 7 的警报标志寄存器，每个单独的位指示每个通道的高或低警报阈值活动标志状态。 0 = 未检测到警报 1 = 检测到警报

图 8-7. 警报通道 0-3 活动标志寄存器 ( 地址 = 12h )

7	6	5	4	3	2	1	0
通道 0 低警报阈值活动标志	通道 0 高警报阈值活动标志	通道 1 低警报阈值活动标志	通道 1 高警报阈值活动标志	通道 2 低警报阈值活动标志	通道 2 高警报阈值活动标志	通道 3 低警报阈值活动标志	通道 3 高警报阈值活动标志
R-0h							

说明 : R = 只读 ; -n = 复位后的值

表 8-9. 警报通道 0-3 活动标志寄存器字段说明

位	字段	类型	复位	说明
7-0	通道 n 低或高警报阈值活动标志 ( n = 0 至 3 )	R	0h	通道 n ( n = 0 至 3 ) 的高或低警报阈值活动标志 根据通道 0 至 7 的警报标志寄存器，每个单独的位指示每个通道的高或低警报阈值活动标志状态。 0 = 未检测到警报 1 = 检测到警报

图 8-8. 警报通道 4-7 已触发标志寄存器 ( 地址 = 13h ) (1)

7	6	5	4	3	2	1	0
通道 4 低警报阈值已触发标志 (1)	通道 4 高警报阈值已触发标志	通道 5 低警报阈值已触发标志	通道 5 高警报阈值已触发标志	通道 6 低警报阈值已触发标志	通道 6 高警报阈值已触发标志	通道 7 低警报阈值已触发标志	通道 7 高警报阈值已触发标志
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

说明 : R = 只读 ; -n = 复位后的值

(1) 器件的 4 通道版本中不包含该寄存器。在该寄存器上执行的写入操作对器件行为没有影响。在该寄存器上执行的读取操作在 SDO 线路上输出全 1。

表 8-10. 警报通道 4-7 已触发标志寄存器字段说明

位	字段	类型	复位	说明
7-0	通道 n 低或高警报阈值已触发标志 ( n = 4 至 7 )	R	0h	通道 n 的高或低警报阈值已触发标志 ( n = 4 至 7 )。 根据通道 0 至 7 的警报标志寄存器，每个单独位指示每个通道的高或低警报阈值活动标志状态。 0 = 未检测到警报 1 = 检测到警报

**图 8-9. 警报通道 4-7 活动标志寄存器 ( 地址 = 14h ) (1)**

7	6	5	4	3	2	1	0
通道 4 低警报阈值活动标志	通道 4 高警报阈值活动标志	通道 5 低警报阈值活动标志	通道 5 高警报阈值活动标志	通道 6 低警报阈值活动标志	通道 6 高警报阈值活动标志	通道 7 低警报阈值活动标志	通道 7 高警报阈值活动标志
R-0h							

说明 : R = 只读 ; -n = 复位后的值

(1) 器件的 4 通道版本中不包含该寄存器。在该寄存器上执行的写入操作对器件行为没有影响。在该寄存器上执行的读取操作在 SDO 线路上输出全 1。

**表 8-11. 警报通道 4-7 活动标志寄存器字段说明**

位	字段	类型	复位	说明
7-0	通道 n 低或高警报阈值活动标志 ( n = 4 至 7 )	R	0h	通道 n 的高或低警报阈值活动标志 ( n = 4 至 7 ) 根据通道 0 至 7 的警报标志寄存器，每个单独位指示每个通道的高或低警报阈值活动标志状态。 0 = 未检测到警报 1 = 检测到警报

### 8.2.2.3 警报阈值设置寄存器

ADS8688W 为每个通道提供单独的高和低警报阈值设置。每个警报阈值为 16 位宽，具有 8 位磁滞，这对于高阈值和低阈值设置都是相同的。该 40 位设置通过五个与每个高和低警报阈值相关联的 8 位寄存器来实现。

名称 <sup>(1)</sup>	ADDR	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
通道 0 磁滞	15h	CH0_HYST[5:0]				0			
通道 0 高阈值 MSB	16h	CH0_HT[13:6]				0			
通道 0 高阈值 LSB	17h	CH0_HT[5:0]				0			
通道 0 低阈值 MSB	18h	CH0_LT[13:6]				0			
通道 0 低阈值 LSB	19h	CH0_LT[5:0]				0			
通道 1 磁滞	1Ah	CH1_HYST[5:0]				0			
通道 1 高阈值 MSB	1Bh	CH1_HT[13:6]				0			
通道 1 高阈值 LSB	1Ch	CH1_HT[5:0]				0			
通道 1 低阈值 MSB	1Dh	CH1_LT[13:6]				0			
通道 1 低阈值 LSB	1Eh	CH1_LT[5:0]				0			
通道 2 磁滞	1Fh	CH2_HYST[5:0]				0			
通道 2 高阈值 MSB	20h	CH2_HT[13:6]				0			
通道 2 高阈值 LSB	21h	CH2_HT[5:0]				0			
通道 2 低阈值 MSB	22h	CH2_LT[13:6]				0			
通道 2 低阈值 LSB	23h	CH2_LT[5:0]				0			
通道 3 磁滞	24h	CH3_HYST[5:0]				0			
通道 3 高阈值 MSB	25h	CH3_HT[13:6]				0			
通道 3 高阈值 LSB	26h	CH3_HT[5:0]				0			
通道 3 低阈值 MSB	27h	CH3_LT[13:6]				0			
通道 3 低阈值 LSB	28h	CH3_LT[5:0]				0			
通道 4 磁滞 <sup>(1)</sup>	29h	CH4_HYST[5:0]				0			
通道 4 高阈值 MSB	2Ah	CH4_HT[13:6]				0			
通道 4 高阈值 LSB	2Bh	CH4_HT[5:0]				0			
通道 4 低阈值 MSB	2Ch	CH4_LT[13:6]				0			
通道 4 低阈值 LSB	2Dh	CH4_LT[5:0]				0			
通道 5 磁滞	2Eh	CH5_HYST[5:0]				0			
通道 5 高阈值 MSB	2Fh	CH5_HT[13:6]				0			
通道 5 高阈值 LSB	30h	CH5_HT[5:0]				0			
通道 5 低阈值 MSB	31h	CH5_LT[13:6]				0			
通道 5 低阈值 LSB	32h	CH5_LT[5:0]				0			
通道 6 磁滞	33h	CH6_HYST[5:0]				0			
通道 6 高阈值 MSB	34h	CH6_HT[13:6]				0			
通道 6 高阈值 LSB	35h	CH6_HT[5:0]				0			
通道 6 低阈值 MSB	36h	CH6_LT[13:6]				0			
通道 6 低阈值 LSB	37h	CH6_LT[5:0]				0			
通道 7 磁滞	38h	CH7_HYST[5:0]				0			
通道 7 高阈值 MSB	39h	CH7_HT[13:6]				0			
通道 7 高阈值 LSB	3Ah	CH7_HT[5:0]				0			
通道 7 低阈值 MSB	3Bh	CH7_LT[13:6]				0			
通道 7 低阈值 LSB	3Ch	CH7_LT[5:0]				0			

(1) 阴影表示器件的 4 通道版本中未包含的位或寄存器。

**图 8-10. 通道 n 磁滞寄存器**

7	6	5	4	3	2	1	0
CHn_HYST[5:0]						0	0
R/W-0h						R-0h	R-0h

说明 : R/W = 读取/写入 ; R = 只读 ; -n = 复位后的值

**表 8-12. 通道 n 磁滞寄存器字段说明**  
(对于 **ADS8688W** , n = 0 至 7 ; 对于 **ADS8684W** , n = 0 至 3 )

位	字段	类型	复位	说明
7-0	通道 n 磁滞 [7-0] (对于 <b>ADS8688W</b> , n = 0 至 7 ; 对于 <b>ADS8684W</b> , n = 0 至 3 )	R/W	0h	<p>这些位为通道 n 设置通道高和低警报阈值磁滞 (对于 <b>ADS8688W</b> , n = 0 至 7 ; 对于 <b>ADS8684W</b> , n = 0 至 3 )</p> <p>例如, 通道 0 寄存器 (地址 15h) 的位 3-0 设置通道 0 警报磁滞。</p> <p>00000000 = 无磁滞</p> <p>00000001 = <math>\pm 1</math>LSB 磁滞</p> <p>00000010 至 11111110 = <math>\pm 2</math>LSB 至 <math>\pm 62</math>LSB 磁滞</p> <p>11111111 = <math>\pm 63</math>LSB 磁滞</p>

**图 8-11. 通道 n 高阈值 MSB 寄存器**

7	6	5	4	3	2	1	0
CHn_HT[15:8]							
R/W-1h							

说明 : R/W = 读/写 ; -n = 复位后的值

**表 8-13. 通道 n 高阈值 MSB 寄存器字段说明**  
(对于 **ADS8688W** , n = 0 至 7 ; 对于 **ADS8684W** , n = 0 至 3 )

位	字段	类型	复位	说明
7-0	CHn_HT[15:8] (对于 <b>ADS8688W</b> , n = 0 至 7 ; 对于 <b>ADS8684W</b> , n = 0 至 3 )	R/W	1h	<p>这些位为 16 位通道 n 高警报阈值设置 MSB 字节。</p> <p>例如, 通道 0 寄存器 (地址 16h) 的位 7-0 为通道 0 高警报阈值设置 MSB 字节。通道 0 高警报阈值为 AAFFh ,前提是通道 0 高阈值 MSB 寄存器 (地址 16h) 的位 7-0 设置为 AAh ,并且通道 0 高阈值 LSB 寄存器 (地址 17h) 的位 7-0 设置为 FFh 。</p> <p>0000 0000 = MSB 字节为 00h</p> <p>0000 0001 = MSB 字节为 01h</p> <p>0000 0010 至 1110 1111 = MSB 字节为 02h 至 FEh</p> <p>1111 1111 = MSB 字节为 FFh</p>

图 8-12. 通道 n 高阈值 LSB 寄存器

7	6	5	4	3	2	1	0
CH <sub>n</sub> _HT[7:0]							
R/W-1hR-0hR-0h							

说明 : R/W = 读取/写入 ; R = 只读 ; -n = 复位后的值

表 8-14. 通道 n 高阈值 LSB 寄存器字段说明  
 (对于 ADS8688W , n = 0 至 7 ; 对于 ADS8684W , n = 0 至 3 )

位	字段	类型	复位	说明
7-0	CH <sub>n</sub> _HT[7:0] (对于 ADS8688W , n = 0 至 7 ; 对于 ADS8684W , n = 0 至 3 )	R/W	1h	这些位为 16 位通道 n 高警报阈值设置 LSB。 例如, 通道 0 寄存器 (地址 17h) 的位 3-0 为通道 0 高警报阈值设置 LSB。通道 0 高警报阈值为 AAFFh, 前提是通道 0 高阈值 MSB 寄存器 (地址 16h) 的位 7-0 设置为 AAh, 并且通道 0 高阈值 LSB 寄存器 (地址 17h) 的位 7-0 设置为 FFh。 0000 0000 = LSB 为 00h 0000 0001 = LSB 为 01h 0000 0010 至 1111 1110 = LSB 为 02h 至 FEh 1111 1111 = LSB 字节为 FFh

图 8-13. 通道 n 低阈值 MSB 寄存器

7	6	5	4	3	2	1	0
CH <sub>n</sub> _LT[15:8]							
R/W-0h							

说明 : R/W = 读/写 ; -n = 复位后的值

表 8-15. 通道 n 低阈值 MSB 寄存器字段说明  
 (对于 ADS8688W , n = 0 至 7 ; 对于 ADS8684W , n = 0 至 3 )

位	字段	类型	复位	说明
7-0	CH <sub>n</sub> _LT[15:8] (对于 ADS8688W , n = 0 至 7 ; 对于 ADS8684W , n = 0 至 3 )	R/W	0h	这些位为 16 位通道 n 低警报阈值设置 MSB 字节。 例如, 通道 0 寄存器 (地址 18h) 的位 7-0 为通道 0 低警报阈值设置 MSB 字节。通道 0 低警报阈值为 AAFFh, 前提是通道 0 低阈值 MSB 寄存器 (地址 18h) 的位 7-0 设置为 AAh, 并且通道 0 低阈值 LSB 寄存器 (地址 19h) 的位 7-0 设置为 FFh。 0000 0000 = MSB 字节为 00h 0000 0001 = MSB 字节为 01h 0000 0010 至 1110 1111 = MSB 字节为 02h 至 FEh 1111 1111 = MSB 字节为 FFh

**图 8-14. 通道 n 低阈值 LSB 寄存器**

7	6	5	4	3	2	1	0
CH <sub>n</sub> _LT[7:0]							
R/W-0h							

说明 : R/W = 读取/写入 ; R = 只读 ; -n = 复位后的值

**表 8-16. 通道 n 低阈值 MSB 寄存器字段说明**  
( 对于 ADS8688W , n = 0 至 7 ; 对于 ADS8684W , n = 0 至 3 )

位	字段	类型	复位	说明
7-0	CH <sub>n</sub> _LT[7-0] ( 对于 ADS8688W , n = 0 至 7 ; 对于 ADS8684W , n = 0 至 3 )	R/W	0h	<p>这些位为 16 位通道 n 低警报阈值设置 LSB。</p> <p>例如, 通道 0 寄存器 ( 地址 19h ) 的位 7-0 为通道 0 低警报阈值设置 LSB。通道 0 低警报阈值为 AAFFh, 前提是通道 0 低阈值 MSB 寄存器 ( 地址 18h ) 的位 7-0 设置为 AAh, 并且通道 0 低阈值 LSB 寄存器 ( 地址 19h ) 的位 7-0 设置为 FFh。</p> <p>0000 0000 = LSB 字节为 00h</p> <p>0000 0001 = LSB 字节为 01h</p> <p>0000 0010 至 1110 1111 = LSB 字节为 02h 至 FEh</p> <p>1111 1111 = LSB 字节为 FFh</p>

### 8.2.2.3 器件特性选择控制寄存器 ( 地址 = 03h )

此寄存器中的位可用于配置菊花链运行的器件 ID，启用警报功能以及在 SDO 上配置输出位格式。

图 8-15. 特性选择寄存器

7	6	5	4	3	2	1	0
DEV[1:0]	0	ALARM_EN	0	SDO[2:0]			
R/W-0h	R-0h	R/W-0h	R-0h	R/W-0h			

说明 : R/W = 读取/写入 ; R = 只读 ; -n = 复位后的值

表 8-17. 特性选择寄存器字段说明

位	字段	类型	复位	说明
7-6	DEV[1:0]	R/W	0h	器件 ID 位。 对于菊花链模式下的器件 0, 00 = ID 对于菊花链模式下的器件 1, 01 = ID 对于菊花链模式下的器件 2, 10 = ID 对于菊花链模式下的器件 3, 11 = ID
5	0	R	0h	必须始终设置为 0
4	0	R/W	0h	警报功能。 0 = 禁用警报功能 1 = 启用警报功能
3	0	R	0h	必须始终设置为 0
2-0	SDO[2:0]	R/W	0h	SDO 数据格式位 ( 请参阅 表 8-18 ) 。

表 8-18. SDO 数据格式的程序寄存器位说明

SDO 格式 SDO[2:0]	输出位流的开头	输出格式			
		BITS 24-9	BITS 8-5	BITS 4-3	BITS 2-0
000	第 16 个 SCLK 下降沿， 无延迟	所选通道的转换结果 ( MSB 优先 )	SDO 被拉至低电平		
001	第 16 个 SCLK 下降沿， 无延迟	所选通道的转换结果 ( MSB 优先 )	通道地址 <sup>(1)</sup>	SDO 被拉至低电平	
010	第 16 个 SCLK 下降沿， 无延迟	所选通道的转换结果 ( MSB 优先 )	通道地址 <sup>(1)</sup>	器件地址 <sup>(1)</sup>	SDO 被拉至 低电平
011	第 16 个 SCLK 下降沿， 无延迟	所选通道的转换结果 ( MSB 优先 )	通道地址 <sup>(1)</sup>	器件地址 <sup>(1)</sup>	输入范围 <sup>(1)</sup>

(1) 表 8-19 列出了这些通道地址、器件地址和输入范围的位说明。

表 8-19. SDO 数据的位说明

位	位说明
24-9	通道的 16 位转换结果，以 MSB 优先格式表示。
8-5	四位通道地址。 0000 = 通道 0 0001 = 通道 1 0010 = 通道 2 0011 = 通道 3 0100 = 通道 4 ( 仅对 ADS8688W 有效 ) 0101 = 通道 5 ( 仅对 ADS8688W 有效 ) 0110 = 通道 6 ( 仅对 ADS8688W 有效 ) 0111 = 通道 7 ( 仅对 ADS8688W 有效 )
4-3	两位器件地址 ( 主要用于菊花链模式 )。
2-0	输入电压范围的三个 LSB 位 ( 请参阅 范围选择寄存器 部分 )。

#### 8.2.2.4 范围选择寄存器 ( 地址 05h-0Ch )

地址 05h 对应于通道 0，地址 06h 对应于通道 1，地址 07h 对应于通道 2，地址 08h 对应于通道 3，地址 09h 对应于通道 4，地址 0Ah 对应于通道 5，地址 0Bh 对应于通道 6，地址 0Ch 对应于通道 7。

这些寄存器允许为所有单个通道选择输入范围 ( 对于 ADS8688W , n = 0 至 7 ; 对于 ADS8684W , n = 0 至 3 ) 。

**图 8-16. 通道 n 输入范围寄存器**

7	6	5	4	3	2	1	0
0	0	0	0				Range_CHn[3:0]
R-0h	R-0h	R-0h	R-0h				R/W-0h

说明 : R/W = 读取/写入 ; R = 只读 ; -n = 复位后的值

**表 8-20. 通道 n 输入范围寄存器字段说明**

位	字段	类型	复位	说明
7-4	0	R	0h	必须始终设置为 0
3-0	Range_CHn[3:0]	R/W	0h	通道 n 的输入范围选择位 ( 对于 ADS8688W , n = 0 至 7 ; 对于 ADS8684W , n = 0 至 3 ) 。 0000 = 输入范围设置为 $\pm 3 \times V_{REF}$ 0001 = 输入范围设置为 $\pm 1.5 \times V_{REF}$ 0010 = 输入范围设置为 $\pm 0.75 \times V_{REF}$ 0101 = 输入范围设置为 0 至 $3 \times V_{REF}$ 0110 = 输入范围设置为 0 至 $1.5 \times V_{REF}$

#### 8.2.2.5 命令读回寄存器 ( 地址 = 3Fh )

该寄存器允许读取器件运行模式。执行该命令时，器件输出在前一个数据帧中执行的命令字。命令寄存器的输出从第 16 个下降沿开始以 MSB 优先格式出现在 SDO 上。有关命令寄存器的所有信息都包含在前八位中，最后八位为 0 ( 请参阅 表 8-1 )，因此命令读回操作可以在第 24 个 SCLK 周期后停止。

**图 8-17. 命令读回寄存器**

7	6	5	4	3	2	1	0
				COMMAND_WORD[15:8]			
				R-0h			

说明 : R = 只读 ; -n = 复位后的值

**表 8-21. 命令读回寄存器字段说明**

位	字段	类型	复位	说明
7-0	COMMAND_WORD[15:8]	R	0h	在上一个数据帧中执行的命令。

## 9 应用和实施

### 备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

### 9.1 应用信息

ADS8688W 是基于 16 位 SAR ADC 的完全集成式数据采集系统。该器件包括用于每个输入通道的集成模拟前端和带缓冲器的集成精度基准。因此，该器件不需要任何额外的外部电路来驱动 ADC 的基准或模拟输入引脚。

### 9.2 典型应用

#### 9.2.1 用于实现电力自动化的相位补偿 8 通道多路复用数据采集系统

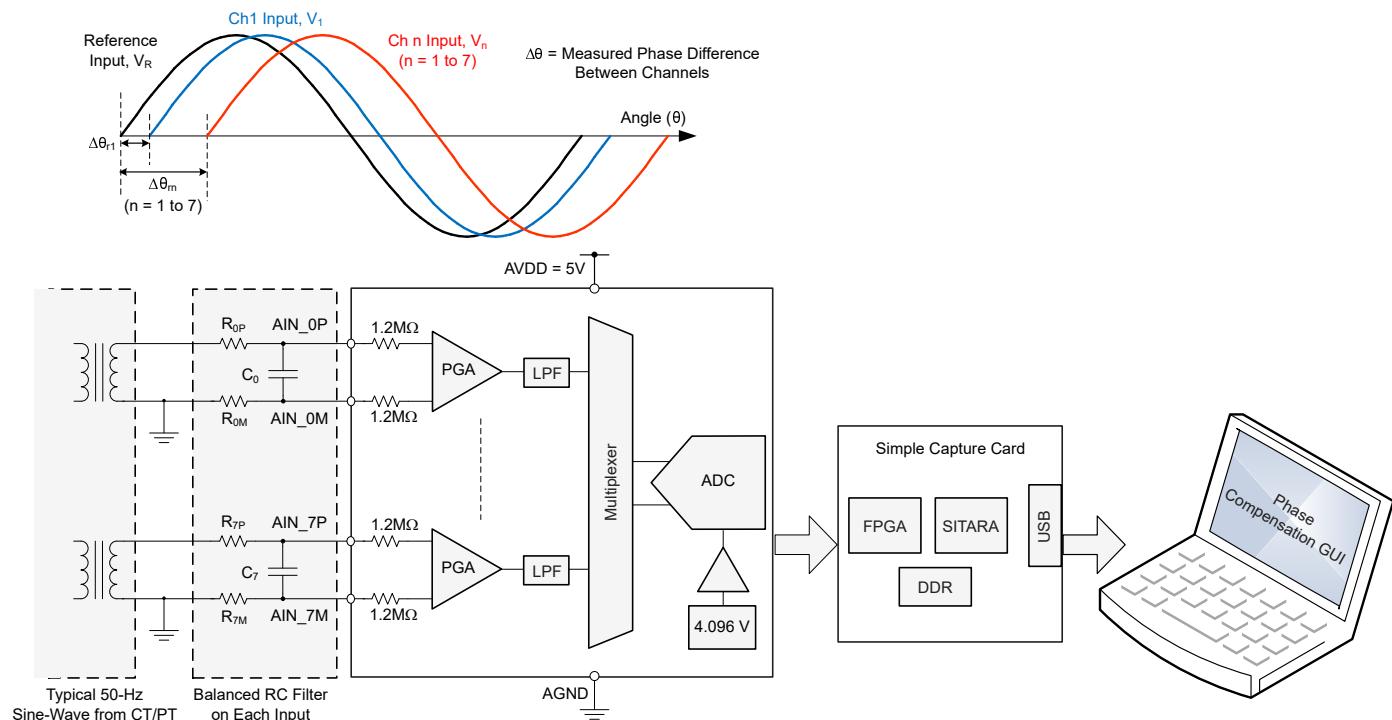


图 9-1. 用于实现电力自动化的 8 通道多路复用数据采集系统

##### 9.2.1.1 设计要求

在现代电网中，精确测量电网各个区域的电气参数至关重要。此测量有助于确定电网的运行状态和运行质量。关键电气参数包括振幅、频率和相位，这些参数对于计算电源系统的功率因数、电能质量和 other 参数至关重要。

此设计的主要目标是准确测量多通道数据采集系统中模拟输入信号之间的相位和相位差。当采用多路复用 ADC 的采样顺序对多个输入通道进行采样时，通道间会引入额外的相位延迟。这导致相位测量不准确。然而，这个额外的相位延迟是恒定的，可以在应用软件中进行补偿。

下面给出了主要设计要求：

- 具有  $\pm 10V$  振幅和典型频率 ( $f_{IN} = 50Hz$ ) 的单端正弦输入信号。
- 使用 16 位 SAR ADC 设计 8 通道多路复用数据采集系统。
- 设计一种软件算法来补偿通道之间的额外相位差。

### 9.2.1.2 详细设计过程

此设计的应用电路和系统图如 [图 9-1](#) 中所示。此设计包括适用于电力自动化应用的多通道数据采集系统的完整硬件和软件实现。

ADS8688W 使用单个 5V 电源支持高达  $\pm 12.288V$  的双极输入范围，并提供 SAR 架构产生的最小数据输出延迟。该器件提供的集成使得 ADS8688W 成为此类应用的理想选择，因为集成的信号调节功能有助于大幅减少系统元件，并且无需生成高压电源轨。该器件提供的整体系统级直流精度（增益和失调电压误差）和低温度漂移有助于系统设计人员无需校准即可实现所需的系统精度。

该设计中实现的软件算法使用离散傅里叶变换 (DFT) 方法来计算和跟踪输入信号频率，获取单个信号的精确相位角、计算相位差并实现相位补偿。整个算法有四个步骤：

- 计算多路复用输入通道导致的 ADC 引入的理论相位差。
- 使用频率跟踪和 DFT 技术来估算输入信号的频率。
- 根据估算的频率计算系统中所有信号的相位角。
- 使用在第一步中计算的额外多路复用器相位延迟的理论值来补偿所有通道的相位差。



有关分步设计过程、电路原理图、物料清单、PCB 文件、仿真结果和测试结果，请参阅 [可编程逻辑控制器 \(PLC\) 的 16 位 8 通道集成模拟输入模块 \(TIDU365\)](#)。

### 9.2.1.3

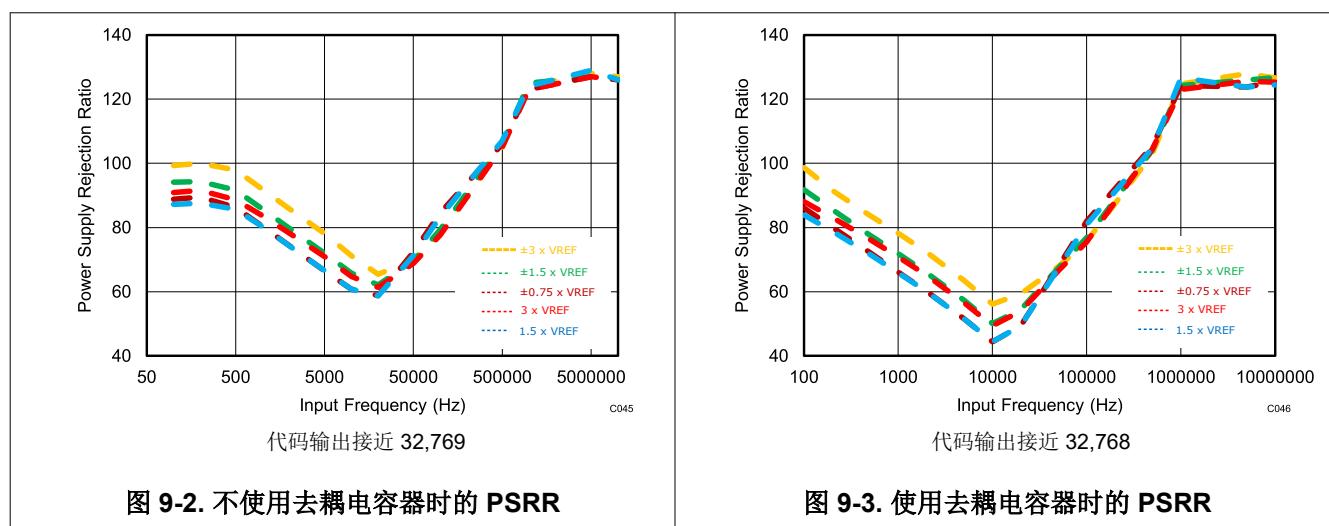


有关分步设计过程、电路原理图、物料清单、PCB 文件、模拟结果和测试结果，请参阅 [电力自动化相位补偿 8 通道多路复用数据采集系统参考设计 \(TIDU427\)](#)。

## 9.3 电源相关建议

该器件使用两个独立的电源：AVDD 和 DVDD。器件内部电路使用 AVDD 电源运行，而 DVDD 电源用于数字接口。AVDD 和 DVDD 可以单独设定为允许范围内的任意值。

在各个电源上，使用最小  $10\mu F$  和  $1\mu F$  的电容器，在 AVDD 电源引脚与 AGND 之间去耦合。将  $1\mu F$  电容器尽可能靠近电源引脚放置。应将最小  $10\mu F$  的去耦电容器靠近 DVDD 电源放置，用于提供高频数字开关电流。使用去耦电容器的作用表现在器件电源抑制比 (PSRR) 性能的差异上。图 9-2 显示了不使用去耦电容器时器件的 PSRR。使用去耦电容器时，PSRR 会有所改善，如图 9-3 中所示。



## 9.4 布局

### 9.4.1 布局指南

图 9-4 显示了 ADS8688W 的 PCB 布局示例。

- 将 PCB 分为模拟和数字部分。必须确保让模拟信号始终远离数字线路。这种布局有助于使模拟输入和基准输入信号远离数字噪声。在此布局示例中，模拟输入和基准信号路由到电路板的下侧，数字连接路由到电路板的顶部。
- 强烈建议使用单个专用接地平面。
- ADS8688W 的电源必须纯净且具有合适的旁路配置。TI 建议，在模拟 (AVDD) 电源引脚附近使用额定值至少为 10V 的  $1\ \mu\text{F}$ 、X7R 级 0603 尺寸陶瓷电容器。为了对数字 (DVDD) 电源引脚去耦合，请使用额定值至少为 10V 的  $10\ \mu\text{F}$ 、X7R 级 0805 尺寸陶瓷电容器。避免在 AVDD 和 DVDD 引脚和旁路电容器之间放置过孔。使用低阻抗短路径将所有接地引脚连接到接地平面。
- REFCAP 引脚使用了两个去耦电容器。第一个是靠近器件引脚放置的小型  $1\ \mu\text{F}$ 、X7R 级 0603 尺寸陶瓷电容器，用于对高频信号去耦合；第二个是  $22\ \mu\text{F}$ ，X7R 级 1210 尺寸的陶瓷电容器，用于提供器件基准电路所需的电荷。这两个电容器必须直接连接到器件引脚，确保引脚和电容器之间没有任何过孔。
- 如果使用了器件的内部基准，则必须使用  $10\ \mu\text{F}$  的陶瓷电容器对 REFIO 引脚去耦合。该电容器必须尽量靠近器件引脚。
- 对于辅助通道，飞轮 RC 滤波器元件必须尽量靠近器件。在表面贴装陶瓷电容器中，COG (NPO) 陶瓷电容器可提供理想的电容精度。COG (NPO) 陶瓷电容器中使用的电介质类型在电压、频率和温度变化时可提供非常稳定的电气特性。

#### 9.4.2 布局示例

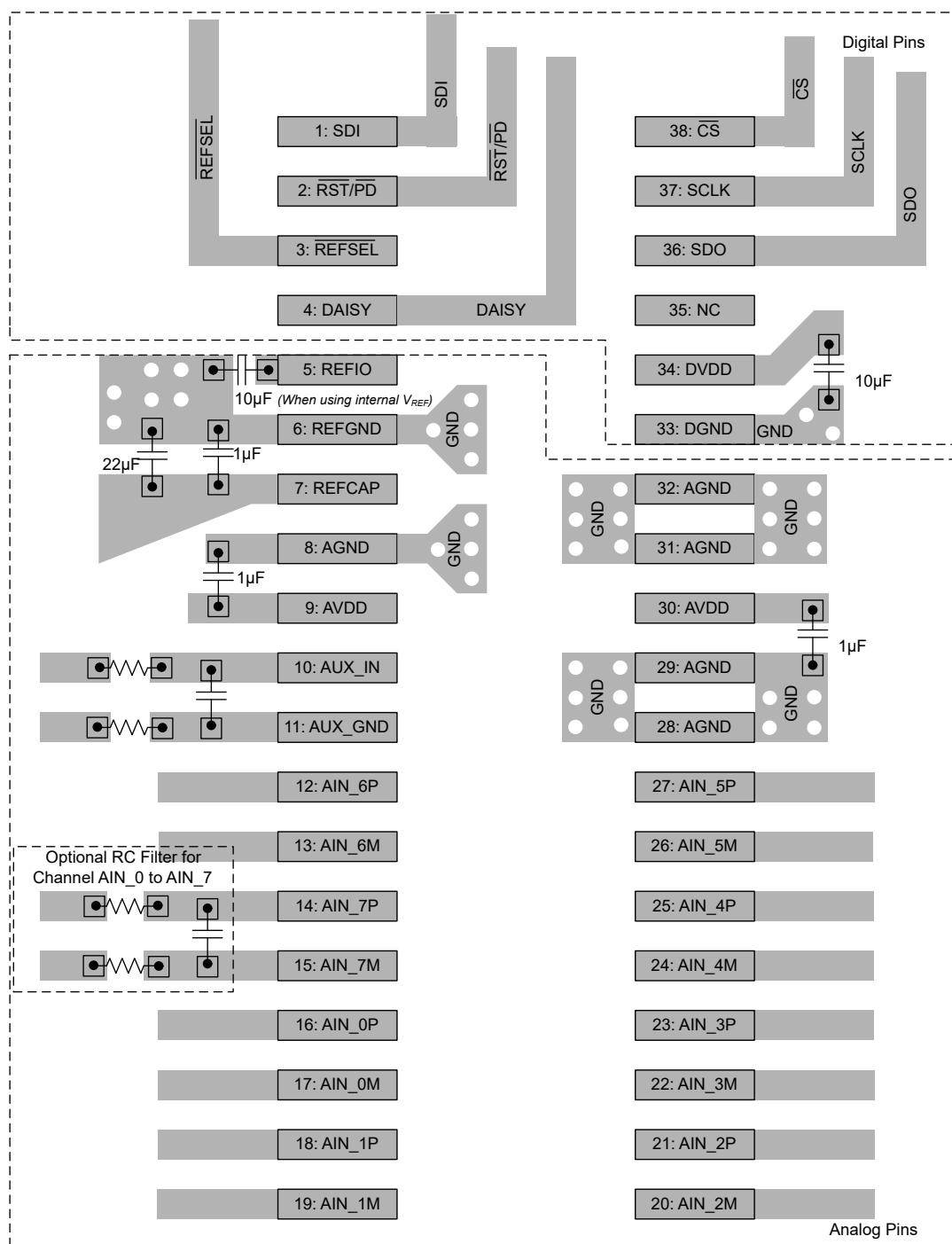


图 9-4. ADS8688W 的电路板布局布线

## 10 器件和文档支持

### 10.1 文档支持

#### 10.1.1 相关文档

请参阅以下相关文档：

- [LM5017 100V、600mA 恒定导通时间同步降压稳压器数据表 \(SNVS783\)](#)
- [具有关断功能的 OPA320 高精度、20MHz、0.9pA、低噪声、RRIO、CMOS 运算放大器数据表 \(SBOS513\)](#)
- [REF50xx 低噪声、极低温漂、精密电压基准数据表 \(SBOS410\)](#)
- [AN-2029 操作和处理建议应用报告 \(SNOA550\)](#)
- [适用于可编程逻辑控制器 \(PLC\) 的 16 位 8 通道软件可配置模拟输入模块 TI 设计 \(TIDU365\)](#)
- [用于电力自动化的相位补偿 8 通道多路复用数据采集系统参考设计 TI 设计 \(TIDU427\)](#)

### 10.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击[通知](#)进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

### 10.3 支持资源

[TI E2E™ 中文支持论坛](#)是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

### 10.4 商标

SPI™ is a trademark of Motorola.

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

### 10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

 ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

### 10.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

## 11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
December 2025	*	初始发行版

## 12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS8688WDBTR	Active	Production	null (null)	2500   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS8688W

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月