

ADS1x2S14 低功耗 16 位和 24 位 8 通道 64kSPS Δ-Σ ADC， 具有 PGA、电压基准和 SPI

1 特性

- 低功耗 (低至 $57 \mu\text{A}$)
- 宽电源电压范围：
 - 模拟：1.74V 至 3.6V
 - 数字：1.65V 至 3.6V
- 可编程增益: 0.5 至 256
- 可编程数据速率 (高达 64kSPS) 和速度模式，用于权衡功耗和噪声性能
- 使用单周期趋稳数字滤波器在 20SPS 或 25SPS 下实现同步 50Hz 和 60Hz 抑制
- 具有 8 独立可选输入的模拟多路复用器
- 双匹配可编程电流源
- 内部可编程电压基准：
- 1.25V 或 2.5V，漂移为 $25\text{ppm}/^\circ\text{C}$ (最大)
- 内部 1% (最大) 高精度振荡器
- 内部温度传感器
- 四个通用 I/O (推挽或开漏输出)
- SPI 兼容接口，具有可选的 CRC 和菊花链功能

2 应用

- 现场发送器：
- 温度、压力、应变、流量
- PLC 和 DCS 模拟输入模块
- 温度控制器
- 患者监护系统：
- 体温、血压

3 说明

ADS1x2S14 是精密低功耗 16 位和 24 位模数转换器 (ADC)，提供了许多集成功能，可降低最常见传感器测量应用中的系统成本和元件数量。这些器件通过灵活的输入多路复用器 (MUX)、低噪声可编程增益放大器 (PGA)、可编程低漂移电压基准、两个可编程激励电流源、振荡器和温度传感器实现八模拟输入。

四种速度模式以及 20SPS 至 64kSPS 的可编程输出数据速率，可优化每种应用的功耗和噪声性能。在 20SPS 和 25SPS 的输出数据速率下，集成数字滤波器提供同步 50Hz 和 60Hz 线路周期抑制并实现单周期趋稳。

封装信息

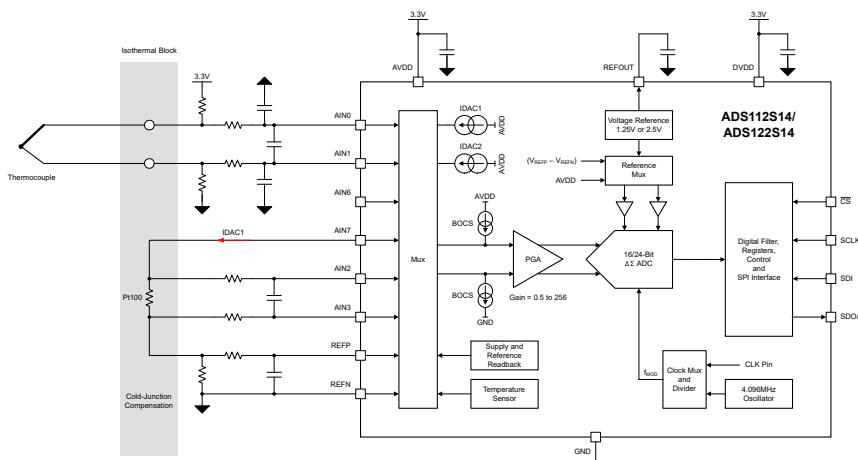
器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
ADS1x2S14	RTE (WQFN , 16)	3.00mm × 3.00mm
	YBH (DSBGA , 16)	1.87mm × 1.97mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品目录。

(2) 封装尺寸 (长 × 宽) 为标称值。

表 3-1. 器件信息

器件型号	分辨率	模拟输入
ADS112S14	16 位	8
ADS122S14	24 位	8



使用 2 线 Pt100 RTD 通过冷端补偿
进行 K 型热电偶测量



本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性	1	7.5.3 串行接口通信结构	40
2 应用	1	7.5.4 器件命令	43
3 说明	1	7.5.5 连续读取模式	48
4 引脚配置和功能	3	7.5.6 菊花链运行	50
5 规格	5	7.5.7 3线 SPI 模式	52
5.1 绝对最大额定值	5	7.5.8 监控新转换数据	52
5.2 ESD 等级	5	7.5.9 \overline{DRDY} 引脚行为	54
5.3 建议运行条件	6	7.5.10 转换数据格式	57
5.4 热性能信息	6	7.5.11 寄存器映射 CRC	58
5.5 电气特性	7	8 寄存器	59
5.6 时序要求	14	9 应用和实施	77
5.7 开关特性	14	9.1 应用信息	77
5.8 时序图	14	9.1.1 串行接口连接	77
5.9 典型特性	15	9.1.2 连接多个器件	78
6 参数测量信息	16	9.1.3 未使用的输入和输出	78
6.1 噪声性能	16	9.1.4 器件初始化	79
7 详细说明	20	9.2 典型应用	80
7.1 概述	20	9.2.1 软件可配置 RTD 测量输入	80
7.2 功能方框图	21	9.2.2 使用 2 线 RTD 通过冷端补偿进行热电偶测量	85
7.3 特性说明	21	9.2.3 具有温度补偿的电阻式电桥传感器测量	86
7.3.1 模拟输入和多路复用器	21	9.3 电源相关建议	88
7.3.2 可编程增益放大器 (PGA)	23	9.3.1 电源	88
7.3.3 电压基准	23	9.3.2 电源排序	88
7.3.4 时钟源	24	9.3.3 电源去耦	88
7.3.5 Δ - Σ 调制器	25	9.4 布局	89
7.3.6 数字滤波器	25	9.4.1 布局指南	89
7.3.7 激励电流源 (IDAC)	30	9.4.2 布局示例	90
7.3.8 烧毁电流源 (BOCS)	30	10 器件和文档支持	91
7.3.9 通用 IO (GPIO)	30	10.1 文档支持	91
7.3.10 系统监控器	31	10.1.1 相关文档	91
7.3.11 监控器和状态标志	33	10.2 接收文档更新通知	91
7.4 器件功能模式	35	10.3 支持资源	91
7.4.1 上电和复位	35	10.4 商标	91
7.4.2 工作模式	36	10.5 静电放电警告	91
7.5 编程	38	10.6 术语表	91
7.5.1 串行接口 (SPI)	38	11 修订历史记录	91
7.5.2 串行接口信号	38	12 机械、封装和可订购信息	91

4 引脚配置和功能

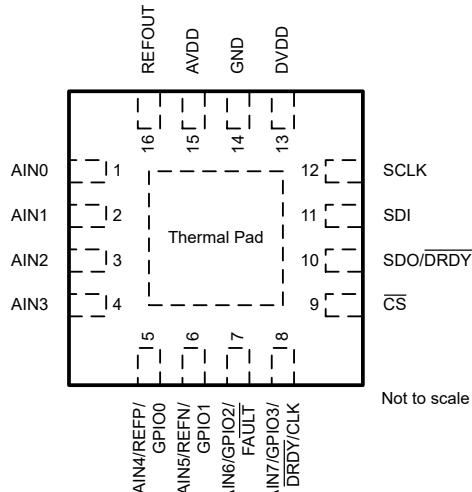


图 4-1. ADS1x2S14 , RTE 封装 ,
16 引脚 WQFN , 顶视图

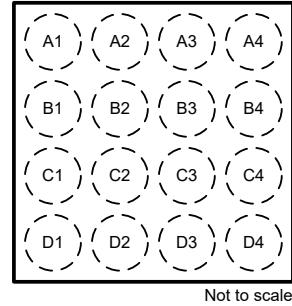


图 4-2. ADS1x2S14 , YBH 封装 ,
16 引脚 DSBGA , 顶视图

表 4-1. ADS1x2S14 引脚功能

引脚			类型	说明 ⁽¹⁾
名称	RTE	YBH		
AIN0	1	A4	模拟输入	模拟输入 0
AIN1	2	B4	模拟输入	模拟输入 1
AIN2	3	C4	模拟输入	模拟输入 2
AIN3	4	D4	模拟输入	模拟输入 3
AIN4/REFP/ GPIO0	5	B3	模拟输入/ 数字 IO	模拟输入 4。正外部基准输入。 通用数字输入/输出 0。 ^{(2) (4)}
AIN5/REFN/ GPIO1	6	C3	模拟输入/ 数字 IO	模拟输入 5。负外部基准输入。 通用数字输入/输出 1。 ^{(2) (4)}
AIN6/ GPIO2/FAULT	7	D3	模拟输入/ 数字 IO	模拟输入 6。 通用数字输入/输出 2。 ^{(2) (4)} 引脚可配置为专用 FAULT 输出。
AIN7/ GPIO3/DRDY/CLK	8	D2	模拟输入/ 数字 IO	模拟输入 7。 通用数字输入/输出 3。 ^{(2) (4)} 引脚可配置为专用 DRDY 输出或外部时钟输入。
AVDD	15	A2	模拟电源	正模拟电源。将 100nF 电容器连接至 GND。
CS	9	C2	数字输入	芯片选择输入。低电平有效。 ⁽⁵⁾
DVDD	13	A1	数字电源	数字电源。将 100nF 电容器连接至 GND。
GND	14	B2	接地	接地
REFOUT	16	A3	模拟输出	内部电压基准输出。将 100nF 电容器连接至 GND。
SCLK	12	B1	数字输入	串行数据时钟输入 ⁽⁵⁾
SDI	11	C1	数字输入	串行数据输入 ⁽⁵⁾
SDO/DRDY	10	D1	数字输出	串行数据输出和数据就绪指示 ^{(3) (5)}
散热焊盘	-	不适用	-	散热 PowerPAD。连接至 GND。

(1) 有关如何连接未使用的引脚的详细信息，请参阅[未使用的输入和输出](#)一节。

(2) 可配置为推挽或开漏输出。

(3) 推挽式输出。

- (4) 以 AVDD 为基准的逻辑电平。
- (5) 以 DVDD 为基准的逻辑电平。

5 规格

5.1 绝对最大额定值

在工作环境温度范围内测得 (除非另有说明) ⁽¹⁾

			最小值	最大值	单位
电源电压	AVDD 至 GND		-0.3	5	V
	DVDD 至 GND		-0.3	5.5	V
模拟输入电压	AINx、REFP、REFN		GND - 0.3	AVDD + 0.3	V
数字输入电压	GPIO0、GPIO1、GPIO2/FAULT、GPIO3/DRDY/CLK		GND - 0.3	AVDD + 0.3	V
数字输入电压	CS、SCLK、SDI、SDO/DRDY		GND - 0.3	DVDD + 0.3	V
输入电流	连续，除电源引脚外的任何引脚		-10	10	mA
温度	结温，T _J			140	°C
	贮存温度，T _{stg}		-60	150	°C

- (1) 超出绝对最大额定值范围操作可能会导致器件永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议的工作条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±750	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在工作环境温度范围内测得 (除非另有说明)

			最小值	标称值	最大值	单位
电源						
模拟电源		AVDD 至 GND , $I_{IDAC} \leqslant 500\mu A$	1.74	3.6	3.6	V
		AVDD 至 GND , $I_{IDAC} > 500\mu A$ 或内部 $V_{REF} = 2.5V$	2.7	3.6		
数字电源		DVDD 至 GND	1.65	3.6	3.6	V
模拟输入⁽¹⁾						
V_{AINx}	绝对输入电压	增益 = 0.5 至 10	GND	AVDD - 0.35	V	V
		增益 = 16 至 256	GND + 0.35	AVDD - 0.4		
V_{IN}	差动输入电压 ⁽²⁾	单极标准二进制编码	0	$V_{REF}/\text{增益}$	V	V
		二进制补码编码	- $V_{REF}/\text{增益}$	$V_{REF}/\text{增益}$		
电压基准输入						
V_{REF}	差分基准输入电压	$V_{REF} = (V_{REFP} - V_{REFN})$	0.5	AVDD	V	V
V_{REFN}	绝对负基准电压	负基准缓冲器已禁用	GND - 0.05		V	V
		负基准缓冲器已启用	GND + 0.1		V	V
V_{REFP}	绝对正基准电压	正基准缓冲器已禁用		AVDD + 0.05	V	V
		正基准缓冲器已启用		AVDD - 0.1	V	V
外部时钟源⁽³⁾						
f_{CLK}	外部时钟频率		3	4.096	4.15	MHz
	占空比		40%	50%	60%	
通用输入 (GPIO)						
	输入电压		GND	AVDD	V	V
数字输入 (GPIO 以外)						
	输入电压		GND	DVDD	V	V
温度范围						
	额定环境温度		-40	125	°C	
T_A	工作环境温度		-50	125	°C	

(1) A_{INP} 和 A_{INN} 表示 PGA 正输入和负输入。任何可用的模拟输入 (A_{INx}) 均可通过输入多路复用器选择为 A_{INP} 或 A_{INN} 。

(2) $V_{IN} = (V_{AINP} - V_{AINN})$ 。排除失调电压误差和增益误差的影响。

(3) 使用内部振荡器时，不需要外部时钟。

5.4 热性能信息

热指标 ⁽¹⁾		WQFN (RTE)	DSBGA (YBH)	单位
		16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	59.3	86.4	°C/W
$R_{\theta JC(\text{top})}$	结至外壳 (顶部) 热阻	40.2	0.2	°C/W
$R_{\theta JB}$	结至电路板热阻	31.6	22.9	°C/W
Ψ_{JT}	结至顶部特征参数	0.8	0.2	°C/W
Ψ_{JB}	结至电路板特征参数	31.5	22.9	°C/W
$R_{\theta JC(\text{bot})}$	结至外壳 (底部) 热阻	27.2	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用手册。

5.5 电气特性

最小值和最大值规格的适用条件 $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ ；典型值规格的适用条件为 $T_A = 25^\circ\text{C}$ ；所有规格的适用条件为 $\text{AVDD} = 1.74\text{V}$ 至 3.6V , $\text{DVDD} = 1.65\text{V}$ 至 3.6V , 内部基准、内部振荡器、所有速度模式、所有数据速率、所有增益设置和全局斩波已禁用（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
模拟输入					
绝对输入电流 ⁽¹⁾	所有增益, $f_{\text{DATA}} = 20\text{SPS}$ 或 25SPS , 全局斩波已启用或禁用, $V_{\text{AINx(MIN)}} \leq V_{\text{AINx}} \leq V_{\text{AINx(MAX)}}, V_{\text{IN}} = 0\text{V}$	-2	± 0.3	2	nA
绝对输入电流漂移 ⁽¹⁾	所有增益, $f_{\text{DATA}} = 20\text{SPS}$ 或 25SPS , 全局斩波已启用或禁用, $V_{\text{AINx(MIN)}} \leq V_{\text{AINx}} \leq V_{\text{AINx(MAX)}}, V_{\text{IN}} = 0\text{V}$		2		$\text{pA}/^\circ\text{C}$
差分输入电流 ⁽¹⁾	所有增益, $f_{\text{DATA}} = 20\text{SPS}$ 或 25SPS , 全局斩波已启用或禁用, $V_{\text{CM}} = \text{AVDD}/2, -V_{\text{REF}}/\text{增益} \leq V_{\text{IN}} \leq V_{\text{REF}}/\text{增益}$	-2	± 0.1	2	nA
差分输入电流漂移 ⁽¹⁾	所有增益, $f_{\text{DATA}} = 20\text{SPS}$ 或 25SPS , 全局斩波已启用或禁用, $V_{\text{CM}} = \text{AVDD}/2, -V_{\text{REF}}/\text{增益} \leq V_{\text{IN}} \leq V_{\text{REF}}/\text{增益}$		2		$\text{pA}/^\circ\text{C}$
PGA					
增益设置		0.5、1、2、4、 5、8、10、 16、20、32、 50、64、100、 128、200、256			
系统性能					
分辨率 (无代码丢失)	ADS112S14	16			位
	ADS122S14	24			
f_{DATA}	输出数据速率	速度模式 0 ($f_{\text{MOD}} = 32\text{kHz}$)	20	2k	SPS
		速度模式 1 ($f_{\text{MOD}} = 256\text{kHz}$)	20	16k	
		速度模式 2 ($f_{\text{MOD}} = 512\text{kHz}$)	20	32k	
		速度模式 3 ($f_{\text{MOD}} = 1024\text{kHz}$)	20	64k	
INL	积分非线性	$V_{\text{CM}} = \text{AVDD}/2$, 最佳拟合	5	15	ppm_{FSR}
V_{IO}	输入偏移电压	$T_A = 25^\circ\text{C}$, 增益 = 0.5, 禁用全局斩波	-250	± 50	250
		$T_A = 25^\circ\text{C}$, 增益 = 1 至 10, 禁用全局斩波	-150	± 20	150
		$T_A = 25^\circ\text{C}$, 增益 ≥ 16 , 禁用全局斩波	-50	± 10	50
		$T_A = 25^\circ\text{C}$, 增益 = 0.5, 启用全局斩波	-5	± 0.5	5
		$T_A = 25^\circ\text{C}$, 增益 ≥ 1 , 启用全局斩波	-2	± 0.2	2
	偏移漂移	增益 ≤ 10 , 禁用全局斩波	60	300	$\text{nV}/^\circ\text{C}$
		增益 ≥ 16 , 禁用全局斩波	20	125	
		所有增益, 启用全局斩波	10	50	
增益误差		$T_A = 25^\circ\text{C}$, 所有增益, 外部基准	-0.3	± 0.08	0.3
增益漂移		所有增益, 外部基准		0.5	2.5
噪声 (输入参考)			请参阅 噪声性能 部分		
NMRR	常模抑制比	$f_{\text{IN}} = 50\text{Hz}$ 或 60Hz ($\pm 1\text{Hz}$), $f_{\text{DATA}} = 20\text{SPS}$	82	95	dB
		$f_{\text{IN}} = 50\text{Hz}$ 或 60Hz ($\pm 1\text{Hz}$), $f_{\text{DATA}} = 20\text{SPS}$, 外部 $f_{\text{CLK}} = 4.096\text{MHz}$	95		
		$f_{\text{IN}} = 50\text{Hz}$ 或 60Hz ($\pm 1\text{Hz}$), $f_{\text{DATA}} = 25\text{SPS}$	57	62	
		$f_{\text{IN}} = 50\text{Hz}$ 或 60Hz ($\pm 1\text{Hz}$), $f_{\text{DATA}} = 25\text{SPS}$, 外部 $f_{\text{CLK}} = 4.096\text{MHz}$	62		
CMRR	共模抑制比	在直流	120		dB
		$f_{\text{CM}} = 50\text{Hz}$ 或 60Hz ($\pm 1\text{Hz}$), $f_{\text{DATA}} = 20\text{SPS}$ 或 25SPS	130		
		$f_{\text{CM}} = 50\text{Hz}$ 或 60Hz ($\pm 1\text{Hz}$), $f_{\text{DATA}} > 25\text{SPS}$	120		

最小值和最大值规格的适用条件 $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ ；典型值规格的适用条件为 $T_A = 25^\circ\text{C}$ ；所有规格的适用条件为 $\text{AVDD} = 1.74\text{V}$ 至 3.6V , $\text{DVDD} = 1.65\text{V}$ 至 3.6V , 内部基准、内部振荡器、所有速度模式、所有数据速率、所有增益设置和全局斩波已禁用（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
PSRR	电源抑制比	AVDD 为直流		110	115	dB
		DVDD 为直流				

最小值和最大值规格的适用条件 $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ ；典型值规格的适用条件为 $T_A = 25^\circ\text{C}$ ；所有规格的适用条件为 $\text{AVDD} = 1.74\text{V}$ 至 3.6V , $\text{DVDD} = 1.65\text{V}$ 至 3.6V , 内部基准、内部振荡器、所有速度模式、所有数据速率、所有增益设置和全局斩波已禁用（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位	
电压基准输入						
绝对输入电流	禁用 REF 缓冲器，速度模式 0 ⁽²⁾	-1.5	± 1	1.5	$\mu\text{A}/\text{V}$	
	禁用 REF 缓冲器，速度模式 1 ⁽²⁾	-7	± 6	7		
	禁用 REF 缓冲器，速度模式 2 ⁽²⁾	-8	± 7	8		
	禁用 REF 缓冲器，速度模式 3 ⁽²⁾	-9	± 8	9		
	启用 REF 缓冲器，速度模式 0	-2	± 0.2	2	nA	
	启用 REF 缓冲器，速度模式 1		3	7		
	启用 REF 缓冲器，速度模式 2		10	12		
	启用 REF 缓冲器，速度模式 3		17	23		
内部电压基准						
V_{REF}	输出电压	$\text{AVDD} < 2.7\text{V}$		1.25	V	
		$\text{AVDD} \geq 2.7\text{V}$		1.25、2.5		
精度	$T_A = 25^\circ\text{C}$	-0.15	± 0.05	0.15	%	
温度漂移			10	25	$\text{ppm}/^\circ\text{C}$	
输出电流	$V_{\text{REF}} = 1.25\text{V}$, 灌电流或拉电流	-5		5	mA	
	$V_{\text{REF}} = 2.5\text{V}$, $\text{AVDD} \geq 2.75\text{V}$, 灌电流或拉电流	-10		5		
短路电流限制	灌电流或源		± 25		mA	
PSRR	电源抑制比	AVDD 为直流		90	dB	
负载调整	负载电流 = -5mA 至 0mA (拉电流)	100			$\mu\text{V}/\text{mA}$	
容性负载稳定性		50	100	1300	nF	
基准噪声	$f = 0.1\text{Hz}$ 至 10Hz , REFOUT 上的 100nF 电容器	4			ppm_{PP}	
启动时间	从断电模式, REFOUT 上的 100nF 电容器, 0.01% 趋稳	10			ms	
内部振荡器						
f_{osc}	频率	4.096			MHz	
	精度	-1		1	%	
激励电流源 (IDAC)						
电流设置		IDAC 单位电流 = 1 μA	1 至 100		μA	
		IDAC 单位电流 = 10 μA , $\text{AVDD} < 2.7\text{V}$	10 至 500			
		IDAC 单位电流 = 10 μA , $\text{AVDD} \geq 2.7\text{V}$	10 至 1000			
顺从电压		$I_{\text{IDAC}} < 100\mu\text{A}$, 电流相对于 $(\text{AVDD} - 1\text{V})$ 的变化小于 1%	GND	$\text{AVDD} - 0.3$	V	
		$I_{\text{IDAC}} = 100\mu\text{A}$ 至 $700\mu\text{A}$, 电流相对于 $(\text{AVDD} - 1\text{V})$ 的变化小于 1%	GND	$\text{AVDD} - 0.4$		
		$I_{\text{IDAC}} \geq 800\mu\text{A}$, 电流相对于 $(\text{AVDD} - 1\text{V})$ 的变化小于 1%	GND	$\text{AVDD} - 0.45$		
精度		$I_{\text{IDAC}} = 1\mu\text{A}$, $T_A = 25^\circ\text{C}$	-6	± 0.4	$\%$	
		$I_{\text{IDAC}} = 10\mu\text{A}$ 至 1mA , $T_A = 25^\circ\text{C}$	-3	± 0.4		
IDAC 之间电流不匹配		$I_{\text{IDAC}} \leq 10\mu\text{A}$, IDAC1 和 IDAC2 设置为相同的值, $T_A = 25^\circ\text{C}$	0.5		$\%$	
		$I_{\text{IDAC}} \geq 20\mu\text{A}$, IDAC1 和 IDAC2 设置为相同的值, $T_A = 25^\circ\text{C}$	0.05			
温度漂移		$I_{\text{IDAC}} = 1\mu\text{A}$	50		$\text{ppm}/^\circ\text{C}$	
		$I_{\text{IDAC}} \geq 10\mu\text{A}$	25			
温度漂移匹配		$I_{\text{IDAC}} \leq 10\mu\text{A}$, IDAC1 和 IDAC2 设置为相同的值	12		$\text{ppm}/^\circ\text{C}$	
		$I_{\text{IDAC}} \geq 20\mu\text{A}$, IDAC1 和 IDAC2 设置为相同的值	1			

最小值和最大值规格的适用条件 $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ ；典型值规格的适用条件为 $T_A = 25^\circ\text{C}$ ；所有规格的适用条件为 $\text{AVDD} = 1.74\text{V}$ 至 3.6V , $\text{DVDD} = 1.65\text{V}$ 至 3.6V , 内部基准、内部振荡器、所有速度模式、所有数据速率、所有增益设置和全局斩波已禁用（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
烧毁电流源 (BOCS)					
电流设置		0.2、1、10			μA
精度	灌电流和拉电流	± 2			%
温度传感器					
$\text{TS}_{\text{Offset}}$	输出电压	$\text{T}_A = 25^\circ\text{C}$	119.5		mV
TS_{TC}	温度系数		405		$\mu\text{V}/^\circ\text{C}$
监控器					
$\text{TH}_{\text{DVDD_POR}}$	DVDD POR 阈值		1.55		V
$\text{TH}_{\text{AVDD_UV}}$	AVDD 欠压阈值 ⁽³⁾		1.2	1.5	V
$\text{TH}_{\text{REF_UV}}$	基准欠压阈值 ⁽³⁾		0.5	0.6	V
	(V _{REFP} - V _{REFN}) / 8		± 0.5		%
		AVDD/8	± 1		
		DVDD/8	± 1		
通用输入/输出 (GPIO)					
V_{IL}	逻辑输入电平, 低		GND	0.3 AVDD	V
V_{IH}	逻辑输入电平, 高		0.7 AVDD	AVDD	V
V_{OL}	逻辑输出电平, 低	$I_{\text{OL}} = 100\mu\text{A}$, 开漏或推挽输出	GND	0.2 AVDD	V
V_{OH}	逻辑输出电平, 高	$I_{\text{OH}} = -100\mu\text{A}$, 推挽输出	0.8 AVDD	AVDD	V
	输入迟滞			10	mV
数字输入/输出					
V_{IL}	逻辑输入电平, 低		GND	0.3 DVDD	V
V_{IH}	逻辑输入电平, 高		0.7 DVDD	DVDD	V
V_{OL}	逻辑输出电平, 低	$I_{\text{OL}} = 1\text{mA}$	GND	0.2 DVDD	V
V_{OH}	逻辑输出电平, 高	$I_{\text{OH}} = -1\text{mA}$	0.8 DVDD	DVDD	V
	输入迟滞			180	mV
	输入电流	$\text{GND} \leq \text{V}_{\text{Digital Input}} \leq \text{DVDD}$	-1	1	μA

最小值和最大值规格的适用条件 $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ ；典型值规格的适用条件为 $T_A = 25^\circ\text{C}$ ；所有规格的适用条件为 $\text{AVDD} = 1.74\text{V}$ 至 3.6V , $\text{DVDD} = 1.65\text{V}$ 至 3.6V , 内部基准、内部振荡器、所有速度模式、所有数据速率、所有增益设置和全局斩波已禁用（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
模拟电源电流 ($\text{AVDD} = 3.3\text{V}$, 外部基准, 禁用基准缓冲器, 禁用 IDAC, 所有数据速率, $V_{IN} = 0\text{V}$)					
I_{AVDD}	模拟电源电流	断电模式	0.2	2	μA
		待机模式	10	16	
		转换模式, 速度模式 0, 增益 = 0.5 至 2	52	59	
		转换模式, 速度模式 0, 增益 = 4 和 5	55	63	
		转换模式, 速度模式 0, 增益 = 8 至 50	61	68	
		转换模式, 速度模式 0, 增益 = 64 至 256	57	64	
		转换模式, 速度模式 1, 增益 = 0.5 至 2	135	145	
		转换模式, 速度模式 1, 增益 = 4 和 5	155	170	
		转换模式, 速度模式 1, 增益 = 8 至 50	205	220	
		转换模式, 速度模式 1, 增益 = 64 至 256	255	275	
		转换模式, 速度模式 2, 增益 = 0.5 至 2	315	335	
		转换模式, 速度模式 2, 增益 = 4 和 5	360	380	
		转换模式, 速度模式 2, 增益 = 8 至 50	450	480	
		转换模式, 速度模式 2, 增益 = 64 至 256	670	705	
		转换模式, 速度模式 3, 增益 = 0.5 至 2	540	570	
		转换模式, 速度模式 3, 增益 = 4 和 5	640	680	
		转换模式, 速度模式 3, 增益 = 8 至 50	870	920	
		转换模式, 速度模式 3, 增益 = 64 至 256	1090	1140	

每个功能的额外模拟电源电流 ($\text{AVDD} = 3.3\text{V}$, $V_{REF} = 2.5\text{V}$)					
I_{AVDD}	模拟电源电流	内部电压基准, 速度模式 0	4.5	6	μA
		内部电压基准, 速度模式 1	25	28	
		内部电压基准, 速度模式 2	35	40	
		内部电压基准, 速度模式 3	65	75	
		启用 REFP 或 REFN 缓冲器, 速度模式 0	4.5	6	
		启用 REFP 或 REFN 缓冲器, 速度模式 1	25	28	
		启用 REFP 或 REFN 缓冲器, 速度模式 2	35	40	
		启用 REFP 或 REFN 缓冲器, 速度模式 3	65	75	
		启用 REFP 和 REFN 缓冲器, 速度模式 0	6.5	9	
		启用 REFP 和 REFN 缓冲器, 速度模式 1	33	39	
		启用 REFP 和 REFN 缓冲器, 速度模式 2	51	60	
		启用 REFP 和 REFN 缓冲器, 速度模式 3	106	124	
		IDAC 开销, IDAC 单位电流 = $1\mu\text{A}$	4	6	
		IDAC 开销, IDAC 单位电流 = $10\mu\text{A}$	16	28	

数字电源电流 ($\text{DVDD} = 3.3\text{V}$, 所有数据速率, SPI 未激活)					
I_{DVDD}	数字电源电流	断电模式	1.6	6.5	μA
		待机模式, 速度模式 0	8	13	
		待机模式, 速度模式 1	20	26	
		待机模式, 速度模式 2	26	33	
		待机模式, 速度模式 3	40	47	
		转换模式, 速度模式 0	9	16	
		转换模式, 速度模式 1	30	38	
		转换模式, 速度模式 2	48	56	
		转换模式, 速度模式 3	82	92	

最小值和最大值规格的适用条件 $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ ；典型值规格的适用条件为 $T_A = 25^\circ\text{C}$ ；所有规格的适用条件为 $\text{AVDD} = 1.74\text{V}$ 至 3.6V , $\text{DVDD} = 1.65\text{V}$ 至 3.6V , 内部基准、内部振荡器、所有速度模式、所有数据速率、所有增益设置和全局斩波已禁用（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
模拟电源电流 ($\text{AVDD} = 1.8\text{V}$, 外部基准, 禁用基准缓冲器, 禁用 IDAC, 所有数据速率, $V_{IN} = 0\text{V}$)					
I _{AVDD}	模拟电源电流	断电模式	0.2	2	μA
		待机模式	8	14	
		转换模式, 速度模式 0, 增益 = 0.5 至 2	48	55	
		转换模式, 速度模式 0, 增益 = 4 和 5	51	58	
		转换模式, 速度模式 0, 增益 = 8 至 50	57	64	
		转换模式, 速度模式 0, 增益 = 64 至 256	53	60	
		转换模式, 速度模式 1, 增益 = 0.5 至 2	120	130	
		转换模式, 速度模式 1, 增益 = 4 和 5	140	155	
		转换模式, 速度模式 1, 增益 = 8 至 50	190	205	
		转换模式, 速度模式 1, 增益 = 64 至 256	240	260	
		转换模式, 速度模式 2, 增益 = 0.5 至 2	285	305	
		转换模式, 速度模式 2, 增益 = 4 和 5	325	345	
		转换模式, 速度模式 2, 增益 = 8 至 50	420	445	
		转换模式, 速度模式 2, 增益 = 64 至 256	635	670	
		转换模式, 速度模式 3, 增益 = 0.5 至 2	485	515	
		转换模式, 速度模式 3, 增益 = 4 和 5	580	620	
		转换模式, 速度模式 3, 增益 = 8 至 50	810	860	
		转换模式, 速度模式 3, 增益 = 64 至 256	1020	1080	
每个功能的额外模拟电源电流 ($\text{AVDD} = 1.8\text{V}$, $V_{REF} = 1.25\text{V}$)					
I _{AVDD}	模拟电源电流	内部电压基准, 速度模式 0	3.5	5	μA
		内部电压基准, 速度模式 1	16	20	
		内部电压基准, 速度模式 2	26	31	
		内部电压基准, 速度模式 3	56	66	
		启用 REFP 或 REFN 缓冲器, 速度模式 0	3.5	5	
		启用 REFP 或 REFN 缓冲器, 速度模式 1	16	20	
		启用 REFP 或 REFN 缓冲器, 速度模式 2	26	31	
		启用 REFP 或 REFN 缓冲器, 速度模式 3	56	66	
		启用 REFP 和 REFN 缓冲器, 速度模式 0	5.5	8	
		启用 REFP 和 REFN 缓冲器, 速度模式 1	25	30	
		启用 REFP 和 REFN 缓冲器, 速度模式 2	43	53	
		启用 REFP 和 REFN 缓冲器, 速度模式 3	100	120	
		IDAC 开销, IDAC 单位电流 = 1μA	4	6	
		IDAC 开销, IDAC 单位电流 = 10μA	16	28	
数字电源电流 ($\text{DVDD} = 1.8\text{V}$, 所有数据速率, SPI 未激活)					

最小值和最大值规格的适用条件 $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ ；典型值规格的适用条件为 $T_A = 25^\circ\text{C}$ ；所有规格的适用条件为 $\text{AVDD} = 1.74\text{V}$ 至 3.6V , $\text{DVDD} = 1.65\text{V}$ 至 3.6V , 内部基准、内部振荡器、所有速度模式、所有数据速率、所有增益设置和全局斩波已禁用（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
I_{DVDD}	断电模式	1.6	6.5		μA
	待机模式，速度模式 0	7	13		
	待机模式，速度模式 1	19	26		
	待机模式，速度模式 2	25	33		
	待机模式，速度模式 3	39	47		
	转换模式，速度模式 0	9	16		
	转换模式，速度模式 1	30	38		
	转换模式，速度模式 2	48	56		
	转换模式，速度模式 3	82	92		

- (1) 输入电流随速度模式、数据速率、增益和全局斩波模式设置成比例缩放。
- (2) 电流会流入 **REFP** 并从 **REFN** 中流出。
- (3) 欠压监控器始终会在低于指定最小值的情况下跳闸，而不会在高于指定最大值的情况下跳闸。

5.6 时序要求

在工作环境温度范围内测得 (除非另有说明)

		最小值	最大值	单位
$t_{c(SC)}$	SCLK 周期	60	$1/(4 f_{DATA})$	ns
$t_w(SCL)$	脉冲持续时间, SCLK 低电平	20		ns
$t_w(SCH)$	脉冲持续时间, SCLK 高电平	30		ns
$t_d(CSSC)$	延迟时间, \overline{CS} 下降沿后的第一个 SCLK 上升沿	10		ns
$t_d(SCCS)$	延迟时间, 最后一个 SCLK 下降沿后的 \overline{CS} 上升沿	10		ns
$t_w(CSH)$	脉冲持续时间, \overline{CS} 为高电平	30		ns
$t_{su(DI)}$	建立时间, SCLK 下降沿前的 SDI 有效	8		ns
$t_h(DI)$	保持时间, SDI 在 SCLK 下降沿后有效	8		ns
$t_d(fr2fr)$	3 线制 SPI 模式下帧之间的延迟时间	0		ns
$t_h(DIIR)$	保持时间, SDI 高电平强制接口重新同步 (仅限 3 线 SPI 模式)。接口重新同步发生在 SDI 再次处于低电平的第一个 SCLK 下降沿。	63		t_{SCLK}
$t_d(RST)$	软件复位后使用 SPI 复位模式中 RESET[5:0] 位字段启动 SPI 通信的延迟时间	500		μs
$t_d(POR)$	在 DVDD 超过最小 DVDD 电压后的第一个 SCLK 上升沿的延迟时间	5		ms

5.7 开关特性

在工作环境温度范围内, $C_{LOAD} = 20pF$ (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
$t_p(CSDO)$	传播延迟时间, \overline{CS} 下降沿至 SDO/DRDY 驱动			25	ns
$t_p(CSDOZ)$	传播延迟时间, \overline{CS} 上升沿至 SDO/DRDY 高阻抗状态			25	ns
$t_p(SCDO)$	传播延迟时间, SCLK 上升沿至有效 SDO/DRDY			28	ns
$t_w(DRH)$	脉冲持续时间, \overline{DRDY} 为高电平		2		t_{MOD}
$t_p(SCDR)$	传播延迟时间, 转换结果 MSB 读取到 DRDY 返回高电平的第 8 个 SCLK 下降沿			5	t_{MOD}
$t_p(DODR)$	传播延迟时间, SDO/DRDY 从 SDO 模式转换为 DRDY 模式的读取操作的最后一个 SCLK 下降沿	SDO_DRDY = 1b		50	ns
$t_p(GPIO)$	传播延迟时间, 寄存器写入命令到 GPIOx 输出有效的 \overline{CS} 上升沿			100	ns

5.8 时序图

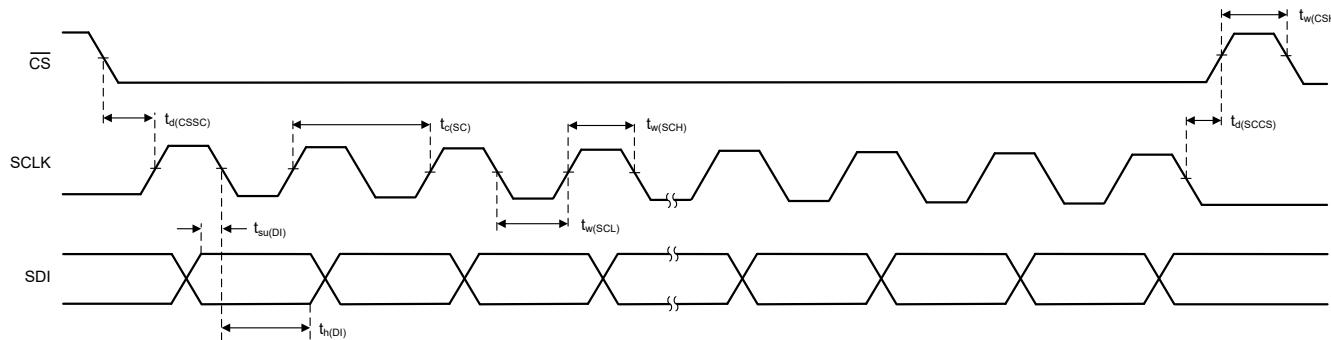


图 5-1. 串行接口时序要求

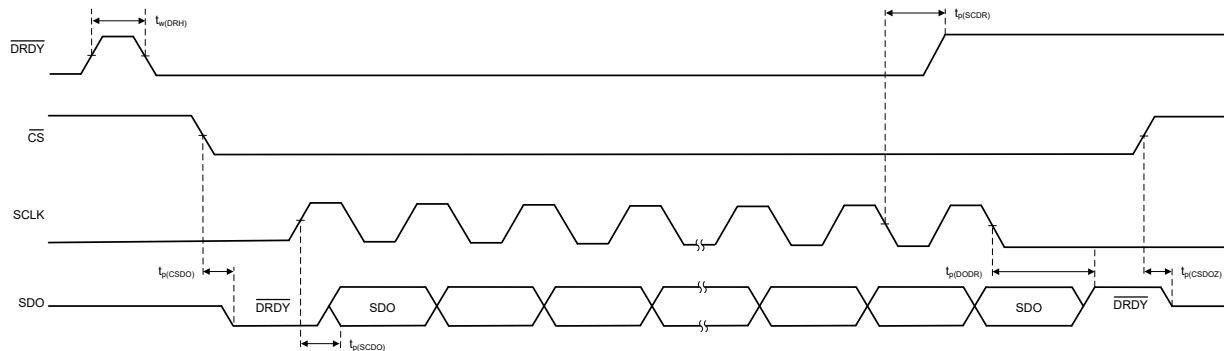


图 5-2. 串行接口开关特性

5.9 典型特性

$T_A = 25^\circ\text{C}$ (除非另有说明)

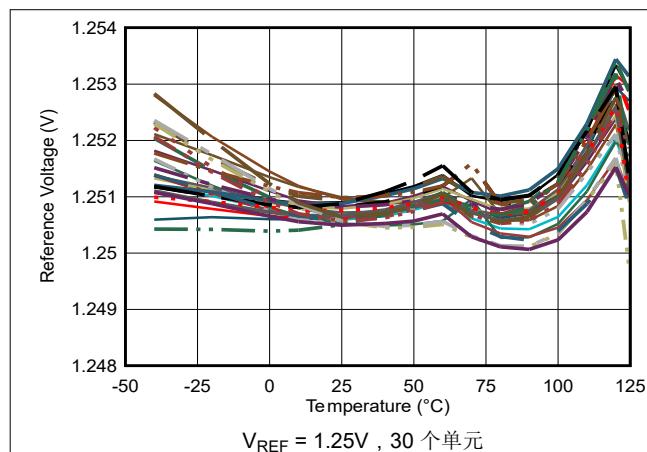


图 5-3. 内部基准电压与温度间的关系

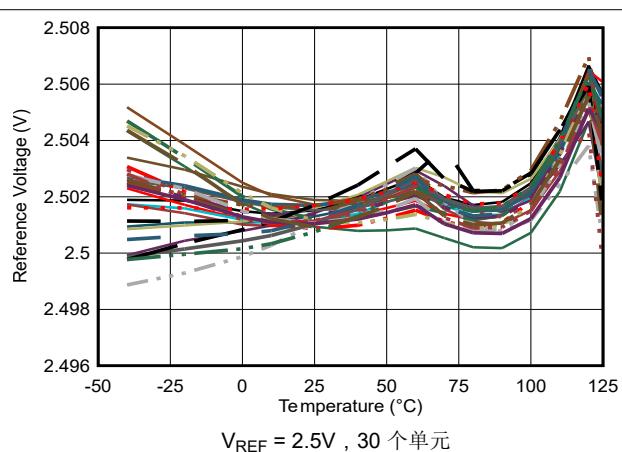


图 5-4. 内部基准电压与温度间的关系

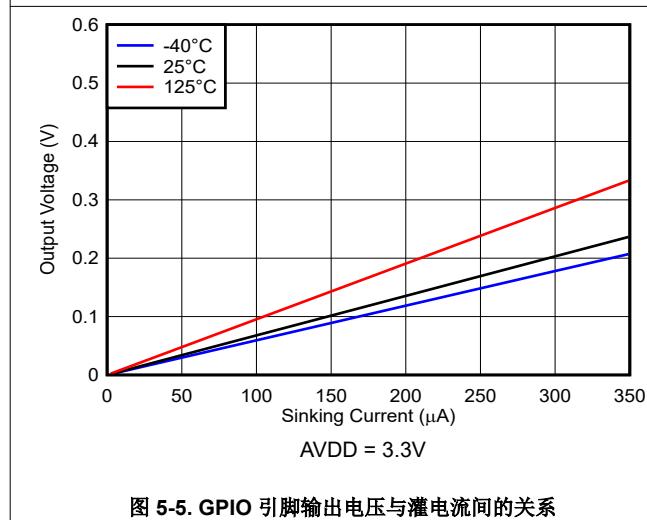


图 5-5. GPIO 引脚输出电压与灌电流间的关系

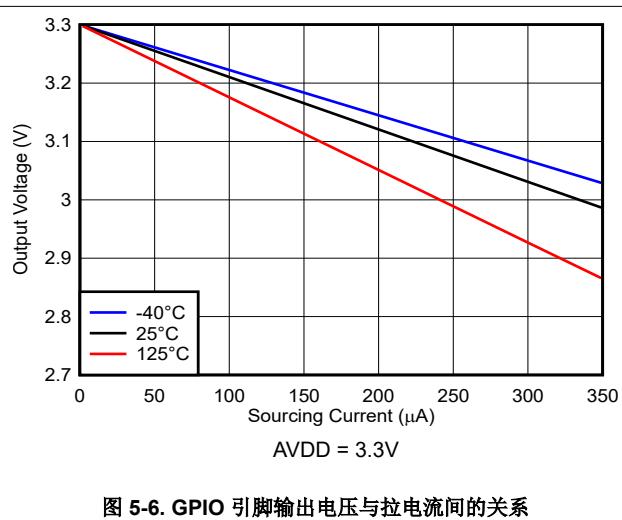


图 5-6. GPIO 引脚输出电压与拉电流间的关系

6 参数测量信息

6.1 噪声性能

$\Delta-\Sigma$ ($\Delta \Sigma$) 模数转换器 (ADC) 基于过采样原理。 $\Delta \Sigma$ ADC 的输入信号在高频下 (调制器频率) 进行采样，随后在数字域中进行滤波和抽取，从而在相应输出数据速率下生成转换结果。调制器频率与输出数据速率的比值称为过采样率 (OSR)。通过增加 OSR 并降低输出数据速率，ADC 的噪声性能可以被优化。即当输出数据速率下降时，获取一个转换结果需要对内部调制器的更多样本求取平均值，因此输入参考噪声下降。增大增益还可降低输入参考噪声，这在测量低电平信号时特别有用。

表 6-1 到表 6-3 汇总了在 $T_A = 25^\circ\text{C}$ 条件下使用 $f_{\text{CLK}} = 4.096\text{MHz}$ 时的典型噪声性能。显示的数据是典型的输入参考噪声结果 (e_n)，单位为 μV_{RMS} ，其中模拟输入短接在一起。至少使用 1,000 次连续转换或 10 秒连续转换 (以先发生者为准) 来测量 RMS 噪声。由于噪声具有随机性质，所以重复的噪声测量会产生更高或更低的噪声结果。

根据所选编码方案，使用 方程式 1 或 方程式 2 从提供的 μV_{RMS} 数字计算有效分辨率。

$$\text{Binary two's complement coding: Effective Resolution} = \ln[(2 \times V_{\text{REF}} / \text{Gain}) / e_{n(\text{RMS})}] / \ln(2) \quad (1)$$

$$\text{Unipolar straight binary coding: Effective Resolution} = \ln[(V_{\text{REF}} / \text{Gain}) / e_{n(\text{RMS})}] / \ln(2) \quad (2)$$

以 μV_{PP} 为单位的输入参考噪声 (e_n) 可以估算为 $e_{n(\text{PP})} = 6.6 \times e_{n(\text{RMS})}$ 。根据所选编码方案，使用 方程式 3 或 方程式 4 从估算的 μV_{PP} 数字计算无噪声分辨率。

$$\text{Binary two's complement coding: Noise-free Resolution} = \ln[(2 \times V_{\text{REF}} / \text{Gain}) / e_{n(\text{PP})}] / \ln(2) \quad (3)$$

$$\text{Unipolar straight binary coding: Noise-free Resolution} = \ln[(V_{\text{REF}} / \text{Gain}) / e_{n(\text{PP})}] / \ln(2) \quad (4)$$

使用短接输入时的输入参考噪声性能只会随基准电压发生不显著变化。也就是说，表 6-1 到表 6-3 也适用于其他基准电压值。

在全局斩波模式下，器件会在输入交换的情况下对 ADC 的两次测量结果求平均值。全局斩波模式可显著降低器件的输入失调电压，并将噪声降低为原来的 $1/\sqrt{2}$ 。

噪声数据使用 24 位版本的器件进行测量。对于 16 位器件，以 LSB 大小对噪声数据进行削波。

**表 6-1. 输入参考噪声 (以 μV_{RMS} 为单位) ,
AVDD = 3.3V , 禁用全局斩波模式 , 内部 2.5V 基准 , 增益 = 0.5 至 8**

OSR	数据速率 (SPS) (1)	增益					
		0.5	1	2	4	5	8
速度模式 0 ($f_{MOD} = 32\text{kHz}$)							
1600	20	8.06	3.91	2.20	1.44	1.37	0.99
1280	25	8.44	4.36	2.46	1.51	1.50	1.10
1024	31.25	8.27	4.22	3.32	1.46	1.44	1.07
512	62.5	11.5	5.82	3.27	2.09	2.00	1.47
256	125	16.1	8.18	4.44	2.91	2.91	2.08
128	250	21.6	10.9	6.20	3.80	3.80	2.75
32	1000	33.1	16.5	9.24	5.80	5.80	4.13
16	2000	51.7	26.0	14.1	8.37	8.37	5.81
速度模式 1 ($f_{MOD} = 256\text{kHz}$)							
12800	20	2.46	1.32	0.80	0.57	0.57	0.49
10240	25	2.64	1.41	0.82	0.61	0.59	0.54
1024	250	7.34	3.87	2.33	1.69	1.69	1.53
512	500	10.4	5.41	3.23	2.37	2.37	2.15
256	1000	14.4	7.44	4.51	3.31	3.31	2.98
128	2000	19.5	10.2	6.08	4.39	4.39	3.93
32	8000	29.4	15.2	9.10	6.56	6.56	5.76
16	16000	49.4	25.3	14.5	9.78	9.77	8.26
速度模式 2 ($f_{MOD} = 512\text{kHz}$)							
25600	20	1.74	0.90	0.51	0.33	0.33	0.28
20480	25	1.85	0.99	0.55	0.35	0.35	0.30
1024	500	7.36	3.75	2.11	1.42	1.40	1.18
512	1000	10.2	5.16	2.93	1.97	1.97	1.65
256	2000	14.3	7.16	4.13	2.73	2.73	2.27
128	4000	19.3	9.82	5.55	3.66	3.65	3.04
32	16000	29.0	14.8	8.34	5.40	5.40	4.45
16	32000	49.4	25.1	13.6	8.31	8.31	6.48
速度模式 3 ($f_{MOD} = 1024\text{kHz}$)							
51200	20	1.27	0.67	0.39	0.28	0.28	0.26
40960	25	1.36	0.70	0.41	0.30	0.30	0.27
1024	1000	7.43	3.86	2.27	1.64	1.63	1.55
512	2000	10.4	5.42	3.18	2.29	2.29	2.18
256	4000	14.5	7.47	4.43	3.17	3.17	3.02
128	8000	19.6	10.2	5.93	4.27	4.26	4.03
32	32000	29.5	15.2	8.89	6.31	6.30	5.93
16	64000	50.1	25.6	14.3	9.56	9.56	8.52

(1) 使用 $f_{CLK} = 4.096\text{MHz}$

**表 6-2. 输入参考噪声 (以 μV_{RMS} 为单位) ,
AVDD = 3.3V , 禁用全局斩波模式 , 内部 2.5V 基准 , 增益 = 10 至 64**

OSR	数据速率 (SPS) (1)	增益					
		10	16	20	32	50	64
速度模式 0 ($f_{MOD} = 32\text{kHz}$)							
1600	20	1.02	0.57	0.57	0.42	0.41	0.33
1280	25	1.07	0.60	0.60	0.43	0.43	0.35
1024	31.25	1.06	0.61	0.58	0.44	0.44	0.34
512	62.5	1.44	0.84	0.79	0.61	0.61	0.48
256	125	2.08	1.15	1.13	0.80	0.80	0.65
128	250	2.75	1.57	1.54	1.11	1.11	0.91
32	1000	4.13	2.36	2.33	1.66	1.66	1.35
16	2000	5.81	3.25	3.25	2.30	2.30	1.80
速度模式 1 ($f_{MOD} = 256\text{kHz}$)							
12800	20	0.49	0.31	0.31	0.28	0.28	0.16
10240	25	0.53	0.34	0.34	0.30	0.30	0.17
1024	250	1.51	0.97	0.97	0.87	0.87	0.49
512	500	2.12	1.33	1.31	1.25	1.25	0.68
256	1000	2.98	1.90	1.89	1.72	1.72	0.94
128	2000	3.88	2.42	2.41	2.18	2.16	1.19
32	8000	5.76	3.50	3.50	3.10	3.10	1.59
16	16000	8.26	4.97	4.96	4.37	4.36	2.21
速度模式 2 ($f_{MOD} = 512\text{kHz}$)							
25600	20	0.28	0.19	0.19	0.16	0.15	0.10
20480	25	0.30	0.21	0.21	0.17	0.17	0.10
1024	500	1.18	0.82	0.82	0.69	0.69	0.43
512	1000	1.64	1.15	1.15	0.96	0.96	0.59
256	2000	2.27	1.59	1.59	1.37	1.37	0.83
128	4000	3.04	2.10	2.10	1.77	1.74	1.08
32	16000	4.45	3.03	3.03	2.50	2.49	1.55
16	32000	6.48	4.35	4.35	3.53	3.52	2.17
速度模式 3 ($f_{MOD} = 1024\text{kHz}$)							
51200	20	0.26	0.17	0.17	0.16	0.16	0.09
40960	25	0.27	0.19	0.19	0.16	0.16	0.10
1024	1000	1.54	1.09	1.09	0.93	0.93	0.58
512	2000	2.17	1.54	1.54	1.31	1.31	0.80
256	4000	2.99	2.13	2.13	1.81	1.81	1.11
128	8000	4.03	2.83	2.83	2.41	2.37	1.48
32	32000	5.92	4.16	4.16	3.47	3.47	2.14
16	64000	8.50	5.92	5.91	4.91	4.91	3.02

(1) 使用 $f_{CLK} = 4.096\text{MHz}$

**表 6-3. 输入参考噪声 (以 μV_{RMS} 为单位) ,
AVDD = 3.3V, 禁用全局斩波模式, 内部 2.5V 基准, 增益 = 100 至 256**

OSR	数据速率 (SPS) (1)	增益			
		100	128	200	256
速度模式 0 ($f_{MOD} = 32\text{kHz}$)					
1600	20	0.327	0.299	0.299	0.268
1280	25	0.347	0.310	0.308	0.305
1024	31.25	0.333	0.301	0.301	0.278
512	62.5	0.474	0.435	0.421	0.387
256	125	0.654	0.589	0.572	0.552
128	250	0.914	0.776	0.776	0.773
32	1000	1.349	1.190	1.187	1.117
16	2000	1.812	1.587	1.574	1.510
速度模式 1 ($f_{MOD} = 256\text{kHz}$)					
12800	20	0.146	0.143	0.141	0.134
10240	25	0.164	0.152	0.152	0.141
1024	250	0.482	0.438	0.438	0.426
512	500	0.661	0.635	0.617	0.593
256	1000	0.944	0.900	0.857	0.822
128	2000	1.186	1.086	1.086	1.036
32	8000	1.593	1.441	1.441	1.350
16	16000	2.211	1.987	1.980	1.859
速度模式 2 ($f_{MOD} = 512\text{kHz}$)					
25600	20	0.099	0.083	0.083	0.073
20480	25	0.102	0.086	0.084	0.079
1024	500	0.425	0.353	0.353	0.316
512	1000	0.589	0.507	0.505	0.440
256	2000	0.832	0.690	0.690	0.609
128	4000	1.080	0.902	0.896	0.782
32	16000	1.541	1.260	1.251	1.078
16	32000	2.167	1.747	1.746	1.489
速度模式 3 ($f_{MOD} = 1024\text{kHz}$)					
51200	20	0.093	0.080	0.079	0.068
40960	25	0.101	0.085	0.083	0.074
1024	1000	0.576	0.484	0.474	0.414
512	2000	0.801	0.666	0.666	0.589
256	4000	1.114	0.929	0.929	0.804
128	8000	1.477	1.221	1.208	1.045
32	32000	2.140	1.742	1.742	1.490
16	64000	3.007	2.436	2.434	2.067

(1) 使用 $f_{CLK} = 4.096\text{MHz}$

7 详细说明

7.1 概述

ADS1x2S14 是小型低功耗 16 位和 24 位 $\Delta \Sigma$ ADC，提供了许多集成功能，可降低最常见传感器测量应用中的系统成本和元件数量。这些器件采用 $3\text{mm} \times 3\text{mm}$ WQFN-16 封装以及 $1.87\text{mm} \times 1.97\text{mm}$ DSBGA-16 封装，适用于空间极其受限的应用。

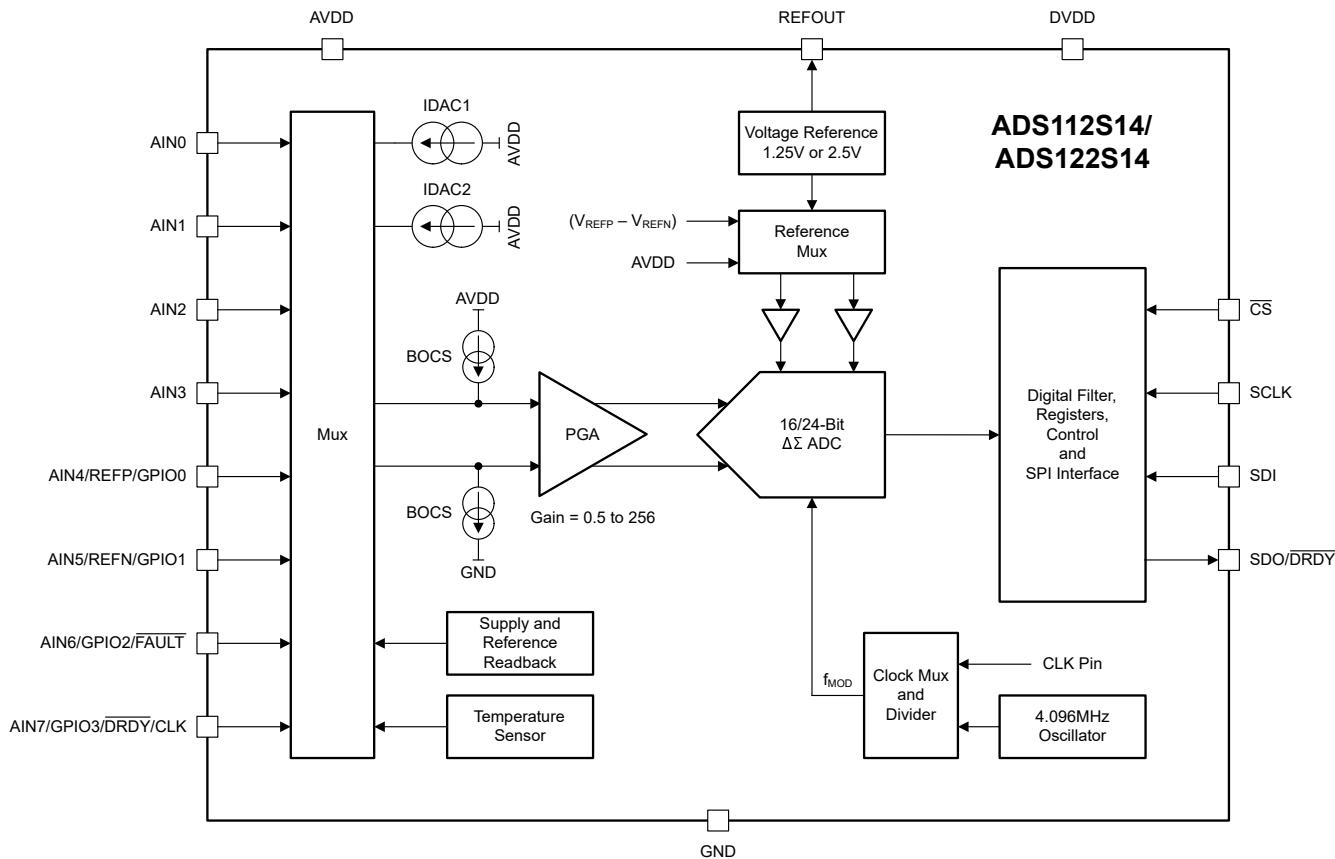
主要集成模拟特性包括：

- 灵活的输入多路复用器，允许选择八个模拟输入或 GND 中的任何一个作为正或负输入。
- 可编程增益为 0.5 至 256 的低噪声、高输入阻抗 PGA。
 - 增益 0.5 可用于测量大于所选基准电压的信号。
 - 对于 0.5 到 10 之间的增益设置，可以进行单端测量，其中负输入连接到 GND。
- 低漂移电压基准可编程为 1.25V 或 2.5V。REFOUT 引脚上提供了内部电压基准的缓冲版本，可用于偏置外部电路。
- 一个外部差分基准输入，具有可单独启用和禁用的可选基准缓冲器。
- 两个匹配的传感器激励电流源 (IDAC)，此类电流源可路由到八个模拟输入中的任何一个，用于偏置电阻式传感器，例如热敏电阻、电阻式温度检测器 (RTD) 或桥式传感器。可采用精细粒度对 1\mu A 和 1mA 之间的激励电流进行编程。
- 一组用于传感器故障检测的可编程烧毁电流源。
- 一个建立器件主时钟的低漂移 4.096MHz 振荡器。或者，可以提供外部时钟。
- 线性温度传感器。
- 模拟电源和基准欠压监控器。根据电路实现方式，基准欠压监控器对于检测传感器开路情况特别有用。
- 与模拟输入共享的四个通用输入/输出引脚 (GPIO)。可为每个通用输出单独选择推挽或开漏输出配置。GPIO 使用基于模拟电源的逻辑电平。

这些器件还包含多种数字特性，以适应各种应用：

- 四种速度模式可优化每种应用的功耗和噪声性能。
- 根据所选速度模式，可通过调整集成数字滤波器的过采样率 (OSR) 来实现 20SPS 至 64kSPS 的输出数据速率。在 20SPS 和 25SPS 的输出数据速率下，数字滤波器提供同步 50Hz 和 60Hz 线路周期抑制并实现单周期趋稳。
- 可将失调电压和温漂降至最低的全局斩波模式。
- 在单次和连续转换模式之间进行选择。
- 一个与 SPI 兼容的串行接口，用于读取转换和寄存器数据以及配置和控制该器件。当 $\overline{\text{CS}}$ 引脚永久连接至低电平时，可以进行 3 线 SPI 操作，以减少所需的数字通信信号的数量。该接口允许通过菊花链中的一条 SPI 总线与多个器件进行通信。
- 数据完整性功能，例如 SPI CRC、寄存器映射 CRC 和内部存储器 CRC，用于检测通信故障和意外位翻转。
- 在两种输出数据编码方案之间进行选择：二进制补码和单极标准二进制格式。单极标准二进制格式对差分输入信号始终为正的应用很有用。

7.2 功能方框图



7.3 特性说明

7.3.1 模拟输入和多路复用器

ADS1x2S14 包含一个灵活的输入多路复用器；请参阅图 7-1。使用 $\text{AINP}[3:0]$ 和 $\text{AINN}[3:0]$ 位选择八个模拟输入中的任何一个作为 PGA 的正输入或负输入。此外，可以选择内部 GND 连接作为正或负 PGA 输入。

多路复用器还会将两个集成激励电流源路由到八个模拟输入引脚中的任何一个，以偏置电阻式传感器（电桥、RTD 和热敏电阻）。

此外，ADS1x2S14 包含以下系统监控功能，可使用 $\text{SYS_MON}[2:0]$ 位通过多路复用器选择这些功能进行测量：

- PGA 的输入可以一起短接至 $1/2 \text{Vs}$ ($\text{AVDD}/2$)，以测量和校准内部信号链的输入失调电压。
- 集成温度传感器，可提供与器件温度成比例的输出信号。
- 衰减的外部基准电压 $(\text{V}_{\text{REFP}} - \text{V}_{\text{REFN}})/8$ 。
- 衰减模拟电源 ($\text{AVDD}/8$) 和衰减数字电源 ($\text{DVDD}/8$)。

连接到 AVDD 和 GND 的静电放电 (ESD) 二极管可保护输入。为防止 ESD 二极管导通，任何输入端的绝对电压必须保持在方程式 5 提供的范围内：

$$\text{GND} - 0.3V < \text{V}_{\text{AINx}} < \text{AVDD} + 0.3V \quad (5)$$

可能需要外部肖特基钳位二极管或串联电阻器将输入电流限制在安全值（请参阅 [绝对最大额定值表](#)）。过度驱动器件上未选择的输入可能会影响其他输入引脚上发生的转换。

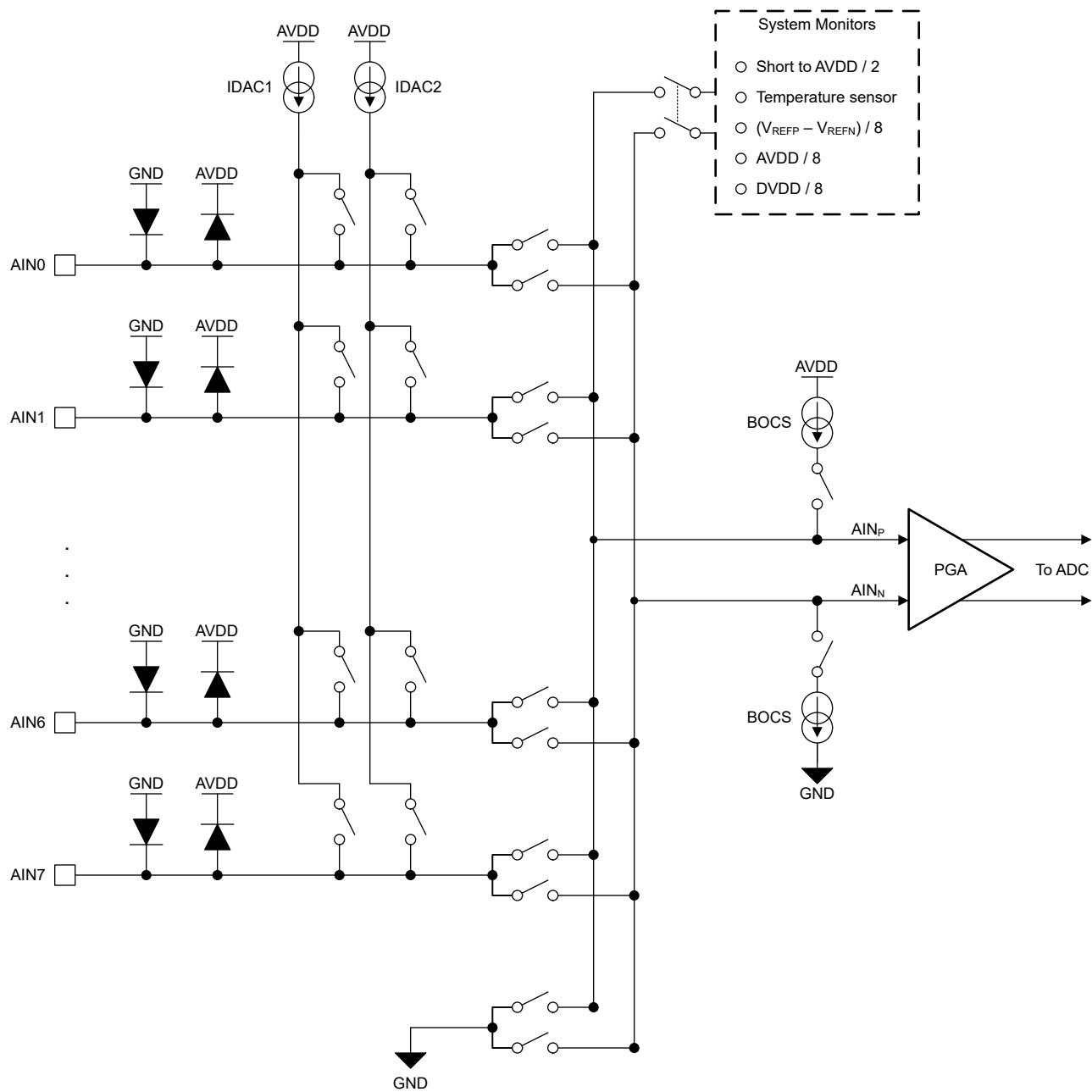


图 7-1. 输入多路复用器

7.3.2 可编程增益放大器 (PGA)

ADS1x2S14 集成了一个低漂移、低噪声、高输入阻抗的可编程增益放大器 (PGA)。使用 GAIN[3:0] 位可配置增益为 0.5、1、2、4、5、8、10、16、20、32、50、64、100、128、200 或 256 的 PGA。PGA 的满量程输入电压范围 (FSR) 由增益设置、基准电压和转换数据编码设置定义，如 [方程式 6](#) 和 [方程式 7](#) 所示：

$$\text{Binary two's complement coding: } \text{FSR} = \pm V_{\text{REF}} / \text{Gain} \quad (6)$$

$$\text{Unipolar straight binary coding: } \text{FSR} = 0V \text{ to } +V_{\text{REF}} / \text{Gain} \quad (7)$$

[表 7-1](#) 分别针对 1.25V 和 2.5V 基准电压使用二进制补码编码显示了相应的标称满量程范围。

表 7-1. PGA 满标量程 (二进制补码编码)

增益设置	$V_{\text{REF}} = 1.25V$	$V_{\text{REF}} = 2.5V$
0.5	$\pm 2.5V$	$\pm 5V$
1	$\pm 1.25V$	$\pm 2.5V$
2	$\pm 0.625V$	$\pm 1.25V$
4	$\pm 0.313V$	$\pm 0.625V$
5	$\pm 0.25V$	$\pm 0.5V$
8	$\pm 0.156V$	$\pm 0.313V$
10	$\pm 0.125V$	$\pm 0.25V$
16	$\pm 78.125mV$	$\pm 0.156V$
20	$\pm 62.5mV$	$\pm 0.125V$
32	$\pm 39.063mV$	$\pm 78.125mV$
50	$\pm 25mV$	$\pm 50mV$
64	$\pm 19.531mV$	$\pm 30.063mV$
100	$\pm 12.5mV$	$\pm 25mV$
128	$\pm 9.766mV$	$\pm 19.531mV$
200	$\pm 6.25mV$	$\pm 12.5mV$
256	$\pm 4.883mV$	$\pm 9.766mV$

根据增益设置，PGA 需满足特定的电压余量要求才能保持在线性工作范围内，对于 [建议运行条件](#) 中的绝对输入电压参数指定的所选正负模拟输入，必须满足此要求。即使对于原则上超出这些限值的 FSR 设置，正负 PGA 输入也都需要保持在这些电压限值内。例如，假设 AVDD = 3.3V，增益 = 0.5， $V_{\text{REF}} = 2.5V$ ，采用单极编码方案且 AINN 连接至 GND。在这种情况下，AINP 需要保持在 0V 和 $(3.3V - 0.35V) = 2.95V$ 之间。因此，仅使用完整代码范围 (FSR = 0V 至 5V) 的一部分。

对于增益设置 0.5 至 10，器件允许在负模拟输入保持在 GND 的情况下进行单端测量。在这种情况下，负模拟输入可以使用多路复用器的模拟输入之一或内部 GND 连接从外部连接到 GND。这些器件提供单极、标准二进制转换数据编码方案，可使用编码位进行选择。由于完整代码范围映射到 0V 至 $+V_{\text{REF}}$ /增益电压范围，因此该编码方案有利于单端测量。

对于增益设置 16 至 256，PGA 需要在正负模拟输入上从 GND 和 AVDD 获得一些电压余量。

PGA 在空闲模式下保持运行状态，但在待机和断电模式下关断。

7.3.3 电压基准

ADC 需要一个基准电压才能运行。基准电压幅度与 PGA 增益设置共同确定了 ADC 满标量程。使用 REF_SEL[1:0] 位从以下基准源之一进行选择：

- 内部电压基准
- REF_P 和 REF_N 引脚之间连接的外部基准 ($V_{\text{REF}} = V_{\text{REFP}} - V_{\text{REFN}}$)

- 模拟电源 ($V_{REF} = AVDD$)

7.3.3.1 内部基准

器件集成了精密、低漂移电压基准。使用 REF_VAL 位在 1.25V 至 2.5V 基准电压选项之间选择。更改 REF_VAL 位设置时，留出至少 $250 \mu s$ 让器件在开始任何转换之前切换基准值。内部电压基准需要 AVDD 电源有一定的电压余量才能按照电气特性表中所指定的方式运行。选择 2.5V 基准值时，请记住该余量。

即使选择外部基准或模拟电源作为基准源，也将始终启用内部基准。内部电压基准仅在断电模式下断电。

REFOUT 引脚提供内部基准电压的缓冲版本。REFOUT 引脚既可以拉出电流，也可以灌入电流，以偏置外部电路。在 REFOUT 和 GND 间连接一个 $100nF$ 电容器。可以使用高达 $1.3 \mu F$ 的更大电容值来帮助滤除更多噪声，但代价是基准启动时间更长。为了确保内部电压基准的稳定性，即使 REFOUT 引脚未用于偏置任何外部电路，即使选择了外部基准或模拟电源作为基准源，也需要使用电容器。请记住器件上电后或在开始任何转换之前退出断电模式时的基准趋稳时间。

7.3.3.2 外部基准

可在 REFP 和 REFN 引脚之间施加外部基准 ($V_{REF} = V_{REFP} - V_{REFN}$)。差分基准输入允许自由调节基准共模电压。但是，基准电压的极性必须为正。请遵循建议运行条件中有关绝对和差分基准输入电压的要求。

REFP 和 REFN 输入与 AIN4 和 AIN5 引脚相结合。即使输入配置为外部基准输入，AIN4 和 AIN5 仍然可以用作模拟输入。

7.3.3.3 基准缓冲器

这些器件提供两个独立可选的基准输入缓冲器来降低基准输入电流。使用 REFP_BUF_EN 和 REFN_BUF_EN 位分别启用或禁用正基准缓冲器和负基准缓冲器。

当外部负基准输入 (REFN) 为 GND 时，禁用负基准缓冲器。当外部正基准输入 (REFP) 为 AVDD 时，禁用正基准缓冲器。选择内部电压基准或模拟电源作为基准源时，禁用两个基准缓冲器。

基准缓冲器在空闲模式下保持运行状态，但在待机和断电模式下关断。

7.3.4 时钟源

ADS1x2S14 需要一个主时钟才能运行。主时钟通过以下两种方式之一提供：

- 内部低漂移 4.096MHz 振荡器或
- CLK 输入引脚上的外部时钟

使用 CLK_SEL 位选择时钟源。在器件上电或器件复位后，默认情况下会选择内部主振荡器作为时钟源。

外部 CLK 输入与 AIN7/GPIO3 引脚相结合。要从内部振荡器更改为外部时钟，首先设置 GPIO3_CFG = 01b 以将 GPIO3 引脚配置为外部时钟输入，然后设置 CLK_SEL = 1b。

$\Delta-\Sigma$ ADC 的调制器时钟源自主时钟。时钟分频器根据所选速度模式将主时钟频率 (f_{CLK}) 除以分频因子，以创建调制器频率 ($f_{MOD} = f_{CLK} / DIV$)。表 7-2 显示了每个速度模式的相应时钟分频器设置以及标称调制器频率。

表 7-2. 时钟分频器设置

速度模式	时钟分频器 (DIV)	调制器频率 (f_{MOD}) ⁽¹⁾
0	128	32kHz
1	16	256kHz
2	8	512kHz
3	4	1.024MHz

(1) 使用 $f_{CLK} = 4.096MHz$ 的标称时钟频率。

7.3.5 Δ - Σ 调制器

ADS1x2S14 使用固有稳定性的三阶 Δ - Σ 调制器。该调制器以调制器频率 ($f_{MOD} = 1 / t_{MOD}$) 对模拟输入电压进行采样，并将模拟输入转换为表示输入信号与基准电压之比的单密度位流。调制器将转换器的噪声整形至高频率，再由数字滤波器去除噪声。

7.3.6 数字滤波器

Δ - Σ 调制器位流馈入数字滤波器。低通数字滤波器会滤波并抽取低分辨率、高速的调制器输出，以采用输出数据速率 f_{DATA} 生成高分辨率 ADC 数据。根据 [方程式 8](#) 定义，抽取因子称为过采样率 (OSR)。

$$OSR = f_{MOD} / f_{DATA} \quad (8)$$

OSR 决定了数字滤波器中应用于调制器输出的平均量，因此也决定了滤波器带宽和转换噪声。较高的 OSR 可导致较低的滤波器带宽和更佳的噪声性能。

使用 FLTR_OS[2:0] 位选择 OSR 并在以下数字滤波器类型之间进行选择：

- OSR 16 和 32 的 Sinc4 滤波器
- 对于 OSR 128 至 1024，Sinc4 滤波器后跟随 Sinc1 滤波器
- 有限脉冲响应 (FIR) 滤波器，具有 20SPS 和 25SPS 的速度模式独立数据速率选项，可提供同步 50Hz 和 60Hz 线路周期抑制

图 7-2 展示了数字滤波器架构。

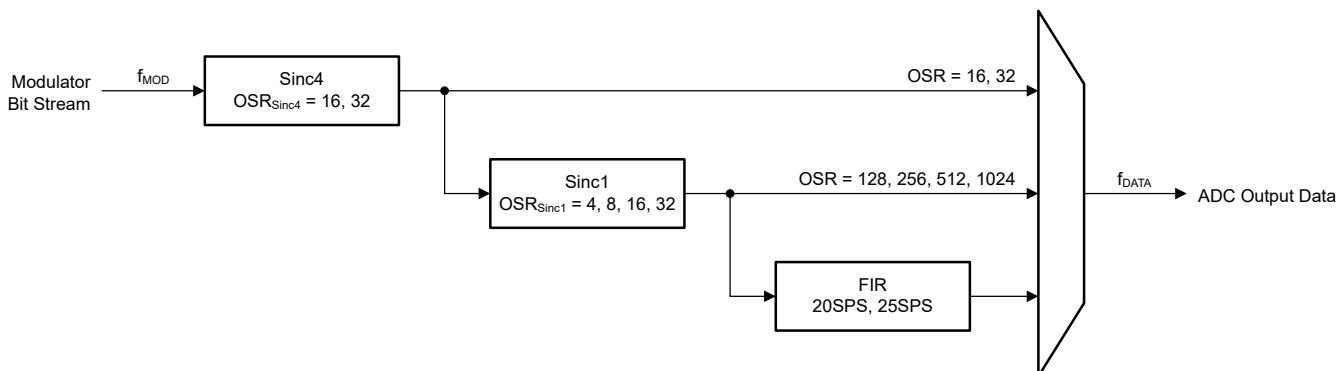


图 7-2. 数字滤波器架构

7.3.6.1 Sinc4 和 Sinc4 + Sinc1 滤波器

根据 FLTR_OS[2:0] 设置，Sinc 滤波器路径由一级或两级组成，如图 7-2 所示。对于 OSR 设置 16 和 32，使用纯 Sinc4 滤波器。对于 OSR 设置 128 至 1024，Sinc4 滤波器在 OSR = 32 下运行，后跟一个 Sinc1 滤波器级，OSR 可在 4、8、16 和 32 之间选择。表 7-3 概述了基于 FLTR_OS[2:0] 设置的 Sinc 滤波器配置。

表 7-3. Sinc 滤波器 OSR 设置

FLTR_OS[2:0]	SINC4 OSR	SINC1 OSR	整体 OSR
000b	16	-	16
001b	32	-	32
010b	32	4	128
011b	32	8	256
100b	32	16	512
101b	32	32	1024

表 7-4 概述了基于 OSR 设置的各种速度模式得到的输出数据速率。数据速率与 f_{CLK} 成比例缩放。

表 7-4. Sinc 滤波器输出数据速率

OSR	- 3dB 频率	输出数据速率 (f_{DATA}) ⁽¹⁾			
		速度模式 0 ($f_{MOD} = 32\text{kHz}$)	速度模式 1 ($f_{MOD} = 256\text{kHz}$)	速度模式 2 ($f_{MOD} = 512\text{kHz}$)	速度模式 3 ($f_{MOD} = 1.024\text{MHz}$)
16	$0.228 \times f_{DATA}$	2kSPS	16kSPS	32kSPS	64kSPS
32	$0.228 \times f_{DATA}$	1kSPS	8kSPS	16kSPS	32kSPS
128	$0.410 \times f_{DATA}$	250SPS	2kSPS	4kSPS	8kSPS
256	$0.434 \times f_{DATA}$	125SPS	1kSPS	2kSPS	4kSPS
512	$0.440 \times f_{DATA}$	62.5SPS	500SPS	1kSPS	2kSPS
1024	$0.442 \times f_{DATA}$	31.25SPS	250SPS	500SPS	1kSPS

(1) 基于 $f_{CLK} = 4.096\text{MHz}$ 的标称时钟频率

组合 Sinc4 + Sinc1 滤波器的频率响应由 [方程式 9](#) 给出。对于纯 Sinc4 滤波器频率响应，请忽略公式中的第二项。

$$|H(f)| = \left| \frac{\sin \left[\frac{A\pi f}{f_{MOD}} \right]}{A \sin \left[\frac{\pi f}{f_{MOD}} \right]} \right|^4 \cdot \left| \frac{\sin \left[\frac{AB\pi f}{f_{MOD}} \right]}{B \sin \left[\frac{A\pi f}{f_{MOD}} \right]} \right| \quad (9)$$

其中：

- f = 信号频率
- f_{MOD} = 调制器频率
- A = Sinc4 滤波器 OSR
- B = Sinc1 滤波器 OSR

[图 7-3](#) 至 [图 7-6](#) 显示了归一化为输出数据速率的 Sinc 滤波器的滤波器频率响应。Sinc 滤波器在输出数据速率的整数倍上具有无限衰减，但 f_{MOD} 的整数倍除外，如 [图 7-4](#) 中所示。与所有数字滤波器一样，该数字滤波器响应以调制器频率 f_{MOD} 的整数倍重复。数据速率和滤波器陷波频率随 f_{MOD} 而变化。

[表 7-4](#) 中给出了各种 Sinc 滤波器配置的 - 3dB 频率。

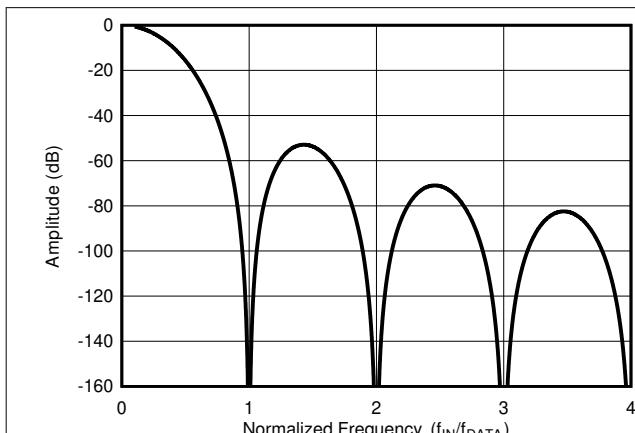
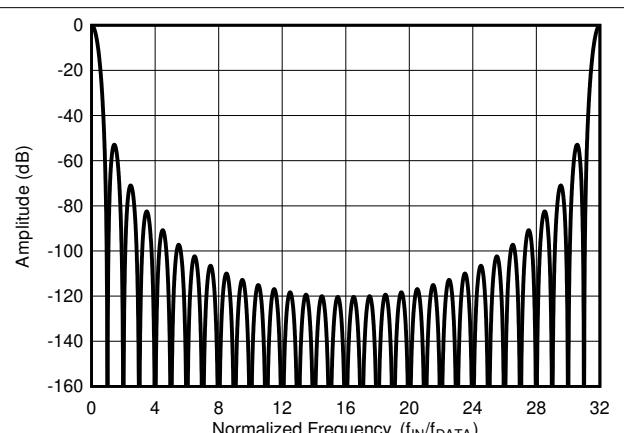


图 7-3. Sinc4 频率响应

图 7-4. f_{MOD} 的 Sinc4 频率响应 (OSR = 32)

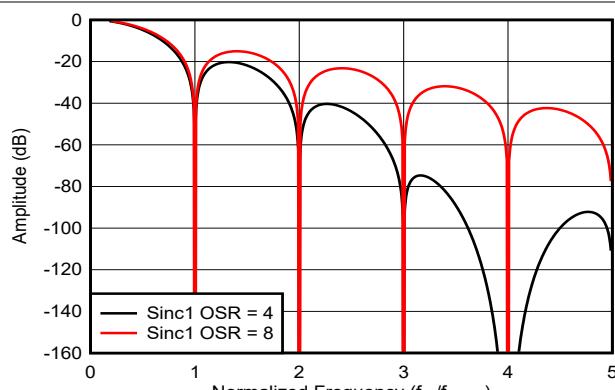


图 7-5. Sinc4 + Sinc1 频率响应
(Sinc4 OSR = 32)

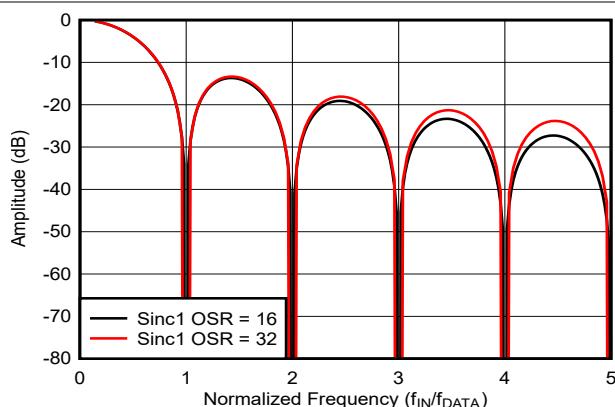


图 7-6. Sinc4 + Sinc1 频率响应
(Sinc4 OSR = 32)

7.3.6.2 FIR 滤波器

除了 Sinc 滤波器之外，这些器件还提供了两个 FIR 滤波器选项，它们可产生同步 50Hz 和 60Hz 线路周期抑制。使用 FLTR_OS[2:0] 位在 20SPS 和 25SPS 数据速率选项之间进行选择。FIR 滤波器根据选定的速度模式调整 OSR，以在所有四种速度模式下提供 20SPS 和 25SPS 的数据速率，如表 7-5 所示。

表 7-5. FIR 滤波器 OSR 设置

输出数据速率 ⁽¹⁾	-3dB 频率	OSR			
		速度模式 0 (f _{MOD} = 32kHz)	速度模式 1 (f _{MOD} = 256kHz)	速度模式 2 (f _{MOD} = 512kHz)	速度模式 3 (f _{MOD} = 1.024MHz)
20SPS	13.2Hz	1600	12800	25600	51200
25SPS	15.1Hz	1280	10240	20480	40960

(1) 基于 f_{CLK} = 4.096MHz 的标称时钟频率

图 7-7 至图 7-10 展示了两种 FIR 滤波器配置的滤波器频率响应。表 7-5 中给出了两种 FIR 滤波器的 -3dB 频率。

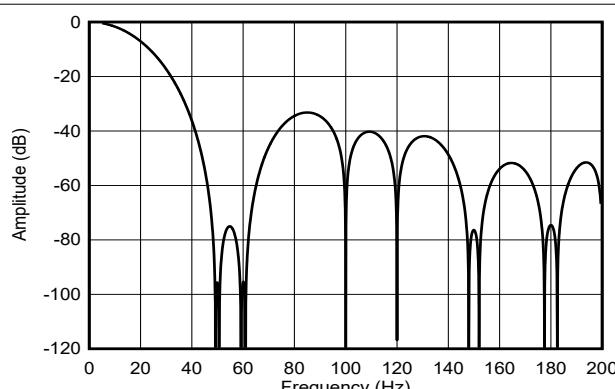


图 7-7. 20SPS 频率响应

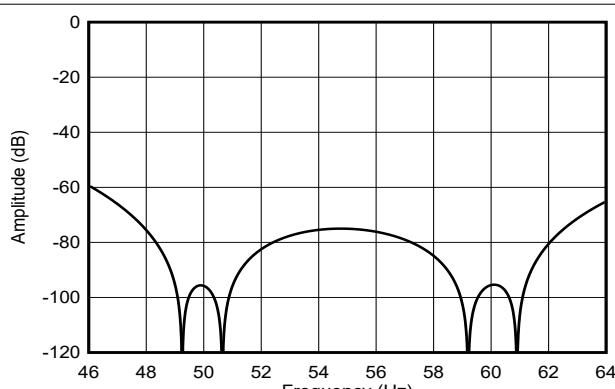


图 7-8. 20SPS 频率响应 (缩放)

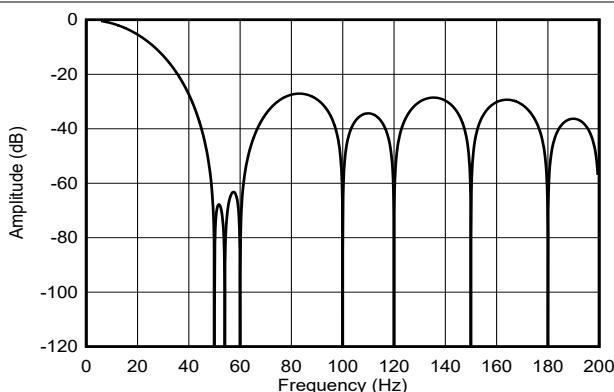


图 7-9. 25SPS 频率响应

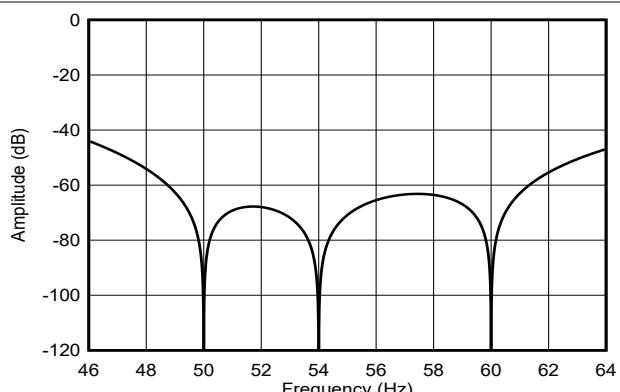


图 7-10. 25SPS 频率响应 (缩放)

7.3.6.3 数字滤波器延迟

启动或重新启动转换时，数字滤波器会复位并需要一段时间才能提供稳定的输出数据。该时间称为延迟时间 $t_{LATENCY}$ 。ADS112S14 会在内部隐藏不稳定的数据，仅通过 \overline{DRDY} 下降沿或 $DRDY$ 位来指示稳定的转换数据何时可用。表 7-6 和表 7-7 总结了各种速度模式和数字滤波器设置的延迟时间。延迟时间的测量值，是指空闲模式下，从 START 位设置为 1b 的寄存器写入帧的 \overline{CS} 上升沿到第一个 \overline{DRDY} 下降沿的时间。由于 SPI 中的 \overline{CS} 信号时钟域被调制器时钟域上运行的数字滤波器逻辑锁存，因此所提供的延迟时间存在 $\pm 1 t_{MOD}$ 的不确定性。第二次和所有后续转换的转换周期等于 $t_{DATA} = 1 / f_{DATA} = OSR / f_{MOD}$ ，如图 7-11 所示。

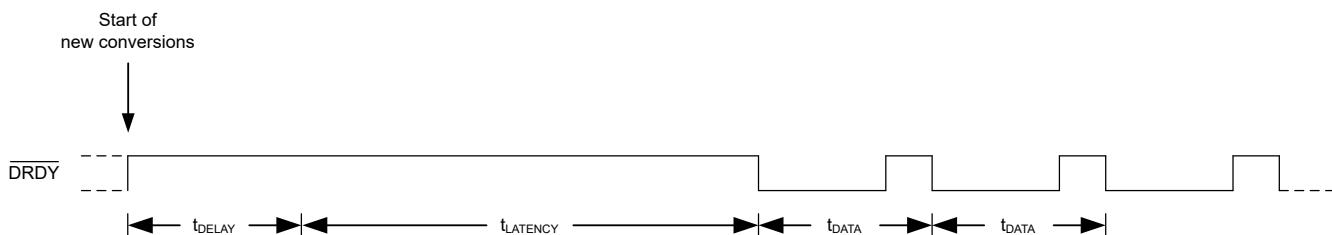


图 7-11. 延迟时间和转换周期

在某些情况下，延迟时间会增加：

- 从待机模式开始转换时：增加 $5 t_{MOD}$ （速度模式 0）、 $27 t_{MOD}$ （速度模式 1 和 2）、 $35 t_{MOD}$ （速度模式 3）
- 通过写入用于重新开始转换的寄存器来重新开始正在进行的转换时：增加 $6 t_{MOD}$

此外，可以增加可编程延迟时间，以在设置 START 位后延迟转换周期的启动。该延迟时间允许外部元件（例如退出待机模式后的电压基准）稳定，或在通过多路复用器切换信号时产生额外的趋稳时间。仅对转换开始后的第一次转换增加延迟时间，如图 7-11 所示。后续转换不会延迟。使用 $DELAY[3:0]$ 位配置延迟时间。

表 7-6. Sinc 滤波器延迟

OSR	以 t_{MOD} (1) 为单位的延迟 (绝对时间(2))			
	速度模式 0 ($f_{MOD} = 32\text{kHz}$)	速度模式 1 ($f_{MOD} = 256\text{kHz}$)	速度模式 2 ($f_{MOD} = 512\text{kHz}$)	速度模式 3 ($f_{MOD} = 1.024\text{MHz}$)
16	80 (2.5 ms)	88 (344 μs)	88 (172 μs)	104 (102 μs)
32	144 (4.5 ms)	152 (594 μs)	152 (297 μs)	168 (164 μs)
128	240 (7.5 ms)	248 (969 μs)	248 (484 μs)	264 (258 μs)
256	368 (11.5 ms)	376 (1.47 ms)	376 (734 μs)	392 (383 μs)
512	624 (19.5 ms)	632 (2.47 ms)	632 (1.23 ms)	648 (633 μs)
1024	1136 (35.5 ms)	1144 (4.47 ms)	1144 (2.23 ms)	1160 (1.13 ms)

(1) $t_{MOD} = 1 / f_{MOD}$ 。延迟时间在从空闲模式开始转换时测量。

(2) 基于 $f_{CLK} = 4.096\text{MHz}$ 的标称时钟频率。

表 7-7. FIR 滤波器延迟

输出数据速率	以 t_{MOD} ⁽¹⁾ 为单位的延迟 (绝对时间 ⁽²⁾)			
	速度模式 0 ($f_{MOD} = 32\text{kHz}$)	速度模式 1 ($f_{MOD} = 256\text{kHz}$)	速度模式 2 ($f_{MOD} = 512\text{kHz}$)	速度模式 3 ($f_{MOD} = 1.024\text{MHz}$)
20SPS	1736 (54.25 ms)	12944 (50.56 ms)	25744 (50.28 ms)	51360 (50.16 ms)
25SPS	1416 (44.25 ms)	10384 (40.56 ms)	20624 (40.28 ms)	41120 (40.16 ms)

(1) $t_{MOD} = 1 / f_{MOD}$ 。延迟时间在从空闲模式开始转换时测量。

(2) 基于 $f_{CLK} = 4.096\text{MHz}$ 的标称时钟频率。

7.3.6.4 全局斩波模式

ADS1x2S14 的信号链使用极低漂移、斩波稳定的 PGA 和 Δ - Σ 调制器，以提供极低的偏移误差和偏移漂移。然而，在正常测量中仍然存在少量的失调漂移。因此，器件包含可选全局斩波模式，以减少温度和时间范围内的失调误差和温漂，以便达到极低水平。当通过设置 **GC_EN** 位来启用全局斩波模式时，器件执行两次连续转换并使用备用输入信号极性来消除偏移误差。第一个转换采用正常输入极性。全局斩波控制逻辑会反转输入极性，并复位数字滤波器以进行第二次转换。两次转换的平均值将得出最终的偏移校正结果。[图 7-12](#) 展示了全局斩波实现的方框图。 V_{OFS} 模拟 PGA 和 ADC 的组合内部偏移电压。全局斩波模式仅降低该器件固有的失调电压。连接到模拟输入的外部电路中的任何失调电压不受全局斩波模式的影响。

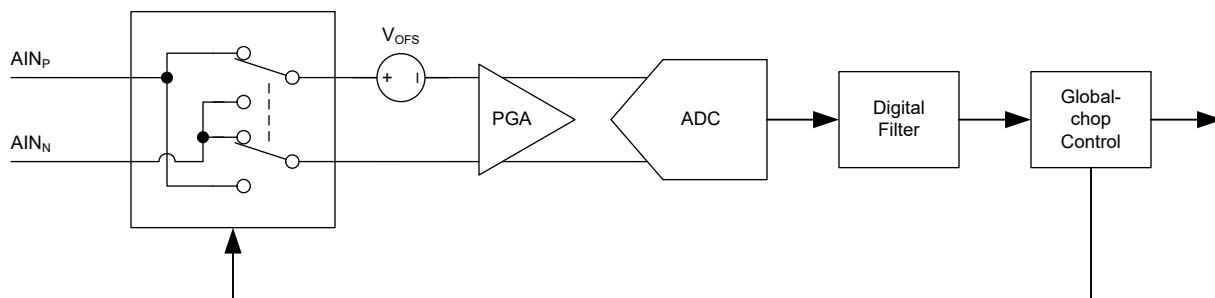


图 7-12. 全局斩波模式控制图

全局斩波模式的操作顺序如下：

- Conversion C1 : $V_{AINP} - V_{AINN} - V_{OFS} \rightarrow$ 转换开始后扣留的第一次转换
- Conversion C2 : $V_{AINN} - V_{AINP} - V_{OFS} \rightarrow$ 输出 $1 = (V_{C1} - V_{C2}) / 2 = V_{AINP} - V_{AINN}$
- Conversion C3 : $V_{AINP} - V_{AINN} - V_{OFS} \rightarrow$ 输出 $2 = (V_{C3} - V_{C2}) / 2 = V_{AINP} - V_{AINN}$
- ...

转换开始后的第一个转换结果（输出 1）可在器件执行两次稳定转换后获得。[方程式 10](#) 计算转换开始后输出第一个转换结果所需的时间。

在启用全局斩波模式的连续转换模式下，后续转换将在 t_{GC_DATA} 中完成，计算方式如 [方程式 11](#) 所示。

$$t_{GC_LATENCY} = 2 \times (t_{DELAY} + t_{LATENCY}) - 12 t_{MOD} \quad (10)$$

$$t_{GC_DATA} = t_{DELAY} + t_{LATENCY} - 12 t_{MOD} \quad (11)$$

其中：

- $t_{LATENCY}$ 是[表 7-6](#) 和[表 7-7](#) 中给出的延迟时间
- t_{DELAY} 是可通过 **DELAY[3:0]** 位编程的延迟时间

该器件会在反转输入极性后等待可编程延迟时间，然后再开始下一次转换，以使内部电路稳定下来。在某些情况下，必须增加可编程延迟时间以实现外部元件稳定。

全局斩波模式可将 ADC 噪声降低 $\sqrt{2}$ 倍，因为两个转换是平均值。将表 6-1 到表 6-3 中的输入参考噪声值除以 $\sqrt{2}$ ，即可得出启用全局切分模式时的噪声性能。

数字滤波器陷波在全局斩波模式下不会变化。不过，在 $f_{GC_DATA}/2$ 的倍数处会出现额外的滤波凹槽。

7.3.7 激励电流源 (IDAC)

这些器件包含两个可编程的匹配电流源 (IDAC1 和 IDAC2)。电流源为电阻式温度器件 (RTD)、热敏电阻、二极管和其他需要恒流偏置的电阻传感器提供激励电流。每个电流源都可独立编程为 $1\text{ }\mu\text{A}$ 到 1mA 之间的输出值。

结合使用 I1MAG[3:0] 和 I2MAG[3:0] 位与 IUNIT 位，为每个 IDAC 设置所需的输出电流。IUNIT 位将 IDAC1 和 IDAC2 的基极电流设置为 $1\text{ }\mu\text{A}$ 或 $10\text{ }\mu\text{A}$ 。I1MAG[3:0] 和 I2MAG[3:0] 位用作该基极电流的乘数，以配置单独的 IDAC1 和 IDAC2 输出电流。

当两个 IDAC 设置为相同的电流值时，可实现电流源之间的最佳匹配。在三线 RTD 应用中，匹配的电流源可用于消除传感器引线电阻引起的误差（有关更多详细信息，请参阅 [软件可配置 RTD 测量输入](#) 部分）。

每个电流源都可以使用 I1MUX[2:0] 和 I2MUX[2:0] 位路由到任何 AINx 模拟输入。如果需要高达 2mA 的激励电流值，也可以通过将 I1MUX[2:0] 和 I2MUX[2:0] 设置为相同的位值，将两个电流源组合到同一引脚上。无论 IDAC 布线如何，模拟输入 AIN3 至 AIN7 都可以配置为模拟输入、基准输入或 GPIO。被选为电流源输出的引脚同时仍可用作模拟输入或基准输入。但请注意，IDAC 电流会导致模拟或基准输入路径的内部信号布线上出现压降，因而导致需要考虑失调电压。[图 7-1](#) 显示通过输入多路复用器进行的 IDAC 连接。

电流源需要为 AVDD 电源提供电压余量才能运行。这种电压余量也称为顺从电压。驱动电阻负载时，请注意不要超过 IDAC 的顺从电压，否则不会始终满足 IDAC 电流的指定精度。有关 IDAC 顺从电压规格，请参阅 [电气特性](#) 表。

IDAC 在空闲模式下保持运行状态，但在待机和断电模式下关断。

7.3.8 烧毁电流源 (BOCS)

为了帮助检测潜在的传感器故障，ADS1x2S14 提供了一对可编程烧毁电流源 (BOCS)。使用 BOCS[1:0] 位来启用电流源并将值设置为 $0.2\text{ }\mu\text{A}$ 、 $1\text{ }\mu\text{A}$ 或 $10\text{ }\mu\text{A}$ 。

BOCS 连接到内部多路复用器之后的 PGA 输入。启用后，一个 BOCS 将电流从 AVDD 拉至所选的正模拟输入 (AINP)，另一个 BOCS 将电流从所选的负模拟输入 (AINN) 灌入 GND。

如果外部传感器开路或传感器线路断开，这些 BOCS 会将正输入拉至 AVDD，将负输入拉至 GND，从而产生满量程读数。满量程读数还可指示传感器过载或基准电压不存在。接近零的读数可能表示传感器短路。区分短路的传感器状况与正常读数可能很困难，尤其是在输入端使用 RC 滤波器时。外部滤波器电阻两端的压降以及由电流源产生的内部多路复用器的残余电阻可能会导致 ADC 输出读取的值大于零。

启用烧毁电流源后，功能传感器的 ADC 读数可能会损坏。因此，在执行精密测量时应禁用烧毁电流源，并且仅在专用诊断测量期间启用 BOCS 来测试传感器故障情况。

使用全局斩波模式 ($GC_EN = 1b$) 时禁用 BOCS。烧毁电流源的功能与全局斩波模式不兼容。

烧毁电流源在空闲模式下保持运行状态，但在待机和断电模式下关断。

7.3.9 通用 IO (GPIO)

ADS1x2S14 提供四个可配置为通用输入和输出 (GPIO) 的模拟输入 (AIN4 至 AIN7)。这些 GPIO 的逻辑电平以 AVDD 电源为基准。使用 GPIOx_CFG[1:0] ($x = 0$ 至 3) 位将引脚配置为具有推挽或开漏特性的模拟输入、数字输入或数字输出。

使用 GPIOx_DAT_OUT 位设置 GPIO 的数字输出电平。当 GPIOx 配置为模拟或数字输入时，GPIOx_DAT_OUT 位设置无效。

GPIOx_DAT_IN 位指示 GPIOx 引脚的回读值，与引脚是否配置为数字输入或输出无关。当 GPIOx 配置为模拟输入时，GPIOx_DAT_IN 位读回 $0b$ 。

此外，还提供了以下特殊功能：

- GPIO2 可配置为 $\overline{\text{FAULT}}$ 指示输出。
- GPIO3 可配置为专用 $\overline{\text{DRDY}}$ 输出。
- GPIO3 可配置为外部时钟输入。有关详细信息，请参阅[时钟源部分](#)。

7.3.9.1 $\overline{\text{FAULT}}$ 输出

通过设置 $\text{GPIO2_CFG} = 10\text{b}$ 或 11b 和 $\text{GPIO2_SRC} = 1\text{b}$ ，将 GPIO2 配置为 $\overline{\text{FAULT}}$ 输出。当 AVDD_UVn 、 REF_UVn 、 $\text{REG_MAP_CRC_FAULTn}$ 或 MEM_FAULTn 状态位中的任何一个为 0b 时， $\overline{\text{FAULT}}$ 引脚为低电平，以指示故障。在 GPIO2 与 GND 之间连接一个下拉电阻器还可检测潜在的器件复位，因为该引脚在复位期间和之后会恢复为高阻态模拟输入。

使用 $\text{FAULT_PIN_BEHAVIOR}$ 位从以下 $\overline{\text{FAULT}}$ 输出行为中进行选择：

- 静态输出。发生故障时 $\overline{\text{FAULT}}$ 输出为低电平，否则输出为高电平。
- 检测信号输出。发生故障时 $\overline{\text{FAULT}}$ 输出为低电平，否则输出是频率为 $f_{\text{MOD}} / 256$ 的 50% 占空比信号。主机可以监测检测信号频率以检测潜在的器件时钟故障。

7.3.9.2 $\overline{\text{DRDY}}$ 输出

通过设置 $\text{GPIO3_CFG} = 10\text{b}$ 或 11b 和 $\text{GPIO3_SRC} = 1\text{b}$ ，将 GPIO3 配置为专用 $\overline{\text{DRDY}}$ 输出。 $\overline{\text{DRDY}}$ 引脚的下降沿指示新转换数据完成。即使 $\overline{\text{CS}}$ 为高电平，也始终会驱动 $\overline{\text{DRDY}}$ 输出。更多详细信息，请参阅[DRDY 引脚行为部分](#)。

7.3.10 系统监控器

这些器件提供一组系统监控功能，可在内部路由到 PGA 输入，以便通过输入多路复用器进行测量。使用 $\text{SYS_MON}[2:0]$ 位从以下系统监控器之一进行选择：

- PGA 的输入可以一起短接至 $1/2 \text{Vs} (\text{AVDD}/2)$ ，以测量和校准内部信号链的输入失调电压。
- 集成温度传感器，可提供与器件温度成比例的输出信号。
- 衰减的外部基准电压 $(V_{\text{REFP}} - V_{\text{REFN}}) / 8$ 。
- 衰减模拟电源 ($\text{AVDD} / 8$) 和衰减数字电源 ($\text{DVDD} / 8$)。

如果选择了其中一个系统监控器， $\text{AINP}[3:0]$ 和 $\text{AINN}[3:0]$ 位无效，并且模拟输入与 PGA 断开连接。为 $\text{SYS_MON}[2:0]$ 设置 010b 至 101b 自动选择由 REF_VAL 位设置值的内部基准，而与 $\text{REF_SEL}[1:0]$ 位设置无关。为相应的测量选择适当的 PGA 增益设置。

7.3.10.1 内部短路 (失调电压校准)

系统监控器提供了将两个 PGA 输入 (AINP 和 AINN) 短接到 $1/2 \text{Vs} (\text{AVDD}/2)$ 的选项。该选项可用于测量和校准器件失调电压，方法是将短路输入电压读数的结果存储在微控制器中，然后从每个后续读数中减去结果。在输入短接的情况下获取多个读数，并对结果求平均值以降低噪声的影响。

7.3.10.2 内部温度传感器

ADS1x2S14 提供了用于测量芯片温度的集成温度传感器 (TS)。温度传感器输出一个与芯片温度成比例的电压。[电气特性](#) 表中指定了温度传感器的输出电压特性 ($\text{TS}_{\text{Offset}}$ 、 TS_{TC})。

[方程式 12](#) 显示了如何将测得的温度传感器输出电压转换为芯片温度：

$$\text{Die temperature } [{}^{\circ}\text{C}] = 25^{\circ}\text{C} + (\text{Measured voltage} - \text{TS}_{\text{Offset}}) / \text{TS}_{\text{TC}} \quad (12)$$

为 PGA 选择一个增益设置，以使应用中可能出现的最大温度传感器输出电压小于 $V_{\text{REF}}/\text{增益}$ 。

7.3.10.3 外部基准电压回读

系统监控器允许监控 REFP 和 REFN 引脚之间连接的外部电压基准。为此，请选择衰减后的外部基准电压 $(V_{\text{REFP}} - V_{\text{REFN}}) / 8$ 进行测量。

7.3.10.4 电源回读

系统监控器允许监控模拟和数字电源。为此，请选择已衰减的模拟电源 (AVDD/8) 或已衰减的数字电源 (DVDD/8) 进行测量。

7.3.11 监控器和状态标志

ADS1x2S14 提供一组具有相应状态标志的监控器，用于检测特定器件或系统故障并向主机指示故障。表 7-8 汇总了可用的监控器。有些监控器需要使用专用监控器使能位来启用。监控器故障标志可在 STATUS_MSB 寄存器中读出。如果监控器检测到故障，即使没有正在进行的转换，相应的低电平有效故障标志也会立即设置为 0b。

表 7-8. 监控器概述

监控器名称	监控器使能位	监控器故障标志	故障标志复位机制
复位	不适用	RESETn	写入 1b 以将位清除为 1b
AVDD 欠压	不适用	AVDD_UVn	写入 1b 以将位清除为 1b
基准欠压	REF_UV_EN	REF_UVn	写入 1b 以将位清除为 1b
SPI CRC	SPI_CRC_EN	SPI_CRC_FAULTn	在每个新 SPI 帧中，根据前一个 SPI 帧的 CRC 结果更新
寄存器映射 CRC	REG_MAP_CRC_EN	REG_MAP_CRC_FAULTn	写入 1b 以将位清除为 1b
内存映射 CRC	不适用	MEM_FAULTn	复位或对器件执行下电上电
寄存器写入故障	不适用	REG_WRITE_FAULTn	使用下一个寄存器写入命令进行更新

除了监控器之外，STATUS_MSB 寄存器中还提供了数据就绪指示位 (DRDY)，STATUS_LSB 寄存器中还提供了一个 4 位转换计数器。

这些器件可以输出一个 STATUS 标头作为 SDO 上的每个帧的前两个字节，而不会使用寄存器读取命令按需读取 STATUS_MSB 或 STATUS_LSB 寄存器。使用 STATUS_EN 位启用 STATUS 标头传输。16 位 STATUS 标头由 STATUS_MSB[7:0] 和 STATUS_LSB[7:0] 寄存器位连接而成。

7.3.11.1 复位 (RESETn 标志)

RESETn 标志指示自上次将该位清除为 1b 以来是否发生器件复位。写入 1b 以将 RESETn 位清除为 1b。

7.3.11.2 AVDD 欠压监控器 (AVDD_UVn 标志)

AVDD 欠压监控器检测模拟电源是否降至 AVDD 欠压阈值 (TH_{AVDD_UV}) 以下。写入 1b 以将 AVDD_UVn 位清除为 1b。

除了在断电模式下之外，AVDD 欠压监控器始终处于运行状态。即使 AVDD 电源未降至 AVDD 欠压阈值以下，进入断电模式时 AVDD_UVn 也设置为 0b。在使用 REF_VAL 位更改内部电压基准值时，AVDD_UVn 位可能意外设置为 0b。

只要 DVDD 电源仍然存在，当模拟电源电压降至 AVDD 阈值以下时该器件就不会复位。

7.3.11.3 基准欠压监控器 (REF_UVn 标志)

基准欠压监控器检测 REF_SEL[1:0] 位选择的基准电压是否降至基准欠压阈值 (TH_{REF_UV}) 以下。使用 REF_UV_EN 位启用基准欠压监控器。但是，无论 REF_UV_EN 位设置如何，基准欠压监控器在待机和断电模式下都处于非活动状态。当启用基准欠压监控器、更改基准电压源或退出断电或待机模式时，REF_UVn 位可能意外地设置为 0b。写入 1b 以将 REF_UVn 位清除为 1b。

7.3.11.4 SPI CRC 故障 (SPI_CRC_FAULTn 标志)

SPI_CRC_FAULTn 标志指示 SDI 上在前一个 SPI 帧中是否发生 SPI CRC 故障。在发生 SPI CRC 故障的帧中，会阻止执行该命令，而执行无操作命令。后续帧中的命令不会被阻止。在每个新 SPI 帧中，根据前一个 SPI 帧的 CRC 结果更新 SPI_CRC_FAULTn 位。使用 SPI_CRC_EN 位启用 SPI CRC。此外，允许使用 STATUS_EN 位来传输 STATUS 标头，以获得有关任何 SPI CRC 故障的通知。有关 SPI CRC 实现的详细信息，请参阅 SPI CRC 部分。

7.3.11.5 寄存器映射 CRC 故障 (REG_MAP_CRC_FAULTn 标志)

REG_MAP_CRC_FAULTn 标志指示是否由于意外的寄存器位翻转而发生了寄存器映射 CRC 故障。使用 REG_MAP_CRC_EN 位启用寄存器映射 CRC。但是，无论 REG_MAP_CRC_EN 位设置如何，寄存器映射 CRC 在待机和断电模式下都会停止。写入 1b 以将 REG_MAP_CRC_FAULTn 位清除为 1b。有关寄存器映射 CRC 实现的详细信息，请参阅 [寄存器映射 CRC](#) 部分。

7.3.11.6 内部存储器故障 (MEM_FAULTn 标志)

MEM_FAULTn 标志指示是否发生了存储器映射 CRC 故障。与寄存器映射 CRC 类似，该器件使用存储器映射 CRC 来检查内部存储器中是否存在意外位更改。更改内部内存位会导致器件行为不确定或器件性能下降。除了在待机和断电模式下，存储器映射 CRC 始终启用，并会不断计算内部存储器映射中的 CRC 值。器件会将计算结果与生产中存储在存储器映射中的存储器映射 CRC 值进行比较。如果内部计算结果与存储的存储器映射 CRC 值不匹配，则 MEM_FAULTn 标志将设置为 0b。发生内存映射 CRC 故障时，器件不会执行其他操作。当 MEM_FAULTn 位为 0b 时，执行下电上电或复位器件。

7.3.11.7 寄存器写入故障 (REG_WRITE_FAULTn 标志)

REG_WRITE_FAULTn 标志指示是否发生了对无效寄存器地址的写入访问。无效寄存器地址被写入时会设置此标志，并在下一个寄存器写入命令时更新。从无效寄存器地址读取不会设置此标志，但可通过读取命令的 SPI 帧内的地址指示检测到。

7.3.11.8 DRDY 指示器 (DRDY 位)

DRDY 位是 DRDY 引脚的反向信号。使用 STATUS_EN 位启用 STATUS 标头的传输以便利用 DRDY 位指示。DRDY 位指示在当前 SPI 帧内读取的转换数据是新数据还是来自最后一次读取操作的重复数据。使用寄存器读取命令轮询 DRDY 位不可靠，因为在读取寄存器命令传输的第 1 个帧期间 DRDY 位已经恢复为 0b。

7.3.11.9 转换计数器 (CONV_COUNT[3:0])

每次完成新转换时，转换计数器 (CONV_COUNT[3:0]) 都会递增。达到计数器值 Fh 后，计数器会在完成下一次转换时回滚到 0h。通过将器件置于断电模式或复位器件，将计数器复位为 Fh。复位或断电后完成第一次转换时，计数器读数为 0h。

当转换计数器作为 STATUS 标头的一部分输出 (STATUS_EN = 1b) 时，器件确保转换计数器值始终与在同一 SPI 帧中输出的 ADC 转换结果匹配。

7.4 器件功能模式

7.4.1 上电和复位

ADS1x2S14 通过以下三种方式之一复位：

- 上电复位 (POR)
- 写入 RESET[5:0] 位字段 (软件复位)
- 发送 SPI 复位模式 (软件复位)

发生复位后，用户寄存器复位为相应的默认设置，并且器件处于空闲模式；无转换启动。复位过程完成后，可以与器件进行 SPI 通信。请参阅 [时序要求](#)，以了解在开始与器件通信之前的各种复位事件后要考虑的时序规格。

RESETn 位指示自上次将 RESETn 位清零为 1b 以来是否发生复位。在器件复位后立即将 RESETn 位清零为 1b，以便获取运行期间发生意外器件复位的通知。

7.4.1.1 上电复位 (POR)

上电复位 (POR) 电路使器件保持复位状态，直到 DVDD 电源超过 DVDD POR 阈值 (TH_{DVDD_POR})。上电复位还可确保在发生欠压事件 (DVDD 电源电压降至 DVDD POR 阈值以下) 的情况下，器件开始在已知正常的状态下运行。AVDD 上的欠压事件不会导致器件复位，但会通过 AVDD_UVn 标志来指示。

7.4.1.2 通过寄存器写入进行复位

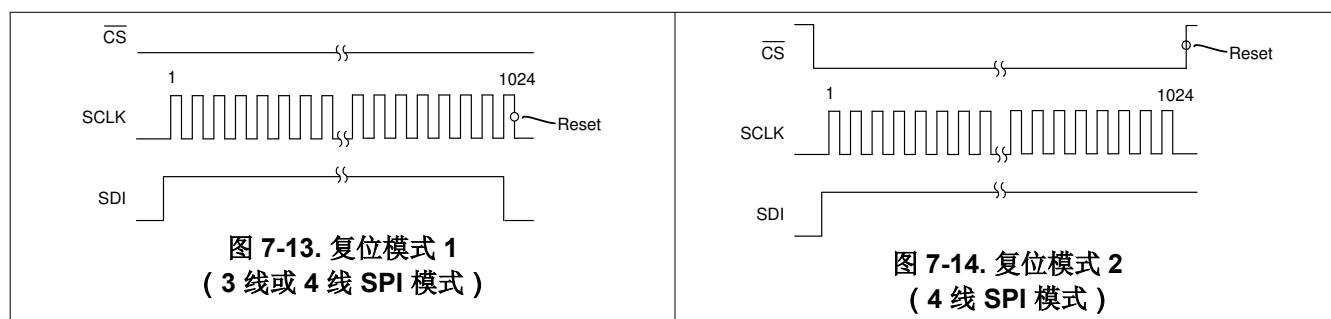
通过向 RESET[5:0] 位字段写入 010110b 来启动软件复位。向此位字段写入任何其他值不会导致复位。在 4 线 SPI 模式下，在 CS 置为高电平时，复位在帧末尾生效。在 3 线 SPI 模式中，复位在寄存器写入操作的最后一个 SCLK 下降沿上生效。3 线 SPI 模式中的复位要求 SPI 与 SPI 主机同步。如果无法保证 SPI 同步，请使用 [通过 SPI 输入模式进行复位](#) 部分中所述的模式来复位器件。

7.4.1.3 通过 SPI 输入模式进行复位

器件还可通过 SPI 操作复位，方法是在 SDI 上输入特殊位模式。这种输入模式不遵循常规 SPI 命令格式。有两种输入模式可用于复位 ADC。

模式 1 包含至少 1023 个连续的 1，后跟一个 0。当最终零移入时，器件在 SCLK 的下降沿复位。此模式可用于 3 线或 4 线 SPI 模式。图 7-13 展示了模式 1 复位示例。

复位模式 2 仅适用于 4 线 SPI 模式。若要复位，请输入至少 1024 个连续的 1 (无末尾零值)，然后将 CS 置为高电平，此时会发生复位。当多个器件采用菊花链连接时，请使用模式 2。图 7-14 展示了模式 2 复位示例。



7.4.2 工作模式

ADS1x2S14 提供了四种工作模式：电源可扩展转换模式、待机模式、空闲模式和断电模式。图 7-15 显示了器件如何在不同工作模式之间转换。

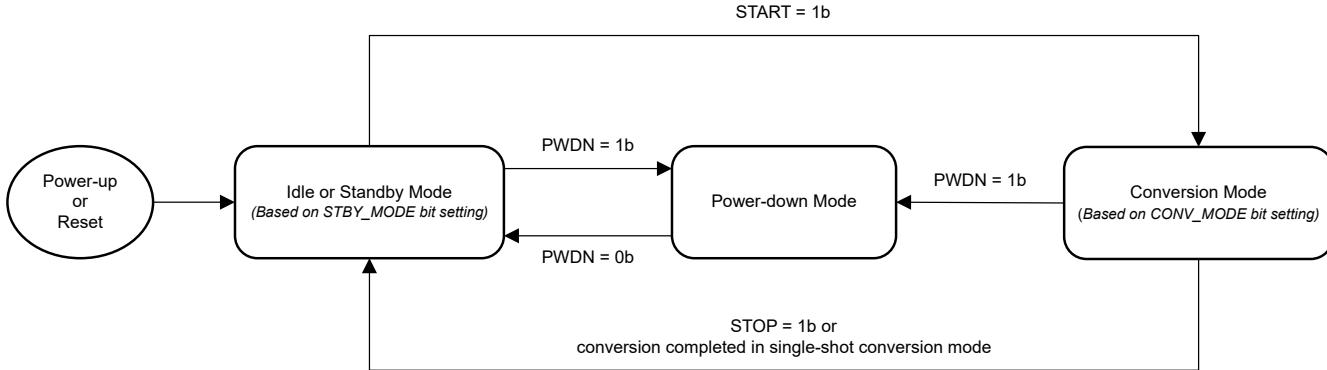


图 7-15. 工作模式状态图

7.4.2.1 空闲和待机模式

复位后，器件处于空闲模式。所有模拟电路都根据相应的寄存器位设置上电，但无转换正在进行，数字滤波器保持在复位状态。

在待机模式下，无论寄存器位设置如何，ADC、PGA、IDAC、BOCS、基准缓冲器、基准欠压监控器、寄存器映射 CRC 和存储器映射 CRC 都会断电。内部电压基准和振荡器在待机模式下保持上电状态。

将 START 位设置为 1b，可退出空闲或待机模式并开始转换。当转换停止时，器件会根据 STBY_MODE 位设置切换至空闲或待机模式。

当转换停止时，使用待机模式以节省功耗。与从空闲模式开始转换时的延迟时间相比，从待机模式开始转换时第一次转换的延迟时间更长，如[数字滤波器延迟](#)部分所述。

7.4.2.2 断电模式

在断电模式下，除了保留用户寄存器设置必需的电路外，所有模拟和数字电路均断电。仍然可以进行 SPI 通信。将 PWDN 位设置为 1b 会立即关闭器件电源；任何正在进行的转换都会中止。在断电模式下，转换计数器 (CONV_COUNT[3:0]) 复位为 Fh，转换数据清除，并且忽略 START 位。

任何配置为 GPIO 数字输出的模拟输入在断电模式下都转换为 Hi-Z 状态。为了在断电期间保持特定的 GPIO 逻辑电平，请考虑在相应 GPIO 引脚上使用外部上拉或下拉电阻器。

在开始任何转换之前，让内部电压基准在退出省电模式时启动并趋稳。

7.4.2.3 电源可扩展转换模式

ADS1x2S14 提供两种转换模式：连续转换和单次转换模式。CONV_MODE 位可选择转换模式。

此外，该器件还提供了四种速度模式来权衡功耗、分辨率和数据速率。每种速度模式对应于特定调制器时钟频率和器件偏置电流设置。速度模式 3 ($f_{MOD} = 1.024MHz$) 在 20SPS 数据速率设置下提供最高数据速率（高达 64kSPS）和最低噪声。相比之下，速度模式 0 ($f_{MOD} = 32kHz$) 尽可能地降低功耗，代价是噪声性能。根据所需的数据速率、分辨率和器件功耗要求，使用 SPEED_MODE[1:0] 位来选择速度模式。

7.4.2.3.1 连续转换模式

在连续转换模式下，ADC 会无限期地进行转换，直到被用户停止。将 START 位设置为 1b 以启动转换。正在进行转换时将 START 位设置为 1b 会中止正在进行的转换，并重新启动转换。

使用 STOP 位停止转换。在 STOP 位设置为 1b 后，允许完成当前正在进行的转换。设置 STOP 位后，直到转换停止，STOP 位会一直读取为 1b。当转换停止时，STOP 位读回 0b，指示器件转换为空闲或待机模式。

同时向 START 和 STOP 位写入 1b 无效。

在转换停止后，最后一次转换结果仍可读出。在断电模式下，只有器件复位后才会清除转换结果，或者在新转换结果可用时覆盖转换结果。

START 位在写入 CONVERSION_CTRL 寄存器的 SPI 帧的 \overline{CS} 上升沿（4 线 SPI 模式）或最后一个 SCLK 下降沿（3 线 SPI 模式）生效。有关寄存器写入命令的 SPI 帧的详细信息，请参阅 [写入寄存器命令](#) 部分。

如果 \overline{DRDY} 为低电平，则设置 START 位会将 \overline{DRDY} 引脚驱动为高电平，但仍可以读取旧转换数据，直到新转换可用为止。

当使用 START 位启动或重新启动转换时，器件会隐藏未稳定的转换，并且仅在转换延迟周期 ($t_{LATENCY}$) 加上可选的延迟时间 (t_{DELAY}) 后提供稳定的转换结果，如 [数字滤波器趋稳时间和转换周期](#) 所示。所有后续转换都有一个转换周期 $t_{DATA} = 1 / f_{DATA} = OSR / f_{MOD}$ 。

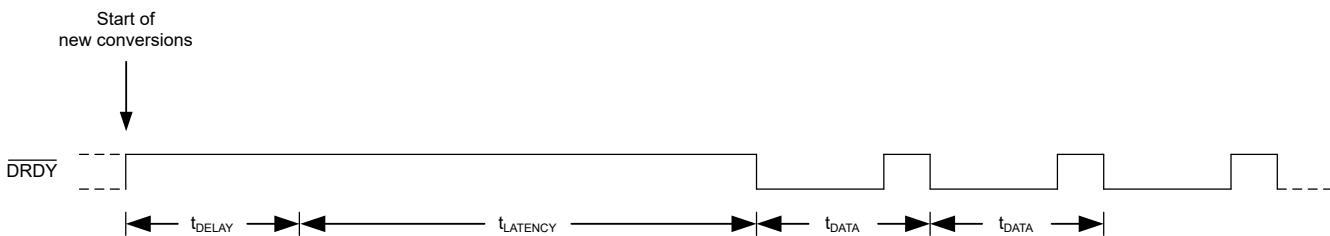


图 7-16. 数字滤波器趋稳时间和转换周期

7.4.2.3.2 单次转换模式

在单次转换模式下，ADC 会在 START 位设置为 1b 后执行一次单次转换。正在进行转换时设置 START 位会中止当前转换，并重新启动一次新的单次转换。STOP 位在单次转换模式下无效。

与连续转换模式相同，START 位在写入 CONVERSION_CTRL 寄存器的 SPI 帧的 \overline{CS} 上升沿（4 线 SPI 模式）或最后一个 SCLK 下降沿（3 线 SPI 模式）生效。有关寄存器写入命令的 SPI 帧的详细信息，请参阅 [写入寄存器命令](#) 部分。

在单次转换模式下，每次转换都可以在转换延迟周期 ($t_{LATENCY}$) 加可选的延迟时间之后进行。如果在转换过程期间发生输入阶跃变化，则表示转换结果始终未完全趋稳。在这种情况下，需要进行另一次单次转换才能输出趋稳的转换结果。

7.5 编程

7.5.1 串行接口 (SPI)

串行接口用于读取转换数据、配置器件寄存器和控制 ADC 转换。

串行接口包含四条线路： \overline{CS} 、 $SCLK$ 、 SDI 和 SDO/\overline{DRDY} 。此外，GPIO3 可配置为专用 \overline{DRDY} 输出引脚。主机始终驱动 $SCLK$ ，并且器件充当外设。该接口仅支持 SPI 配置 ($CPOL = 0$ 且 $CPHA = 1$)，其中 $SCLK$ 在空闲状态下保持低电平，数据在 $SCLK$ 上升沿更新，并锁存在 $SCLK$ 下降沿。

该接口支持全双工操作，这意味着可以同时传送输入数据和输出数据。该接口还支持多个 ADC 的菊花链连接。

7.5.2 串行接口信号

7.5.2.1 片选 (\overline{CS})

\overline{CS} 是一个低电平有效输入，可实现接口通信。通信帧通过将 \overline{CS} 置为低电平来启动，通过将 \overline{CS} 置为高电平来结束。当 \overline{CS} 置为高电平时，器件通过解读输入数据的最后 16 位 (SPI CRC 启用时为 24 位) 来结束帧，而不考虑移入的总位数。当 \overline{CS} 为高电平时，SPI 复位，命令被阻止， SDO/\overline{DRDY} 进入高阻抗状态。当 GPIO3 配置为 \overline{DRDY} 输出时，专用 \overline{DRDY} 引脚是一个活动输出，而与 \overline{CS} 的状态无关。 \overline{CS} 可以连接至低电平以在 3 线 SPI 模式下运行接口。

7.5.2.2 串行时钟 ($SCLK$)

$SCLK$ 是串行时钟输入，用于将数据移入和移出 ADC。 SDO 上的数据在 $SCLK$ 的上升沿更新， SDI 上的数据在 $SCLK$ 的下降沿锁存。 $SCLK$ 是一种施密特触发输入，旨在提高抗噪性能。尽管 $SCLK$ 具有抗噪性，但应尽可能使 $SCLK$ 保持无噪声，以避免 $SCLK$ 意外转换。避免 $SCLK$ 输入上出现振铃和过冲。 $SCLK$ 驱动器上的串联端接电阻器可减少振铃。

7.5.2.3 串行数据输入 (SDI)

SDI 是串行接口数据输入。 SDI 用于向器件输入数据。输入数据在 $SCLK$ 的下降沿锁存。 SDI 未激活时处于高电平或低电平空闲状态。

7.5.2.4 串行数据输出/数据就绪 (SDO/\overline{DRDY})

SDO/\overline{DRDY} 是一个双功能输出引脚。可对此引脚进行编程，以便仅提供输出数据，或提供输出数据和数据就绪指示。 SDO_MODE 位选择该模式。双功能模式可在单个引脚上多路复用输出数据和数据就绪操作。此模式可以取代专用 \overline{DRDY} 引脚的功能，以减少连接到主机所需的 SPI I/O 线路的数量。

输出数据在 $SCLK$ 的上升沿更新。当 \overline{CS} 为高电平时， SDO/\overline{DRDY} 引脚处于高阻态。

当编程为双功能模式 ($SDO_MODE = 1b$) 且 \overline{CS} 处于低电平时， SDO/\overline{DRDY} 会对 \overline{DRDY} 进行镜像，直至 $SCLK$ 的第一个上升沿为止，此时引脚会更改模式以提供数据输出。当数据读取操作完成时，该引脚会恢复到镜像 \overline{DRDY} 。图 7-17 展示了 SDO/\overline{DRDY} 引脚的行为。

在仅输出数据模式 ($SDO_MODE = 0b$) 下，如果在 SDO 上移出最后一个数据后主机没有发送任何额外的 $SCLK$ 脉冲，则 SDO 保持在发送的最后一一位的电平，如图 7-17 中所示。

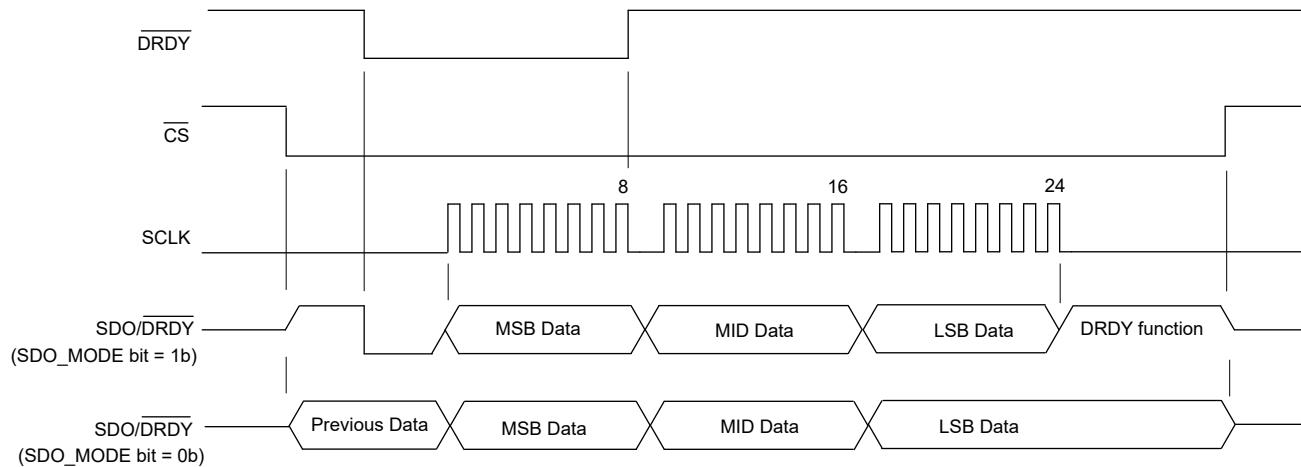


图 7-17. SDO/DRDY 和 DRDY 行为
(24 位器件 , STATUS 标头和 CRC 已禁用)

7.5.2.5 数据就绪 (DRDY) 引脚

GPIO3 可配置为专用 **DRDY** 输出引脚 (**GPIO3_CFG[1:0]** = 10b 或 11b, **GPIO3_SRC** = 1b)。无论 **CS** 为高电平还是低电平, **DRDY** 都是有源输出。

当转换开始时, **DRDY** 驱动为高电平, 而当转换数据就绪时驱动为低电平。**DRDY** 在 MSB 转换数据读取的第八个 **SCLK** 下降沿驱动回高电平, 如图 7-17 所示。如果未读取转换数据, **DRDY** 会在下一个下降沿之前产生高脉冲 $t_{W(DRH)}$ 。每当器件编程为在转换停止后进入待机模式 (**STBY_MODE** 位 = 1b) 时, **DRDY** 在转换为低电平后 4 个 t_{MOD} 将被驱动回高电平。

有关 **DRDY** 引脚操作的更多详细信息, 请参阅 [DRDY 引脚行为](#)部分。

7.5.3 串行接口通信结构

7.5.3.1 SPI 帧

通过串行接口进行通信基于帧的概念。帧包含数据移入 SDI 或移出 SDO 所需的规定数量 SCLK。帧通过将 \overline{CS} 置为低电平来启动，通过将 \overline{CS} 置为高电平来结束。当 \overline{CS} 置为高电平时，器件会对输入数据的最后 16 位（或在启用 SPI CRC 时为 24 位）进行解释，而不管移入器件的数据量是多少。

该接口是全双工的，也就是说该接口能够在 SDO 上发送数据，同时在 SDI 上接收数据。通常，如果需要，通过用前导零填充帧来调整输入帧的大小以匹配输出帧。但是，如果仅写入器件而忽略 SDO 上的数据，则帧可以缩短为最小 16 位（或在启用 SPI CRC 时为 24 位）。图 7-18 和图 7-19 分别显示了 16 位和 24 位器件的典型通信帧结构。在这些示例中，转换数据在 SDO 上移出。如图所示，SDI 上的命令字节（加上可选的 CRC-IN 字节）始终在帧内右对齐。SDO 上的数据字节（加上可选的 STATUS 标头和 CRC-OUT 字节）始终在帧内左对齐。

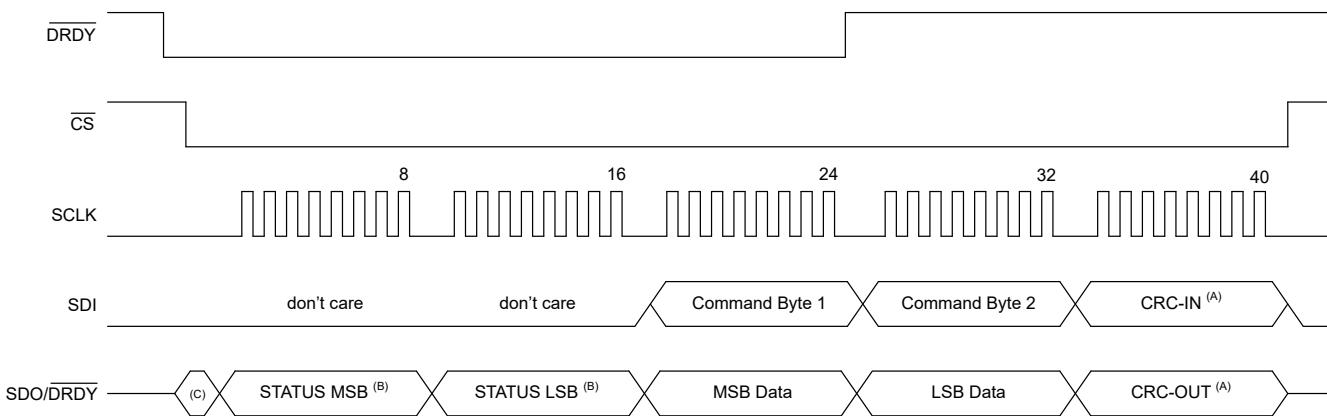
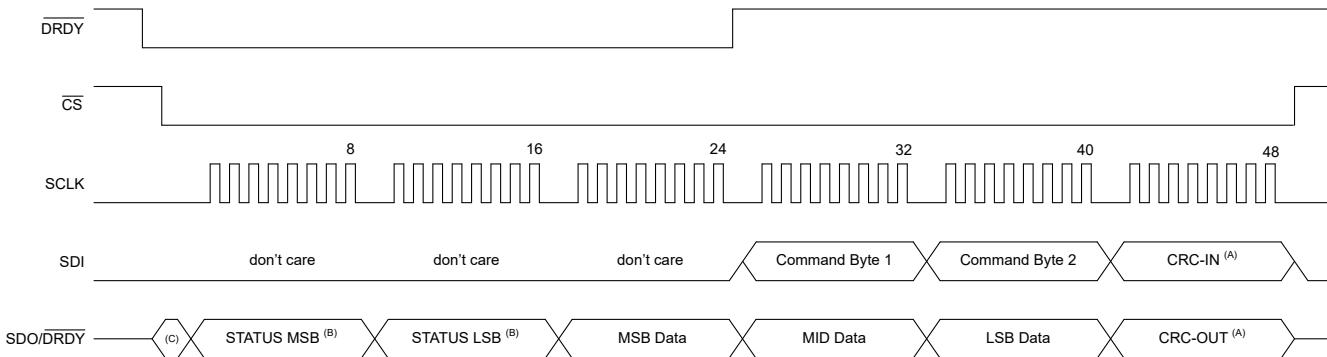


图 7-18. 典型通信帧 (16 位器件)



- A. 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。
- B. 可选的 STATUS 标头。如果禁用了 STATUS，则帧会缩短两个字节。
- C. 如果 SDO_MODE = 0b，则保持 SDO/DRDY 的之前状态，直至第一个 SCLK 上升沿。否则，SDO/DRDY 跟随 DRDY。

图 7-19. 典型通信帧 (24 位器件)

如表 7-9 所示，输出帧大小取决于数据分辨率（16 位或 24 位）、可选的 STATUS 标头（两个字节）和可选的 CRC 字节。

表 7-9. 输出帧大小

分辨率	STATUS 标头	CRC 字节	帧大小
16 位	否	否	16 位
16 位	否	是	24 位
16 位	是	否	32 位
16 位	是	是	40 位
24 位	否	否	24 位
24 位	否	是	32 位
24 位	是	否	40 位
24 位	是	是	48 位

在 4 线 SPI 模式下，将帧扩展到表 7-9 中给出的帧大小之外时，器件开始在 SDO 上移出数据，而这些数据系在帧开始时移入 SDI。此行为是为了支持菊花链运行，如 [菊花链运行](#) 部分所述。

连续读取模式在 4 线 SPI 模式中可用，可以在不转换 CS 的情况下检索任意数量的寄存器数据，并且帧会扩展以容纳额外的数据。有关详细信息，请参阅 [连续读取模式](#) 部分。在连续读取模式下，输出帧大小不受限制。

在 3 线 SPI 模式下，输入帧必须与表 7-9 中指定的输出帧的大小匹配才能使 SPI 保持同步。有关详细信息，请参阅 [3 线 SPI 模式](#) 部分。

7.5.3.2 STATUS 标头

ADS1x2S14 输出可选的 STATUS 标头，作为 SDO 上的每个帧的前两个字节。使用 STATUS_EN 位启用 STATUS 标头传输。16 位 STATUS 标头由 STATUS_MSB[7:0] 和 STATUS_LSB[7:0] 寄存器位连接而成。故障标志、DRDY 位、GPIO 输入数据和转换计数器都是这些位的组成部分。有关详细信息，请参阅 [监控器和状态标志](#) 部分以及 [寄存器](#) 部分中的相应寄存器位说明。

7.5.3.3 SPI CRC

SPI 循环冗余校验 (CRC) 是一种校验代码，用于检测与主机控制器之间的传输错误。SDI 上的主机将一个 CRC-IN 字节与 ADC 输入数据一起传输，SDO 上的器件将一个 CRC-OUT 字节与输出数据一起传输。使用 SPI_CRC_EN 位启用 SPI CRC。此外，允许使用 STATUS_EN 位来传输 STATUS 标头，以获得有关任何 SPI 输入 CRC 故障的通知。

主机通过对两个命令字节进行计算，生成 CRC-IN 代码。填充到帧开头的任何输入字节都不包括在 CRC-IN 计算中。ADC 根据在两个接收的输入命令字节上计算的内部代码来检查输入命令 CRC-IN 代码。如果 CRC-IN 代码不匹配，则不会执行命令，并会将 SPI_CRC_FAULTn 位设置为 0b。

SPI_CRC_FAULTn 位作为 STATUS 标头的一部分输出，以立即指示前一帧中发生了 CRC 错误。SPI_CRC_FAULTn 位在下一个 SPI 帧中自动清除，前提是当前帧中没有发生 SPI CRC 错误。

用于计算输出 CRC 代码的字节数取决于 SDO 上的帧中传输的数据量。表 7-10 展示了输出 CRC 计算中包含的字节数。

表 7-10. 输出 CRC 涵盖的数据

操作	器件分辨率	状态标头已启用	字节计数	输出 CRC 涵盖的数据
转换数据读取	16 位	否	2	16 位转换数据
转换数据读取	16 位	是	4	16 位 STATUS 标头 + 16 位转换数据
寄存器数据读取	16 位	否	2	8 位寄存器数据 + 8 位地址字节
寄存器数据读取	16 位	是	4	16 位 STATUS 标头 + 8 位寄存器数据 + 8 位地址字节
转换数据读取	24 位	否	3	24 位转换数据
转换数据读取	24 位	是	5	16 位 STATUS 标头 + 24 位转换数据
寄存器数据读取	24 位	否	3	8 位寄存器数据 + 8 位地址字节 + 8 位 00h 填充
寄存器数据读取	24 位	是	5	16 位 STATUS 标头 + 8 位寄存器数据 + 8 位地址字节 + 8 位 00h 填充

CRC 代码值计算是可变长度参数与 CRC 多项式进行逐位异或 (XOR) 运算后的 8 位余数。CRC 基于 CRC-8-ATM (HEC) 多项式： $X^8 + X^2 + X^1 + 1$ 。多项式的九个系数为：100000111。CRC 计算初始化为全 1，以便在 SDI 和 SDO/DRDY 始终处于高电平或低电平时检测错误。

图 7-20 展示了 CRC 计算的直观表示。下面是计算 CRC 值的过程：

- 使用种子值 FFh 预加载 8 位移位寄存器，该寄存器具有 XOR 块，其位置与 CRC 多项式 (07h) 对应。
- 移入从最高有效位 (MSB) 开始的所有数据位，并在每个位之后重新计算移位寄存器值。
- 移入所有数据位后产生的移位寄存器值是计算得出的 CRC 值。

可从此处下载的示例 C 代码包括可能的 CRC 实现。

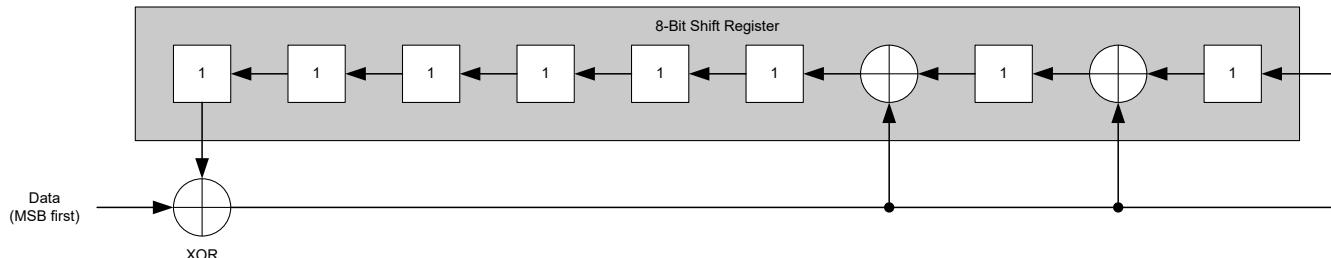


图 7-20. CRC 计算的直观表示

7.5.4 器件命令

命令用于读取和写入寄存器数据。寄存器映射包含一系列单字节（8位）寄存器，可通过读取和写入操作进行访问。输入命令序列的最小帧长度为16位（使能了SPI CRC时为24位）。如果需要，可以使用前导零填充输入命令序列以便与输出数据帧的长度相匹配。当启用了SPI CRC时，器件会将帧末尾处的CRC-IN字节前的两个字节解释为命令类型。[表7-11](#)展示了ADS1x2S14命令。

表 7-11. SPI 命令

说明	BYTE 1	BYTE 2	字节 3 (可选 CRC-IN 字节)
无操作 (读取转换数据)	00h	00h	D7h
读取寄存器命令	40h + 地址 [3:0]	无关	字节 1 和字节 2 的 CRC-IN
写入寄存器命令	80h + 地址 [3:0]	寄存器数据	字节 1 和字节 2 的 CRC-IN

器件支持比标准命令长度更长的特殊扩展长度位模式。这些模式用于复位ADC以及在3线SPI模式中复位帧。[通过SPI输入模式进行复位](#)和[3线SPI模式](#)部分介绍了扩展位模式。

器件锁存命令的实例取决于SPI模式：

- 4线SPI模式： \overline{CS} 的上升沿
- 3线SPI模式：SPI帧的最后一个SCLK下降沿（包括CRC模式下的CRC-OUT字节）

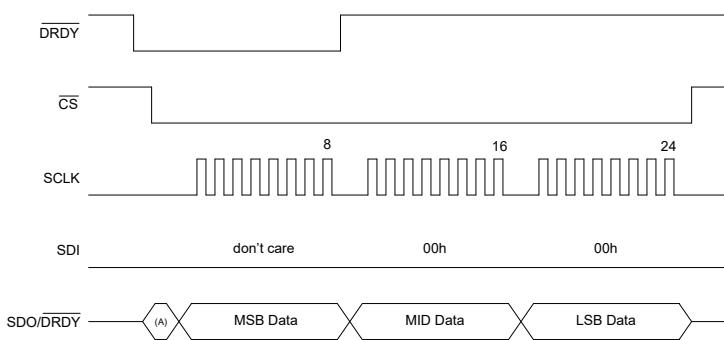
7.5.4.1 无操作 (读取转换数据)

无操作命令字节为00h和00h。不同时发送读取或写入寄存器命令时，可使用此命令来读取转换数据。如果启用了SPI CRC校验，则需要CRC字节（字节3），对于字节00h和00h，始终为D7h。SDI可在数据回读期间保持低电平，但在CRC模式下，SPI_CRC_FAULTn位设置为0b。在读取转换数据时可以忽略SPI_CRC_FAULTn标志，并且在每个新SPI帧中更新一次。

对转换数据进行缓冲，从而在下一个 \overline{DRDY} 下降沿之前的一个 f_{MOD} 时钟周期内读取数据。转换数据在下一个转换数据准备就绪前可以多次读取，永不损坏。如果在前一帧中发送了寄存器读取命令，则该寄存器数据会替换转换数据。

在转换数据读取期间，即转换数据MSB字节的传输完成时， \overline{DRDY} 在第八个SCLK下降沿被驱动回高电平。

[图7-21](#)展示了在禁用STATUS标头和CRC字节时读取24位转换数据的示例。

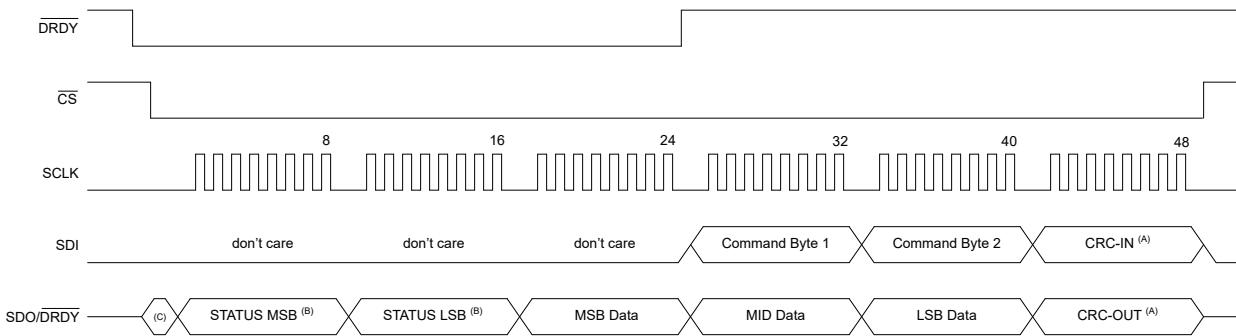


A. 如果 $SDO_MODE = 0b$ ，则保持 SDO/\overline{DRDY} 的之前状态，直至第一个SCLK上升沿。否则， SDO/\overline{DRDY} 跟随 \overline{DRDY} 。

图 7-21. 读取转换数据 (24 位器件，STATUS 标头和 CRC 已禁用)

[图7-22](#)是启用了STATUS标头和CRC字节时的读取转换数据操作示例。此示例还展示了当命令是输入、同时转换数据是输出时，可选择使用全双工传输。如果不需要输入命令，则输入字节为00h、00h和D7h。输出CRC(CRC-OUT)代码计算包括STATUS标头。

当转换数据MSB字节的传输完成时， \overline{DRDY} 在第24个SCLK下降沿被驱动回高电平。如果数据未被完全读取，即在转换数据MSB字节传输之后、帧结束之前的任何时间停止读取操作，则也是如此。



- 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。
- 可选的 STATUS 标头。如果禁用了 STATUS，则帧会缩短两个字节。
- 如果 SDO_MODE = 0b，则保持 SDO/DRDY 的之前状态，直至第一个 SCLK 上升沿。否则，SDO/DRDY 跟随 DRDY。

图 7-22. 读取转换数据 (24 位器件 , STATUS 标头和 CRC 已启用)

转换数据可以与 **DRDY** 异步读取。但是，当在靠近 **DRDY** 下降沿的位置读取转换数据时，可能会不确定输出的是以前的数据还是新的数据。如果 **SCLK** 移位操作在 **DRDY** 下降沿之前至少一个 f_{MOD} 时钟周期开始，则提供旧数据。如果移位操作在 **DRDY** 之后至少一个 f_{MOD} 时钟周期开始，则输出新数据。在任何一种情况下，数据都不会损坏。当启用了 STATUS 标头传输时，**DRDY** 位指示在当前帧中传输的数据是旧数据（之前读取的数据，**DRDY** = 0b）还是新数据（**DRDY** = 1b）。

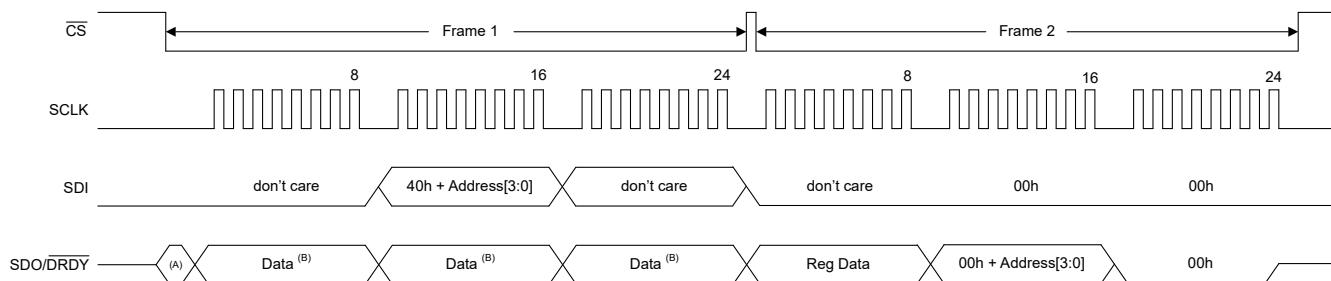
7.5.4.2 读取寄存器命令

使用读取寄存器命令读取寄存器数据。该命令遵循双帧协议，其中读取命令在一帧内发送，而 ADC 在下一帧中响应寄存器数据。命令的第一个字节是添加到 4 位寄存器地址的基本命令值 (40h)。第二个命令字节的值是任意的，但与 CRC 计算的第一个字节一起使用。

图 7-23 显示了在禁用 STATUS 标头和 CRC 的情况下，24 位器件读取寄存器数据的示例。帧 1 是命令帧，帧 2 是数据响应帧。通过将 **CS** 置为高电平来分隔帧。数据响应帧返回请求的寄存器数据字节，后跟寄存器地址指示字节，以及一个用于补足 24 位帧的 00h 填充字节。寄存器数据的最高有效位先对齐。4 位寄存器地址在寄存器地址指示字节内右对齐（在 MSB 位置用 0000b 填充）。如果需要，通过将 **CS** 置为高电平可在寄存器数据字节后缩短数据响应帧。

从有效地址范围之外的寄存器地址读取会返回 00h 作为寄存器数据，并在寄存器地址指示字节中返回 FFh 以指示错误。

当读取多个寄存器时，全双工操作可用于通过在前一个寄存器的数据响应帧期间输入下一个读取寄存器命令来使读取寄存器操作的吞吐量增加一倍。



- 第一个 SCLK 之前 SDO/DRDY 的先前状态。
- 数据是转换数据的 24 位，或者如果在前一帧中发送了读取寄存器命令，则数据字段为寄存器数据字节 + 地址指示字节 + 00h 填充。

图 7-23. 读取寄存器数据 (24 位器件 , STATUS 标头和 CRC 已禁用)

图 7-24 显示了在启用 STATUS 标头和 CRC 的情况下，24 位器件的寄存器读取操作的示例。在帧 1 中，转换数据的输出与读取寄存器命令的输入同时进行（当前一帧不是读取寄存器命令时）。为了匹配输出数据帧的长度，输入命令用三个无关字节填充。填充的输入字节不包括在 CRC-IN 代码计算中。帧 2 显示与请求的寄存器数据的输出同时进行的下一个命令的输入。CRC-OUT 代码包括数据输出帧内的所有前面的字节。

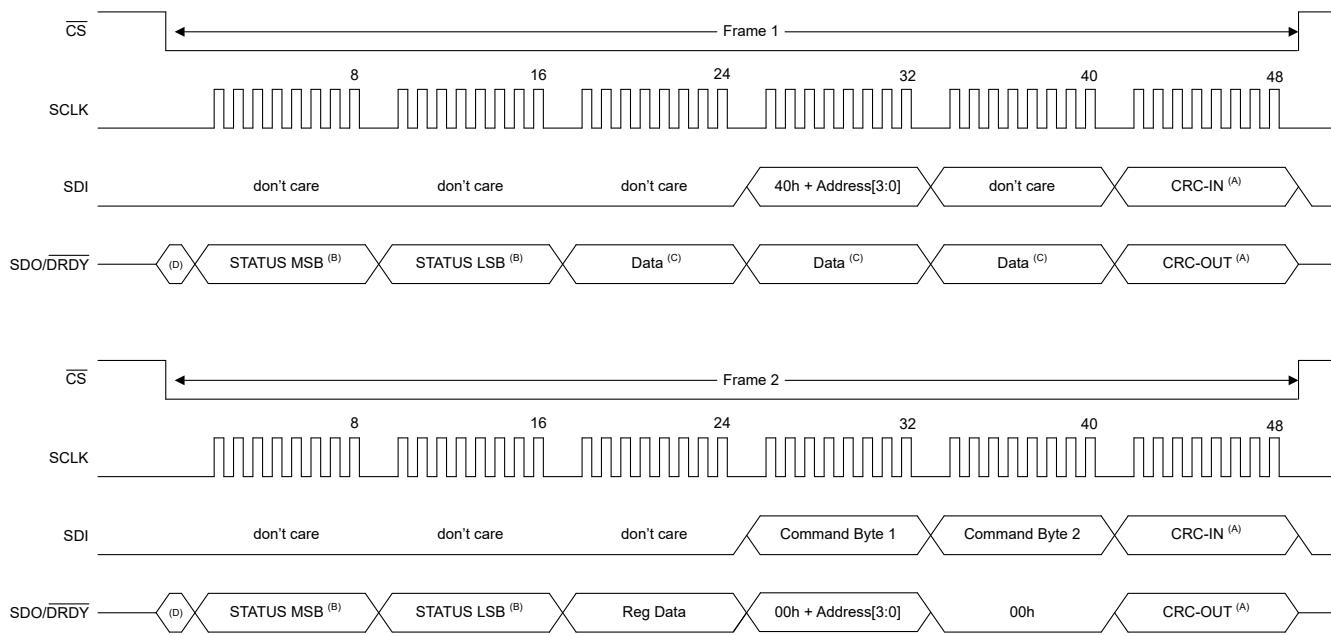


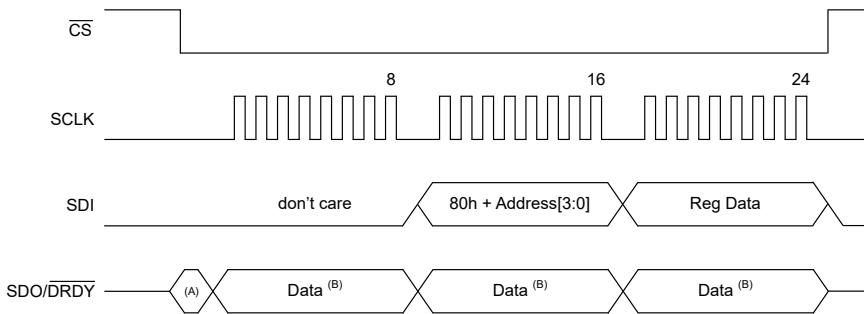
图 7-24. 读取寄存器数据 (24 位器件 , STATUS 标头和 CRC 已启用)

7.5.4.3 写入寄存器命令

使用写入寄存器命令写入寄存器数据。写入寄存器操作在单个帧中执行。命令的第一个字节是添加到 4 位寄存器地址的基本值 (80h)。命令的第二个字节是寄存器数据。

写入有效地址范围之外的寄存器将被忽略，并且 REG_WRITE_FAULTn 位设置为 0b 以指示错误。

图 7-25 显示了在禁用 STATUS 标头和 CRC 的情况下，24 位器件的寄存器写入操作的示例。如果需要配置一系列寄存器而无需同时读取转换数据，则可以使用缩短的 16 位帧来提高吞吐量。缩短的 SPI 帧无法在 3 线 SPI 模式下或在菊花链中运行器件时使用。

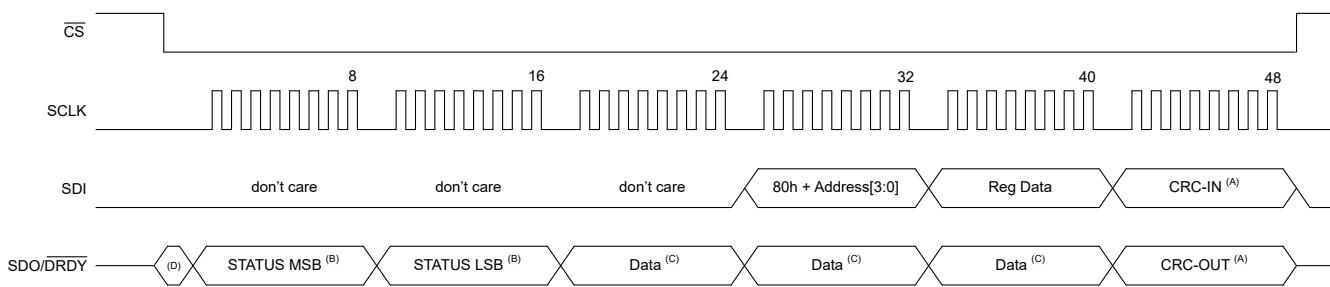


- A. 第一个 SCLK 之前 SDO/DRDY 的先前状态。
- B. 数据是转换数据，或者如果在前一帧中发送了读取寄存器命令，则数据字段为寄存器数据字节 + 地址指示字节 + 00h 填充。

图 7-25. 写入寄存器数据 (24 位器件，STATUS 标头和 CRC 已禁用)

图 7-26 显示了在启用 STATUS 标头和 CRC 的情况下，24 位器件的写入寄存器操作的示例。图中还展示了全双工操作，以便同时显示命令的输入和转换数据的输出。输入帧以三个无关字节作为前缀，来匹配输出帧，从而传输所有转换数据字节。如果需要配置一系列寄存器而无需同时读取转换数据，则可以使用缩短的 24 位帧来提高吞吐量。

通过读回寄存器数据或检查 SPI_CRC_FAULTn 位是否有输入 CRC 错误，来验证寄存器写入操作是否成功。如果发生 SPI CRC 输入错误，SPI_CRC_FAULTn 标志会在下一帧中读取 0b，并且写入操作会被忽略。



- A. 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。
- B. 可选的 STATUS 标头。如果禁用了 STATUS，则帧会缩短两个字节。
- C. 数据字段是转换数据，或者如果在前一帧中发送了读取寄存器命令，则为寄存器数据字节 + 地址指示字节 + 00h 填充。
- D. 第一个 SCLK 之前 SDO/DRDY 的先前状态。

图 7-26. 写入寄存器数据 (24 位器件，STATUS 标头和 CRC 已启用)

写入以下寄存器（即使是相同的值）会停止任何正在进行的转换，复位数字滤波器，并使用更新的器件配置重新启动转换：

- DEVICE_CFG (地址 05h)
- DATA_RATE_CFG (地址 06h)
- MUX_CFG (地址 07h)

- GAIN_CFG (地址 08h)
- REFERENCE_CFG (地址 09h)
- DIGITAL_CFG (地址 0Ah)

例如，当以最小的通信开销通过多个通道进行多路复用时，此器件行为很有帮助。为此，请在连续转换模式下运行器件。使用 **START** 位在第一个测量通道上启动转换。转换完成后，将新的多路复用器配置写入 **MUX_CFG** 寄存器，以选择第二个测量通道。在写入 **MUX_CFG** 寄存器时，可同时读取第一个测量通道的转换数据。在写入寄存器命令被器件锁存后，器件在第二个测量通道上启动转换。

当器件处于待机或空闲模式时，写入上述寄存器不会启动转换。

7.5.5 连续读取模式

ADS112S14 提供了连续读取模式。在连续读取模式下，可以在不转换 \overline{CS} 的情况下检索任意数量的寄存器数据，并且帧会扩展以容纳额外的数据。这简化了读取大量寄存器数据的过程，并减少了控制 \overline{CS} 线路的微控制器外设的开销。

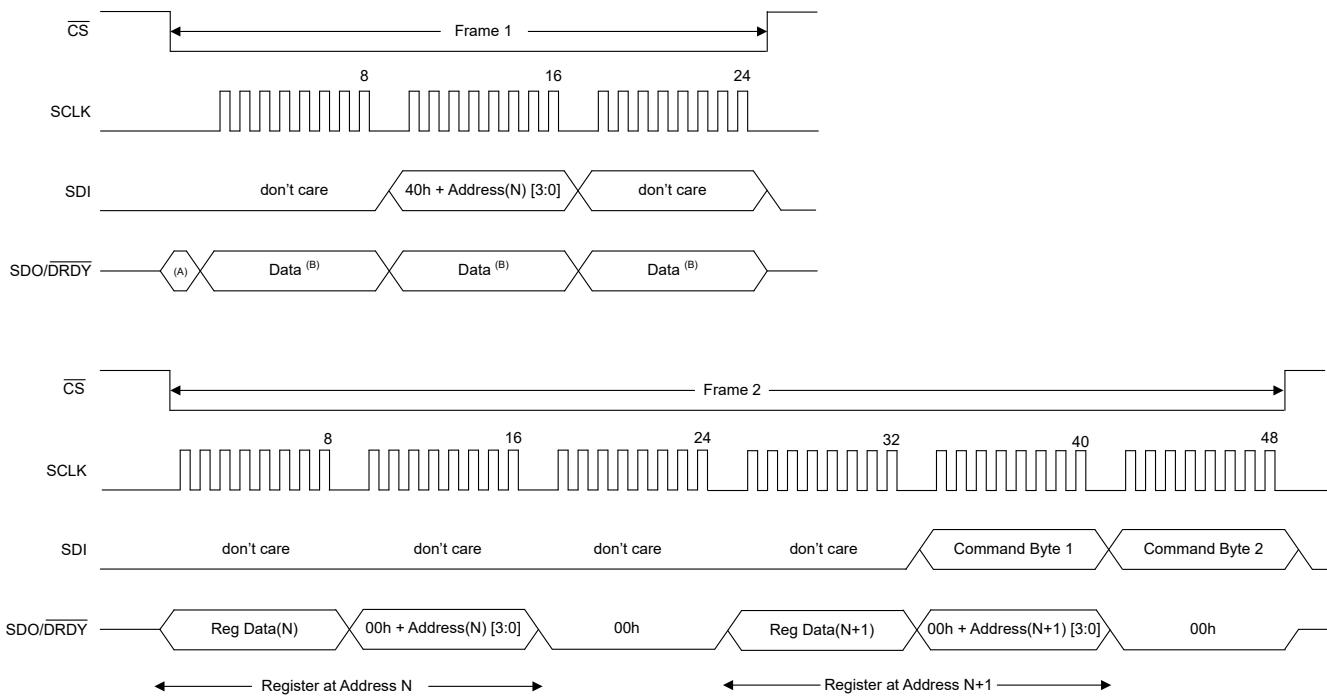
设置 **CONT_READ_EN** 位将启用连续读取模式。在 **CONT_READ_EN** 位从 0b 更改为 1b 的 SPI 帧之后的下一个帧中，SPI 切换到连续读取模式。

通过将 **CONT_READ_EN** 位设置回 0b，使 SPI 返回单路读取模式。

7.5.5.1 在连续读取模式下读取寄存器

在连续读取模式下，使用 [读取寄存器命令](#) 部分中所述的相同命令帧来读取寄存器数据。数据响应帧会返回一个或多个寄存器数据字节，具体取决于 CS 被驱动回高电平的时间。第一个寄存器数据字节从命令帧中指定的地址读取。然后，对于每个后续寄存器读取操作，寄存器地址都会自动递增 1。如果下一个寄存器地址指向无效的寄存器，也是如此。对有效地址范围之外的寄存器的响应对于数据字节为 00h，对于地址指示器字节为 FFh。

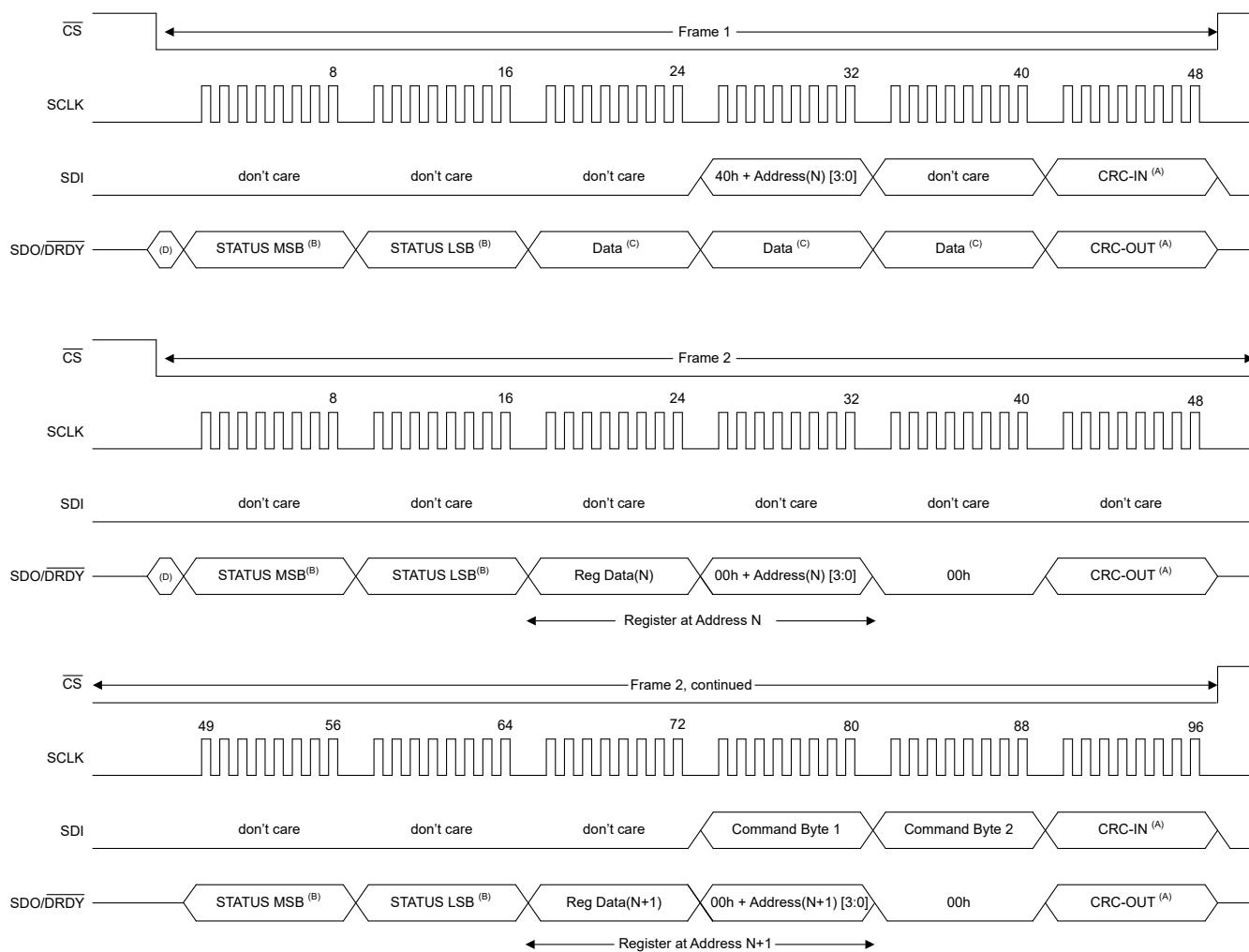
图 7-27 显示了在禁用 **STATUS** 标头和 **CRC** 的情况下，24 位器件在连续读取模式中读取寄存器数据的示例。该示例显示了如何读取两个连续寄存器 N 和 N+1，但在 \overline{CS} 保持为低电平达到额外的时钟周期时，可以读取任意数量的寄存器。



- 第一个 SCLK 之前 SDO/DRDY 的先前状态。
- 根据之前的操作，数据字段为转换数据或寄存器数据字节 + 地址字节 + 00h 填充。

**图 7-27. 连续读取模式下的读取寄存器数据
(24 位器件, STATUS 标头和 CRC 已禁用)**

图 7-28 显示了在启用 **STATUS** 标头和 **CRC** 的情况下，24 位器件在连续读取模式中的寄存器读取操作的示例。在输入和输出帧中，不考虑字节和 00h 填充字节用于匹配数据帧协议，如 [读取寄存器命令](#) 部分所述。该示例显示了如何读取两个连续寄存器 N 和 N+1，但在 \overline{CS} 保持为低电平达到额外的时钟周期时，可以读取任意数量的寄存器。



- A. 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。
- B. 可选的 STATUS 标头。如果禁用了 STATUS，则帧会缩短两个字节。
- C. 根据之前的操作，数据字段为转换数据或寄存器数据字节 + 地址字节 + 00h 填充。
- D. 第一个 SCLK 之前 SDO/DRDY 的先前状态。

**图 7-28. 连续读取模式下的读取寄存器数据
(24 位器件 , STATUS 标头和 CRC 已启用)**

7.5.6 菊花链运行

在使用多个 ADC 的系统中，可以采用菊花链串来连接器件，以减少 SPI 连接的数量。菊花链连接将一个器件的 SPI 输出 (SDO) 连接到下一个器件的 SPI 输入 (SDI)，因此链中的器件对主机控制器显示为单个逻辑器件。菊花链运行无需特殊编程。应用额外的移位时钟来访问链中的所有器件。为了简化操作，对每个器件的 SPI 帧大小进行编程（例如，当启用所有器件的 CRC 选项时，从而产生 24 位（16 位器件）或 32 位（24 位器件）帧大小）。

图 7-29 显示了以菊花链配置连接的四个器件。ADS1x2S14 (1) 的 SDI 连接到主机 SPI 数据输出，ADS1x2S14 (4) 的 SDO/DRDY 连接到主机 SPI 数据输入。该链中的所有器件同时进行移位操作。每个 ADC 移出转换数据后，SDI 的数据出现在 SDO/DRDY 中，以驱动链中下一个器件的 SDI。移位操作将继续，直至到达链中的最后一个器件。当 CS 置为高电平时，SPI 帧结束，此时将解译移入每个器件的数据。对于菊花链运行，将 SDO/DRDY 引脚编程为仅数据输出模式 (SDO_MODE = 0b) 并禁用连续读取模式 (CONT_READ_EN = 0b)。

将每个器件的 SDO/DRDY 引脚上的上拉电阻器连接到 DVDD。当 CS 为高电平时，SDO/DRDY 变为高阻态。因此，当 CS 为高电平时，上拉电阻器用于避免链中的下一个器件上出现悬空的 SDI 输入。

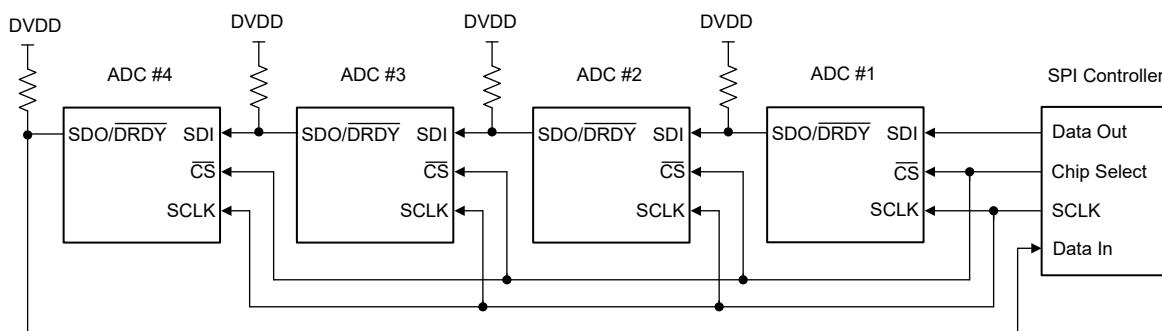


图 7-29. 菊花链连接

图 7-30 展示了以菊花链连接的四个 24 位器件（STATUS 标头和 CRC 已禁用）的帧结构。

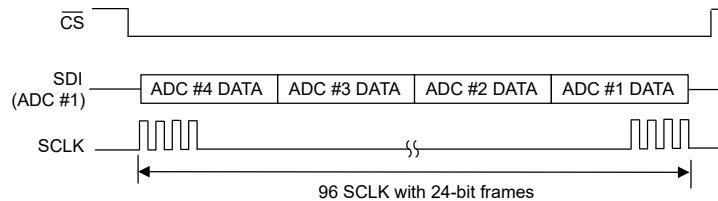
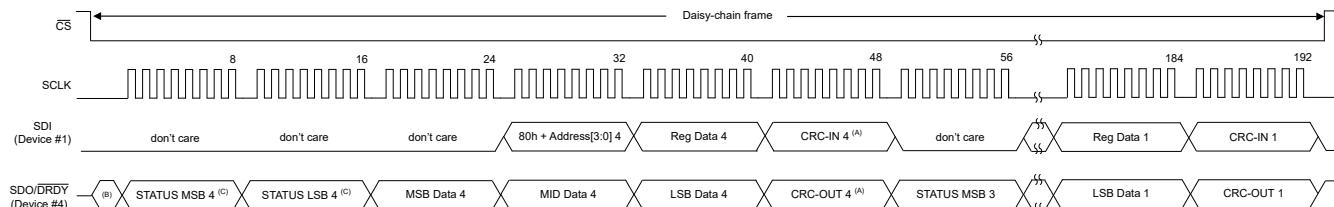


图 7-30. 菊花链数据输入序列
(四个 24 位器件，STATUS 标头和 CRC 已禁用)

为了输入数据，主机首先移入用于链中最后一个器件的数据。每个 ADC 的输入字节数的大小与输出帧大小相匹配。默认帧大小为 24 位（对于 24 位器件），因此最初每个 ADC 需要三个字节，方法是在两个命令字节前添加一个填充字节作为前缀。首先是 ADC #4 的输入数据，然后是 ADC #3 的输入数据，依此类推。

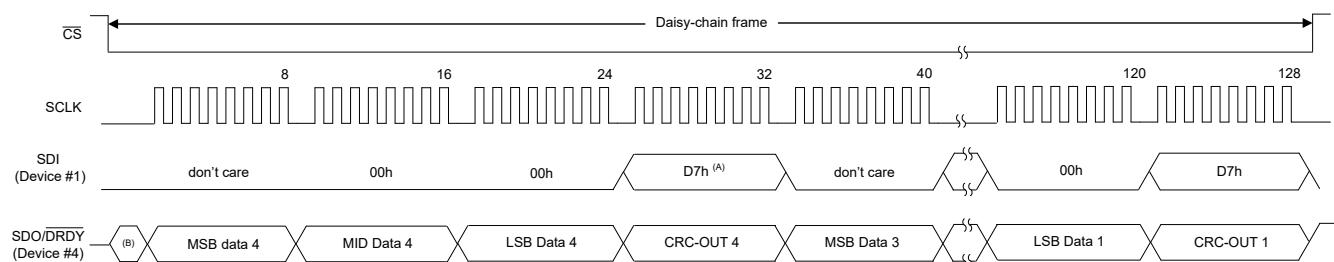
图 7-31 展示了图 7-29 的菊花链写入寄存器操作的详细输入数据序列。显示了每个 ADC 的 48 位帧（24 位数据，启用了 STATUS 标头和 CRC）。每个 ADC 的命令操作可能不同。寄存器读取操作需要第二个帧操作来读取寄存器数据。



- A. 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。
- B. 在应用 SCLK 之前 SDO/DRDY 的前一状态。
- C. 可选的 STATUS 标头。如果禁用了 STATUS，则帧会缩短两个字节。

**图 7-31. 菊花链连接中的写入寄存器数据
(四个 24 位器件，STATUS 标头和 CRC 已启用)**

图 7-32 显示了从图 7-29 中提供的器件连接中读取转换数据的数据序列。此示例说明了 32 位输出帧 (24 位数据，启用了 CRC)。ADC (4) 的转换数据在序列中最先移出，然后是 ADC (3) 的数据，依此类推。移出数据所需的总 SCLK 数由每帧位数乘以链中的器件数得出。在此示例中，32 位输出帧 × 四个器件得到 128 个总时钟。



- A. 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。
- B. 在应用 SCLK 之前 SDO/DRDY 的前一状态。

**图 7-32. 菊花链连接中的读取转换数据
(四个 24 位器件，STATUS 标头已禁用，CRC 已启用)**

如方程式 13 所示，以菊花链配置连接的器件数上限受 SCLK 信号频率、所选数据速率和每帧位数的限制。

$$\text{Maximum devices in a chain} = \lfloor f_{\text{SCLK}} / (f_{\text{DATA}} \times \text{bits per frame}) \rfloor \quad (13)$$

例如，如果 $f_{\text{SCLK}} = 10\text{MHz}$ ， $f_{\text{DATA}} = 64\text{kSPS}$ ，并且使用了 32 位帧，则菊花链连接的器件的数量上限是： $\lfloor 10\text{MHz} / (64\text{kHz} \times 32) \rfloor = 4$ 。

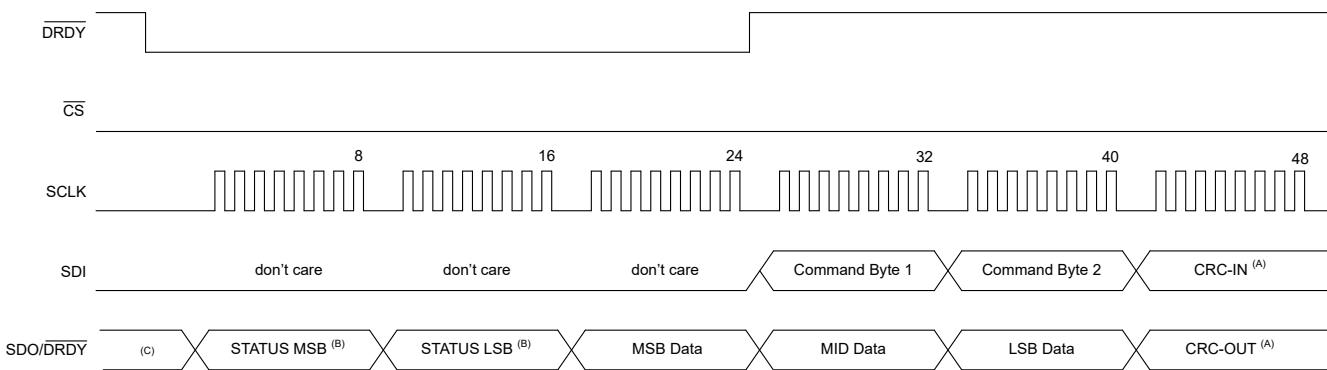
7.5.7 3 线 SPI 模式

通过将 \overline{CS} 引脚永久连接到 GND，器件可以在 3 线 SPI 模式下运行。当 \overline{CS} 在上电时或复位后连接至低电平时，器件在 3 线 SPI 模式下运行。只要 \overline{CS} 置为高电平，器件就会变为 4 线 SPI 模式。

由于 \overline{CS} 不再在 3 线 SPI 模式下控制帧长度，因此 ADC 会对 SCLK 进行计数以确定帧的开始和结束。SCLK 数量必须由主机控制并且必须与输出帧的大小相匹配。每帧的位数取决于器件分辨率和配置。[表 7-9](#) 中显示了输出帧的大小。由于帧时序由 SCLK 的数量决定，因此应避免 SCLK 意外转换，例如可能在上电时发生的转换。

除了没有 \overline{CS} 切换功能外，3 线 SPI 模式与支持的指令格式和时钟与 4 线模式相同。[图 7-33](#) 显示了在 3 线 SPI 模式下读取转换数据的示例。

器件的菊花链连接在 3 线 SPI 模式下无法实现，并且连续读取模式也不可用。



- A. 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。
- B. 可选的 STATUS 标头。如果禁用了 STATUS，则帧会缩短两个字节。
- C. 如果 SDO_MODE = 0b，则保持 SDO/DRDY 的之前状态，直至第一个 SCLK 上升沿。否则，SDO/DRDY 跟随 DRDY。

图 7-33. 3 线 SPI 模式下的读取转换数据 (24 位器件，STATUS 标头和 CRC 已启用)

7.5.7.1 3 线 SPI 模式帧重新对齐

在 3 线 SPI 模式下，意外的 SCLK 会导致帧错位，从而导致与主机的帧同步丢失。如[图 7-34](#) 所示，通过发送 SPI 重新对齐模式，无需器件复位即可重新同步 SPI。重新对齐模式在第 64 个 SCLK 出现，至少连续 63 个 1，后跟一个 0。第 65 个 SCLK 启动一个新的 SPI 帧。器件还可接受包含超过 63 个连续 1 后跟一个 0 的重新对齐模式。在这种情况下，新帧从在 0 之后 SCLK 上升沿开始。或者，可以使用[通过 SPI 输入模式进行复位](#)部分中所述的复位模式完全复位 ADC。

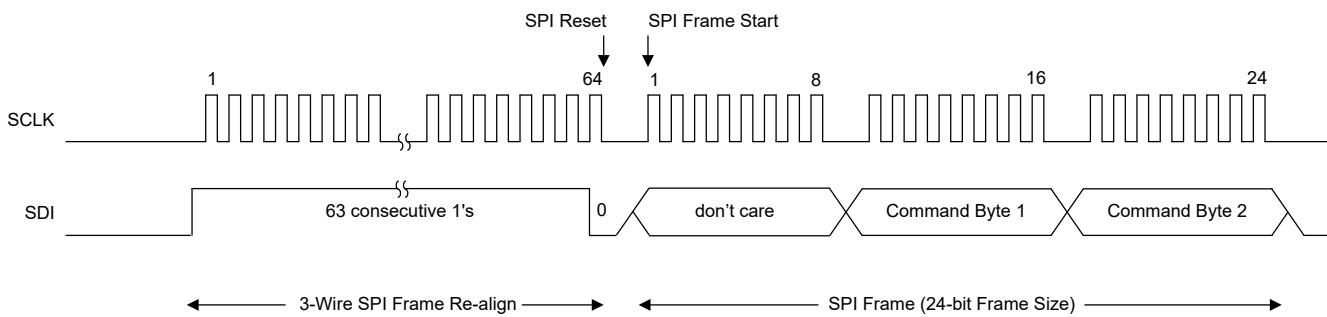


图 7-34. 3 线模式 SPI 重新对齐模式 (24 位器件)

7.5.8 监控新转换数据

有多种方法可用于确定转换数据何时准备好检索。

1. 监控 \overline{DRDY} 或 SDO/\overline{DRDY} 引脚。

2. 评估作为 STATUS 标头的一部分传输的 DRDY 位和转换计数器。
3. 使用外部时钟进行时钟计数：计算用于预测数据何时就绪的 ADC 主时钟数。

7.5.8.1 DRDY 引脚或 SDO/DRDY 引脚监控

DRDY 是专用的数据就绪输出引脚，SDO/DRDY 引脚是双功能输出引脚。有关 DRDY 引脚的说明，请参阅 [数据就绪 \(DRDY\) 引脚](#) 部分；有关 SDO/DRDY 引脚的说明，请参阅 [串行数据输出/数据就绪 \(SDO/DRDY\)](#) 部分。

DRDY 引脚的下降沿表示新转换已完成。将 DRDY 引脚连接到主机控制器的由下降沿触发的支持中断的 GPIO。在主机检测到 DRDY 信号下降沿后，主机在下一个 DRDY 下降沿之前读取转换数据。如果支持中断的 GPIO 不可用，主机可以监控 DRDY 引脚电平。逻辑低电平表示尚未读取最新的可用转换结果。逻辑高电平表示没有新转换结果可用，并且之前已读取最新的转换结果。可以随时读取转换数据，而无需担心数据损坏。

使用 SDO_MODE = 1b 设置启用双功能后，SDO/DRDY 引脚的使用方式与专用 DRDY 引脚类似。然而，与 DRDY 引脚相比，SDO/DRDY 引脚仅在 CS 为低电平时驱动。这意味着，主机必须断开 CS 线路才能评估 SDO/DRDY 信号。

7.5.8.2 读取 DRDY 位和转换计数器

确定何时可以读取新数据的软件方法是评估作为 STATUS 标头组成部分的 DRDY 位。为此，使用 STATUS_EN 位在 SDO 上启用 STATUS 标头传输。可以使用两种方法来评估 DRDY 位：

- 主机定期读取完整的 SPI 帧以接收 STATUS 标头与转换数据。如果该帧中的 DRDY 位读取为 1b，则接收到的转换数据是新数据。如果 DRDY 位为 0b，则主机会丢弃该帧中接收到的转换数据，因为之前已读取相同的转换结果。
- 主机定期发送一个短 8 位 SPI 帧来读取在 SDO 上第一个字节内传输的 DRDY 位。仅当 DRDY 位读取为 1b 时，主机才会发送一个完整的 SPI 帧来接收 STATUS 标头与新转换数据。这种对 SPI 帧进行短循环的方法无法在 3 线 SPI 模式下或在菊花链中运行器件时使用。

为了避免丢失数据，至少像对输出数据速率那样频繁地评估 DRDY 位。

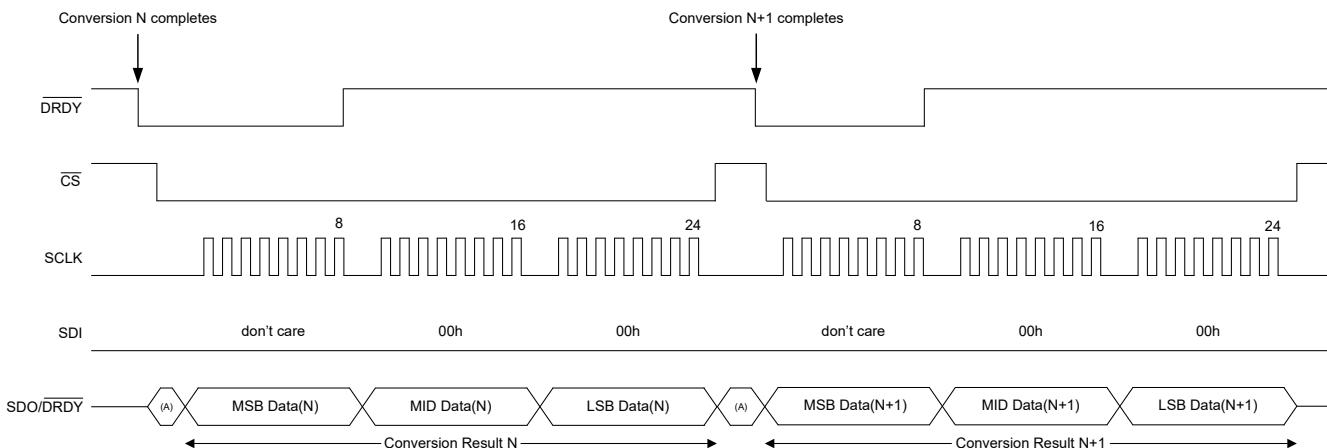
此外，作为 STATUS 标头的一部分发送的转换计数器可指示在当前 SPI 帧中检索到的转换计数。主机评估转换计数器，以了解主机是多次读取同一转换结果，还是主机错过了读取转换结果。

7.5.8.3 时钟计数

确定新数据何时就绪的另一种方法是计算 ADC 主时钟周期数，因为每次转换都需要确定数量的时钟周期。这种方法只有在使用外部时钟时才可行，因为内部时钟振荡器无法观察到。转换开始后，第一次转换所需的时钟周期数比所有后续转换所需的时钟周期数更大。如 [数字滤波器延迟](#) 部分中列出的那样，时钟周期的初始数量等于数字滤波器的延迟时间。

7.5.9 DRDY 引脚行为

本部分详细介绍各种情况下的 **DRDY** 引脚行为。每当新转换数据完成时 **DRDY** 转换为低电平。如图 7-35 所示，**DRDY** 在转换数据 MSB 读取的第八个 SCLK 下降沿转换为高电平。

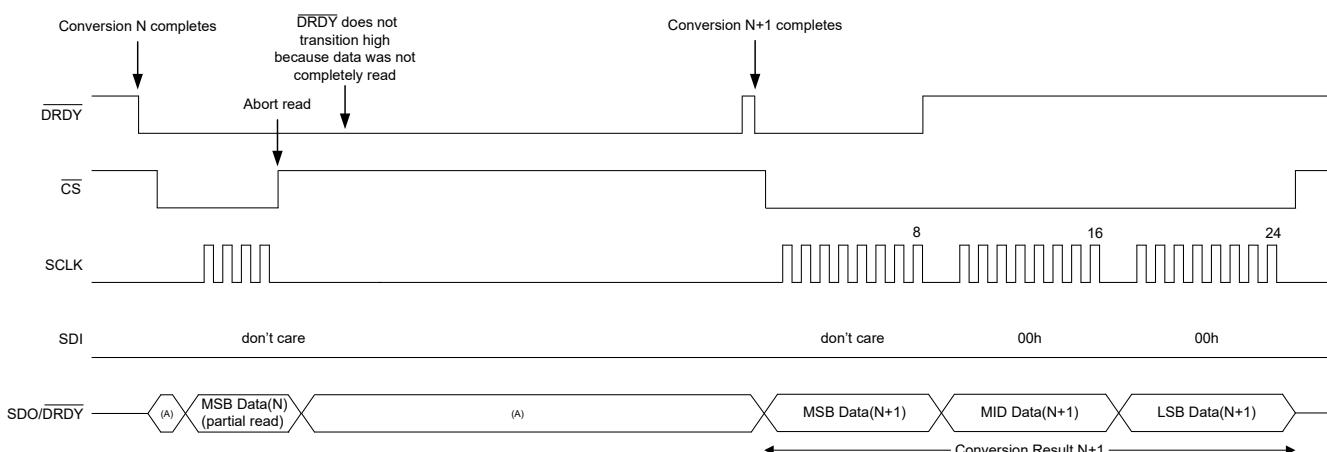


A. 如果 **SDO_MODE** 位 = 0b，则保持 **SDO/DRDY** 的之前状态，直至第一个 **SCLK** 上升沿。否则，**SDO/DRDY** 跟随 **DRDY**。

图 7-35. **DRDY** 引脚行为：读取最新的可用转换数据

如果在完成新转换时 **DRDY** 为低电平，则 **DRDY** 在 **DRDY** 下降沿之前会将 $t_{W(DRH)}$ 驱动为高电平（请参阅图 7-36）。

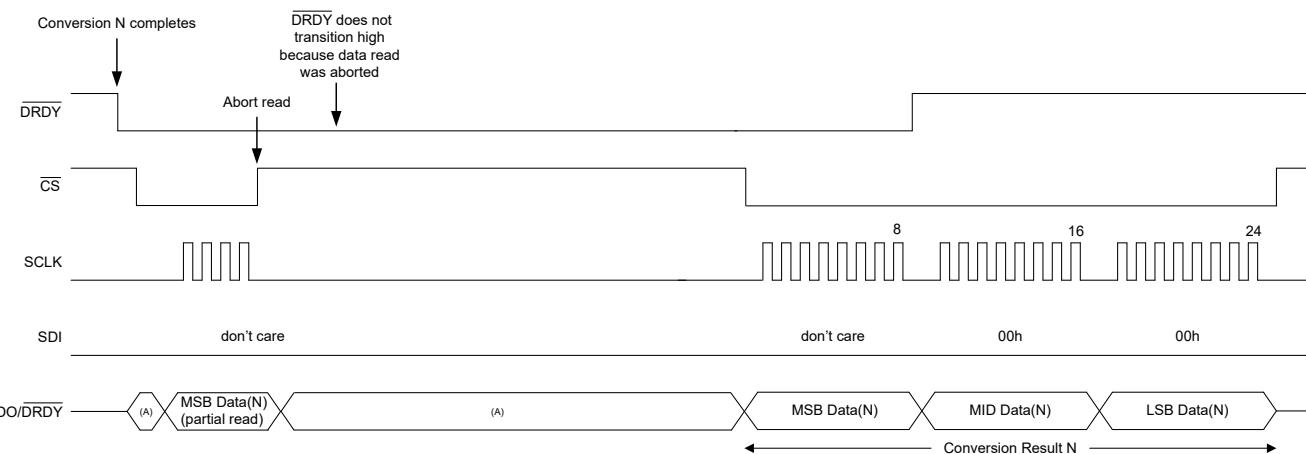
如果 **CS** 在转换数据 MSB 读取的第八个 **SCLK** 之前驱动为高电平，则 **DRDY** 保持低电平，指示未读取转换数据（请参阅图 7-36 和图 7-37）。



A. 如果 **SDO_MODE** 位 = 0b，则保持 **SDO/DRDY** 的之前状态，直至第一个 **SCLK** 上升沿。否则，**SDO/DRDY** 跟随 **DRDY**。

图 7-36. **DRDY** 引脚行为：在新的转换完成之前未完成转换数据的读取

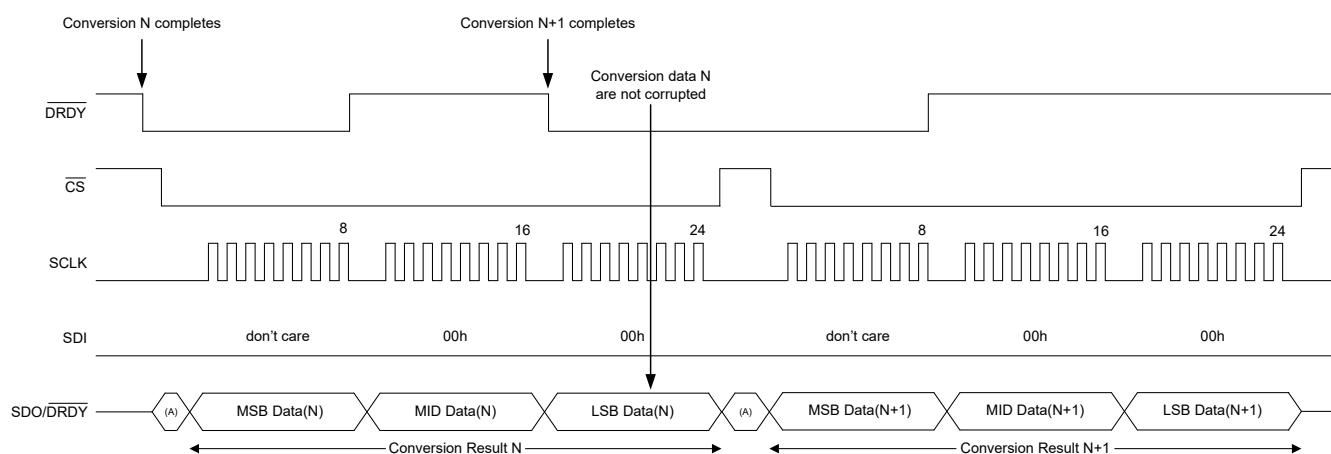
图 7-37 显示了在新转换完成之前，可以多次读取相同的转换数据。转换计数器（**STATUS_LSB** 寄存器中的 **CONV_COUNT[3:0]** 位）指示是否再次读取相同的数据或是否读取新数据。



A. 如果 SDO_MODE 位 = 0b，则保持 SDO/DRDY 的之前状态，直至第一个 SCLK 上升沿。否则，SDO/DRDY 跟随 DRDY。

图 7-37. DRDY 引脚行为：转换数据的未完成读取后跟相同转换数据的完全读取

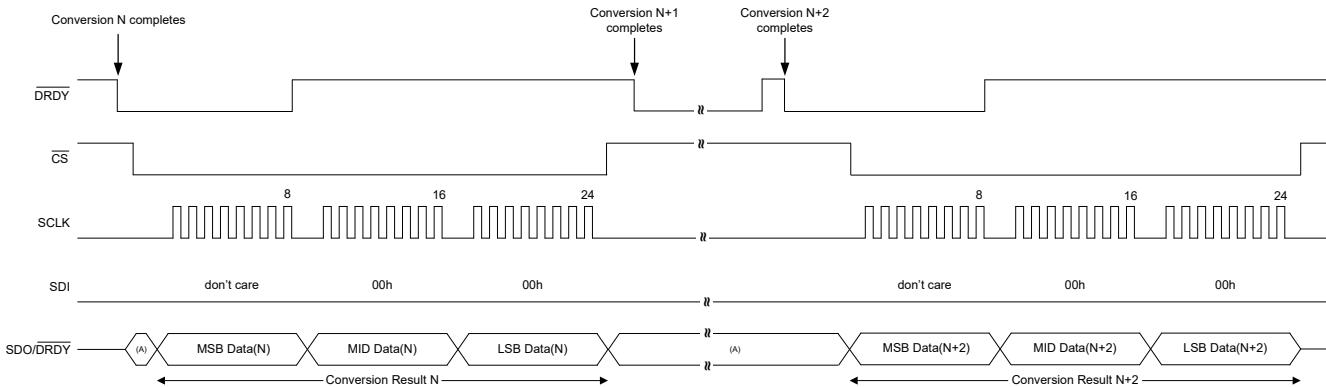
如果在读取转换数据 N 的同时完成新的转换 N+1，该器件可避免数据损坏。在转换数据 N 读取完成之前，转换数据 N+1 都被保存在内部缓冲器中。在下一帧中，转换数据 N+1 会被加载到 SDO 输出缓冲器中。在这种情况下，读取转换数据 N 后，DRDY 不会转换为高电平，以指示新的转换数据 N+1 可供读出（请参阅 图 7-38）。



A. 如果 SDO_MODE 位 = 0b，则保持 SDO/DRDY 的之前状态，直至第一个 SCLK 上升沿。否则，SDO/DRDY 跟随 DRDY。

图 7-38. DRDY 引脚行为：在新的转换完成时读取转换数据

图 7-39 说明了当主机在转换 N+2 完成之前未读取数据时，转换数据 N+1 会丢失。在这种情况下，转换计数器有助于检测主机是否错过了读取中间转换结果。



A. 如果 SDO_MODE 位 = 0b，则保持 SDO/DRDY 的之前状态，直至第一个 SCLK 上升沿。否则，SDO/DRDY 跟随 DRDY。

图 7-39. DRDY 引脚行为：错过读取中间转换结果

每当器件编程为在转换停止后进入待机模式 (STBY_MODE 位 = 1b) 时，DRDY 在转换为低电平后 4 个 t_{MOD} 将被驱动回高电平。图 7-40 显示了使用单次转换模式进入待机模式时 DRDY 引脚行为的示例。

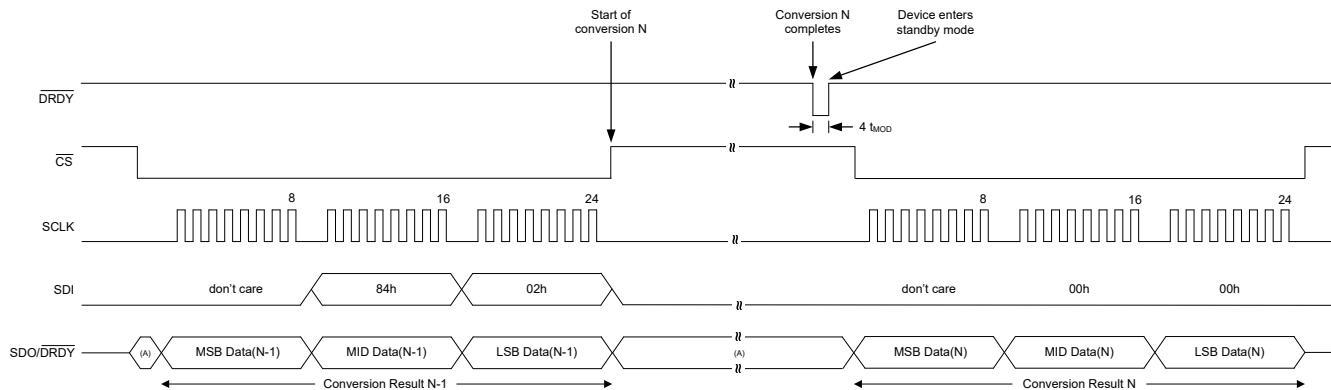


图 7-40. DRDY 引脚行为：进入待机模式（单次转换模式）

在此特定场景 (STBY_MODE 位= 1b) 中，轮询 DRDY 位或 DRDY 引脚的状态以检查转换的完成情况并不现实，因为 DRDY 引脚处于低电平的时间段。使用其他可用选项之一来确定新数据何时可用，例如 DRDY 引脚下降沿、轮询转换计数器，或等待不少于转换周期的固定时长。

7.5.10 转换数据格式

转换数据根据 CODING 位设置进行编码。默认情况下，转换数据以二进制补码格式进行编码，MSB 在前（符号位）。对于单极标准二进制格式，将 CODING 位设置为 1b。[表 7-12](#) 和 [表 7-13](#) 分别显示了 16 位和 24 位器件的输出代码。在二进制补码格式中，当输入信号超过各自的正负满量程值时，转换数据削平为正负满量程代码。在单极标准二进制格式中，当输入信号超过满量程值时，转换数据削平为满量程代码，而当输入信号值低于零时削平为零代码。

表 7-12. 理想输出代码与输入信号间的关系 (16 位器件)

差分输入电压 (V)	理想输出代码 ⁽¹⁾	
	二进制补码格式 (编码 = 0b)	单极标准二进制格式 (编码 = 1b)
$\geq FSR \times (2^{16} - 1) / 2^{16}$		FFFFh
$\geq FSR \times (2^{15} - 1) / 2^{15}$	7FFFh	FFFEh
$FSR/2^{15}$	0001h	0002h
0	0000h	
$- FSR/2^{15}$	FFFFh	
$- FSR \times (2^{15} - 1) / 2^{15}$	8001h	
$\leq - FSR$	8000h	

(1) 理想输出数据，不包括偏移、增益、线性度和噪声误差。

表 7-13. 理想输出代码与输入信号间的关系 (24 位器件)

差分输入电压 (V)	理想输出代码 ⁽¹⁾	
	二进制补码格式 (编码 = 0b)	单极标准二进制格式 (编码 = 1b)
$\geq FSR \times (2^{24} - 1) / 2^{24}$		FFFFFFh
$\geq FSR \times (2^{23} - 1) / 2^{23}$	7FFFFFFh	FFFFFFEh
$FSR/2^{23}$	000001h	000002h
0	000000h	
$- FSR/2^{23}$	FFFFFFFh	
$- FSR \times (2^{23} - 1) / 2^{23}$	800001h	
$\leq - FSR$	800000h	

(1) 理想输出数据，不包括偏移、增益、线性度和噪声误差。

7.5.11 寄存器映射 CRC

寄存器映射 CRC 可以检测寄存器映射内容的意外变化。寄存器地址 00h 至 04h 不受 CRC 保护。CRC 计算在 05h 至 0Eh 的寄存器地址空间中执行。使用 REG_MAP_CRC_EN 位启用寄存器映射 CRC。启用寄存器映射 CRC 后，器件将不断计算该寄存器映射段的 8 位 CRC 值，并将内部计算结果与用户在 REG_MAP_CRC_VAL[7:0] 位字段中提供的 CRC 值进行比较。如果内部计算结果与 REG_MAP_CRC_VAL[7:0] 不匹配，则 REG_MAP_CRC_FAULTn 标志设置为 0b。发生寄存器映射 CRC 故障时，器件不会执行其他操作。

CRC 计算从地址为 05h 的寄存器的 MSB 开始，到地址为 0Eh 的寄存器的 LSB 结束，使用 CRC-8-ATM (HEC) 多项式： $X^8 + X^2 + X^1 + 1$ 。多项式的九个系数为：100000111. 有关 CRC 计算的详细信息，请参阅 [SPI CRC](#) 部分。CRC 计算使用种子值 FFh 进行初始化。

REG_MAP_CRC_FAULTn 标志不会立即指示意外的位变化，因为 CRC 计算是串行实现的。可能会经过长达 $t_p(\text{REG_MAP_CRC}) = 640$ 个 t_{CLK} 周期后 REG_MAP_CRC_FAULTn 标志才指示故障。

使用以下过程，在不会意外导致 REG_MAP_CRC_FAULTn 指示的情况下更改寄存器位：

- 通过设置 REG_MAP_CRC_EN = 0b 来禁用寄存器映射
- 等待故障响应时间 $t_p(\text{REG_MAP_CRC})$
- 如果 REG_MAP_CRC_FAULTn 标志设置为 0b，则通过向 REG_MAP_CRC_FAULTn 位写入 1b 来清除故障标志
- 可选：验证 REG_MAP_CRC_FAULTn 故障标志是否清除为 1b
- 根据需要更改器件寄存器位
- 根据新的寄存器映射设置更新 REG_MAP_CRC_VAL[7:0] 位
- 通过设置 REG_MAP_CRC_EN = 1b 启用寄存器映射 CRC

也可以在启用寄存器映射 CRC 时更改寄存器位，如以下过程所述，但可能会导致意外的 REG_MAP_CRC_FAULTn 指示。

- 在启用寄存器映射 CRC 时，根据需要更改寄存器位
- 根据新的寄存器映射设置更新 REG_MAP_CRC_VAL[7:0] 位
- 等待故障响应时间 $t_p(\text{REG_MAP_CRC})$
- 如果 REG_MAP_CRC_FAULTn 标志设置为 0b，则通过向 REG_MAP_CRC_FAULTn 位写入 1b 来清除故障标志
- 可选：验证 REG_MAP_CRC_FAULTn 故障标志是否清除为 1b

8 寄存器

表 8-1 列出了寄存器的存储器映射寄存器。表 8-1 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-1. 寄存器映射

地址	首字母缩写词	复位	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
ID 寄存器 - 寄存器映射 CRC 未涵盖										
00h	DEVICE_ID	XXh				DEV_ID[7:0]				
01h	REVISION_ID	XXh				REV_ID[7:0]				
状态寄存器 - 寄存器映射 CRC 未涵盖										
02h	STATUS_MSB	3Eh	RESETn	AVDD_UVn	REF_UVn	SPI_CRC_FAU_LTn	REG_MAP_CR_C_FAULTn	MEMFAULTn	REG_WRITE_FAULTn	DRDY
03h	STATUS_LSB	F0h		CONV_COUNT[3:0]			GPIO3_DAT_IN	GPIO2_DAT_IN	GPIO1_DAT_IN	GPIO0_DAT_IN
转换控制寄存器 - 寄存器映射 CRC 未涵盖										
04h	CONVERSION_CTRL	00h		RESET[5:0]					启动	STOP
器件配置寄存器 - 寄存器映射 CRC 未涵盖										
05h	DEVICE_CFG	00h	PWDN	STBY_MODE	BOCS[1:0]		CLK_SEL	CONV_MODE	SPEED_MODE[1:0]	
06h	DATA_RATE_CFG	00h		DELAY[3:0]			GC_EN		FLTR_OS[2:0]	
07h	MUX_CFG	01h		AINP[3:0]				AINN[3:0]		
08h	GAIN_CFG	01h	SPARE	SYS_MON[2:0]				GAIN[3:0]		
09h	REFERENCE_CFG	00h	REF_UV_EN	RESERVED	REFP_BUF_EN	REFN_BUF_EN	RESERVED	REF_VAL	REF_SEL[1:0]	
0Ah	DIGITAL_CFG	00h	SPARE	REG_MAP_CR_C_EN	SPI_CRC_EN	STATUS_EN	FAULT_PIN_BEHAVIOR	CONT_READ_EN	编码	SDO_MODE
0Bh	GPIO_CFG	00h	GPIO3_CFG[1:0]		GPIO2_CFG[1:0]		GPIO1_CFG[1:0]		GPIO0_CFG[1:0]	
0Ch	GPIO_DATA_OUTPUT	00h	GPIO3_SRC	GPIO2_SRC	RESERVED		GPIO3_DAT_OUT	GPIO2_DAT_OUT	GPIO1_DAT_OUT	GPIO0_DAT_OUT
0Dh	IDAC_MAG_CFG	00h		I2MAG[3:0]				I1MAG[3:0]		
0Eh	IDAC_MUX_CFG	10h	IUNIT	I2MUX[2:0]			RESERVED	I1MUX[2:0]		
寄存器映射 CRC 值寄存器										
0Fh	REG_MAP_CRC	00h			REG_MAP_CRC_VAL[7:0]					

复杂的位访问类型经过编码可适应小型表单元。表 8-2 展示了适用于此部分中访问类型的代码。

表 8-2. 寄存器访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.1 DEVICE_ID 寄存器 (地址 = 00h) [复位 = XXh]

返回到[汇总表](#)。

图 8-1. DEVICE_ID 寄存器

7	6	5	4	3	2	1	0
DEV_ID[7:0]							
R-xxxxxxxxb							

表 8-3. DEVICE_ID 寄存器字段说明

位	字段	类型	复位	说明
7:0	DEV_ID[7:0]	R	xxxxxxxxb	器件 ID DEV_ID[7:4] 值如有变更，恕不另行通知。 对于 24 位器件，DEV_ID[3:0] 位的读取值始终为 1011b，对于 16 位器件则为 1010b。

8.2 REVISION_ID 寄存器 (地址 = 01h) [复位 = XXh]

返回到[汇总表](#)。

图 8-2. REVISION_ID 寄存器

7	6	5	4	3	2	1	0
REV_ID[7:0]							
R-xxxxxxxxb							

表 8-4. REVISION_ID 寄存器字段说明

位	字段	类型	复位	说明
7:0	REV_ID[7:0]	R	xxxxxxxxb	修订 ID 值如有变更，恕不另行通知。

8.3 STATUS_MSB 寄存器 (地址 = 02h) [复位 = 3Eh]

返回到[汇总表](#)。

图 8-3. STATUS_MSB 寄存器

7	6	5	4	3	2	1	0
RESETn	AVDD_UVn	REF_UVn	SPI_CRC_FAULTn	REG_MAP_CRC_FA ULTn	MEM_FAULTn	REG_WRITE_FAULT n	DRDY
R/W-0b	R/W-0b	R/W-1b	R-1b	R/W-1b	R-1b	R-1b	R-0b

表 8-5. STATUS_MSB 寄存器字段描述

位	字段	类型	复位	说明
7	RESETn	R/W	0b	复位标志 指示发生了器件复位。写入 1b 以将位清除为 1b。 0b = 发生了复位 1b = 未发生复位
6	AVDD_UVn	R/W	0b	AVDD 欠压故障标志 指示 AVDD 电源电压降至 AVDD 欠压阈值以下。即使 AVDD 电源未降至 AVDD 欠压阈值以下，进入断电模式时 AVDD_UVn 也始终设置为 0b。写入 1b 以将位清除为 1b。 0b = 发生了欠压故障 1b = 未发生欠压故障
5	REF_UVn	R/W	1b	基准电压欠压故障标志 指示 REF_SEL[1:0] 位选择的基准电压降至基准欠压阈值以下。写入 1b 以将位清除为 1b。使用 REF_UV_EN 位启用基准欠压监控器。 0b = 发生了欠压故障 1b = 未发生欠压故障
4	SPI_CRC_FAULTn	R	1b	SPI CRC 故障标志 指示前一个 SPI 帧中的 SDI 上发生了 SPI CRC 故障。在发生 SPI CRC 故障的帧中，会阻止执行该命令，而执行无操作命令。后续帧中的命令不会被阻止。在每个新 SPI 帧中，根据前一个 SPI 帧的 CRC 结果更新此位。使用 SPI_CRC_EN 位启用 SPI CRC。此外，允许使用 STATUS_EN 位来传输 STATUS 标头，以获得有关任何 SPI CRC 故障的通知。 0b = 发生了 SPI CRC 故障 1b = 未发生 SPI CRC 故障
3	REG_MAP_CRC_FAULTn	R/W	1b	寄存器映射 CRC 故障标志 指示发生了寄存器映射 CRC 错误。写入 1b 以将位清除为 1b。使用 REG_MAP_CRC_EN 位启用寄存器映射 CRC。 0b = 发生了寄存器映射 CRC 故障 1b = 未发生寄存器映射 CRC 故障
2	MEM_FAULTn	R	1b	内存映射 CRC 故障标志 指示内存中发生了内存映射 CRC 故障。当该位为 0b 时，执行下电上电或复位器件。 0b = 发生了存储器映射 CRC 故障 1b = 未发生存储器映射 CRC 故障
1	REG_WRITE_FAULTn	R	1b	寄存器访问故障标志 指示发生了对无效寄存器地址的写入访问。无效寄存器地址被写入时会设置此标志，并在下一个寄存器写入命令时更新。从无效寄存器地址读取不会设置此标志，但可通过读取命令的 SPI 帧内的地址指示检测到。 0b = 发生了寄存器访问故障 1b = 未发生寄存器访问故障

表 8-5. STATUS_MSB 寄存器字段描述 (续)

位	字段	类型	复位	说明
0	DRDY	R	0b	<p>数据就绪指示位</p> <p>DRDY 位是 \overline{DRDY} 引脚的反向信号。使用 STATUS_EN 位启用 STATUS 标头的传输以便利用 DRDY 位指示。DRDY 位指示在当前 SPI 帧内读取的转换数据是新数据还是来自最后一次读取操作的重复数据。使用寄存器读取命令轮询 DRDY 位不可靠，因为在读取寄存器命令传输的第 1 个帧期间 DRDY 位已经恢复为 0b。</p> <p>0b = 数据不是新数据 1b = 数据是新数据</p>

8.4 STATUS_LSB 寄存器 (地址 = 03h) [复位 = F0h]返回到[汇总表](#)。**图 8-4. STATUS_LSB 寄存器**

7	6	5	4	3	2	1	0
				GPIO3_DAT_IN	GPIO2_DAT_IN	GPIO1_DAT_IN	GPIO0_DAT_IN
R-1111b				R-0b	R-0b	R-0b	R-0b

表 8-6. STATUS_LSB 寄存器字段描述

位	字段	类型	复位	说明
7:4	CONV_COUNT[3:0]	R	1111b	转换计数器 每次新转换完成时，转换计数器都会递增。达到计数器值 Fh 后，计数器会在完成下一次转换时回滚到 0h。计数器仅在断电模式下或器件复位后复位为 Fh (并清除转换数据) 。复位或断电后完成第一次转换时，计数器读数为 0h。
3	GPIO3_DAT_IN	R	0b	GPIO3 数据 当 AIN7/GPIO3/DRDY/CLK 配置为数字输入、数字输出或 DRDY 输出时 GPIO3 的读回值。当 GPIO 功能被禁用 (GPIO3_CFG[1:0] = 00b) 或选择了时钟输入功能 (GPIO3_CFG[1:0] = 01b , CLK_SEL = 1b) 时，位读取为 0b。 0b = 低电平 1b = 高电平
2	GPIO2_DAT_IN	R	0b	GPIO2 数据 当 AIN6/GPIO2/FAULT 配置为数字输入、数字输出或静态 FAULT 输出时 GPIO2 的读回值。当 GPIO 功能被禁用 (GPIO2_CFG[1:0] = 00b) 或 GPIO2 配置为具有检测信号功能的 FAULT 输出 (GPIO2_CFG[1:0] = 10b 或 11b , GPIO2_SRC = 1b , FAULT_PIN_BEHAVIOR = 1b) 时，位读取为 0b。 0b = 低电平 1b = 高电平
1	GPIO1_DAT_IN	R	0b	GPIO1 数据 当 AIN5/REFN /GPIO1 配置为数字输入或输出时 GPIO1 的读回值。当 GPIO 功能禁用 (GPIO1_CFG[1:0] = 00b) 时，位读取为 0b。 0b = 低电平 1b = 高电平
0	GPIO0_DAT_IN	R	0b	GPIO0 数据 当 AIN4/REFP /GPIO0 配置为数字输入或输出时 GPIO0 的读回值。当 GPIO 功能禁用 (GPIO0_CFG[1:0] = 00b) 时，位读取为 0b。 0b = 低电平 1b = 高电平

8.5 CONVERSION_CTRL 寄存器 (地址 = 04h) [复位 = 00h]

[返回到汇总表。](#)

图 8-5. CONVERSION_CTRL 寄存器

7	6	5	4	3	2	1	0
RESET[5:0]						启动	STOP
R/W-000000b						R/W-0b	R/W-0b

表 8-7. CONVERSION_CTRL 寄存器字段描述

位	字段	类型	复位	说明
7:2	RESET[5:0]	R/W	000000b	复位器件 写入 010110b 以复位 ADC。在同一写入操作中，START 和 STOP 位必须设置为 0b 以复位 ADC。这些位始终读取 000000b。
1	启动	R/W	0b	启动转换 写入 1b 以启动或重新启动转换。在单次转换模式下，启动一次转换。在连续转换模式下，转换启动并继续，直到被 STOP 位停止。在转换正在进行时写入 1b 会重新启动转换。同时向 START 和 STOP 位写入 1b 无效。START 位会自行清除并且始终为 0b。 0b = 无操作 1b = 启动或重新启动转换
0	STOP	R/W	0b	停止转换 写入 1b 以停止连续转换模式下的转换。允许完成正在进行的转换。STOP 位在单次转换模式下无效。同时向 START 和 STOP 位写入 1b 无效。在正在进行的转换完成后，或者在正在进行的转换完成之前设置 START 位时，STOP 位会清除为 0b，这样会中止正在进行的转换并重新启动新的转换。 0b = 无操作 1b = 当前转换完成后停止转换

8.6 DEVICE_CFG 寄存器 (地址 = 05h) [复位 = 00h]

[返回到汇总表。](#)

图 8-6. DEVICE_CFG 寄存器

7	6	5	4	3	2	1	0
PWDN	STBY_MODE		BOCS[1:0]	CLK_SEL	CONV_MODE		SPEED_MODE[1:0]
R/W-0b	R/W-0b		R/W-00b	R/W-0b	R/W-0b		R/W-00b

表 8-8. DEVICE_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	PWDN	R/W	0b	断电模式选择 除了保留用户寄存器设置必需的电路外，将所有电路断电。仍然可以进行 SPI 通信。在断电模式下，转换计数器 (CONV_COUNT[3:0]) 复位为 Fh，转换数据清除，并且忽略 START 位。将 PWDN 位设置为 1b 会立即关闭器件电源；任何正在进行的转换都会中止。任何配置为 GPIO 数字输出的模拟输入在断电模式下都转换为 Hi-Z 状态。为了在断电期间保持特定逻辑电平，请考虑在相应 GPIO 引脚上使用外部上拉或下拉电阻器。 0b = 工作模式 1b = 断电模式
6	STBY_MODE	R/W	0b	待机模式选择 此位会启用在停止转换后自动激活低功耗待机模式的功能。 0b = 空闲模式；转换停止时，器件保持全功率。 1b = 待机模式；转换停止时，ADC、PGA、IDAC、BOCS、REF 缓冲器和 REF UV 监控器断电，FAULTn 引脚的检测信号输出信号（如果启用）停止。FAULTn 引脚的行为就像配置为待机模式下的静态输出那样。内部 VREF 和 AVDD UV 监控器保持上电状态。在待机模式下，禁用寄存器映射 CRC 和存储器映射 CRC。转换重新开始时退出待机模式。
5:4	BOCS[1:0]	R/W	00b	烧毁电流源和灌电流选择 启用并选择烧毁电流源和灌电流的值。使用全局斩波模式 (GC_EN = 1b) 时禁用烧毁电流源。 00b = 禁用 01b = 0.2µA 10b = 1µA 11b = 10µA
3	CLK_SEL	R/W	0b	时钟源选择 选择器件的时钟源。要从内部振荡器更改为外部时钟，首先设置 GPIO3_CFG = 01b 以将 GPIO3 引脚配置为外部时钟输入，然后设置 CLK_SEL = 1b。 0b = 内部振荡器 1b = 外部时钟
2	CONV_MODE	R/W	0b	转换模式选择 选择器件的转换模式。 0b = 连续转换模式 1b = 单次转换模式
1:0	SPEED_MODE[1:0]	R/W	00b	速度模式选择 选择器件的速度模式。 00b = 速度模式 0 ($f_{MOD} = 32\text{kHz}$) 01b = 速度模式 1 ($f_{MOD} = 256\text{kHz}$) 10b = 速度模式 2 ($f_{MOD} = 512\text{kHz}$) 11b = 速度模式 3 ($f_{MOD} = 1024\text{kHz}$)

8.7 DATA_RATE_CFG 寄存器 (地址 = 06h) [复位 = 00h]

[返回到汇总表。](#)

图 8-7. DATA_RATE_CFG 寄存器

7	6	5	4	3	2	1	0
DELAY[3:0]			GC_EN		FLTR_OS[2:0]		
R/W-0000b			R/W-0b		R/W-000b		

表 8-9. DATA_RATE_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:4	DELAY[3:0]	R/W	0000b	<p>可编程转换启动延迟选择 设置数字滤波器复位后第一次转换的可编程转换启动延迟时间。该延迟时间还用作启用全局斩波模式时转换之间的延迟。</p> <p>0000b = 0x t_{MOD} 0001b = 1x t_{MOD} 0010b = 2x t_{MOD} 0011b = 4x t_{MOD} 0100b = 8x t_{MOD} 0101b = 16x t_{MOD} 0110b = 32x t_{MOD} 0111b = 64x t_{MOD} 1000b = 128x t_{MOD} 1001b = 256x t_{MOD} 1010b = 512x t_{MOD} 1011b = 1024x t_{MOD} 1100b = 2048x t_{MOD} 1101b = 4096x t_{MOD} 1110b = 8192x t_{MOD} 1111b = 16384x t_{MOD}</p>
3	GC_EN	R/W	0b	<p>全局斩波模式启用 启用全局斩波模式。启用后，器件会自动交换模拟输入并获取两次连续转换的平均值，以抵消内部失调电压。</p> <p>0b = 禁用 1b = 启用</p>
2:0	FLTR_OS[2:0]	R/W	000b	<p>滤波器 OSR 选择 选择数字滤波器的 OSR 或输出数据速率。对于指明了 OSR 的设置，输出数据速率计算公式为 $f_{DATA} = f_{MOD} / OSR$。对于 20SPS 和 25SPS 数据速率设置，数字滤波器会根据所选的速度模式自动调整 OSR。20SPS 和 25SPS 数据速率在 $f_{CLK} = 4.096MHz$ 的标称时钟频率下有效。数据速率与振荡器频率成正比。在 20SPS 和 25SPS 的输出数据速率下，数字滤波器提供 50Hz 和 60Hz 线路周期抑制。</p> <p>000b = OSR = 16 (Sinc4 OSR = 16) 001b = OSR = 32 (Sinc4 OSR = 32) 010b = OSR = 128 (Sinc4 OSR = 32 , Sinc1 OSR = 4) 011b = OSR = 256 (Sinc4 OSR = 32 , Sinc1 OSR = 8) 100b = OSR = 512 (Sinc4 OSR = 32 , Sinc1 OSR = 16) 101b = OSR = 1024 (Sinc4 OSR = 32 , Sinc1 OSR = 32) 110b = f_{DATA} = 25SPS (与速度模式无关) 111b = f_{DATA} = 20SPS (与速度模式无关)</p>

8.8 MUX_CFG 寄存器 (地址 = 07h) [复位 = 01h]

返回到[汇总表](#)。

图 8-8. MUX_CFG 寄存器

7	6	5	4	3	2	1	0
							AINN[3:0]
							R/W-0000b

表 8-10. MUX_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:4	AINP[3:0]	R/W	0000b	正多路复用器输入选择 为 ADC 选择正模拟输入。即使输入分别配置为 REFP 和 REFN 输入，模拟输入 AIN4 和 AIN5 仍然可以用作模拟输入。当模拟输入配置为 GPIO 时，模拟输入仍可以通过多路复用器选择，并用于测量 GPIO 引脚上的电压。 0000b = AINO 0001b = AIN1 0010b = AIN2 0011b = AIN3 0100b = AIN4 0101b = AIN5 0110b = AIN6 0111b = AIN7 1000b = GND 1001b = GND 1010b = GND 1011b = GND 1100b = GND 1101b = GND 1110b = GND 1111b = GND
3:0	AINN[3:0]	R/W	0001b	负多路复用器输入选择 为 ADC 选择负模拟输入。即使输入分别配置为 REFP 和 REFN 输入，模拟输入 AIN4 和 AIN5 仍然可以用作模拟输入。当模拟输入配置为 GPIO 时，模拟输入仍可以通过多路复用器选择，并用于测量 GPIO 引脚上的电压。 0000b = AINO 0001b = AIN1 0010b = AIN2 0011b = AIN3 0100b = AIN4 0101b = AIN5 0110b = AIN6 0111b = AIN7 1000b = GND 1001b = GND 1010b = GND 1011b = GND 1100b = GND 1101b = GND 1110b = GND 1111b = GND

8.9 GAIN_CFG 寄存器 (地址 = 08h) [复位 = 01h]

返回到[汇总表](#)。

图 8-9. GAIN_CFG 寄存器

7	6	5	4	3	2	1	0
SPARE		SYS_MON[2:0]			GAIN[3:0]		
R/W-0b		R/W-000b			R/W-0001b		

表 8-11. GAIN_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	SPARE	R/W	0b	备用位 位设置无效。以 R/W 位的形式提供，用于检查寄存器映射 CRC。
6:4	SYS_MON[2:0]	R/W	000b	系统监视器选择 选择系统监视器之一作为 PGA 的输入。如果选择了其中一个系统监控器，AINP[3:0] 和 AINN[3:0] 位无效。选择了系统监控器时，模拟输入与 PGA 断开连接。为设置 010b 至 101b 自动选择在 REF_VAL 位中设置了值的内部基准。为相应的测量选择适当的 PGA 增益设置。 000b = 禁用 001b = 差分 PGA 输入与 (AVDD/2) 进行内部短接 010b = 内部温度传感器 011b = 外部 ($V_{REFP} - V_{REFN}$) / 8 100b = AVDD / 8 101b = DVDD / 8 110b = 未使用 111b = 未使用
3:0	GAIN[3:0]	R/W	0001b	PGA 增益选择 选择 PGA 的增益。 0000b = 0.5 0001b = 1 0010b = 2 0011b = 4 0100b = 5 0101b = 8 0110b = 10 0111b = 16 1000b = 20 1001b = 32 1010b = 50 1011b = 64 1100b = 100 1101b = 128 1110b = 200 1111b = 256

8.10 REFERENCE_CFG 寄存器 (地址 = 09h) [复位 = 00h]

返回到[汇总表](#)。

图 8-10. REFERENCE_CFG 寄存器

7	6	5	4	3	2	1	0
REF_UV_EN	RESERVED	REFP_BUF_EN	REFN_BUF_EN	RESERVED	REF_VAL	REF_SEL[1:0]	
R/W-0b	R-0b	R/W-0b	R/W-0b	R-0b	R/W-0b	R/W-00b	

表 8-12. REFERENCE_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	REF_UV_EN	R/W	0b	基准电压监控器启用 使电压基准监控器能够检测所选电压基准 (由 REF_SEL[1:0] 位选择) 何时降至基准欠压阈值以下。 0b = 禁用 1b = 启用
6	RESERVED	R	0b	保留 始终读回 0b。
5	REFP_BUF_EN	R/W	0b	正基准缓冲器启用 启用正基准缓冲器。当使用 REF_SEL[1:0] 位字段选择内部基准或模拟电源作为基准源时，禁用正基准缓冲器。 0b = 禁用 1b = 启用
4	REFN_BUF_EN	R/W	0b	负基准缓冲器启用 启用负基准缓冲器。当使用 REF_SEL[1:0] 位字段选择内部基准或模拟电源作为基准源时，禁用负基准缓冲器。 0b = 禁用 1b = 启用
3	RESERVED	R	0b	保留 始终读回 0b。
2	REF_VAL	R/W	0b	内部基准电压值选择 选择内部基准的电压。始终启用内部电压基准。 0b = 1.25V 1b = 2.5V
1:0	REF_SEL[1:0]	R/W	00b	基准电压选择 选择 ADC 的基准电压。选择外部电压基准时，设置 GPIO0_CFG[1:0] = 00b 和 GPIO1_CFG[1:0] = 00b。 00b = 内部电压基准 01b = 外部电压基准 10b = AVDD 11b = AVDD

8.11 DIGITAL_CFG 寄存器 (地址 = 0Ah) [复位 = 00h]

返回到[汇总表](#)。

图 8-11. DIGITAL_CFG 寄存器

7	6	5	4	3	2	1	0
SPARE	REG_MAP_CRC_EN	SPI_CRC_EN	STATUS_EN	FAULT_PIN_BEHAVIOR	CONT_READ_EN	编码	SDO_MODE
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-13. DIGITAL_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	SPARE	R/W	0b	备用位 位设置无效。以 R/W 位的形式提供，用于检查寄存器映射 CRC。
6	REG_MAP_CRC_EN	R/W	0b	寄存器映射 CRC 启用 为寄存器地址 05h 到 0Eh 启用寄存器映射 CRC。 0b = 禁用 1b = 启用
5	SPI_CRC_EN	R/W	0b	SPI CRC 启用 在 SDI 和 SDO 上启用 SPI CRC。 0b = 禁用 1b = 启用
4	STATUS_EN	R/W	0b	STATUS 标头输出启用 启用 STATUS 标头 (STATUS_MSB + STATUS_LSB 寄存器) 作为每个 SPI 帧的前两个字节在 SDO 上传输的功能。 0b = 禁用 1b = 启用
3	FAULT_PIN_BEHAVIOR	R/W	0b	FAULT 引脚行为选择 当 GPIO2 配置为 FAULT 输出 (GPIO2_CFG = 10b 或 11b , GPIO2_SRC = 1b) 时，选择 FAULT 引脚的行为。 0b = 静态。发生故障时输出为低电平，否则输出为高电平。 1b = 检测信号。发生故障时输出为低电平，否则输出是频率为 $f_{MOD} / 256$ 的 50% 占空比信号。
2	CONT_READ_EN	R/W	0b	连续读取模式启用 启用连续读取模式，从而允许在 4 线 SPI 模式下在单个 SPI 帧内读取多个连续寄存器。在菊花链中或 3 线 SPI 模式下运行器件时，禁用连续读取模式。 0b = 禁用 1b = 启用
1	编码	R/W	0b	转换数据编码选择 选择转换数据的编码。 0b = 二进制补码 1b = 单极标准二进制
0	SDO_MODE	R/W	0b	SDO/DRDY 模式选择 选择 SDO/DRDY 引脚的模式：仅数据输出功能，或数据输出和数据就绪双模功能。在菊花链中运行器件时，请使用仅数据输出模式。 0b = 仅数据输出模式 1b = 双模式：数据输出和数据就绪

8.12 GPIO_CFG 寄存器 (地址 = 0Bh) [复位 = 00h]

返回到[汇总表](#)。

图 8-12. GPIO_CFG 寄存器

7	6	5	4	3	2	1	0
GPIO3_CFG[1:0]		GPIO2_CFG[1:0]		GPIO1_CFG[1:0]		GPIO0_CFG[1:0]	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 8-14. GPIO_CFG 寄存器字段描述

位	字段	类型	复位	说明
7:6	GPIO3_CFG[1:0]	R/W	00b	GPIO3 配置 配置 GPIO3 引脚行为。 00b = 禁用 (高阻态) 01b = 数字输入 (CLK_SEL = 0b) 或外部时钟输入 (CLK_SEL = 1b) 10b = 推挽式数字输出 (具有读回功能) 11b = 开漏数字输出 (具有回读功能)
5:4	GPIO2_CFG[1:0]	R/W	00b	GPIO2 配置 配置 GPIO2 引脚行为。 00b = 禁用 (高阻态) 01b = 数字输入 10b = 推挽式数字输出 (具有读回功能) 11b = 开漏数字输出 (具有回读功能)
3:2	GPIO1_CFG[1:0]	R/W	00b	GPIO1 配置 配置 GPIO1 引脚行为。 00b = 禁用 (高阻态) 01b = 数字输入 10b = 推挽式数字输出 (具有读回功能) 11b = 开漏数字输出 (具有回读功能)
1:0	GPIO0_CFG[1:0]	R/W	00b	GPIO0 配置 配置 GPIO0 引脚行为。 00b = 禁用 (高阻态) 01b = 数字输入 10b = 推挽式数字输出 (具有读回功能) 11b = 开漏数字输出 (具有回读功能)

8.13 GPIO_DATA_OUTPUT 寄存器 (地址 = 0Ch) [复位 = 00h]

返回到[汇总表](#)。

图 8-13. GPIO_DATA_OUTPUT 寄存器

7	6	5	4	3	2	1	0
GPIO3_SRC	GPIO2_SRC	RESERVED		GPIO3_DAT_OUT	GPIO2_DAT_OUT	GPIO1_DAT_OUT	GPIO0_DAT_OUT
R/W-0b	R/W-0b	R-00b		R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-15. GPIO_DATA_OUTPUT 寄存器字段说明

位	字段	类型	复位	说明
7	GPIO3_SRC	R/W	0b	GPIO3 数据源选择 当 GPIO3 配置为数字输出时，选择 GPIO3 引脚的数据源。 0b = GPIO3_DAT_OUT 位 1b = DRDY
6	GPIO2_SRC	R/W	0b	GPIO2 数据源选择 当 GPIO2 配置为数字输出时，选择 GPIO2 引脚的数据源。当 AVDD_UVn、REF_UVn、REG_MAP_CRC_FAULTn 或 MEM_FAULTn 状态位中的任何一个为 0b 时，FAULT 引脚为低电平。 0b = GPIO2_DAT_OUT 位 1b = FAULT
5:4	RESERVED	R	00b	保留 始终读回 00b。
3	GPIO3_DAT_OUT	R/W	0b	GPIO3 数据 配置为数字输出时 GPIO3 的写入值。当 GPIO3 配置为数字输入或 DRDY 作为数据源的数字输出时，位设置无效。 0b = 低电平 1b = 高电平
2	GPIO2_DAT_OUT	R/W	0b	GPIO2 数据 配置为数字输出时 GPIO2 的写入值。当 GPIO2 配置为数字输入或 FAULT 作为数据源的数字输出时，位设置无效。 0b = 低电平 1b = 高电平
1	GPIO1_DAT_OUT	R/W	0b	GPIO1 数据 配置为数字输出时 GPIO1 的写入值。当 GPIO1 配置为数字输入时，位设置无效。 0b = 低电平 1b = 高电平
0	GPIO0_DAT_OUT	R/W	0b	GPIO0 数据 配置为数字输出时 GPIO0 的写入值。当 GPIO0 配置为数字输入时，位设置无效。 0b = 低电平 1b = 高电平

8.14 IDAC_MAG_CFG 寄存器 (地址 = 0Dh) [复位 = 00h]

返回到[汇总表](#)。

图 8-14. IDAC_MAG_CFG 寄存器

7	6	5	4	3	2	1	0
	I2MAG[3:0]				I1MAG[3:0]		
	R/W-0000b				R/W-0000b		

表 8-16. IDAC_MAG_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:4	I2MAG[3:0]	R/W	0000b	IDAC2 幅值选择 选择激励电流源 IDAC2 的值。 0000b = 禁用 0001b = 1x IUNIT 0010b = 10x IUNIT 0011b = 20x IUNIT 0100b = 30x IUNIT 0101b = 40x IUNIT 0110b = 50x IUNIT 0111b = 60x IUNIT 1000b = 70x IUNIT 1001b = 80x IUNIT 1010b = 90x IUNIT 1011b = 100x IUNIT 1100b = 100x IUNIT 1101b = 100x IUNIT 1110b = 100x IUNIT 1111b = 100x IUNIT
3:0	I1MAG[3:0]	R/W	0000b	IDAC1 幅值选择 选择激励电流源 IDAC1 的值。 0000b = 禁用 0001b = 1x IUNIT 0010b = 10x IUNIT 0011b = 20x IUNIT 0100b = 30x IUNIT 0101b = 40x IUNIT 0110b = 50x IUNIT 0111b = 60x IUNIT 1000b = 70x IUNIT 1001b = 80x IUNIT 1010b = 90x IUNIT 1011b = 100x IUNIT 1100b = 100x IUNIT 1101b = 100x IUNIT 1110b = 100x IUNIT 1111b = 100x IUNIT

8.15 IDAC_MUX_CFG 寄存器 (地址 = 0Eh) [复位 = 10h]

[返回到汇总表。](#)

图 8-15. IDAC_MUX_CFG 寄存器

7	6	5	4	3	2	1	0
IUNIT		I2MUX[2:0]		RESERVED		I1MUX[2:0]	
R/W-0b		R/W-001b		R-0b		R/W-000b	

表 8-17. IDAC_MUX_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	IUNIT	R/W	0b	IDAC 单位电流选择 为激励电流源 IDAC1 和 IDAC2 选择单位电流。 0b = 1μA 1b = 10μA
6:4	I2MUX[2:0]	R/W	001b	IDAC2 输出引脚选择 选择 IDAC2 的输出引脚。如果需要，可以将 IDAC1 和 IDAC2 路由到同一引脚。用作 IDAC2 输出的模拟输入仍然可以用作模拟或基准输入。 000b = AIN0 001b = AIN1 010b = AIN2 011b = AIN3 100b = AIN4 101b = AIN5 110b = AIN6 111b = AIN7
3	RESERVED	R	0b	保留 始终读回 0b。
2:0	I1MUX[2:0]	R/W	000b	IDAC1 输出引脚选择 选择 IDAC1 的输出引脚。如果需要，可以将 IDAC1 和 IDAC2 路由到同一引脚。用作 IDAC1 输出的模拟输入仍然可以用作模拟或基准输入。 000b = AIN0 001b = AIN1 010b = AIN2 011b = AIN3 100b = AIN4 101b = AIN5 110b = AIN6 111b = AIN7

8.16 REG_MAP_CRC 寄存器 (地址 = 0Fh) [复位 = 00h]

返回到[汇总表](#)。

图 8-16. REG_MAP_CRC 寄存器

7	6	5	4	3	2	1	0
REG_MAP_CRC_VAL[7:0]							
R/W-00000000b							

表 8-18. REG_MAP_CRC 寄存器字段说明

位	字段	类型	复位	说明
7:0	REG_MAP_CRC_VAL[7:0]	R/W	00000000b	寄存器映射 CRC 值 寄存器映射 CRC 值是用户计算的寄存器 05h 至 0Eh 的 CRC 值。写入该寄存器的 CRC 值会与内部 CRC 计算值进行比较。如果这些值不匹配，则设置 STATUS_MSB 寄存器中的 REG_MAP_CRC_FAULTn 位。使用 REG_MAP_CRC_EN 位启用寄存器映射 CRC。

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

9.1.1 串行接口连接

图 9-1 显示了 ADS1x2S14 的基本接口连接。

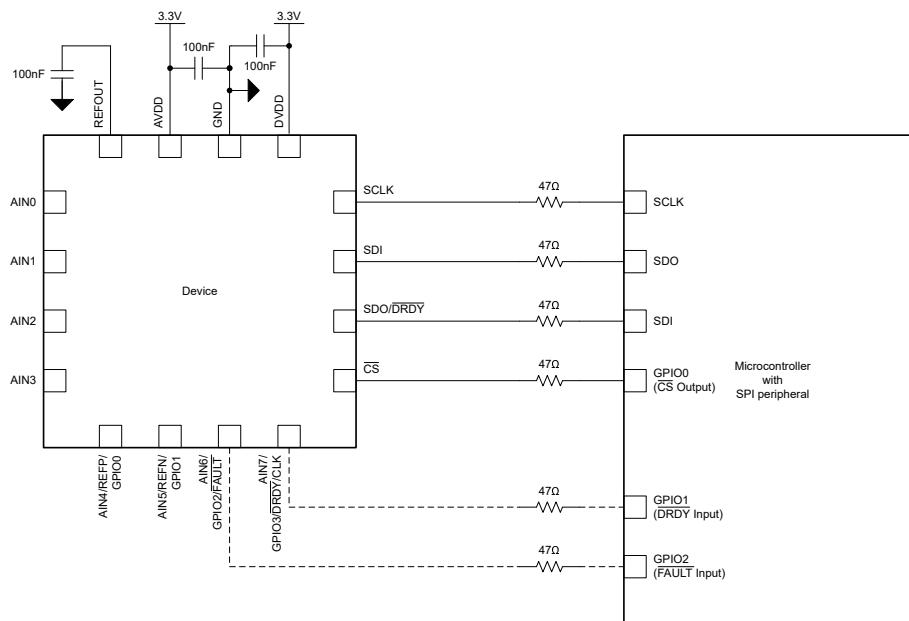


图 9-1. 串行接口连接

大多数微控制器 SPI 外设可以与器件连接。该接口仅支持 SPI 配置 ($\text{CPOL} = 0$ 且 $\text{CPHA} = 1$)，其中 **SCLK** 在空闲状态下保持低电平，并且数据在 **SCLK** 上升沿进行传输或更改；在 **SCLK** 下降沿锁存或读取数据。

CS 引脚可以永久连接到 **GND**，以在 3 线 SPI 模式下运行器件。

或者，将专用 **DRDY** 引脚路由到主机控制器的由下降沿触发的支持中断的 **GPIO**，以防需要通过中断指示新的数据就绪。为此，将 **AIN7/GPIO3/DRDY/CLK** 引脚配置为 **DRDY** 输出 (**GPIO3_CFG = 10b** 或 **11b** 且 **GPIO3_SRC = 1b**)。

如果除了通过故障标志进行故障指示之外，还需要通过引脚进行故障指示，则 **FAULT** 引脚也可以连接到主机控制器。为此，将 **AIN6/GPIO2/FAULT** 引脚配置为 **FAULT** 输出 (**GPIO2_CFG = 10b** 或 **11b** 且 **GPIO2_SRC = 1b**)。

如果 **DRDY** 或 **FAULT** 引脚配置为开漏输出，则在该引脚与 **DVDD** 之间增加上拉电阻器。

如果在器件或微控制器上电期间需要驱动某些信号电平，则可以将上拉或下拉电阻放置在数字输入和输出信号线上。

或者，将电阻器与所有数字输入和输出引脚串联。典型串联电阻值的范围为 10Ω 至 50Ω 。该电阻可使急剧的信号转换变得平滑、抑制过冲，并提供一定的过压保护。必须注意满足所有 SPI 时序要求，因为额外的电阻器与数字信号线上的总线电容相互作用。

9.1.2 连接多个器件

ADS11x2S14 提供了两种在单条 SPI 总线上运行多个器件的方法：

- 对所有器件使用单个 **CS** 信号进行菊花链连接，如 [菊花链运行](#) 部分所述。主机连接到链中第一个器件的 **SDI** 以传输数据。链中第一个器件的 **SDO** 信号连接到下一个器件的 **SDI** 信号，依此类推。主机控制器从链中最后一个器件的 **SDO** 信号接收数据。所有器件共享同一个 **SCLK** 信号。这种方法允许主机同时与链中的所有器件通信。但是，根据链中连接的器件数量，**SPI** 帧可能会变得很长。
- 为每个器件使用专用的 **CS** 信号，如 [图 9-2](#) 所示。在这种情况下，所有器件共享 **SCLK**、**SDI** 和 **SDO/DRDY** 信号。只有 **CS** 为低电平的器件才会驱动 **SDO/DRDY** 引脚。**CS** 为高电平的所有其他器件的 **SDO/DRDY** 输出处于高阻态，以避免 **SDO** 线路上发生争用。主机控制器逐一与各器件进行接口通信。

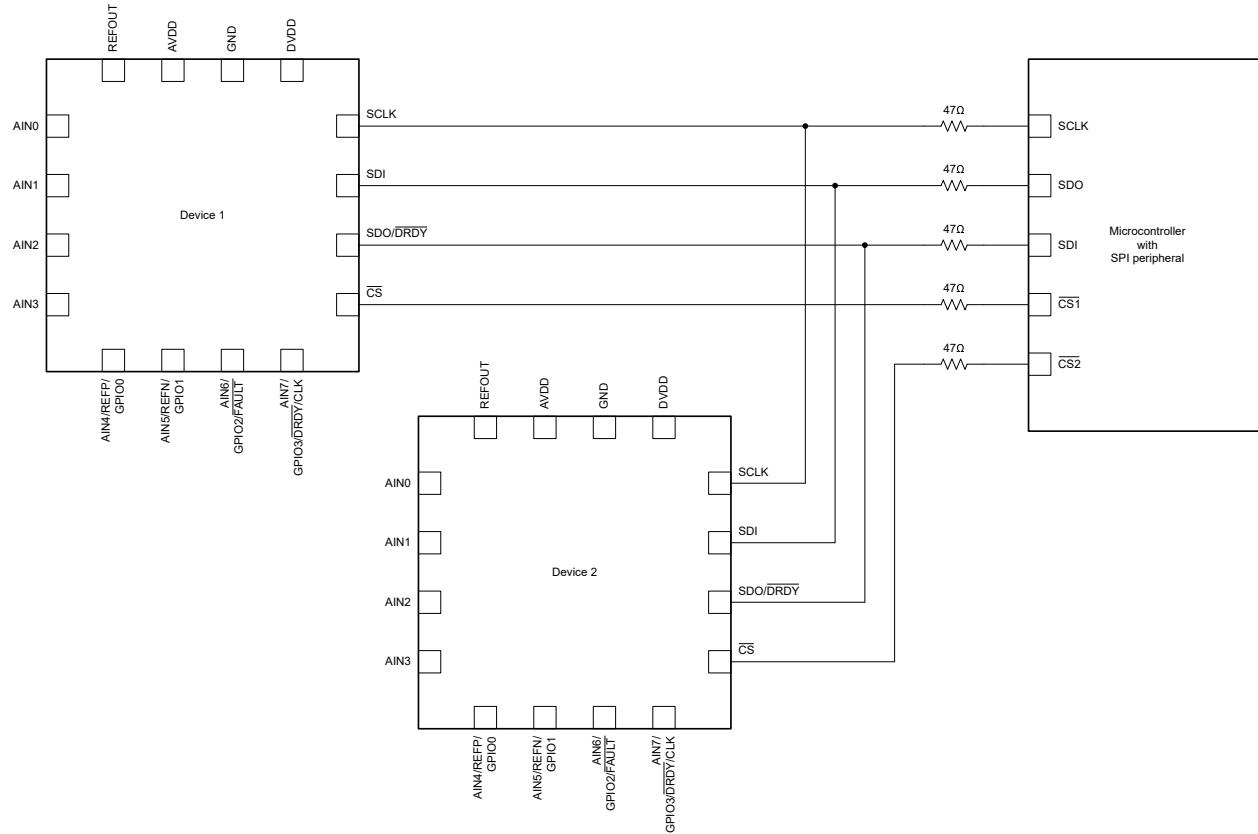


图 9-2. 使用单个 **CS** 信号的多器件串行接口连接

9.1.3 未使用的输入和输出

对于未使用的器件引脚连接，请遵循以下指南：

- 将任何未使用的模拟输入保持悬空或将未使用的模拟输入连接到 **GND**。
- 当不使用 **REFP**、**REFN**、**GPIO0**、**GPIO1**、**GPIO2**、**GPIO3**、**FAULT**、**DRDY** 或 **CLK** 功能时，将相应的引脚配置为模拟输入 (**GPIO_x_CFG[1:0] = 00b**)，并遵循上述关于未使用模拟输入的指南。
- 使用 3 线 SPI 模式时，将 **CS** 引脚连接到 **GND**。

9.1.4 器件初始化

图 9-3 说明了初始化 ADS1x2S14 和在连续转换模式下启动转换所需的序列步骤。在此示例中，该器件使用专用的 $\overline{\text{DRDY}}$ 引脚来指示主机控制器是否可以使用新转换数据。

将主机控制器的 SPI 配置为 $\text{CPOL} = 0$ 和 $\text{CPHA} = 1$ 。将连接到器件 $\overline{\text{DRDY}}$ 引脚的主机控制器 GPIO 配置为下降沿触发的中断输入。

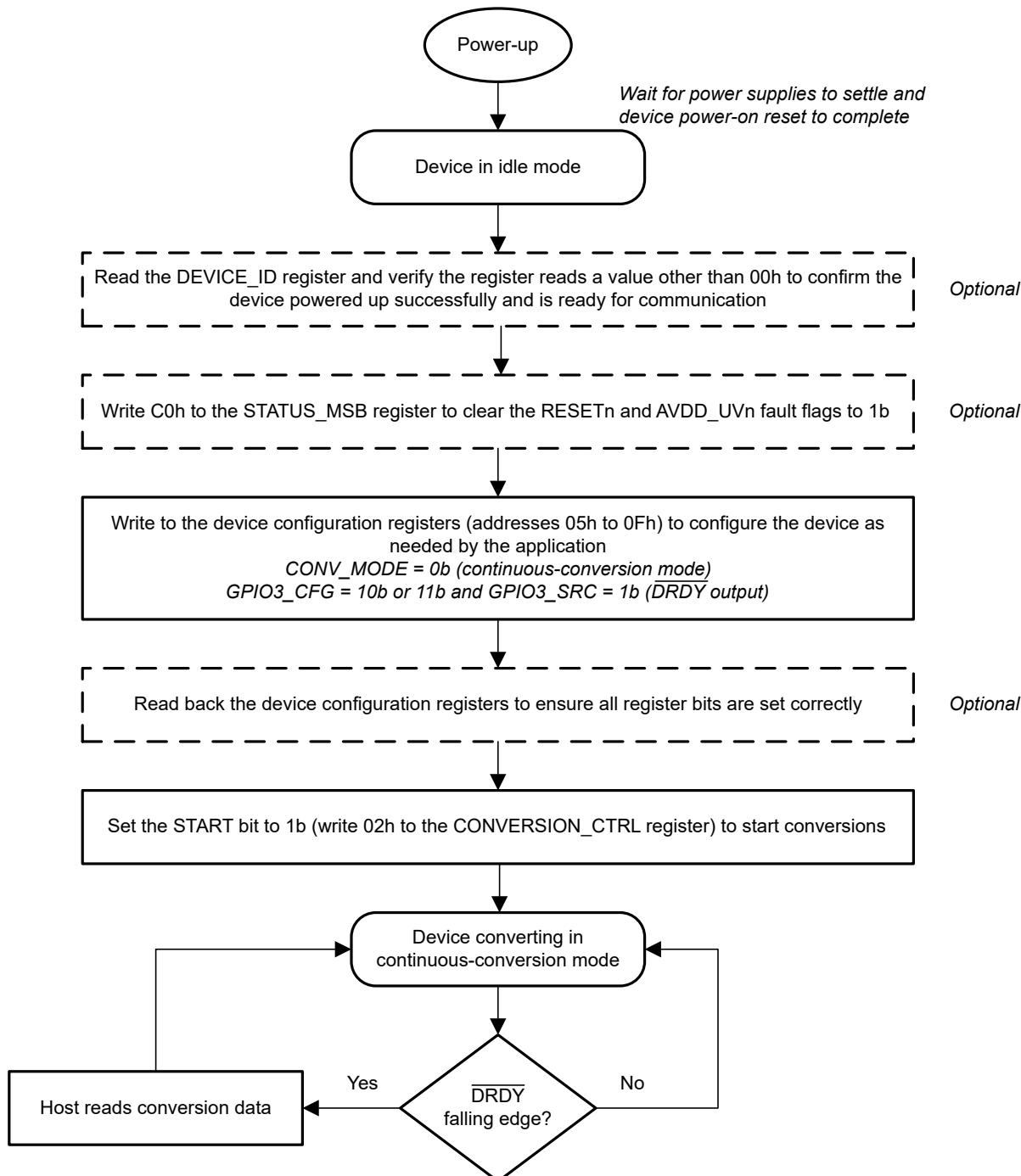


图 9-3. 器件初始化流程图

9.2 典型应用

9.2.1 软件可配置 RTD 测量输入

ADS1x2S14 整合了所有必要的功能（例如激励电流源、缓冲外部基准输入和 PGA），可实现比例式 RTD 测量输入模块，通过软件配置它可适应 2 线、3 线和 4 线 RTD。图 9-4 展示了此类软件可配置 RTD 测量输入模块的实现示例。

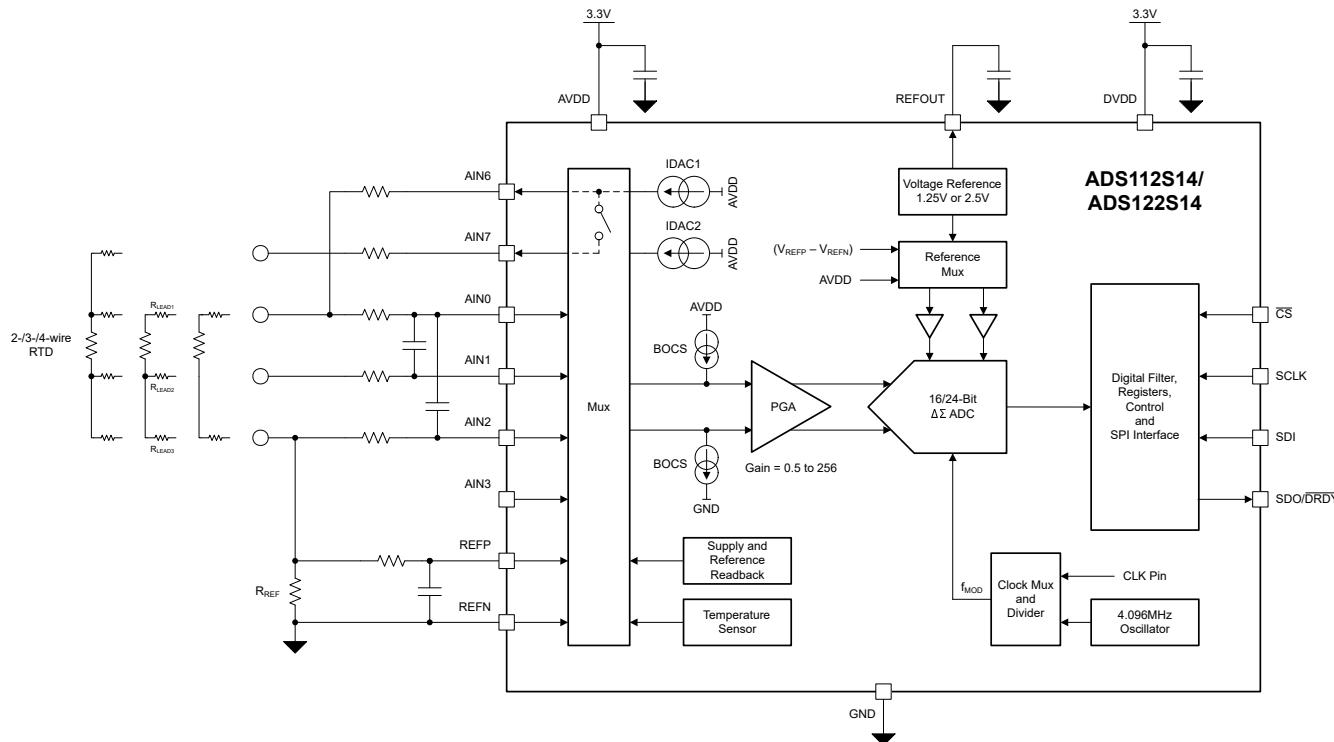


图 9-4. 软件可配置 RTD 测量输入

9.2.1.1 设计要求

表 9-1. 设计参数

设计参数	值
电源电压	3.3V
支持的 RTD 类型	2、3、4 线制 Pt100
电流消耗	500 μA (最大值)
温度测量范围	-200°C 至 +850°C
T _A = 25°C 时的测量准确度	±0.1°C
50Hz 或 60Hz (±1Hz) 下的线路周期抑制	80dB (最小值)
RTD 端子上的最大过压	±10V

9.2.1.2 详细设计过程

图 9-4 中的电路采用比例式测量配置。换言之，传感器信号（即本例中 RTD 上的电压）和 ADC 的基准电压来自同一激励源。因此，由温度漂移或激励源噪声导致的误差会抵消，因为这些误差对于传感器信号和基准都是常见的。

要使用该器件实现比例式 RTD 测量，请使用 I1MUX[2:0] 位将 IDAC1 路由到 AIN7 (对于 4 线 RTD 连接) 或 AIN6 (对于 2 线和 3 线 RTD 连接)。使用 I1MAG[3:0] 位选择激励电流源值。激励电流经过 RTD 和精密低漂移基准电阻 R_{REF} 流至接地。在基准电阻器 (如方程式 14 所示) 上生成的电压 V_{REF} 用作 ADC 基准电压。为此，使用 REF_SEL[1:0] 在引脚 AIN4/REFP 和 AIN5/REFN 之间选择外部电压基准

$$V_{REF} = I_{IDAC1} \times R_{REF} \quad (14)$$

为了简化以下讨论，RTD 的各引线电阻值 (R_{LEADx}) 设置为零。如方程式 15 所示，IDAC1 会激发 RTD 以产生与温度相关 RTD 值和 IDAC1 值成正比的电压 (V_{RTD})。

$$V_{RTD} = R_{RTD} \times I_{IDAC1} \quad (15)$$

使用 AINP[3:0] 和 AINN[3:0] 位选择模拟输入，以根据 RTD 类型测量 V_{RTD} ：

- 对于 2 线 RTD，在 $AIN_P = AIN_0$ 和 $AIN_N = AIN_2$ 之间测量。
- 对于 3 线或 4 线 RTD，在 $AIN_P = AIN_0$ 和 $AIN_N = AIN_1$ 之间测量。

该器件使用 PGA 在内部放大 RTD 两端的电压，并将生成的电压与基准电压进行比较，以根据方程式 16 生成数字输出代码。

$$\text{Code} / 2^n = V_{RTD} \times \text{Gain} / V_{REF} = (R_{RTD} \times I_{IDAC1} \times \text{Gain}) / (I_{IDAC1} \times R_{REF}) \quad (16)$$

$$\text{Code} / 2^n = (R_{RTD} \times \text{Gain}) / R_{REF} \quad (17)$$

其中 n 取决于所选的编码方案和 ADC 分辨率：

- $n = 15$ (16 位 ADC，二进制补码格式)
- $n = 16$ (16 位 ADC，单极标准二进制格式)
- $n = 23$ (24 位 ADC，二进制补码格式)
- $n = 24$ (24 位 ADC，单极标准二进制格式)

如方程式 17 所示，输出代码仅取决于 RTD 的值、PGA 增益和基准电阻 (R_{REF})，而不取决于 IDAC1 值。因此，激励电流的绝对精度和温度漂移无关紧要。然而，由于基准电阻的值直接影响测量结果，因此选择具有良好初始精度和极低温度系数的基准电阻对于限制 R_{REF} 引入的测量误差非常重要。

基准电阻 R_{REF} 不仅用于为器件生成基准电压，还用于将 RTD 引线上的电压设置在 PGA 的指定绝对输入电压范围内。这在使用大于 10 的 PGA 增益时非常重要，因为当使用大于 10 的增益时，PGA 需要相对于 GND 存在余量才能运行。

设计电路时，还必须注意满足 IDAC 的顺从电压要求。IDAC 要求在到 GND 的电流路径上产生的最大压降等于或小于规定的顺从电压，才能精确运行。

如设计要求中所述，此设计示例讨论了 Pt100 元件的电路实现，该元件测量的温度范围为 -200°C 到 $+850^{\circ}\text{C}$ 。选择 Pt100 的激励电流作为 $I_{IDAC1} = 400\mu\text{A}$ ，以满足本示例所需的功率预算。如前所述，除了为 ADC 产生基准电压之外， R_{REF} 上的电压还设置 RTD 测量的绝对输入电压。通常，选择可保持 IDAC 顺从电压并满足 PGA 绝对输入电压要求的最大基准电压。将共模电压设置为等于或低于模拟电源的一半是良好的设计起点。在本例中，1.6V 用作目标共模电压。因此，使用 方程式 18 计算 R_{REF} 的值：

$$R_{REF} = V_{REF} / I_{IDAC1} = 1.6\text{V} / 400\mu\text{A} = 4\text{k}\Omega \quad (18)$$

R_{REF} 的稳定性对于在整个温度范围内和时间范围内实现良好的测量精度至关重要。建议选择温度系数为 $\pm 10\text{ppm}/^{\circ}\text{C}$ 或更佳的基准电阻器。

最后一步，选择 PGA 增益以使最大输入信号与 ADC 的 FSR 相匹配。Pt100 的电阻值会随温度升高而增加。因此，要测量的最大电压 (V_{INMAX}) 出现在正温度极点。根据 NIST 表，在 850°C 处 Pt100 的等效电阻约为 391Ω 。Pt100 两端的电压等于 方程式 19：

$$V_{INMAX} = V_{RTD \text{ (at } 850^\circ\text{C)}} = R_{RTD \text{ (at } 850^\circ\text{C)}} \times I_{IDAC1} = 391 \Omega \times 400 \mu\text{A} = 156.4 \text{mV} \quad (19)$$

使用 1.6V 基准时可应用的最大增益计算结果为 $(1.6\text{V} / 156.4\text{mV}) = 10.23$ 。ADS1x2S14 中可用的下一个较小 PGA 增益设置为 10。当增益为 10 时，该器件提供 FSR 值，如方程式 20 中所述：

$$FSR = \pm V_{REF} / Gain = \pm 1.6\text{V} / 10 = \pm 160\text{mV} \quad (20)$$

此范围允许 IDAC 和基准电阻器的初始精度和漂移存在裕度。

为了将 ADC 功耗保持在最低水平，使用 SPEED_MODE[1:0] 位选择速度模式 0 ($f_{MOD} = 32\text{kHz}$)。为了满足 50Hz 和 60Hz 的线路周期抑制要求，使用 FLTR_OSR[2:0] 位选择 20SPS 输出数据速率。选择采用相同 20SPS 输出数据速率设置的更快速度模式时，测量分辨率（由 ADC 噪声决定）会升高，但代价是功耗更高。但是，测量精度（由 ADC 直流误差决定，例如增益和偏移误差）在很大程度上不受速度模式设置影响。

模拟和正基准输入端的串联电阻的主要用途是保护器件输入免受任何过压条件的影响。如果应用中 RTD 端子上可能出现过压情况，请在选择串联电阻值时，将流入模拟和正基准输入的电流限制在 10mA 以下。本例中选择了 $2.2\text{k}\Omega$ 的串联电阻值，以便在 RTD 端子上存在高达 $\pm 10\text{V}$ 的过压时将输入电流限制在 5mA 以下。在选择电阻值时，请考虑串联电阻与进入模拟和基准输入端的输入电流之间的相互作用。串联电阻器上产生的压降会导致潜在的偏移误差。此外，串联电阻器与输入电容器一起构成一阶 RC 抗混叠滤波器。对于此 $\Delta-\Sigma$ ADC，RC 滤波器的确切转角频率并不是很关键。一般建议是选择一个至少比 ADC 调制器频率低 10 倍的转角频率。

选择 IDAC、 R_{REF} 、PGA 增益和串联电阻的值后，确保仔细检查这些设置是否满足 PGA 的绝对输入电压要求以及 IDAC 的顺从电压。计算中包括 IDAC1 的 RTD 引线电阻和 IDAC1 输出引脚上的串联电阻器产生的压降。

本例中 3 线 RTD 的引线补偿通过实施两步测量方法实现。

1. 在步骤一中，测量 AIN0 和 AIN1 之间的电压 (V_1)。
2. 在第二个测量步骤中，测量 AIN0 和 AIN2 之间的电压 (V_2)。

方程式 21 和 方程式 22 代表这两个测量值。

$$V_1 = I_{IDAC1} (R_{LEAD1} + R_{RTD}) \quad (21)$$

$$V_2 = I_{IDAC1} (R_{LEAD1} + R_{RTD} + R_{LEAD3}) \quad (22)$$

假设所有三个引线电阻具有相同的值 R_{LEAD} 是合理的。因此，使用 方程式 23 来计算引线补偿 RTD 电压。

$$V_{RTD} = 2 \times V_1 - V_2 = 2 \times [I_{IDAC1} (R_{LEAD} + R_{RTD})] - I_{IDAC1} (2 \times R_{LEAD} + R_{RTD}) = I_{IDAC1} \times R_{RTD} \quad (23)$$

RTD 测量寄存器位设置 展示了本设计示例中各种测量的关键寄存器位设置。

表 9-2. RTD 测量寄存器位设置

寄存器位	2-WIRE RTD	3-WIRE RTD		4-WIRE RTD
		V_1	V_2	
SPEED_MODE[1:0]		00b (速度模式 0)		
FLTR_OSR[2:0]		111b ($f_{DATA} = 20\text{SPS}$)		
GAIN[3:0]		0110b (增益 = 10)		
REFP_BUF_EN		1b (REFP 缓冲器启用)		
REFN_BUF_EN		0b (REFN 缓冲器禁用)		
REF_SEL[1:0]		01b (外部基准)		
IUNIT		1b ($IUNIT = 10 \mu\text{A}$)		
I2MAG[3:0]		0000b (IDAC2 禁用)		
I2MUX[2:0]		无关		

表 9-2. RTD 测量寄存器位设置 (续)

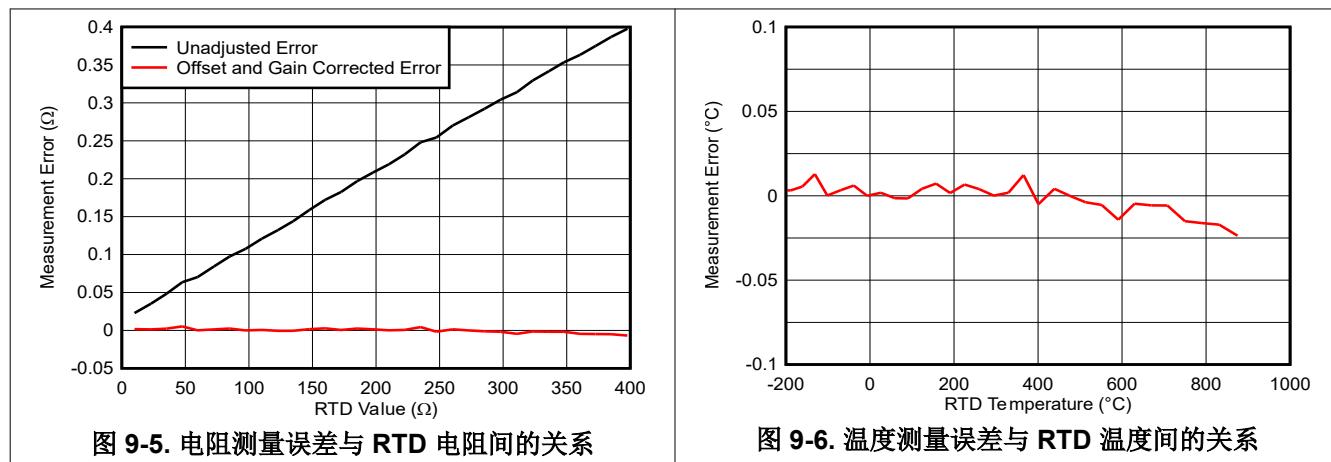
寄存器位	2-WIRE RTD	3-WIRE RTD		4-WIRE RTD	
		V ₁	V ₂		
I1MAG[3:0]		0101b ($I_{IDAC1} = 40 \times I_{UNIT}$)			
I1MUX[2:0]	110b (AIN6)	110b (AIN6)	110b (AIN6)	111b (AIN7)	
A1NP[3:0]	0000b (AIN0)	0000b (AIN0)	0000b (AIN0)	0000b (AIN0)	
A1NN[3:0]	0010b (AIN2)	0001b (AIN1)	0010b (AIN2)	0001b (AIN1)	

如需详细了解 RTD 测量电路以及使用 TI ADC 的实现，请参阅 [RTD 测量基本指南](#) 应用手册。[使用精密 Δ-Σ ADC 进行 RTD 断线检测](#) 应用手册中讨论了使用与 ADS1x2S14 中集成的功能类似的功能进行传感器故障检测的各种策略。[此处](#) 提供了使用 C 代码的软件库，展示了如何在主机控制器中实现 RTD 线性化算法。

9.2.1.3 应用性能曲线图

图 9-5 和图 9-6 展示了 4 线 Pt100 的测量结果。测量在 $T_A = 25^\circ\text{C}$ 时使用精密电阻器而非 4 线 Pt100 进行。图 9-5 展示了在未进行任何校准的情况下以及在系统偏移和增益校准之后的电阻测量误差。图 9-6 中相应的温度测量误差使用 NIST 表根据图 9-5 中的偏移和增益误差校正数据计算得出。

该设计符合 [设计要求](#) 中给出的所需温度测量精度。但是，图 9-6 中显示的测量误差不包括 RTD 的误差。



9.2.1.4 设计变体一 使用两个 IDAC 实现自动引线补偿的 3 线 RTD 测量

图 9-4 中所示的电路实现需要进行两次测量来补偿 3 线 RTD 的引线电阻。或者，利用第二个 IDAC 实现自动 3 线 RTD 引线补偿，如图 9-7 所示，这不需要单独的引线电阻测量步骤。

为此，将 IDAC2 路由到 AIN3，并将 AIN3 连接到端子连接到 AIN1 前面的串联电阻的点。在该配置中，将两个激励电流值从 $400 \mu\text{A}$ 更改为 $200 \mu\text{A}$ （或将基准电阻值从 $4\text{k}\Omega$ 更改为 $2\text{k}\Omega$ ），并将 PGA 增益从 10 更改为 20。AIN0 和 AIN1 之间的单次测量足以获得引线补偿 RTD 值。使用 [方程式 24](#) 来计算此实现中的 3 线 RTD 的电阻。

$$\text{Code} / 2^n = (R_{RTD} \times \text{Gain}) / (2 \times R_{REF}) \quad (24)$$

其中 n 遵循 [方程式 17](#) 的准则。

更多详细信息，请参阅 [RTD 测量基本指南](#) 应用手册。

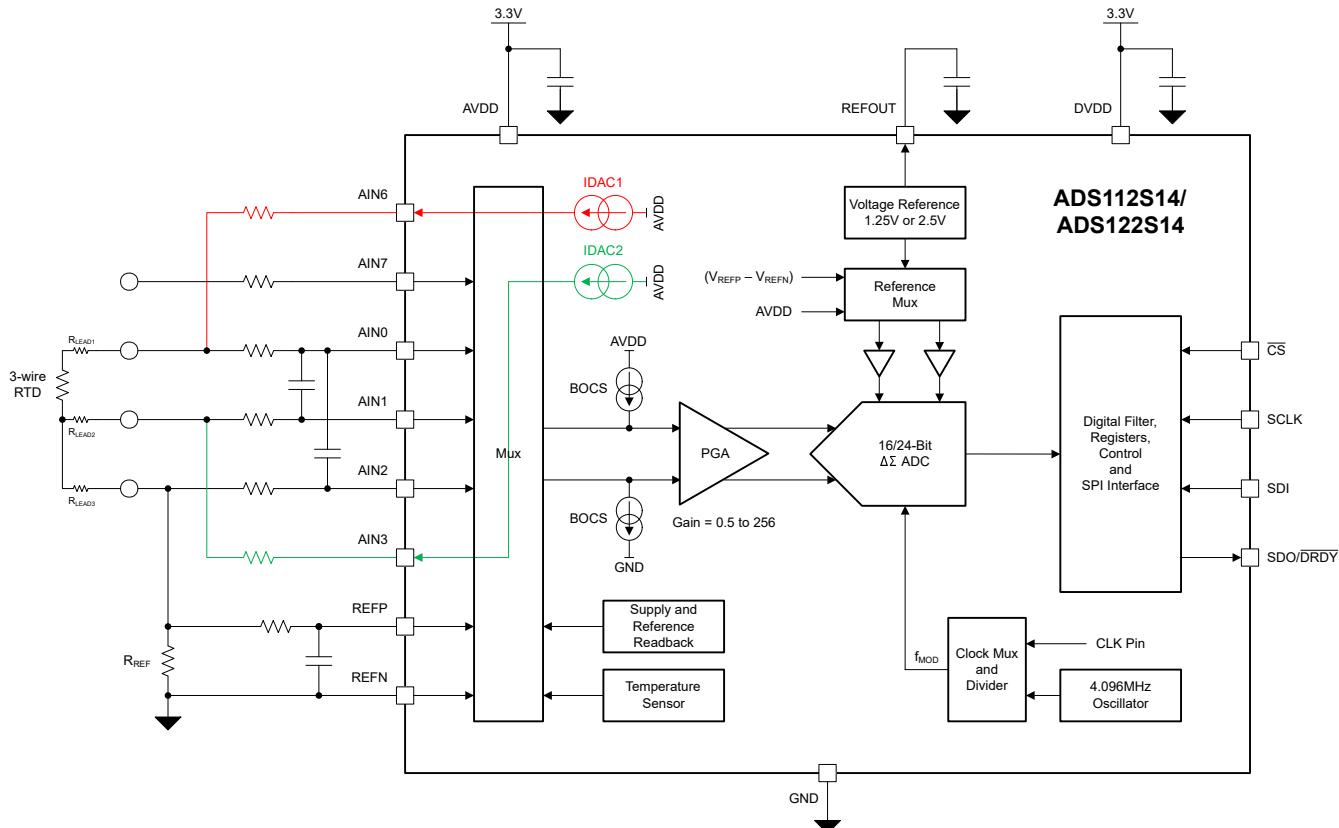


图 9-7. 使用两个 IDAC 进行自动引线补偿的 3 线 RTD 测量实现方案

9.2.2 使用 2 线 RTD 通过冷端补偿进行热电偶测量

图 9-8 展示了使用 2 线 RTD 进行冷端温度测量的热电偶测量实现方式。其他用来测量冷端温度的方法也可用于 ADS1x2S14，例如热敏电阻（例如 TMP61）、模拟输出温度传感器（例如 LMT70A）或使用集成温度传感器。

方程式 25 提供了 ADC 代码与在 AIN0 和 AIN1 之间测量的热电偶电压 (V_{TC}) 之间的关系。

$$\text{Code} / 2^n = (V_{TC} \times \text{Gain}) / V_{REF} \quad (25)$$

其中 n 遵循 方程式 17 的准则。

该电路实现的一个重要方面是热电偶的偏置，旨在使热电偶端子上的电压满足 ADS1x2S14 的输入电压要求。在此示例中，RC 滤波器前面的上拉和下拉电阻（通常在 $1M\Omega$ 至 $10M\Omega$ 的范围内）用于将热电偶输出电压偏置到 $AVDD/2$ 。同时，上拉电阻和下拉电阻可用作检测传感器连接是否开路的手段。在传感器连接开路的情况下，正模拟输入 (AIN0) 会拉至 $AVDD$ ，负模拟输入 (AIN1) 会拉至 GND 。这种情况会导致测量结果超出热电偶的正常测量范围。

还可以使用许多其他方法来偏置热电偶。例如，可以通过将 $REFOUT$ 连接到负热电偶端子而非下拉电阻来使用基准输出电压。如需详细了解热电偶测量电路以及使用 TI ADC 的实现，请参阅 [热电偶测量基本指南](#) 应用手册。此处提供了使用 C 代码的软件库，展示了如何在主机控制器中实现热电偶线性和冷端补偿算法。

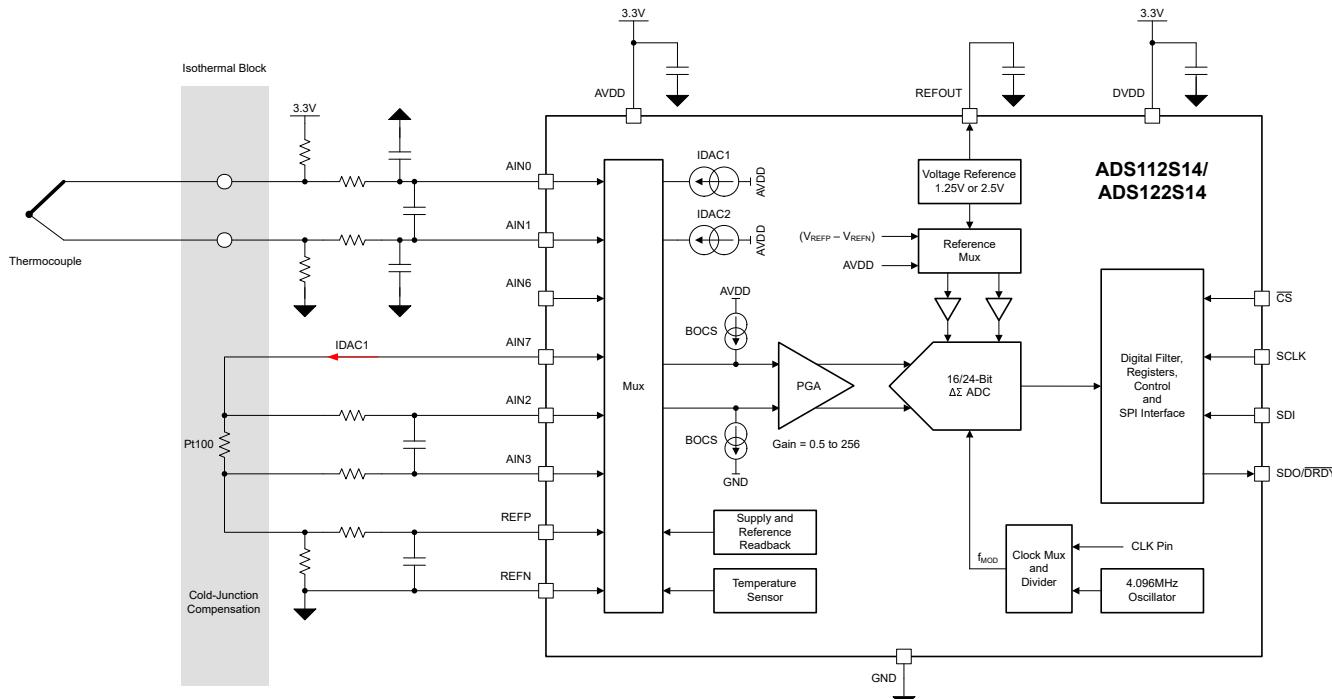


图 9-8. 使用 2 线 RTD 通过冷端补偿进行热电偶测量

9.2.3 具有温度补偿的电阻式电桥传感器测量

图 9-9 和图 9-10 显示了两个示例，说明如何使用 ADS1x2S14 实现具有温度补偿的电阻式电桥传感器测量。在主机控制器中通常使用电桥温度来补偿电桥温漂。

图 9-9 中的电路实现使用模拟电源来激励电桥传感器。使用电桥激励电压作为 ADC 的外部基准电压来实现比例式电桥测量。也可以使用其中一个集成激励电流源来激励电桥，而不使用模拟电源。方程式 26 至 方程式 28 以压力传感器为例，展示了如何推导 ADC 输出代码与施加的电桥信号之间的关系。方程式 28 显示此比例式电路实现中的输出代码与激励电压无关。

$$V_{Bridge} = V_{AIN2} - V_{AIN3} = (\text{Pressure}_{APL} / \text{Pressure}_{MAX}) \times \text{Sensitivity} \times V_{Excitation} \quad (26)$$

$$\text{Code} / 2^n = V_{Bridge} \times \text{Gain} / V_{REF} \quad (27)$$

$$\text{Code} / 2^n = (\text{Pressure}_{APL} / \text{Pressure}_{MAX}) \times \text{Sensitivity} \times \text{Gain} \quad (28)$$

其中：

- $V_{Excitation} = V_{REF} = AVDD$
- 压力 APL = 施加的压力
- 压力 MAX = 压力传感器的最大测量值。表示电桥传感器输出满量程输出信号时的压力
- 灵敏度 = 电桥传感器的灵敏度，通常以 mV/V 的电桥激励指定
- n 遵循 方程式 17 的指导原则

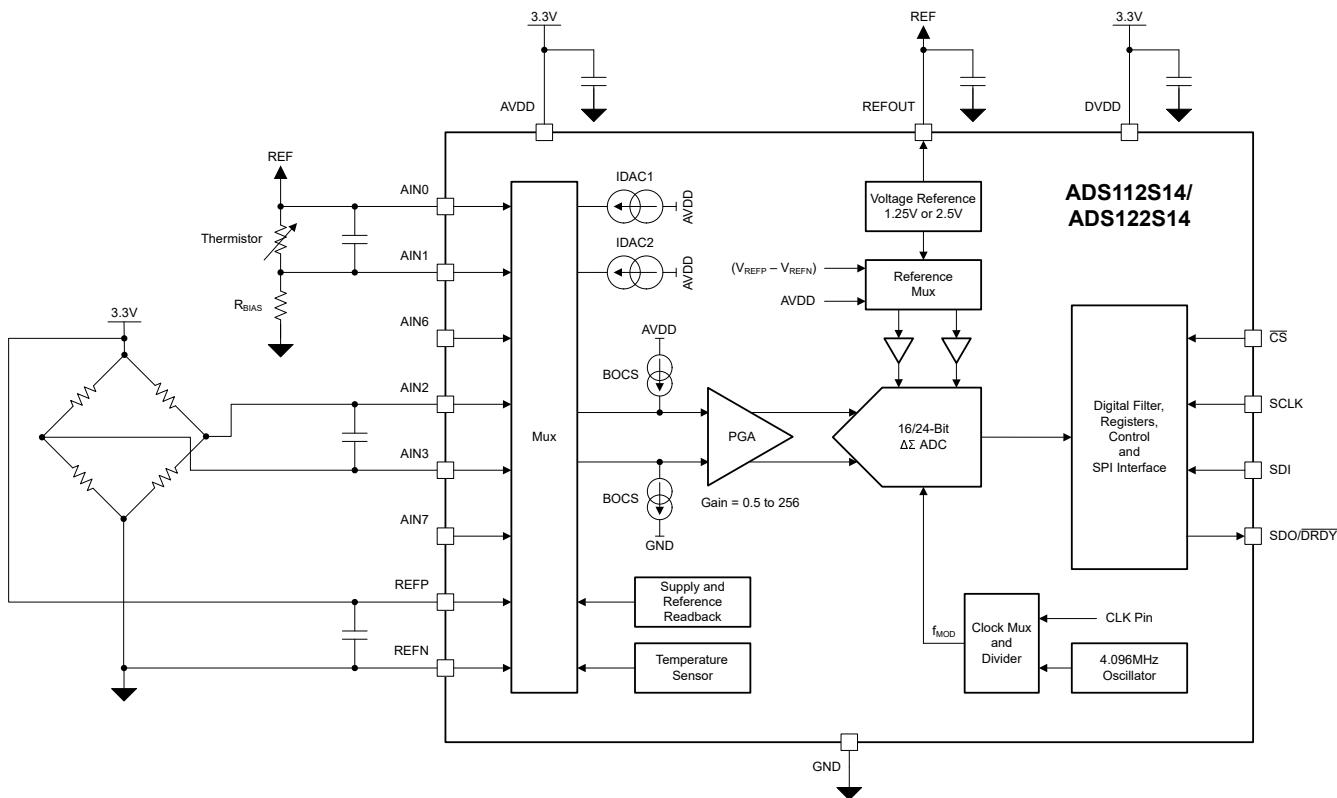


图 9-9. 电阻式电桥传感器测量示例 1
(使用模拟电源作为电桥激励，使用热敏电阻进行电桥温度测量)

该示例展示了用于测量电桥温度的热敏电阻。在本例中，使用基准电压输出实现比例式热敏电阻测量。根据 方程式 30 得出的转换结果仅取决于偏置电阻器 (R_{BIAS}) 和 PGA 增益设置。

$$V_{\text{Thermistor}} = V_{\text{AIN0}} - V_{\text{AIN1}} = V_{\text{REF}} \times R_{\text{Thermistor}} / (R_{\text{Thermistor}} + R_{\text{BIAS}}) \quad (29)$$

$$\text{Code} / 2^n = (V_{\text{Thermistor}} \times \text{Gain}) / V_{\text{REF}} = (R_{\text{Thermistor}} \times \text{Gain}) / (R_{\text{Thermistor}} + R_{\text{BIAS}}) \quad (30)$$

其中 n 遵循 [方程式 17](#) 的准则。

图 9-10 展示了一种替代电路实现方案，其中基准输出用于激励电桥，而与温度相关的电桥电阻测量（AIN0 和 AIN3 之间的测量）用于确定电桥温度。与上面的热敏电阻测量类似，电桥电阻测量也是比例式，仅取决于偏置电阻和 PGA 增益设置，如 [方程式 31](#) 所示。

$$\text{Code} / 2^n = (R_{\text{Bridge}} \times \text{Gain}) / (R_{\text{Bridge}} + R_{\text{BIAS}}) \quad (31)$$

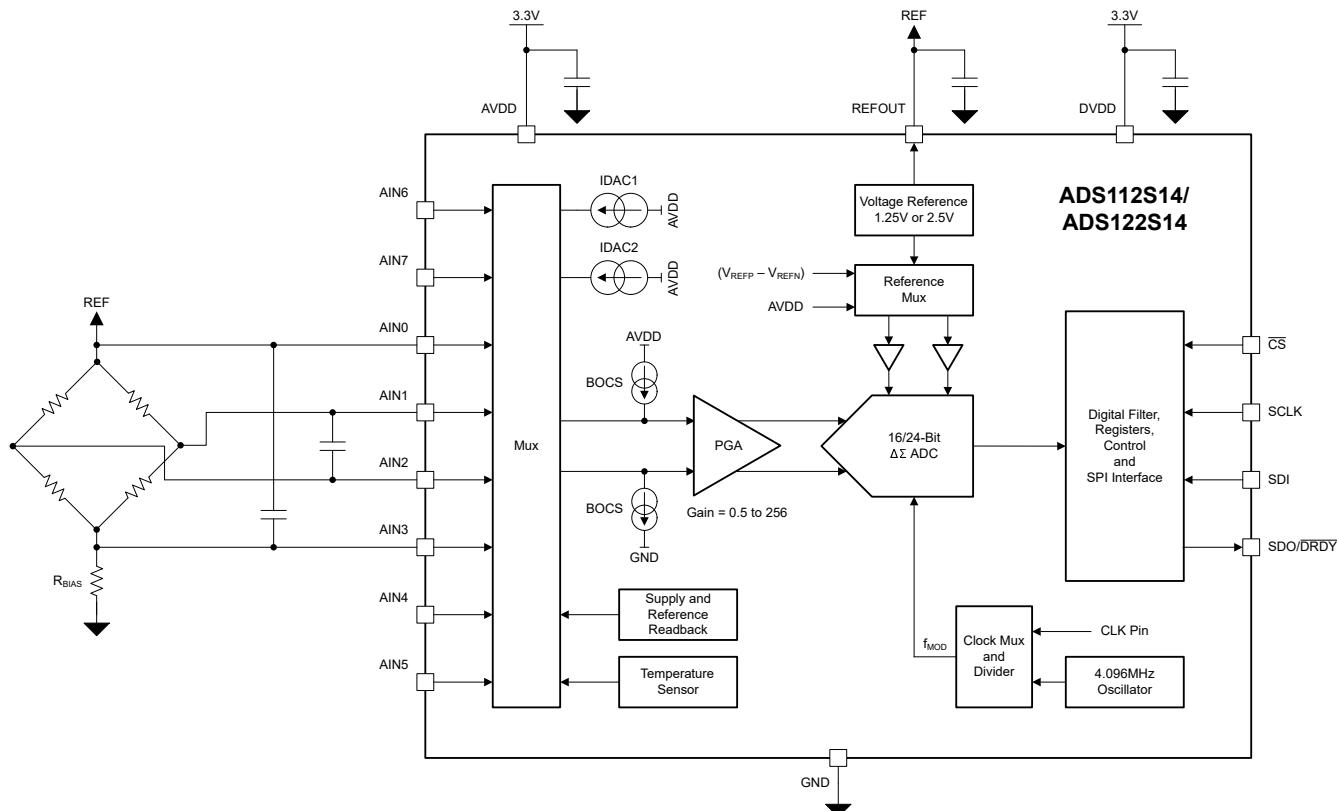


图 9-10. 电阻式电桥传感器测量示例 2
(使用基准输出作为电桥激励，电桥电阻作为温度测量)

对于需要定期将电桥传感器断电以实现省电的应用，使用其中一个 GPIO 输出来控制电桥传感器和 GND 之间的开关。

如需详细了解电阻式电桥传感器测量电路以及使用 TI ADC 的实现，请参阅 [电桥测量基本指南](#) 应用手册。

9.3 电源相关建议

9.3.1 电源

该器件需要两个电源：模拟 (AVDD) 和数字 (DVDD)。模拟电源可从数字电源中独立选择。DVDD 电源设置串行接口引脚 (\overline{CS} 、SCLK、SDI、SDO/DRDY) 的逻辑电平。AVDD 电源设置 GPIO (GPIO0 至 GPIO3) 的逻辑电平。

9.3.2 电源排序

电源可以按任何顺序排序，但是在任何情况下，任何模拟或数字输入都不得超过各自的模拟或数字电源电压和电流限制。在 DVDD 电源稳定后等待 $t_{d(POR)}$ ，然后再与器件通信，以便完成上电复位过程。

9.3.3 电源去耦

良好的电源去耦对于实现卓越器件性能至关重要。如图 9-11 所示，AVDD 和 DVDD 必须各使用一个连接到 GND 且至少为 100nF 的电容器进行去耦。使用低阻抗接头将电源旁路电容器放置在尽可能靠近器件电源引脚的位置。使用多层陶瓷贴片电容 (MLCC) 提供等效串联电阻 (ESR) 和电感 (ESL) 特性，从而实现电源去耦。对于敏感度较高或在恶劣噪声环境中使用的系统，避免使用过孔将电容与器件引脚相连，以获得增强的噪声抗扰度。并行使用多个过孔可降低总电感值并且有利于与接地层相连。

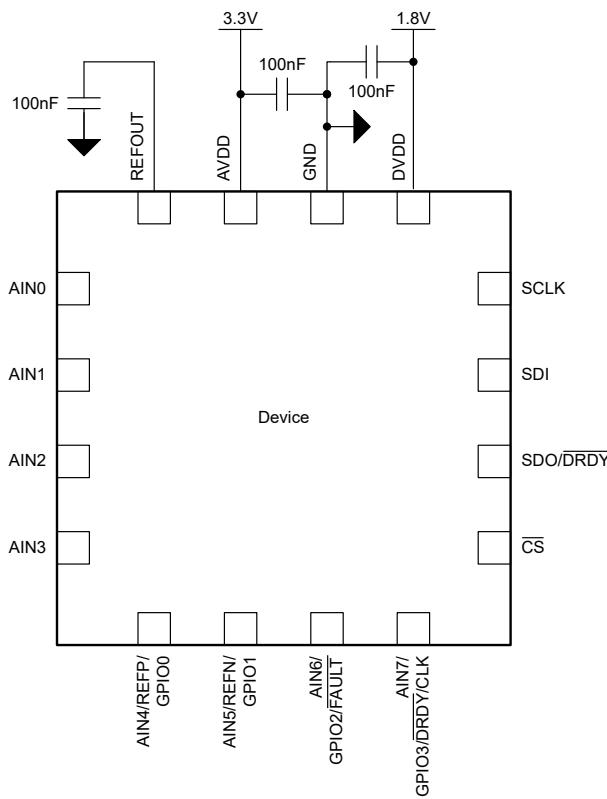


图 9-11. 电源去耦

9.4 布局

9.4.1 布局指南

下面的 ADS1x2S14 布局基本建议有助于达到可能的 ADC 最佳性能。

- 为了获得最佳性能，请将一个完整 PCB 层专用于接地平面，在该层上不要进行任何其他信号布线。
- 对电源去耦电容器使用陶瓷电容器（例如 X7R 级）。不建议使用高 K 电容器（Y5V）。使用短而直接的引线将所需的电容器放置在尽可能靠近器件引脚的位置。将旁路电容器放置在尽可能靠近器件的同一层上可产生最佳结果。
- 使数字引线远离所有模拟输入和相关元件，以尽可能地减少干扰。
- 提供良好的接地返回路径。信号返回电流在阻抗最小的路径上流动。如果接地平面被切割或有其他引线阻止电流在信号引线旁边流动，则必须找到另一条路径返回到源以完成电路。如果强制进入更大的路径，信号辐射的可能性会增加。敏感信号更容易受到 EMI 干扰的影响。
- 考虑布线的电阻和电感。通常，输入端的引线具有电阻，这些电阻会与输入偏置电流发生反应，从而导致额外的误差电压。减小源信号和返回电流所包围的环路面积可减小路径中的电感。减小电感可降低 EMI 拾取，并减小器件输入端的高频阻抗。
- 注意布局中的寄生热电偶。从每个模拟输入到传感器的不同金属元件可能会形成寄生热电偶，从而增加测量的偏移。对于测量源的两个输入，差分输入必须相匹配。
- 为模拟输入端的 RC 滤波器使用 C0G 电容器。
- 用接地填充物填充信号层上的空白区域。
- 应用外部时钟时，确保时钟没有过冲和毛刺。放置在时钟缓冲器上的拉电流终端电阻器通常有助于减少过冲。时钟输入上的干扰可能会导致转换数据中出现噪声。

9.4.2 布局示例

图 9-12 显示了 ADS1x2S14 的基本布局示例：

- C1 是 REFOUT 引脚连接至 GND 所需的电容器。将 C1 放置在尽可能靠近 REFOUT 引脚的位置。
- C2 和 C3 是电源去耦电容器。将 C2 和 C3 放置在尽可能靠近相应电源引脚的位置。
- 通过去耦电容器将 GND 引脚连接到接地平面。
- 分别显示了差分模拟输入对 AIN0-AIN1、AIN2-AIN3 和 AIN4-AIN5 的差分抗混叠 RC 滤波器。
- 显示了适用于 SPI 线路的可选串联电阻器 (R5 至 R8)。串联电阻器有助于通过平滑信号边沿来减少数字线路上的过冲和振铃。

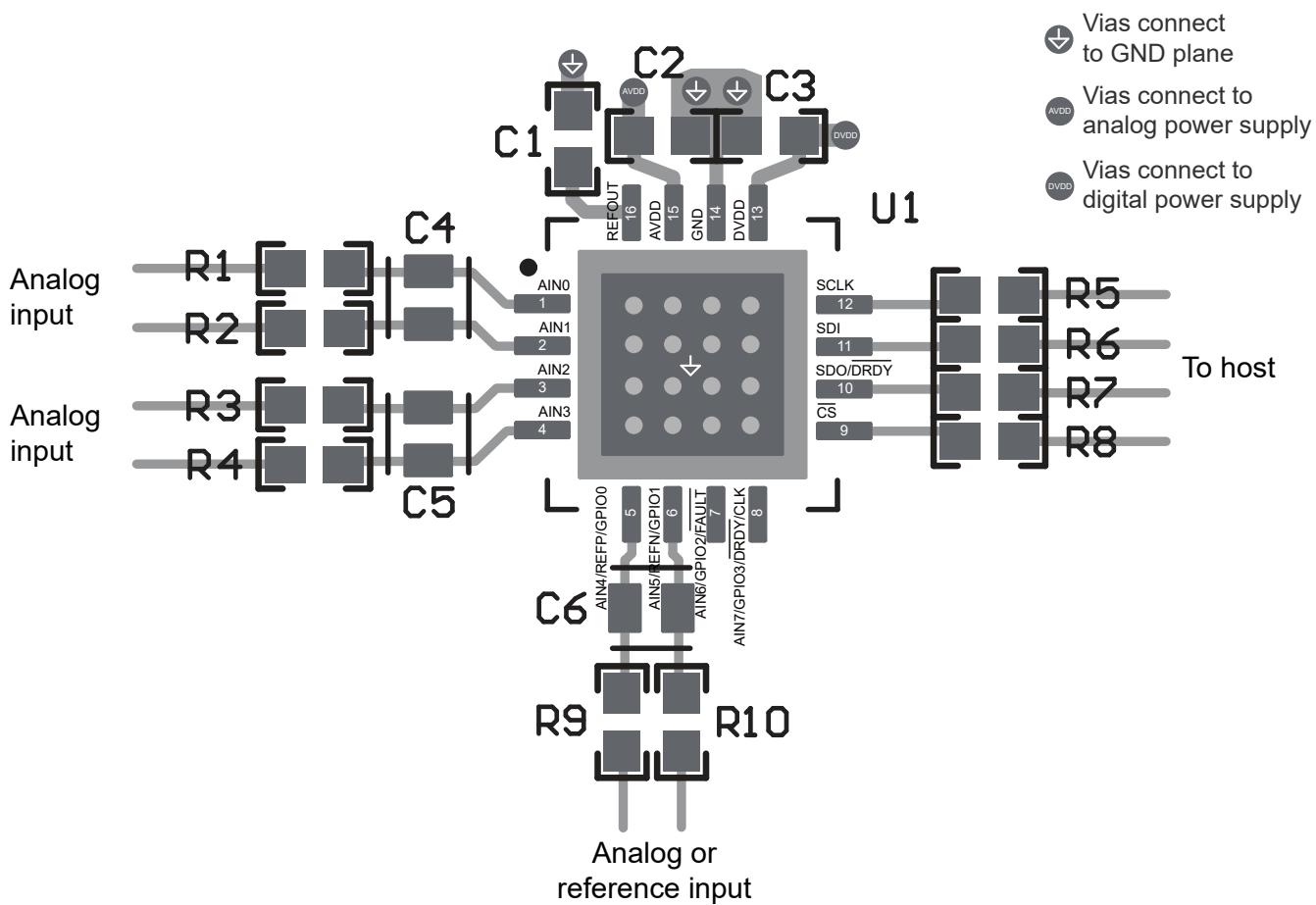


图 9-12. 布局示例

10 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

10.1 文档支持

10.1.1 相关文档

- 德州仪器 (TI), [RTD 测量基本指南](#)应用手册
- 德州仪器 (TI), [使用精密 Δ-Σ ADC 进行 RTD 断线检测](#)应用手册
- 德州仪器 (TI), [热电偶测量基本指南](#)应用手册
- 德州仪器 (TI), [电桥测量基本指南](#)应用手册
- 德州仪器 (TI), [适用于精密 ADC 的温度传感器 \(RTD、热电偶、热敏电阻\) 固件](#)工具页面

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击[通知](#)进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

[TI E2E™ 中文支持论坛](#)是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能导致器件与其发布的规格不相符。

10.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
December 2025	*	初始发行版

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS122S14IRTER	Active	Production	WQFN (RTE) 16	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-50 to 125	A22S14

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

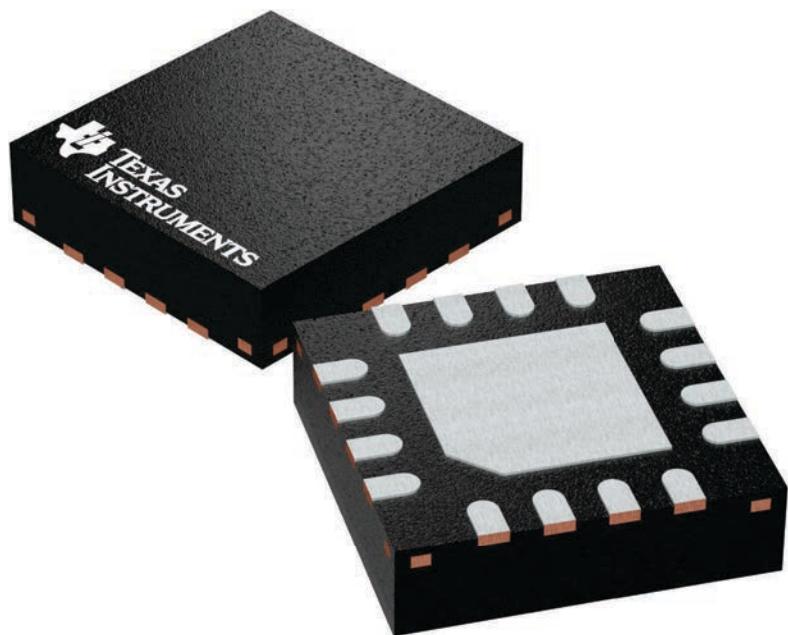
RTE 16

WQFN - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225944/A

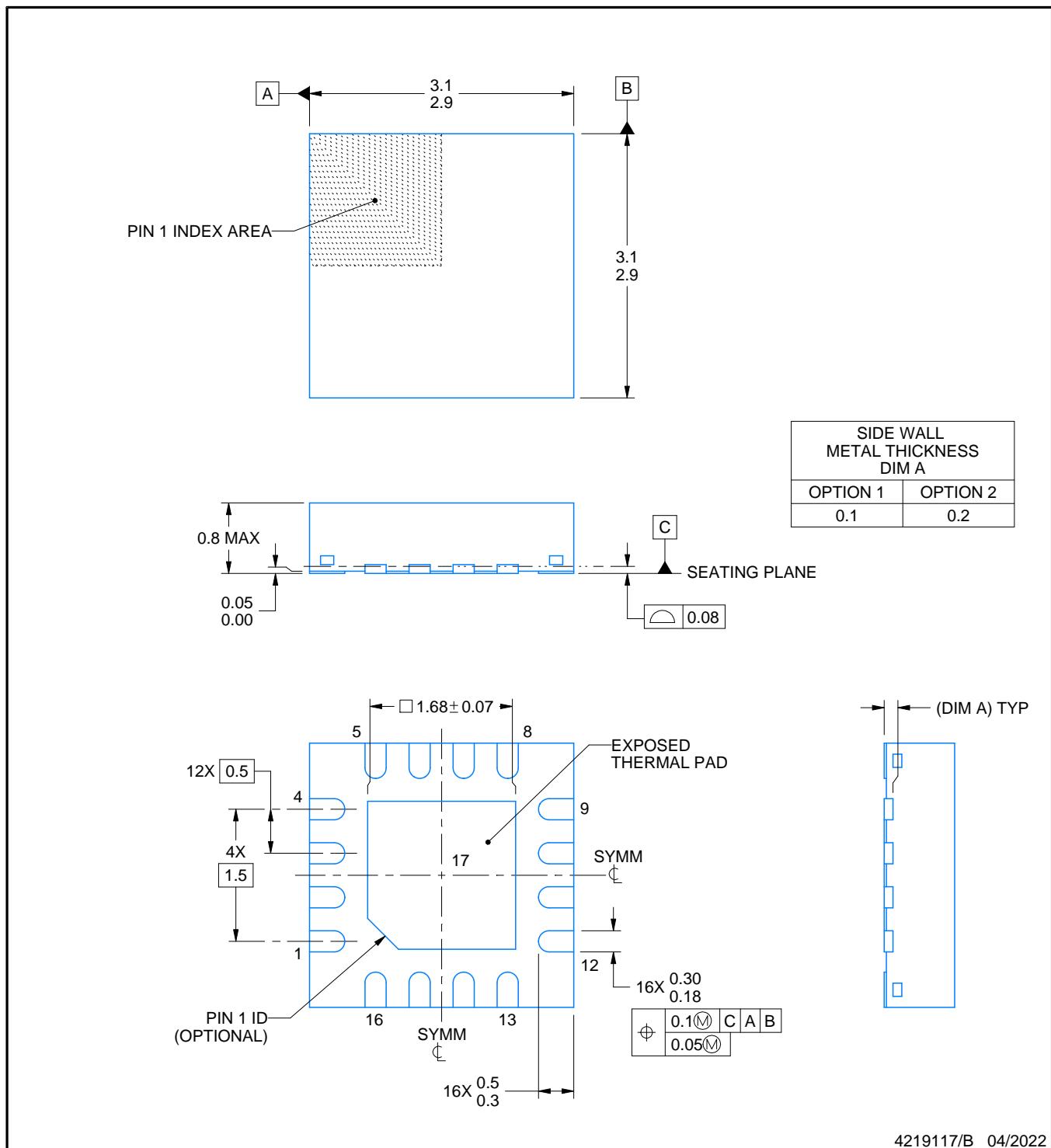
PACKAGE OUTLINE

RTE0016C



WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4219117/B 04/2022

NOTES:

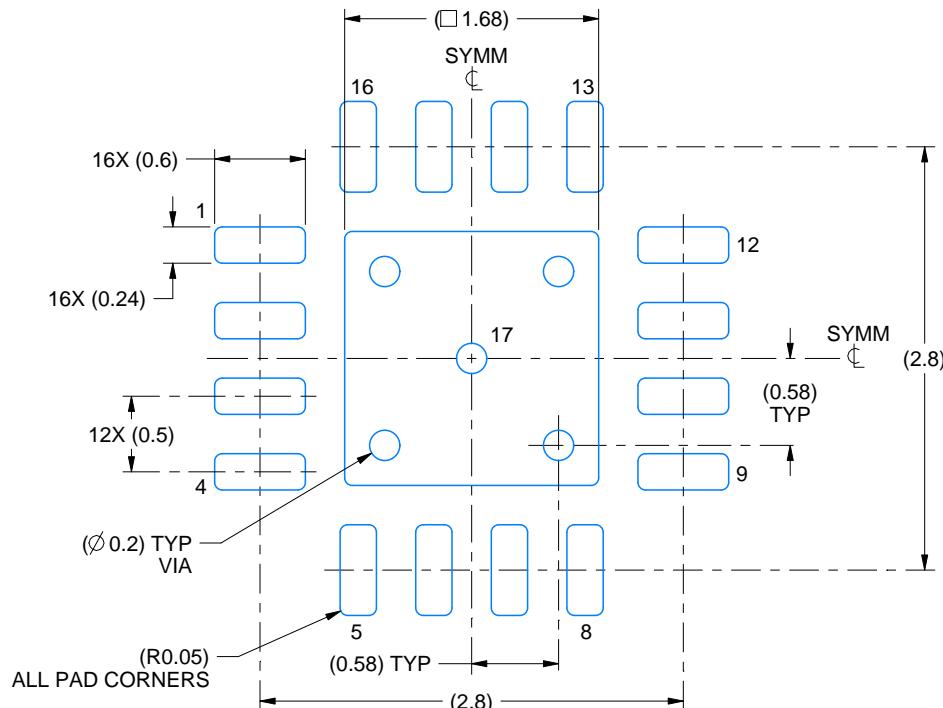
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

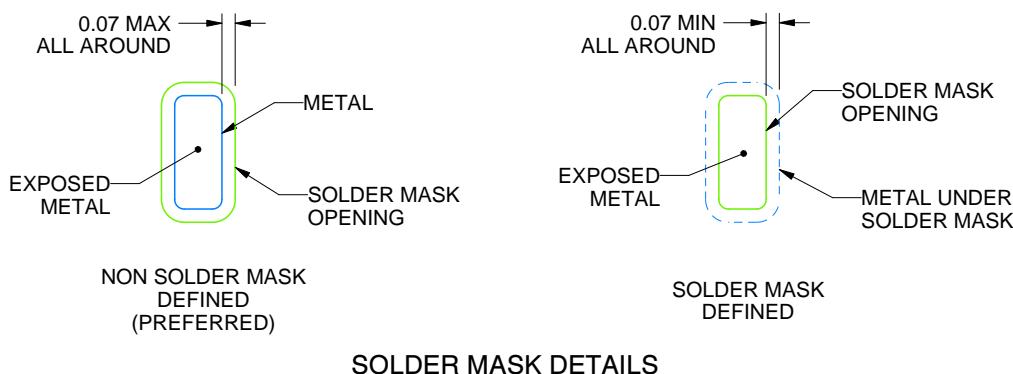
RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



4219117/B 04/2022

NOTES: (continued)

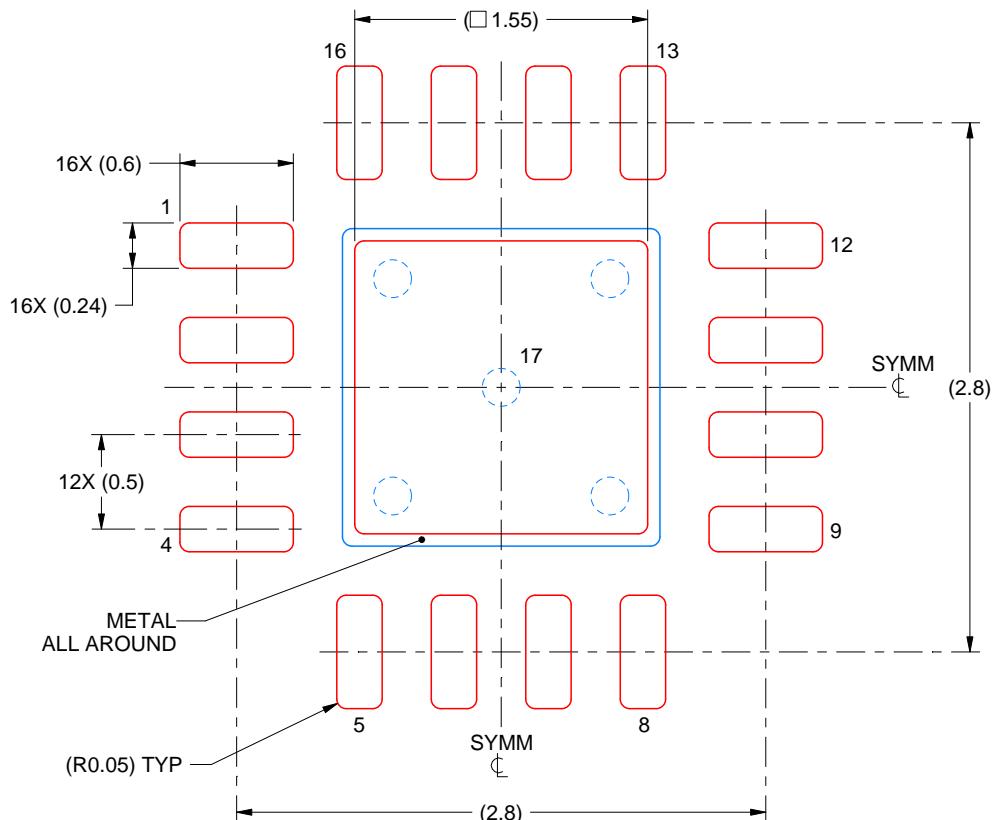
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
 - Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#))、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026 , 德州仪器 (TI) 公司

最后更新日期 : 2025 年 10 月