

ADS1220 集成 PGA 和基准的 4 通道、2kSPS、低功耗、24 位 ADC

1 特性

- 低电流：
占空比模式下低至 $120\mu\text{A}$ (典型值)
- 宽电源电压范围：2.3V 至 5.5V
- 可编程增益：1V/V 至 128V/V
- 可编程数据速率：高达 2kSPS
- 高达 20 位有效分辨率
- 采用单周期稳定数字滤波器，在 20SPS 时实现 50Hz 和 60Hz 谐波抑制
- 两个差分输入或四个单端输入
- 双匹配可编程电流源：
 $10\mu\text{A}$ 至 1.5mA
- 集成 2.048V 基准电压：漂移 $5\text{ppm}/^\circ\text{C}$ (典型值)
- 集成 2% 精准振荡器
- 集成温度传感器：精度 0.5°C (典型值)
- 与 SPI 兼容的接口 (模式 1)
- 封装：3.5mm × 3.5mm × 0.9mm 超薄型四方扁平无引线 (VQFN)

2 应用

- 温度传感器测量：
 - 热敏电阻
 - 热电偶
 - 电阻式温度检测器 (RTD)：
2 线、3 线或 4 线制类型
- 电阻桥式传感器测量：
 - 压力传感器
 - 应力计
 - 衡器
- 便携式仪表
- 工厂自动化和过程控制

3 说明

ADS1220 是一款精密 24 位模数转换器 (ADC)，所集成的多种特性能够降低系统成本并减少小型传感器信号测量应用中的组件数量。该器件具有通过输入多路复用器 (MUX) 实现的两个差分输入或四个单端输入，一个低噪声可编程增益放大器 (PGA)，两个可编程激励电流源，一个电压基准，一个振荡器，一个低侧开关和一个精密温度传感器。

此器件能够以高达 2000 次/秒 (SPS) 采样数据速率执行转换，并且能够在单周期内稳定。针对噪声环境中的工业应用，当采样频率为 20SPS 时，数字滤波器可同时提供 50Hz 和 60Hz 抑制。内部 PGA 提供高达 128V/V 的增益。此 PGA 使得 ADS1220 非常适用于小型传感器信号测量应用，例如电阻式温度检测器 (RTD)、热电偶、热敏电阻和阻性桥式传感器。该器件在使用 PGA 时支持测量伪差分或全差分信号。此外，该器件还可配置为禁用内部 PGA，同时仍提供高输入阻抗和高达 4V/V 的增益，从而实现单端测量。

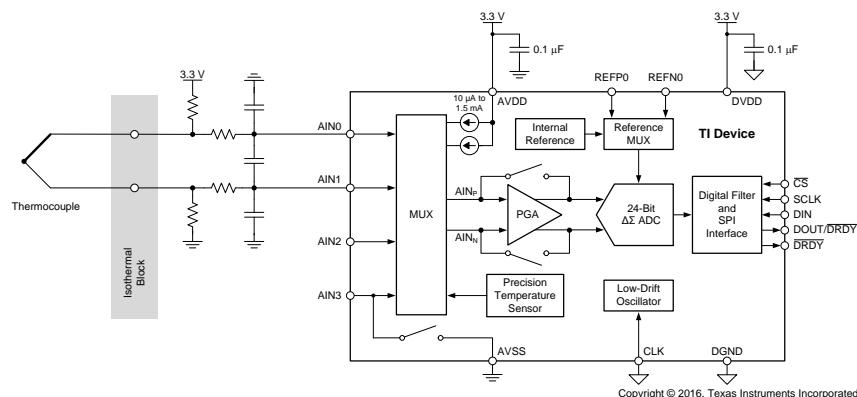
在禁用 PGA 后的占空比模式下运行功耗可低至 $120\mu\text{A}$ 。ADS1220 采用无引线 VQFN-16 或薄型小外形尺寸 (TSSOP)-16 封装，额定工作温度范围为 -40°C 至 $+125^\circ\text{C}$ 。

器件信息⁽¹⁾

器件型号	封装	封装尺寸 (标称值)
ADS1220	VQFN (16)	3.50mm × 3.50mm
	TSSOP (16)	5.00mm × 4.40mm

(1) 要了解所有可用封装，请见数据表末尾的可订购产品附录。

K 型热电偶测量



An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.

目录

1	特性	1	8.5 编程	34
2	应用	1	8.6 寄存器映射	39
3	说明	1	9 应用和实施	44
4	修订历史记录	2	9.1 应用信息	44
5	引脚配置和功能	4	9.2 典型应用	49
6	技术规格	5	10 电源相关建议	60
6.1	绝对最大额定值	5	10.1 电源排序	60
6.2	ESD 额定值	5	10.2 电源斜升速率	60
6.3	建议的工作条件	6	10.3 电源去耦	60
6.4	热性能信息	6	11 布局布线	61
6.5	电气特性	7	11.1 布局布线指南	61
6.6	SPI 时序要求	9	11.2 布局示例	62
6.7	SPI 开关特性	9	12 器件和文档支持	63
6.8	典型特性	10	12.1 文档支持	63
7	参数测量信息	16	12.2 接收文档更新通知	63
7.1	噪声性能	16	12.3 社区资源	63
8	详细说明	19	12.4 商标	63
8.1	概述	19	12.5 静电放电警告	63
8.2	功能框图	19	12.6 Glossary	63
8.3	特性说明	20	13 机械、封装和可订购信息	63
8.4	器件功能模式	32		

4 修订历史记录

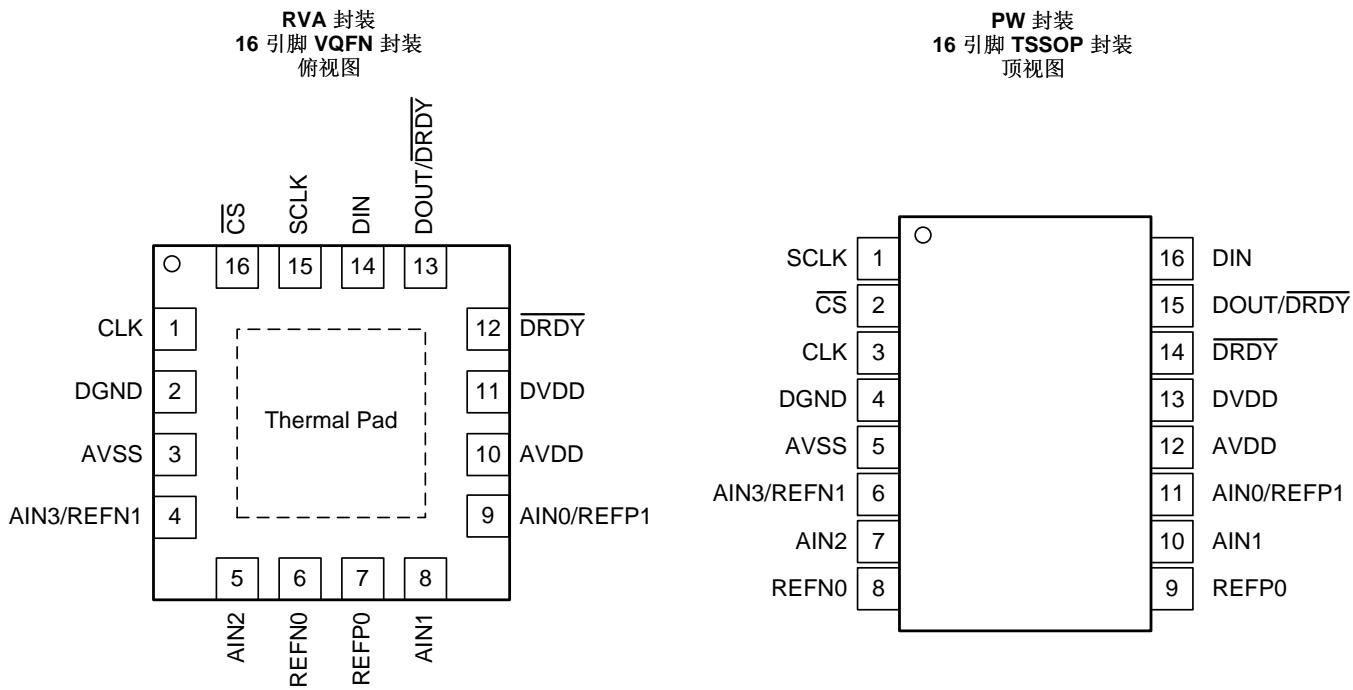
注：之前版本的页码可能与当前版本有所不同。

Changes from Revision B (February 2015) to Revision C	Page
• 已更改 <i>K-Type</i> 热电偶测量图	1
• 已添加 脚注 1 至引脚功能表，同时相应更改了 AIN0/REFP1、AIN1、AIN2、AIN3/REFN1、REFN0 和 REFP0 引脚说明	4
• 已更改 功能框图图片	19
• 已更改 旁路 PGA 部分	24
• 已添加 第四句至温度传感器部分	31
• 已更改 由数字代码转换为温度部分的最后一个公式	31
• 已更改 在 配置寄存器 2 中的位 5:4 的说明	42
• 已添加 未使用的输入和输出部分	47
• 已更改 图 74	49
• 已更改 图 77	52
• 已更改 图 78	55
• 已更改 图 79	56
• 已更改 图 82	58
• 已更改 电源相关建议部分：已更改电源排序小节，已添加电源斜升速率小节	60

Changes from Revision A (July 2013) to Revision B	Page
• 已添加 TI 设计, 器件信息, ESD 额定值, 建议的工作条件, 开关特性表, 应用与实施, 电源相关建议, 布局, 器件和文档支持以及机械、封装和可订购信息部分	1
• 已更改文档标题, 通篇将 QFN 改为 VQFN, 特性, 应用, 说明, 引脚配置和功能, 参数测量信息, 特性描述, 器件功能模式, 编程, 寄存器映射部分以及首页图	1
• 已删除 产品系列表	4
• 已更改 绝对最大额定值表的格式, 已添加最低结温规范, 已更改输入电流参数名称并删除了瞬时输入电流规范	5
• 已更改 模拟输入和电压基准输入部分 (规范值未变更) 并将内部振荡器部分添加至电气特性表	7
• 已更改 系统性能部分: 已更改 V_{IO} 参数名称, 同时将“PGA 禁用”行添加至偏移漂移、增益误差和增益漂移参数中 (属于系统性能部分。该部分位于电气特性表中)	7
• 已更改 内部电压基准部分: 已更改基准漂移参数最大规范值, 同时添加了长期漂移参数 (位于电气特性表中)	7
• 已删除 时钟源部分, 同时更改了温度传感器和电源部分 (规范值未变更) (位于电气特性表中)	8
• 已更改 数字输入/输出部分、 V_{IL} 参数最小规范值 (位于电气特性表中)	8
• 已更改 SPI 时序要求和图 1 (规范值未发生更改), 已添加 SPI 开关特性和图 2	9
• 已更改 典型特性部分的格式 (实际曲线保持不变)	10

Changes from Original (May 2013) to Revision A	Page
• 已更改 文档状态至“混合状态”; 通篇进行 pre-RTM 修改	1

5 引脚配置和功能



引脚功能

引脚		编号		模拟或数字 输入/输出	说明 ⁽¹⁾
名称	RVA	PW			
AIN0/REFP1	9	11	模拟输入		模拟输入 0, 正基准输入 1
AIN1	8	10	模拟输入		模拟输入 1
AIN2	5	7	模拟输入		模拟输入 2
AIN3/REFN1	4	6	模拟输入		模拟输入 3, 负基准输入 1。 AIN3/REFN1 和 AVSS 间已连接内部低侧电源开关。
AVDD	10	12	模拟		正模拟电源
AVSS	3	5	模拟		负模拟电源
CLK	1	3	数字输入		外部时钟源引脚。如果不使用该引脚, 则与 DGND 相连。
CS	16	2	数字输入		片选: 低电平有效。如果不使用该引脚, 则与 DGND 相连。
DGND	2	4	数字		数字接地
DIN	14	16	数字输入		串行数据输入
DOUT/DRDY	13	15	数字输出		与数据就绪相结合的串行数据输出; 低电平有效
DRDY	12	14	数字输出		数据准备就绪, 低电平有效。 如果不使用该引脚, 则保持断开状态, 或通过弱上拉电阻与 DVDD 相连。
DVDD	11	13	数字		正数字电源
REFN0	6	8	模拟输入		负基准输入 0
REFP0	7	9	模拟输入		正基准输入 0
SCLK	15	1	数字输入		串行时钟输入
散热焊盘	—		—		散热 PowerPAD。请勿连接该引脚, 或仅与 AVSS 相连。

(1) 有关未使用引脚的连接方式, 请参见[未使用的输入和输出](#)部分。

6 技术规格

6.1 绝对最大额定值⁽¹⁾

		最小值	最大值	单位
电源电压	AVDD 至 AVSS	-0.3	7	V
	DVDD 至 DGND	-0.3	7	V
	AVSS 至 DGND	-2.8	0.3	V
模拟输入电压	AIN0/REFP1、AIN1、AIN2、AIN3/REFN1、REFP0、REFN0	AVSS – 0.3	AVDD + 0.3	V
数字输入电压	\overline{CS} 、SCLK、DIN、DOUT/DRDY、DRDY、CLK	DGND – 0.3	DVDD + 0.3	V
输入电流	连续, 除电源引脚外的任意引脚	-10	10	mA
温度	结温, T_J	-40	150	°C
	储存, T_{stg}	-60	150	°C

(1) 超出绝对最大额定值下列出的应力值可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况, 对于额定值下的器件的功能性操作以及在超出推荐的操作条件下的任何其它操作, 在此并未说明。在绝对最大额定值条件下长时间运行会影响器件可靠性。

6.2 ESD 额定值

		值	单位
$V_{(ESD)}$	静电放电	人体放电模式 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	± 2000
		组件充电模式 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	± 500

(1) JEDEC 文档 JEP155 规定: 500V HBM 能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 规定: 250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议的工作条件

在工作环境温度范围内（除非另外注明）

		最小值	标称值	最大值	单位
电源					
单极模拟电源	AVDD 至 AVSS	2.3		5.5	V
	AVSS 至 DGND	-0.1	0	0.1	
双极模拟电源	AVDD 至 DGND	2.3	2.5	2.75	V
	AVSS 至 DGND	-2.75	-2.5	-2.3	
数字电源	DVDD 至 DGND	2.3		5.5	V
模拟输入⁽¹⁾					
V_{IN}	$V_{IN} = V_{(AINP)} - V_{(AINN)}$ ⁽²⁾	$-V_{ref}$ / 增益	V_{ref} / 增益		V
$V_{(AINx)}$	PGA 禁用, 增益 = 1 至 4	AVSS - 0.1	AVDD + 0.1		V
	PGA 启用, 增益 = 1 至 128	请参见 低噪声 PGA 部分			
V_{CM}	PGA 禁用, 增益 = 1 至 4	AVSS - 0.1	AVDD + 0.1		V
	PGA 启用, 增益 = 1 至 128	请参见 低噪声 PGA 部分			
基准电压输入⁽³⁾					
V_{ref}	$V_{ref} = V_{(REFPx)} - V_{(REFNx)}$	0.75	2.5	AVDD	V
$V_{(REFNx)}$	绝对负基准电压	AVSS - 0.1	$V_{(REFPx)} - 0.75$		V
$V_{(REFPx)}$	绝对正基准电压	$V_{(REFNx)} + 0.75$	AVDD + 0.1		V
外部时钟源					
$f_{(CLK)}$	外部时钟频率	0.5	4.096	4.5	MHz
	占空比	40%		60%	
数字输入					
	输入电压	DGND		DVDD	V
温度范围					
T_A	运行环境温度	-40		125	°C

- (1) AIN_P 和 AIN_N 表示 PGA 的正负输入。 AIN_x 表示提供的四个模拟输入之一。
 PGA 禁用表示关闭并旁路低噪声 PGA。在这种情况下，仍支持增益值 1、2 和 4。
 更多相关信息，请参见 [章节](#)。
- (2) 排除偏移和增益误差的影响。
 当启用 PGA 时，限制为 $\pm[(AVDD - AVSS) - 0.4V]$ / 增益。
- (3) $REFPx$ 和 $REFNx$ 表示提供的两个差分基准输入对之一。

6.4 热性能信息

热指标 ⁽¹⁾	ADS1220		单位
	VQFN (RVA)	TSSOP (PW)	
	16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	43.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	47.3	°C/W
$R_{\theta JB}$	结至电路板热阻	18.4	°C/W
Ψ_{JT}	管结至顶部的特征参数	0.6	°C/W
Ψ_{JB}	管结至电路板的特征参数	18.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	2.0	不适用

- (1) 有关传统和新热指标的详细信息，请参见应用报告 [《IC 封装热指标》](#)（文献编号：SPRA953）。

6.5 电气特性

最小和最大规范值适用于 $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 的温度范围。典型规范值在 $T_A = 25^\circ\text{C}$ 下测定。

所有规范值均在 $\text{AVDD} = 3.3\text{V}$ 、 $\text{AVSS} = 0\text{V}$ 、 $\text{DVDD} = 3.3\text{V}$ 、**PGA** 启用、 $\text{DR} = 20\text{SPS}$ 以及外部 $V_{\text{ref}} = 2.5\text{V}$ 的情况下测定（除非另外注明）。⁽¹⁾

参数	测试条件	最小值	典型值	最大值	单位
模拟输入					
绝对输入电流		请参见 典型特性			
差分输入电流		请参见 典型特性			
系统性能					
分辨率 (无代码丢失)		24			位
DR 数据传输速率	正常模式	20、45、90、175、330、600、1000			SPS
	占空比模式	5、11.25、22.5、44、82.5、150、250			
	Turbo 模式	40、90、180、350、660、1200、2000			
输入参考噪声		请参见 噪声性能 部分			
INL 积分非线性	增益 = 1 至 128, $V_{\text{CM}} = 0.5 \text{ AVDD}$, 最适条件 ⁽²⁾	-15	± 6	15	ppm_{FSR}
V_{IO} 输入偏移电压	PGA 禁用, 增益 = 1 至 4, 差分输入	± 4			μV
	增益 = 1, 差分输入, $T_A = 25^\circ\text{C}$	-30	± 4	30	
	增益 = 2 至 128, 差分输入	± 4			
偏移漂移	PGA 禁用, 增益 = 1 至 4	0.25			$\mu\text{V}/^\circ\text{C}$
	增益 = 1 至 128, $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ ⁽²⁾	0.08		0.3	
	增益 = 1 至 128	0.25			
偏移匹配	在任意两输入间匹配	± 20			μV
增益误差	PGA 禁用, 增益 = 1 至 4	$\pm 0.015\%$			
	增益 = 1 至 128, $T_A = 25^\circ\text{C}$	-0.1%	$\pm 0.015\%$	0.1%	
增益漂移	PGA 禁用, 增益 = 1 至 4	1			$\text{ppm}/^\circ\text{C}$
	增益 = 1 至 128 ⁽²⁾	1		4	
NMRR 常模抑制比 ⁽²⁾	50Hz $\pm 3\%$, DR = 20SPS, 外部 CLK, 50/60 位 = 10	105			dB
	60Hz $\pm 3\%$, DR = 20SPS, 外部 CLK, 50/60 位 = 11	105			
	50Hz 或 60Hz $\pm 3\%$, DR = 20SPS, 外部 CLK, 50/60 位 = 01	90			
CMRR 共模抑制比	直流条件下的增益 = 1	90	105		dB
	$f_{(\text{CM})} = 50\text{Hz}$, DR = 2000SPS ⁽²⁾	95	115		
	$f_{(\text{CM})} = 60\text{Hz}$, DR = 2000SPS ⁽²⁾	95	115		
PSRR 电源抑制比	直流条件下的 AVDD, $V_{\text{CM}} = 0.5 \text{ AVDD}$, 增益 = 1	80	105		dB
	直流条件下的 DVDD, $V_{\text{CM}} = 0.5 \text{ AVDD}$, 增益 = 1 ⁽²⁾	100	115		
内部参考基准					
初始精度	$T_A = 25^\circ\text{C}$	2.045	2.048	2.051	V
基准漂移 ⁽²⁾)	5	30		$\text{ppm}/^\circ\text{C}$
长期漂移	1000 小时	110			ppm
电压基准输入					
基准输入电流	$\text{REFP0} = V_{\text{ref}}$, $\text{REFN0} = \text{AVSS}$	± 10			nA
内部振荡器					
内部振荡器精度	正常模式	-2%	$\pm 1\%$	2%	

(1) **PGA** 禁用表示低噪声 **PGA** 掉电并对其进行了旁路。在这种情况下, 仍支持增益值 1、2 和 4。

更多相关信息, 请参见 [旁路 PGA](#) 章节。

(2) 通过设计和特性分析数据确保最小值和最大值。

电气特性 (接下页)

最小和最大规范值适用于 $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 的温度范围。典型规范值在 $T_A = 25^\circ\text{C}$ 下测定。
所有规范值均在 $\text{AVDD} = 3.3\text{V}$ 、 $\text{AVSS} = 0\text{V}$ 、 $\text{DVDD} = 3.3\text{V}$ 、PGA 启用、 $\text{DR} = 20\text{SPS}$ 以及外部 $\text{V}_{\text{ref}} = 2.5\text{V}$ 的情况下测定
(除非另外注明)。⁽¹⁾

参数	测试条件	最小值	典型值	最大值	单位
激励电流源 (IDAC)					
电流设置		10、50、100、250、500、1000、1500			μA
合规电压	所有电流设置			$\text{AVDD} - 0.9$	V
精度	所有电流设置, 每个 IDAC	-6%	$\pm 1\%$	6%	
电流匹配	IDAC 之间 (对于 $10\mu\text{A}$ 设置无效)		$\pm 0.3\%$		
温度漂移	每个 IDAC (对于 $10\mu\text{A}$ 设置无效)	50			$\text{ppm/ }^\circ\text{C}$
温度漂移匹配	IDAC 之间 (对于 $10\mu\text{A}$ 设置无效)	10			$\text{ppm/ }^\circ\text{C}$
温度传感器					
转换分辨率		14			位数 (Bit)
温度分辨率		0.03125			$^\circ\text{C}$
精度	$T_A = 0^\circ\text{C}$ 至 $+75^\circ\text{C}$	-0.5	± 0.25	0.5	$^\circ\text{C}$
	$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	-1	± 0.5	1	
精度与模拟电源电压间的关系		0.0625	0.25		$^\circ\text{C/V}$
低侧电源开关					
R_{ON}	导通电阻	3.5	5.5		Ω
	流经开关的电流		30		mA
数字输入/输出					
V_{IH}	高电平输入电压	0.7 DVDD	DVDD		V
V_{IL}	低电平输入电压	DGND	0.3 DVDD		V
V_{OH}	高电平输出电压	0.8 DVDD			V
V_{OL}	低电平输出电压	0.2 DVDD			V
I_{H}	输入漏电流, 高电平	$\text{V}_{\text{IH}} = 5.5\text{V}$	-10	10	μA
I_{L}	输入漏电流, 低电平	$\text{V}_{\text{IL}} = \text{DGND}$	-10	10	μA
电源					
I_{AVDD}	掉电模式	0.1	3		μA
	占空比模式, PGA 禁用	65			
	占空比模式, 增益 = 1 至 16	95			
	占空比模式, 增益 = 32	115			
	占空比模式, 增益 = 64、128	135			
	正常模式, PGA 禁用	240			
	正常模式, 增益 = 1 至 16	340	490		
	正常模式, 增益 = 32	425			
	正常模式, 增益 = 64、128	510			
	Turbo 模式, PGA 禁用	360			
	Turbo 模式, 增益 = 1 至 16	540			
	Turbo 模式, 增益 = 32	715			
	Turbo 模式, 增益 = 64、128	890			
I_{DVDD}	掉电模式	0.3	5		μA
	占空比模式	55			
	正常模式	75	110		
	Turbo 模式	95			
P_{D}	占空比模式, PGA 禁用	0.4			mW
	正常模式, 增益 = 1 至 16	1.4			
	Turbo 模式, 增益 = 1 至 16	2.1			

(3) 已选择内部电压基准, 启用内部振荡器, IDAC 关闭, 同时处于持续转换模式。

选择外部基准时, 模拟电源电流通常增加 $70\mu\text{A}$ (正常模式, Turbo 模式)。

启用 IDAC 时, 模拟电源电流通常增加 $190\mu\text{A}$ (排除实际 IDAC 电流)。

6.6 SPI 时序要求

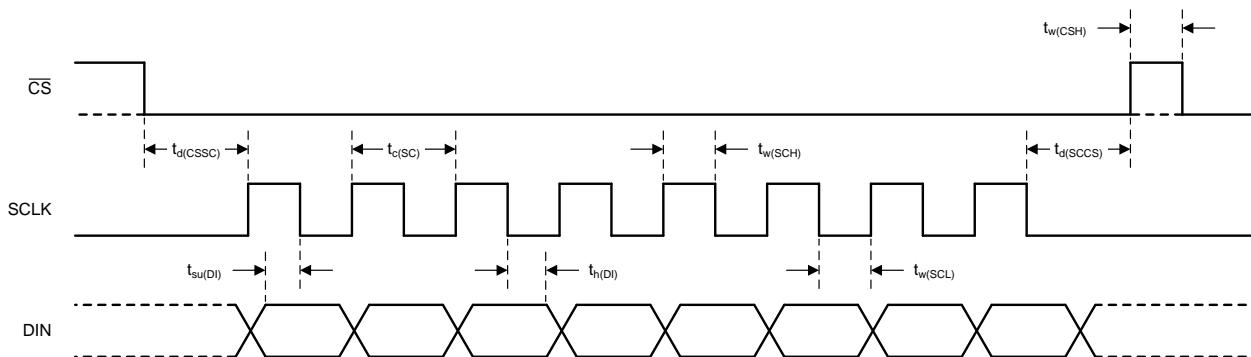
在工作环境温度范围内, DVDD = 2.3V 至 5.5V (除非另外注明)

		最小值	最大值	单位
$t_{d(\text{CSSC})}$	延迟时间, $\overline{\text{CS}}$ 下降沿至第一个 SCLK 上升沿 ⁽¹⁾	50	ns	
$t_{d(\text{SCCS})}$	延迟时间, 最终 SCLK 下降沿至 $\overline{\text{CS}}$ 上升沿	25	ns	
$t_{w(\text{CSH})}$	脉冲持续时间, $\overline{\text{CS}}$ 为高电平	50	ns	
$t_{c(\text{SC})}$	SCLK 周期	150	ns	
$t_{w(\text{SCH})}$	脉冲持续时间, SCLK 为高电平	60	ns	
$t_{w(\text{SCL})}$	脉冲持续时间, SCLK 为低电平	60	ns	
$t_{su(\text{DI})}$	建立时间, DIN 在 SCLK 下降沿前有效	50	ns	
$t_{h(\text{DI})}$	保持时间, DIN 在 SCLK 下降沿后有效	25	ns	
SPI 超时 ⁽²⁾	正常模式, 占空比模式	13955	$t_{(\text{MOD})}$	
	Turbo 模式	27910	$t_{(\text{MOD})}$	

(1) 当不与其他任何器件共享总线时, $\overline{\text{CS}}$ 可永久连接低电平。

(2) 更多相关信息, 请参见 [SPI 超时](#) 部分。

$t_{(\text{MOD})} = 1 / f_{(\text{MOD})}$ 。使用内部振荡器或 4.096MHz 外部时钟时, 调制器频率 $f_{(\text{MOD})} = 256\text{kHz}$ (正常模式, 占空比模式) 和 512kHz (Turbo 模式)。



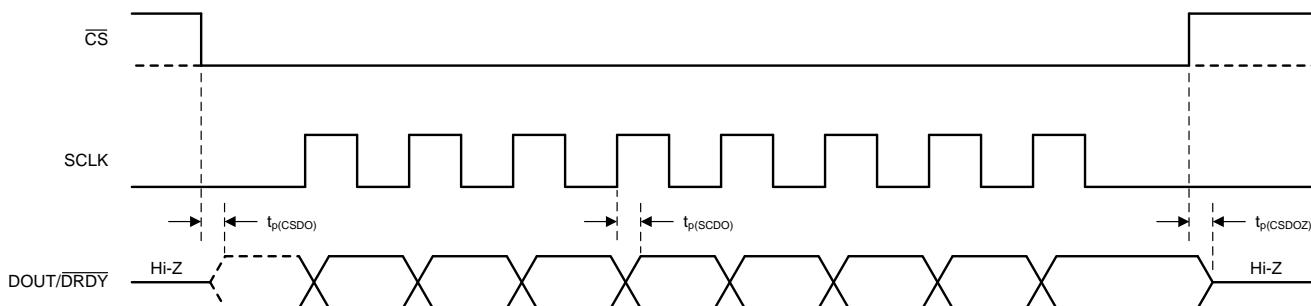
注: 图中所示为单字节通信。实际通信可能涉及多个字节。

图 1. 串行接口时序要求

6.7 SPI 开关特性

在工作环境温度范围内, DVDD = 2.3V 至 5.5V (除非另外注明)

参数	测试条件	最小值	典型值	最大值	单位
$t_{p(\text{CSDO})}$	传播延迟时间, $\overline{\text{CS}}$ 下降沿至 DOUT 驱动	50	ns	ns	
$t_{p(\text{SCDO})}$	传播延迟时间, SCLK 上升沿至新的有效 DOUT	0	50	ns	
$t_{p(\text{CSDOZ})}$	传播延迟时间, $\overline{\text{CS}}$ 上升沿至 DOUT 高阻抗	50	ns	ns	



注: 图中所示为单字节通信。实际通信可能涉及多个字节。

图 2. 串行接口开关特性

6.8 典型特性

$T_A = 25^\circ\text{C}$ 时, $\text{AVDD} = 3.3\text{V}$, $\text{AVSS} = 0\text{V}$, 已启用 PGA 并使用外部基准 $V_{\text{ref}} = 2.5\text{V}$ (除非另外注明)。

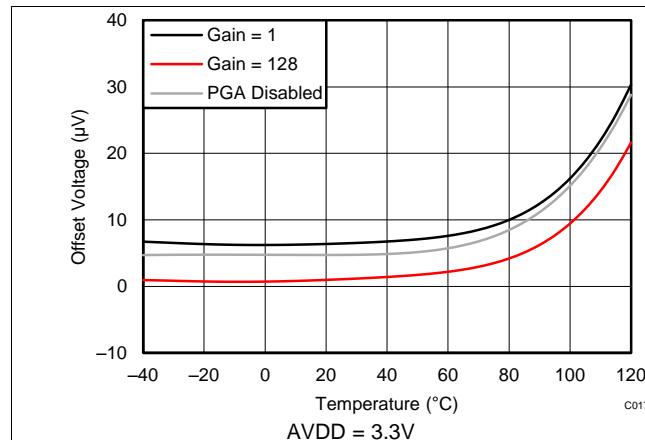


图 3. 相对输入的偏移电压与温度间的关系

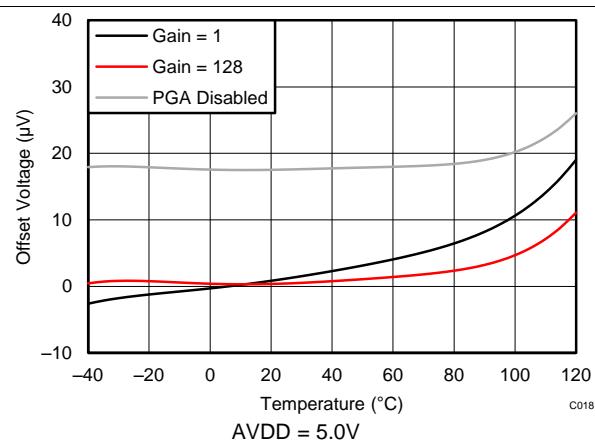


图 4. 相对输入的偏移电压与温度间的关系

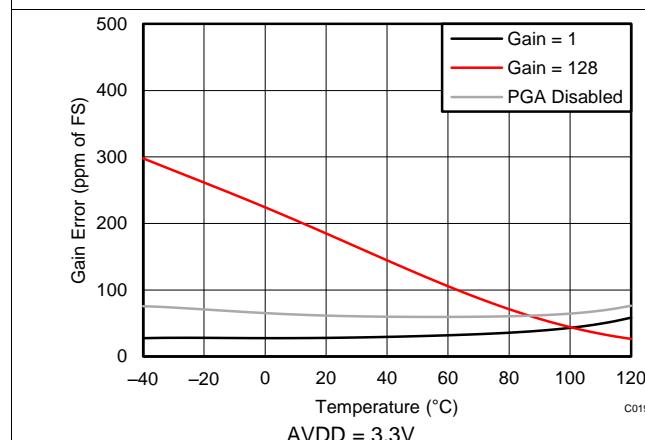


图 5. 增益误差与温度间的关系

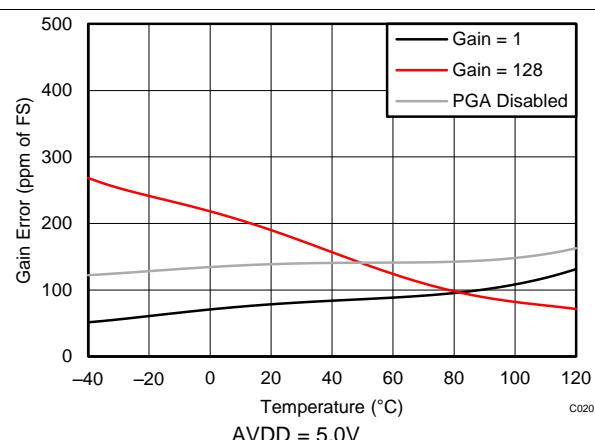


图 6. 增益误差与温度间的关系

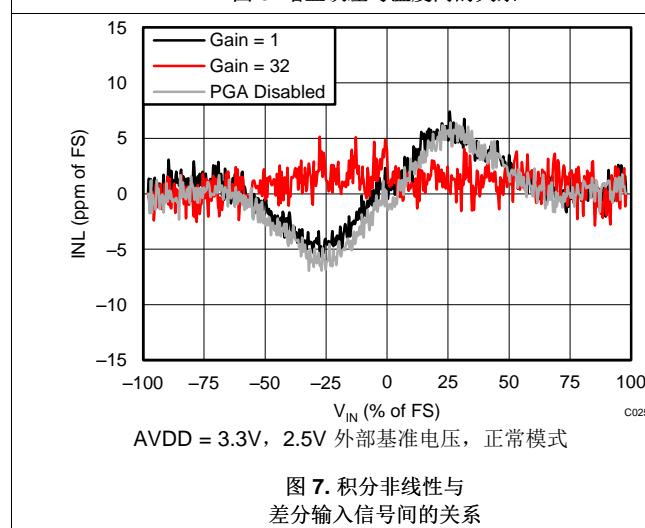


图 7. 积分非线性与差分输入信号间的关系

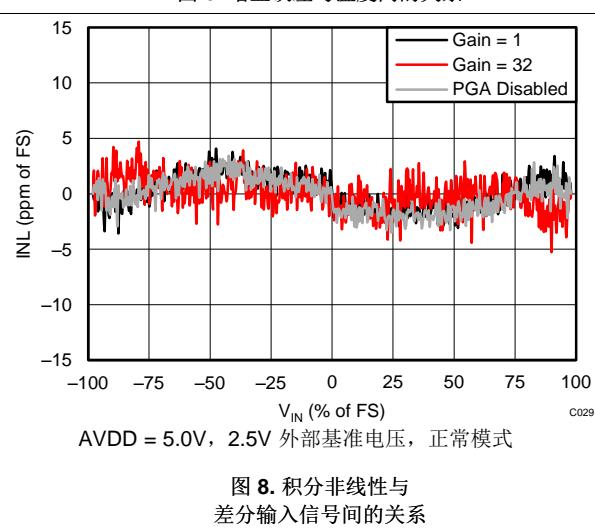
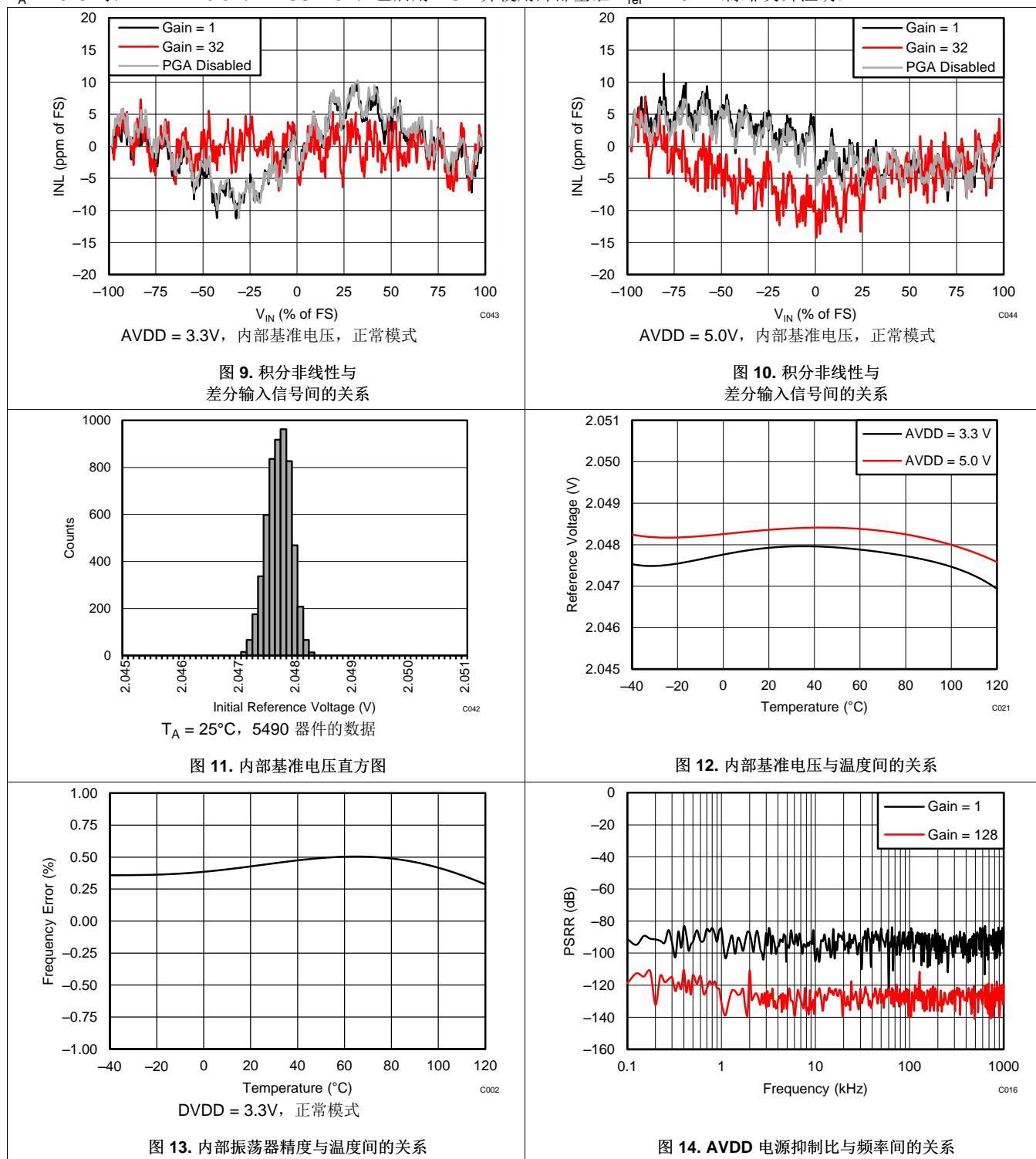


图 8. 积分非线性与差分输入信号间的关系

典型特性 (接下页)

$T_A = 25^\circ\text{C}$ 时, $\text{AVDD} = 3.3\text{V}$, $\text{AVSS} = 0\text{V}$, 已启用 PGA 并使用外部基准 $V_{\text{ref}} = 2.5\text{V}$ (除非另外注明)。



典型特性 (接下页)

$T_A = 25^\circ\text{C}$ 时, $\text{AVDD} = 3.3\text{V}$, $\text{AVSS} = 0\text{V}$, 已启用 PGA 并使用外部基准 $V_{\text{ref}} = 2.5\text{V}$ (除非另外注明)。

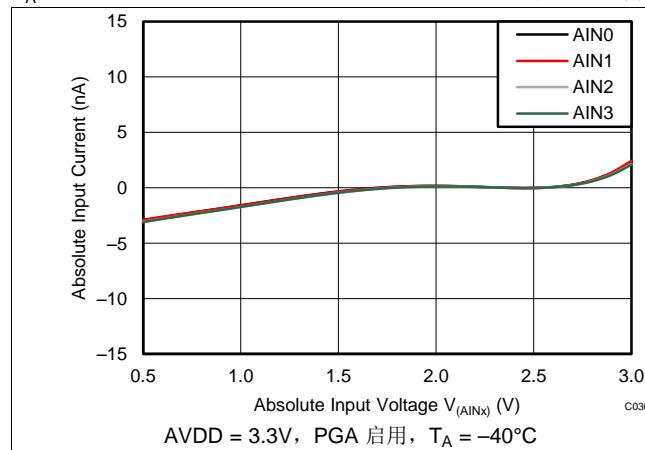


图 15. 绝对输入电流与
绝对输入电压间的关系

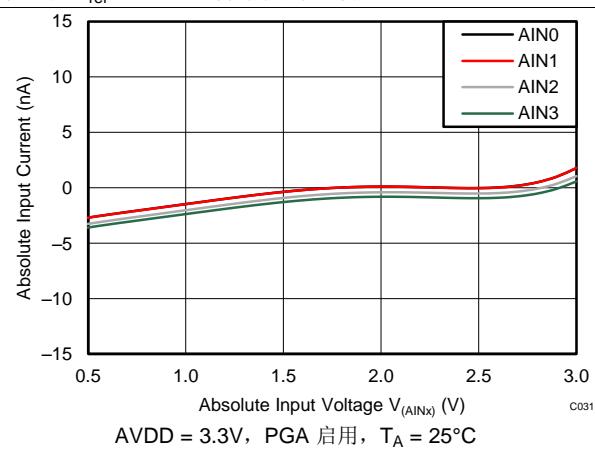


图 16. 绝对输入电流与
绝对输入电压间的关系

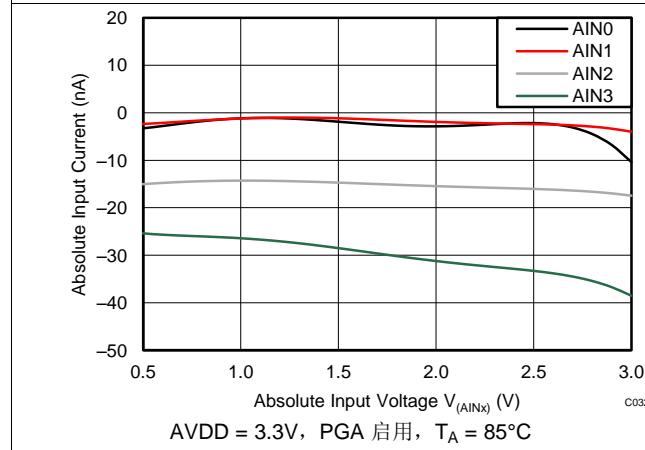


图 17. 绝对输入电流与
绝对输入电压间的关系

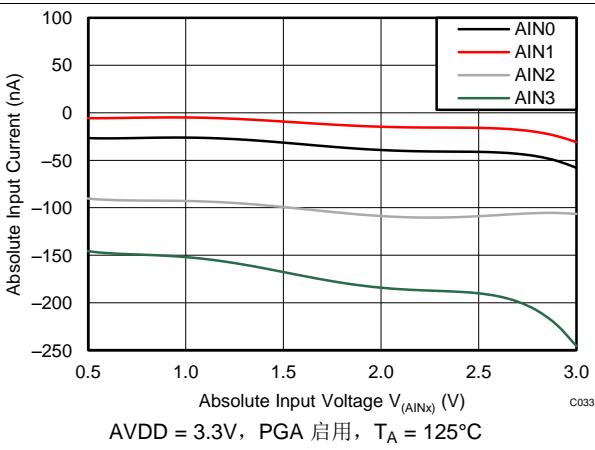


图 18. 绝对输入电流与
绝对输入电压间的关系

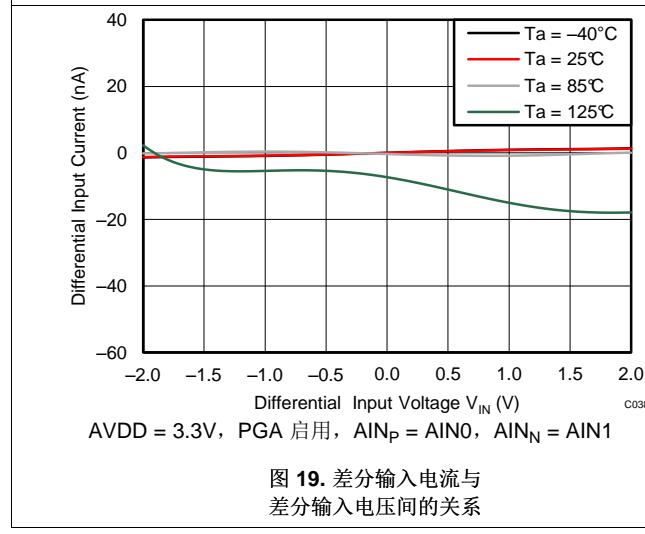


图 19. 差分输入电流与
差分输入电压间的关系

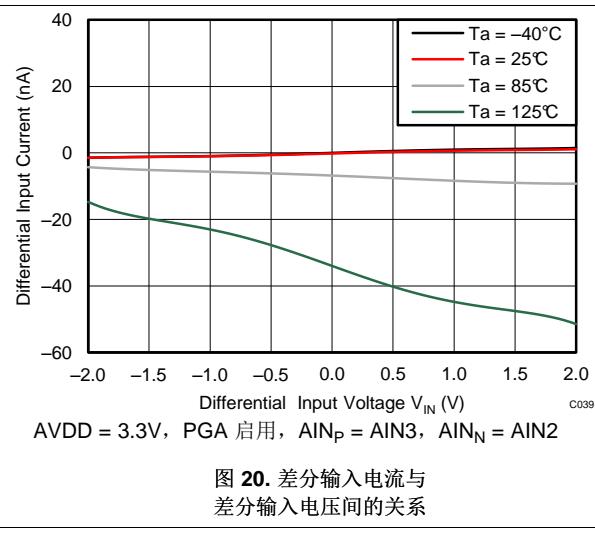


图 20. 差分输入电流与
差分输入电压间的关系

典型特性 (接下页)

$T_A = 25^\circ\text{C}$ 时, $\text{AVDD} = 3.3\text{V}$, $\text{AVSS} = 0\text{V}$, 已启用 PGA 并使用外部基准 $V_{\text{ref}} = 2.5\text{V}$ (除非另外注明)。

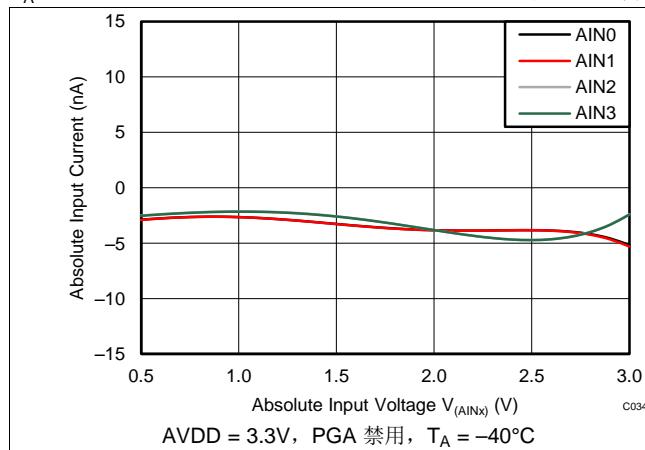


图 21. 绝对输入电流与
绝对输入电压间的关系

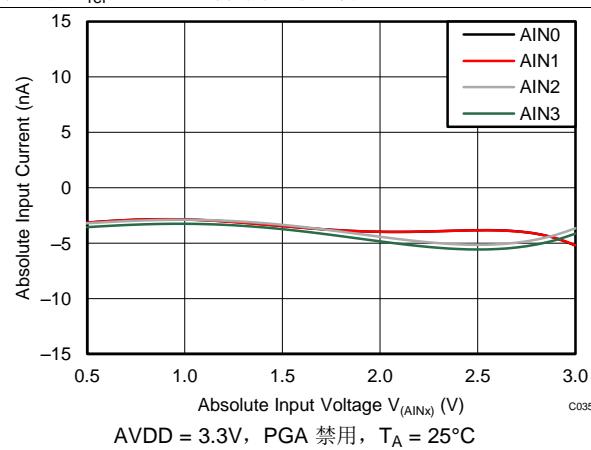


图 22. 绝对输入电流与
绝对输入电压间的关系

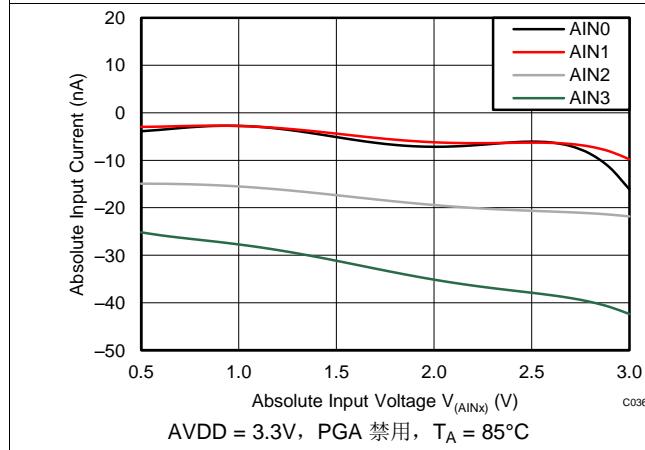


图 23. 绝对输入电流与
绝对输入电压间的关系

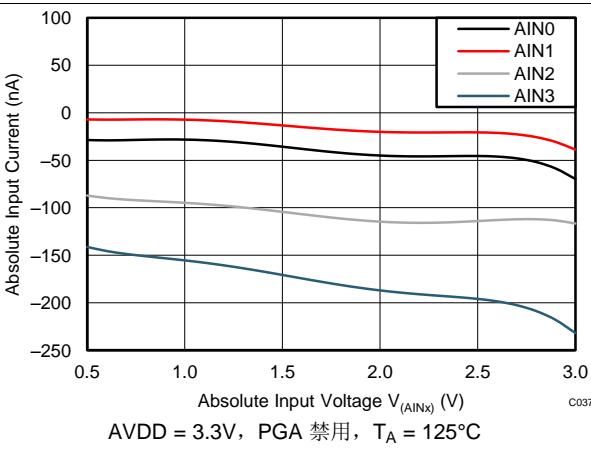


图 24. 绝对输入电流与
绝对输入电压间的关系

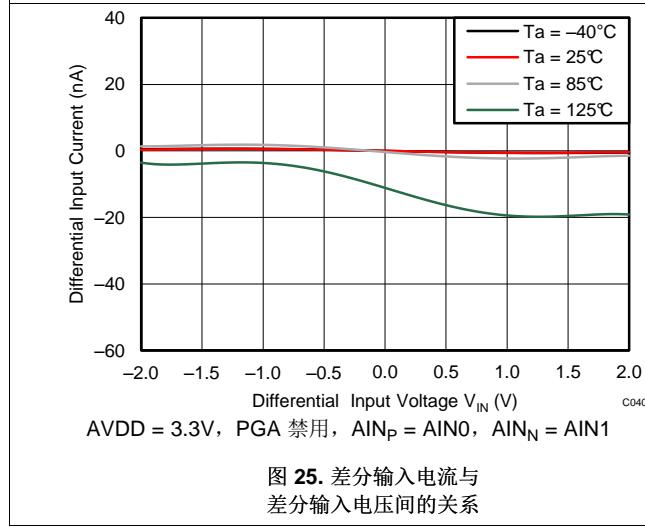


图 25. 差分输入电流与
差分输入电压间的关系

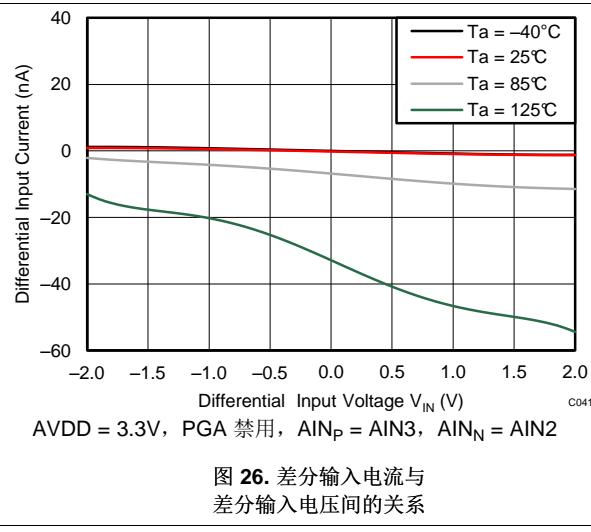


图 26. 差分输入电流与
差分输入电压间的关系

典型特性 (接下页)

$T_A = 25^\circ\text{C}$ 时, $\text{AVDD} = 3.3\text{V}$, $\text{AVSS} = 0\text{V}$, 已启用 PGA 并使用外部基准 $V_{\text{ref}} = 2.5\text{V}$ (除非另外注明)。

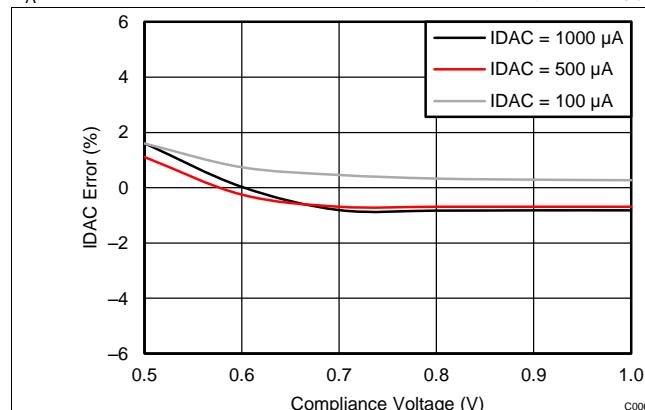


图 27. IDAC 精度与合规电压间的关系

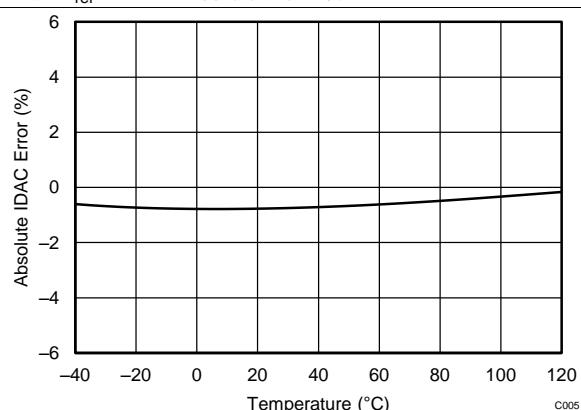


图 28. IDAC 精度与温度间的关系

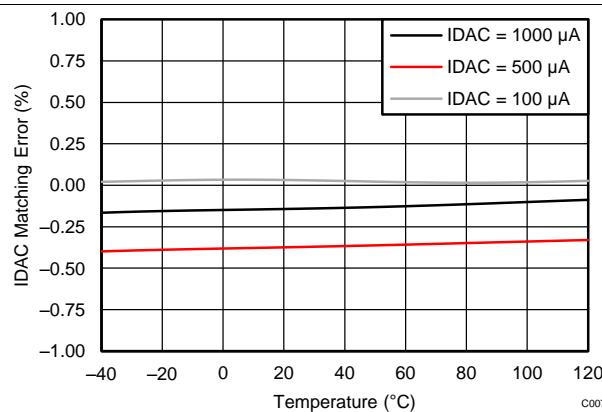
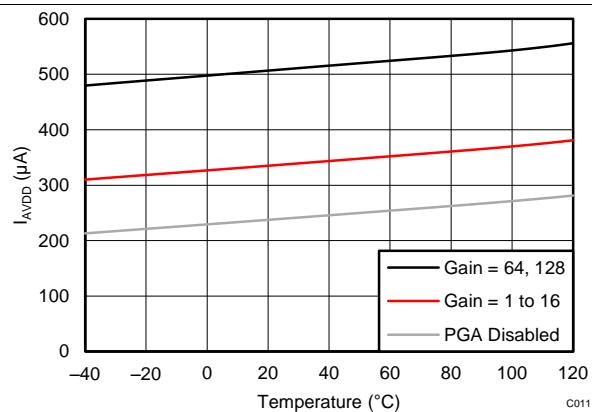
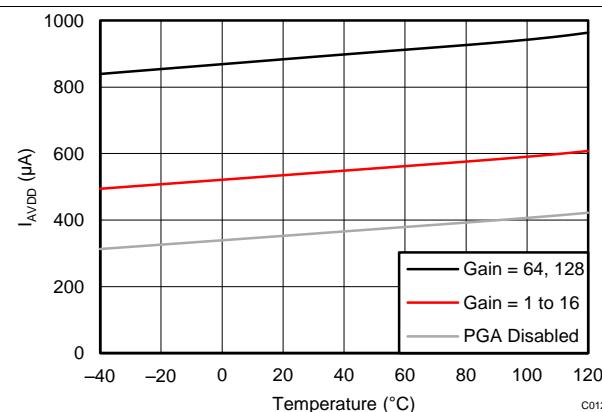


图 29. IDAC 匹配与温度间的关系



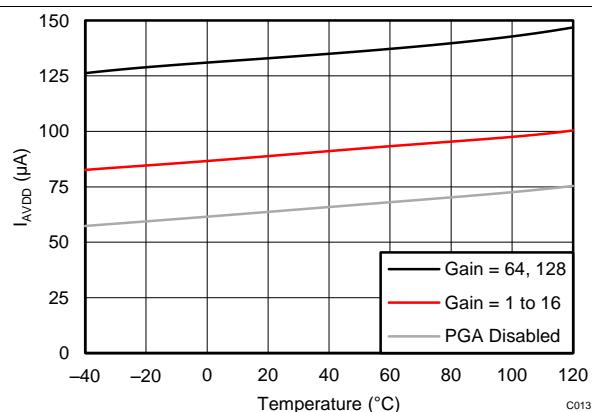
AVDD = 3.3V, 内部基准电压, 正常模式

图 30. I_AVDD 与温度间的关系



AVDD = 3.3V, 内部基准电压, Turbo 模式

图 31. I_AVDD 与温度间的关系

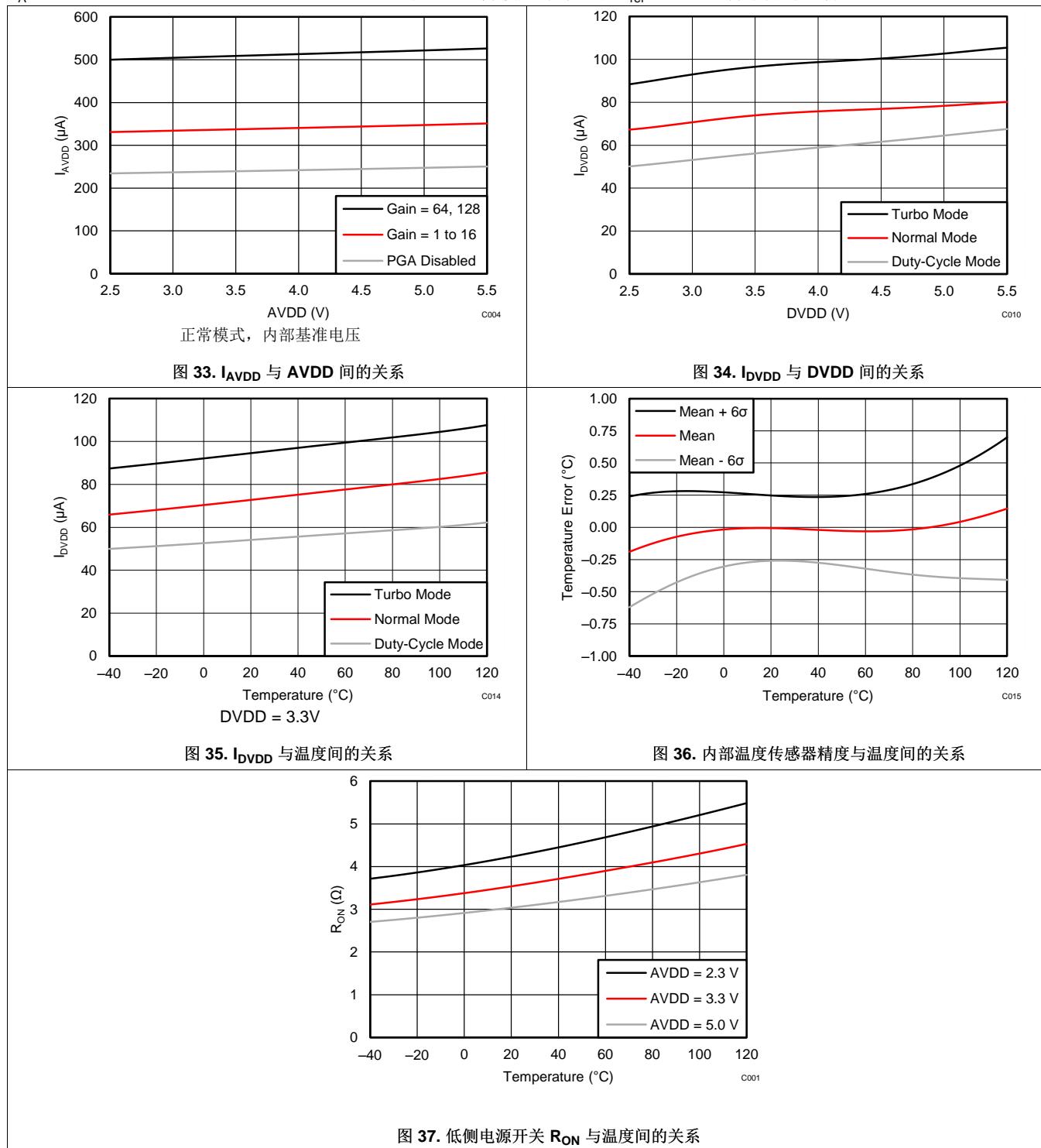


AVDD = 3.3V, 内部基准电压, 占空比模式

图 32. I_AVDD 与温度间的关系

典型特性 (接下页)

$T_A = 25^\circ\text{C}$ 时, $\text{AVDD} = 3.3\text{V}$, $\text{AVSS} = 0\text{V}$, 已启用 PGA 并使用外部基准 $V_{\text{ref}} = 2.5\text{V}$ (除非另外注明)。



7 参数测量信息

7.1 噪声性能

Δ - Σ (Δ Σ) 模数转换器 (ADC) 基于过采样原则。 Δ Σ ADC 的输入信号在高频下 (调制器频率) 进行采样, 随后在数字域中进行滤波和抽取, 从而在相应输出数据传输速率下生成转换结果。调制器频率与输出数据传输速率的比值称为过采样率 (OSR)。通过增加 OSR 并降低输出数据传输速率, ADC 的噪声性能可以被优化。即当输出数据传输速率下降时, 获取一个转换结果需要对内部调制器的更多样本求取平均值, 因此输入参考噪声下降。增大增益同样能够降低输入参考噪声, 这在测量低幅度信号时非常有效。

表 1 至表 8 总结了器件的噪声性能。这些数据代表 $T_A = 25^\circ\text{C}$ 并使用 2.048V 内部基准电压时的典型噪声性能。显示的数据为在约 0.75 秒的时间内针对单一器件读数求取平均值的结果, 此类数据的测定条件为输入以内部方式短接在一起。表 1、表 3、表 5 和表 7 列出了不同条件下输入参考噪声 (单位为 μV_{RMS})。请注意, μV_{PP} 值在括号中显示。表 2、表 4、表 6 和表 8 列出了根据 μV_{RMS} 值计算得出的相应数据有效位数 (ENOB)。该计算过程通过公式 1 完成。请注意, 使用公式 2 并根据噪声峰峰值计算得出的无噪声位在括号中显示。

输入can的噪声 (表 1、表 3、表 5 和表 7) 仅在使用外部低噪声基准 (例如, REF5020) 时略有变化。要在使用除 2.048V 外的其他基准电压时计算 ENOB 数和无噪声位, 请使用公式 1 至公式 3:

$$\text{ENOB} = \ln(\text{满量程范围} / \text{V}_{\text{RMS-噪声}}) / \ln(2) \quad (1)$$

$$\text{无噪声位} = \ln(\text{满量程范围} / \text{V}_{\text{PP-噪声}}) / \ln(2) \quad (2)$$

$$\text{满量程范围} = 2 \cdot \text{V}_{\text{ref}} / \text{增益} \quad (3)$$

表 1. 噪声, 单位为 μV_{RMS} (μV_{PP})
条件: $\text{AVDD} = 3.3\text{V}$, $\text{AVSS} = 0\text{V}$, 正常模式, 内部基准电压 = 2.048V

数据传输速率 (SPS)	增益 (PGA 启用)							
	1	2	4	8	16	32	64	128
20	3.71 (13.67)	1.54 (5.37)	1.15 (4.15)	0.80 (3.36)	0.35 (1.16)	0.23 (0.73)	0.10 (0.35)	0.09 (0.41)
45	7.36 (29.54)	2.93 (13.06)	1.71 (9.28)	0.88 (4.06)	0.50 (2.26)	0.29 (1.49)	0.19 (0.82)	0.12 (0.51)
90	10.55 (47.36)	4.50 (20.75)	2.43 (11.35)	1.51 (6.65)	0.65 (3.62)	0.42 (2.14)	0.27 (1.22)	0.18 (0.85)
175	11.90 (63.72)	6.45 (34.06)	3.26 (17.76)	1.82 (11.20)	1.01 (5.13)	0.57 (3.09)	0.34 (2.14)	0.26 (1.60)
330	19.19 (106.93)	9.38 (50.78)	4.25 (26.25)	2.68 (14.13)	1.45 (7.52)	0.79 (4.66)	0.50 (2.69)	0.34 (1.99)
600	24.78 (151.61)	13.35 (72.27)	6.68 (39.43)	3.66 (19.26)	2.10 (12.77)	1.14 (6.87)	0.70 (4.76)	0.55 (3.34)
1000	37.53 (227.29)	18.87 (122.68)	9.53 (58.53)	5.37 (31.52)	2.95 (18.08)	1.65 (10.71)	1.03 (6.52)	0.70 (4.01)

表 2. 根据均方根 (RMS) 噪声得出的 ENOB (根据噪声峰峰值得出的无噪声位)
条件: $\text{AVDD} = 3.3\text{V}$, $\text{AVSS} = 0\text{V}$, 正常模式, 内部基准电压 = 2.048V

数据传输速率 (SPS)	增益 (PGA 启用)							
	1	2	4	8	16	32	64	128
20	20.08 (18.19)	20.34 (18.54)	19.76 (17.91)	19.28 (17.22)	19.48 (17.75)	19.10 (17.42)	19.33 (17.49)	18.49 (16.26)
45	19.09 (17.08)	19.42 (17.26)	19.19 (16.75)	19.15 (16.94)	18.95 (16.79)	18.74 (16.39)	18.38 (16.25)	18.00 (15.49)
90	18.57 (16.40)	18.80 (16.59)	18.68 (16.46)	18.37 (16.23)	18.60 (16.11)	18.20 (15.87)	17.87 (15.67)	17.44 (15.20)
175	18.39 (15.97)	18.28 (15.88)	18.26 (15.82)	18.10 (15.48)	17.96 (15.61)	17.78 (15.34)	17.53 (14.87)	16.91 (14.29)
330	17.70 (15.23)	17.74 (15.30)	17.88 (15.25)	17.54 (15.15)	17.43 (15.05)	17.30 (14.74)	16.96 (14.54)	16.50 (13.97)
600	17.33 (14.72)	17.23 (14.79)	17.23 (14.66)	17.09 (14.70)	16.89 (14.29)	16.77 (14.18)	16.48 (13.72)	15.83 (13.23)
1000	16.74 (14.14)	16.73 (14.03)	16.71 (14.09)	16.54 (13.99)	16.41 (13.79)	16.25 (13.54)	15.92 (13.26)	15.49 (12.96)

表 3. PGA 禁用时的噪声, 单位为 μV_{RMS} (μV_{PP})
条件: AVDD = 3.3V, AVSS = 0V, 正常模式, 内部基准电压 = 2.048V

数据传输速率 (SPS)	增益 (PGA 禁用)		
	1	2	4
20	3.89 (13.43)	1.85 (6.84)	1.26 (3.91)
45	6.97 (31.98)	2.94 (12.94)	1.41 (5.62)
90	8.50 (42.48)	4.49 (18.92)	2.07 (9.95)
175	12.99 (65.92)	6.24 (35.40)	3.04 (18.92)
330	18.18 (94.24)	8.12 (50.17)	4.71 (28.75)
600	25.29 (138.67)	12.77 (78.13)	6.27 (39.79)
1000	38.04 (260.50)	18.40 (120.97)	9.48 (63.72)

表 4. 当 PGA 禁用时, 根据 RMS 噪声得出的 ENOB (根据噪声峰峰值得出的无噪声位)
条件: AVDD = 3.3V, AVSS = 0V, 正常模式, 内部基准电压 = 2.048V

数据传输速率 (SPS)	增益 (PGA 禁用)		
	1	2	4
20	20.01 (18.22)	20.08 (18.19)	19.63 (18.00)
45	19.61 (16.97)	19.41 (17.27)	19.47 (17.48)
90	18.88 (16.56)	18.80 (16.72)	18.91 (16.65)
175	18.27 (15.92)	18.32 (15.82)	18.36 (15.72)
330	17.78 (15.41)	17.94 (15.32)	17.73 (15.12)
600	17.31 (14.85)	17.29 (14.68)	17.32 (14.65)
1000	16.72 (13.94)	16.76 (14.05)	16.72 (13.97)

表 5. 噪声, 单位为 μV_{RMS} (μV_{PP})
条件: AVDD = 3.3V, AVSS = 0V, Turbo 模式, 内部基准电压 = 2.048V

数据传输速率 (SPS)	增益 (PGA 启用)							
	1	2	4	8	16	32	64	128
40	4.56 (24.17)	2.40 (11.35)	1.22 (4.94)	0.71 (2.84)	0.35 (1.60)	0.19 (0.85)	0.16 (0.71)	0.09 (0.55)
90	5.74 (25.88)	2.97 (14.40)	1.47 (5.80)	1.13 (5.52)	0.50 (2.67)	0.32 (1.32)	0.23 (1.13)	0.15 (0.69)
180	8.49 (46.88)	4.66 (21.36)	2.30 (12.88)	1.24 (7.23)	0.72 (4.82)	0.42 (2.57)	0.28 (1.47)	0.24 (1.34)
350	13.42 (84.72)	5.86 (40.04)	3.39 (19.04)	1.88 (10.13)	1.05 (6.15)	0.64 (3.59)	0.43 (2.29)	0.28 (1.39)
660	17.09 (120.36)	9.34 (47.36)	4.81 (27.83)	2.97 (17.36)	1.54 (10.21)	0.82 (4.43)	0.58 (3.67)	0.41 (2.93)
1200	25.71 (162.35)	12.31 (85.94)	6.81 (44.01)	3.72 (21.55)	2.09 (15.14)	1.23 (7.58)	0.80 (5.31)	0.57 (3.51)
2000	36.23 (265.14)	18.24 (127.32)	9.24 (65.43)	5.49 (37.02)	2.89 (18.89)	1.77 (12.00)	1.13 (7.60)	0.82 (5.81)

表 6. 根据均方根 (RMS) 噪声得出的 ENOB (根据噪声峰峰值得出的无噪声位)
条件: AVDD = 3.3V, AVSS = 0V, Turbo 模式, 内部基准电压 = 2.048V

数据传输速率 (SPS)	增益 (PGA 启用)							
	1	2	4	8	16	32	64	128
40	19.78 (17.37)	19.71 (17.46)	19.68 (17.66)	19.45 (17.46)	19.47 (17.29)	19.37 (17.21)	18.65 (16.46)	18.40 (15.83)
90	19.45 (17.27)	19.39 (17.12)	19.41 (17.43)	18.79 (16.50)	18.97 (16.55)	18.62 (16.57)	18.11 (15.80)	17.75 (15.49)
180	18.88 (16.42)	18.75 (16.55)	18.76 (16.28)	18.65 (16.11)	18.43 (15.70)	18.23 (15.60)	17.79 (15.41)	17.05 (14.54)
350	18.22 (15.56)	18.42 (15.64)	18.21 (15.71)	18.05 (15.62)	17.89 (15.35)	17.62 (15.12)	17.20 (14.77)	16.78 (14.49)
660	17.87 (15.05)	17.74 (15.40)	17.70 (15.17)	17.39 (14.85)	17.34 (14.61)	17.25 (14.82)	16.75 (14.09)	16.25 (13.42)
1200	17.28 (14.62)	17.34 (14.54)	17.20 (14.51)	17.07 (14.54)	16.90 (14.05)	16.67 (14.04)	16.28 (13.56)	15.77 (13.15)
2000	16.79 (13.92)	16.78 (13.97)	16.76 (13.93)	16.51 (13.76)	16.44 (13.73)	16.14 (13.38)	15.79 (13.04)	15.25 (12.43)

表 7. PGA 禁用时的噪声, 单位为 μV_{RMS} (μV_{PP})
 条件: $\text{AVDD} = 3.3\text{V}$, $\text{AVSS} = 0\text{V}$, Turbo 模式, 内部基准电压 = 2.048V

数据传输速率 (SPS)	增益 (PGA 禁用)		
	1	2	4
40	4.22 (22.46)	2.30 (10.74)	0.93 (3.91)
90	6.57 (31.01)	3.53 (14.28)	1.59 (6.84)
180	8.41 (55.66)	4.30 (22.09)	2.31 (14.59)
350	12.68 (75.20)	6.02 (34.18)	3.22 (17.64)
660	17.81 (111.08)	9.06 (56.76)	4.24 (27.47)
1200	25.43 (176.03)	12.70 (89.23)	6.28 (40.95)
2000	36.11 (250.98)	17.30 (131.35)	8.77 (68.18)

表 8. 当 PGA 禁用时, 根据 RMS 噪声得出的 ENOB (根据噪声峰峰值得出的无噪声位)
 条件: $\text{AVDD} = 3.3\text{V}$, $\text{AVSS} = 0\text{V}$, Turbo 模式, 内部基准电压 = 2.048V

数据传输速率 (SPS)	增益 (PGA 禁用)		
	1	2	4
40	19.89 (17.48)	19.76 (17.54)	20.07 (18.00)
90	19.25 (17.01)	19.15 (17.13)	19.29 (17.19)
180	18.89 (16.17)	18.86 (16.50)	18.76 (16.10)
350	18.30 (15.73)	18.38 (15.87)	18.28 (15.83)
660	17.81 (15.17)	17.79 (15.14)	17.88 (15.19)
1200	17.30 (14.51)	17.30 (14.49)	17.31 (14.61)
2000	16.79 (13.99)	16.85 (13.93)	16.83 (13.87)

8 详细说明

8.1 概述

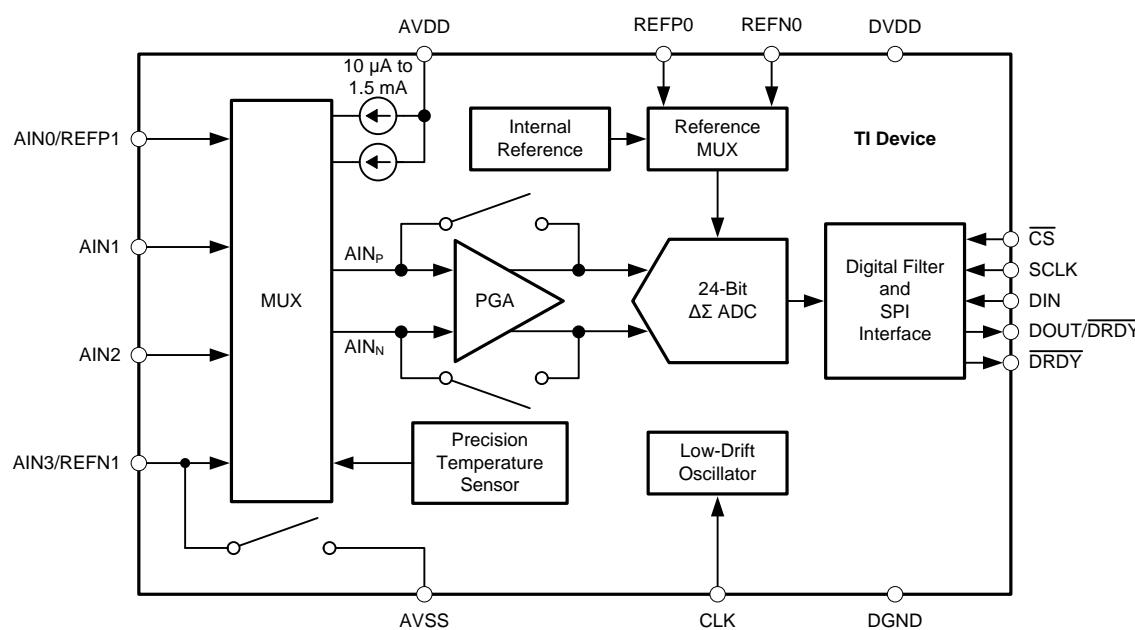
ADS1220 是一款小型低功耗 24 位 Δ - Σ ADC，集成了多种功能，能够降低系统成本并减少小型传感器信号测量应用中的组件数量。

除了 Δ - Σ ADC 内核以及单周期稳定数字滤波器外，该器件还具备低噪声的高输入阻抗可编程增益放大器 (PGA)、内部电压基准和时钟振荡器。该器件还集成了一个线性度较高的精密温度传感器以及作为传感器激励的两个匹配可编程电流源 (IDAC)。所有这些特性旨在降低典型传感器应用针对外部电路的需求并提升系统整体性能。附加的低侧电源开关简化了低功耗桥式传感器应用的设计。该器件可通过四个寄存器实现完全配置，同时由一个兼容 SPI 的模式 1 接口通过六条命令进行控制。[功能框图](#)部分所示为器件功能框图。

ADS1220 ADC 可测量差分信号 V_{IN} (表示节点 AIN_P 和 AIN_N 之间的电压差)。转换器内核由一个差分开关电容 Δ - Σ 调制器及其后的数字滤波器组成。数字滤波器接收调制器传输的高速位流，输出与输入电压成正比的代码。此架构可使共模信号产生较大衰减。

该器件提供两种转换模式：单次和连续转换模式。在单次模式下，ADC 根据要求对输入信号执行单次转换，而后将转换值存入内部数据缓冲区。随后，该器件进入低功耗状态，以节省功耗。对于仅需定期转换或在两次转换之间长时间处于空闲状态的系统，采用单次模式可显著节省功耗。在连续转换模式下，ADC 在前一次转换结束后立即对输入信号进行自动转换。新数据速率通过编程设定。数据可以随时读取，无需担心数据损坏。这些数据始终反映最近完成的转换。

8.2 功能框图



8.3 特性说明

8.3.1 多路复用器

该器件具备一个非常灵活的输入多路复用器，如图 38 所示。可以测量四路单端信号、双路差分信号、或双路单端信号与单路差分信号组合。该多路复用器通过配置寄存器的四个位 (MUX[3:0]) 进行配置。测量单端信号时，负 ADC 输入 (A_{IN_N}) 通过多路复用器内的开关在内部与 AVSS 相连。如需进行系统监视，可选择模拟电源 (AVDD – AVSS) / 4 或当前所选的外部基准电压 ($V_{(REFP_x)} - V_{(REFN_x)}$) / 4 作为 ADC 输入。该多路复用器还可将两个可编程电流源任意一路引至任意模拟输入 (A_{IN_x}) 或任意专用基准引脚 (REFP0、REFN0)。

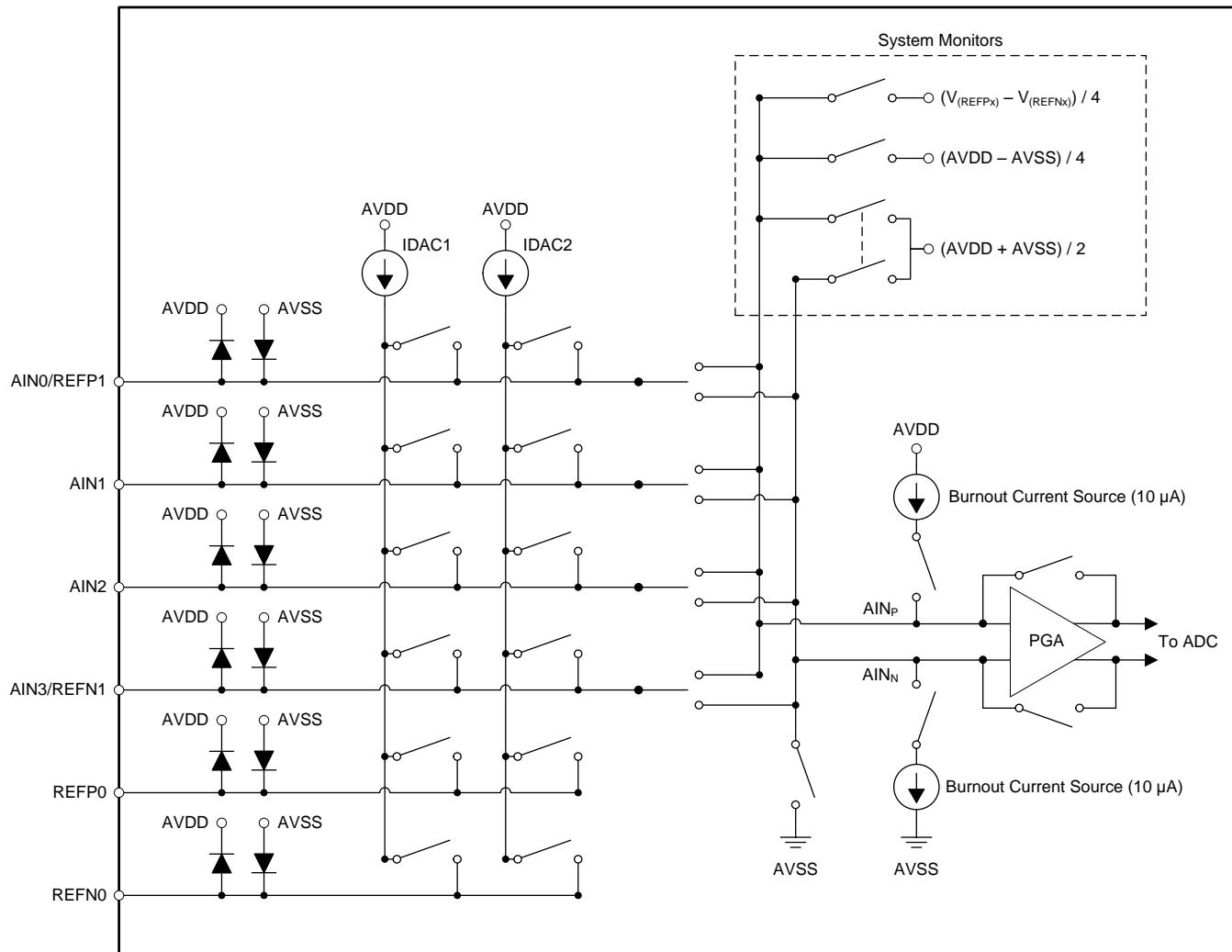


图 38. 模拟输入多路复用器

与 AVDD 和 AVSS 相连的静电放电 (ESD) 二极管可保护输入。为了防止 ESD 二极管导通，所有输入的绝对电压必须处于 [公式 4](#) 给定的范围内：

$$AVSS - 0.3V < V_{(AIN_x)} < AVDD + 0.3V \quad (4)$$

如果输入引脚电压可能超出上述限制条件，则需要使用外部肖特基钳位二极管或串联电阻将输入电流限制为安全值（请参见 [绝对最大额定值](#) 表）。对该器件中未使用的输入进行过驱动可能影响其他输入引脚上正在进行的转换。如果可能针对未使用输入进行过驱动，TI 建议使用外部肖特基二极管针对信号进行钳位。

特性 说明 (接下页)

8.3.2 低噪声 PGA

该器件具有一个低噪声、低漂移、高输入阻抗的可编程增益放大器 (PGA)。PGA 增益可设置为 1、2、4、8、16、32、64 或 128。配置寄存器的三个位 (GAIN[2:0]) 用于配置增益。图 39 所示为 PGA 的简化框图。PGA 由两个斩波稳定放大器 (A1 和 A2) 及设置 PGA 增益的电阻反馈网络组成。PGA 输入配有一个电磁干扰 (EMI) 滤波器。

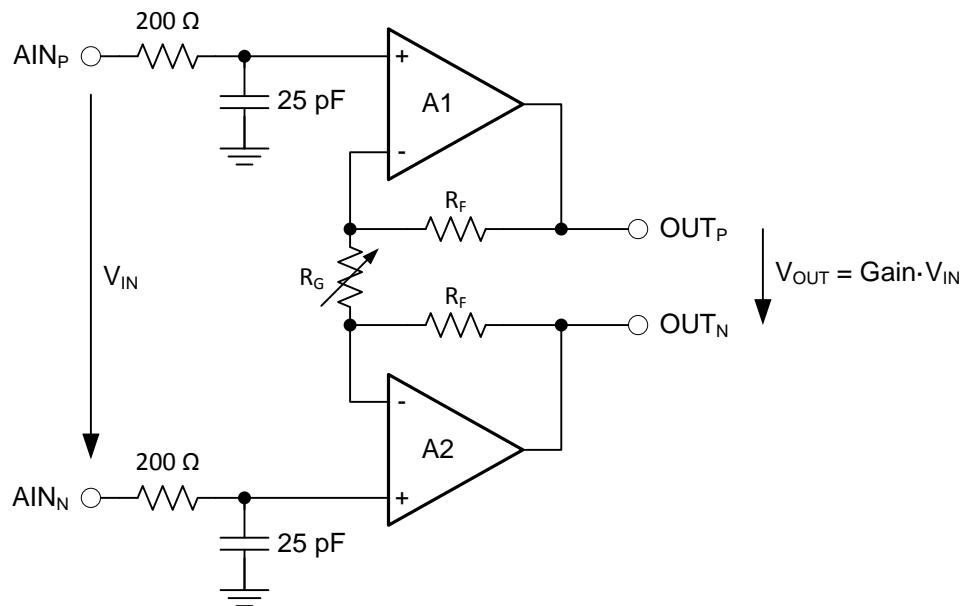


图 39. 简化的 PGA 示意图

V_{IN} 表示差分输入电压 $V_{IN} = (V_{(AINP)} - V_{(AINN)})$ 。PGA 增益可通过公式 5 进行计算：

$$\text{增益} = 1 + 2 \cdot R_F / R_G \quad (5)$$

增益可通过器件内部的可调电阻 R_G 进行更改。PGA 的差分满量程输入电压范围 (FSR) 由增益和所用基准电压定义，如公式 6 所示：

$$FSR = \pm V_{ref} / \text{增益} \quad (6)$$

表 9 所示为使用 2.048V 内部基准电压时的满量程范围。

表 9. PGA 满量程范围

增益设置	FSR
1	$\pm 2.048V$
2	$\pm 1.024V$
4	$\pm 0.512V$
8	$\pm 0.256V$
16	$\pm 0.128V$
32	$\pm 0.064V$
64	$\pm 0.032V$
128	$\pm 0.016V$

8.3.2.1 PGA 共模电压要求

为了始终处于 PGA 的线性工作范围内, 输入信号必须满足本节介绍的特定要求。

图 39 中两放大器 (A1 和 A2) 输出相对于电源 (AVSS 和 AVDD) 的摆幅不得低于 200mV。如果输出 OUT_P 和 OUT_N 驱动至 200mV 电源轨电压范围内, 放大器将达到饱和并因此进入非线性状态。为防止出现此类非线性工作条件, 输出电压必须满足 [公式 7](#) 的要求:

$$AVSS + 0.2V \leq V_{(OUTN)}, V_{(OUTP)} \leq AVDD - 0.2V \quad (7)$$

将 [公式 7](#) 的要求换算为针对 PGA 输入 (AIN_P 和 AIN_N) 的要求大有裨益, 原因是无需直接访问 PGA 输出。PGA 采用对称设计, 因此可假设 PGA 的输出共模电压与输入信号共模电压相等, 如图 40 所示。

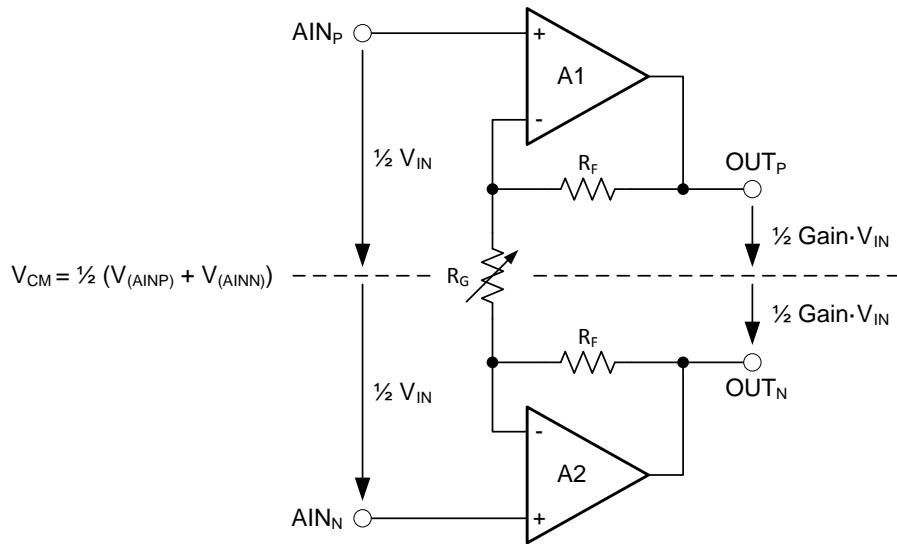


图 40. PGA 共模电压

共模电压通过 [公式 8](#) 进行计算:

$$V_{CM} = \frac{1}{2} (V_{(AINP)} + V_{(AINN)}) = \frac{1}{2} (V_{(OUTP)} + V_{(OUTN)}) \quad (8)$$

PGA 输入 (AIN_P 和 AIN_N) 电压可表示为 [公式 9](#) 和 [公式 10](#):

$$V_{(AINP)} = V_{CM} + \frac{1}{2} V_{IN} \quad (9)$$

$$V_{(AINN)} = V_{CM} - \frac{1}{2} V_{IN} \quad (10)$$

此后, 输出电压 ($V_{(OUTP)}$ 和 $V_{(OUTN)}$) 可根据 [公式 11](#) 和 [公式 12](#) 进行计算:

$$V_{(OUTP)} = V_{CM} + \frac{1}{2} \text{ 增益} \cdot V_{IN} \quad (11)$$

$$V_{(OUTN)} = V_{CM} - \frac{1}{2} \text{ 增益} \cdot V_{IN} \quad (12)$$

现可将放大器 A1 和 A2 的输出电压要求 ([公式 7](#)) 通过 [公式 11](#) 和 [公式 12](#) 换算为针对输入共模电压范围的要求, 具体内容在 [公式 13](#) 和 [公式 14](#) 中给出:

$$V_{CM(MIN)} \geq AVSS + 0.2V + \frac{1}{2} \text{ 增益} \cdot V_{IN(MAX)} \quad (13)$$

$$V_{CM(MAX)} \leq AVDD - 0.2V - \frac{1}{2} \text{ 增益} \cdot V_{IN(MAX)} \quad (14)$$

为计算最小和最大共模电压限值, 必须使用应用中出现的最高差分输入电压 ($V_{IN(MAX)}$)。 $V_{IN(MAX)}$ 可小于可能出现的最大 FS 值。

由于 PGA 的特定设计实现方案, 因此除 [公式 13](#) 外, 最低 V_{CM} 还必须满足 [公式 15](#)。

$$V_{CM(MIN)} \geq AVSS + \frac{1}{4} (AVDD - AVSS) \quad (15)$$

图 41 和图 42 以图象形式表示当 $AVDD = 3.3V$ 和 $AVSS = 0V$ ，增益分别为 1 和 16 时的共模电压限值。

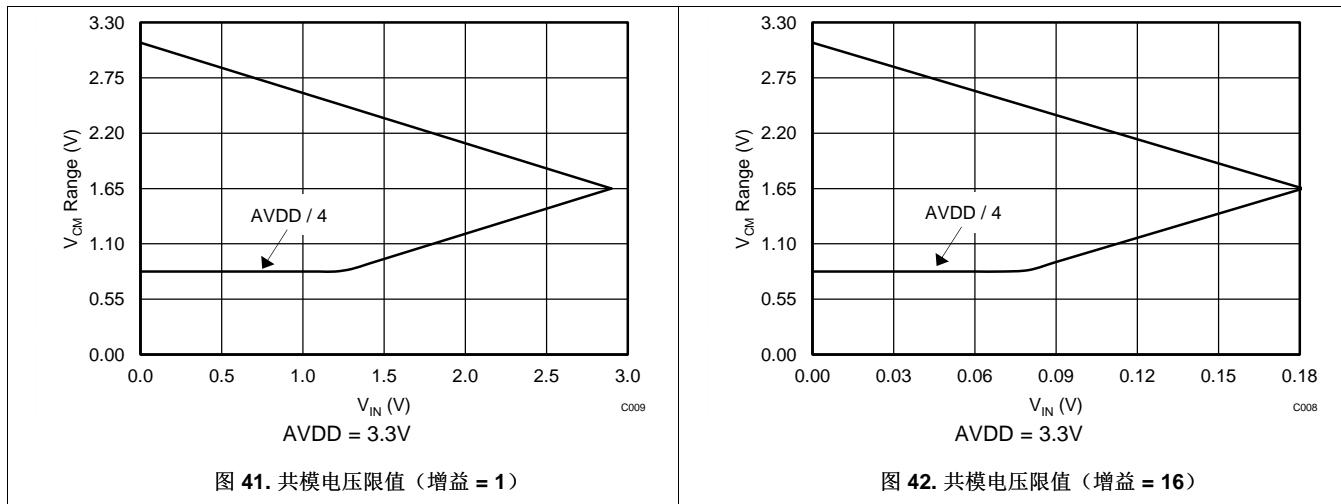


图 41. 共模电压限值 (增益 = 1)

图 42. 共模电压限值 (增益 = 16)

下文中的讨论介绍如何将 [公式 13](#) 至 [公式 15](#) 应用于假设性应用。本示例的设置条件为 $AVDD = 3.3V$, $AVSS = 0V$, 增益 = 16, 同时采用外部基准电压 $V_{ref} = 2.5V$ 。可施加的最高差分输入电压 $V_{IN} = (V_{(AINP)} - V_{(AINN)})$ 随之限制为满量程范围 $FSR = \pm 2.5V / 16 = \pm 0.156V$ 。因此, [公式 13](#) 至 [公式 15](#) 可得出允许的 V_{CM} 范围 $1.45V \leq V_{CM} \leq 1.85V$ 。

例如, 如果与该假设性应用输入相连的传感器信号未采用完整满量程范围, 而是限制为 $V_{IN (MAX)} = \pm 0.1V$, 则缩小的输入信号幅值会将 V_{CM} 限制范围扩展至 $1.0V \leq V_{CM} \leq 2.3V$ 。

对于全差分传感器信号, 每路输入 (AIN_P 、 AIN_N) 可在共模电压 $(V_{(AINP)} + V_{(AINN)}) / 2$ (其限值必须保持在 1.0V 至 2.3V 范围内) 的 $\pm 50mV$ 范围内摆动。对称型惠斯通电桥的输出即为一种全差分信号示例。图 43 所示为输入信号的共模电压处于下限的情况。在这种情况下, $V_{(OUTN)}$ 为 0.2V。进一步减小共模电压 (V_{CM}) 或增大差分输入电压 (V_{IN}) 均会导致 $V_{(OUTN)}$ 低于 0.2V 并导致放大器 A2 达到饱和状态。

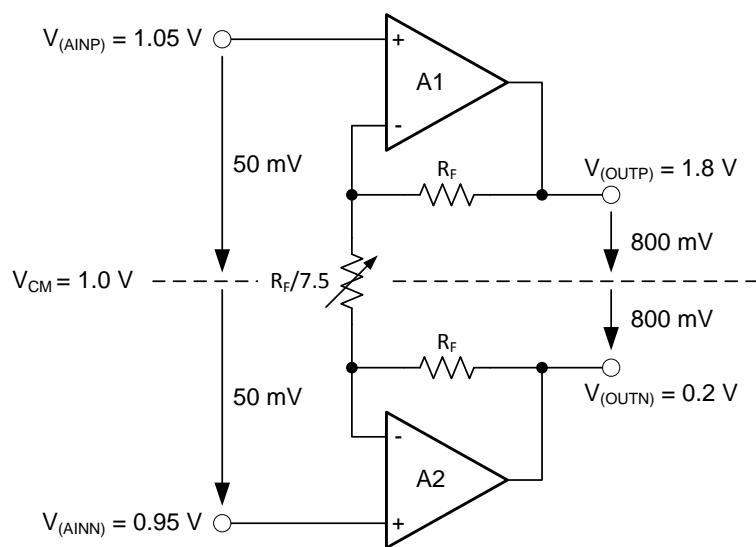
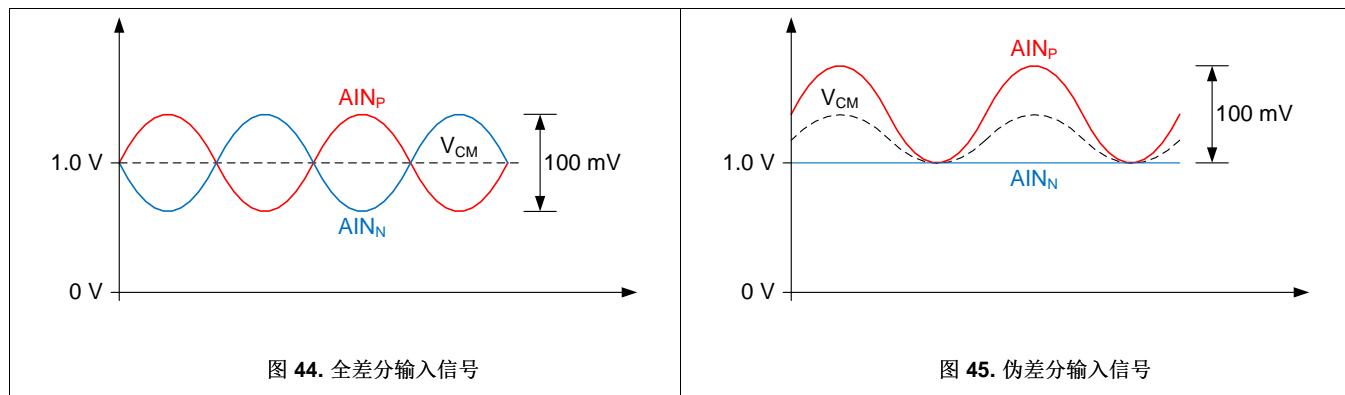


图 43. V_{CM} 处于下限的示例

相反，电阻式温度器件 (RTD) 的信号具有伪差分特性（如果按 [RTD 测量](#) 部分所示的方式实施），其中负输入电压恒定不变（但不等于 0V），只有正输入电压发生变化。如果必须测量伪差分信号，本示例中的负输入必须在 0.95V 至 2.25V 的电压范围内偏置。正输入最高可在超出负输入 $V_{IN\ (MAX)} = 100\text{mV}$ 进行摆动。请注意，在这种情况下，共模电压与正输入电压同时发生变化。即，当输入信号在 $0\text{V} \leq V_{IN} \leq V_{IN\ (MAX)}$ 的范围内摆动时，共模电压的摆动范围为 $V_{(AINN)} \leq V_{CM} \leq V_{(AINN)} + \frac{1}{2} V_{IN\ (MAX)}$ 。满足最大输入电压 $V_{IN\ (MAX)}$ 的共模电压要求有助于在整个信号范围内满足要求。

[图 44](#) 和 [图 45](#) 分别为全差分和伪差分信号示例。



注

请谨记，PGA 启用时的共模电压要求（[公式 13](#) 至 [公式 15](#)）如下：

- $V_{CM\ (MIN)} \geq AVSS + \frac{1}{4} (AVDD - AVSS)$
- $V_{CM\ (MIN)} \geq AVSS + 0.2V + \frac{1}{2} \text{ 增益} \cdot V_{IN\ (MAX)}$
- $V_{CM\ (MAX)} \leq AVDD - 0.2V - \frac{1}{2} \text{ 增益} \cdot V_{IN\ (MAX)}$

8.3.2.2 旁路 PGA

在增益为 1、2 和 4 的情况下可对器件进行配置，通过将配置寄存器的 **PGA_BYPASS** 位置 1 禁用并旁路低噪声 PGA。禁用 PGA 会降低整体功耗，同时消除 [公式 13](#) 至 [公式 15](#) 针对共模输入电压范围 V_{CM} 的限制。在 PGA 禁用的情况下，可用的绝对输入电压和共模输入电压范围为 $(AVSS - 0.1V \leq V_{(AINx)}, V_{CM} \leq AVDD + 0.1V)$ 。

为测量以 AVSS ($AIN_P = V_{IN}$, $AIN_N = AVSS$) 为基准的单端信号，PGA 必须旁路。通过在外部将任一模拟输入与 AVSS 相连或通过多路复用器的内部 AVSS 连接 (**MUX[3:0]** 置为 1000 至 1011)，可将器件配置为进行单端测量。如果以 $AIN_N = AVSS$ 的设置配置内部多路复用器 (**MUX[3:0] = 1000** 至 **1011**)，则无论 **PGA_BYPASS** 是否置 1 以及增益是否限制为 1、2 或 4，均将自动旁路并禁用 PGA。对于将增益设置为大于 4 的情况，该器件会将增益限制为 4。

PGA 禁用后，该器件使用经缓冲的开关电容级实现增益值 1、2 和 4。开关电容级前的内部缓冲器可确保最大限度降低因电容充放电而产生的输入负载效应。有关 PGA 禁用情况下的绝对输入电流（流入或流出各路输入的电流）以及差分输入电流（正负输入间的绝对电流差值）典型值，请参见 [图 21](#) 至 [图 26](#)。

对于输出阻抗较高的信号源，仍需进行外部缓冲。请注意，有源缓冲器会在引入噪声的同时引入偏移和增益误差。高精度 应用需要密切关注上述因素。

8.3.3 调制器

ADS1220 中的 Δ - Σ 调制器用于将模拟输入电压转换为经脉冲代码调制的 (PCM) 数据流。调制器以调制器时钟频率 $f_{(MOD)} = f_{(CLK)} / 16$ (正常和占空比模式) 和 $f_{(MOD)} = f_{(CLK)} / 8$ (Turbo 模式下) 运行, 而 $f_{(CLK)}$ 可由内部振荡器或外部时钟源提供。表 10 显示了使用内部振荡器或 4.096MHz 外部时钟时, 各工作模式下的调制器频率。

表 10. 不同工作模式下的调制器时钟频率⁽¹⁾

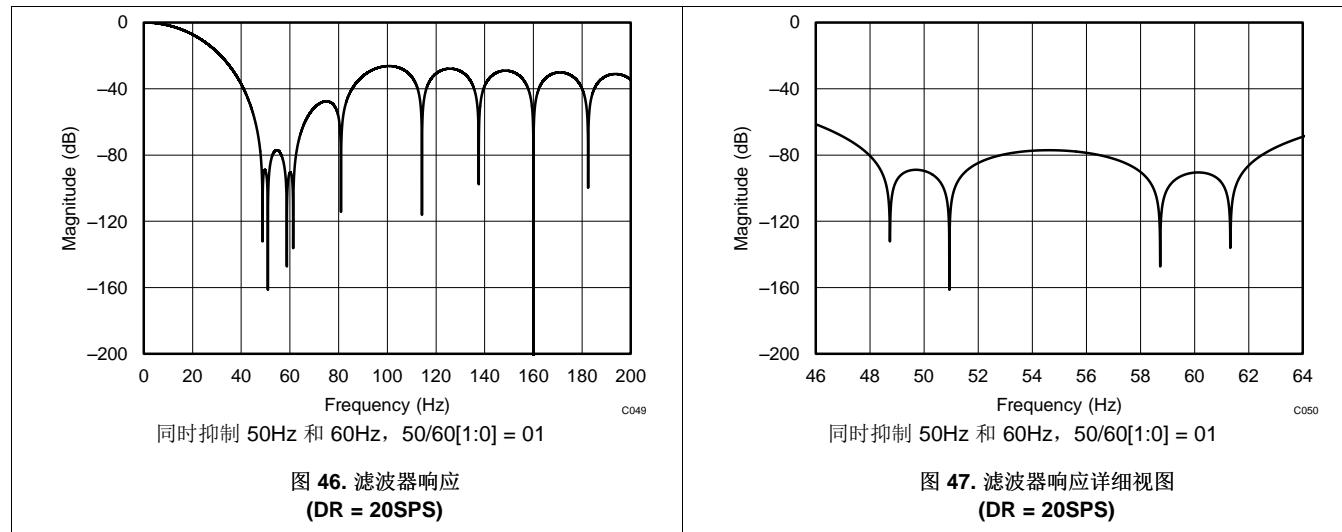
工作模式	$f_{(MOD)}$
占空比模式	256kHz
正常模式	256kHz
Turbo 模式	512kHz

(1) 使用内部振荡器或 4.096MHz 外部时钟。

8.3.4 数字滤波器

该器件采用一个线性相位有限冲激响应 (FIR) 数字滤波器, 能够针对调制器传输的数字数据流进行滤波和抽取。该数字滤波器根据不同数据传输速率进行自动调节, 在单一周期内可始终达到稳定状态。当数据速率为 5SPS 和 20SPS 时, 滤波器可配置为抑制 50Hz 或 60Hz 工频或同时两种频率。配置寄存器的两个位 (50/60[1:0]) 用于对滤波器进行相应配置。图 46 至图 59 所示为使用内部振荡器或 4.096MHz 外部时钟时, 不同输出数据传输速率对应的数字滤波器频率响应。

滤波器陷波和输出数据传输速率根据时钟频率按比例进行调节。例如, 当使用 4.096MHz 时钟时, 于 20Hz 频率处产生陷波, 则如果使用 2.048MHz 时钟时, 产生陷波的频率为 10Hz。请注意, 内部振荡器随温度发生变化, 如电气特性表所述。数据传输速率或转换时间随之发生变化, 因此滤波器陷波也按相同比例发生变化。如需在容差更为精确的特定频率下产生数字滤波器陷波, 则考虑使用精密外部时钟源。



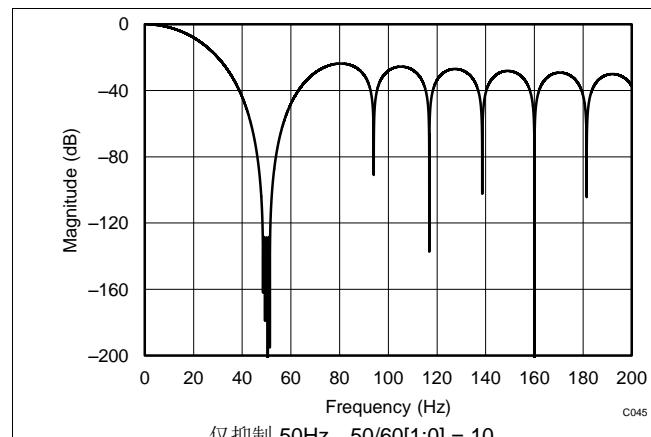


图 48. 滤波器响应
(DR = 20SPS)

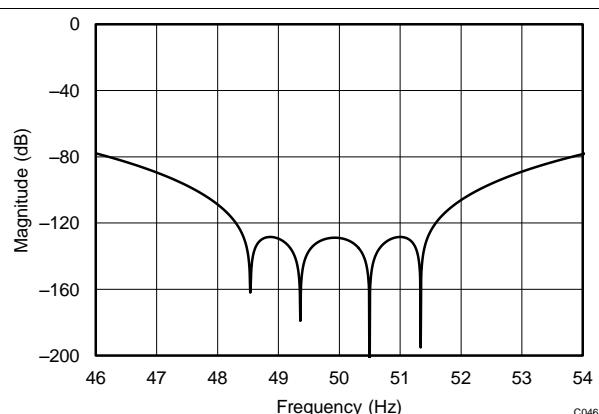


图 49. 滤波器响应详细视图
(DR = 20SPS)

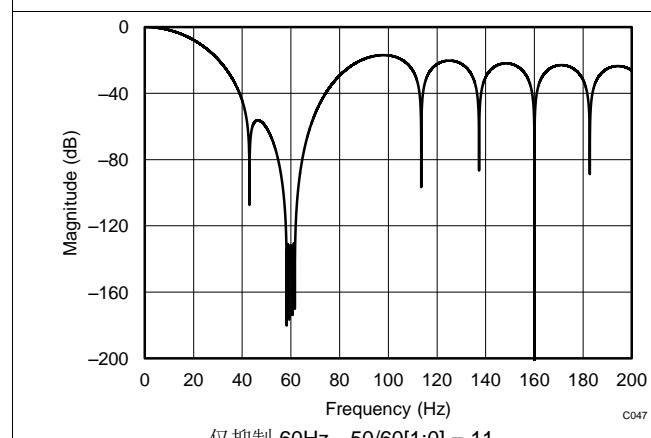


图 50. 滤波器响应
(DR = 20SPS)

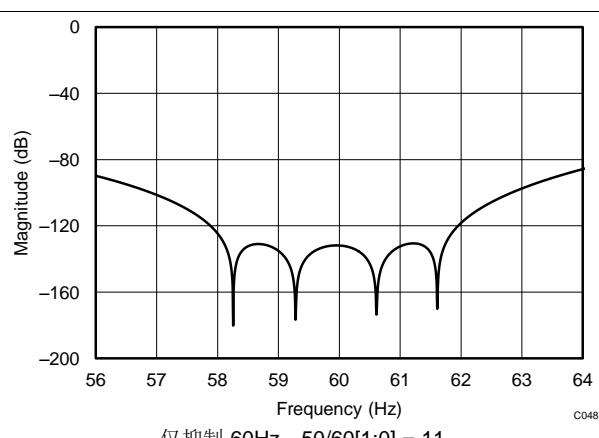


图 51. 滤波器响应详细视图
(DR = 20SPS)

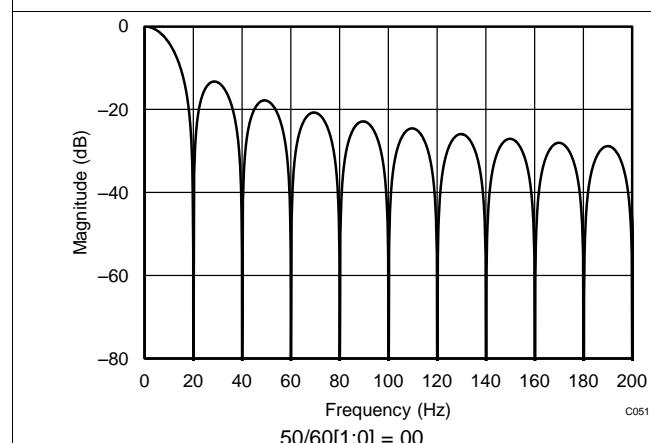


图 52. 滤波器响应
(DR = 20SPS)

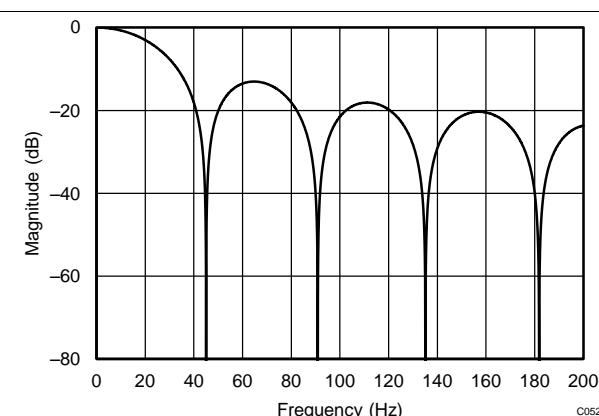


图 53. 滤波器响应
(DR = 45SPS)

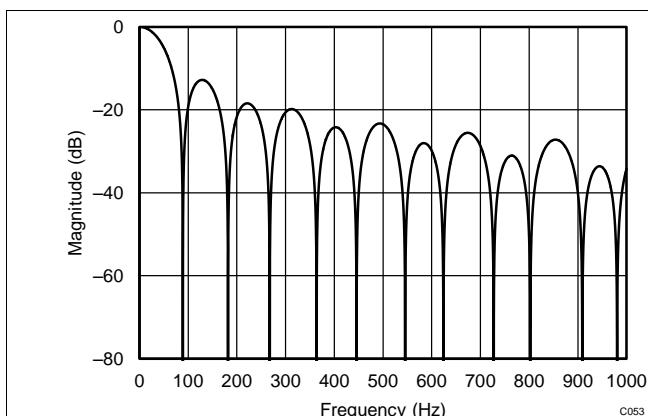


图 54. 滤波器响应
(DR = 90SPS)

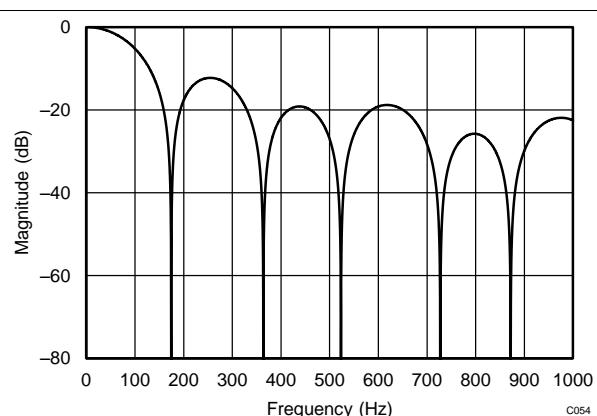


图 55. 滤波器响应
(DR = 175SPS)

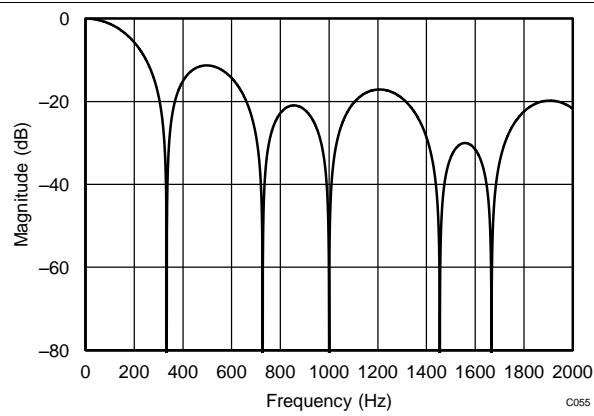


图 56. 滤波器响应
(DR = 330SPS)

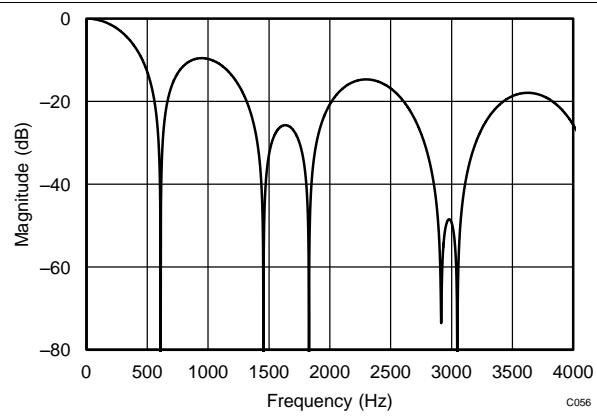


图 57. 滤波器响应
(DR = 600SPS)

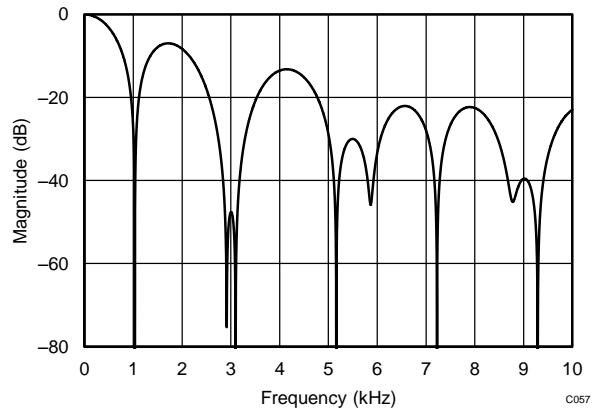


图 58. 滤波器响应
(DR = 1kSPS)

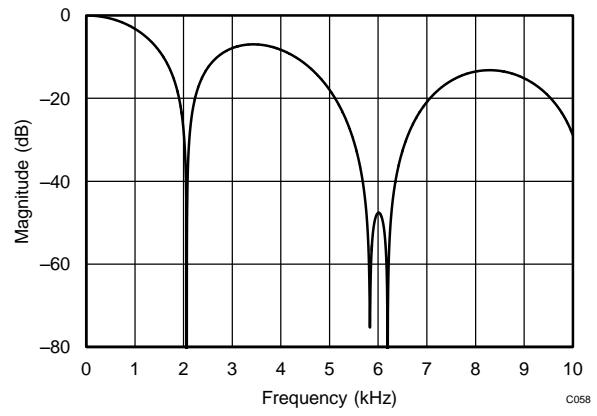


图 59. 滤波器响应
(DR = 2kSPS)

8.3.5 输出数据速率

表 11 所示为各数据速率设置的实际转换时间。提供的值基于 $t_{(CLK)}$ 周期, 所用外部时钟的频率 $f_{(CLK)} = 4.096\text{MHz}$ 。如果所用外部时钟的频率不等于 4.096MHz , 数据传输速率将按比例调节。

在连续转换模式下, 数据传输速率对应的时间为一个 $\overline{\text{DRDY}}$ 下降沿至下一 $\overline{\text{DRDY}}$ 下降沿。首次转换始于 START/SYNC 命令最后一个 SCLK 下降沿后的 $210 \cdot t_{(CLK)}$ (正常模式, 占空比模式) 或 $114 \cdot t_{(CLK)}$ (Turbo 模式)。

在单次模式下, 数据传输速率对应的时间为 START/SYNC 命令的最后一个 SCLK 下降沿至 $\overline{\text{DRDY}}$ 下降沿, 经四舍五入变为下一 $t_{(CLK)}$ 。在单次模式下, 如果使用内部振荡器, 则必须额外增加长达 $50\mu\text{s}$ (正常模式, 占空比模式) 或 $25\mu\text{s}$ (Turbo 模式) 振荡器唤醒时间。内部振荡器在 START/SYNC 命令的首个 SCLK 上升沿开始上电。如果使用的 SCLK 频率高于 160kHz (正常模式, 占空比模式) 或 320kHz (Turbo 模式), 振荡器在 START/SYNC 命令结束后可能不会完全上电。ADC 将等待内部振荡器完全上电, 然后开始转换。

占空比模式与正常模式下的单次转换时间相同。有关占空比工作模式的更多详细信息, 请参见 [占空比模式](#) 部分。

表 11. 转换时间

标称数据传输速率 (SPS)	-3dB 带宽 (Hz)	实际转换时间 ($t_{(CLK)}$)	
		连续转换模式	单次模式
正常模式			
20	13.1	204768	204850
45	20.0	91120	91218
90	39.6	46128	46226
175	77.8	23664	23762
330	150.1	12464	12562
600	279.0	6896	6994
1000	483.8	4144	4242
占空比模式			
5	13.1	823120	不适用
11.25	20.0	364560	不适用
22.5	39.6	184592	不适用
44	77.8	94736	不适用
82.5	150.1	49936	不适用
150	279.0	27664	不适用
250	483.8	16656	不适用
TURBO 模式			
40	26.2	102384	102434
90	39.9	45560	45618
180	79.2	23064	23122
350	155.6	11832	11890
660	300.3	6232	6290
1200	558.1	3448	3506
2000	967.6	2072	2130

请注意, 即使 20SPS 设置对应的转换时间不等于 $1 / 20\text{Hz} = 50\text{ms}$, 该差异也不会影响 50Hz 或 60Hz 抑制。要实现 50Hz 和 60Hz 抑制 (如 [电气特性](#) 表所述), 外部时钟频率必须为 4.096MHz 。使用内部振荡器时, 转换时间和滤波器陷波的变化量等于 [电气特性](#) 表指定的振荡器精度变量。

8.3.6 电压基准

该器件集成了 2.048V 低漂移电压基准。对于需要不同基准电压或比例测量方法的应用，该器件可提供两对差分基准输入 (REFP0/REFN0 和 REFP1/REFN1)。此外，还可将模拟电源 (AVDD) 用作基准。

基准源通过配置寄存器的两位 (VREF[1:0]) 进行选择。默认选择内部基准。上电后、退出掉电模式或由外部基准源切换至内部基准后，内部基准电压在 25μs 内即可完全稳定。

差分基准输入支持自由选择共模基准电压。REFP0 和 REFN0 为专用基准输入，而 REFP1 和 REFN1 分别与输入 AIN0 和 AIN3 共享。所有基准输入均在内部进行缓冲，以提高输入阻抗。因此，使用外部基准时，通常无需额外使用基准缓冲器。在比例测量应用中使用时，基准输入不会加载外部电路。请注意，由于启用基准缓冲器，因此当使用外部基准时，模拟电源电流增大。

在多数情况下，转换结果与基准源稳定性成正比。转换结果将反映电压基准的所有噪声和漂移。

8.3.7 时钟源

器件系统时钟可由内部低漂移振荡器或 CLK 输入的外部时钟源提供。首先将 CLK 引脚与 DGND 相连，之后进行上电或复位，以激活内部振荡器。如果将外部时钟与 CLK 引脚相连，内部振荡器将在 CLK 引脚处检测到两个上升沿后禁用。该器件随后使用外部时钟。ADS1220 切换至外部时钟后，该器件仅可通过循环上电或发送 RESET 命令切换回内部振荡器。

8.3.8 激励电流源

该器件为 RTD 应用提供两个匹配的可编程激励电流源 (IDAC)。使用配置寄存器的相应位 (IDAC[2:0]) 可通过编程方式将电流源输出电流设定为 10μA、50μA、100μA、250μA、500μA、1000μA 或 1500μA。每个电流源均可与所有模拟输入 (AINx) 及所有专用基准输入 (REFP0 和 REFN0) 相连。两电流源还可与同一引脚相连。IDAC 的路由通过配置寄存器的位 (I1MUX[2:0], I2MUX[2:0]) 进行配置。请注意，不得超出 IDAC 的合规电压。换言之，将将 IDAC 流向的引脚电压限制为 $\leq (AVDD - 0.9V)$ ，否则 IDAC 电流的额定精度要求无法满足。对于三线制 RTD 应用，匹配的电流源可用于抵消传感器引线电阻引起的误差（更多详细信息，请参见 [三线制 RTD 测量部分](#)）。

通过 IDAC[2:0] 位以编程方式将 IDAC 电流设定为相应值后，IDAC 在不超过 200μs 内即可启动。如果在同一 WREG 命令期间未写入配置寄存器 2 和 3，TI 建议首先使用 IDAC[2:0] 位将 IDAC 电流设置为相应值，然后选择各 IDAC 的路径 (I1MUX[2:0], I2MUX[2:0])。

在单次模式下，如果将 IDAC[2:0] 位置为 000 以外的值，IDAC 会在任意两次转换之间保持激活状态。然而，IDAC 会在发出 POWERDOWN 命令后掉电。

请注意，IDAC 启用后（即 IDAC[2:0] 位置为 000 以外的值），模拟电源电流将会增大。即使 IDAC 未引至任何引脚 (I1MUX[2:0] = I2MUX[2:0] = 000)，IDAC 电路也需使用该偏置电流进行工作。此外，将 I1MUX[2:0] 或 I2MUX[2:0] 置为 000 以外的值时，随即从模拟电源汲取所选输出电流。

8.3.9 低侧电源开关

该器件还集成了一个在模拟输入 AIN3/REFN1 和 AVSS 之间连接了低值导通电阻的低侧电源开关。在桥式传感器应用中，该电源开关可使桥式电路在各转换过程中掉电，以此降低系统功耗。如果配置寄存器的相应位 (PSW) 置 1，该开关将在发出 START/SYNC 命令后自动闭合，并且在发出 POWERDOWN 命令后断开。请注意，如果将 PSW 位置 1，则在单次模式下，开关将在各转换过程之间保持闭合状态。如果将 PSW 位置 0，开关可以随时断开。该开关默认始终处于断开状态。

8.3.10 传感器检测

为了协助检测可能出现的传感器故障，该器件内置两个 $10\mu\text{A}$ 烧毁电流源。如果通过将配置寄存器的相应位 (BCS) 置 1 启用电流源，其中一个电流源为当前所选正模拟输入 (AIN_P) 供应电流，而另一电流源消耗所选负模拟输入 (AIN_N) 电流。

如果传感器发生开路，这些烧毁电流源将正输入拉至 AVDD ，同时将负输入拉至 AVSS ，从而获取满量程读数。满量程读数还可以表示传感器过载或缺少基准电压。近似为零的读数可能表示传感器短路。请注意，烧毁电流源的绝对值通常在 $\pm 10\%$ 的范围内浮动，内部多路复用器增加了一个小型串联电阻。因此，区分传感器短路和正常读数难度较大，当输入使用阻容 (RC) 滤波器时尤为如此。换言之，即使传感器短路，外部滤波器电阻和多路复用器残余电阻两端的压降也会导致输出读取大于零的值。

请谨记，启用烧毁电流源后，功能传感器的 ADC 读数可能受到影响。TI 建议在执行精密测量的过程中禁用烧毁电流源，并且仅在测试传感器故障条件时进行启用。

8.3.11 系统监测

该器件提供多种模拟电源和外部基准电压监测方法。要选择监测电压，必须在配置寄存器中针对内部多路复用器 (MUX[3:0]) 进行相应配置。无论在使用监测功能时如何设置配置寄存器，该器件均会自动旁路 PGA 并将增益设置为 1。请注意，系统监测功能仅提供粗略结果，并非精密测量。

测量模拟电源 (MUX[3:0] = 1101) 时，得出的转换结果约为 $(\text{AVDD} - \text{AVSS}) / 4$ 。无论是否在配置寄存器中选择基准源 (VREF[1:0])，该器件均使用 2.048V 内部基准电压进行测量。

监测两外部基准电压源 (MUX[3:0] = 1100) 的其中之一时，结果约为 $(V_{(\text{REFPx})} - V_{(\text{REFNx})}) / 4$ 。REFPx 和 REFNx 表示在配置寄存器中选择的外部基准输入对 (VREF[1:0])。该器件自动使用内部基准进行测量。

8.3.12 偏移校准

内部多路复用器支持将两路 PGA 输入 (AIN_P 和 AIN_N) 短接至中间供电电压 $(\text{AVDD} + \text{AVSS}) / 2$ 。这种方式可用于测量并校准器件偏移电压，具体方法为将短路输入电压读数的结果存储于微控制器中，进而从后续读数中减去该结果。TI 建议在输入短路的情况下获取多个读数，进而针对结果求取平均值，以降低噪声影响。

8.3.13 温度传感器

ADS1220 集成了一个精密温度传感器。通过将配置寄存器的 TS 位置 1 可使能温度传感器模式。在温度传感器模式下，配置寄存器 0 的设置不产生任何影响，该器件使用内部基准进行测量，与所选基准电压源无关。温度读数过程与模拟输入启动并读取转换结果的过程相同。温度数据以 14 位结果呈现，与 24 位转换结果左对齐。数据从最高有效字节 (MSB) 开始输出。当读取这三个数据字节，前 14 位用于指定温度测量结果。一个 14 位 LSB 等于 0.03125°C。负数以二进制补码形式表示，如表 12 所示。

表 12. 14 位温度数据格式

温度 (°C)	数字输出 (二进制)	十六进制
128	01 0000 0000 0000	1000
127.96875	00 1111 1111 1111	0FFF
100	00 1100 1000 0000	0C80
75	00 1001 0110 0000	0960
50	00 0110 0100 0000	0640
25	00 0011 0010 0000	0320
0.25	00 0000 0000 1000	0008
0.03125	00 0000 0000 0001	0001
0	00 0000 0000 0000	0000
-0.25	11 1111 1111 1000	3FF8
-25	11 1100 1110 0000	3CE0
-40	11 1011 0000 0000	3B00

8.3.13.1 由温度转换为数字代码

8.3.13.1.1 对于正温度（例如 50°C）：

对正数不执行补码操作。因此，只需将数字转换为采用左对齐格式的 14 位二进制编码，MSB = 0 表示正号。

示例：50°C / (0.03125°C/计数) = 1600 = 0640h = 00 0110 0100 0000

8.3.13.1.2 对于负温度（例如 -25°C）：

通过对二进制数取绝对值再加 1 的方式生成负数的二进制补码。然后以 MSB = 1 表示负号。

示例：|-25°C| / (0.03125°C/计数) = 800 = 0320h = 00 0011 0010 0000

二进制补码格式：11 1100 1101 1111 + 1 = 11 1100 1110 0000

8.3.13.2 由数字代码转换为温度

要将数字代码转换为温度，首先需要检查 MSB 是 0 还是 1。如果 MSB 为 0，将十进制代码乘以 0.03125°C 即可获得结果。如果 MSB = 1，则将结果减 1 后对所有位取补码。之后将结果乘以 -0.03125°C。

示例：器件回读 0960h: 0960h 的 MSB = 0。

$$0960h \cdot 0.03125°C = 2400 \cdot 0.03125°C = 75°C$$

示例：器件回读 3CE0h: 3CE0h 的 MSB = 1。

减 1 后对结果取补码：3CE0h → 0320h

$$0320h \cdot (-0.03125°C) = 800 \cdot (-0.03125°C) = -25°C$$

8.4 器件功能模式

8.4.1 上电和复位

器件在上电过程中执行复位。复位过程耗时约 $50\mu\text{s}$ 。经过这段上电复位时间后，所有内部电路（包括电压基准）均处于稳定状态，能够与器件进行通信。作为复位过程的一部分，该器件将配置寄存器的所有位置为各自的默认设置。该器件默认设置为单次模式。上电后，该器件以默认寄存器设置执行单次转换，然后进入低功耗状态。完成转换后，**DRDY** 引脚由高电平转换为低电平。**DRDY** 引脚由高电平至低电平的转换可用于发出 ADS1220 正常运行并且准备就绪的信号。在上电过程中，上电行为能够防止浪涌电流对电源要求严格的系统产生影响。

8.4.2 转换模式

该器件采用两种转换模式之一。这两种模式可通过配置寄存器的 CM 位进行选择。上述两种模式分别为单次转换模式和连续转换模式。

8.4.2.1 单次模式

在单次模式下，该器件仅在发出 **START/SYNC** 命令后执行转换。因此，该器件执行单次转换，然后返回低功耗状态。内部振荡器和所有模拟电路（激励电流源除外）均处于关断状态，同时该器件在下次转换开始前始终保持这种低功耗状态。此外，针对所有配置寄存器进行写访问均会开启新一次转换。在转换过程中，针对任何配置寄存器进行写操作均视为一条新的 **START/SYNC** 命令，其可停止当前转换并重启新一次转换。由于该器件的数字滤波器在单一周期内达到稳定状态，因此每次转换均实现完全稳定（假设模拟输入信号在转换开始前稳定至最终值）。

8.4.2.2 连续转换模式

在连续转换模式下，该器件连续执行转换。转换完成后，该器件将结果置于输出缓冲器中并立即开始下一次转换。

为启动连续转换模式，CM 位必须置 1 并且随即发出 **START/SYNC** 命令。首次转换始于 **START/SYNC** 命令最后一个 **SCLK** 下降沿后的 $210 \cdot t_{(\text{CLK})}$ （正常模式，占空比模式）或 $114 \cdot t_{(\text{CLK})}$ （Turbo 模式）。在进行的转换过程中针对任何配置寄存器进行写操作均会重启当前转换过程。TI 建议始终在 CM 位置 1 后立即发送 **START/SYNC** 命令。

器件功能模式 (接下页)

8.4.3 工作模式

除了转换模式不同外，该器件还可采用不同工作模式，同时在各模式之间权衡功耗、噪声性能和输出数据速率。工作模式包括：正常模式、占空比模式、Turbo 模式及掉电模式。

8.4.3.1 正常模式

正常模式为上电后的默认工作模式。在该模式下， Δ - Σ ADC 的内部调制器以时钟频率 $f_{(MOD)} = f_{(CLK)} / 16$ 运行，其中系统时钟 ($f_{(CLK)}$) 由内部振荡器或外部时钟源提供。使用内部振荡器时，调制器频率为 256kHz。在正常模式下，使用内部振荡器时的输出数据传输速率范围为 20SPS 至 1kSPS。数据传输速率通过配置寄存器的 DR[2:0] 位进行选择。如果使用时钟频率不为 4.096MHz 的外部时钟源，数据传输速率将进行相应调节。例如，如果使用 $f_{(CLK)} = 2.048\text{MHz}$ 的外部时钟，数据传输速率介于 10SPS 至 500SPS 之间。

8.4.3.2 占空比模式

当输出传输数据速率降低时，由于获取一个转换结果需要对内部调制器的更多样本求取平均值，因此 Δ - Σ ADC 的噪声性能通常有所改善。在功耗要求严格的应用中，无需改善低数据传输速率下的噪声性能。对于此类应用，该器件支持自动占空比模式，可在各转换过程之间周期性进入低功耗状态，从而显著降低能耗。该器件一般以占空比为 25% 的正常模式运行。这种功能意味着该器件按照正常模式下的运行方式进行一次转换，但随后自动进入低功耗状态并持续三个连续转换周期。因此，占空比模式下的噪声性能可比肩在正常模式下采用四倍数据传输速率时的噪声性能。在占空比模式下，使用内部振荡器时的数据传输速率范围为 5SPS 至 250SPS。

8.4.3.3 Turbo 模式

对于数据传输速率（高达 2kSPS）要求较高的应用，该器件可在 Turbo 模式下运行。内部调制器在此模式下以较高频率 $f_{(MOD)} = f_{(CLK)} / 8$ 运行。如果使用内部振荡器或 4.096MHz 外部时钟，则 $f_{(MOD)}$ 等于 512kHz。请注意，由于调制器以较高频率运行，因此该器件的功耗增大。如果 ADS1220 在 Turbo 模式下以近似于正常模式的输出数据传输速率运行，可改善噪声性能。例如，对于在 Turbo 模式下以 90SPS 数据传输速率运行时，输入引入的噪声低于在正常模式下以 90SPS 运行时输入引入的噪声。

8.4.3.4 掉电模式

发出 POWERDOWN 命令后，该器件在完成当前转换后进入掉电模式。在该模式下，所有模拟电路（包括电压基准和两个 IDAC）均掉电，低侧电源开关断开，该器件的流耗通常仅为 400nA。在掉电模式下，该器件的配置寄存器设置保持不变，同时对命令进行响应，但不执行任何数据转换。

发出 START/SYNC 命令将唤醒该器件并启动单次转换或连续转换模式，具体取决于通过 CM 位选择的结果。请注意，写入任意配置寄存器也会唤醒该器件，但无论选择何种转换模式 (CM)，仅会启动单次转换。

8.5 编程

8.5.1 串行接口

该器件的 SPI 兼容串行接口适用于读取转换数据、读写器件配置寄存器以及控制器件工作状态。仅支持 SPI 模式 1 ($CPOL = 0$, $CPHA = 1$)。该接口由五条控制线 (\overline{CS} 、 $SCLK$ 、 DIN 、 $DOUT/\overline{DRDY}$ 和 \overline{DRDY}) 组成, 但仅可与四路甚至三路控制信号结合使用。专用数据就绪信号 (\overline{DRDY}) 可配置为与 $DOUT/\overline{DRDY}$ 共享。如果串行总线未与其他任何器件共享, 则 \overline{CS} 可永久与低电平相连, 以便仅需使用信号 $SCLK$ 、 DIN 和 $DOUT/\overline{DRDY}$ 与器件进行通信。

8.5.1.1 片选 (\overline{CS})

片选 (\overline{CS}) 是一种低电平有效输入, 可选择器件进行 SPI 通信。当多个器件共享同一总线时, 该特性非常有用。在串行通信过程中, \overline{CS} 必须保持低电平。 \overline{CS} 置为高电平后, 串行接口随即复位, $SCLK$ 将被忽略, $DOUT/\overline{DRDY}$ 进入高阻抗状态; 因此, $DOUT/\overline{DRDY}$ 无法指示数据何时就绪。如果总线连接多个器件, 专用 \overline{DRDY} 引脚针对转换状态进行不间断监测。如果串行总线未与其他外设共享, \overline{CS} 可连接低电平。

8.5.1.2 串行时钟 ($SCLK$)

串行时钟 ($SCLK$) 具备施密特触发输入, 便于时钟数据在器件的 DIN 和 $DOUT/\overline{DRDY}$ 引脚处进出。尽管输入存在迟滞, TI 依然建议 $SCLK$ 信号最大限度保持纯净, 以防因数据意外转换而产生毛刺。当串行接口处于空闲状态时, $SCLK$ 保持低电平。

8.5.1.3 数据就绪 (\overline{DRDY})

\overline{DRDY} 用于指示新转换结果准备就绪可供检索。 \overline{DRDY} 降为低电平表示新转换数据准备就绪。 \overline{DRDY} 将在下一 $SCLK$ 上升沿转换回高电平。如果在连续转换模式下未读取任何数据, 则 \overline{DRDY} 保持低电平, 但在 $2 \cdot t_{(MOD)}$ 内呈现脉冲高电平, 此后出现下一 \overline{DRDY} 下降沿。始终对 \overline{DRDY} 引脚进行有源驱动, 即使 \overline{CS} 处于高电平同样如此。

8.5.1.4 数据输入 (DIN)

数据输入引脚 (DIN) 与 $SCLK$ 共同向器件传输数据 (命令和寄存器数据)。该器件在 $SCLK$ 下降沿锁存 DIN 中的数据。该器件从不驱动 DIN 引脚。

8.5.1.5 数据输出与数据就绪 ($DOUT/\overline{DRDY}$)

$DOUT/\overline{DRDY}$ 提供两种功能。该引脚与 $SCLK$ 共同读取器件中的转换数据和寄存器数据。 $DOUT/\overline{DRDY}$ 中的数据在 $SCLK$ 上移出。 $DOUT/\overline{DRDY}$ 在 \overline{CS} 处于高电平时呈现高阻抗状态。

此外, 通过将配置寄存器的 $DRDYM$ 位置为高电平也可将 $DOUT/\overline{DRDY}$ 引脚配置为数据就绪指示器。

$DOUT/\overline{DRDY}$ 随后在 \overline{DRDY} 引脚进入低电平状态后转换为高电平, 指示新转换数据可用。两信号均可用于检测新数据是否准备就绪。然而, 由于 $DOUT/\overline{DRDY}$ 在 \overline{CS} 处于高电平时禁用, 因此当 SPI 总线连接多个器件时, 建议使用专用 \overline{DRDY} 引脚针对转换结束进行监测。

8.5.1.6 SPI 超时

ADS1220 具备 SPI 超时功能, 可用于在串行接口传输中断时恢复通信。该功能尤其适用于 \overline{CS} 永久连接低电平且不用于构建通信序列的应用。如果在 $13955 \cdot t_{(MOD)}$ (正常模式, 占空比模式) 或 $27910 \cdot t_{(MOD)}$ (Turbo 模式) 内未发送完整命令, 则串行接口复位, 下一 $SCLK$ 脉冲将开启新一通信周期。请参见 [调制器](#) 部分, 了解有关不同工作模式下调制器频率 ($f_{(MOD)} = 1 / t_{(MOD)}$) 的详细信息。对于 RREG 和 WREG 命令, 一条完整的命令包括命令字节本身外加读取或写入的寄存器字节。

编程 (接下页)

8.5.2 数据格式

该器件以二进制补码格式提供 24 位数据。单一代码 (LSB) 的大小通过 [公式 16](#) 进行计算。

$$1 \text{ LSB} = (2 \cdot V_{\text{ref}} / \text{增益}) / 2^{24} = +\text{FS} / 2^{23} \quad (16)$$

正满量程输入 $[V_{\text{IN}} \geq (+\text{FS} - 1 \text{ LSB}) = (V_{\text{ref}} / \text{增益} - 1 \text{ LSB})]$ 产生输出代码 7FFFFFFh；负满量程输入 $(V_{\text{IN}} \leq -\text{FS} = -V_{\text{ref}} / \text{增益})$ 产生输出代码 800000h。输出在这些代码处针对超出满量程范围的信号进行削波。

[表 13](#) 总结了不同输入信号的理想输出代码。

表 13. 理想输出代码与输入信号间的关系

输入信号, V_{IN} ($\text{AIN}_P - \text{AIN}_N$)	理想输出代码 ⁽¹⁾
$\geq \text{FS} (2^{23} - 1) / 2^{23}$	7FFFFFFh
$\text{FS} / 2^{23}$	000001h
0	000000h
$-\text{FS} / 2^{23}$	FFFFFFFFFFh
$\leq -\text{FS}$	800000h

(1) 排除噪声、INL、偏移和增益误差的影响。

将模拟输入信号映射到输出代码，如[图 60](#) 所示。

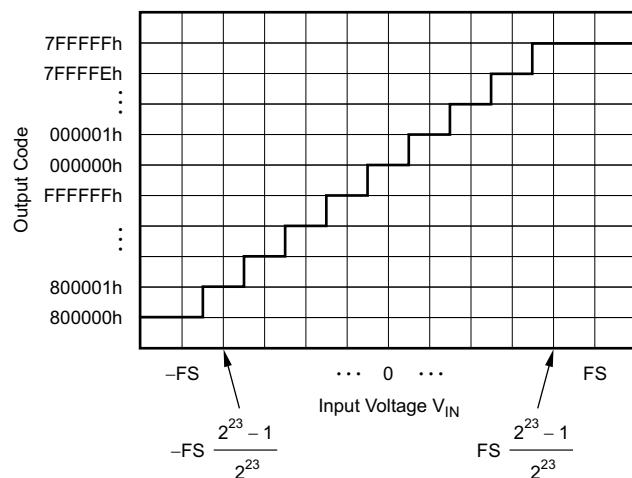


图 60. 代码转换图

8.5.3 命令

该器件通过六种不同命令控制器件的工作状态, 如表 14 所示。其中四种命令为独立指令 (RESET、START/SYNC、POWERDOWN 和 RDATA)。由器件读取 (RREG) 和向器件写入 (WREG) 配置寄存器数据的命令需要附加信息作为指令的一部分。

表 14. 命令定义

命令	说明	命令字节 ⁽¹⁾
RESET	复位器件	0000 011x
START/SYNC	启动或重启转换	0000 100x
POWERDOWN	进入掉电模式	0000 001x
RDATA	通过命令读取数据	0001 xxxx
RREG	读取 <i>nn</i> 寄存器 (起始地址: <i>rr</i>)	0010 <i>rrnn</i>
WREG	写入 <i>nn</i> 寄存器 (起始地址: <i>rr</i>)	0100 <i>rrnn</i>

(1) 操作数: *rr* = 配置寄存器 (00 至 11), *nn* = 字节数 – 1 (00 至 11) 以及 *x* = 无关值。

8.5.3.1 RESET (0000 011x)

将器件复位为默认值。发送 RESET 命令后应至少等待 ($50\mu\text{s} + 32 \cdot t_{(\text{CLK})}$) 方可继续发送其他任何命令。

8.5.3.2 START/SYNC (0000 100x)

在单次模式下, START/SYNC 命令用于启动单次转换, 或 (在转换的发送过程中) 复位数字滤波器, 随后重启新一次转换。如果将器件设置为连续转换模式, 为了启动连续转换, 必须一次性发出 START/SYNC 命令。如果在连续转换模式下发送 START/SYNC 命令, 则会复位数字滤波器并重启连续转换。

8.5.3.3 POWERDOWN (0000 001x)

POWERDOWN 命令将器件置于掉电模式。该命令关断所有内部模拟组件、断开低侧开关并关断两个 IDAC, 但保持所有寄存器值。如果在转换过程中发出 POWERDOWN 命令, 转换将在 ADS1220 进入掉电模式前完成。发出 START/SYNC 命令后, 所有模拟组件立即返回至上一状态。

8.5.3.4 RDATA (0001 xxxx)

RDATA 命令将最新转换结果载入输出移位寄存器。当 DOUT/DRDY 或 DRDY 未受监测时, 可使用该命令指示提供新转换结果。如果在 RDATA 命令字节中间完成转换, 读操作结束时 DRDY 引脚状态将指示载入了旧结果或新结果。如果载入旧结果, DRDY 将保持低电平, 指示未读出新结果。新转换结果将在 DRDY 处于高电平时载入。

8.5.3.5 RREG (0010 *rrnn*)

RREG 命令从器件的配置寄存器读取 *nn* 指定的字节数 (待读取字节数 – 1), 起始寄存器地址为 *rr*。在 RREG 命令字节后, 如有 *nn* + 1 个字节随时钟移出, 则该命令完成。例如, 从配置寄存器 1 (*rr* = 01) 开始读取三个字节 (*nn* = 10) 的命令为 0010 0110。

8.5.3.6 WREG (0100 *rrnn*)

WREG 命令向器件的配置寄存器写入 *nn* 指定的字节数 (待写入字节数 – 1), 起始寄存器地址为 *rr*。在 WREG 命令字节后, 如有 *nn* + 1 个字节随时钟移入, 则该命令完成。例如, 从配置寄存器 0 (*rr* = 00) 开始写入两个字节 (*nn* = 01) 的命令为 0100 0001。配置寄存器在最后一个 SCLK 下降沿更新。

8.5.4 读取数据

输出引脚 **DRDY** 和 **DOUT/DRDY**（如果将配置寄存器的 **DRDYM** 位置为高电平）将在新数据准备就绪可供检索时转换为低电平。转换数据写入内部数据缓冲区。该缓冲区中的数据可直接通过 **DOUT/DRDY** 进行读取（条件是 **DRDY** 降为低电平），无须担心损坏数据。无需发送 **RDATA** 命令。数据将在 **SCLK** 上升沿移出（**MSB** 首先移出），其中包含三个字节的数据。

图 61 至图 63 所示为未使用 **RDATA** 命令时，在连续转换模式和单次模式下读取转换数据的时序图。

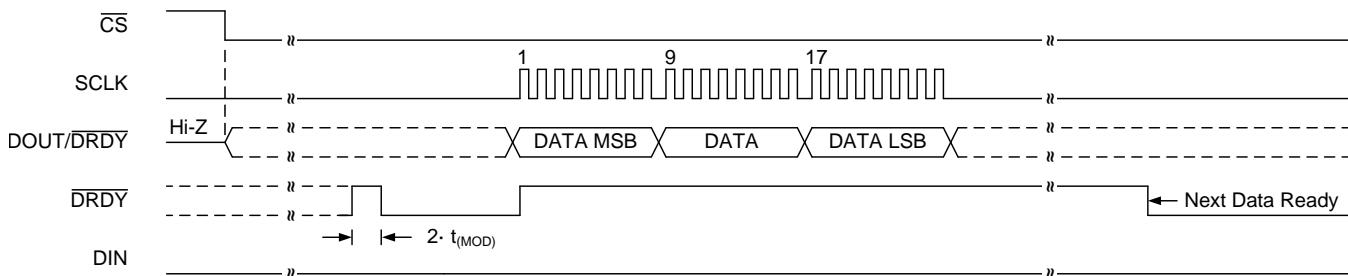


图 61. 连续转换模式 (**DRDYM = 0**)

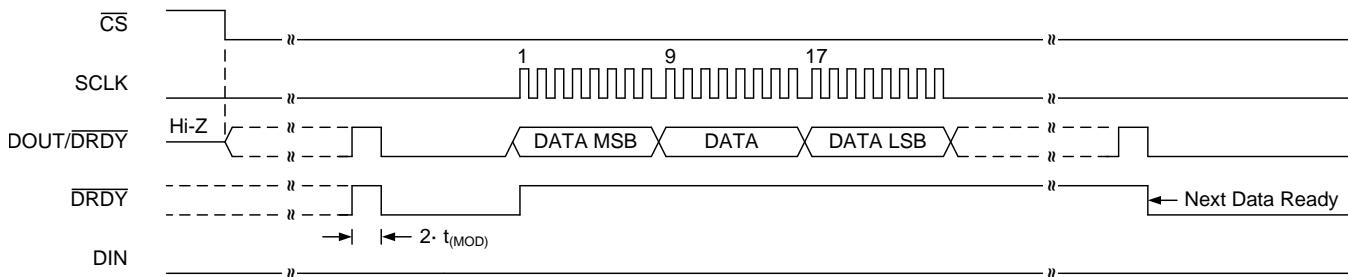


图 62. 连续转换模式 (**DRDYM = 1**)

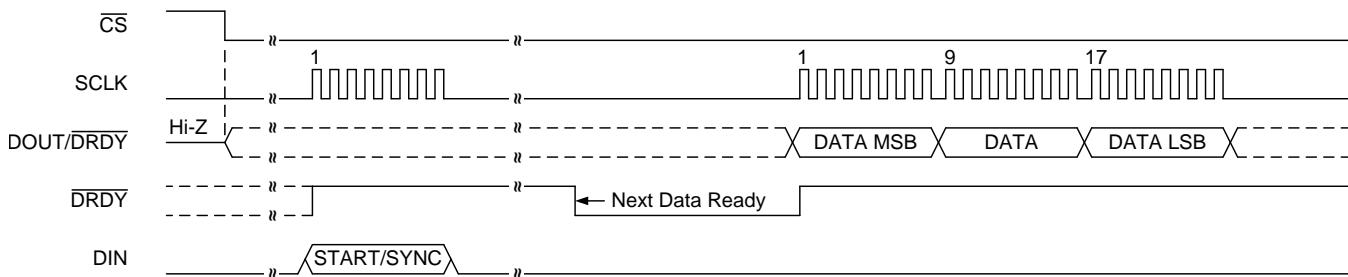


图 63. 单次模式 (**DRDYM = 0**)

还可使用 **RDATA** 命令随时读取数据，无需与 **DRDY** 信号同步。发出 **RDATA** 命令后，当前存储于数据缓冲区的转换结果在后续 **SCLK** 上升沿于 **DOUT/DRDY** 移出。也可使用 **RDATA** 命令连续读取数据，以监测 **DRDY** 或 **DOUT/DRDY**。**DRDY** 引脚可在 **LSB** 随时钟移出后进行轮询，以确定是否载入新转换结果。如果在读操作过程中完成新一次转换，同时读取了前一次转换的数据，则 **DRDY** 处于低电平。否则，如果读取最新结果，则 **DRDY** 处于高电平。图 64 和图 65 所示为这两种情况对应的行为。

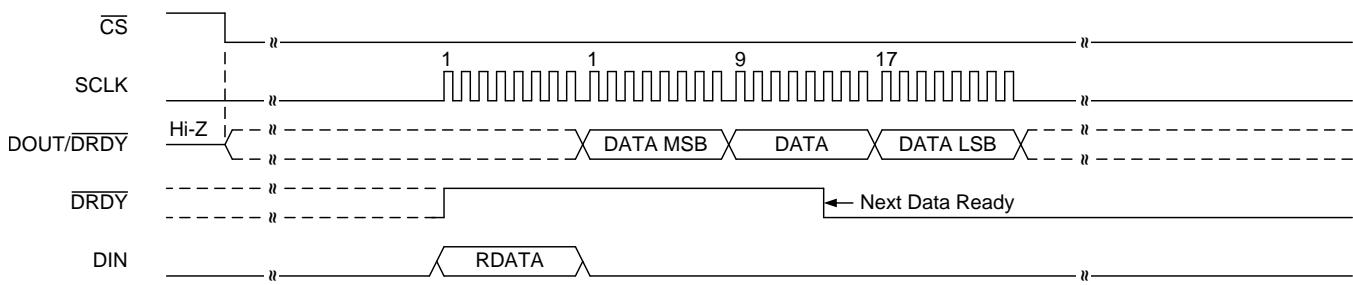


图 64. 在 RDATA 命令过程中完成新转换时的 **DRDY** 状态

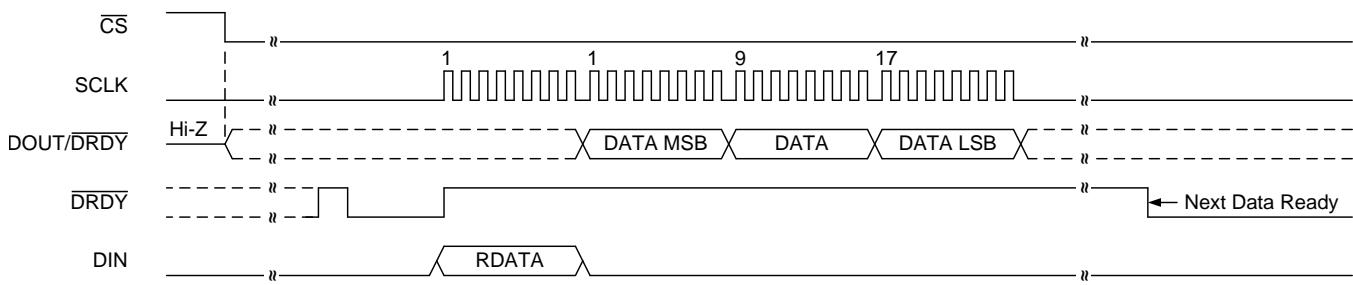


图 65. 在 RDATA 命令过程中读取新转换结果时的 **DRDY** 状态

8.5.5 发送命令

该器件的串行接口可在不使用 RDATA 命令的情况下执行全双工操作，同时读取转换数据。全双工操作意味着在读取转换数据的同时对命令进行解码。在数据读取操作过程中，无法在任何 8 位数据边界发送命令。识别 RREG 或 RDATA 命令后，除非在检索到转换结果的最后一个字节时发送命令，否则当前数据读取操作中止，转换数据受损。该器件开始在命令字节后的第一个 SCLK 上升沿于 DOUT/DRDY 输出请求的数据。要在无中断条件下读取数据，请在数据随时钟移出的过程中使 DIN 保持低电平。

不破坏正在进行的读操作即可发送 WREG 命令。图 66 所示为在连续转换模式下读取转换数据时，发送 WREG 命令写入两配置寄存器的示例。命令随时钟移入后（在第 32 个 SCLK 下降沿之后），该器件复位数字滤波器并开始以新寄存器设置进行转换。可在任意 8 位边界发送 WREG 命令。

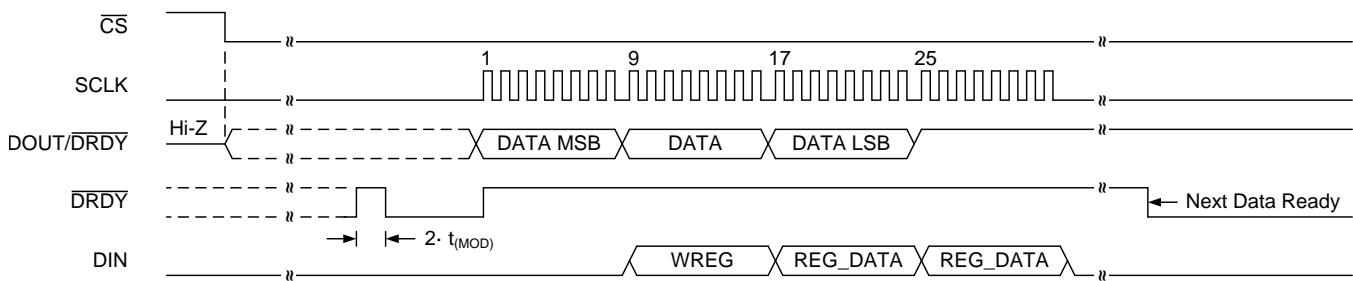


图 66. 在读取数据的同时发送 WREG 命令的示例

请注意，串行接口不会在执行 RDATA 或 RREG 命令时对命令进行解码。即，必须在发出 RDATA 命令后读取全部 24 位转换结果，请求的所有寄存器必须在发送 RREG 命令后进行读取，然后方可发出新命令。

8.5.6 连接多个器件

将多个 ADS1220 器件与同一 SPI 总线相连时, SCLK、DIN 和 DOUT/DRDY 可针对支持 SPI 功能的各个器件使用专用片选 (\overline{CS}) 线实现安全共享。对于相应器件, \overline{CS} 跳变为高电平时, DOUT/DRDY 会进入三态模式。因此, 在以下情况下, 无论配置寄存器中的 DRDYM 位设置如何, DOUT/DRDY 都不能用于指示新数据何时可用: \overline{CS} 为高电平。仅专用 DRDY 引脚指示新数据可用, 因为 DRDY 引脚即便在 \overline{CS} 为高电平时也会受到主动驱动。

在某些情况下, DRDY 引脚不能连接至微控制器。如果微控制器上的通用输入/输出 (GPIO) 通道数不够用, 或者串行接口必须进行电流隔离从而必须限制通道数时会出现这种情况。因此, 为了评估其中一个器件何时准备好进行新的转换, 微控制器会定期为相应器件将 \overline{CS} 拉为低电平, 然后轮询 DOUT/DRDY 引脚的状态。当 \overline{CS} 变为低电平时, DOUT/DRDY 引脚会立即驱动为高电平或低电平, 前提是 DRDYM 位配置为 1。如果 DOUT/DRDY 线驱动为低电平, 则在 \overline{CS} 驱动为低电平时, 新数据当前可用。如果 DOUT/DRDY 线驱动为高电平, 则新数据不可用。该过程要求 DOUT/DRDY 在读取各个转换结果之后以及在 \overline{CS} 驱动为高电平之前呈高电平。为确保 DOUT/DRDY 驱动为高电平, 在每次进行完数据读取操作之后都额外发送 8 个 SCLK (DIN 保持为低电平)。DOUT/DRDY 在读取转换结果之后会在八个 SCLK 期间读为高电平, 如图 67 所示。此外, 还可随时使用 RDATA 命令从器件中检索有效数据, 而无需担心数据损坏。

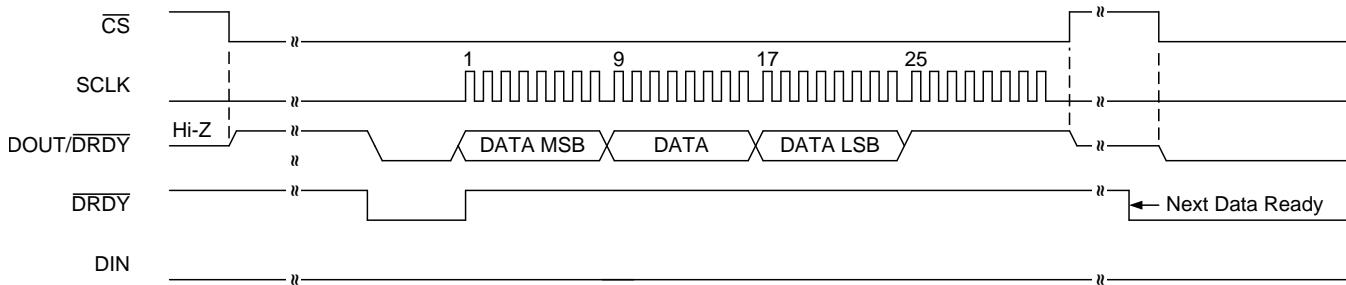


图 67. 在读取转换结果后将 DOUT/DRDY 驱动为高电平的示例

8.6 寄存器映射

8.6.1 配置寄存器

该器件配有 4 个 8 位配置寄存器, 这些寄存器可通过串行接口并使用 RREG 和 WREG 命令进行访问。配置寄存器可控制器件的工作方式, 并且可随时进行切换, 而不会导致数据损坏。上电或复位后, 所有寄存器均设置为默认值 (均为 0)。在掉电模式期间, 所有寄存器均保持其各自的值。表 15 显示了配置寄存器的寄存器映射。

表 15. 配置寄存器映射

寄存器 (十六进制)	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	
00h	MUX[3:0]					GAIN[2:0]			PGA_BYPASS
01h	DR[2:0]		MODE[1:0]		CM	TS	BCS		
02h	VREF[1:0]		50/60[1:0]		PSW	IDAC[2:0]			
03h	I1MUX[2:0]			I2MUX[2:0]			DRDYM	0	

8.6.1.1 配置寄存器 0 (偏移 = 00h) [复位 = 00h]

图 68. 配置寄存器 0

7	6	5	4	3	2	1	0
		MUX[3:0]			GAIN[2:0]		PGA_BYPASS
		R/W-0h			R/W-0h		R/W-0h

图例: R/W = 读取/写入; -n = 复位后的值

表 16. 配置寄存器 0 字段说明

位	字段	类型	复位	描述
7-4	MUX[3:0]	R/W	0h	<p>输入多路复用器配置 这些位配置输入多路复用器。 对于 $AIN_N = AVSS$ 的设置, PGA 必须禁用 ($PGA_BYPASS = 1$), 并且仅可使用增益 1、2 和 4。</p> <p>0000: $AIN_P = AIN_0, AIN_N = AIN_1$ (默认设置) 0001: $AIN_P = AIN_0, AIN_N = AIN_2$ 0010: $AIN_P = AIN_0, AIN_N = AIN_3$ 0011: $AIN_P = AIN_1, AIN_N = AIN_2$ 0100: $AIN_P = AIN_1, AIN_N = AIN_3$ 0101: $AIN_P = AIN_2, AIN_N = AIN_3$ 0110: $AIN_P = AIN_1, AIN_N = AIN_0$ 0111: $AIN_P = AIN_3, AIN_N = AIN_2$ 1000: $AIN_P = AIN_0, AIN_N = AVSS$ 1001: $AIN_P = AIN_1, AIN_N = AVSS$ 1010: $AIN_P = AIN_2, AIN_N = AVSS$ 1011: $AIN_P = AIN_3, AIN_N = AVSS$ 1100: $(V_{REFPx} - V_{REFNx}) / 4$ 监视 (旁路 PGA) 1101: $(AVDD - AVSS) / 4$ 监视 (旁路 PGA) 1110: AIN_P 和 AIN_N 短接至 $(AVDD + AVSS) / 2$ 1111: 保留</p>
3-1	GAIN[2:0]	R/W	0h	<p>增益配置 这些位用于配置器件增益。 在不使用 PGA 的情况下, 可使用增益 1、2 和 4。在这种情况下, 通过开关电容结构获得增益。</p> <p>000: 增益 = 1 (默认设置) 001: 增益 = 2 010: 增益 = 4 011: 增益 = 8 100: 增益 = 16 101: 增益 = 32 110: 增益 = 64 111: 增益 = 128</p>
0	PGA_BYPASS	R/W	0h	<p>禁用和旁路内部低噪声 PGA 禁用 PGA 会降低整体功耗, 并可将共模电压范围 (V_{CM}) 扩展为 $AVSS - 0.1V$ 至 $AVDD + 0.1V$。 只能针对增益 1、2 和 4 禁用 PGA。 无论 PGA_BYPASS 设置如何, 都始终针对增益设置 8 至 128 启用 PGA。</p> <p>0: PGA 已启用 (默认设置) 1: PGA 已禁用和旁路</p>

8.6.1.2 配置寄存器 1 (偏移 = 01h) [复位 = 00h]

图 69. 配置寄存器 1

7	6	5	4	3	2	1	0
DR[2:0]			MODE[1:0]		CM	TS	BCS
R/W-0h			R/W-0h		R/W-0h	R/W-0h	R/W-0h

图例: R/W = 读/写; -n = 复位后的值

表 17. 配置寄存器 1 字段说明

位	字段	类型	复位	描述
7-5	DR[2:0]	R/W	0h	数据速率 这些位控制数据速率设置, 取决于所选工作模式。表 18 列出了正常模式、占空比模式和 Turbo 模式对应的位设置。
4-3	MODE[1:0]	R/W	0h	工作模式 这些位控制器件所处的工作模式。 00: 正常模式 (256kHz 调制器时钟, 默认设置) 01: 占空比模式 (内部占空比 1:4) 10: Turbo 模式 (512kHz 调制器时钟) 11: 保留
2	CM	R/W	0h	转换模式 此位用于为器件设置转换模式。 0: 单次模式 (默认设置) 1: 连续转换模式
1	TS	R/W	0h	温度传感器模式 此位用于启用内部温度传感器以及将器件置于温度传感器模式下。 启用温度传感器模式后, 配置寄存器 0 的设置不会产生任何影响, 器件会使用内部基准进行测量。 0: 禁用温度传感器 (默认设置) 1: 启用温度传感器
0	BCS	R/W	0h	烧毁电流源 此位用于控制 10µA 烧毁电流源。 烧毁电流源可用于检测传感器故障 (例如, 传感器断路和短路)。 0: 电流源关断 (默认设置) 1: 电流源接通

表 18. DR 位设置(1)

正常模式	占空比模式	TURBO 模式
000 = 20SPS	000 = 5SPS	000 = 40SPS
001 = 45SPS	001 = 11.25SPS	001 = 90SPS
010 = 90SPS	010 = 22.5SPS	010 = 180SPS
011 = 175SPS	011 = 44SPS	011 = 350SPS
100 = 330SPS	100 = 82.5SPS	100 = 660SPS
101 = 600SPS	101 = 150SPS	101 = 1200SPS
110 = 1000SPS	110 = 250SPS	110 = 2000SPS
111 = 保留	111 = 保留	111 = 保留

(1) 提供的数据速率使用内部振荡器或 4.096MHz 外部时钟进行计算。如果使用的是频率不为 4.096MHz 的外部时钟, 则数据速率会按外部时钟频率成比例缩放。

8.6.1.3 配置寄存器 2 (偏移 = 02h) [复位 = 00h]

图 70. 配置寄存器 2

7	6	5	4	3	2	1	0
VREF[1:0]		50/60[1:0]		PSW		IDAC[2:0]	
R/W-0h		R/W-0h		R/W-0h		R/W-0h	

图例: R/W = 读/写; -n = 复位后的值

表 19. 配置寄存器 2 字段说明

位	字段	类型	复位	描述
7-6	VREF[1:0]	R/W	0h	基准电压选择 这些位用于选择转换所使用的基准电压源。 00: 选择 2.048V 内部基准电压 (默认设置) 01: 使用专用 REFPO 和 REFN0 输入选择的外部基准电压 10: 使用 AIN0/REFP1 和 AIN3/REFN1 输入选择的外部基准电压 11: 用作基准的模拟电源 (AVDD – AVSS)
5-4	50/60[1:0]	R/W	0h	FIR 滤波器配置 这些位用于为内部 FIR 滤波器配置滤波器系数。 在正常模式下, 这些位仅与 20SPS 设置结合使用; 在占空比模式下, 这些位仅与 5SPS 设置结合使用。对于所有其他数据速率, 这些位均设置为 00。 00: 无 50Hz 或 60Hz 抑制 (默认设置) 01: 同时抑制 50Hz 和 60Hz 10: 只抑制 50Hz 11: 只抑制 60Hz
3	PSW	R/W	0h	低侧电源开关配置 此位用于配置 AIN3/REFN1 和 AVSS 之间连接的低侧开关的行为。 0: 开关始终处于断开状态 (默认设置) 1: 开关会在发送 START/SYNC 命令时自动闭合, 并在发出 POWERDOWN 命令时自动断开。
2-0	IDAC[2:0]	R/W	0h	IDAC 电流设置 这些位用于为 IDAC1 和 IDAC2 激励电流源设置电流。 000: 关断 (默认设置) 001: 10 μ A 010: 50 μ A 011: 100 μ A 100: 250 μ A 101: 500 μ A 110: 1000 μ A 111: 1500 μ A

8.6.1.4 配置寄存器 3 (偏移 = 03h) [复位 = 00h]

图 71. 配置寄存器 3

7	6	5	4	3	2	1	0
I1MUX[2:0]			I2MUX[2:0]			DRDYM	0
R/W-0h			R/W-0h			R/W-0h	R/W-0h

图例: R/W = 读/写; -n = 复位后的值

表 20. 配置寄存器 3 字段说明

位	字段	类型	复位	描述
7-5	I1MUX[2:0]	R/W	0h	IDAC1 路由配置 这些位用于选择 IDAC1 将路由到的通道。 000: IDAC1 已禁用 (默认设置) 001: IDAC1 已连接至 AIN0/REFP1 010: IDAC1 已连接至 AIN1 011: IDAC1 已连接至 AIN2 100: IDAC1 已连接至 AIN3/REFN1 101: IDAC1 已连接至 REFP0 110: IDAC1 已连接至 REFN0 111: 保留
4-2	I2MUX[2:0]	R/W	0h	IDAC2 路由配置 这些位用于选择 IDAC2 将路由到的通道。 000: IDAC2 已禁用 (默认设置) 001: IDAC2 已连接至 AIN0/REFP1 010: IDAC2 已连接至 AIN1 011: IDAC2 已连接至 AIN2 100: IDAC2 已连接至 AIN3/REFN1 101: IDAC2 已连接至 REFP0 110: IDAC2 已连接至 REFN0 111: 保留
1	DRDYM	R/W	0h	DRDY 模式 该位用于控制新数据就绪时 DOUT/DRDY 引脚的行为。 0: 仅专用 DRDY 引脚用于指示数据何时就绪 (默认设置) 1: 同时通过 DOUT/DRDY 和 DRDY 指示数据就绪。
0	被保留	R/W	0h	保留 始终写为 0

9 应用和实施

注

以下应用部分的信息不属于 TI 组件规范, TI 不担保其准确性和完整性。客户应负责确定 TI 组件是否适用于其应用。客户应验证并测试其设计是否能够实现, 以确保系统功能。

9.1 应用信息

ADS1220 是一款 24 位精密 $\Delta\Sigma$ ADC，其集成的多种特性能够简化温度传感器和桥式传感器等各种常见传感器的测量。采用 ADS1220 设计应用时主要考虑以下几点：模拟输入滤波、确立合适的外部基准电压以进行比例测量，以及为内部 PGA 设置共模输入电压。另一个考虑因素是相应地连接和配置串行接口。以下几节将详细讨论这些注意事项。

9.1.1 串行接口连接

ADS1220 串行接口的连接原理如图 72 所示。

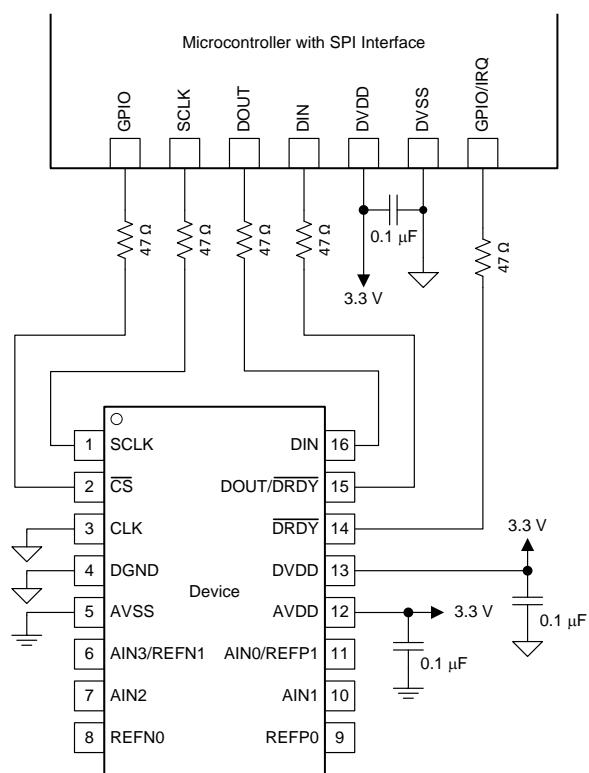


图 72. 串行接口连接

多数微控制器 SPI 外设可与 ADS1220 搭配工作。该接口在 SPI 模式 1 下工作，其中 $CPOL = 0$ 且 $CPHA = 1$ 。在 SPI 模式 1 下，**SCLK** 在空闲状态下保持低电平并且数据仅在 **SCLK** 上升沿进行传输或更改；主器件和从器件在 **SCLK** 下降沿锁存或读取数据。有关该器件采用的 SPI 通信协议的详细信息，请参见 [SPI 时序要求](#)部分。

TI 建议为所有数字输入和输出引脚 ($\overline{\text{CS}}$ 、 SCLK 、 DIN 、 $\text{DOUT}/\overline{\text{DRDY}}$ 和 $\overline{\text{DRDY}}$) 串联一个 47Ω 电阻。此电阻可实现平滑转换、抑制过冲和提供某种过压保护。请务必注意满足全部 SPI 时序要求，因为附加的电阻与数字信号线路中的总线电容彼此交互。

应用信息 (接下页)

9.1.2 模拟输入滤波

模拟输入滤波具有两种用途：首先限制采样过程中混叠的影响；其次降低进入测量的外部噪声。

与其他采样系统类似，如果不进行适当的抗混叠滤波，将发生混叠。如果输入信号的频率分量高于 ADC 采样频率的一半（也称为奈奎斯特频率），将发生混叠。这些频率分量发生折返并在所关注的实际频带中显示为小于采样频率的一半。请注意，在 $\Delta\Sigma$ ADC 内部，输入信号以调制器频率 $f_{(MOD)}$ （而非输出数据速率）进行采样。数字滤波器的滤波响应在采样频率 ($f_{(MOD)}$) 的整数倍处重复，如图 73 所示。频率高达一定值的信号或噪声（滤波器响应在该频率下发生重复）会在数字滤波器的作用下发生一定程度的衰减，具体取决于滤波器结构。除非由外部模拟滤波器进行衰减，否则频率约为调制器频率或其倍数的输入信号中出现的任何频率分量均不会发生衰减并混叠回到所关注频带。

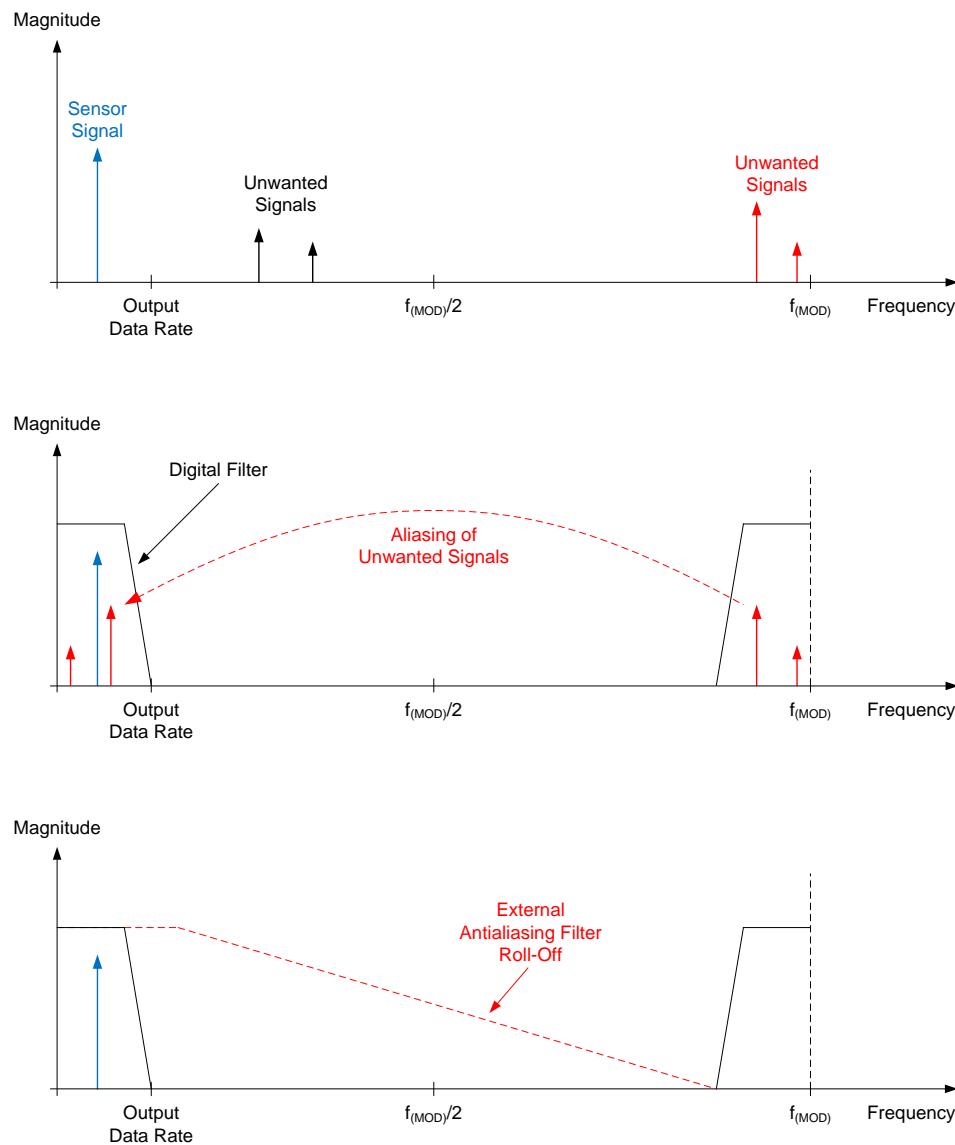


图 73. 混叠的影响

应用信息 (接下页)

许多传感器信号本身的带宽受限。例如，热电偶输出的变化率受限。在这种情况下，当使用 $\Delta\Sigma$ ADC 时，传感器信号不会混叠回通频带。然而，针对传感器接线或应用电路的噪声拾取可能在通频带中混叠。电源线路周期频率和谐波是常见噪声源。电磁干扰 (EMI) 或射频干扰 (RFI) 源（例如附近的电机和手机）也会产生外部噪声。另一类噪声源通常以时钟或其他数字信号形式在印刷电路板 (PCB) 中呈现。模拟输入滤波有助于移除意外出现的信号，防止其影响测量结果。

一阶阻容 (RC) 滤波器（在大多数情况下）足以完全消除混叠或将混叠的影响降至传感器噪底范围内的某一水平。在理想情况下，频率超过 $f_{(MOD)} / 2$ 的所有信号均会衰减至 ADC 噪底范围内的某一水平。ADS1220 的数字滤波器可在一定程度上使信号发生衰减，如[数字滤波器](#)部分的滤波器响应图中所示。此外，噪声分量的幅值通常小于实际传感器信号的幅值。因此，系统设计最初通常选择截止频率设置为与输出数据传输速率相等或是其 10 倍的一阶 RC 滤波器。

在器件内部，位于 PGA 输入之前的是 EMI 滤波器；请参见图 39。此滤波器的截止频率约为 31.8MHz，有助于抑制高频干扰。

9.1.3 外部基准和比例测量

ADS1220 的满量程范围由基准电压和 PGA 增益 ($FSR = \pm V_{ref} / \text{增益}$) 定义。为使 FSR 适应特定的系统要求，可使用外部基准（而非集成的 2.048V 基准）。如果 $V_{IN} > 2.048V$ ，则必须使用外部基准。例如，为测量会在 0V 至 5V 之间进行摆动的单端信号，需要使用 5V 外部基准并使 $AVDD = 5V$ 。

该器件的基准输入还可实现比例测量。在比例测量过程中，用于激励传感器的激励源还可用于为 ADC 设定基准电压。例如，简单的比例测量使用同一电流源来激励电阻传感器元件（例如，RTD）和其他与正在测量的元件串联的电阻基准元件。基准元件两端产生的电压用作 ADC 的基准源。由于电流噪声和漂移对于传感器测量和基准是相同的，因此这些分量会在 ADC 传递函数中相抵消。输出代码仅为传感器元件与基准电阻值之比。激励电流源自身的值并非 ADC 传递函数的一部分。

9.1.4 设定合适的共模输入电压

ADS1220 可用于测量各种类型的输入信号配置：单端、伪差分和全差分信号（既可以是单极，也可以是双极）。不过，针对相应的信号类型正确配置器件至关重要。

负模拟输入固定且以模拟地 ($V_{(AINN)} = 0V$) 为基准的信号通常称为单端信号。因此，单端信号的共模电压的变化范围为 0V 至 $V_{IN} / 2$ 。如果 PGA 已禁用和旁路，则 ADS1220 的共模输入电压可低至 ($AVSS - 100mV$) 以及高于 ($AVDD + 100mV$)。因此，PGA_BYPASS 位必须置 1，以便在使用单极模拟电源 ($AVSS = 0V$) 时测量单端信号。在此配置中，仍支持增益 1、2 和 4。典型示例为：测量以 GND 为基准的 100Ω 负载电阻两端的 0mA 至 20mA 或 4mA 至 20mA 信号。PGA 旁路后，ADS1220 可在增益 = 1 的情况下直接使用单极电源 (2.048V 内部基准) 来测量负载电阻两端的信号。

如果需要使用大于 4 的增益来测量单端信号，则必须启用 PGA。在这种情况下，需要为 ADS1220 使用双极电源，以满足 PGA 的共模电压要求。

负模拟输入 (AIN_N) 固定在非零电压的信号称为伪差分信号。伪差分信号的共模电压的变化范围为 $V_{(AINN)} \text{ 至 } V_{(AINN)} + V_{IN} / 2$ 。

相反，全差分信号的定义则是具有恒定共模电压的信号（正负模拟输入以 180° 异相摆动，但幅值相同）。

ADS1220 可在 PGA 启用或旁路的情况下测量伪差分和全差分信号。不过，要使用大于 4 的增益，必须启用 PGA。启用 PGA 时，输入信号的共模电压必须满足 PGA 的输入共模电压限制要求（如[PGA 共模电压要求](#)部分所述）。在大多数情况下，将共模电压设置为 $(AVSS + AVDD) / 2$ 或其近似值时都可满足 PGA 共模电压要求。

正负输入始终 $\geq 0V$ 的信号称为单极信号。通常，这些信号可通过 ADS1220 并使用单极模拟电源 ($AVSS = 0V$) 进行测量。如前文所述，要在使用单极电源的情况下测量单端、单极信号，必须旁路 PGA。

应用信息 (接下页)

正负输入可摆动到 0V 以下的信号称为双极信号。要使用 ADS1220 测量双极信号，需要双极模拟电源（例如，AVDD = 2.5V, AVSS = -2.5V）。典型应用任务为测量一个 AIN_N 固定在 0V 而 AIN_P 摆幅介于 -10V 和 10V 之间的单端、双极 $\pm 10V$ 信号。ADS1220 不能直接测量此信号，因为 10V 超出了模拟电源限值。不过有一种可行方案：使用双极模拟电源（AVDD = 2.5V, AVSS = -2.5V）、使增益 = 1 并在 ADS1220 之前连接一个电阻分压器。电阻分压器必须将电压分压至 $\leq \pm 2.048V$ ，以便能够使用 2.048V 内部基准进行测量。

9.1.5 未使用的输入和输出

要最大程度减小模拟输入的泄漏电流，请将未使用的模拟和基准输入悬空，或者将输入连接至中间供电电压或 AVDD。AIN3/REFN1 例外。不使用 AIN3/REFN1 引脚时将其悬空，以避免意外通过内部低侧开关将此引脚短接至 AVSS。也可以将未使用的模拟或基准输入连接至 AVSS，但与前文所述的方法相比，产生的泄漏电流会更高。

不要将未使用的数字输入悬空；否则会导致电源泄漏电流过大。将所有未使用的数字输入均连接至相应电平（DVDD 或 DGND），即使在掉电模式下亦如此。如果未使用 \overline{CS} ，则将该引脚连接至 DGND。如果使用内部振荡器，则将 CLK 引脚连接至 DGND。如果未使用 \overline{DRDY} 输出，则使该引脚保持断开状态，或使用弱上拉电阻将该引脚连接至 DVDD。

应用信息 (接下页)

9.1.6 伪代码示例

下面列出了伪代码序列以及设置器件和微控制器（与 ADC 相连）以便在连续转换模式下从 ADS1220 获取连续读数所需的步骤。专用 DRDY 引脚用于指示新转换数据的可用性。默认配置寄存器设置更改为增益 = 16、连续转换模式以及同时抑制 50Hz 和 60Hz。

```

Power-up;
Delay to allow power supplies to settle and power-up reset to complete (minimum of 50  $\mu$ s);
Configure the SPI interface of the microcontroller to SPI mode 1 (CPOL = 0, CPHA = 1);
If the CS pin is not tied low permanently, configure the microcontroller GPIO connected to CS as an
output;
Configure the microcontroller GPIO connected to the DRDY pin as a falling edge triggered interrupt
input;
Set CS to the device low;
Delay for a minimum of  $t_{d(CSSC)}$ ;
Send the RESET command (06h) to make sure the device is properly reset after power-up;
Delay for a minimum of 50  $\mu$ s + 32  $\cdot$   $t_{(CLK)}$ ;
Write the respective register configuration with the WREG command (43h, 08h, 04h, 10h, and 00h);
As an optional sanity check, read back all configuration registers with the RREG command (23h);
Send the START/SYNC command (08h) to start converting in continuous conversion mode;
Delay for a minimum of  $t_{d(SCCS)}$ ;
Clear CS to high (resets the serial interface);
Loop
{
    Wait for DRDY to transition low;
    Take CS low;
    Delay for a minimum of  $t_{d(CSSC)}$ ;
    Send 24 SCLK rising edges to read out conversion data on DOUT/DRDY;
    Delay for a minimum of  $t_{d(SCCS)}$ ;
    Clear CS to high;
}
Take CS low;
Delay for a minimum of  $t_{d(CSSC)}$ ;
Send the POWERDOWN command (02h) to stop conversions and put the device in power-down mode;
Delay for a minimum of  $t_{d(SCCS)}$ ;
Clear CS to high;

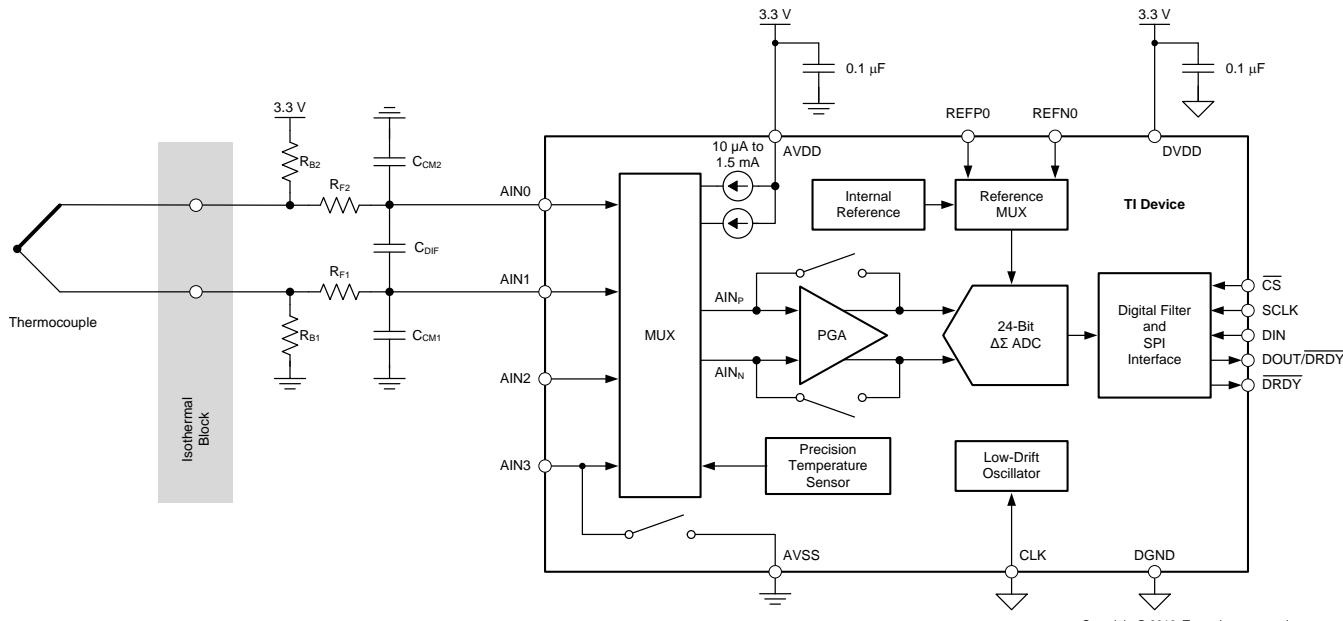
```

TI 建议在执行测量前或在更改 PGA 增益时进行偏移校准。例如，该器件的内部偏移可通过将输入短接至中间供电电压 (MUX[3:1] = 1110) 进行测量。微控制器随后可从输入短接的器件中获取多个读数，并将平均值存储在微控制器存储器中。测量传感器信号时，微控制器可从各个器件读数中减去存储的偏移值，以获得偏移补偿效果。请注意，偏移量既可以为正值，也可以为负值。

9.2 典型应用

9.2.1 K 型热电偶测量（-200°C 至 +1250°C）

图 74 给出了热电偶测量系统使用内部高精度温度传感器进行冷端补偿时的基本连接。除了热电偶本身之外，外部电路仅需两个偏置电阻、一个简单的低通抗混叠滤波器和多个电源去耦合电容。



Copyright © 2016, Texas Instruments Incorporated

图 74. 热电偶测量

9.2.1.1 设计要求

表 21. 设计要求

设计参数	值
电源电压	3.3V
基准电压	内部2.048V 基准
更新速率	≥ 10 个读数/秒
热电偶类型	K
温度测量范围	-200°C 至 +1250°C
$T_A = 25^\circ\text{C}$ 时的测量精度 ⁽¹⁾	$\pm 0.2^\circ\text{C}$

(1) 不考虑热电偶和冷端温度测量误差；在 $T_{(TC)} = T_{(CJ)} = 25^\circ\text{C}$ 情况下进行偏移校准；无增益校准。

9.2.1.2 详细设计流程

偏置电阻 R_{B1} 和 R_{B2} 用于将热电偶的共模电压设置在 PGA 特定的共模电压范围内（在本示例中，设置为中间供电电压 $AVDD / 2$ ）。如果应用需要将热电偶偏置至 GND，则该器件必须使用双极电源（例如， $AVDD = 2.5\text{V}$ 和 $AVSS = -2.5\text{V}$ ）以满足 PGA 的共模电压要求，或必须旁路 PGA。当选择偏置电阻的阻值时，请务必注意避免偏置电流降低测量精度。偏置电流流经热电偶会引起自发热并使热电偶引线之间产生额外压降。偏置电阻的典型值范围为 $1\text{M}\Omega$ 至 $50\text{M}\Omega$ 。

除偏置热电偶外， R_{B1} 和 R_{B2} 还适用于检测热电偶引线的开路情况。如果其中一条热电偶引线因故障开路，则偏置电阻分别将模拟输入 AIN_0 和 AIN_1 拉至 $AVDD$ 和 $AVSS$ 。因此，ADC 读取超出热电偶电压正常测量范围的满量程值来指示这种故障状态。

尽管该器件的数字滤波器会使噪声的高频分量发生衰减, TI 建议在输入处使用一阶无源 RC 滤波器进一步改善性能。由 R_{F1} 、 R_{F2} 和差分电容 C_{DIF} 组成的差分 RC 滤波器的截止频率与使用 [公式 17](#) 的计算结果相同。

$$f_C = 1 / [2\pi \cdot (R_{F1} + R_{F2}) \cdot C_{DIF}] \quad (17)$$

同时添加两个共模滤波电容 (C_{M1} 和 C_{M2}) , 使得高频共模噪声分量发生衰减。TI 建议差分电容 C_{DIF} 应至少比共模电容 (C_{M1} 和 C_{M2}) 高出一个数量级 (10x), 原因是共模电容不匹配可导致共模噪声转换为差分噪声。

滤波器电阻 R_{F1} 和 R_{F2} 还可用作限流电阻。此类电阻在输入发生过压时将流入该器件模拟输入 (AIN0 和 AIN1) 的电流限制为安全水平。选择滤波器电阻的阻值时必须小心谨慎, 原因是流经器件的输入电流会导致电阻产生压降。该压降作为 ADC 输入的附加偏移误差而出现。TI 建议将滤波器电阻的阻值限制在 $1\text{k}\Omega$ 以下。

本设计使用的滤波器组件值为: $R_{F1} = R_{F2} = 1\text{k}\Omega$, $C_{DIF} = 100\text{nF}$, 以及 $C_{CM1} = C_{CM2} = 10\text{nF}$ 。

通过选择可能的最高增益, 最高电势输入信号与 ADC 的 FSR 可实现匹配, 进而获得最高测量分辨率。根据设计要求, 最高热电偶电压在 $T_{(TC)} = 1250^\circ\text{C}$ 时出现, 电压值为 $V_{(TC)} = 50.644\text{mV}$, 以上数据由[美国国家标准技术研究所 \(NIST\)](#) 出版的表格定义, 此时的冷端温度 $T_{(CJ)} = 0^\circ\text{C}$ 。热电偶产生的输出电压与热电偶尖端和冷端温度之差成正比。如果冷端温度低于 0°C , 热电偶产生的电压高于 50.644mV 。等温模块区域受到器件工作温度范围的限制。因此, 等温模块的温度限制为 -40°C 。 K 型热电偶在 $T_{(TC)} = 1250^\circ\text{C}$ 时产生的输出电压 $V_{(TC)} = 50.644\text{mV} - (-1.527\text{mV}) = 52.171\text{mV}$, 其基准冷端温度 $T_{(CJ)} = -40^\circ\text{C}$ 。此后, 通过计算得出使用 2.048V 内部基准时施加的最大增益 ($2.048\text{V} / 52.171\text{mV} = 39.3$)。该器件提供的下一较小 PGA 增益设置为 32。

该器件集成了一个用于测量冷端温度的精密温度传感器。为测量 ADS1220 的内部温度, 必须通过将配置寄存器的 TS 位置 1 的方式将该器件设置为内部温度传感器模式。为实现最佳性能, 谨慎周密的电路板布局对于在冷端和器件封装之间实现良好导热性至关重要。

然而, 该器件不会自动执行热电偶冷端补偿。这种补偿必须在与该器件相连的微控制器中完成。控制器请求从器件中获取一个或多个热电偶电压读数, 然后将该器件设置为内部温度传感器模式 (TS = 1), 以获取冷端温度。为补偿冷端温度, 微控制器必须实施与以下内容相似的算法:

1. 测量 AIN0 和 AIN1 之间的热电偶电压 $V_{(TC)}$ 。
2. 通过 ADS1220 的温度传感器模式测量冷端温度 $T_{(CJ)}$ 。
3. 使用 NIST 提供的表格或公式, 将冷端温度转换为等效温差电压 $V_{(CJ)}$ 。
4. 将所得值与 $V_{(TC)}$ 和 $V_{(CJ)}$ 相加并再次使用 NIST 表格或公式, 将总和转换回热电偶温度。

在某些 应用中不能使用 ADS1220 的集成温度传感器 (例如, 精度较低或器件无法足够接近冷端)。在这种情况下, 可使用器件的附加模拟输入通道, 借助热敏电阻、RTD 或模拟温度传感器测量冷端温度。

为了获得可实现温度分辨率的近似值, 应将增益 = 32、DR = 20SPS ($0.23\mu\text{V}_{\text{rms}}$) 时 ADS1220 的均方根噪声除以 K 型热电偶的平均灵敏度 ($41\mu\text{V}/^\circ\text{C}$), 如[公式 18](#) 所示。

$$\text{温度分辨率} = 0.23\mu\text{V} / 41\mu\text{V}/^\circ\text{C} = 0.006^\circ\text{C} \quad (18)$$

本设计的寄存器设置如表 22 所示。

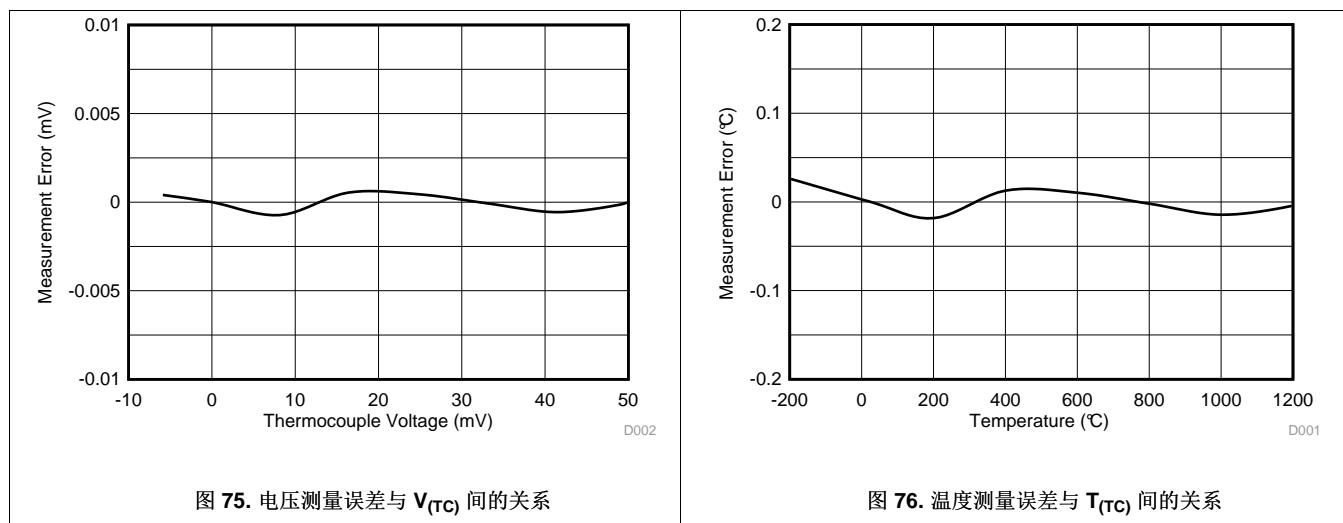
表 22. 寄存器设置

寄存器	设置	说明
00h	0Ah	$AIN_P = AIN_0, AIN_N = AIN_1$, 增益 = 32, PGA 启用
01h	04h	DR = 20SPS, 正常模式, 连续转换模式
02h	10h	内部电压基准, 同时抑制 50Hz 和 60Hz
03h	00h	未使用 IDAC

9.2.1.3 应用曲线

图 75 和图 76 给出了测量结果。测量条件为 $T_A = T_{CJ} = 25^\circ\text{C}$ 。系统偏移校准在 $T_{(TC)} = 25^\circ\text{C}$ 下执行, 该条件等同于 $V_{(TC)} = 0\text{V}$ ($T_{(CJ)} = 25^\circ\text{C}$)。未实现增益校准。通过将精密电压源代替热电偶作为输入信号获取图 75 中的数据。图 76 中的相应温度测量误差可 NIST 表根据图 75 中的数据进行计算。

该设计满足表 21 中给出的所需温度测量精度要求。请注意, 图 76 所示的测量误差不包括热电偶自身的误差以及冷端温度测量误差。这两种误差源通常大于 0.2°C , 因此在多数情况下对于系统整体测量精度起到决定性作用。



9.2.2 三线制 RTD 测量 (-200°C 至 +850°C)

ADS1220 集成了所有必要功能（例如，双匹配可编程电流源、缓冲基准输入和 PGA），可简化比例式双线制、三线制和四线制 RTD 测量实施方案。图 77 所示为比例式三线制 RTD 测量的典型实现，其中采用了器件内集成的激励电流源来激励 RTD 以及实现 RTD 引线电阻的自动补偿。

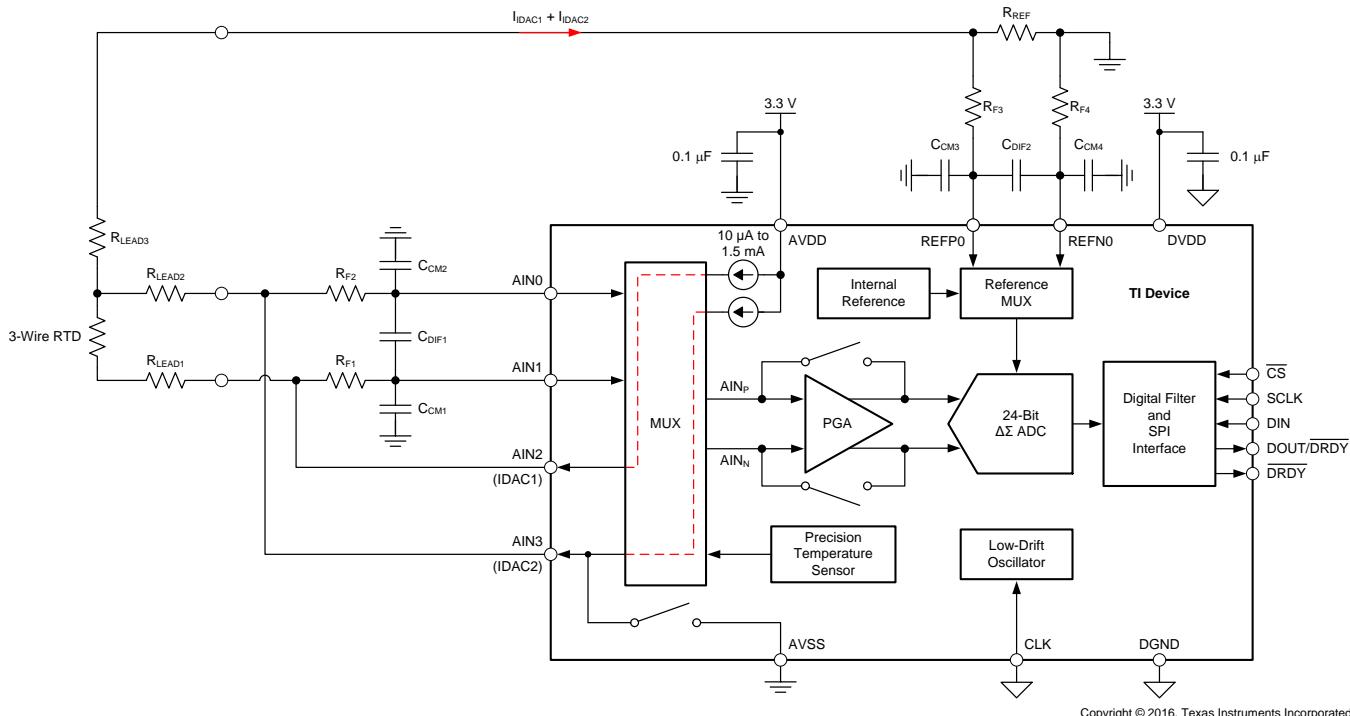


图 77. 三线制 RTD 测量

9.2.2.1 设计要求

表 23. 设计要求

设计参数	值
电源电压	3.3V
更新速率	20 个读数/秒
RTD 类型	三线制 Pt100
最大 RTD 引线电阻	15Ω
RTD 激励电流	500µA
温度测量范围	-200°C 至 +850°C
$T_A = 25^\circ\text{C}$ 时的测量精度 ⁽¹⁾	$\pm 0.2^\circ\text{C}$

(1) 不考虑 RTD 误差;
在 $R_{RTD} = 100\Omega$ 时执行偏移校准; 无增益校准。

9.2.2.2 详细设计流程

图 77 中的电路采用了比例式测量方法。换句话说，传感器信号（即本例中 RTD 两端的电压）和 ADC 的基准电压来自同一激励源。因此，激励源的温度漂移或噪声产生的误差可以抵消，因为这些误差对于传感器信号和基准电压而言是共同的误差。

为了使用该器件实现比例式三线制 RTD 测量，将 IDAC1 路由到 RTD 的其中一条引线，并将 IDAC2 路由到第二条 RTD 引线。这两个电流的值相同，该值可通过配置寄存器的 IDAC[2:0] 位编程。该器件的设计确保两个 IDAC 值紧密匹配，即使在温度范围内也是如此。两个电流合并流经精密的低漂移基准电阻 R_{REF} 。该基准电阻两端产生的电压 V_{ref} （如公式 19 所示）用作 ADC 基准电压。公式 19 简化为公式 20，因为 $I_{IDAC1} = I_{IDAC2}$ 。

$$V_{ref} = (I_{IDAC1} + I_{IDAC2}) \cdot R_{REF} \quad (19)$$

$$V_{ref} = 2 \cdot I_{IDAC1} \cdot R_{REF} \quad (20)$$

为简化后续讨论，将 RTD 的各个引线电阻值 (R_{LEADx}) 设置为零。只有 IDAC1 激励 RTD 生成电压 (V_{RTD})，该电压与依赖温度的 RTD 值和 IDAC1 值成比例，如公式 21 所示。

$$V_{RTD} = R_{RTD} \text{ (温度)} \cdot I_{IDAC1} \quad (21)$$

该器件在内部使用 PGA 放大 RTD 两端的电压，并将生成的电压与基准电压进行比较以生成与公式 22 至公式 24 成比例的数字输出代码：

$$Code \propto V_{RTD} \cdot \text{增益} / V_{ref} \quad (22)$$

$$Code \propto (R_{RTD} \text{ (温度)} \cdot I_{IDAC1} \cdot \text{增益}) / (2 \cdot I_{IDAC1} \cdot R_{REF}) \quad (23)$$

$$Code \propto (R_{RTD} \text{ (温度)} \cdot \text{增益}) / (2 \cdot R_{REF}) \quad (24)$$

如公式 24 所示，输出代码仅取决于 RTD 的值、PGA 增益和基准电阻 (R_{REF})，而不取决于 IDAC1 值。因此，激励电流的绝对精度和温度漂移无关紧要。但是，由于基准电阻的值直接影响测量结果，因此要限制 R_{REF} 的温度漂移所引入的误差，选择温度系数非常低的基准电阻非常重要。

第二个 IDAC2 用于补偿 RTD 的引线电阻两端的电压降所引入的误差。3 线 RTD 的全部三条引线通常长度相同，因此引线电阻也相同。此外，IDAC1 和 IDAC2 的值也相同。将引线电阻纳入考虑范围时，ADC 输入 AIN0 和 AIN1 两端的差分电压 (V_{IN}) 基于公式 25 进行计算：

$$V_{IN} = I_{IDAC1} \cdot (R_{RTD} + R_{LEAD1}) - I_{IDAC2} \cdot R_{LEAD2} \quad (25)$$

$R_{LEAD1} = R_{LEAD2}$ 且 $I_{IDAC1} = I_{IDAC2}$ 时，公式 25 简化为公式 26：

$$V_{IN} = I_{IDAC1} \cdot R_{RTD} \quad (26)$$

换句话说，只要 RTD 引线电阻值和 IDAC 值良好匹配，引线电阻上的压降所产生的测量误差就会被补偿。

一阶差分和共模 RC 滤波器 (R_{F1} 、 R_{F2} 、 C_{DIF1} 、 C_{CM1} 和 C_{CM2}) 置于 ADC 输入端以及基准输入端 (R_{F3} 、 R_{F4} 、 C_{DIF2} 、 C_{CM3} 和 C_{CM4})。设计输入滤波器时同样遵循热电偶测量部分中所述的规则。为实现最佳性能，TI 建议使输入和基准滤波器的角频率匹配。有关使输入和基准滤波器匹配的更详细信息，请参见应用报告《使用 ADS1148 和 ADS1248 系列器件进行 RTD 比例测量和滤波》（文献编号：SBAA201）。

基准电阻 R_{REF} 不仅用于为器件生成基准电压，而且还用于将 RTD 的共模电压设置在 PGA 特定的共模电压范围内。

设计电路时，请务必谨慎，以确保满足 IDAC 的合规电压要求。IDAC 要求到 AVSS 的电流路径两端产生的最大压降小于或等于 $AVDD - 0.9V$ ，以便确保精确操作。此要求意味着，必须始终满足公式 27。

$$AVSS + I_{IDAC1} \cdot (R_{LEAD1} + R_{RTD}) + (I_{IDAC1} + I_{IDAC2}) \cdot (R_{LEAD3} + R_{REF}) \leq AVDD - 0.9V \quad (27)$$

该器件还能将 IDAC 路由至测量所使用的输入。如果滤波器电阻值 R_{F1} 和 R_{F2} 足够小并且良好匹配，则 IDAC1 可路由至 AIN1，IDAC2 可路由至 AIN0，如图 77 所示。通过这种方式，即便是共享同一基准电阻的两个三线制 RTD，也可使用一个器件进行测量。

本设计示例探讨了用于测量介于 -200°C 至 $+850^{\circ}\text{C}$ 之间的温度（如表 23 所示）的三线制 Pt100 测量实现。

Pt100 的激励电流被选作 $I_{IDAC1} = 500\mu\text{A}$ ，这意味着，将有 1mA 的合并电流流经基准电阻 R_{REF} 。如前文所述，除了为 ADS1220 确立基准电压外， R_{REF} 两端的电压还会设置共模电压以用于 RTD 测量。通常，在维持 IDAC 电压合规性以及满足 PGA 共模电压要求的同时，尽可能选择较大的基准电压。TI 建议将共模电压设置为模拟电源的一半（在本例中，为 $3.3V / 2 = 1.65V$ ）或其近似值，此数值在大多数情况下可满足 PGA 的共模电压要求。 R_{REF} 值随后可根据公式 28 计算得出：

$$R_{REF} = V_{ref} / (I_{IDAC1} + I_{IDAC2}) = 1.65V / 1\text{mA} = 1.65\text{k}\Omega \quad (28)$$

R_{REF} 的稳定性对于在整个温度和时间范围内确保良好的测量精度至关重要。建议选择温度系数为 $\pm 10\text{ppm}/^\circ\text{C}$ 或更佳的基准电阻。如果难以实现 $1.65\text{k}\Omega$ 电阻值, 也可以使用一个接近 $1.65\text{k}\Omega$ 的值 (例如, $1.62\text{k}\Omega$ 或 $1.69\text{k}\Omega$)。

对于最后一步, 必须选择 PGA 增益以使最大输入信号与 ADC 的 FSR 匹配。Pt100 的电阻随温度升高而增大。因此, 达到正温度限值时的电压即为要测量的最大电压 ($V_{IN(MAX)}$)。根据 NIST 表可知, 温度为 850°C 时, Pt100 的等效电阻接近于 391Ω 。Pt100 两端的电压可由 [公式 29](#) 计算得出:

$$V_{IN(MAX)} = V_{RTD(850^\circ\text{C})} = R_{RTD(850^\circ\text{C})} \cdot I_{IDAC1} = 391\Omega \cdot 500\mu\text{A} = 195.5\text{mV} \quad (29)$$

然后通过计算得出, 在使用 1.65V 基准电压时可应用的最大增益为 $(1.65\text{V} / 195.5\text{mV}) = 8.4$ 。ADS1220 中可使用相对较小的 PGA 增益设置值 8。增益为 8 时, ADS1220 提供的 FSR 值可由 [公式 30](#) 计算得出:

$$FSR = \pm V_{ref} / \text{增益} = \pm 1.65\text{V} / 8 = \pm 206.25\text{mV} \quad (30)$$

此范围允许初始精度的相关裕度以及 IDAC 和基准电阻的漂移。

选择 IDAC、 R_{REF} 和 PGA 增益这三个值后, 再次进行检查以确保设置符合 PGA 的共模电压和 IDAC 合规电压的要求。为确定 ADC 输入 (AIN0 和 AIN1) 的实际共模电压, 还必须考虑引线电阻。

在达到最低测量温度 (-200°C) 并且 $R_{LEADx} = 0\Omega$ 时的电压为最小共模电压, 此电压由 [公式 31](#) 和 [公式 32](#) 计算得出。

$$V_{CM(MIN)} = V_{ref} + (I_{IDAC1} + I_{IDAC2}) \cdot R_{LEAD3} + I_{IDAC2} \cdot R_{LEAD2} + \frac{1}{2} I_{IDAC1} \cdot R_{RTD(-200^\circ\text{C})} \quad (31)$$

$$V_{CM(MIN)} = 1.65\text{V} + \frac{1}{2} 500\mu\text{A} \cdot 18.52\Omega = 1.655\text{V} \quad (32)$$

实际上, 假设 $V_{CM(MIN)} = V_{ref}$ 充分近似。

$V_{CM(MIN)}$ 必须满足两个要求: [公式 15](#) 要求 $V_{CM(MIN)}$ 大于 $AVDD / 4 = 3.3\text{V} / 4 = 0.825\text{V}$, [公式 13](#) 要求 $V_{CM(MIN)}$ 符合 [公式 33](#):

$$V_{CM(MIN)} \geq AVSS + 0.2\text{V} + \frac{1}{2} \text{增益} \cdot V_{IN(MAX)} = 0\text{V} + 0.2\text{V} + (\frac{1}{2} \cdot 8 \cdot 195.5\text{mV}) = 982\text{mV} \quad (33)$$

本设计满足上述两个限制要求, 其中 $V_{CM(MIN)} = 1.65\text{V}$ 。

在达到最高测量温度 (850°C) 时的电压为最大共模电压, 此电压由 [公式 34](#) 和 [公式 35](#) 计算得出。

$$V_{CM(MAX)} = V_{ref} + (I_{IDAC1} + I_{IDAC2}) \cdot R_{LEAD3} + I_{IDAC2} \cdot R_{LEAD2} + \frac{1}{2} I_{IDAC1} \cdot R_{RTD(850^\circ\text{C})} \quad (34)$$

$$V_{CM(MAX)} = 1.65\text{V} + 1\text{mA} \cdot 15\Omega + 500\mu\text{A} \cdot 15\Omega + \frac{1}{2} 500\mu\text{A} \cdot 391\Omega = 1.77\text{V} \quad (35)$$

$V_{CM(MAX)}$ 不满足 [公式 14](#) (在本设计中, 相当于 [公式 36](#)) 的要求:

$$V_{CM(MAX)} \leq AVDD - 0.2\text{V} - \frac{1}{2} \text{增益} \cdot V_{IN(MAX)} = 3.3\text{V} - 0.2\text{V} - (\frac{1}{2} \cdot 8 \cdot 195.5\text{mV}) = 2.318\text{V} \quad (36)$$

最后, 必须计算输入 AIN1 可能存在的最大电压, 以确定是否满足 IDAC1 合规电压 ($AVDD - 0.9\text{V} = 3.3\text{V} - 0.9\text{V} = 2.4\text{V}$) 的要求。请注意, 输入 AIN0 的电压小于输入 AIN1 的电压。根据 [公式 37](#) 和 [公式 38](#) 可知, AIN1 的电压小于 2.4V , 即使将最差情况下的引线电阻考虑在内亦如此。

$$V_{AIN1(MAX)} = V_{ref} + (I_{IDAC1} + I_{IDAC2}) \cdot R_{LEAD3} + I_{IDAC1} \cdot (R_{RTD(850^\circ\text{C})} + R_{LEAD1}) \quad (37)$$

$$V_{AIN1(MAX)} = 1.65\text{V} + 1\text{mA} \cdot 15\Omega + 500\mu\text{A} \cdot (391\Omega + 15\Omega) = 1.868\text{V} \quad (38)$$

本设计的寄存器设置如表 24 所示。

表 24. 寄存器设置

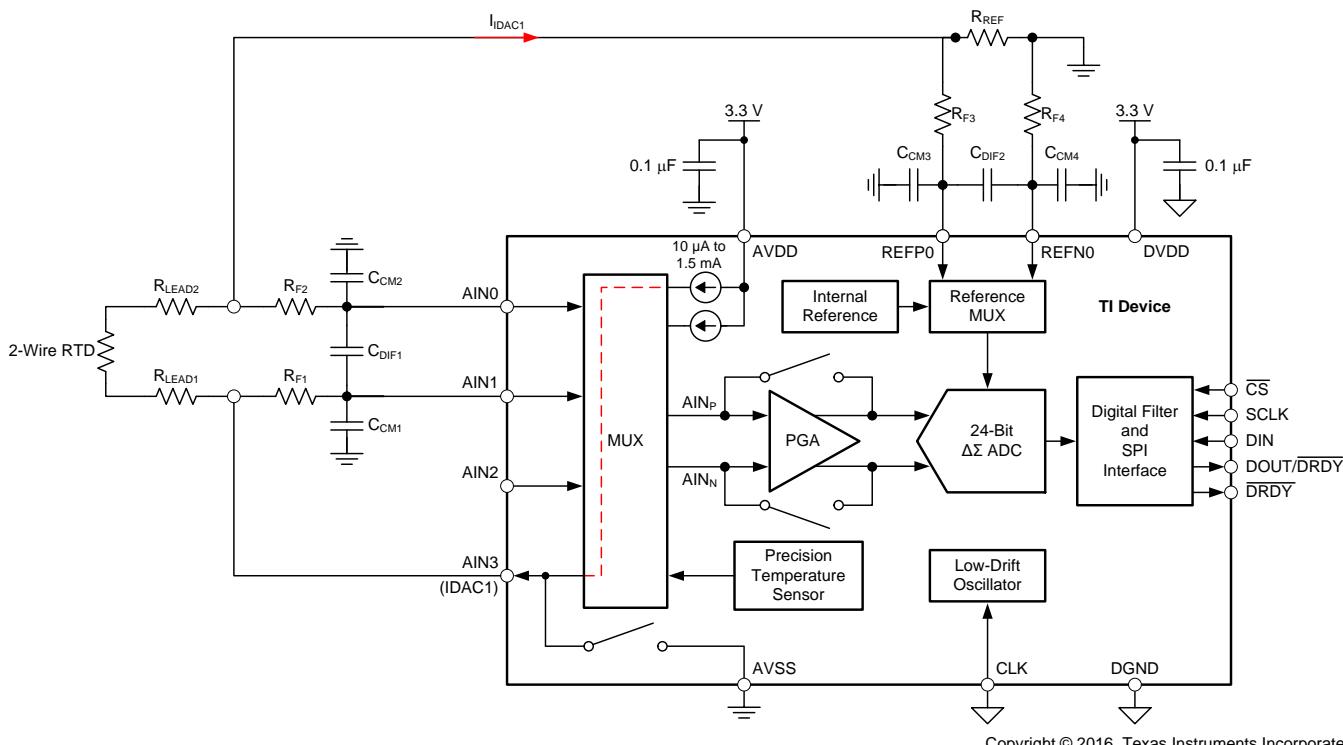
寄存器	设置	说明
00h	66h	AIN _P = AIN1, AIN _N = AIN0, 增益 = 8, PGA 启用
01h	04h	DR = 20SPS, 正常模式, 连续转换模式
02h	55h	外部基准 (REFP0, REFNO), 同时抑制 50Hz 和 60Hz, IDAC = 500 μ A
03h	70h	IDAC1 = AIN2, IDAC2 = AIN3

9.2.2.2.1 两线制和四线制 RTD 测量的设计变型

实现两线制或四线制 RTD 测量与图 77 所示的三线制 RTD 测量非常相似, 除了只需要一个 IDAC。

图 78 所示为两线制 RTD 测量的典型电路实现。与三线制 RTD 测量相比, 主要差别在于引线电阻的补偿。在本配置中, 引线电阻 R_{LEAD1} 和 R_{LEAD2} 两端的压降为测量的一部分 (如公式 39 所示), 因为无法使用第二电流源补偿引线电阻。所有补偿都必须通过校准实现。

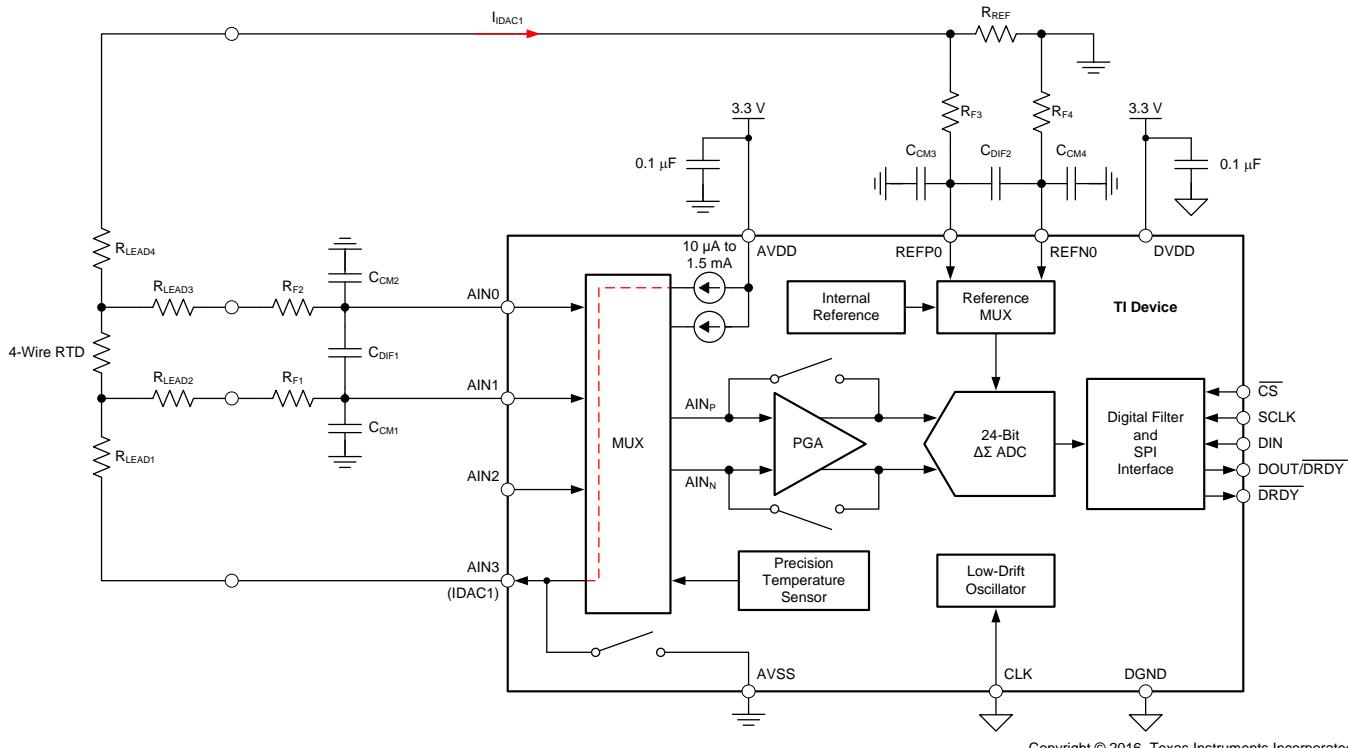
$$V_{IN} = I_{IDAC1} \cdot (R_{LEAD1} + R_{RTD} + R_{LEAD2}) \quad (39)$$



Copyright © 2016, Texas Instruments Incorporated

图 78. 两线制 RTD 测量

图 79 所示为四线制 RTD 测量的典型电路实现。与两线制 RTD 测量类似，仅需一个 IDAC 即可通过比例方式激励和测量四线制 RTD。使用四线制 RTD 的主要优势在于，ADC 输入通过开尔文连接方式与 RTD 连接。除了 ADC 的输入泄漏电流外，没有电流流经引线电阻 R_{LEAD2} 和 R_{LEAD3} ，因此，在其两端不会产生压降。ADC 输入的电压等于 RTD 两端的电压，与引线电阻无关。



Copyright © 2016, Texas Instruments Incorporated

图 79. 四线制 RTD 测量

请注意，由于仅使用一个 IDAC，并且电流流经基准电阻 R_{REF} ，因此两线制和四线制 RTD 测量的传递函数与三线制 RTD 测量的不同之处在于系数为 2，如公式 40 所示。

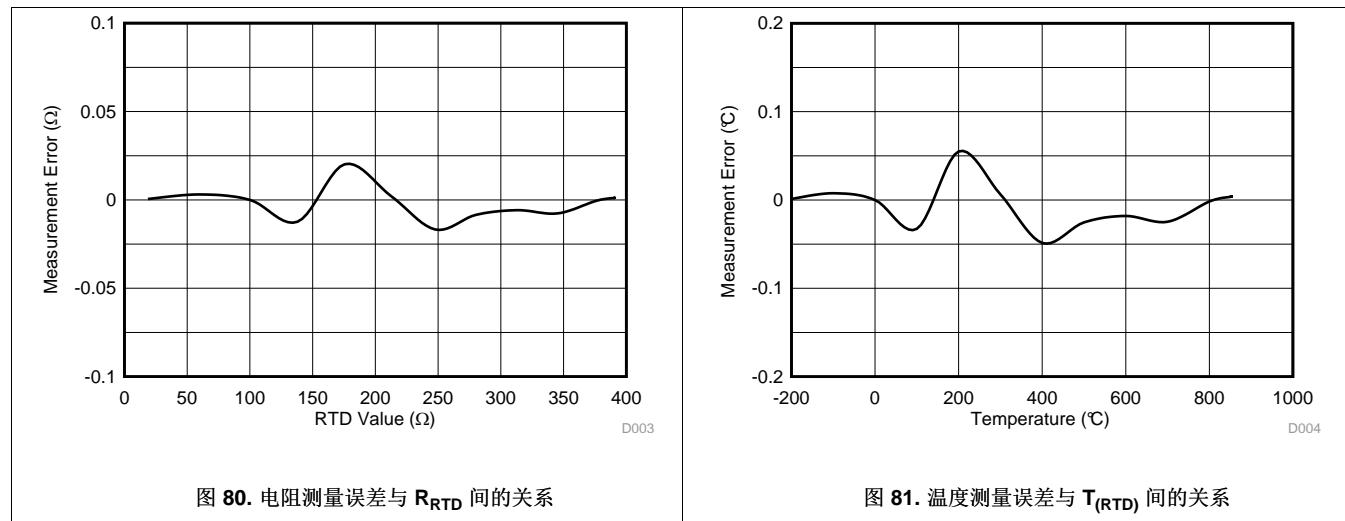
$$Code \propto (R_{RTD} \text{ (温度)} \cdot \text{增益}) / R_{REF} \quad (40)$$

此外，与三线制 RTD 配置相比，共模电压和基准电压有所下降。因此，如果要使用三线制 RTD 设计实施两线制和四线制 RTD 测量，可能还需要进一步进行部分修改。如果降低的共模电压不再满足 PGA 的 $V_{CM} \text{ (MIN)}$ 要求，则通过更换较大的电阻来增大 R_{REF} 值，或者同时增大激励电流并减小增益。

9.2.2.3 应用曲线

图 80 和图 81 给出了测量结果。测量条件为 $T_A = 25^\circ\text{C}$ 。使用 100Ω 的基准电阻来执行系统偏移校准。未实现增益校准。图 80 中的数据是在使用精密电阻（而非三线制 Pt100）的条件下获得。图 81 中的相应温度测量误差可 NIST 表根据图 80 中的数据进行计算。

该设计满足表 23 中给出的所需温度测量精度要求。请注意，图 81 中所示的测量误差不包括 RTD 自身的误差。



9.2.3 电阻桥式测量

该器件具备多种功能，可轻松实现比例桥式测量（例如，一个增益高达 128 的 PGA、多路缓冲差分基准输入及一个低侧电源开关）。

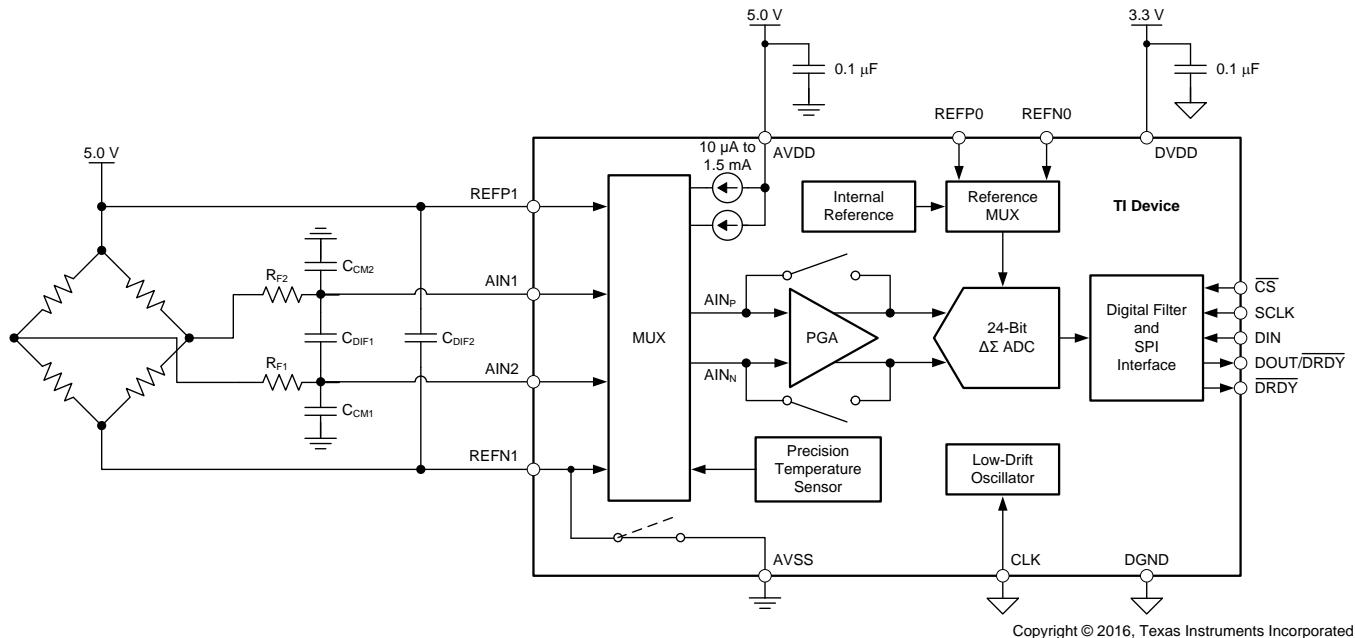


图 82. 电阻桥式测量

9.2.3.1 设计要求

表 25. 设计要求

设计参数	值
模拟电源电压	5.0V
数字电源电压	3.3V
称重传感器类型	四线制称重传感器
称重传感器最大容量	1kg
称重传感器灵敏度	3mV/V
激励电压	5V
可重复性	50mg

9.2.3.2 详细设计流程

为实现比例桥式测量，电桥激励电压同时用作 ADC 基准电压，如图 82 所示。在该配置下，激励电压漂移也会呈现在基准电压之上，进而抵消漂移误差。两器件基准输入对均可与电桥激励电压相连。然而，仅负基准输入 (REFN1) 可在内部路由至低侧电源开关。如果将电桥低侧与 REFN1 相连，该器件可通过断开低侧电源开关自动关断电桥。如果将配置寄存器的 PSW 位置 1，则每次发出 POWERDOWN 命令后，该器件均将开关断开，并在发送 START/SYNC 命令后再次将其闭合。

PGA 的增益最高可达 128，有助于放大小型差分电桥输出信号，从而最大程度优化 ADC 满量程范围的使用情况。使用激励电压等于器件电源电压的对称电桥，可确保电桥输出信号符合 PGA 的共模电压要求。

请注意，ADS1220 的最高输入电压限定为 $V_{IN} (MAX) = \pm[(AVDD - AVSS) - 0.4V]$ / 增益，这表示无法在该配置下使用完整满量程范围 $FSR = \pm(AVDD - AVSS) / 增益$ 。该限制是 PGA 放大器 (A1 和 A2) 输出驱动能力的结果；请参见图 39。各放大器的输出必须与导轨电压 (AVDD 和 AVSS) 相差 200mV，否则 PGA 将呈现非线性。因此，PGA 的最大输出摆幅限制为 $V_{OUT} = \pm[(AVDD - AVSS) - 0.4V]$ 。

使用激励电压为 5V 的 3mV/V 称重传感器可获取最高差分输出电压 $V_{IN\ (MAX)} = \pm 15mV$ ，当增益为 128 时，该值满足 [公式 41](#)。

$$V_{IN\ (MAX)} \leq \pm[(AVDD - AVSS) - 0.4V] / \text{增益} = \pm(5V - 0.4V) / 128 = \pm 36mV \quad (41)$$

一阶差分和共模 RC 滤波器 (R_{F1} 、 R_{F2} 、 C_{DIF1} 、 C_{CM1} 和 C_{CM2}) 置于 ADC 输入端。基准额外使用一个电容 C_{DIF2} 限制基准噪声。请务必小心谨慎，确保维持有限滤波量或不再为比例式测量。

为明确读数的可重复性，请执行以下计算过程。称重传感器在 1kg 最大负荷下可产生 15mV 输出电压。当增益 = 128 且 DR = 20SPS 时，ADS1220 可提供 0.41 μ V_{pp} 无噪声分辨率。此后，可根据 [公式 42](#) 计算可重复性。

$$\text{可重复性} = (1kg / 15mV) \cdot 0.41\mu V = 27mg \quad (42)$$

本设计的寄存器设置如[表 26](#) 所示。

表 26. 寄存器设置

寄存器	设置	说明
00h	3Eh	$AIN_P = AIN1$, $AIN_N = AIN2$, 增益 = 128, PGA 启用
01h	04h	DR = 20SPS, 正常模式, 连续转换模式
02h	98h	外部基准 (REFP1、REFN1)，同时抑制 50Hz 和 60Hz, PSW = 1
03h	00h	未使用 IDAC

10 电源相关建议

该器件需要两种电源：模拟电源（AVDD、AVSS）和数字电源（DVDD、DGND）。模拟电源可以为双极（例如，AVDD = 2.5V, AVSS = -2.5V）或单极（例如，AVDD = 3.3V, AVSS = 0V），与数字电源无关。数字电源设置数字 I/O 电平。

10.1 电源排序

电源上电可按任意顺序，但模拟或数字输入不得超出相应模拟或数字电源电压和电流限值。DVDD 在 AVDD 之前或二者共同斜升可最大限度降低流经 AIN3/REFN1 的泄漏电流，原因是低侧开关与该输入相连。如果 AVDD 在 DVDD 之前进行斜升，则低侧开关处于未知状态，并且可将 AIN3/REFN1 输入短接至 AVSS，直至 DVDD 斜升。与该器件进行通信前，请在所有电源达到稳定后等待约 50μs，以便完成上电复位过程。

10.2 电源斜升速率

要在整个温度范围内使器件正确上电，电源斜升速率必须呈现单调性，并且小于 1V/50μs，如图 83 所示。

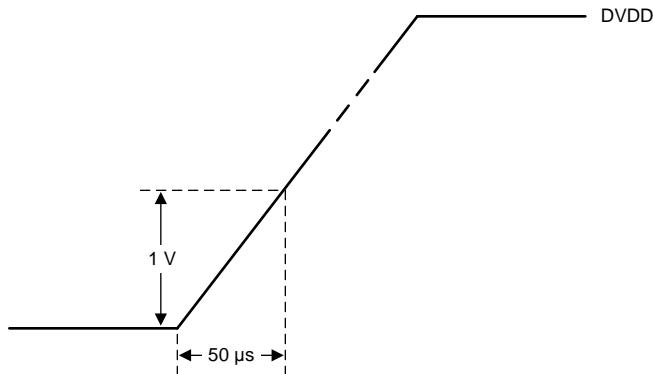


图 83. 电源斜升速率

10.3 电源去耦

良好的电源去耦对于实现最优性能至关重要。AVDD、AVSS（使用双极电源）和 DVDD 至少需要采用 0.1μF 电容进行去耦，如图 84 和图 85 所示。通过低阻抗连接将旁路电容放置于尽可能靠近器件电源引脚的位置。TI 建议使用多层陶瓷贴片电容 (MLCC) 提供等效串联电阻 (ESR) 和电感 (ESL) 特性，从而实现电源去耦。对于敏感度较高或在恶劣噪声环境中使用的系统，避免使用过孔将电容与器件引脚相连，以获得出色的噪声抗扰度。并行使用多个过孔可降低总电感值并且有利于与接地层相连。德州仪器 (TI) 建议尽量在紧靠器件的位置将模拟地与数字地相连。

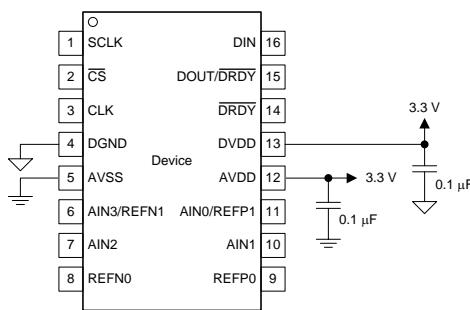


图 84. 单极模拟电源

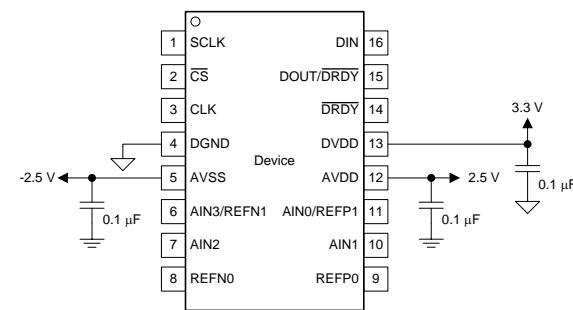


图 85. 双极模拟电源

11 布局布线

11.1 布局布线指南

在为模拟和数字组件的印刷电路板 (PCB) 布局布线时, 德州仪器 (TI) 建议采用最佳设计方案。通常建议在布线布局过程中将模拟组件 [例如 ADC、放大器、基准、数模转换器 (DAC) 和模拟 MUX] 与数字组件 [例如微控制器、复杂的可编程逻辑器件 (CPLD)、现场可编程逻辑门阵列 (FPGAs)、射频 (RF) 收发器、通用串行总线 (USB) 收发器以及开关稳压器] 相分离。图 86 所示为良好的组件布局示例。尽管 图 86 给出了良好的组件布局示例, 各应用的最佳布局只针对特定的几何尺寸、组件和 PCB 制造能力。即没有适用于所有设计的布局布线方式, 因此在使用模拟组件进行设计时必须小心谨慎。

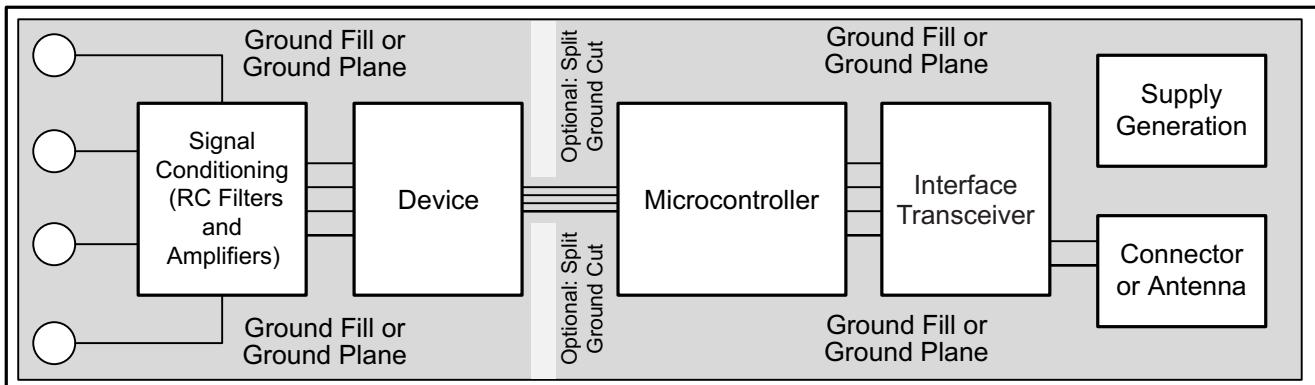


图 86. 系统组件布局

不必为了改善噪声性能而使用分离的模拟和数字接地层 (虽然热隔离可以考虑此选项)。然而, 在不含组件的 PCB 区域使用实心接地层或接地填充对于优化性能至关重要。如果目前使用的系统采用分离的模拟和数字接地层, TI 通常建议将接地层相连并尽可能地靠近器件。双层电路板可使用公共接地端作为模拟或数字接地端。可添加附加层来简化 PCB 布线。接地填充可减少 EMI 和 RFI 问题。

同时, TI 强烈建议给定系统中的数字组件 (特别是 RF 部分) 尽可能远离模拟电路。此外, 应最大限度地缩短通过模拟区域的数字控制走线距离并避免将这些走线放置在敏感模拟器件附近。数字返回电流通常流经尽可能靠近数字路径的接地路径。如果未提供与平面的实心接地连接, 这些电流会通过某些路径返回电源, 进而影响模拟性能。布线布局对温度感测功能的影响远大于对 ADC 功能的影响。

电源引脚必须通过低 ESR 陶瓷电容旁路至接地。旁路电容的最佳位置应尽可能靠近电源引脚。如果 AVSS 与负电源相连, 还应在 AVSS 与 AGND 之间额外连接旁路电容。旁路电容的接地侧必须采用低阻抗连接以优化性能。电源电流首先流经旁路电容引脚再流经电源引脚, 从而实现高效旁路。

采用差分连接的模拟输入之间必须放置差分电容。适用于差分测量的最佳输入组合包括: AIN0、AIN1 和 AIN2、AIN3。必须选择高品质差分电容。C0G (NPO) 电容属性稳定且具备低噪声特性, 这是最适用的陶瓷贴片电容。对热电偶输入连接周围的覆铜区域进行热隔离, 以构建热性能稳定的冷端。只要遵循以上准则, 即可通过交替布局方案获得可接受的性能。

11.2 布局示例

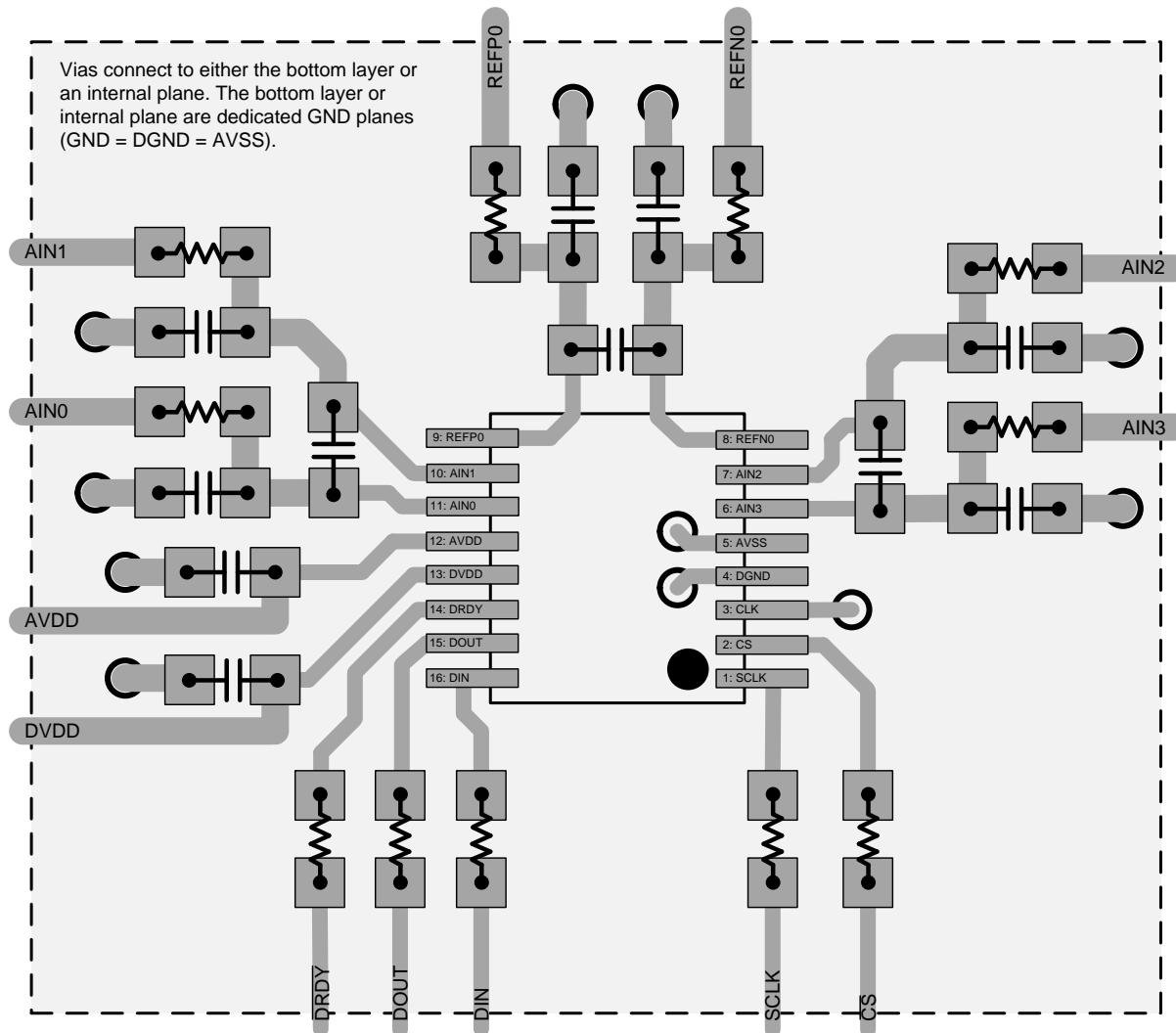


图 87. 布局示例

12 器件和文档支持

12.1 文档支持

12.1.1 相关文档

相关文档如下：

- 《REF50xx 低噪声、极低漂移、高精度电压基准》（文献编号：SBOS410）
- 《使用 ADS1148 和 ADS1248 进行 RTD 比例测量和滤波》（文献编号：SBAA201）

12.2 接收文档更新通知

如需接收文档更新通知，请访问 www.ti.com.cn 网站上的器件产品文件夹。点击右上角的提醒我 (Alert me) 注册后，即可每周定期收到已更改的产品信息。有关更改的详细信息，请查阅已修订文档中包含的修订历史记录。

12.3 社区资源

The following links connect to TI community resources. Linked contents are provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's [Terms of Use](#).

TI E2E™ Online Community *TI's Engineer-to-Engineer (E2E) Community.* Created to foster collaboration among engineers. At e2e.ti.com, you can ask questions, share knowledge, explore ideas and help solve problems with fellow engineers.

Design Support *TI's Design Support* Quickly find helpful E2E forums along with design support tools and contact information for technical support.

12.4 商标

E2E is a trademark of Texas Instruments.

All other trademarks are the property of their respective owners.

12.5 静电放电警告

 ESD 可能会损坏该集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理措施和安装程序，可能会损坏集成电路。

 ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

12.6 Glossary

[SLYZ022 — TI Glossary.](#)

This glossary lists and explains terms, acronyms, and definitions.

13 机械、封装和可订购信息

以下页中包括机械、封装和可订购信息。这些信息是针对指定器件可提供的最新数据。这些数据会在无通知且不对本文档进行修订的情况下发生改变。欲获得该数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS1220IPW	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IPW.A	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IPW.B	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IPWR	Active	Production	TSSOP (PW) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IPWR.A	Active	Production	TSSOP (PW) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IPWR.B	Active	Production	TSSOP (PW) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IPWRG4	Active	Production	TSSOP (PW) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IPWRG4.A	Active	Production	TSSOP (PW) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IPWRG4.B	Active	Production	TSSOP (PW) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS1220
ADS1220IRVAR	Active	Production	VQFN (RVA) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1220
ADS1220IRVAR.A	Active	Production	VQFN (RVA) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1220
ADS1220IRVAR.B	Active	Production	VQFN (RVA) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1220
ADS1220IRVARG4	Active	Production	VQFN (RVA) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1220
ADS1220IRVARG4.A	Active	Production	VQFN (RVA) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1220
ADS1220IRVARG4.B	Active	Production	VQFN (RVA) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1220
ADS1220IRVAT	Active	Production	VQFN (RVA) 16	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1220
ADS1220IRVAT.A	Active	Production	VQFN (RVA) 16	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1220
ADS1220IRVAT.B	Active	Production	VQFN (RVA) 16	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1220

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

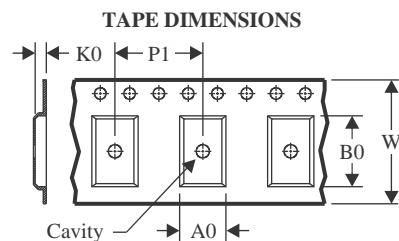
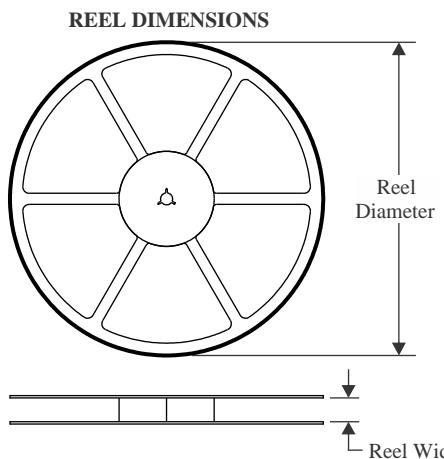
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

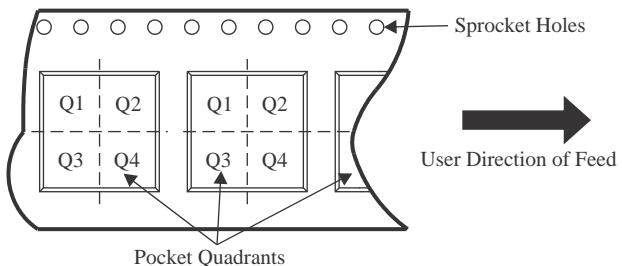
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

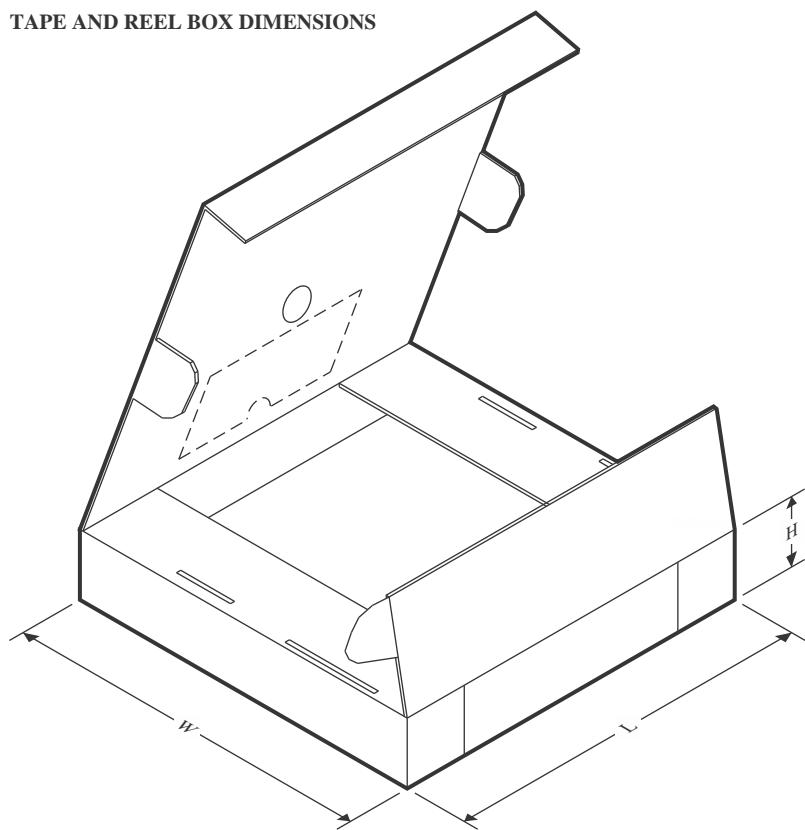
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


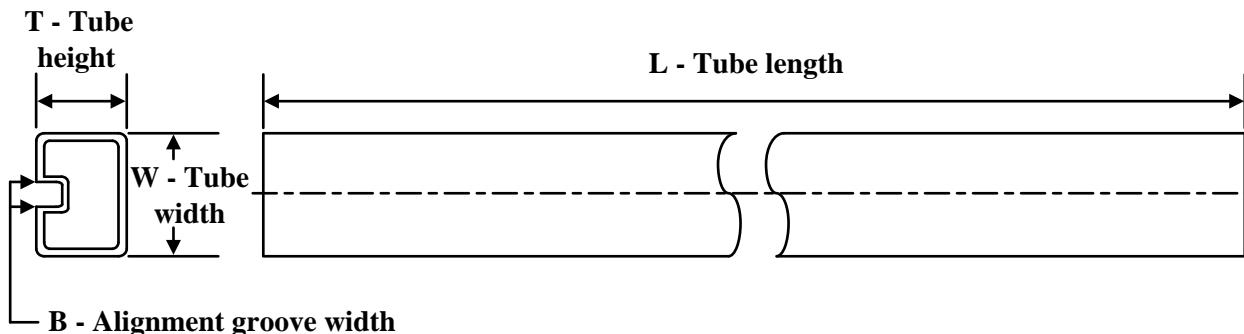
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS1220IPWR	TSSOP	PW	16	2500	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
ADS1220IPWRG4	TSSOP	PW	16	2500	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
ADS1220IRVAR	VQFN	RVA	16	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q2
ADS1220IRVARG4	VQFN	RVA	16	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q2
ADS1220IRVAT	VQFN	RVA	16	250	180.0	12.4	3.75	3.75	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS1220IPWR	TSSOP	PW	16	2500	353.0	353.0	32.0
ADS1220PWRG4	TSSOP	PW	16	2500	353.0	353.0	32.0
ADS1220IRVAR	VQFN	RVA	16	3000	346.0	346.0	33.0
ADS1220IRVARG4	VQFN	RVA	16	3000	346.0	346.0	33.0
ADS1220IRVAT	VQFN	RVA	16	250	210.0	185.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μ m)	B (mm)
ADS1220IPW	PW	TSSOP	16	90	530	10.2	3600	3.5
ADS1220IPW.A	PW	TSSOP	16	90	530	10.2	3600	3.5
ADS1220IPW.B	PW	TSSOP	16	90	530	10.2	3600	3.5

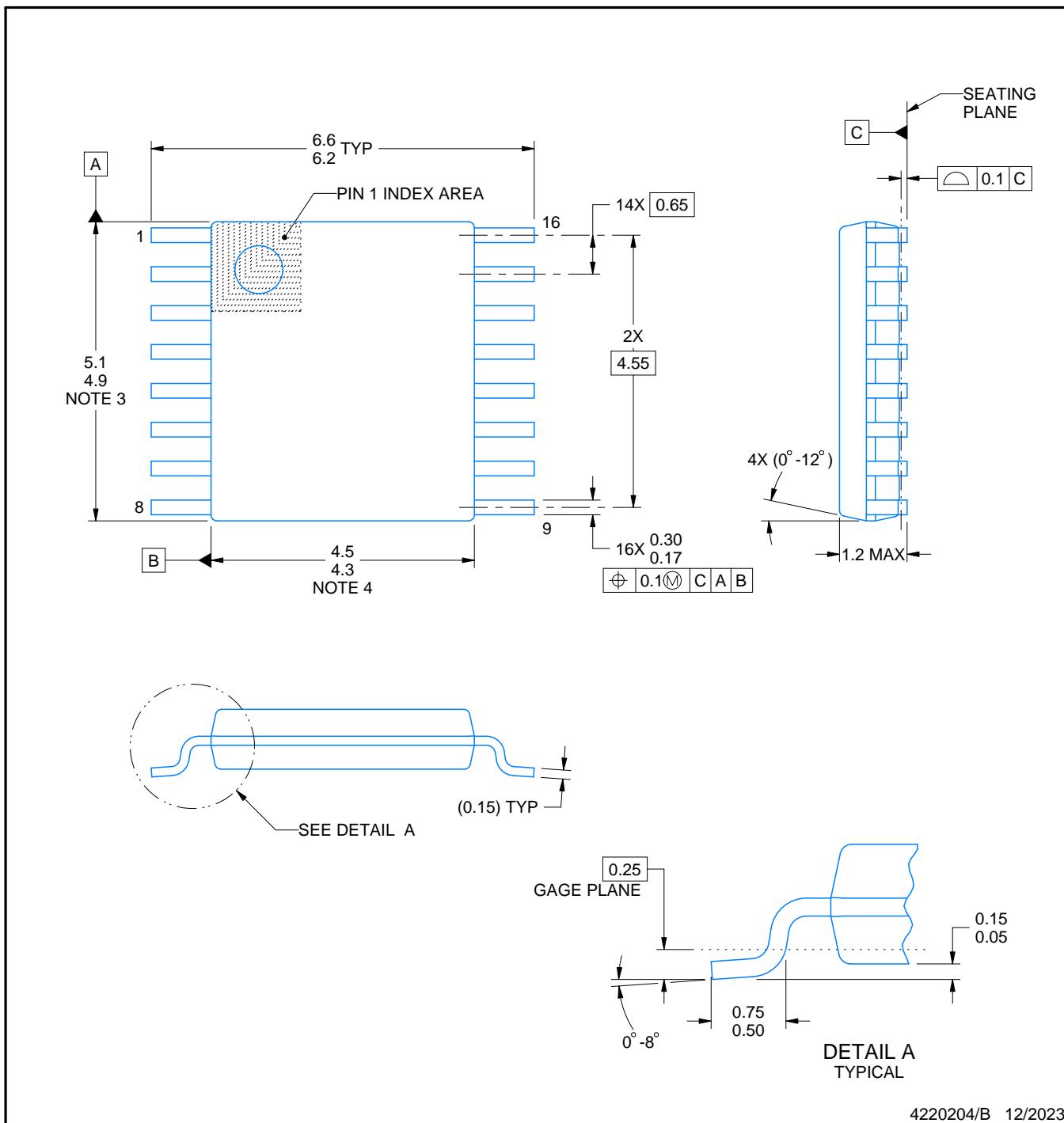
PACKAGE OUTLINE

PW0016A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

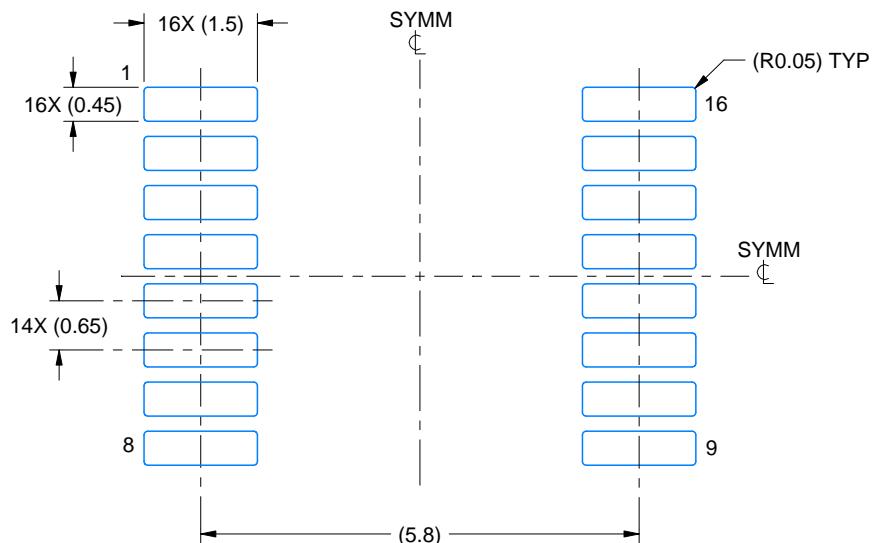
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
 4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
 5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

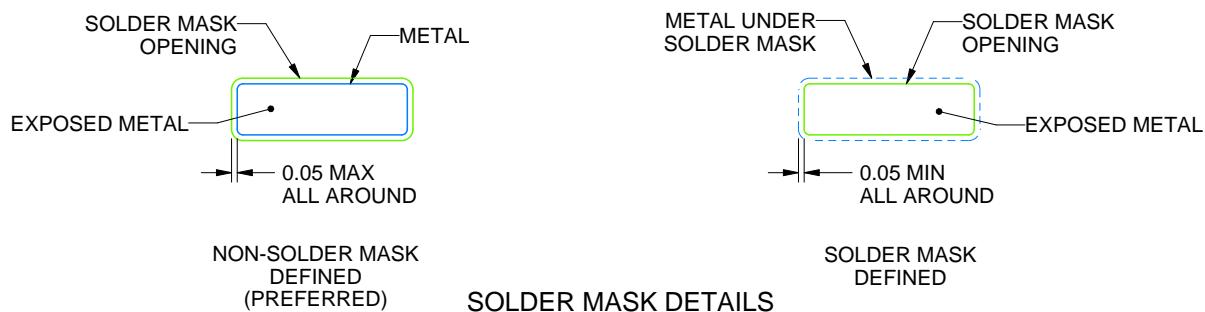
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220204/B 12/2023

NOTES: (continued)

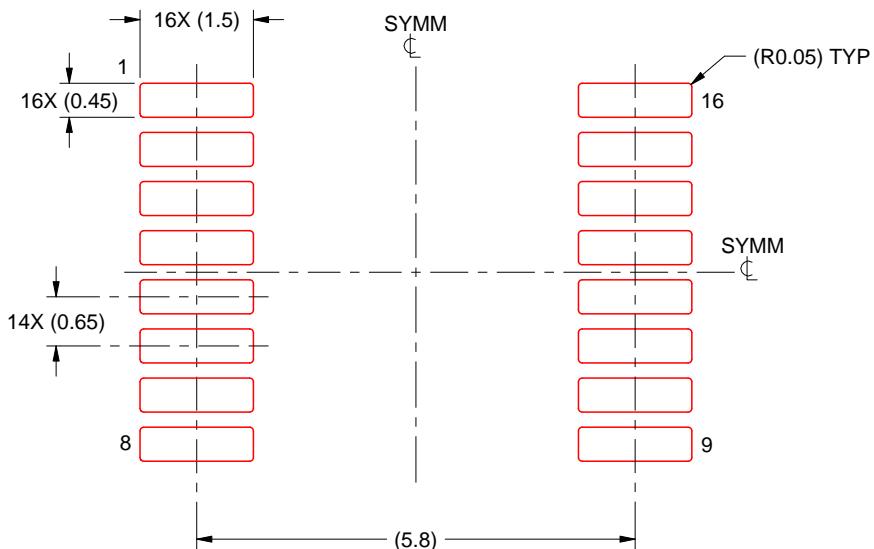
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

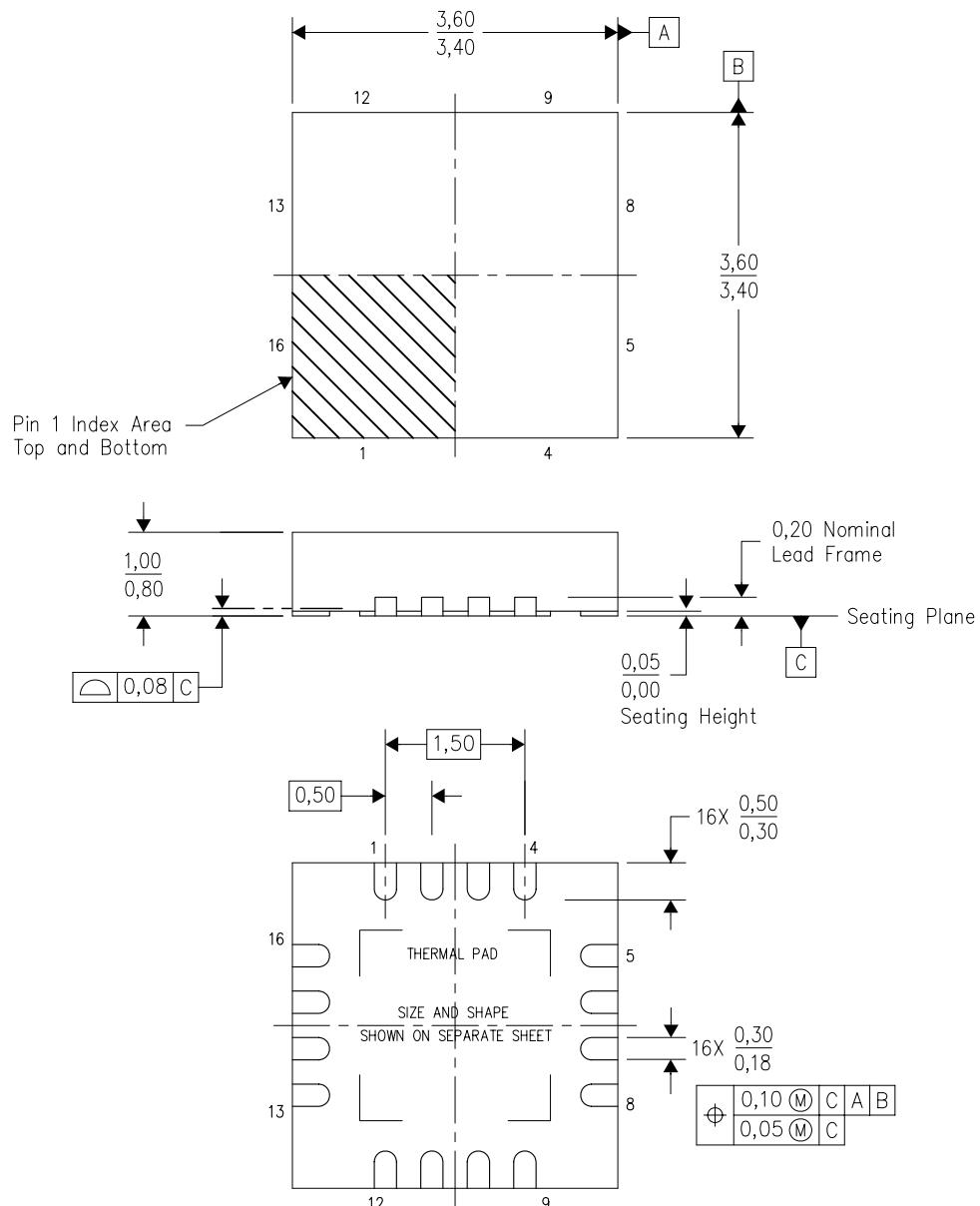
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

RVA (S-PVQFN-N16)

PLASTIC QUAD FLATPACK NO-LEAD



Bottom View

4209676/C 05/11

- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. QFN (Quad Flatpack No-Lead) package configuration.
 - D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
 - E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.

THERMAL PAD MECHANICAL DATA

RVA (S-PVQFN-N16)

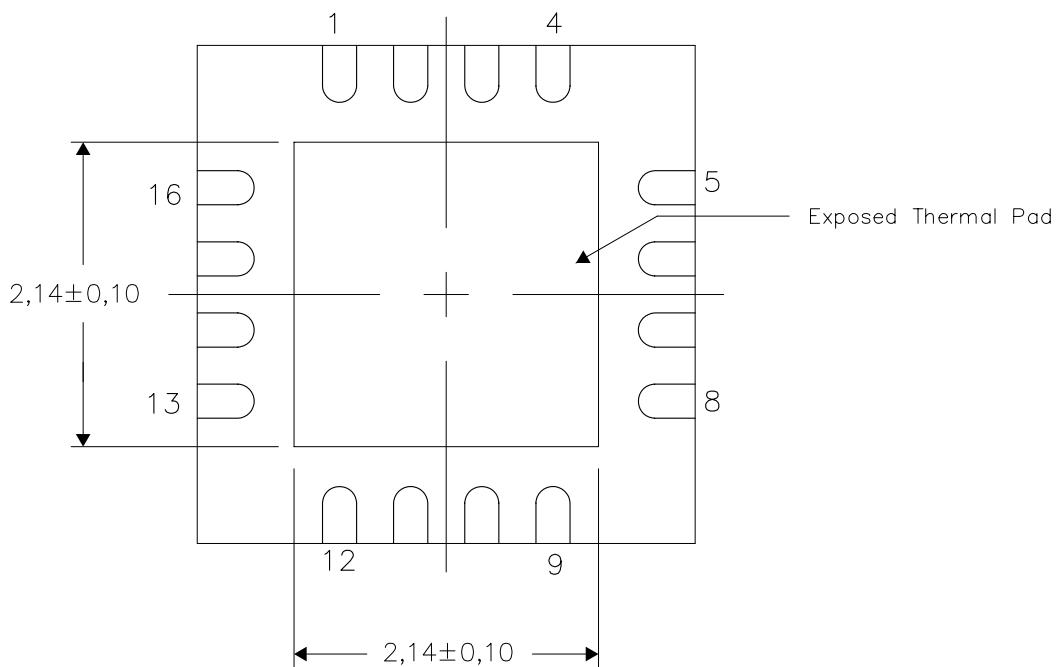
PLASTIC QUAD FLATPACK NO-LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

Exposed Thermal Pad Dimensions

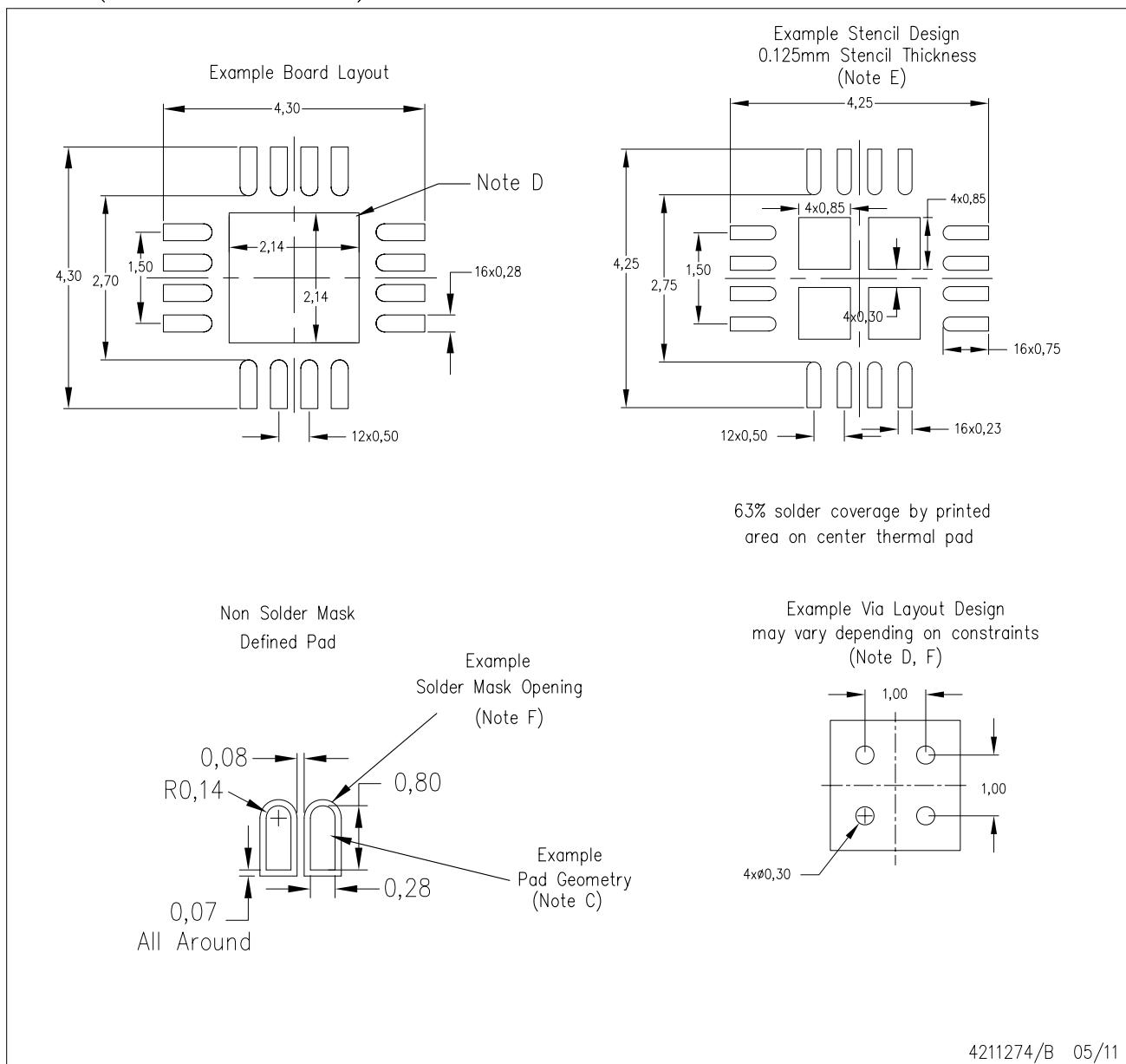
4209715/B 05/11

NOTE: All linear dimensions are in millimeters

LAND PATTERN DATA

RVA (S-PVQFN-N16)

PLASTIC QUAD FLATPACK NO-LEAD



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, Quad Flat-Pack QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <<http://www.ti.com>>.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
 - Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月