

UCD91160 16 轨 PMBus™ 电源序列发生器和系统管理器

1 特性

- 对多达 16 个模拟电源轨进行时序控制和监控
- 支持多达 8 个电源轨的 PWM 裕度调节
- 可级联多达 4 个器件，从而对多达 64 个电源轨进行时序控制
- 有源微调功能允许用户微调输出电压
- 监控并响应 OV、UV、超时和 GPI 触发的故障
- 灵活的时序依赖关系、延迟时间、布尔逻辑和 GPIO 配置
- 支持复杂时序应用的电源轨状态相关时序、延迟时间和 LGPO 引脚
- 为自适应电压识别 (AVID) 稳压器提供四种电源轨特性曲线
- 带实时时钟 (RTC) 和时间戳的非易失性故障事件记录
 - 单事件故障日志 (100 个条目)
 - 黑盒故障日志可保存所有电源轨的故障信息和状态 — 记录首个故障以及断电前发生的最后一个故障
- 在配置活动期间持续监控电源轨，以更大限度地延长系统正常运行时间
- 可编程的看门狗计时器和系统复位
- GPI 控制的电源轨组
- SEU 缓解和 ECC (单错校正 + 双错检测)
- 符合 PMBus™ 1.2 标准
- 支持 PMBus 安全配置文件 0 级，并通过自定义命令支持 2 级安全配置文件功能

2 应用

- [有线网络](#)
- [无线基础设施](#)
- [数据通信模块](#)
- [数据中心和企业级计算](#)
- [工厂自动化和控制](#)
- [测试和测量](#)
- [医疗](#)

3 说明

UCD91160 器件是一款采用 64 引脚 QFP 封装、受 PMBus 控制的 16 轨电源时序发生器。

专用引脚 (MONx) 支持以模拟或数字模式监控多达 16 个电压轨。16 个电源轨使能 (ENx) 引脚可实现对稳压器的时序控制。8 个裕度调节 (MARx) 引脚可用于在测试时将稳压器输出推至上限或下限 (裕度)，或通过有源微调输出以提高精度。16 个逻辑 GPO (LGPOx) 引脚的输出状态可受 GPI 状态、电源轨状态以及其他 LGPO 的控制。

非易失性事件记录功能可在断电后保留故障事件。黑盒故障日志会保留故障信息以及所有电源轨的状态。黑盒故障日志会记录掉电前的首个和最后一个故障事件。级联特性提供了管理多达 64 个电压轨的便捷方法。

用户定义的 FAULT 引脚可协调级联器件，从而实现同步故障响应。用户可以使用 3 个 GPI 选择多达 8 组电源轨配置。这些配置可以实现[高级配置与电源接口 \(ACPI\) 规范](#)中概述的系统低功耗模式。

Sequencer Studio™ 软件是一款直观的基于 PC 的图形用户界面 (GUI)，可用于配置、存储和监控所有系统运行参数。

封装信息表

器件型号	封装 ⁽¹⁾	本体尺寸 (标称值)
UCD91160SPMR	LQFP (64)	12.0mm × 12.0mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



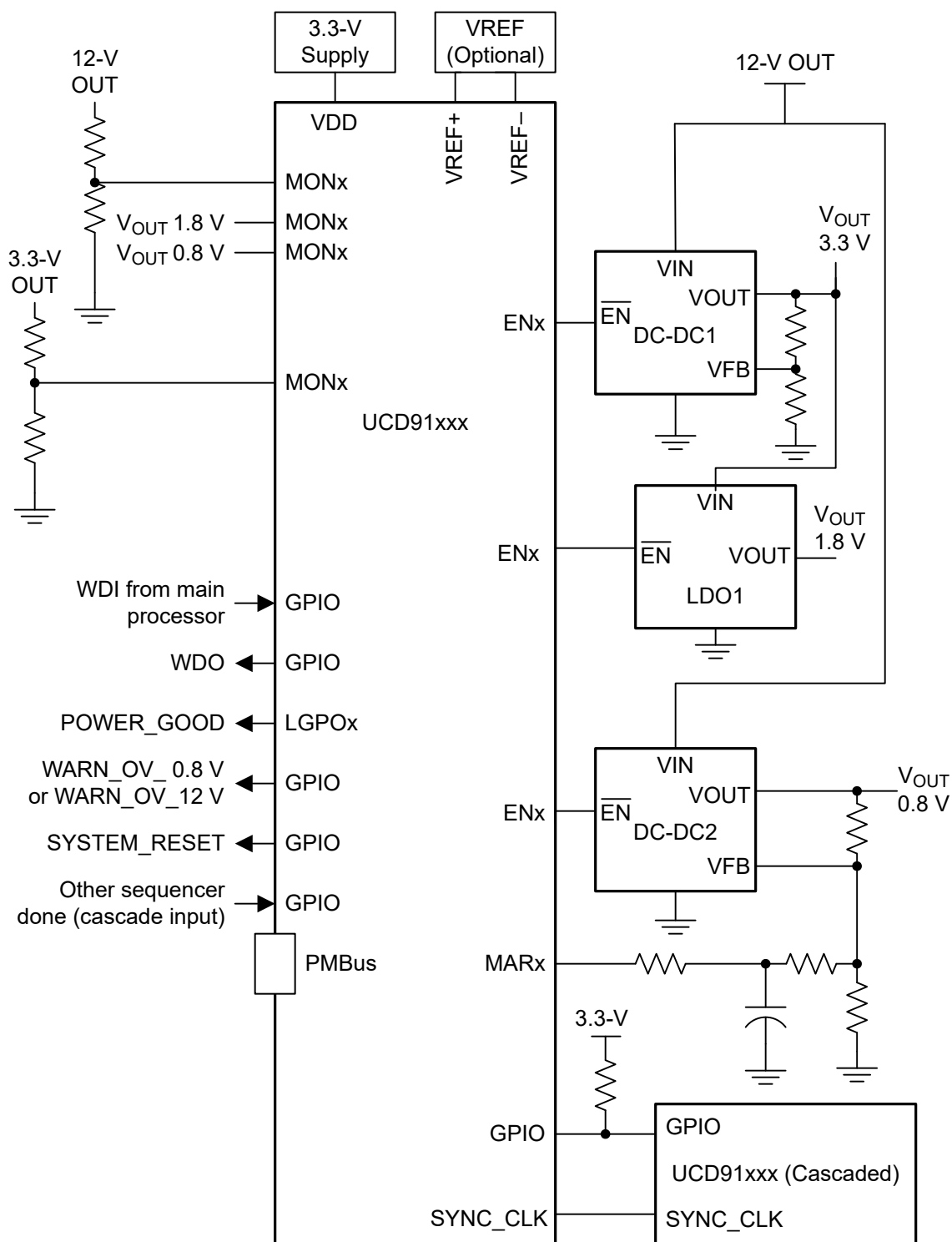


图 3-1. 简化版应用示意图

内容

1 特性	1	6.2 功能方框图	11
2 应用	1	6.3 特性说明	12
3 说明	1	6.4 器件功能模式	12
4 引脚配置和功能	4	7 应用和实施	14
5 规格	7	7.1 应用信息	14
5.1 绝对最大额定值.....	7	7.2 典型应用	14
5.2 ESD 等级.....	7	7.3 电源相关建议	16
5.3 建议运行条件.....	7	7.4 布局	16
5.4 热性能信息.....	8	8 器件和文档支持	18
5.5 电气特性.....	8	8.1 接收文档更新通知.....	18
5.6 线性参数.....	8	8.2 支持资源.....	18
5.7 POR 和 BOR.....	9	8.3 商标.....	18
5.8 低频晶体/时钟.....	9	8.4 静电放电警告.....	18
5.9 闪存特性.....	9	8.5 术语表.....	18
6 详细说明	11	9 修订历史记录	18
6.1 概述.....	11	10 机械、封装和可订购信息	18

4 引脚配置和功能

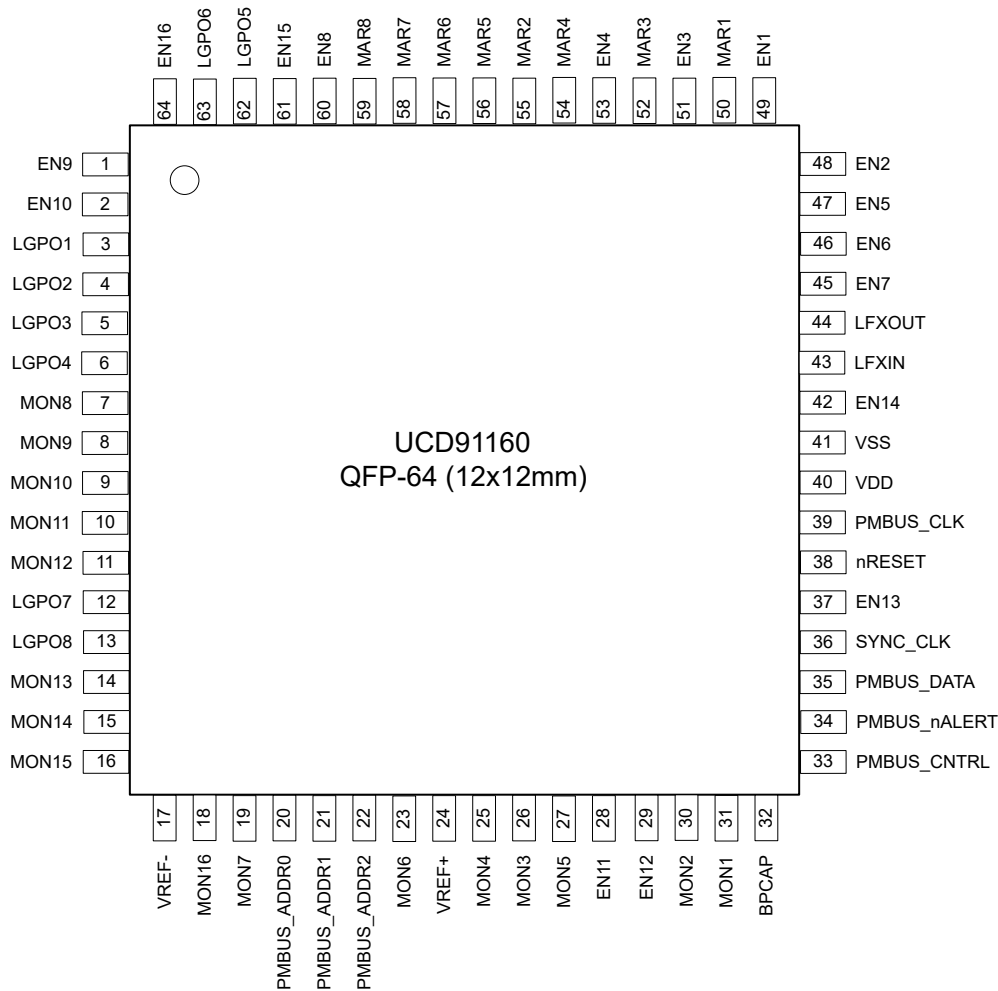


图 4-1. UCD91160 PM 封装 64 引脚 LQFP (顶视图)

表 4-1. 引脚功能

引脚		类型	引脚 ID	说明
名称	编号			
监控输入 (MONx)				
MON1	31	I	1	模拟或数字监控器 (0V 至 3.3V)
MON2	30	I	2	模拟或数字监控器 (0V 至 3.3V)
MON3	26	I	3	模拟或数字监控器 (0V 至 3.3V)
MON4	25	I	4	模拟或数字监控器 (0V 至 3.3V)
MON5	27	I	5	模拟或数字监控器 (0V 至 3.3V)
MON6	23	I	6	模拟或数字监控器 (0V 至 3.3V)
MON7	19	I	7	模拟或数字监控器 (0V 至 3.3V)
MON8	7	I	8	模拟或数字监控器 (0V 至 3.3V)
MON9	8	I	9	模拟监控器 (0V 至 3.3V) ¹
MON10	9	I	10	模拟或数字监控器 (0V 至 3.3V)

表 4-1. 引脚功能 (续)

引脚		类型	引脚 ID	说明
名称	编号			
MON11	10	I	11	模拟或数字监控器 (0V 至 3.3V)
MON12	11	I	12	模拟监控器 (0V 至 3.3V) ²
MON13	14	I	13	模拟或数字监控器 (0V 至 3.3V)
MON14	15	I	14	模拟或数字监控器 (0V 至 3.3V)
MON15	16	I	15	模拟或数字监控器 (0V 至 3.3V)
MON16	18	I	16	模拟监控器 (0V 至 3.3V) ³
电源轨使能 (ENx)				
EN1(GPIO)	49	I/O	33	电源轨使能信号、数字输出或 GPIO
EN2(GPIO)	48	I/O	34	电源轨使能信号、数字输出或 GPIO
EN3(GPIO)	51	I/O	35	电源轨使能信号、数字输出或 GPIO
EN4(GPIO)	53	I/O	36	电源轨使能信号、数字输出或 GPIO
EN5(GPIO)	47	I/O	37	电源轨使能信号、数字输出或 GPIO
EN6(GPIO)	46	I/O	38	电源轨使能信号、数字输出或 GPIO
EN7(GPIO)	45	I/O	39	电源轨使能信号、数字输出或 GPIO
EN8(GPIO)	60	I/O	40	电源轨使能信号、数字输出或 GPIO
EN9(GPIO)	1	I/O	41	电源轨使能信号、数字输出或 GPIO
EN10(GPIO)	2	I/O	42	电源轨使能信号、数字输出或 GPIO
EN11(GPIO)	28	I/O	43	电源轨使能信号、数字输出或 GPIO
EN12(GPIO)	29	I/O	44	电源轨使能信号、数字输出或 GPIO
EN13(GPIO)	37	I/O	45	电源轨使能信号、数字输出或 GPIO
EN14(GPIO)	42	I/O	46	电源轨使能信号、数字输出或 GPIO
EN15(GPIO)	61	I/O	47	电源轨使能信号、数字输出或 GPIO
EN16(GPIO)	64	I/O	48	电源轨使能信号、数字输出或 GPIO
闭环裕度引脚 (MARx)				
MAR1(GPIO)	50	I/O	65	闭环裕度 PWM 输出或 GPIO
MAR2(GPIO)	55	I/O	66	闭环裕度 PWM 输出或 GPIO
MAR3(GPIO)	52	I/O	67	闭环裕度 PWM 输出或 GPIO
MAR4(GPIO)	54	I/O	68	闭环裕度 PWM 输出或 GPIO
MAR5(GPIO)	56	I/O	69	闭环裕度 PWM 输出或 GPIO
MAR6(GPIO)	57	I/O	70	闭环裕度 PWM 输出或 GPIO
MAR7(GPIO)	58	I/O	71	闭环裕度 PWM 输出或 GPIO
MAR8(GPIO)	59	I/O	72	闭环裕度 PWM 输出或 GPIO

¹ 仅将 MON9 用作模拟监控引脚

² 仅将引脚 11 - MON12 用作模拟监控引脚

³ 仅将引脚 18 - MON16 用作模拟监控引脚

表 4-1. 引脚功能 (续)

引脚		类型	引脚 ID	说明
名称	编号			
PMBus COMM 接口				
PMBUS_CLK	39	I/O	不适用	PMBus 时钟 (必须上拉至 3.3V)
PMBUS_DATA	35	I/O	不适用	PMBus 数据 (必须上拉至 3.3V)
PMBUS_ALERT	34	O	不适用	PMBus ALERT、低电平有效、漏极开路输出 (必须上拉至 3.3V)
PMBUS_CNTRL	33	I	不适用	PMBus 控制 (必须上拉至 3.3V)
PMBUS_ADDR0	20	I	不适用	PMBUS 地址选择
PMBUS_ADDR1	21	I	不适用	PMBUS 地址选择
PMBUS_ADDR2	22	I	不适用	PMBUS 地址选择
逻辑通用输出 (LGPOx)				
LGPO1 (GPIO)	3	I/O	81	布尔逻辑输出或 GPIO
LGPO2 (GPIO)	4	I/O	82	布尔逻辑输出或 GPIO
LGPO3 (GPIO)	5	I/O	83	布尔逻辑输出或 GPIO
LGPO4 (GPIO)	6	I/O	84	布尔逻辑输出或 GPIO
LGPO5 (GPIO)	62	I/O	85	布尔逻辑输出或 GPIO
LGPO6 (GPIO)	63	I/O	86	布尔逻辑输出或 GPIO
LGPO7 (GPIO)	12	I/O	87	布尔逻辑输出或 GPIO
LGPO8 (GPIO)	13	I/O	88	布尔逻辑输出或 GPIO
输入电源、接地和时钟				
LFXOUT	44	CLK	不适用	低频晶体输出
LFXIN	43	CLK	不适用	低频晶体输入
nRESET	38	I	不适用	低电平有效器件复位输入。如果应用不需要，则建议上拉至 VDD。保持低电平至少 1.5 μs 以执行引导复位，或者保持 1s 以进行上电复位 (POR)
SYNC_CLK	36	O	不适用	用于多芯片级联的同步时钟 I/O (5kHz)
VREF+	24	I	不适用	(可选) 外部参考电压正节点
VREF-	17	P	不适用	(可选) 外部参考电压负节点 ⁴
VDD	40	P	不适用	电源输入 (3V 至 3.6V)。请参阅“布局指南”部分
VSS	41	P	不适用	器件接地
BPCAP	32	P	不适用	0.47μF 旁路电容器。请参阅“布局指南”部分

⁴ 未使用 VREF- 引脚时, 将其接地。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

			最小值	最大值	单位
V _{DD}	电源电压	在 V _{DD} 引脚处	-0.3	4.1	V
V _I	输入电压	施加到任何 5V 容限开漏引脚	-0.3	5.5	V
V _I	输入电压	施加到任何常见容限引脚	-0.3	V _{DD} + 0.3 (最大值为 4.1)	V
I _{VDD}	流入 V _{DD} 引脚的电流 (拉电流)	-40°C ≤ T _j ≤ 130°C		80	mA
	流入 V _{DD} 引脚的电流 (拉电流)	-40°C ≤ T _j ≤ 85°C		100	mA
I _{VSS}	流出 V _{SS} 引脚的电流 (灌电流)	-40°C ≤ T _j ≤ 130°C		80	mA
	流出 V _{SS} 引脚的电流 (灌电流)	-40°C ≤ T _j ≤ 85°C		100	mA
I _{IO}	器件引脚的电流	器件引脚灌入或拉出的电流		6	mA
I _D	受支持的二极管电流	任一器件引脚 (除 VREF- 外) 上的二极管电流		±2 ⁽³⁾	mA
T _J	结温	结温	-40	130	°C
T _{stg}	贮存温度 ⁽²⁾	贮存温度 ⁽²⁾	-40	150	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 电路板焊接期间允许使用更高的温度，请根据现行的 JEDEC J-STD-020 规范进行操作，且峰值回流焊温度不得超过器件装运包装盒或卷盘标签上分类的数值。
- (3) VREF- 具有用于测试目的的内部连接，该引脚上不允许注入电流。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚 ⁽¹⁾	±2000	V
V _(ESD)	静电放电	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22C101，所有引脚 ⁽²⁾	±500	V

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
V _{DD}	电源电压	2.9		3.6	V
C _{VDD}	V _{DD} 和 V _{SS} 之间连接的电容器 ⁽¹⁾		10		uF
C _{BPCAP}	BPCAP 和 V _{SS} 之间连接的电容器 ^{(1) (2)}		470		nF
T _A	环境温度，S 版本	-40		125	°C
T _J	最大结温，T 版本			125	°C

- (1) 分别在 V_{DD} 与 V_{SS} 之间以及 BPCAP 与 V_{SS} 之间连接 C_{VDD} 和 C_{BPCAP}，并尽可能靠近器件引脚。C_{VDD} 和 C_{BPCAP} 需要一个至少具有该额定值和 ±20% 或更高容差的低 ESR 电容器。

(2) BPCAP 引脚只能连接到 C_{BPCAP}。请勿向 BPCAP 引脚提供任何电压或施加任何外部负载。

5.4 热性能信息

热指标 ⁽¹⁾		封装	值	单位
R _{θJA}	结至环境热阻	LQFP-64 (PM)	62.0	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻		21.6	°C/W
R _{θJB}	结至电路板热阻		39.1	°C/W
Ψ _{JT}	结至顶部特征参数		1	°C/W
Ψ _{JB}	结至电路板特征参数		38.7	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻		不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用报告。

5.5 电气特性

在推荐的电源电压和自然通风条件下的工作温度范围内（除非另有说明），所有典型值均在温度为 25°C 时测得，并且所有精度参数均使用 12 位分辨率模式测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V _{IN(ADC)}	模拟输入电压范围 ⁽¹⁾	适用于所有 ADC 模拟输入引脚	0		VDD	V
V _{R+}	ADC 正基准电压	来自 VDD 的 V _{R+}		VDD		V
T _s	每个通道的 ADC 采样时间			250		ns
F _s	ADC 采样频率（每通道）			10		ksps
I _(ADC)	流入 VDD 端子的工作电源电流	V _{R+} = VDD		1.5 ⁽²⁾		mA
C _{S/H}	ADC 采样保持电容			3.3		pF
R _{in}	ADC 输入电阻			0.5		kΩ
ENOB	有效位数	外部基准	12.3	12.5		位
		内部基准, V _{R+} = 2.5V	9.9	10.8		
SNR	信噪比	外部基准 ⁽³⁾		78		dB
		内部基准, V _{R+} = 2.5V		66		
PSRR _{DC}	电源抑制比（直流）	外部基准电压 ⁽³⁾ , VDD = VDD _(min) 至 VDD _(max)		62		dB
		VDD = VDD _(min) 至 VDD _(max)				
		内部基准, V _{R+} = 2.5V		53		
PSRR _{AC}	电源抑制比（交流）	外部基准 ⁽³⁾ , 1kHz 时 ΔVDD = 0.1V		61		dB
		1kHz 时 ΔVDD = 0.1V 内部基准, V _{R+} = 2.5V		52		

(1) 模拟输入电压范围必须位于所选的 ADC 基准电压范围 V_{R+} 至 V_{R-} 内，才能获得有效的转换结果。

(2) 内部基准 (VREF) 电源电流不包括在电流消耗参数 I_(ADC) 中。

(3) 所有外部基准规格都是在 V_{R+} = VREF+ = VDD = 3.3V、V_{R-} = VREF- = VSS = 0V 且 VREF+ 引脚上有外部 1 μF 电容的条件下测得

5.6 线性参数

在推荐的电源电压和自然通风条件下的工作温度范围内（除非另有说明），所有典型值均在温度为 25°C 时测得，并且所有线性参数均使用 12 位分辨率模式测得（除非另有说明）⁽¹⁾

参数		测试条件		最小值	典型值	最大值	单位
E _I	积分线性误差 (INL)	外部基准 ⁽²⁾	外部基准 ⁽²⁾	-2		2	LSB
E _D	微分线性误差 (DNL) 保证无丢码	外部基准 ⁽²⁾	外部基准 ⁽²⁾	-1		1	LSB
E _O	偏移误差	内部或外部基准 ⁽²⁾		-2		2	mV

在推荐的电源电压和自然通风条件下的工作温度范围内（除非另有说明），所有典型值均在温度为 25°C 时测得，并且所有线性参数均使用 12 位分辨率模式测得（除非另有说明）⁽¹⁾

参数		测试条件	最小值	典型值	最大值	单位
E _G	增益误差	外部基准 ⁽²⁾	-3		3	LSB

(1) 总体未调整误差 (TUE) 可以通过以下公式使用 E_I、E_O 和 E_G 来计算得出：TUE = $\sqrt{(E_I)^2 + |E_O|^2 + E_G^2}$

注意：将所有误差转换为相同的单位，通常为 LSB，以上公式才能进行准确计算

(2) 所有外部基准规格都是在 V_{R+} = VREF+ = VDD、V_{R-} = VSS = 0V 且 VREF+ 引脚上有外部 1 μF 电容的条件下测得。

5.7 POR 和 BOR

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
dVDD/dt	VDD (电源电压) 压摆率	上升			0.1	V/us
		下降 ⁽²⁾			0.01	
		下降，待机			0.1	V/ms
V _{POR+}	上电复位电压电平	上升 ⁽¹⁾	1.04	1.30	1.5	V
V _{POR-}		下降 ⁽¹⁾	0.99	1.25	1.48	V
V _{HYS, POR}	POR 迟滞		30	58	74	mV
V _{BOR+}	欠压复位电压	上升 ^{(1) (2)}	2.88	2.96	3.04	V
V _{BOR-}		下降 ^{(1) (2)}	2.85	2.93	3.01	
V _{BOR, STBY}		待机模式 ⁽¹⁾	2.80	2.92	3.02	
V _{HYS, BOR}	欠压复位迟滞	级别 0 ⁽¹⁾		14	18	mV
		级别 1-3 ⁽¹⁾		34	38	

(1) |dVDD/dt| ≤ 3V/s

(2) 器件在运行、睡眠或停止模式下工作。

5.8 低频晶体/时钟

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
低频晶体振荡器 (LFXT)						
f _{LFXT}	LFXT 频率			32768		Hz
DC _{LFXT}	LFXT 占空比		30		70	%
OA _{LFXT}	LFXT 晶体振荡容差			419		kΩ
C _{L, eff}	集成的有效负载电容 ⁽¹⁾			1		pF
t _{start, LFXT}	LFXT 启动时间			483	640	ms

(1) 该集成等效负载电容包括寄生接合和封装电容（每个引脚约为 2pF），计算公式为 C_{LFXTIN} × C_{LFXTOUT} / (C_{LFXTIN} + C_{LFXTOUT})，其中 C_{LFXTIN} 和 C_{LFXTOUT} 分别是 LFXIN 和 LFXOUT 上的总电容。

5.9 闪存特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源						
IDDERASE	擦除操作期间从 VDD 获得的电源电流	电源电流差值			10	mA
IDDPGM	编程操作期间从 VDD 获得的电源电流	电源电流差值			10	mA
耐久性						
NWEC	擦除/编程周期耐久性		10			k 个周期

5.9 闪存特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
NE _(MAX)	发生故障前的总擦除操作 ⁽¹⁾		802			K 擦除操作
保持						
t _{RET_85}	闪存存储器数据保留	-40°C <= T _j <= 85°C	60			年
t _{RET_105}	闪存存储器数据保留	-40°C <= T _j <= 105°C	11.4			年
t _{RET_130}	闪存存储器数据保留	-40°C <= T _j <= 130°C	2.4			年
故障和事件记录						
NF	发生故障前的故障事件记录总数		64			百万级事件日志

(1) 发生故障前闪存支持的累计擦除操作总数。一次扇区擦除或组擦除操作被视为一次擦除操作。

6 详细说明

6.1 概述

CPU、DSP、微控制器、FPGA 和 ASIC 等电子系统通常具有多个电压轨，需要精确的上电和断电时序控制才能正常运行。UCD91160 可对多达 16 个电压轨进行时序控制、监控电压和故障状况，并经由 PMBus 接口报告系统运行状况信息。

UCD91160 通过对电源系统故障执行预设的响应机制来保护电子系统。发生故障时会立即触发“黑盒故障日志”以存储详尽的系统状态报告，而后续的故障日志则存储在非易失性存储器中。

可通过“四角测试”来验证系统可靠性。可以命令电压轨在最小和最大输出电压下运行，这被称为“裕度调节”。该器件可在多达 8 个电压轨上执行精确的闭环裕度调节。在正常工作期间，UCD91160 还可以利用这 8 个引脚上的相同裕度调节电路，主动微调直流输出电压。

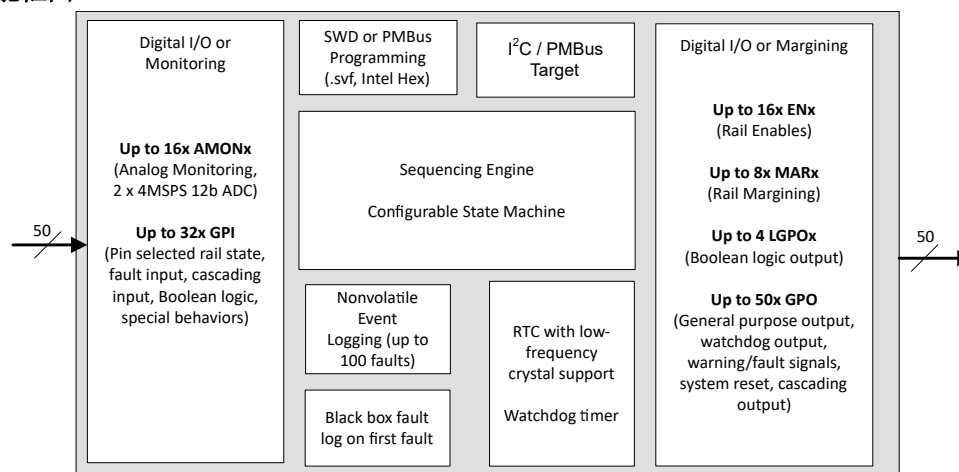
UCD91160 包含 32 个 GPIO 引脚池。其中许多引脚的主要功能是作为 ENx、MARx 或 LGPOx 引脚，但它们也可以配置为通用 I/O (GPIO)，以便与外部电路交互。引脚说明表展示了每个引脚的主要功能。可以通过多种方式控制 GPIO 状态：

- 命令控制型 GPO：这些输出可通过 PMBus 命令进行设置
- GPIO：这些引脚可用于触发故障、启用/禁用裕度调节，或影响其他 GPIO 的状态。
- 布尔逻辑控制 (LGPO)：UCD91160 允许将任何 GPIO 配置为 LGPO (支持多达 16 个 LGPO)。这些引脚的状态取决于电源轨状态或故障事件等逻辑条件。

该器件还提供额外特性，例如级联、引脚选择状态、系统看门狗、系统复位、运行时钟、复位计数器等。级联功能提供了级联多达四个 UCD91160 器件并管理多达 128 个电压轨的便捷方法。引脚选择状态特性允许用户定义多达 8 组电源轨状态。这些状态可实现高级配置与电源接口 (ACPI) 规范中定义的系统低功耗模式。

6.2 功能方框图

UCD91160 功能框图



6.3 特性说明

6.3.1 TI Sequencer Studio 软件

基于 PC 的 Texas Instruments Sequencer Studio 软件通过 PMBus 接口与器件通信，使设计工程师能够配置应用的工作参数，而无需学习底层的 PMBus 命令。该软件将配置保存到片上非易失性存储器中，并可用于在调试过程中观察系统状态。配置完成后，器件在启动时将独立运行。请从 [UCD91160 网页](#) 下载 *Sequencer Studio* 软件。

6.3.2 PMBUS 接口

PMBus 是专为支持电源管理而设计的串行接口。PMBus 接口基于 SMBus 接口，而 SMBus 接口是构建在 I²C 物理层规范之上的。UCD91160 器件支持 PMBus 标准的 1.3 修订版。标准 PMBus 接口命令支持该器件的功能。器件的独特功能定义为通过 MFR_SPECIFIC 命令进行配置或激活。这些命令在 [UCD91160 序列发生器和系统运行状况控制器 PMBus 命令参考](#) 中定义。最新的 UCD91160 PMBus 命令参考可在 Sequencer Studio 软件中通过帮助菜单（帮助、文档和帮助中心、序列发生器选项卡、文档部分）找到。

本数据手册中经常提及 PMBus 规范。具体而言，本文档引用的是 2010 年 9 月 6 日发布的 *PMBus 电源系统管理协议规范第 II 部分 – 命令语言*，修订版 1.2。该规范由 Power Management Bus Implementers Forum 发布，可从 www.pmbus.org 获取。

UCD91160 器件满足 PMBus 规范中 *合规性* 部分的所有要求。固件符合 SMBus 1.2 规范，包括支持 SMBus ALERT 功能。硬件支持 100kHz 或 400kHz 的 PMBus 操作。

6.3.3 PMBUS 安全性

UCD91320 器件系列支持 PMBus 安全级别 0，并通过自定义命令支持高达 PMBus 安全级别 2 的特性。

为了符合 PMBus 安全级别 0，UCD91320 器件支持以下特性：

1. **PASSKEY** 命令
2. **ACCESS_CONTROL** 命令

6.4 器件功能模式

6.4.1 黑盒首次故障记录

在系统故障事件中，第一个发生的故障对于诊断根本原因至关重要。当 UCD91160 检测到初始故障时，该器件会记录并将每个电源轨的状态保存至 NVM 中专为此功能保留的特殊区域（即“黑盒”）。该器件不会将后续的故障和监控状态保存到黑盒故障日志中，而是将其记录在标准故障日志中。当跨越 BOR 电压阈值时的最后一个故障日志也会保存到黑盒故障日志中。必须先通过 PMBus 命令清除黑盒故障日志，然后才能收集下一次的黑盒故障日志。

6.4.2 PMBUS 地址选择

三个数字输入引脚用于选择 PMBus 地址。将这些引脚设置为高电平或低电平。

表 6-1. PMBus 地址配置

PMBUS_ADDR2	PMBUS_ADDR1	PMBUS_ADDR0	所选的 PMBus 地址	
L	L	L	17d	0010001b
L	L	H	19d	0010011b
L	H	L	23d	0010111b
L	H	H	49d	0110001b
H	L	L	51d	0110011b
H	L	H	113d	1110001b
H	H	L	115d	1110011b
H	H	H	119d	1110111b

6.4.3 欠压

当 VDD 引脚电压降至欠压阈值电压 (V_{BOR}) 以下时, UCD91160 器件将触发欠压事件。在欠压事件期间, 器件会继续将在欠压发生之前产生的故障日志写入 NVM。当 VDD 引脚电压低于关断阈值电压 (V_{SHDN}) 时, 器件完全关断。在器件关断前尚未写入 NVM 的任何故障事件都将丢失。

如果在欠压事件发生前紧接着发生了多个故障, 器件需要 $500\mu s$ 的时间将第一个故障事件写入 NVM。写入功能需要额外的 $4ms$ 才能将黑盒故障日志写入 NVM。用户必须提供足够的本地电容, 以使 VDD 电源轨在 V_{SHDN} 以上维持至少 $500\mu s$ (若包含黑盒故障日志则需 $4.5ms$), 从而确保第一个故障日志得以保存。更大的电容可以支持在欠压期间将更多故障事件写入 NVM。

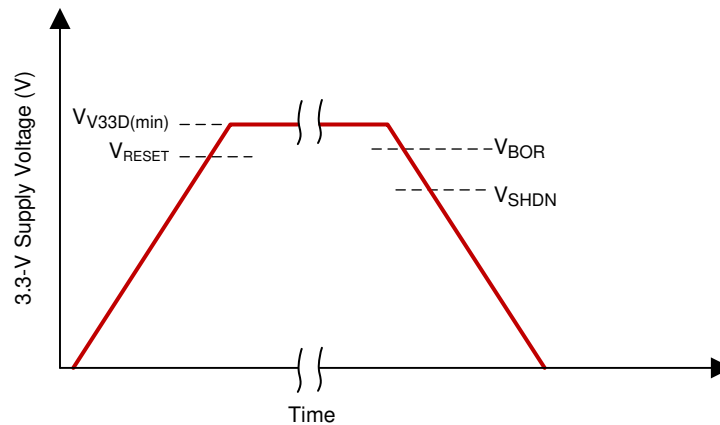


图 6-1. 复位和欠压阈值

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

UCD91160 器件可用于对多达 16 个电压轨进行时序控制和监控，并可对多达 8 个电压轨进行电压裕度调节。最多可级联四个 UCD91160 器件，从而允许用户监控多达 64 个电源轨，并记录同步故障响应。典型应用包括自动测试设备、电信与网络设备、服务器以及存储系统。可使用 TI 提供的 *Sequencer Studio* 软件进行器件配置。无需任何编程技能。

7.2 典型应用

图 7-1 显示了经过简化的系统方框图。为简化起见，该图仅展示了三个电源轨，但每个 UCD91160 器件实际上可管理多达 16 个电源轨。

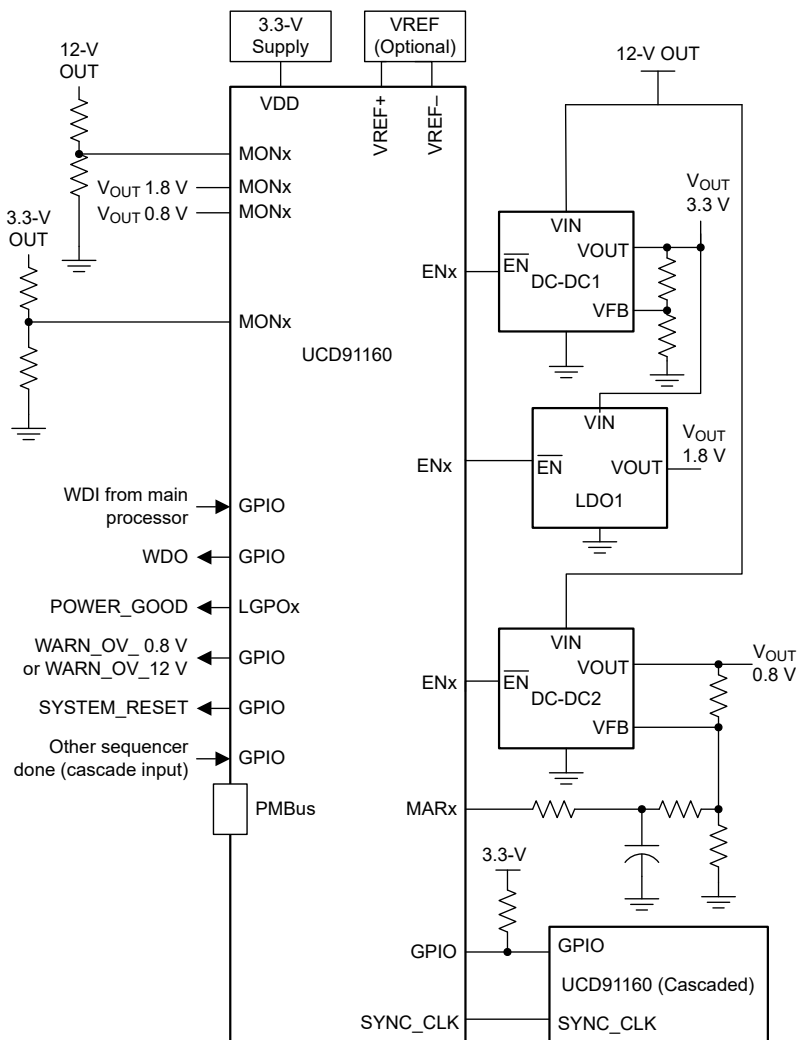


图 7-1. 简化版系统图

7.2.1 设计要求

UCD91160 需要在 VDD、BPCAP 和 VREF+ 引脚上放置去耦电容器。VDD、BPCAP 和 VREF+ 的电容值在“电气特性”中有明确规定。请考虑将这些电容器设计配置作为备选方案。

- 如果应用不使用 nRESET 信号，则必须将 nRESET 引脚电平拉至 VDD，可以通过直接连接到 VDD 引脚，或者通过如图 7-2 所示的 R-C 电路连接。图 7-2 中的 R-C 电路也可用于在上电时延迟复位释放。如果应用使用了 nRESET 外部引脚，则 nRESET 信号的布线必须尽可能短。请务必将任何连接到 nRESET 信号的元件尽可能靠近器件放置。
- 将 nRESET 引脚拉低并保持小于 1s 会触发引导复位，而将 nRESET 引脚拉低并保持大于 1s 会触发上电复位。
- 模拟监控引脚能够监控 0V 至 3.3V 之间的电压轨。MONx 引脚的输入不应超出此范围。
- 在器件编程期间，必须确保 VDD 电源稳定且不会触发器件复位。在器件编程时触发复位可能会导致数据损坏。
- TI 建议在 VDD 和 VSS 引脚之间连接 10 μ F 和 0.1 μ F 低 ESR 陶瓷去耦电容器的组合，并将这些电容器尽可能靠近其去耦的电源引脚放置。对于大多数应用，推荐使用 10 μ F 大容量去耦电容器，但可以根据 PCB 设计和应用要求，在需要时调整该电容。例如，可以使用容量更大的电容器，但会影响电源轨斜升时间。
- BPCAP 引脚上需要连接一个 0.47 μ F 的电容器，并且该电容器必须靠近器件放置，与器件接地之间的距离最小。请勿将其他电路连接到 BPCAP 引脚。

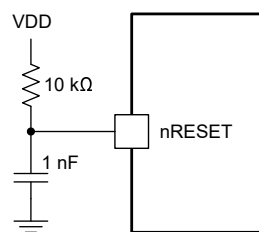


图 7-2. 带有 R-C 网络的 nRESET 引脚

7.2.2 详细设计过程

Sequencer Studio 软件可用于在线或离线（无论 UCD91160 器件是否连接至计算机）设计器件配置。在离线模式下，软件在启动时会提示用户创建或打开项目文件 (.xml)。在在线模式下，软件会自动通过 PMBus 接口检测器件并提取配置数据。将 **Sequencer Studio** 软件连接到 PMBus 需要 TI 提供的 [USB 接口适配器 EVM](#)。

以下包含通用设计步骤。步骤的详细信息在 [节 6](#) 中进行了说明，并且可以在 **Sequencer Studio** 软件内轻松访问。

1. 电源轨设置
2. 电源轨监控配置
3. GPI 配置
4. 电源轨时序配置
5. 故障响应配置
6. GPO 配置
7. 裕度配置
8. 其他配置（包括但不限于）：
 - 引脚选择电源轨状态
 - 看门狗计时器
 - 系统复位
 - 同步时钟
 - 故障引脚

点击 **Write to Hardware** 以应用更改。在在线模式下，随后点击 **Store RAM to Flash**，以将新配置永久存储至器件的数据闪存。

7.2.3 应用曲线

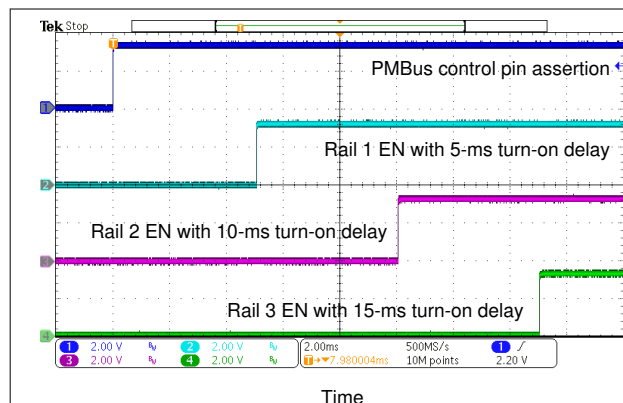


图 7-3. 启动波形

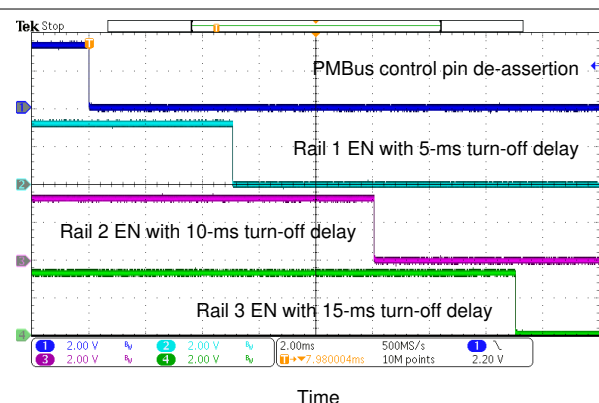


图 7-4. 关断波形

7.3 电源相关建议

使用 3.3V 电源为 UCD91160 器件供电。

如果使用内部基准，则 VDD 用作 ADC 的参考基准，且假定其电压恰好为 3.3V。任何偏离 3.3V 的输入电压都会给 ADC 参考基准带来误差，从而影响 ADC 的转换结果。因此，3.3V 电源必须经过严格稳压，且仅允许极小的电压波动（包括电压纹波以及由负载瞬变引起的电压偏移）。

如果使用外部基准 (VREF+)，则 3.3V 电源仅需满足节 5.3 和节 5.5 中所指定的最低要求。

7.4 布局

7.4.1 布局指南

- 将去耦电容器尽可能靠近器件放置
- 将 BPCAP 去耦电容器尽可能靠近 BPCAP 引脚连接
- 裕度引脚 (MARx) 输出的是具有快速跳变边沿的 PWM 信号。布线时应使这些信号远离敏感的模拟信号

7.4.2 布局示例

UCD91160 器件采用 64 引脚 LQFP 封装。如果设计要求将器件安装在顶层，则可以将去耦电容器放置在底层，以为顶层布线留出空间。以下布局示例说明了这一策略。图 7-5 以顶视图视角展示了底层元件的布局。除图 7-5 外，还请考虑以下重要建议。

1. 使用统一的接地平面来连接 VSS 和 VREF- 引脚。
2. 将 BPCAP 引脚连接到公共的内层覆铜区域。
3. VSS 和 VREF- 引脚可以连接到公共的内层铺铜区域。

图 7-5 展示了一个典型应用，其中 UCD91160 器件安装在顶层，相关元件放置在底层。

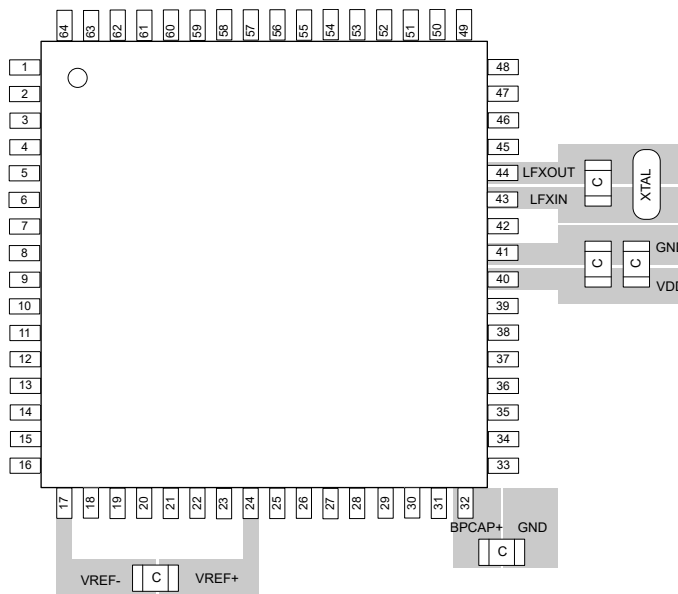


图 7-5. 布局示例

8 器件和文档支持

8.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.3 商标

PMBus™ is a trademark of SMIF, Inc.

Sequencer Studio™ is a trademark of TI.

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
December 2025	*	初始发行版

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCD91160SPMR	Active	Production	LQFP (PM) 64	1000 LARGE T&R	-	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCD91160

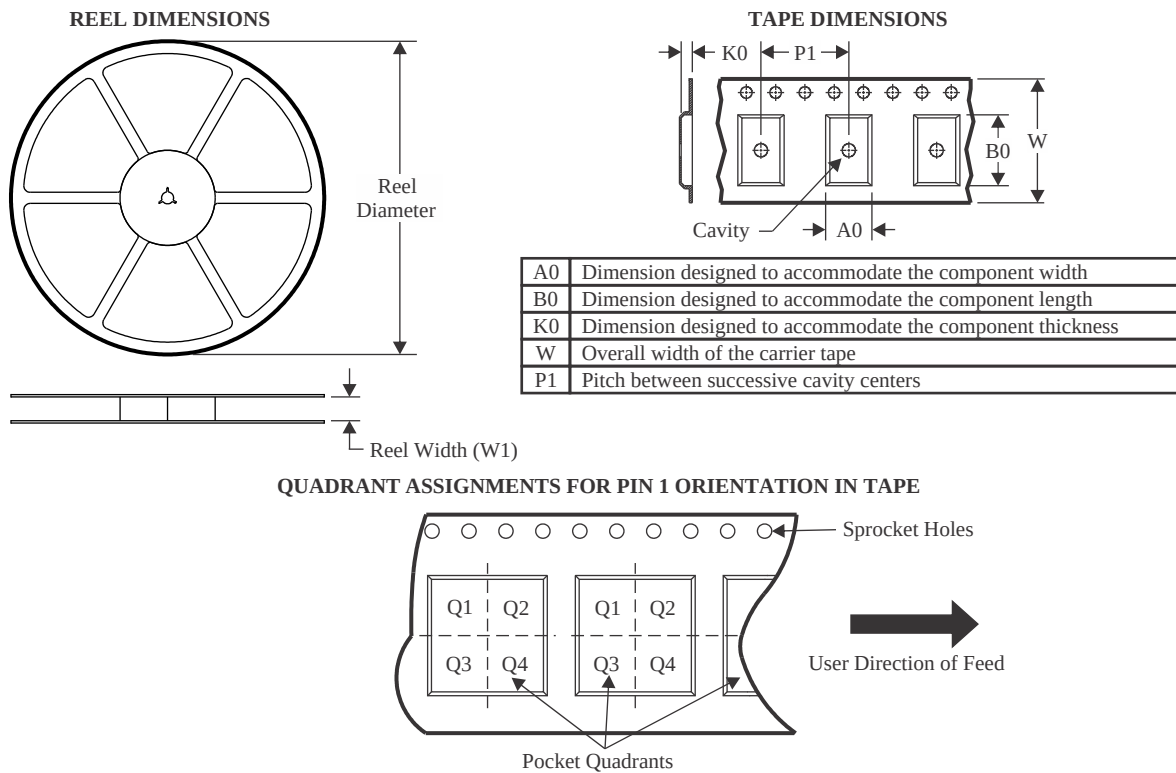
- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

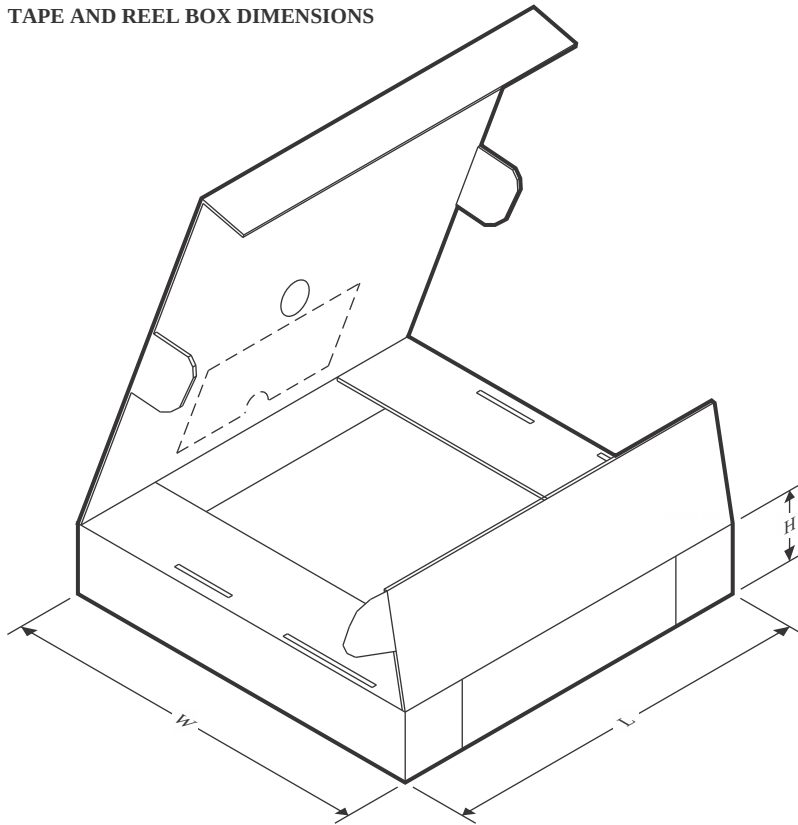
TAPE AND REEL INFORMATION



*All dimensions are nominal

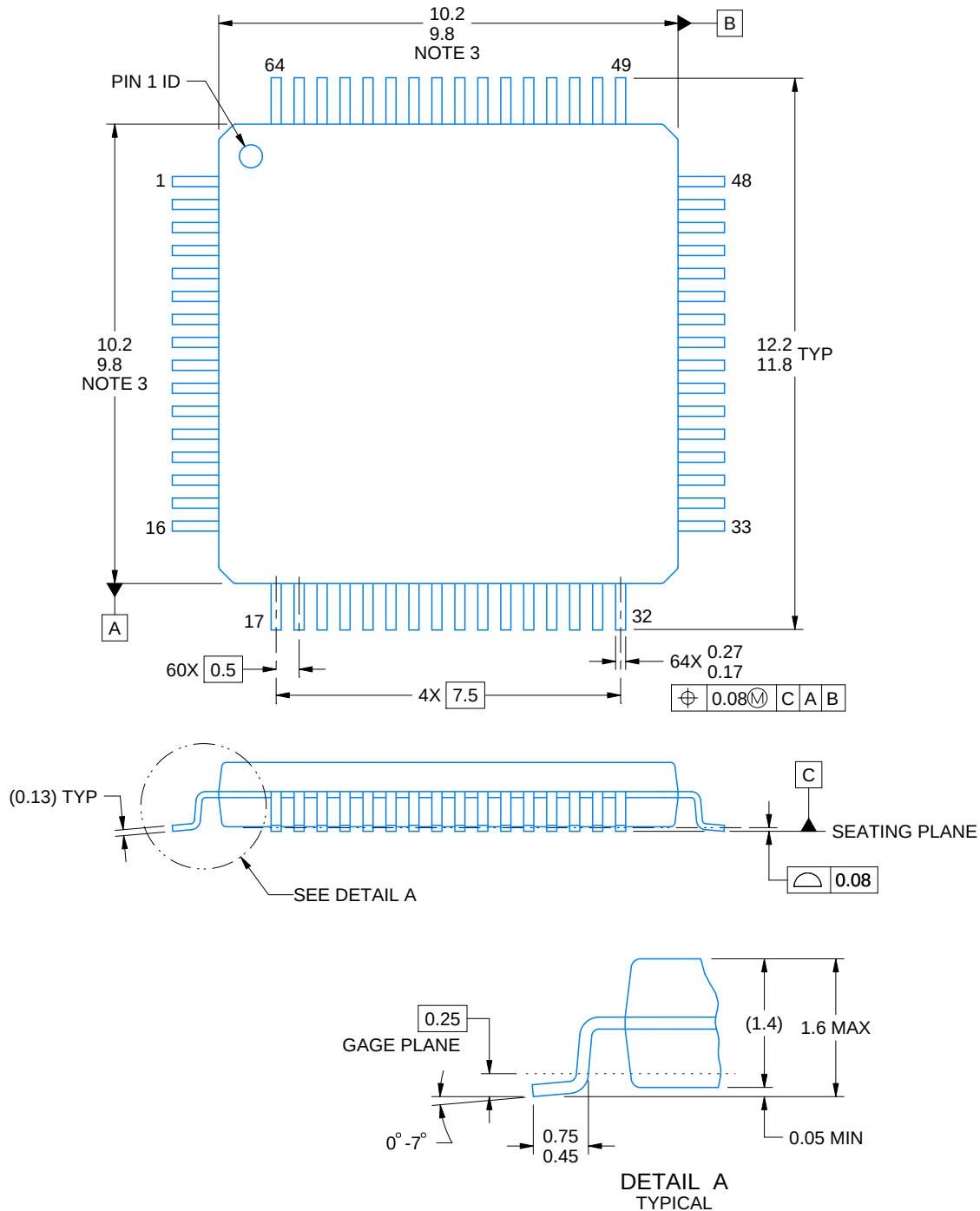
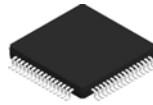
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCD91160SPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCD91160SPMR	LQFP	PM	64	1000	336.6	336.6	41.3



4215162/A 03/2017

NOTES:

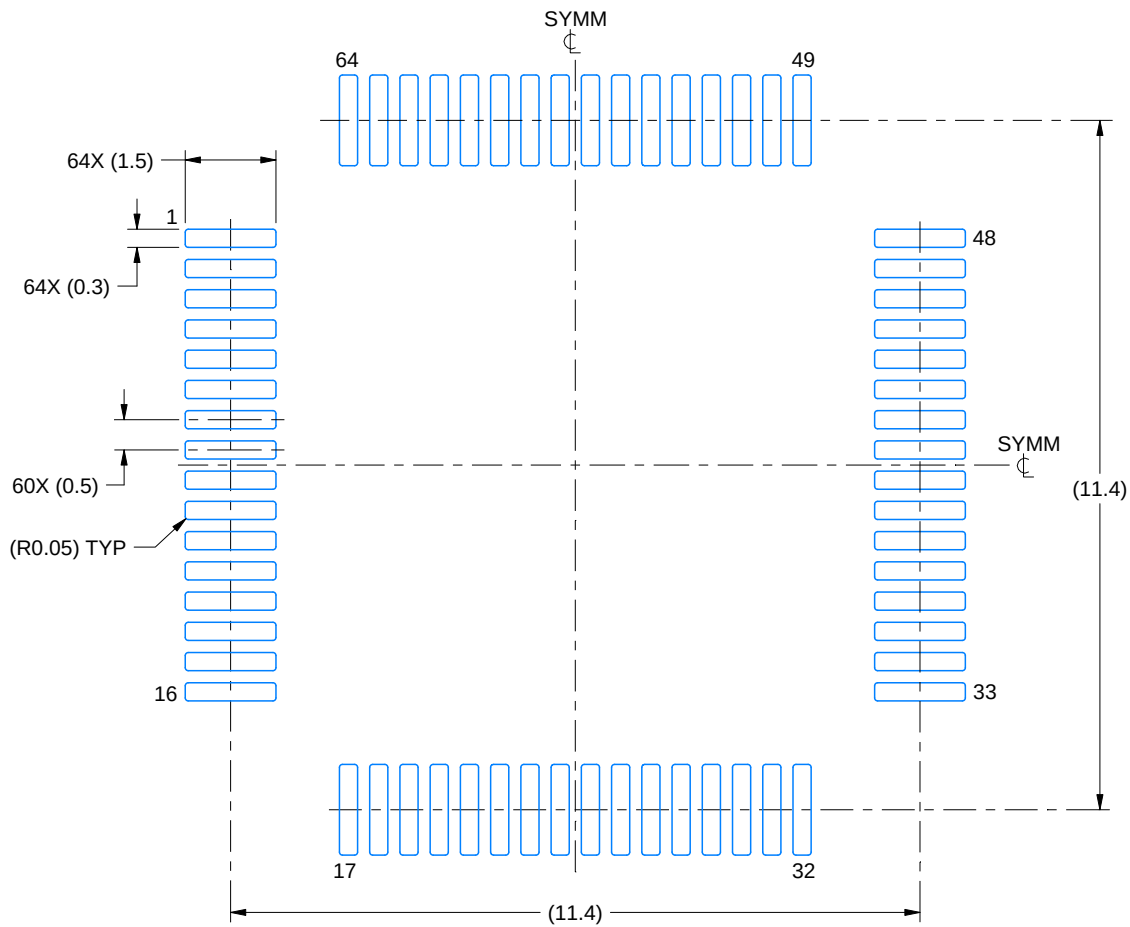
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.

EXAMPLE BOARD LAYOUT

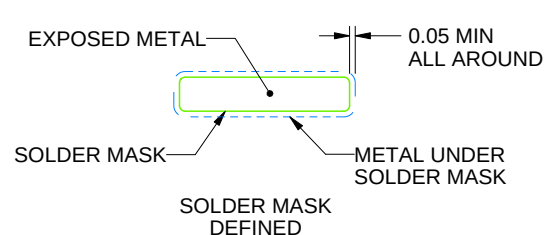
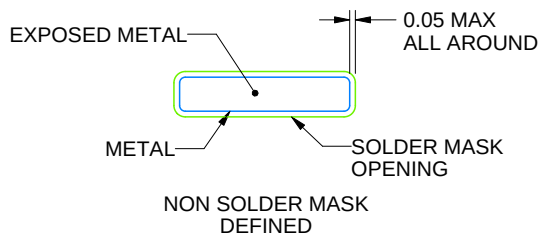
PM0064A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4215162/A 03/2017

NOTES: (continued)

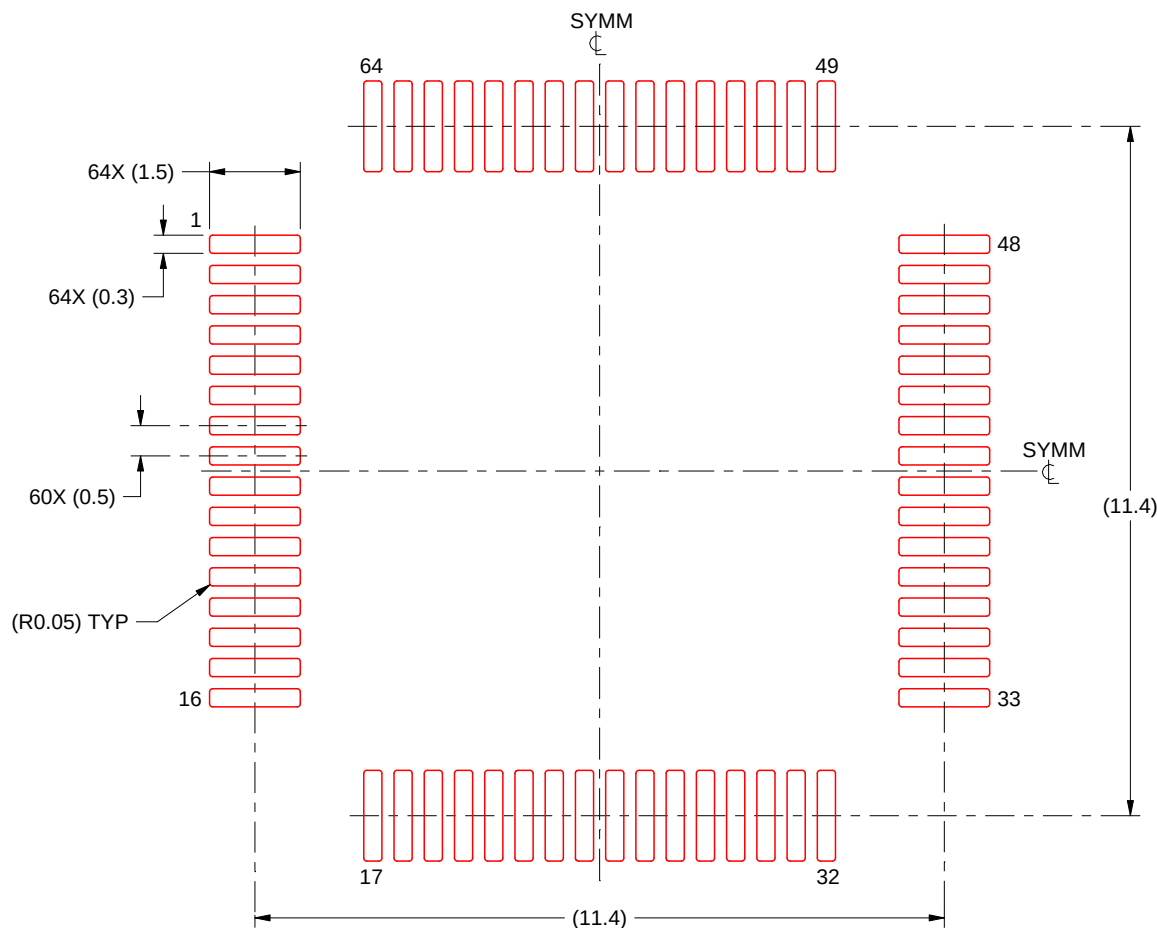
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).

EXAMPLE STENCIL DESIGN

PM0064A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL
 SCALE:8X

4215162/A 03/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月