UCC5713x-Q1 适用于汽车应用且具有过流保护功能的高速、低侧栅极驱动器

1 特性

- 符合汽车应用要求
- 符合 AEC-Q100 标准
  - 器件温度 1 级
- 典型 3A 灌电流，3A 拉电流输出
- 过流保护 (OCP) 阈值：500mV
- 单引脚用于故障输出和使能
- 可编程故障清除时间和过流检测响应时间
- 绝对最大 VDD 电压：30V
- 可实现偏置灵活性的严格 UVLO 阈值
- 传播延迟典型值为 26ns
- 具有 180°C 时热关断功能的自保护驱动器
- 采用 5mm x 4mm SOIC-8 封装
- 工作结温范围为 –40°C 至 150°C

2 应用

- 数字控制 PFC
- 空调
- 家用电器
- 电机驱动器
- 适用于单端拓扑的通用低侧栅极驱动器

3 说明

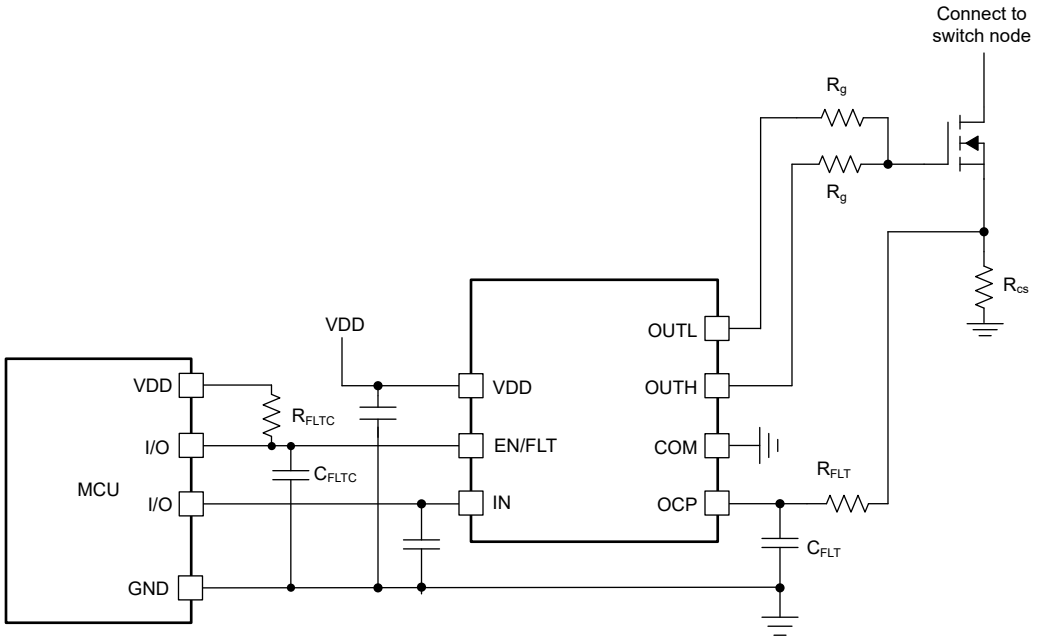
UCC5713x-Q1 是一款单通道、高性能、低侧栅极驱动器，能够有效地驱动 MOSFET、IGBT 和 SiC 电源开关。UCC5713x-Q1 的典型峰值驱动强度为 3A。

UCC5713x-Q1 通过 OCP 引脚提供过流保护。当在 OCP 引脚上检测到过流信号时，内部电路将下拉 EN/$\overline{\text{FLT}}$ 引脚以报告故障并强制 OUT 引脚置为低电平。在驱动器正常运行期间，EN/$\overline{\text{FLT}}$ 引脚上需要外部上拉电路。将 EN/$\overline{\text{FLT}}$ 引脚拉至低电平会禁用驱动器。EN/$\overline{\text{FLT}}$ 引脚还会报告 VDD 上的欠压锁定 (UVLO) 故障和过热故障。UCC5713x-Q1 为 SiC 和 IGBT 应用提供 8V 和 12V UVLO 选项。

封装信息

器件型号	封装(1)	封装尺寸(2)
UCC5713x-Q1	D（SOIC，8）	5mm × 4mm

(1) 如需了解所有可用封装，请参阅此数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版应用示意图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 5
5.5 电气特性 5
5.6 开关特性 6
5.7 计时示意图 7
5.8 典型特性 8
6 详细说明 12
6.1 概述 12
6.2 功能方框图 12
6.3 特性说明 13
6.4 器件功能模式 16
7 应用和实施 18
7.1 应用信息 18
7.2 典型应用 18
7.3 电源相关建议 22
7.4 布局 22
8 器件和文档支持 24
8.1 第三方产品免责声明 24
8.2 接收文档更新通知 24
8.3 支持资源 24
8.4 商标 24
8.5 静电放电警告 24
8.6 术语表 24
9 修订历史记录 24
10 机械、封装和可订购信息 24

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

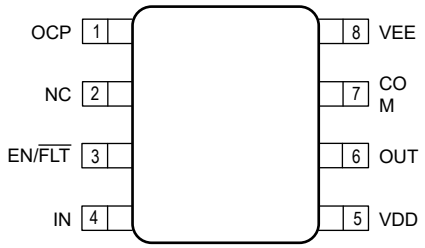


图 4-1. UCC5713xB-Q1 8 引脚 SOIC D 封装顶视图

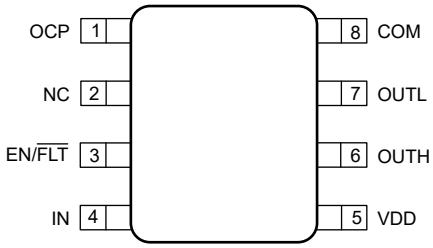


图 4-2. UCC5713xC-Q1 SOIC D 封装顶视图

表 4-1. 引脚功能

引脚			类型(1)	说明
名称	UCC5713xB-Q1	UCC5713xC-Q1		
OCP	1	1	I	电流检测输入
NC	2	2		未连接
EN/FLT	3	3	I/O	使能和故障报告
IN	4	4	I	驱动器的输入
VDD	5	5	P	驱动器辅助电源
OUT	6	不适用	O	驱动器的输出
OUTH	不适用	6	O	驱动器高电平输出
OUTL	不适用	7	O	驱动器低电平输出
COM	7	8	G	驱动器地
VEE	8	不适用	P	相对于 COM 的驱动器负辅助电源

(1) I/O = 数字输入/输出，IA = 模拟输入，AO = 模拟输出，P = 电源连接

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

所有电压均以 COM 为基准。在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
VDD-COM	正电源	-0.3	30	V
VDD-VEE	差分电源电压（B 版本）	-0.3	30	V
VEE-COM	负电源电压（B 版本）	-18	0.3	V
OUT	输出信号直流电压	COM/VEE – 0.3	VDD+0.3	V
	输出信号瞬态电压持续 200ns	COM/VEE – 2	VDD+3	V
VOCP	电流检测引脚处的电压 (OCP)	-10	12	V
V_{IN}	IN 信号直流电压	-5	30	V
$V_{EN/\overline{FLT}}$	EN/$\overline{FLT}$ 信号直流电压	-0.3	30	V
T_J	结温	-40	150	℃
T_{stg}	贮存温度	-65	150	℃

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准 (1)	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 标准	±1000	V

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

所有电压均以 COM 为基准。在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
VDD-COM	正电源（8V UVLO 选项）	8.5		26	V
VDD-COM	正电源电压（12V UVLO 选项）	14.5		26	V
VDD-VEE	差分电源电压（B 版本）			26	V
VEE-COM	负电源电压（B 版本）	-15		0	V
V_{OUT}	输出电压	COM/VEE		VDD	V
V_{OCP}	电流检测引脚处的电压	-5		10	V
V_{IN}	IN 信号直流电压	-2		26	V
$V_{EN/\overline{FLT}}$	EN 信号直流电压	0		26	V
T_J	结温	-40		150	℃

Copyright © 2026 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		UCC5713x	单位
		D	
		8 引脚	
$R_{\theta JA}$	结至环境热阻	126.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	67.1	°C/W
$R_{\theta JB}$	结至电路板热阻	75.8	°C/W
Ψ_{JT}	结至顶部特征参数	15.9	°C/W
Ψ_{JB}	结至电路板特征参数	74.8	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

5.5 电气特性

VDD = 15V，VEE = 0V，从 VDD 到 COM 的 1µF 电容器，从 VEE 到 COM 的 1µF 电容器，TJ = –40°C 至 +150°C，CL = 0pF（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
电源电流						
I_{VDDQ}	VDD 静态电源电流	V_{IN} = 3.3V，EN = 5V，VDD = 6.5V			1.3	mA
I_{VDD}	VDD 静态电源电流	V_{IN} = 3.3V，EN = 5V		0.7	1.5	mA
I_{VDD}	VDD 静态电源电流	V_{IN} = 0V，EN = 5V		0.7	1.1	mA
I_{VEEQ}	VEE 静态电源电流	V_{IN} = 0V，EN = 5V，VEE = -10V			1.1	mA
I_{VDDO}	VDD 动态工作电流	f_{SW} = 1MHz，EN = 5V，VDD = 15V，C_L = 1.8nF			30	mA
I_{DIS}	VDD 禁用电流	V_{IN} = 3.3V，EN = 0V		0.8	1.1	mA
VDD 欠压阈值和延迟						
V_{VDD_ON}	VDD UVLO 上升阈值	8V UVLO 选项	7.65	8	8.35	V
V_{VDD_OFF}	VDD UVLO 下降阈值		6.65	7	7.35	V
V_{VDD_HYS}	VDD UVLO 阈值迟滞			1		V
$t_{UVLO2FLT}$	从 UVLO 到 $\overline{FLT}$ 的传播延迟			2		µs
V_{VDD_ON}	VDD UVLO 上升阈值	12V UVLO 选项	12.8	13.5	14.2	V
V_{VDD_OFF}	VDD UVLO 下降阈值		11.8	12.5	13.2	V
V_{VDD_HYS}	VDD UVLO 阈值迟滞			1		V
IN、EN/$\overline{FLT}$						
V_{INH}	输入高电平阈值电压		1.8	2.2	2.6	V
V_{INL}	输入低电平阈值电压		0.8	1.2	1.6	V
V_{IN_HYS}	输入阈值迟滞			1		V
R_{IND}	IN 引脚下拉电阻			115		kΩ
V_{ENH}	使能高电平阈值电压		1.8	2.2	2.6	V
V_{ENL}	使能低电平阈值电压		0.8	1.2	1.6	V
V_{EN_HYS}	使能阈值迟滞			1		V
R_{ENU}	EN 引脚上拉电阻			2		MΩ
I_{FLTth}	$\overline{FLT}$ 阈值	$V_{FLT\text{-}sink}$ = 400mV，25°C	18			mA
OC 检测						

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

VDD = 15V，VEE = 0V，从 VDD 到 COM 的 1μF 电容器，从 VEE 到 COM 的 1μF 电容器，TJ = –40°C 至 +150°C，CL = 0pF（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
V_{OCTH}	OC 检测阈值，以 GND 为基准 (UCC5713X)	500mV 选项	474	500	526	mV
V_{OCTL}	OC 释放阈值，以 GND 为基准 (UCC5713X)	500mV 选项	463	488	513	mV
t_{OCFIL}(1)	OC 抗尖峰脉冲滤波器（8V-UVLO 版本）			70		ns
t_{OCFIL}(1)	OC 抗尖峰脉冲滤波器（12V-UVLO 版本）			190		ns
t_{OC2OUT}(1)	OC 传播延迟到输出达到 90% 的 OUT（8V-UVLO 版本）			115	145	ns
t_{OC2OUT}(1)	OC 传播延迟到输出达到 90% 的 OUT（12V-UVLO 版本）			230	350	ns
t_{OC2FLT}(1)	OC 传播延迟到输出达到 90% 的 EN/$\overline{FLT}$ 低电平（8V-UVLO 版本）			115	150	ns
t_{OC2FLT}(1)	OC 传播延迟到输出达到 90% 的 EN/$\overline{FLT}$ 低电平（12V-UVLO 版本）			220	320	ns
t_{OCLEB}(1)	OC 前沿消隐时间（，8V-UVLO 版本）			60	80	ns
t_{OCLEB}(1)	OC 前沿消隐时间（，12V-UVLO 版本）			180	250	ns
过热保护						
T_{SD}(1)	过热阈值			180		℃
T_{HYS}(1)	过热保护迟滞			30		℃
$t_{OTP2FLT}$(1)	从过热关断到 $\overline{FLT}$ 的传播延迟	过热关断到 90% 的 $\overline{FLT}$，Cl=10pF		8		us
输出驱动器级						
I_{SRCPK}(1)	峰值输出拉电流	C_{VDD} = 10μF，C_L = 0.1μF，f = 1kHz		-3		A
I_{SNKPK}(1)	峰值输出灌电流	C_{VDD} = 10μF，C_L = 0.1μF，f = 1kHz		3		A
R_{OH}	上拉电阻	I_{OUT} = -500mA		5		Ω
R_{OL}	下拉电阻	I_{OUT} = 50mA		1		Ω

(1) 参数未在生产环境中测试

5.6 开关特性

VDD = 15V，VEE = 0V，从 VDD 到 COM 的 1μF 电容器，从 VEE 到 COM 的 1μF 电容器，TJ = –40°C 至 +150°C，CL = 0pF（除非另有说明）。(1)

参数		测试条件	最小值	典型值	最大值	单位
t_R	输出上升时间	C_L = 1.8nF，10% 至 90%，Vin = 0V 至 3.3V		8	18	ns
t_F	输出下降时间	C_L = 1.8nF，90% 至 10%，Vin = 0V 至 3.3V		14	32	ns
t_{D2}	传播延迟 - 输入下降至输出下降	C_L = 1.8nF，从 Vin 上的 1V 下降至输出下降的 90%，Vin = 0V - 3.3V，Fsw = 500kHz，50% 占空比		28	50	ns
t_{D1}	传播延迟 - 输入上升至输出上升	C_L = 1.8nF，从 Vin 上的 2V 上升至输出上升的 10%，Vin = 0V - 3.3V，Fsw = 500kHz，50% 占空比		26	50	ns

Copyright © 2026 Texas Instruments Incorporated

5.6 开关特性（续）

VDD = 15V，VEE = 0V，从 VDD 到 COM 的 1µF 电容器，从 VEE 到 COM 的 1µF 电容器，TJ = –40°C 至 +150°C，CL = 0pF（除非另有说明）。(1)

参数		测试条件	最小值	典型值	最大值	单位
t_{PD_DIS}	DIS 响应延迟	C_L = 1.8nF，从 EN 上的 1V 下降至输出下降的 90%，EN = 0V - 3.3V		27	45	ns
t_{PWD}	脉宽失真度	输入脉宽 = 100ns，500kHz $\lvert t_{D2_1} - t_{D1_1} \rvert$	-10		10	ns

(1) 这些开关参数未经生产环境测试。

5.7 计时示意图

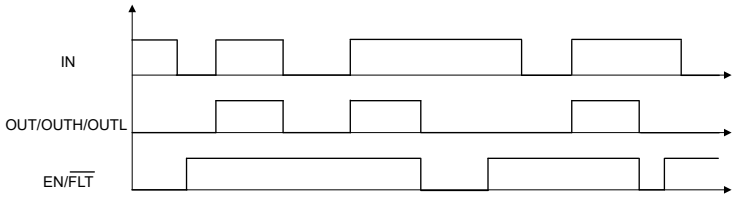
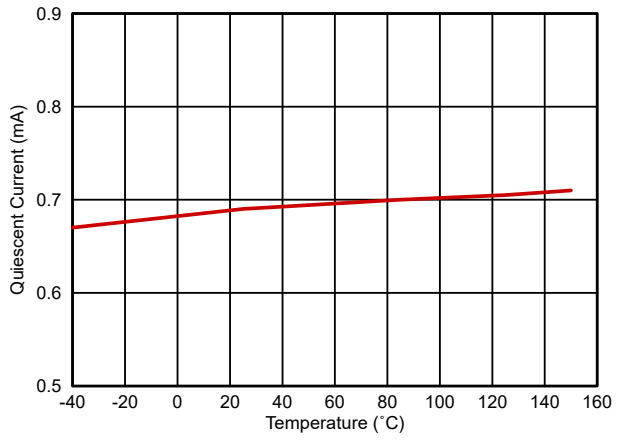


图 5-1. 输入/输出/使能时序图，IN = PWM

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性

除非另有说明，否则 VDD = 15V，VEE = 0V，IN = 3.3V，EN = 5V，T_J = 25°C，空载



V_{DD} = 6.5V

图 5-2. 静态电流

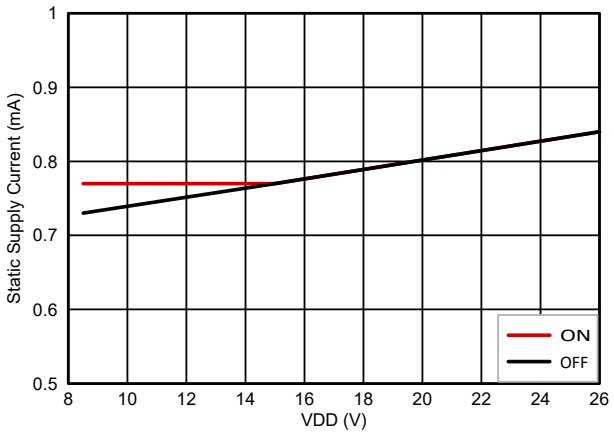


图 5-3. 工作静态电源电流

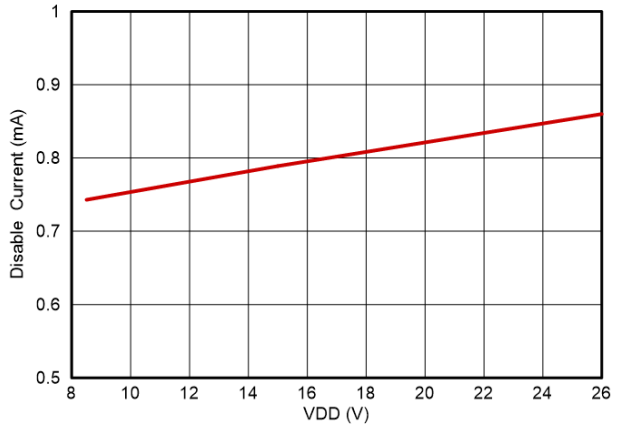
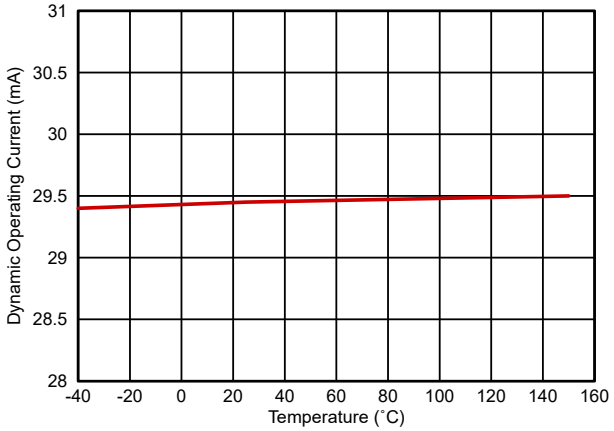


图 5-4. 禁用电流



C_{LOAD} = 1.8nF

图 5-5. 工作电源电流

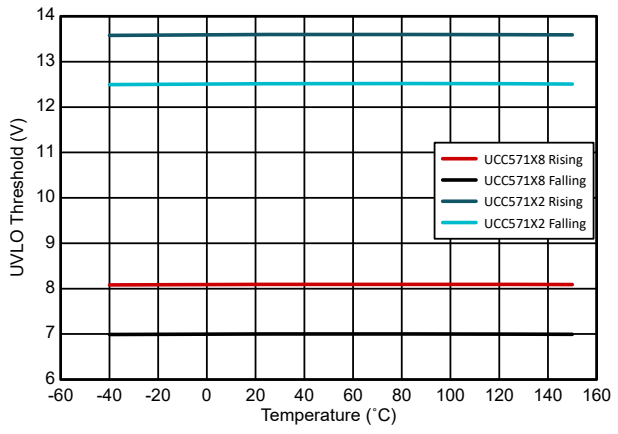


图 5-6. UVLO Threshold

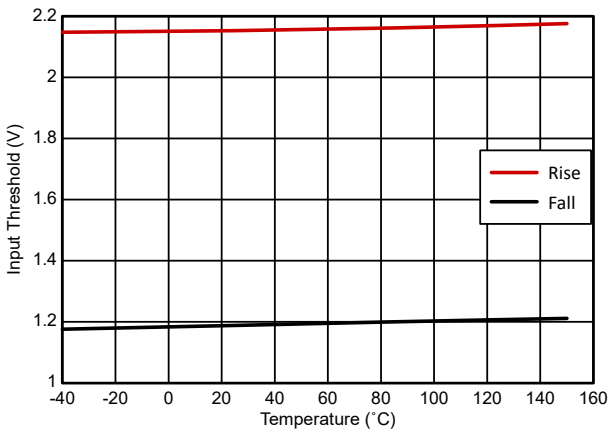


图 5-7. 输入阈值

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性 (续)

除非另有说明，否则 VDD = 15V，VEE = 0V，IN = 3.3V，EN = 5V，T_J = 25°C，空载

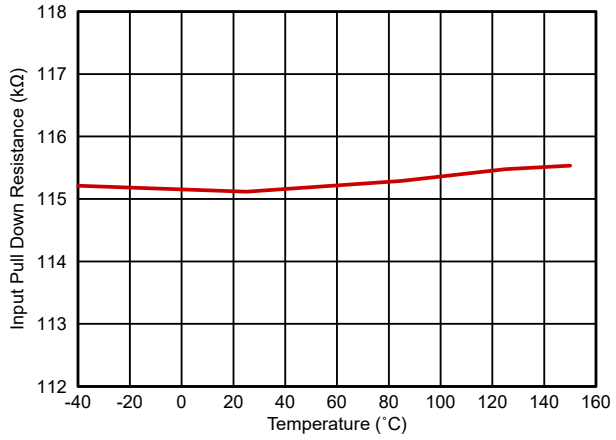


图 5-8. 输入下拉电阻

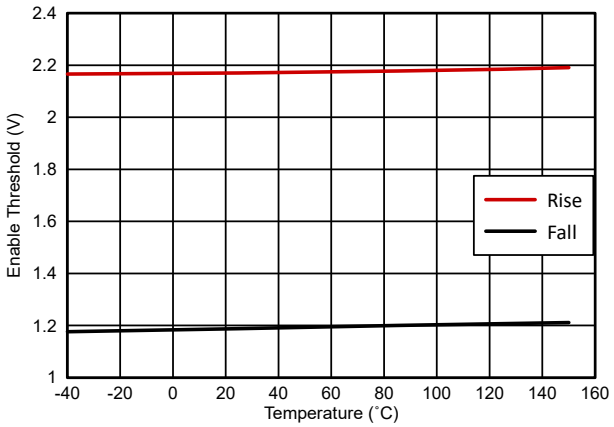


图 5-9. 使能阈值

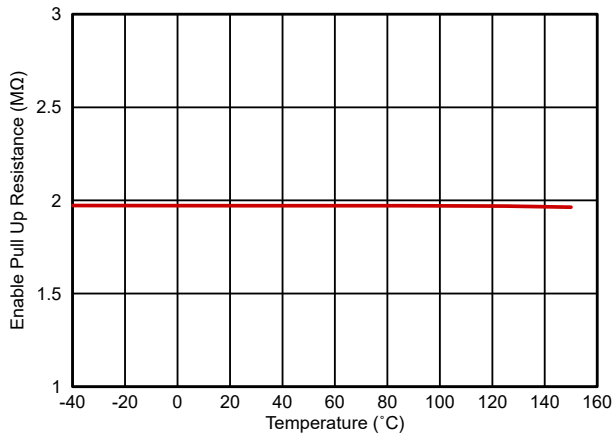


图 5-10. 使能上拉电阻

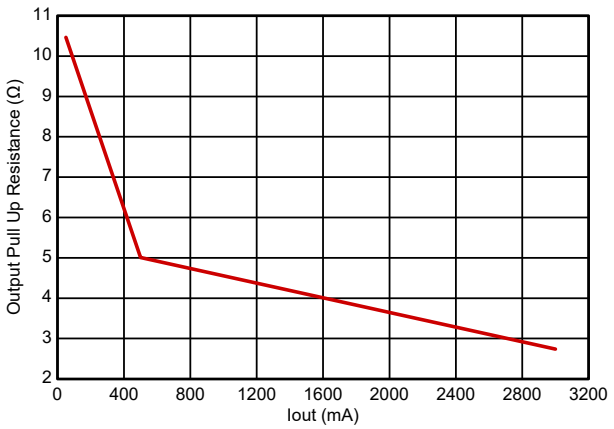


图 5-11. 输出上拉电阻

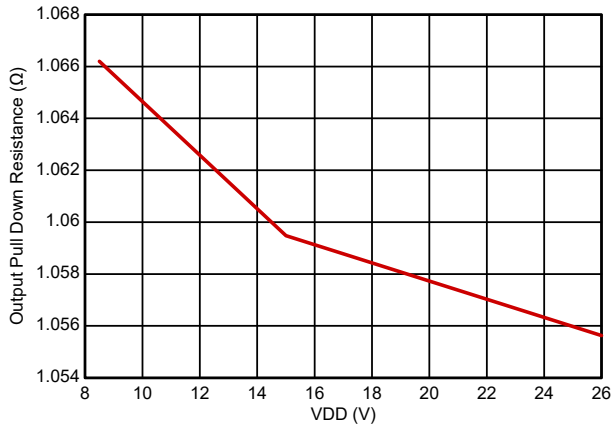


图 5-12. 输出下拉电阻



C_{LOAD} = 1.8nF

图 5-13. 输出上升时间

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性 (续)

除非另有说明，否则 VDD = 15V，VEE = 0V，IN = 3.3V，EN = 5V，T_J = 25°C，空载

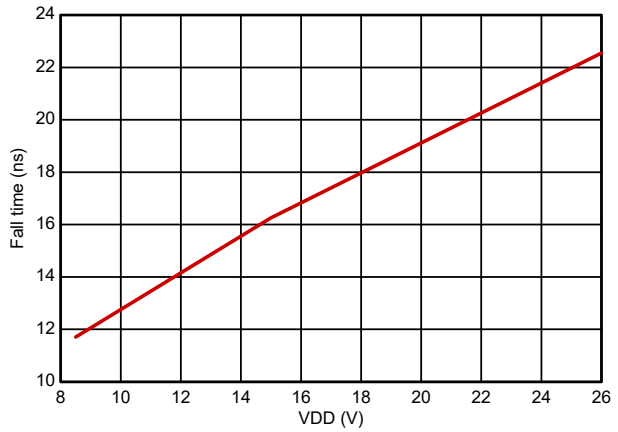


图 5-14. 输出下降时间

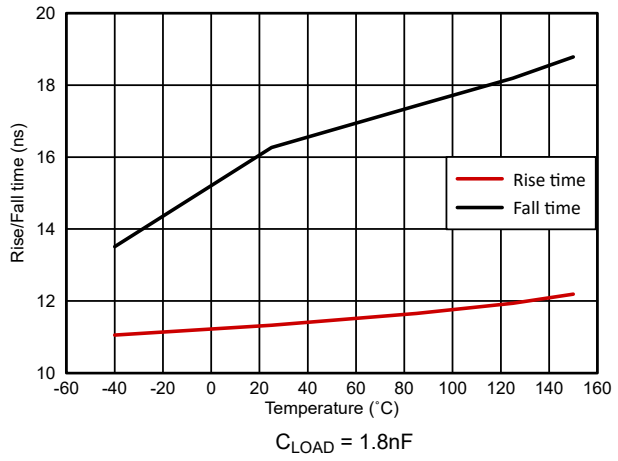


图 5-15. 输出上升和下降时间

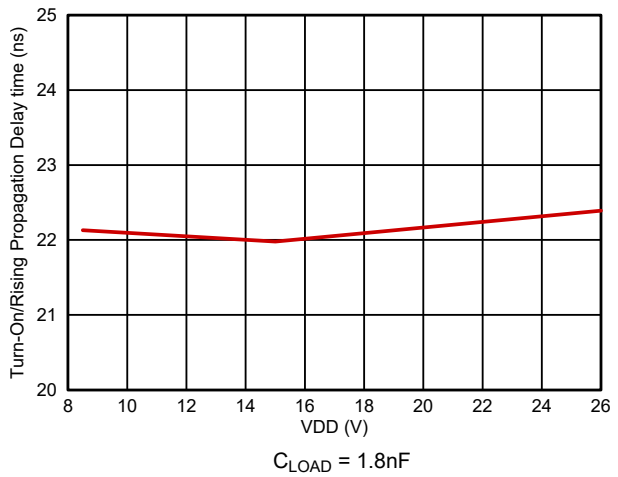


图 5-16. 输入到输出上升（导通）传播延迟

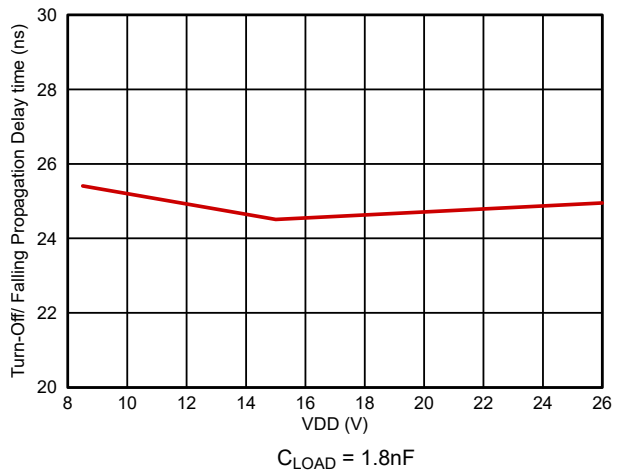


图 5-17. 输入到输出下降（关断）传播延迟

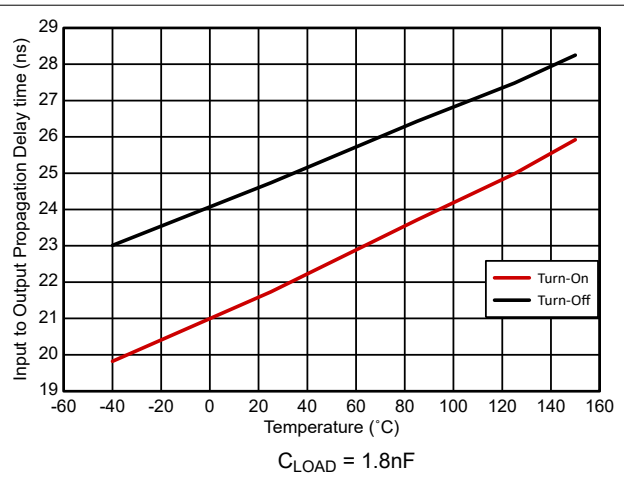


图 5-18. 输入传播延迟

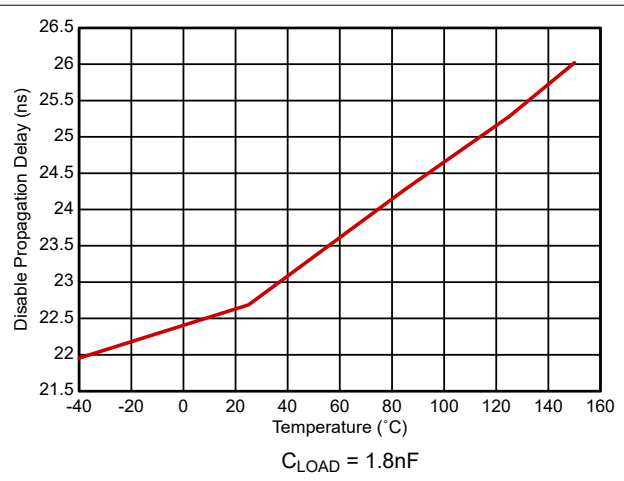


图 5-19. 禁用传播延迟

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性 (续)

除非另有说明，否则 VDD = 15V，VEE = 0V，IN = 3.3V，EN = 5V，T_J = 25°C，空载

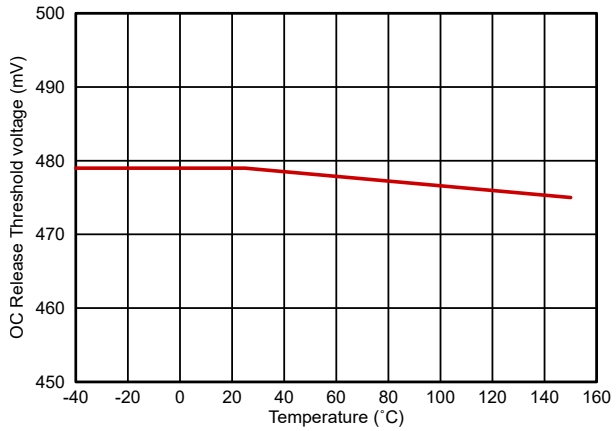


图 5-20. OC 释放阈值

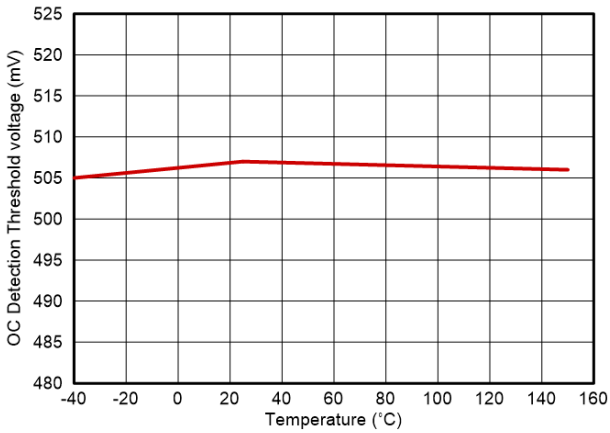


图 5-21. OC 检测阈值

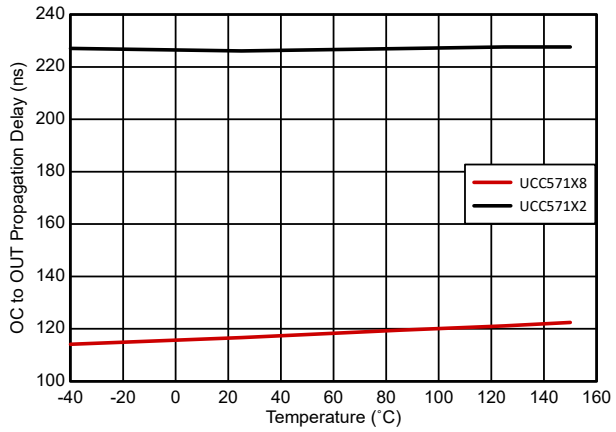


图 5-22. OC 到输出传播延迟

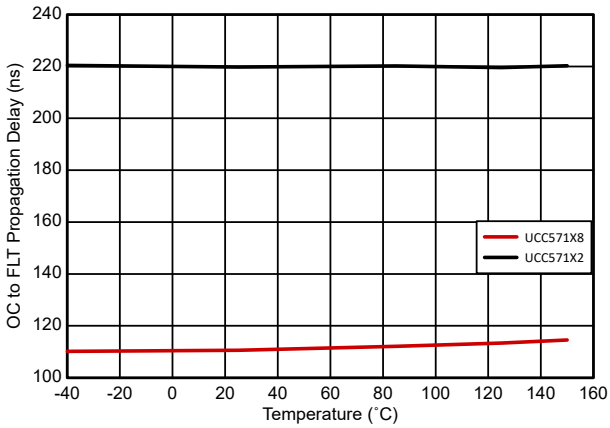
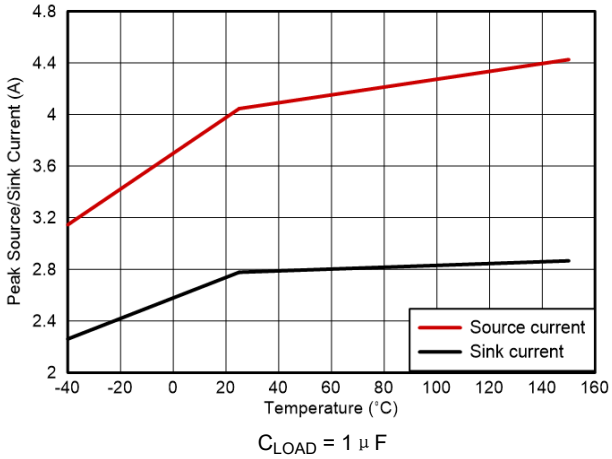


图 5-23. OC 到故障传播延迟



C_{LOAD} = 1 µ F

图 5-24. 峰值拉电流和灌电流

6 详细说明

6.1 概述

UCC5713x-Q1 器件是一款单通道高速栅极驱动器，可以提供具有 3A 拉电流和 3A 灌电流（对称驱动）峰值电流，能够有效驱动 MOSFET、SiC MOSFET 和 IGBT 电源开关。由于反向电流、轨到轨驱动能力和典型值为 26ns 的小传播延迟，该驱动器在输出端具有良好的瞬态处理能力。该器件可检测过流，并向低压侧 DSP/MCU 报告故障。当在 OCP 引脚上检测到过流信号时，内部电路将下拉 EN/$\overline{\text{FLT}}$ 引脚以报告故障并强制 OUT 置为低电平。

UCC5713x-Q1 的输入阈值与 TTL 低压逻辑兼容，此逻辑是固定的且与 VDD 电源电压无关。只要满足阈值要求，该驱动器还可以与基于 CMOS 的控制器配合使用。1V 滞后典型值提供出色的抗噪性能。

在驱动器正常运行期间，EN/$\overline{\text{FLT}}$ 引脚上需要外部上拉电路。将 EN/$\overline{\text{FLT}}$ 引脚拉至低电平会禁用驱动器。EN/$\overline{\text{FLT}}$ 引脚还会报告 VDD 上的欠压锁定 (UVLO) 故障和过热故障。

6.2 功能方框图

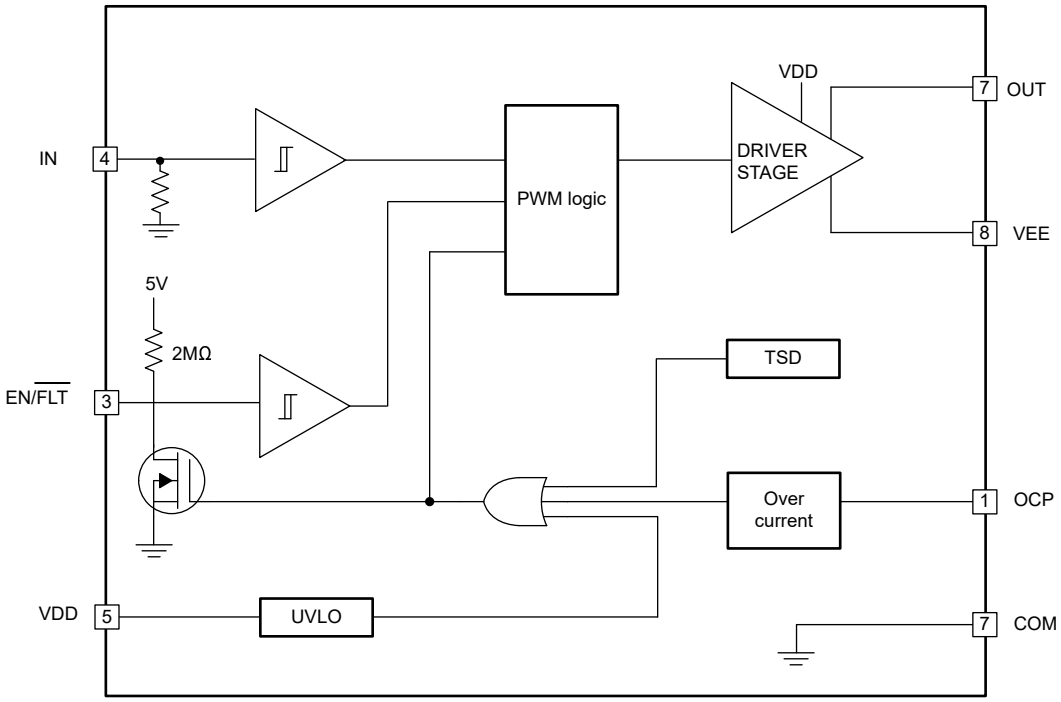


图 6-1. UCC5713xB-Q1 功能方框图

Copyright © 2026 Texas Instruments Incorporated

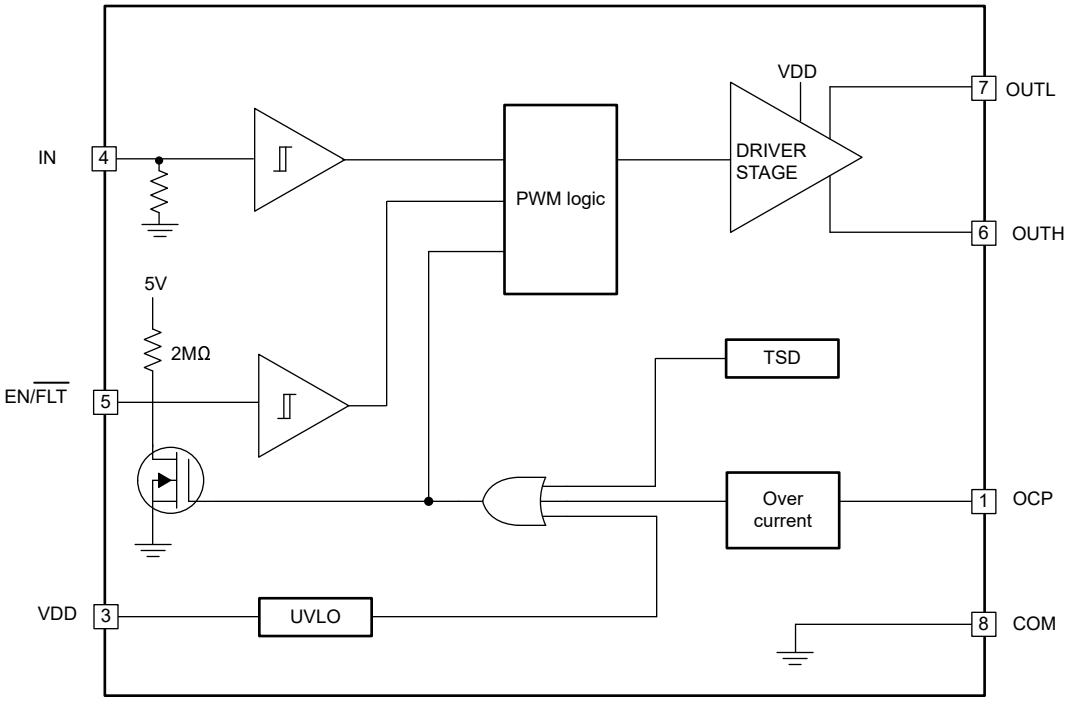


图 6-2. UCC5713xC-Q1 功能方框图

6.3 特性说明

6.3.1 输入级

UCC5713x-Q1 器件的输入与基于 TTL 的阈值逻辑兼容，并且输入与 VDD 电源电压无关。与传统的 TTL 逻辑实现相比，更宽的迟滞（通常为 1V）可提供增强的防噪性能。此器件还能够严格控制输入引脚阈值电压电平，从而简化系统设计并确保器件在整个温度范围内稳定运行。

该器件具有一项重要的保护功能，借助该功能，只要输入引脚处于悬空状态，输出就会保持在低电平状态。这是通过输入引脚上的内部下拉电阻器来实现的，如简化的功能方框图所示。在某些应用中，由于辅助电源时序的差异，不同 IC 会在不同的时间上电。这可能导致控制器输出处于三态。控制器的该输出连接到驱动器 IC 的输入端。如果驱动器 IC 没有下拉电阻器，则驱动器的输出可能会错误地变为高电平并损坏开关功率器件。

驱动器的输入级最好由具有较短上升或下降时间的信号驱动。使用驱动器处理缓慢变化的输入信号时应格外谨慎，尤其是在器件位于独立子板上或 PCB 布局具有长输入连接布线的情况下：

- 驱动器输出端的高 di/dt 电流与电路板布局中的寄生效应相结合，可能会导致接地反弹。该器件的单个 COM 引脚可以电源地为参考，这可能会干扰输入引脚与 COM 之间的差分电压，并触发意外的输出状态变化。由于具有 26ns 的快速传播延迟，这可能最终导致高频振荡，从而增加功率耗散并导致受损的风险。
- 与大多数其他行业标准驱动器相比，1V 输入阈值迟滞可以提高防噪性能。

强烈建议在驱动器的输出端和功率器件之间添加一个外部电阻器，而不是在输入信号上增加延迟。这还限制了功率器件的上升或下降时间，从而减少了 EMI。该外部电阻器还有一个额外优势，即降低栅极驱动器封装中与栅极电荷相关的部分功率耗散，并将这部分功耗转移到外部电阻器上。

最后，由于独特的输入结构允许在输入端提供负电压能力，使用时应格外谨慎，并将输入引脚压摆率限制在 1V/ns 以下。

6.3.2 使能/故障 (EN/$\overline{\text{FLT}}$)

UCC5713x-Q1 的 EN/$\overline{\text{FLT}}$ 引脚可向 DSP/MCU 报告故障信号，并具有可调的故障清除时间。当通过 OCP 引脚、内部 TSD 或 UVLO 检测到故障时，EN/$\overline{\text{FLT}}$ 引脚会在内部下拉至 COM。EN/$\overline{\text{FLT}}$ 引脚会保持低电平，直至故障消除且内部下拉 FET 关断。随后，外部上拉电压会使 EN/$\overline{\text{FLT}}$ 引脚电压重新升至阈值以上。故障清除时间 t_{FLTC} 由

Copyright © 2026 Texas Instruments Incorporated

电容的指数充电特性决定，其时间常数由 R_{FLTC} 和 C_{FLTC} 决定。如简化应用图所示，R_{FLTC} 上拉至外部 VDD，C_{FLTC} 连接在 EN/$\overline{FLT}$ 与 COM 之间，而 EN/$\overline{FLT}$ 通过 R_{ENU} 在内部弱上拉至 5V。如果 EN/$\overline{FLT}$ 在外部上拉至 5V 电源轨，则使用以下公式计算 t_{FLTC}：

$$t_{FLTC} = -\left(\frac{R_{FLTC} \times R_{ENU}}{R_{FLTC} + R_{ENU}}\right) \times C_{FLTC} \times \ln\left(1 - \frac{V_{ENH}}{V_{DD}}\right) \quad (1)$$

UCC5713x-Q1 提供使能功能，可允许关断或使能输出。当 EN/$\overline{FLT}$ 引脚被上拉至 V_{ENH} 以上时，输出跟随 IN。当 EN/$\overline{FLT}$ 引脚被下拉至 V_{ENL} 以下时，输出保持低电平。计时示意图展示了输入、输出和使能信号之间的关系。

6.3.3 驱动器级

该器件具有 ±3A 的峰值驱动强度，非常适合驱动 Si MOSFET/IGBT/SiC。该驱动器具有一项重要的安全功能，借助该功能，当输入引脚处于悬空状态时，输出会保持在低电平状态。该驱动器通过使用固有自举栅极驱动实现 NMOS 上拉，实现轨到轨输出。在直流条件下，PMOS 用于保持 OUT 与 VDD 的连接，如下图所示。NMOS 的低上拉阻抗使其在导通瞬态期间具有较强的驱动能力，从而缩短功率开关输入电容的充电时间并降低导通时的开关损耗。

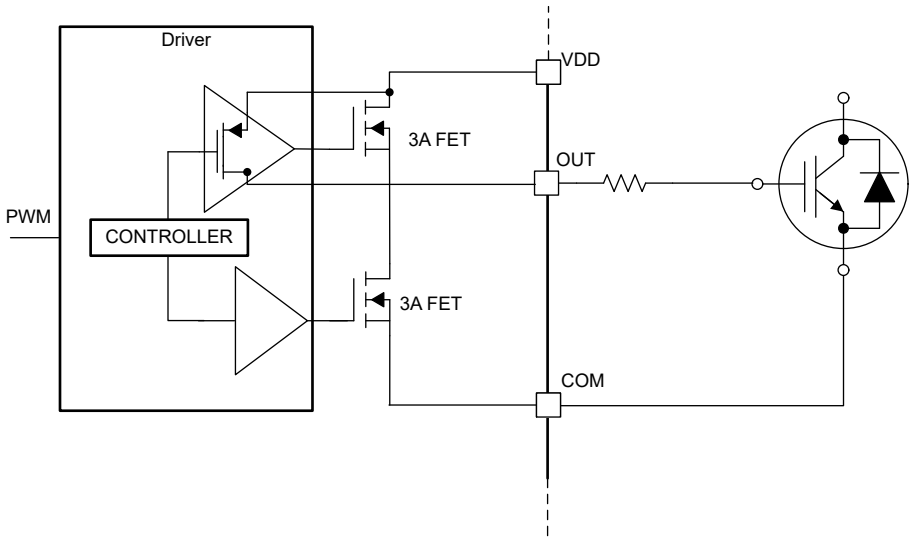


图 6-3. 栅极驱动器输出级

6.3.4 过流 (OC) 保护

UCC5713x-Q1 通过 OCP 引脚实现了快速过流保护功能，可保护 MOSFET/IGBT 在故障期间免受灾难性击穿的影响。OCP 引脚用于检测电流感应电阻器两端的压降，并可承受低至 −10V 的直流负电压。输入、输出和使能之间的关系请参阅 OC 保护时序图，其展示了 OC 保护的典型运行条件。该器件具有内部前沿消隐时间 t_{OCLEB}，其在输入的每个上升沿激活。在 t_{OCLEB} 期间，驱动器将禁用过流故障检测。对于噪声较大的系统，建议使用额外的 RC 滤波器以避免误报故障。在器件退出 t_{OCLEB} 且 OCP 引脚电压高于 V_{OCTH} 后，OUT 将在经过 t_{OC2OUT} 后变为低电平，且 EN/$\overline{FLT}$ 将在经过 t_{OC2FLT} 后被拉至低电平。一旦 OCP 引脚电压超过 V_{OCTL}，EN/$\overline{FLT}$ 就会被上拉，而 OUT 保持低电平，直到下一个输入上升沿。

Copyright © 2026 Texas Instruments Incorporated

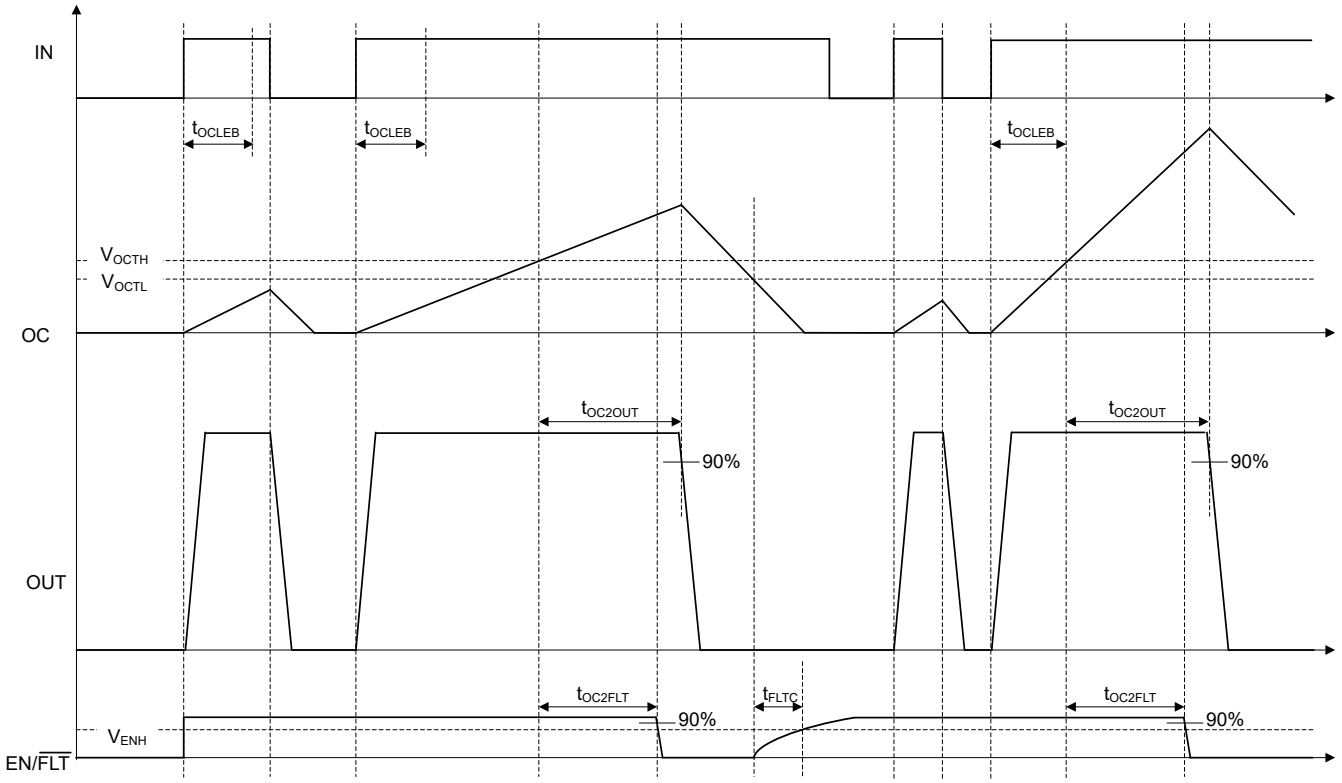


图 6-4. OC 保护时序图

6.3.5 热关断

UCC5713x-Q1 器件提供热关断功能，可在内部温度超过阈值时保护驱动器。当驱动器超出过热阈值时，EN/$\overline{\text{FLT}}$ 引脚将在 $t_{OTP2FLT}$ 传播延迟后拉至低电平。在 t_{FLTC} 后温度降至低于阈值时，器件将再次激活。

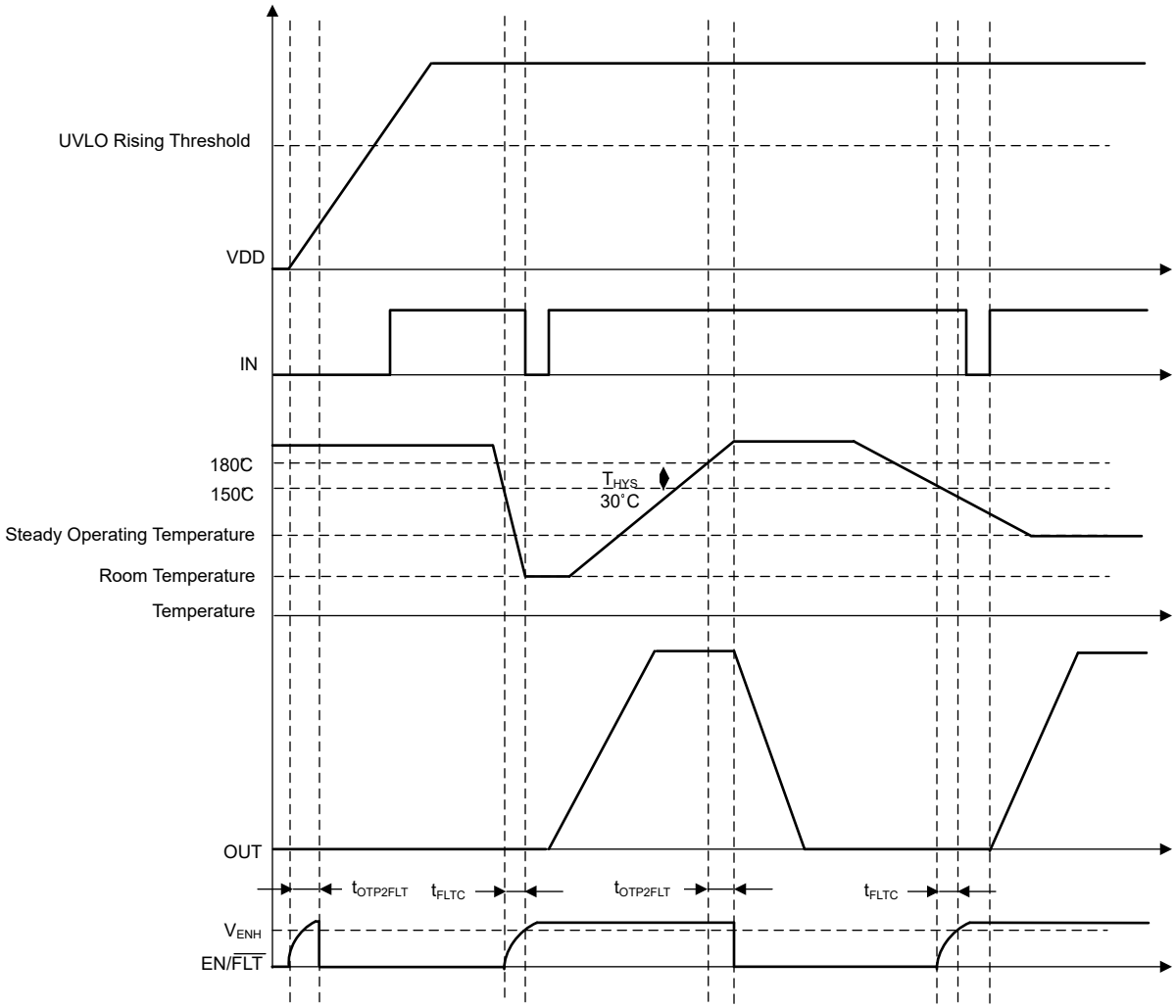


图 6-5. 热关断时序图

6.4 器件功能模式

UCC5713x-Q1 器件在正常模式和 UVLO 模式下运行（有关 UVLO 运行的信息，请参阅节 7.2.1.2.1 部分）。在正常模式下，下表展示了器件不同状态下的输出状态以及输入引脚。

表 6-1. UCC5713xB-Q1 真值表

IN	EN/FLT	OCP(1)	UVLO(2)	内部 TSD(3)	OUT
H	H	L	L	L	H
L	H	L	L	L	L
不限	L	H	不限	不限	L
不限	L	不限	H	不限	L
不限	L	不限	不限	H	L

表 6-2. UCC5713xC-Q1 真值表

IN	EN/FLT	OCP(1)	UVLO (2)	内部 TSD(3)	OUTH	OUTL
H	H	L	L	L	H	高阻抗
L	H	L	L	L	高阻抗	L

Copyright © 2026 Texas Instruments Incorporated

表 6-2. UCC5713xC-Q1 真值表（续）

IN	EN/FLT	OCP(1)	UVLO (2)	内部 TSD(3)	OUTH	OUTL
不限	L	H	不限	不限	高阻抗	L
不限	L	不限	H	不限	高阻抗	L
不限	L	不限	不限	H	高阻抗	L

(1) H 表示过流保护已触发。
(2) H 表示 UVLO 保护已触发。
(3) H 表示热关断保护已触发。

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

出于各种原因，开关电源应用中需要使用高电流栅极驱动器器件。为了使功率器件能够快速开关并降低相关开关损耗，应在控制器或信号隔离器件的 PWM 输出与功率半导体器件的栅极之间使用高驱动能力的栅极驱动器。此外，有时，直接由 PWM 控制器来驱动开关器件的栅极并不实际，这时必须使用栅极驱动器。这种情况通常是因为数字控制器或信号隔离器件发出的 PWM 信号通常是 3.3V 或 5V 逻辑信号，无法有效导通电源开关。需要使用电平转换电路将逻辑电平信号提高至栅极驱动电压，从而完全开启功率器件并尽可能减小导通损耗。事实证明，基于图腾柱排列 NPN/PNP 双极（或 P-N 沟道 MOSFET）晶体管（采用发射极跟随器配置）的传统缓冲驱动电路不适用于此目的，因为这些电路缺乏电平转换能力和低驱动电压保护。栅极驱动器能够有效结合电平转换、缓冲器驱动和 UVLO 功能。栅极驱动器还可以满足其他需求，例如通过使高电流驱动器的位置靠近电源开关来尽量减小高频开关的影响、驱动栅极驱动变压器并控制浮动功率器件栅极、通过将栅极电荷功率损耗移至控制器来降低控制器中的功率耗散和热应力。

UCC5713x-Q1 在此类应用中非常灵活，具有强大的驱动电流能力和从 UVLO 到 26V 的宽建议电源电压范围。因此，该驱动器可用于 5V 偏置逻辑电平应用、超高频 MOSFET 应用、12V MOSFET 应用、20V 和 −5V（相对于源极）的 SiC FET 应用、15V 和 −8V（相对于发射极）的 IGBT 应用等多种场景。

这些要求，再加上对低传播延迟以及具有良好热性能的紧凑、低电感封装的需求，使得 UCC5713x-Q1 等栅极驱动器器件在开关电源中成为极其重要的元件，并结合了高性能、低成本、元件数量少、减小布板空间和简化系统设计等优势。

7.2 典型应用

7.2.1 驱动 MOSFET/IGBT/SiC MOSFET

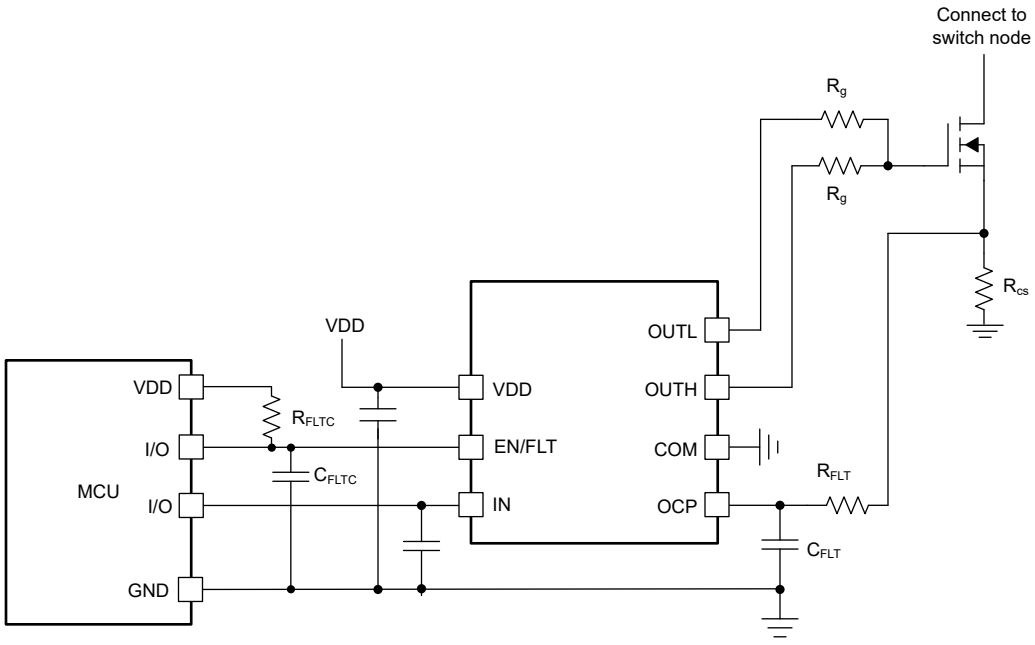


图 7-1. 驱动 MOSFET/IGBT/SiC MOSFET

Copyright © 2026 Texas Instruments Incorporated

7.2.1.1 设计要求

为终端应用选择栅极驱动器器件时，应评估相关设计注意事项，以便做出最合适的选择。为终端应用选择栅极驱动器器件时，应考虑以下设计参数：

- 输入到输出配置
- 输入阈值类型
- 辅助电源电压电平
- 峰值拉电流和灌电流
- 是否支持独立的使能和禁用功能
- 传播延迟
- 功率耗散
- 封装类型

请参阅表 7-1 中的设计参数和要求示例。

表 7-1. 设计参数

设计参数	示例值
输入到输出逻辑	同相
输入阈值类型	TTL
辅助电源电压电平	+18V
负输出低电平电压	不适用
使能功能	是
禁用功能	不适用
传播延迟	<30ns
功率耗散	<1W
封装类型	SOIC-8

7.2.1.2 详细设计过程

7.2.1.2.1 VDD 欠压锁定

UCC57132-Q1 器件提供 12V 的欠压锁定阈值，UCC57138-Q1 提供 8V 的欠压锁定阈值。器件的迟滞范围有助于避免因偏置电源上存在噪声而导致任何抖动。预计典型 UVLO 迟滞为 1V。UVLO 功能不会导致显著的驱动器输出导通延迟，预计的 UVLO 延迟为 2 µ s。UVLO 关断延迟也被尽可能地减小。UVLO 延迟旨在尽可能地减少因 VDD 上可能出现的超快瞬变而可能发生的抖动。当偏置电源低于 UVLO 阈值时，无论输入引脚的状态如何，输出都保持低电平有效。超过 UVLO 阈值后，EN/$\overline{\text{FLT}}$ 由外部上拉电路充电。故障清除时间取决于 R_{FLTC} 和 C_{FLTC} 的时间常数。当 UVLO 和 EN/FLT 阈值均满足清除条件后，OUT 将在 IN 的第一个上升沿到来后跟随 IN 变化。

Copyright © 2026 Texas Instruments Incorporated

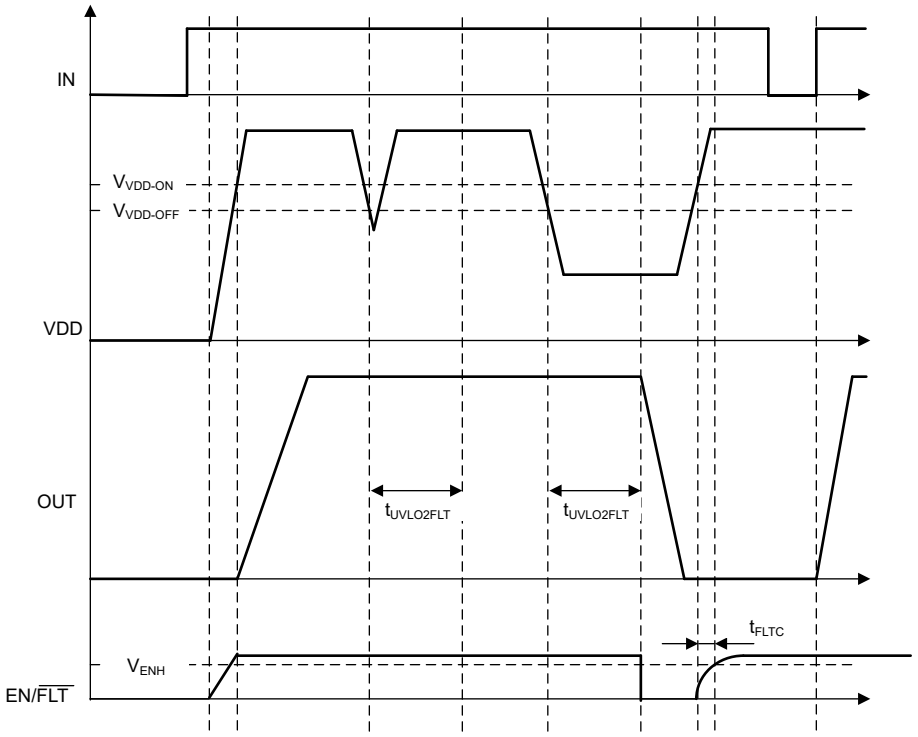


图 7-2. UVLO 时序图

7.2.1.2.2 功率耗散

栅极驱动器的功率耗散具有两个部分，如以下公式所示：

$$P_{DISS} = P_{DC} + P_{SW} \quad (2)$$

功率耗散的直流部分为

$$P_{DC} = I_Q \times VDD \quad (3)$$

其中

- I_Q 是驱动器的静态电流

静态电流是器件用于对所有内部电路（如输入级、基准电压、逻辑电路、保护等）进行偏置所消耗的电流以及当驱动器输出更改状态（如对内部寄生电容进行充放电、寄生击穿等）时任何与内部器件开关相关联的电流。UCC5713x-Q1 包含内部逻辑，以更大限度地减少输出驱动器级内的任何直通（PMOS 到 NMOS，反之亦然）。因此，可以假定 P_{DC} 对栅极驱动器内总功率耗散的影响是微不足道的。实际上，这是驱动器在其输出与电源开关的栅极断开时所消耗的功率。

如前面几节中所述，栅极驱动器的输出级基于 PMOS 和 NMOS。这些 NMOS 和 PMOS 经过专门设计，在开关过程中具有极低的电阻，因此压降也很低。在开关期间，栅极驱动器封装中耗散的功率 (P_{SW}) 取决于以下因素：

- 功率器件所需的栅极电荷（通常是驱动电压 V_G 的函数，由于低 V_{Ox} 压降，该电压非常接近于输入偏置电源电压 VDD）
- 开关频率
- 功率 MOSFET 内部和外部栅极电阻器

在使用分立式容性负载对驱动器器件进行测试时，计算偏置电源所需的功率是一件非常简单的事情。以下公式给出了必须从偏置电源传递来对电容器进行充电的能量：

Copyright © 2026 Texas Instruments Incorporated

$$E_G = \frac{1}{2} C_{LOAD} V_{DD}^2 \quad (4)$$

其中

- C_{LOAD} 是负载电容器
- V_{DD} 是为驱动器供电的偏置电压。

对电容器进行放电时，存在等量的能量耗散。在关断期间，储存在电容器中的能量会在驱动电路中完全耗散。这会导致开关周期内的总功率损耗如以下公式所示：

$$P_G = C_{LOAD} V_{DD}^2 f_{sw} \quad (5)$$

其中

- f_{SW} 为开关频率

通过检查对器件进行开关所需的栅极电荷，可以将功率 FET 和 IGBT 代表的开关负载转换为等效电容。该栅极电荷包括输入电容的效果，以及当功率器件在导通和关断状态之间切换时使其漏极电压摆动所需的附加电荷。大多数制造商都提供用于在指定的条件下对器件进行开关的栅极电荷典型值和最大值规格（以 nC 为单位）。使用栅极电荷 Q_g，可以确定在对电容器进行充电时必须耗散的功率。可利用以下等价方程式 6 得出功率的方程式 7：

$$Q_g = C_{LOAD} V_{DD} \quad (6)$$

$$P_G = C_{LOAD} V_{DD}^2 f_{sw} = Q_g V_{DD} f_{sw} \quad (7)$$

该功率 P_G 是 MOSFET 或 IGBT 导通或关断时在电路的电阻元件中耗散。在导通过程中对负载电容器进行充电时会耗散总功率的一半，在关断期间对负载电容器进行放电时会耗散另一半。如果在驱动器 IC 与 MOSFET/IGBT 之间没有采用外部栅极电阻器，该功率将完全耗散在驱动器 IC 中。在使用外部栅极驱动电阻器的情况下，功率耗散会在驱动器的内部电阻和外部栅极电阻器之间分摊，具体分摊情况由这两个电阻之比决定（元件的电阻越高，耗散的功率越大）。根据该简化的分析，可按如下方式（如方程式 8 所示）计算开关期间的驱动器功率耗散。这主要适用于总外部栅极电阻很大以限制栅极驱动器峰值电流的应用。

$$P_{SW} = 0.5 \times Q_g \times V_{DD} \times f_{sw} \left(\frac{R_{OFF}}{(R_{OFF} + R_{GATE})} + \frac{R_{ON}}{(R_{ON} + R_{GATE})} \right) \quad (8)$$

其中

- $R_{OFF} = R_{OL}$ 和 R_{ON}（上拉结构的有效电阻）

7.2.1.3 应用曲线

下图展示了具有 1nF 电容负载的 UCC5713x-Q1 器件的典型开关特性。

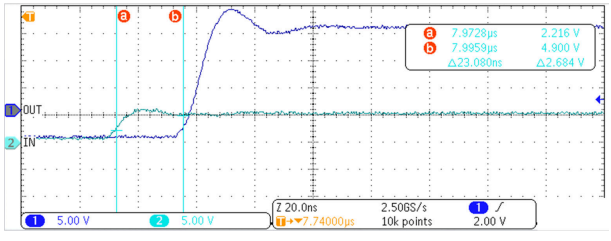


图 7-3. UCC5713x-Q1 上升（导通）传播延迟

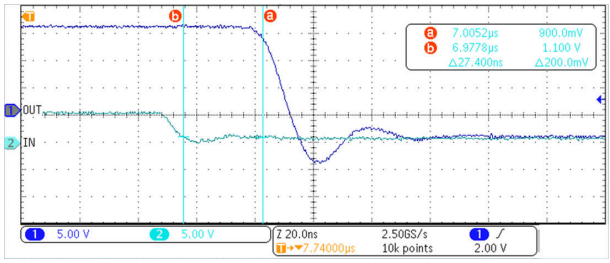


图 7-4. UCC5713x-Q1 下降（关断）传播延迟

7.3 电源相关建议

UCC5713x-Q1 器件的推荐偏置电源电压工作范围为 UVLO 阈值至 26V。此范围的下限值由 VDD 引脚电源电路块上的内部 UVLO 保护特性决定。只要驱动器处于 UVLO 状态，当 VDD 引脚电压低于 $V_{(ON)}$ 电源启动阈值时，该功能就会将输出保持在低电平，无论输入的状态如何都是如此。此范围的上限值由器件 VDD 引脚建议的最大额定电压 (26V) 决定。VDD 引脚的绝对最大电压为 30V。

UVLO 保护功能还涉及迟滞功能。这意味着，当 VDD 引脚偏置电压超过了阈值电压并且器件开始运行时，如果电压下降，那么器件会继续提供正常的功能，除非压降超过迟滞规格。因此，为了避免触发器件关断，必须确保在 UVLO 或接近该值运行时，辅助电源输出端的电压纹波小于器件的迟滞规格。

在系统关断期间，器件会继续运行，直到 VDD 引脚电压降至 VDD UVLO 下降阈值以下，在评估系统关断时序设计要求时，必须考虑该情况。同样地，在系统启动时，只有 VDD 引脚电压超过 VDD UVLO 上升阈值后，器件才会开始运行。器件内部电路模块消耗的静态电流由 VDD 引脚提供。尽管这一事实众所周知，但要认识到 OUT 引脚提供的拉电流脉冲电荷也通过同一 VDD 引脚提供，这一点很重要。因此，每次从输出引脚 (OUT) 拉取电流时，均会通过 VDD 引脚向器件提供相应的电流脉冲。因此，必须确保在 VDD 和 COM 引脚之间提供一个本地旁路电容器，并且该电容器必须尽可能靠近器件，以便实现去耦。需要使用低 ESR 的陶瓷表面贴装电容器。TI 建议使用两个电容器：一个 100nF 陶瓷表面贴装电容器，距离器件的 VDD 引脚不到 1mm；另一个并联添加几微法拉的陶瓷表面贴装电容器。同样，对于 UCC5713xB-Q1 的 VEE 引脚，建议使用 100nF 和 1 µ F 电容器。

如果栅极驱动器放置在远离 MOSFET 等开关功率器件的位置，则可能会形成较大的感应环路。较大的感应环路可能会导致栅极驱动器的任何和所有引脚上产生过度振铃。这可能会导致应力超过器件的建议额定值。因此，建议将栅极驱动器放置在尽可能靠近开关功率器件的位置。此外，建议使用外部栅极电阻器来抑制因高开关电流和电路板寄生元件而产生的任何振铃。

7.4 布局

7.4.1 布局指南

在高电流快速开关电路中，适当的 PCB 布局对于器件正常工作和设计稳健性而言极其重要。UCC5713x-Q1 栅极驱动器具有短传播延迟和强大的输出级，能够在电源开关的栅极上提供很大的电流峰值以及很短的上升和下降时间，从而有助于电压以极快的速度进行转换。如果布线长度和阻抗未控制得当，那么极高的 di/dt 可能会导致不可接受的振铃。在使用这些高速驱动器进行设计时，建议遵循以下电路布局准则。

- 驱动器器件应尽量靠近功率器件放置，从而尽可能地缩短驱动器输出引脚与电源开关器件的栅极之间的高电流布线长度。
- VDD 引脚与 COM 引脚之间的旁路电容器应尽量靠近驱动器引脚放置，以尽可能地缩短布线长度，从而改进噪声滤波。TI 建议使用两个电容器：一个 100nF 陶瓷表面贴装电容器，距离器件的 VDD 引脚不到 1mm；另一个并联添加几微法拉的陶瓷表面贴装电容器。这些电容器支持在电源开关接通期间通过 VDD 消耗的高峰值电流。强烈建议使用低电感表面贴装元件，例如片式电容器。
- 必须尽可能缩短导通和关断电流环路路径（驱动器器件、电源开关和 VDD 旁路电容器），以便将杂散电感保持在最低水平。这些环路中存在两个实例会建立高 di/dt，即导通和关断瞬态期间，这会在驱动器器件的输出引脚和电源开关的栅极上产生显著的电压瞬态。
- 尽可能使电流环路的源迹线和返回迹线保持平行，从而利用磁通抵消。
- 将电源布线与信号布线（如输出和输入信号）分开。
- 为了更大限度地减少开关节点瞬态和振铃，可能需要在功率器件上添加一些栅极电阻和缓冲器。这些措施也可以降低 EMI。
- 星形点接地是一种尽可能地减少噪声从一个电流环路耦合到另一个电流环路的好方法。驱动器的 COM 必须在同一个连接点接至其他电路节点（如电源开关源极、PWM 控制器接地等）。必须尽可能缩短连接路径，以降低电感；并尽量拓宽连接路径，以降低电阻。
- 使用接地平面来提供噪声屏蔽。在转换期间，OUT 引脚上的快速上升和下降时间可能会破坏输入信号。接地平面不得是任何电流环路的传导路径。相反，必须使用一根迹线将接地平面连接到星形点，从而建立接地电势。除噪声屏蔽之外，接地平面还可以帮助降低功率耗散。

Copyright © 2026 Texas Instruments Incorporated

- 将 OCP 滤波电容器尽可能靠近驱动器 OCP 引脚放置。此外，尽可能减小电流检测环路的面积有助于提高防噪性能。检测电阻器应置于靠近 IGBT 发射极或 MOSFET 源极的位置，以降低寄生电感。建议为检测电阻器使用低 ESL 薄膜电阻器。

7.4.2 布局示例

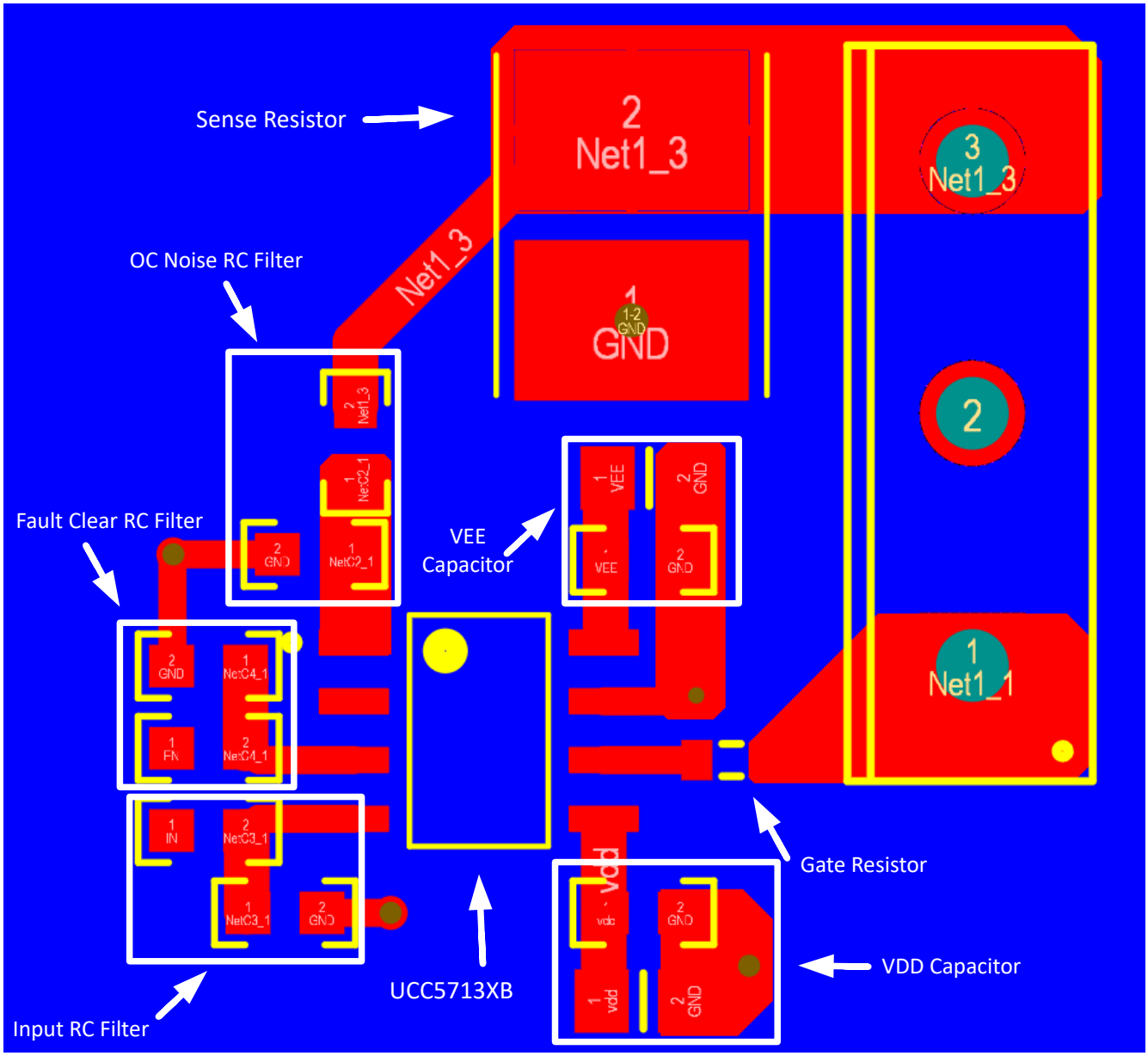


图 7-5. 布局示例：UCC5713x-Q1D

7.4.3 散热注意事项

负载的驱动功率要求以及封装的散热特性会极大地影响驱动器的有用范围。为了使栅极驱动器在特定的温度范围内正常工作，封装必须允许有效地散发产生的热量，同时使结温保持在额定限值以内。数据表的“热性能信息”部分总结了驱动器封装的热指标。有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2026 Texas Instruments Incorporated

8 器件和文档支持

8.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (August 2025) to Revision A (October 2026)	Page
• 更新了文档并进行了编辑性更正	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC57132BQDRQ1	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	U132BQ
UCC57138CQDRQ1	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	U138CQ

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UCC57132-Q1, UCC57138-Q1 :

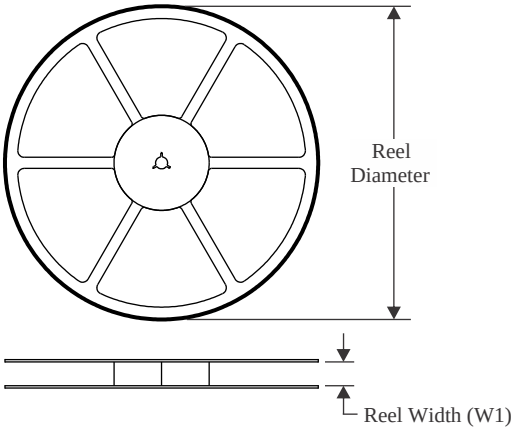
- Catalog : UCC57132, UCC57138

NOTE: Qualified Version Definitions:

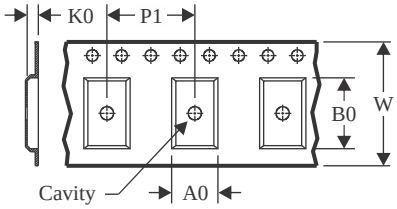
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

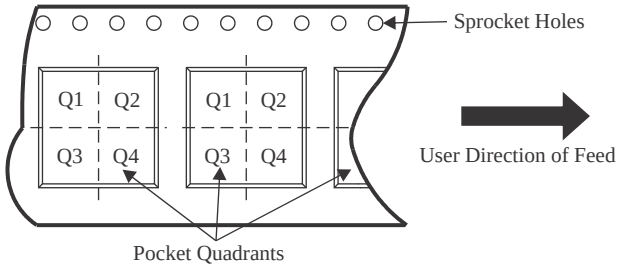


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

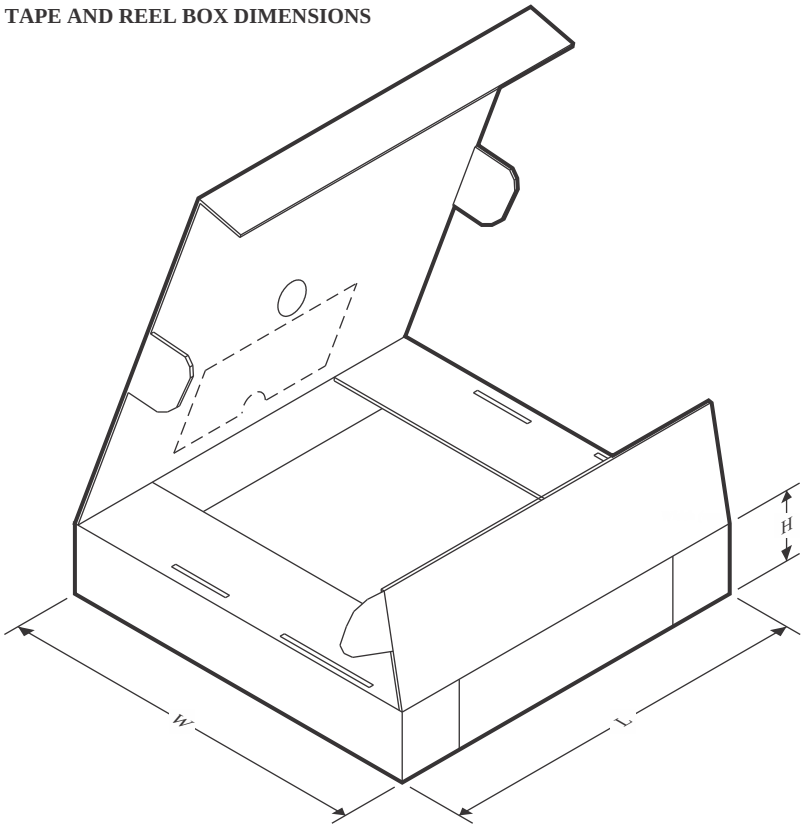
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

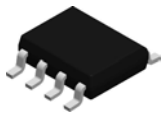
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC57132BQDRQ1	SOIC	D	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
UCC57138CQDRQ1	SOIC	D	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC57132BQDRQ1	SOIC	D	8	2500	353.0	353.0	32.0
UCC57138CQDRQ1	SOIC	D	8	2500	340.5	338.1	20.6

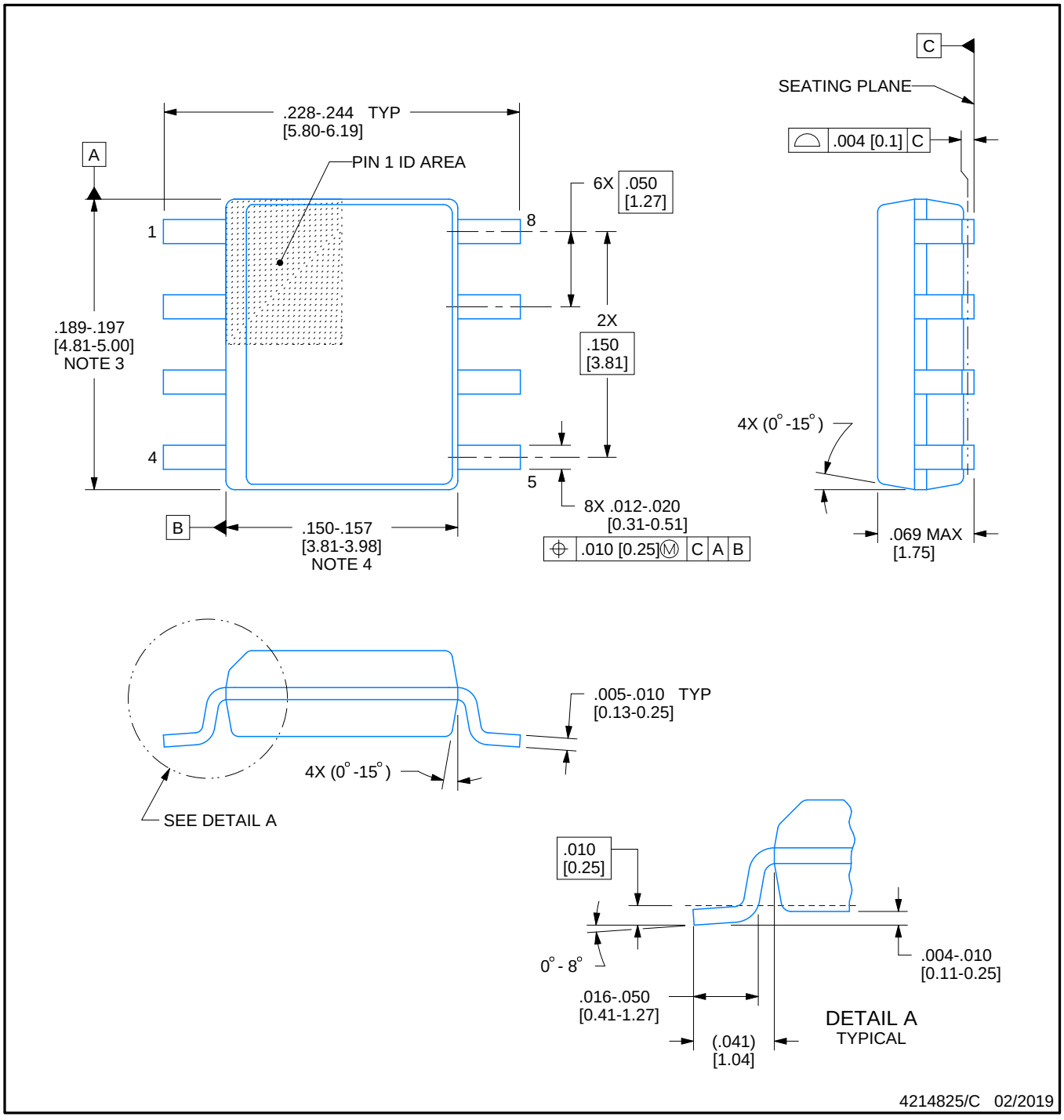


PACKAGE OUTLINE

D0008A

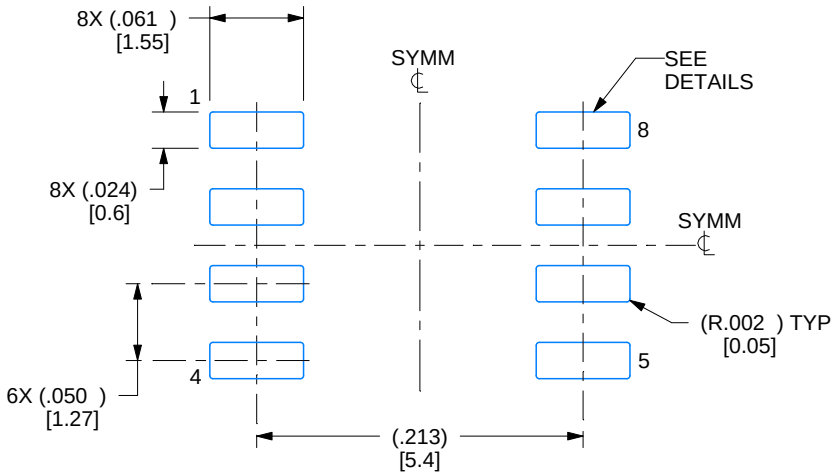
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

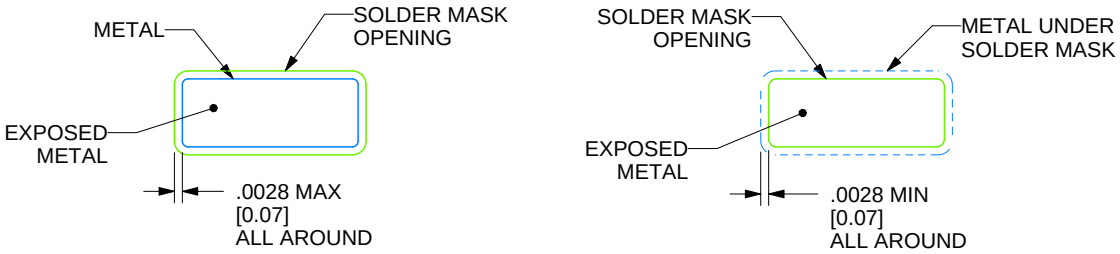


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

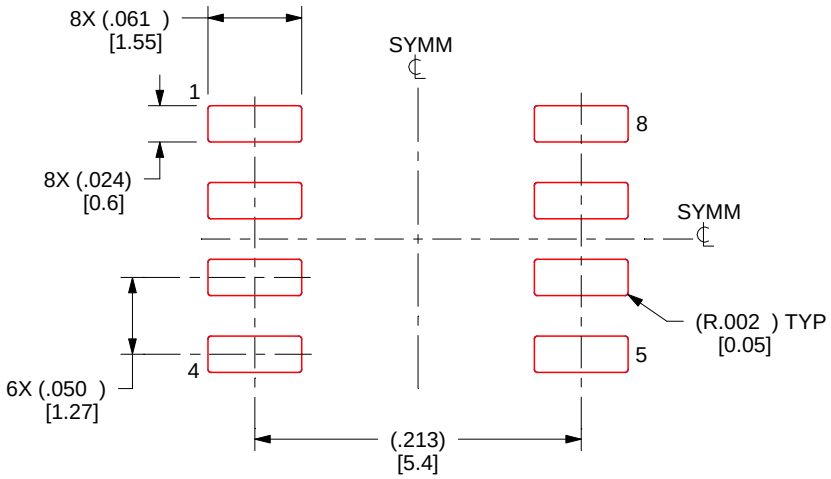
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月