UCC57102Z-Q1 适用于汽车应用且具有 DESAT 保护功能的高速、低侧栅极驱动器

1 特性

- 符合汽车应用要求
- 符合 AEC-Q100 标准
  - 器件温度 1 级
- 典型 3A 灌电流，3A 拉电流输出
- 具有可编程延迟的 DESAT 保护
- 发生故障时的软关断
- 绝对最大 VDD 电压：30V
- 输入和使能引脚可承受高达 –5V 的电压
- 可实现偏置灵活性的严格 UVLO 阈值
- 传播延迟典型值为 26ns
- 具有热关断功能的自保护驱动器
- 宽偏置电压范围
- 采用 5mm x 4mm SOIC-8 封装
- 工作结温范围：–40°C 至 150°C

2 应用

- 混合动力汽车/电动汽车 PTC 加热器
- 牵引逆变器
- 家用电动汽车充电器
- 电机驱动
- HVAC 压缩机

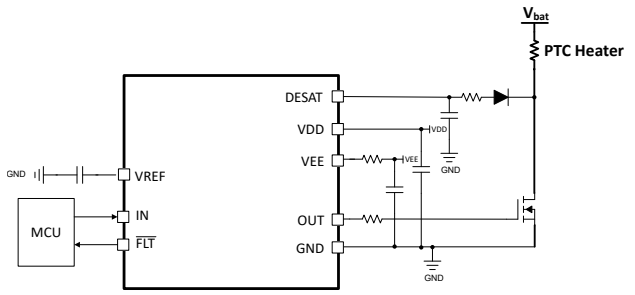
3 说明

UCC57102Z-Q1 是一款单通道高性能低侧 IGBT/SiC 栅极驱动器，适用于大功率汽车应用，例如 PTC 加热器、牵引逆变器有源放电电路和其他辅助子系统。它提供多种保护功能，包括欠压锁定 (UVLO)、去饱和保护 (DESAT)、故障报告和热关断保护。UCC57102Z-Q1 的典型峰值驱动强度为 3A，它可在输入端处理 –5V 电压，可在具有适度接地漂移的系统中提高稳健性。输入与电源电压无关，可以连接大多数控制器输出端，从而尽可能提高控制灵活性。UCC57102Z-Q1 中提供的宽辅助电源电压范围可适应双极电压。UCC57102Z-Q1 还提供精确的 5V 输出 LDO。

封装信息

器件型号	封装(1)	封装尺寸(2)	封装尺寸（标称值）
UCC57102Z-Q1	D (SOIC 8)	4.9mm × 6.0mm	4.90mm × 3.91mm

(1) 有关所有可用封装，请参阅节 12。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版应用示意图

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 4
5.5 电气特性 5
5.6 开关特性 6
5.7 时序图 7
5.8 典型特性 10
6 详细说明 14
6.1 概述 14
6.2 功能方框图 14
6.3 特性说明 14
6.4 器件功能模式 16
7 应用和实施 18
7.1 应用信息 18
7.2 典型应用 18
8 电源相关建议 21
9 布局 22
9.1 布局指南 22
9.2 布局示例 22
10 器件和文档支持 23
10.1 第三方产品免责声明 23
10.2 接收文档更新通知 23
10.3 支持资源 23
10.4 商标 23
10.5 静电放电警告 23
10.6 术语表 23
11 修订历史记录 23
12 机械、封装和可订购信息 23

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

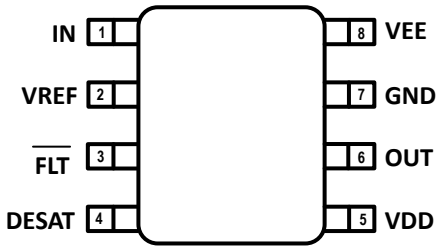


图 4-1. UCC57102Z-Q1 D 封装 SOIC-8 顶视图

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
IN	1	I	同相 PWM 输入
VREF	2	O	驱动器内生成的 5V 基准
$\overline{FLT}$	3	O	低电平有效故障报告
DESAT	4	I	用于检测去饱和故障的输入
VDD	5	P	驱动器辅助电源
OUT	6	O	驱动器的输出
GND	7	G	驱动器地
VEE	8	P	相对于 GND 的驱动器负辅助电源

(1) I/O = 数字输入/输出，IA = 模拟输入，AO = 模拟输出，P = 电源连接

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

所有电压均以 GND 为基准。在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
VDD-GND	正电源	-0.3	30	V
VDD-VEE	差分电源	-0.3	30	V
VEE-GND	负电源	-18	0.3	V
OUT	输出信号直流电压	GND/VEE – 0.3	VDD+0.3	V
	输出信号瞬态电压持续 200ns	GND/VEE – 2	VDD+3	V
V_{DESAT}	Desat 电压	-0.3	VDD+0.3	V
V_{IN}	IN 信号直流电压	-5	30	V
V_{EN}	EN 信号直流电压（W 版本）	-5	30	V
$I_{\overline{FLT}}$	$\overline{FLT}$ 灌电流		20	mA
$V_{\overline{FLT}}$	外部上拉	-0.3	VDD+0.3	V
T_J	结温	-40	150	℃
T_{stg}	贮存温度	-65	150	℃

(1) 超出*绝对最大额定值*下列出的应力可能会对器件造成永久性损坏。这些仅为应力等级，并不意味着器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准 (1)	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 标准	±1000	V

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

所有电压均以 GND 为基准。在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
VDD-GND	正电源	14.5		26	V
VDD-VEE	差分电源			26	V
VEE-GND	负电源	-15		0	V
V_{OUT}	输出电压	GND/VEE		VDD	V
V_{IN}	IN 信号直流电压	-2		26	V
V_{EN}	EN 信号直流电压（W 版本）	-2		26	V
T_J	结温	-40		150	℃

5.4 热性能信息

热指标(1)		UCC57102Z-Q1 D (SOIC) 8 引脚	单位
$R_{\theta JA}$	结至环境热阻	132.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	74.9	°C/W

Copyright © 2024 Texas Instruments Incorporated

5.4 热性能信息（续）

热指标(1)		UCC57102Z-Q1 D (SOIC) 8 引脚	单位
$R_{\theta JB}$	结至电路板热阻	76.3	°C/W
Ψ_{JT}	结至顶部特征参数	25.6	°C/W
Ψ_{JB}	结至电路板特征参数	75.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

5.5 电气特性

VDD = 15V，VEE = 0V，从 VDD 到 GND 的 1μF 电容器，从 VEE 到 GND 的 1μF 电容器，TJ = –40°C 至 +150°C，CL = 0pF（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
电源电流						
I_{VDDQ}	VDD 静态电源电流	V_{IN} = 3.3V，EN = 5V，VDD = 6.5V			1.4	mA
I_{VDD}	VDD 静态电源电流	V_{IN} = 3.3V，EN = 5V		1.1	1.5	mA
I_{VDD}	VDD 静态电源电流	V_{IN} = 0V，EN = 5V		0.8	1.2	mA
I_{VEEQ}	VEE 静态电源电流	V_{IN} = 0V，EN = 5V，VEE = -10V			1.1	mA
I_{VDDO}	VDD 动态工作电流	f_{SW} = 1MHz，EN = 5V，VDD = 15V，C_L = 1.8nF			35	mA
I_{DIS}	VDD 禁用电流	V_{IN} = 3.3V，EN = 0V		0.8	1.1	mA
VDD 欠压阈值和延迟						
$t_{UVLO2FLT}$	从 UVLO 关断到 $\overline{FLT}$ 的传播延迟			8.4		us
V_{VDD_ON}	VDD UVLO 上升阈值	12.5V UVLO 选项	12.8	13.5	14.2	V
V_{VDD_OFF}	VDD UVLO 下降阈值	12.5V UVLO 选项	11.8	12.5	13.2	V
V_{VDD_HYS}	VDD UVLO 阈值迟滞	12.5V UVLO 选项		1.0		V
VREF						
V_{REF}	电压基准	I_{REF}=10mA		5		V
I_{REF}	基准输出电流				20	mA
IN、EN						
V_{INH}	输入高电平阈值电压		1.8	2.2	2.6	V
V_{INL}	输入低电平阈值电压		0.8	1.2	1.6	V
V_{IN_HYS}	输入阈值迟滞			1.0		V
R_{IND}	IN 引脚下拉电阻	IN = EN = 3.3V		120		kΩ
V_{ENH}	使能高电平阈值电压		1.8	2.2	2.6	V
V_{ENL}	使能低电平阈值电压		0.8	1.2	1.6	V
V_{EN_HYS}	使能阈值迟滞			1		V
R_{ENU}	EN 引脚上拉电阻	EN = 0V		400		kΩ
V_{FLTth}	$\overline{FLT}$ 阈值电压	$I_{FLT\text{-}sink}$ = 15mA		0.43	1	V
DESAT 检测						
I_{CHG}	消隐电容器充电电流	V_{DESAT} = 3.25V	200	250	316	μA
I_{DCHG}	DESAT 引脚放电电流	V_{DESAT} = 8V		-20		mA
$V_{DESATTH}$	DESAT 检测阈值		6.0	6.5	7.0	V
V_{DESLO}	当 OUT=L 时的 DESAT 电压，以 GND 为基准				100	mV

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性（续）

VDD = 15V，VEE = 0V，从 VDD 到 GND 的 1μF 电容器，从 VEE 到 GND 的 1μF 电容器，TJ = –40°C 至 +150°C，CL = 0pF（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
t_{DESLEB} (1)	前沿消隐时间			160		ns
t_{DESFIL} (1)	DESAT 抗尖峰脉冲滤波器			100	150	ns
$t_{DES2OUT}$ (1)	从 DESAT 到输出达到 90% 时的传播延迟	V_{DESAT}>$V_{DESATTH}$		140	250	ns
t_{MUTE} (1)	DESAT 静音时间	触发 DESAT 故障后的输出静音时间	15	25	35	us
$t_{DES2FLT}$ (1)	DESAT 到 $\overline{FLT}$ 低电平的传播延迟	$V_{DESATTH}$ 到 $\overline{FLT}$ 的 90%		135	250	ns
软关断						
R_{STO}	内部软关断下拉电阻	触发 DESAT，V_{OUT}=5V		35		Ω
过热保护						
T_{SD} (1)	过热阈值			180		C
T_{HYS} (1)	过热保护迟滞			30		C
$t_{OTP2FLT}$ (1)	从过热关断到 $\overline{FLT}$ 的传播延迟	过热关断到 $\overline{FLT}$ 的 90%		8		us
输出驱动器级						
I_{SRCPK} (1)	峰值输出拉电流	C_{VDD} = 10μF，C_L = 0.1μF，f = 1kHz		-3		A
I_{SNKPK} (1)	峰值输出灌电流	C_{VDD} = 10μF，C_L = 0.1μF，f = 1kHz		3		A
R_{OH}	上拉电阻	I_{OUT} = -500mA		5		Ω
R_{OL}	下拉电阻	I_{OUT} = 500mA		1		Ω

(1) 这些参数未在生产环境中测试。

5.6 开关特性

VDD = 15V，VEE = 0V，从 VDD 到 GND 的 1μF 电容器，从 VEE 到 GND 的 1μF 电容器，TJ = –40°C 至 +150°C，CL = 0pF（除非另有说明）。(1)

参数		测试条件	最小值	典型值	最大值	单位
t_{RA}, t_{RB}	输出上升时间	C_L = 1.8nF，10% 至 90%，Vin = 0V 至 3.3V		8	18	ns
t_{FA}, t_{FB}	输出下降时间	C_L = 1.8nF，90% 至 10%，Vin = 0V 至 3.3V		14	32	ns
t_{D2}	传播延迟 - 输入下降至输出下降	C_L = 1.8nF，从 Vin 上的 1V 下降至输出下降的 90%，Vin = 0V - 3.3V，Fsw = 500kHz，50% 占空比		28	50	ns
t_{D1}	传播延迟 - 输入上升至输出上升	C_L = 1.8nF，从 Vin 上的 2V 上升至输出上升的 10%，Vin = 0V - 3.3V，Fsw = 500kHz，50% 占空比		26	50	ns
t_{PWmin}	传递到输出的最小输入脉宽	C_L = 1.8nF，Vin = 0V - 3.3V，Fsw = 500kHz，Vo > 2V		9	15	ns
t_{PWD}	脉宽失真度	输入脉宽 = 100ns，500kHz t_{D2} – t_{D1}，C_L = 1.8nF	-10		10	ns

(1) 这些开关参数未经生产环境测试。

Copyright © 2024 Texas Instruments Incorporated

5.7 时序图

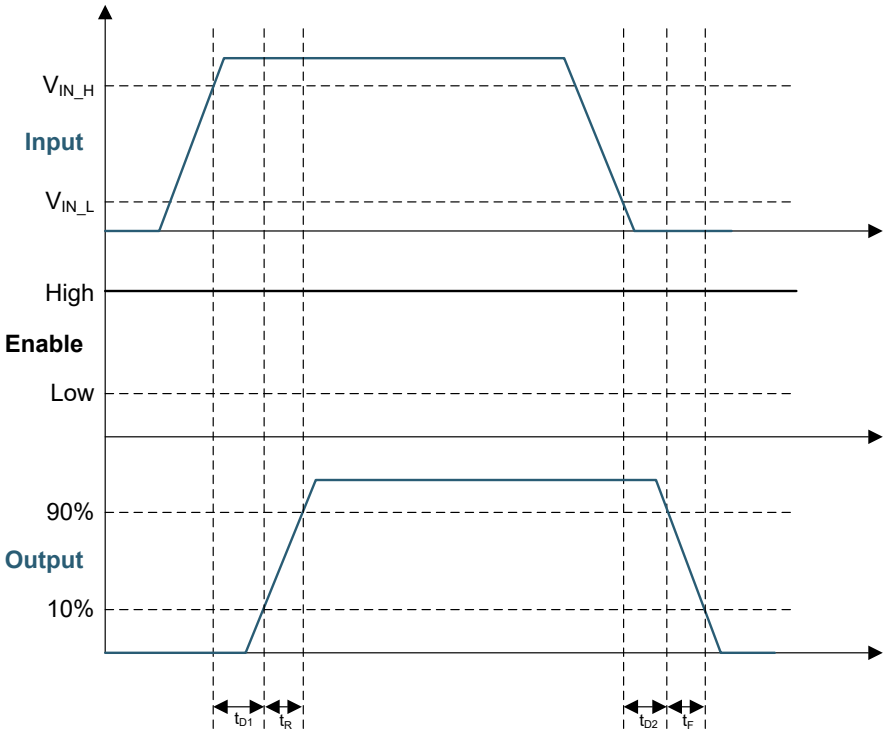


图 5-1. 单输入版本，IN = PWM

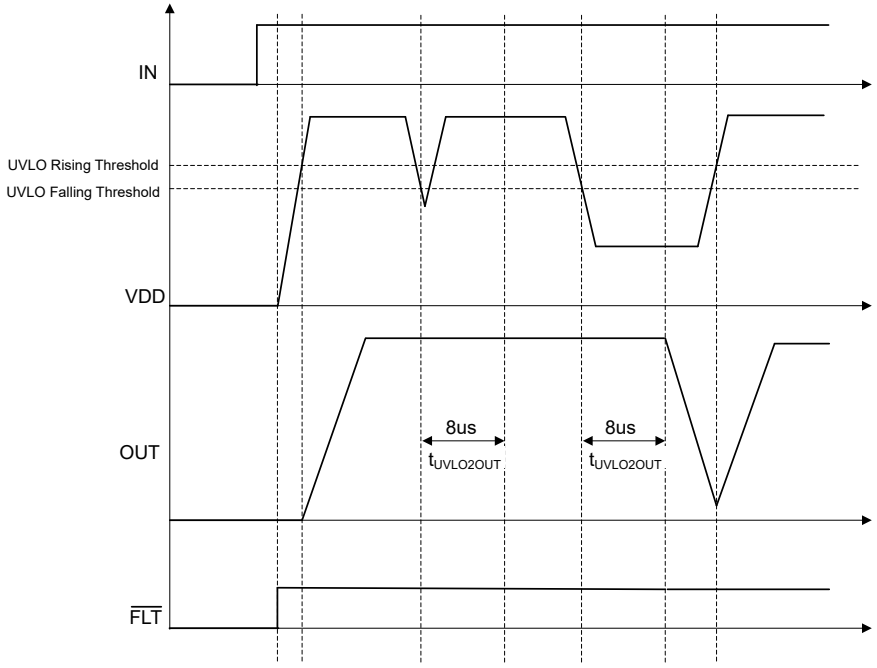


图 5-2. UVLO 保护时序图

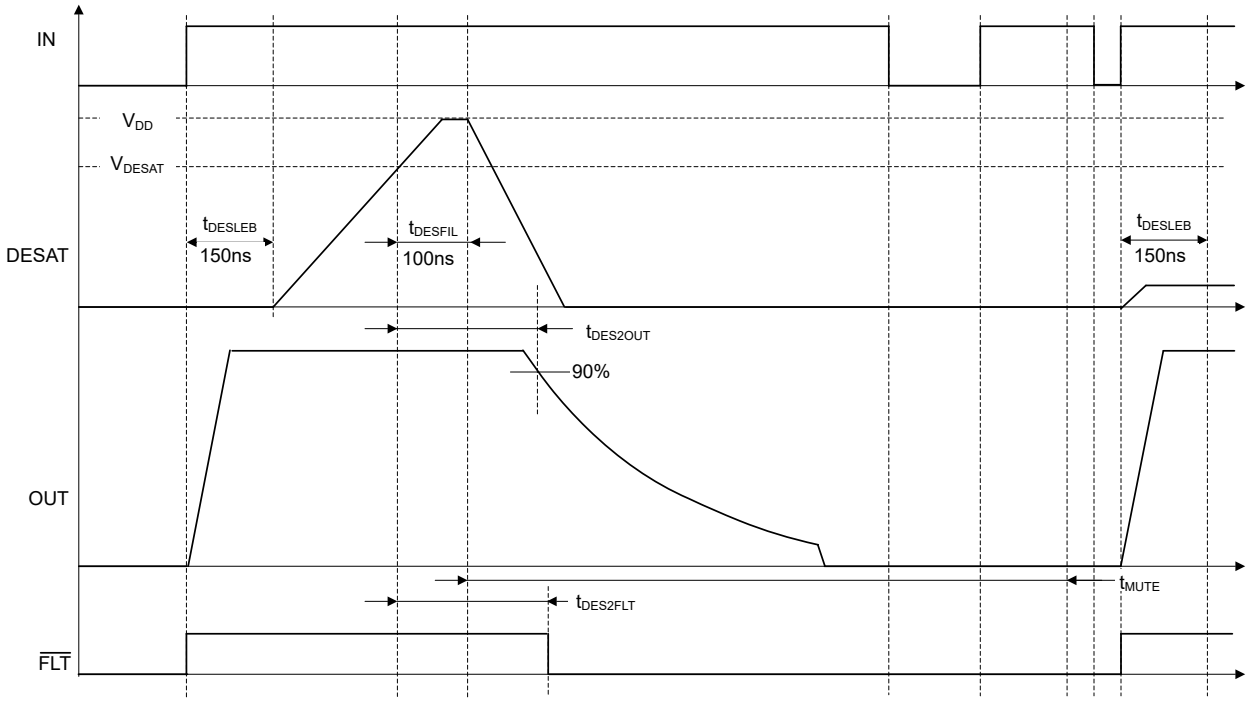


图 5-3. DESAT 保护时序图

Copyright © 2024 Texas Instruments Incorporated

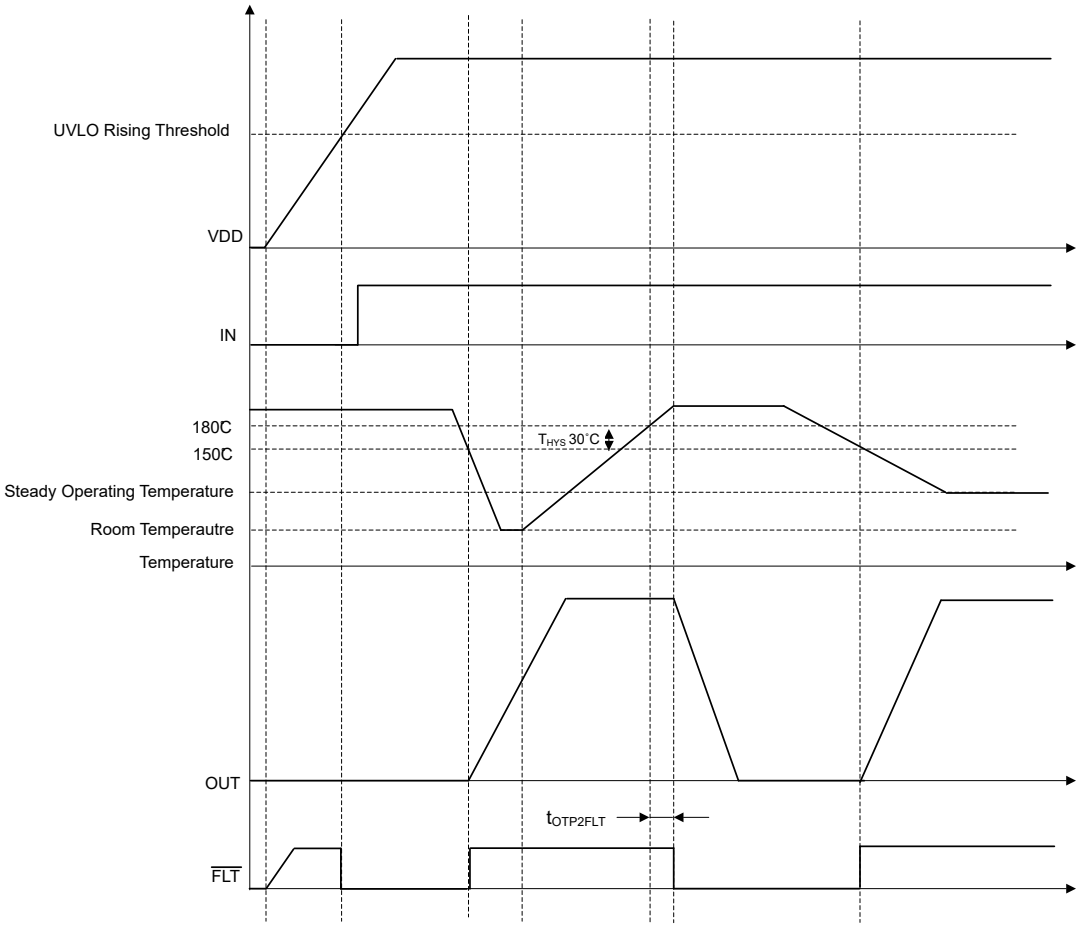
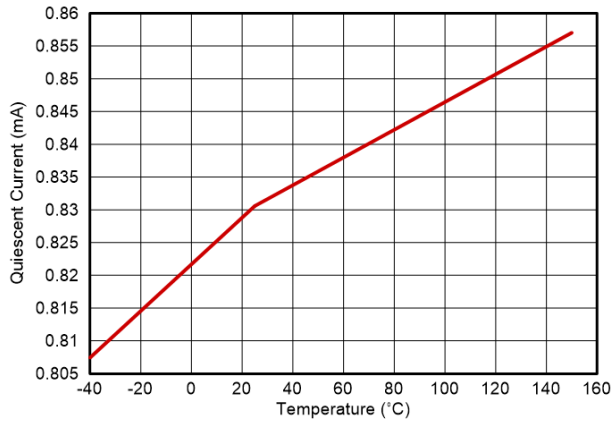


图 5-4. 热关断保护时序图

5.8 典型特性

除非另有说明，否则 VDD = 15V，VEE = 0V，IN = 3.3V，EN = 5V，T_J = 25°C，空载



V_{DD} = 6.5V

图 5-5. 静态电流

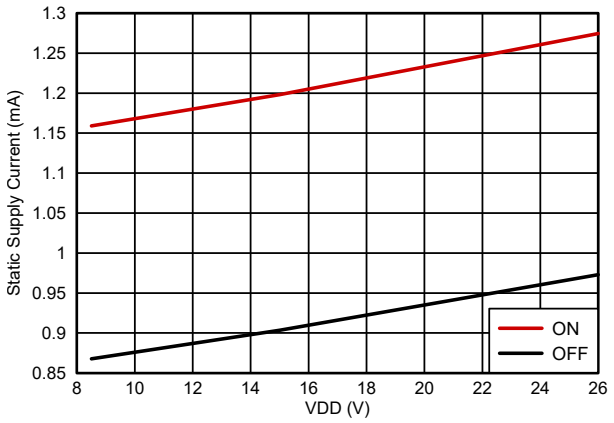


图 5-6. 工作静态电源电流

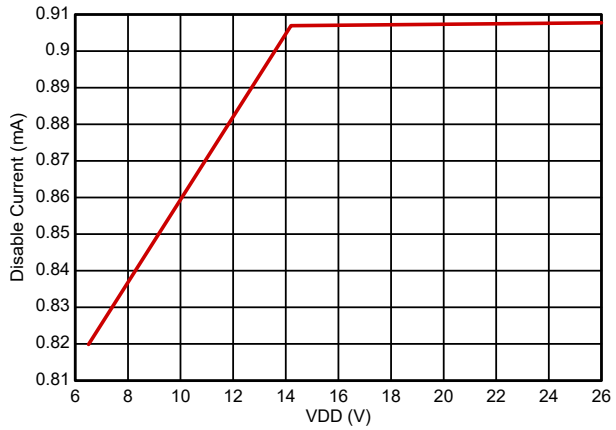
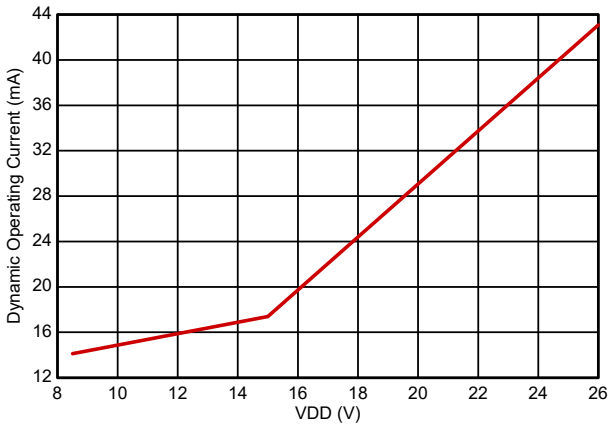


图 5-7. 禁用电流



C_{LOAD} = 1.8nF

图 5-8. 工作电源电流

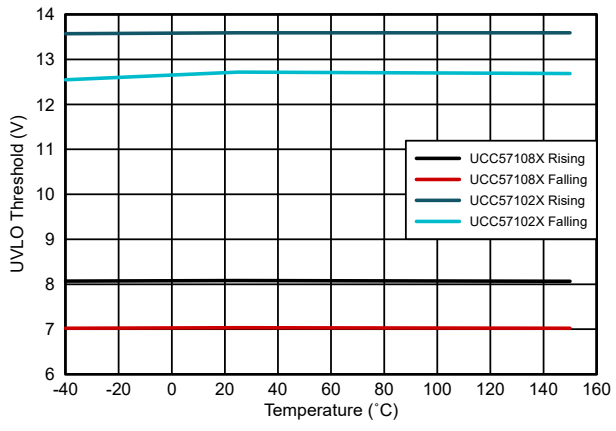


图 5-9. UVLO 阈值

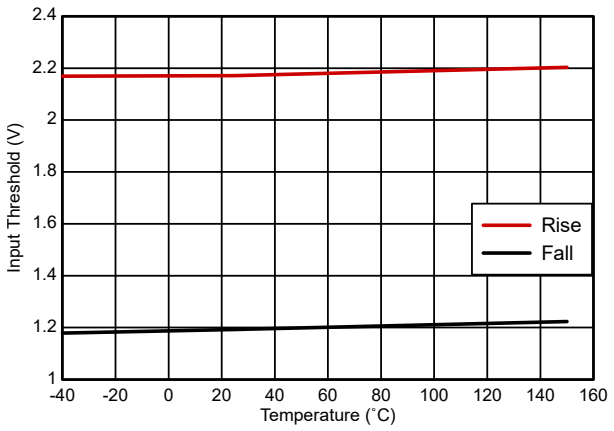


图 5-10. 输入阈值

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）

除非另有说明，否则 VDD = 15V，VEE = 0V，IN = 3.3V，EN = 5V，T_J = 25°C，空载

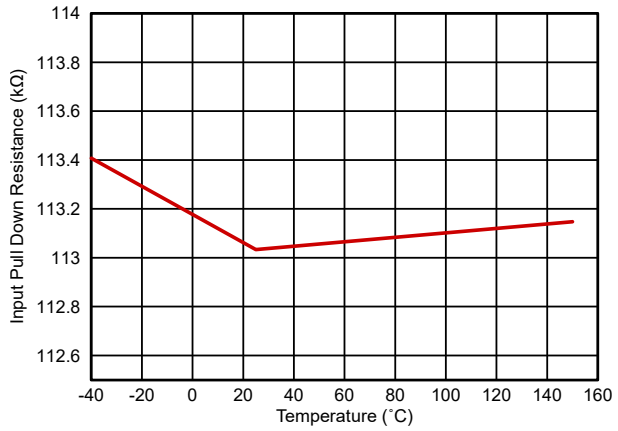


图 5-11. 输入下拉电阻

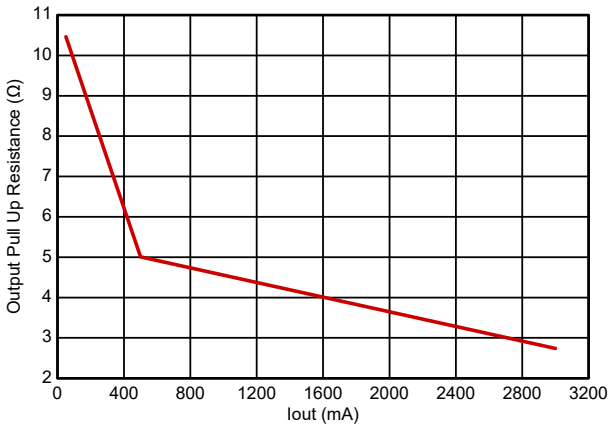


图 5-12. 输出上拉电阻与 VDD 间的关系

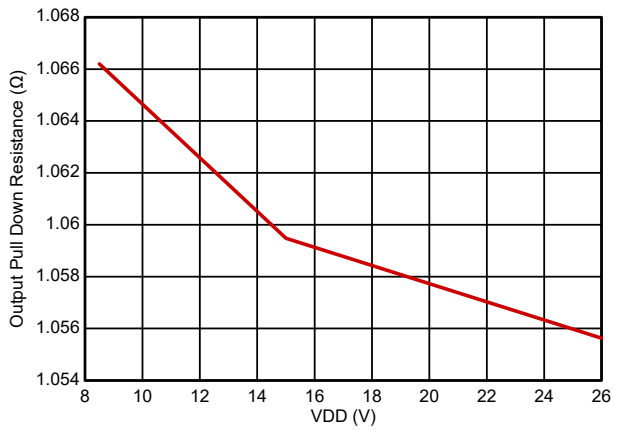
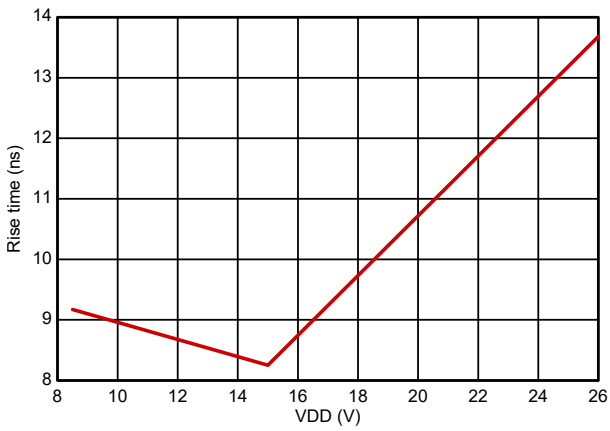
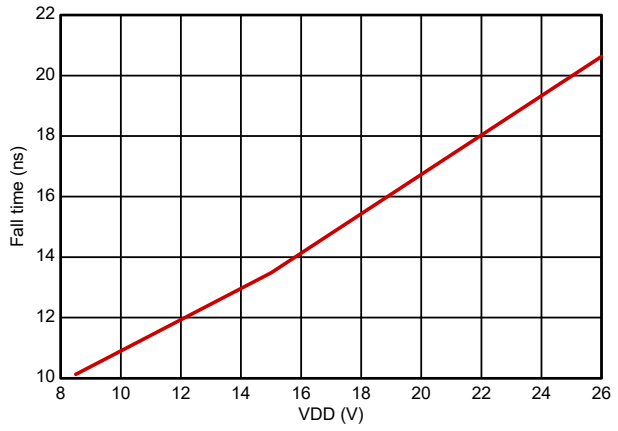


图 5-13. 输出下拉电阻



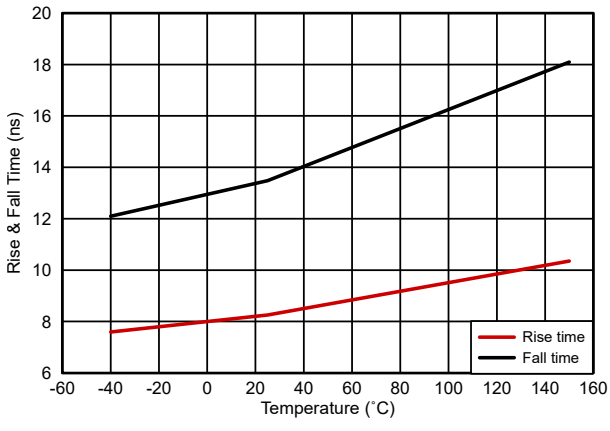
C_{LOAD} = 1.8nF

图 5-14. 输出上升时间



C_{LOAD} = 1.8nF

图 5-15. 输出下降时间

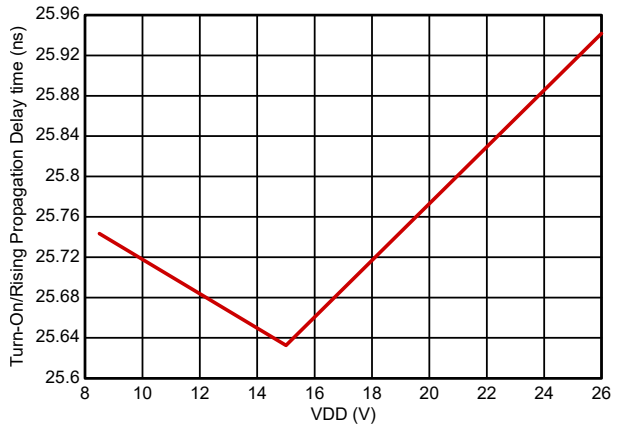


C_{LOAD} = 1.8nF

图 5-16. 输出上升和下降时间

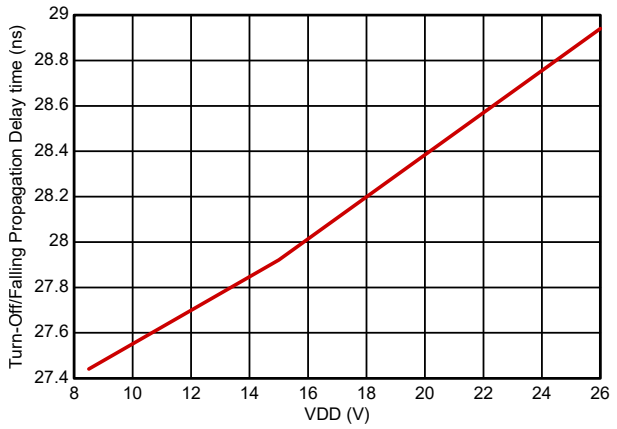
5.8 典型特性（续）

除非另有说明，否则 VDD = 15V，VEE = 0V，IN = 3.3V，EN = 5V，T_J = 25°C，空载



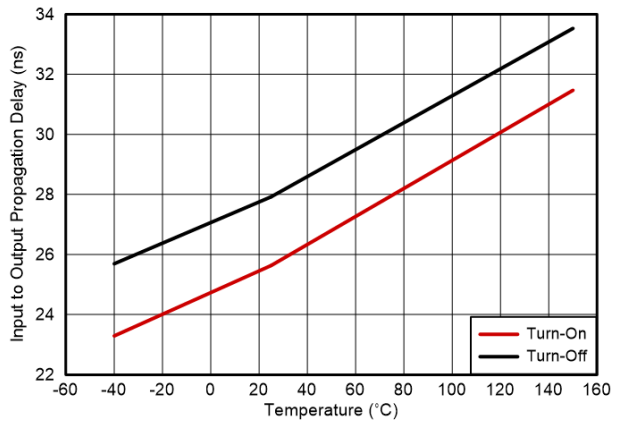
C_{LOAD} = 1.8nF

图 5-17. 输入到输出上升（导通）传播延迟



C_{LOAD} = 1.8nF

图 5-18. 输入到输出下降（关断）传播延迟



C_{LOAD} = 1.8nF

图 5-19. 输入传播延迟

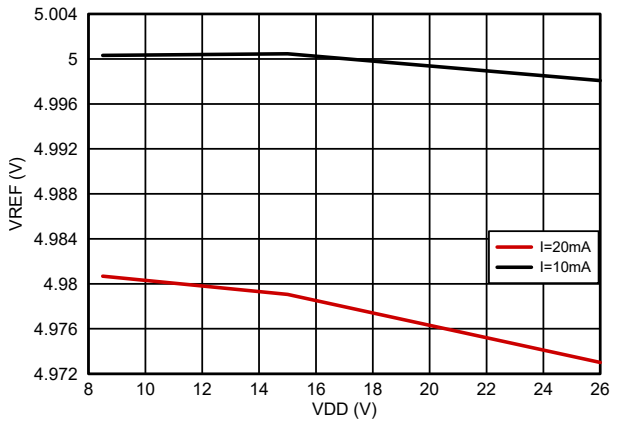


图 5-20. Vref 电压与 VDD 间的关系

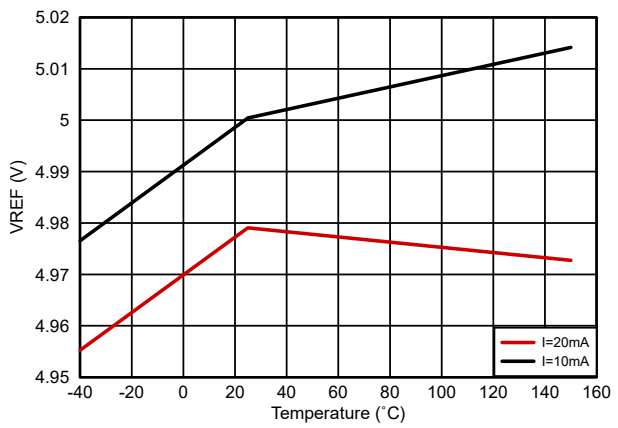


图 5-21. Vref 电压与温度间的关系

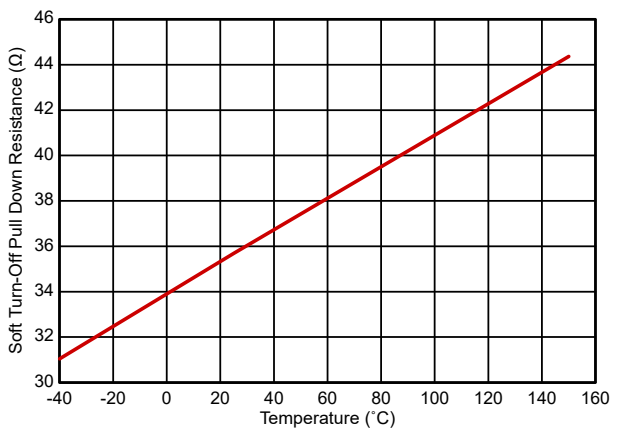


图 5-22. 软关断下拉电阻与 VDD 间的关系

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）

除非另有说明，否则 VDD = 15V，VEE = 0V，IN = 3.3V，EN = 5V，T_J = 25°C，空载

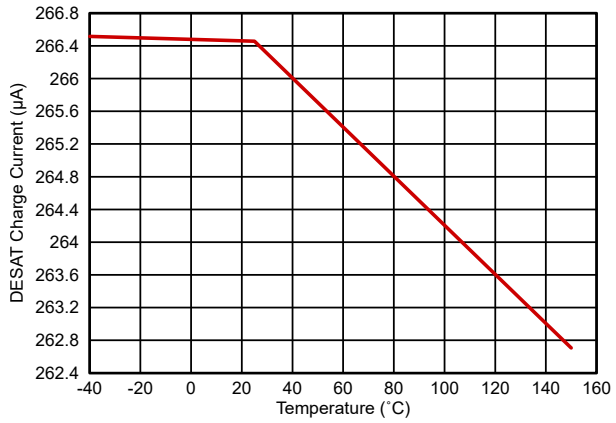


图 5-23. DESAT 充电电流与温度间的关系

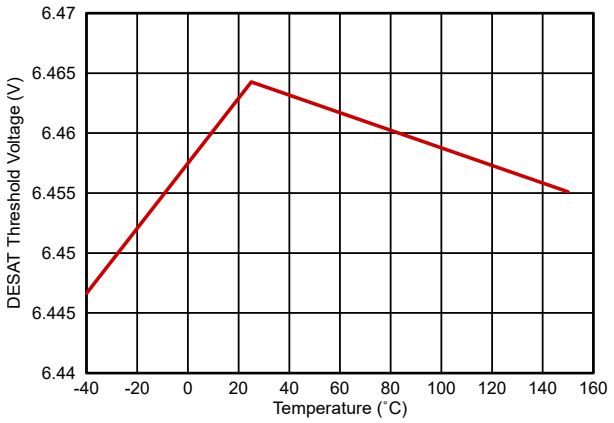
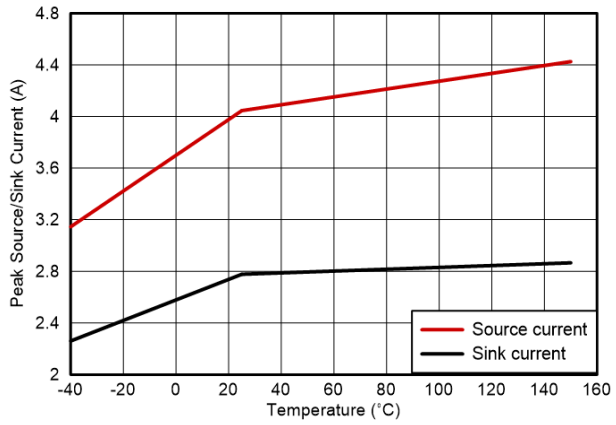
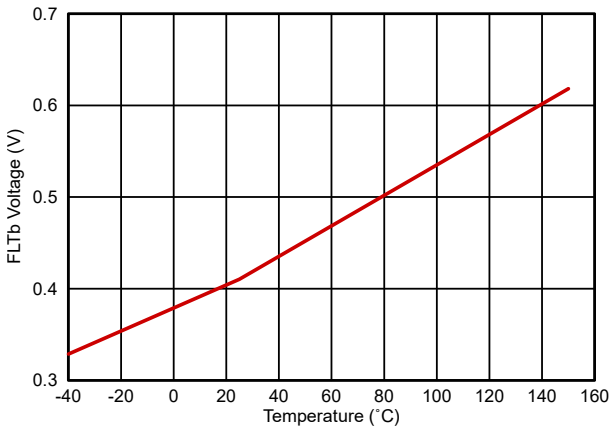


图 5-24. DESAT 阈值与温度间的关系



C_{LOAD} = 100nF

图 5-25. 峰值拉电流和灌电流



I_{FLTb_sink} = 15mA

图 5-26. FLTb 与温度间的关系

6 详细说明

6.1 概述

UCC57102Z-Q1 器件是一款单通道高速栅极驱动器，可以提供高达 3A 的源电流和 3A 的灌电流（非对称驱动）峰值电流，能够有效驱动 MOSFET、SiC MOSFET 和 IGBT 电源开关。由于反向电流、轨到轨驱动能力和典型值为 26ns 的小传播延迟，该驱动器在输出端具有良好的瞬态处理能力。该器件具有先进的 DESAT 检测时间和故障报告功能，可以向低压侧 DSP/MCU 报告。当检测到 DESAT 故障时触发软关断，从而更大限度地减少短路能量，同时降低开关上的过冲电压。

UCC57102Z-Q1 的输入引脚阈值与 TTL 低压逻辑兼容，此逻辑是固定的且与 VDD 电源电压无关。只要满足阈值要求，该驱动器还可以与基于 CMOS 的控制器配合使用。1V 滞后典型值提供出色的抗噪性能。

在 UCC57102Z-Q1 中，该驱动器具有支持固定 TTL 兼容阈值的 EN 引脚。EN 在内部上拉。拉低 EN 会禁用驱动器，而将 EN 保持开路可实现正常运行。UCC57102Z-Q1 提供额外 5V 输出 (VREF)，可实现拉取高达 20mA 电流的功能。

6.2 功能方框图

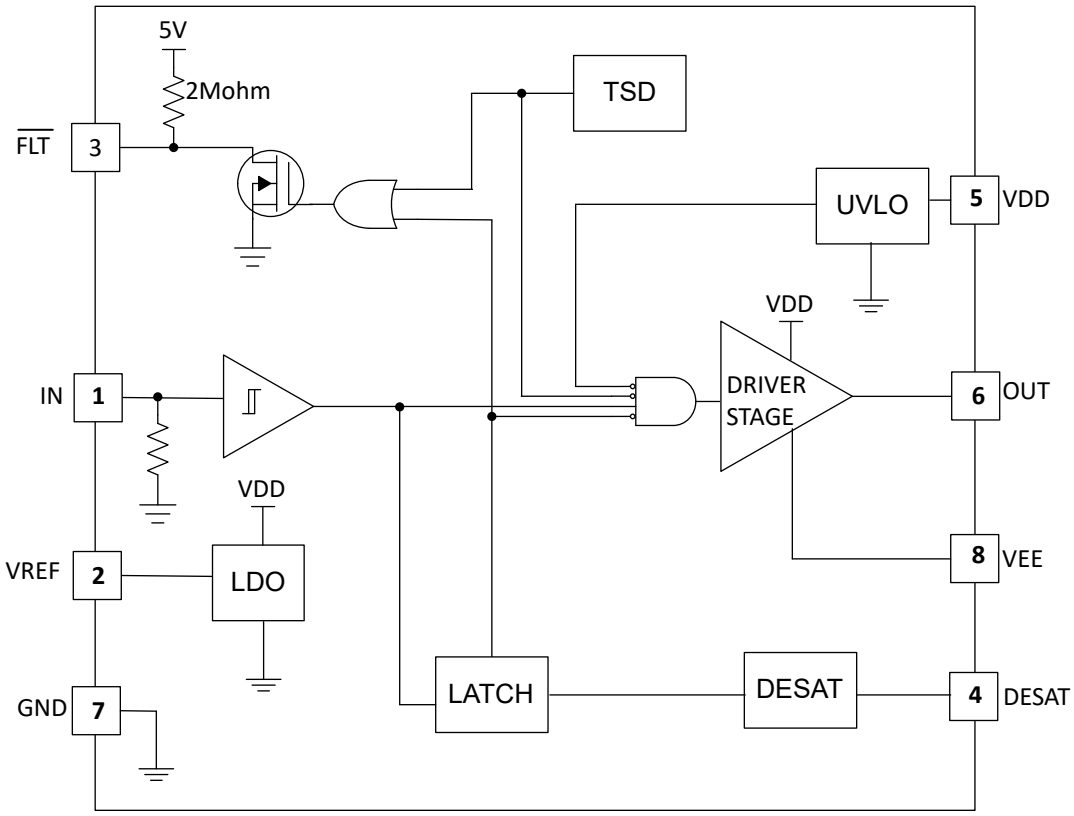


图 6-1. UCC57102Z-Q1 简化功能方框图

6.3 特性说明

6.3.1 输入级

UCC57102Z-Q1 器件的输入与基于 TTL 的阈值逻辑兼容，并且输入与 VDD 电源电压无关。在典型高电平阈值为 2.2V 并且典型低电平阈值为 1.2V 的情况下，可以使用从 3.3V 或 5V 逻辑获取的 PWM 控制信号方便地驱动逻辑电平阈值。与传统的 TTL 逻辑实现（其中的迟滞通常小于 0.5V）相比，更宽的迟滞（通常为 1V）可提供增强的噪声抗扰度。该器件还能够对输入引脚阈值电压电平进行严格的控制，从而减缓系统设计考虑因素，并确保在整个温度范围内稳定地运行。这些引脚上的极低输入电容（通常小于 8pF）可减小负载并增大开关速度。

Copyright © 2024 Texas Instruments Incorporated

该器件具有一项重要的保护功能，借助该功能，只要输入引脚处于悬空状态，输出就会保持在低电平状态。这是通过输入引脚上的内部上拉或下拉电阻器来实现的，如简化的功能方框图所示。在某些应用中，由于辅助电源时序的差异，不同 IC 会在不同的时间上电。这可能导致控制器的输出处于三态。控制器的这个输出连接到驱动器 IC 的输入。如果驱动器 IC 没有下拉电阻器，则驱动器的输出可能会错误地变为高电平并损坏开关电源器件。

驱动器的输入级最好应由具有较短上升或下降时间的信号进行驱动。只要将驱动器与缓慢变化的输入信号配合使用，尤其是在器件位于独立的子板上或 PCB 布局具有长输入连接布线的情况下，就必须小心谨慎：

- 由于驱动器输出以及电路板布局布线寄生效应而导致的高 dI/dt 电流可能会导致接地反弹。由于该器件只有一个 GND 引脚，而该引脚可能将电源接地作为基准，因此这可能会影响输入引脚和 GND 之间的差分电压并触发意外的输出状态变化。由于具有 26ns 的快速传播延迟，这可能最终导致高频振荡，从而增加功率耗散并导致受损的风险。
- 与大多数其他行业标准驱动器相比，1V 输入阈值迟滞可以提高噪声抗扰度。

强烈建议在驱动器的输出端和功率器件之间添加一个外部电阻，而不是在输入信号上增加延迟。这还限制了功率器件的上升或下降时间，从而减少了 EMI。该外部电阻器还提供了一个额外的优势，即降低栅极驱动器器件封装中与栅极电荷相关的部分功率耗散，并将其转移到外部电阻器自身中。

最后，由于独特的输入结构允许在输入和使能引脚上提供负电压能力，因此在以下应用中必须小心：

- 输入或使能引脚切换至振幅 > 15V。
- 输入或使能引脚在 dV/dt > 2V/ns 的情况下进行切换。

如果出现这两种情况，请为所切换的引脚添加一个 150 Ω 串联电阻，以限制流经输入结构的电流。

6.3.2 驱动器级

该器件具有 ±3A 的峰值驱动强度，适合驱动 IGBT/SiC。该驱动器具有一项重要的安全功能，借助该功能，当输入引脚处于悬空状态时，输出会保持在低电平状态。该驱动器通过使用固有自举栅极驱动实施 NMOS 上拉，实现轨到轨输出。在直流条件下，PMOS 用于保持 OUT 与 VDD 的连接，如下图所示。NMOS 具有低上拉阻抗，从而在导通瞬变期间可产生强驱动强度，从而缩短功率半导体的输入电容的充电时间并降低导通开关损耗。

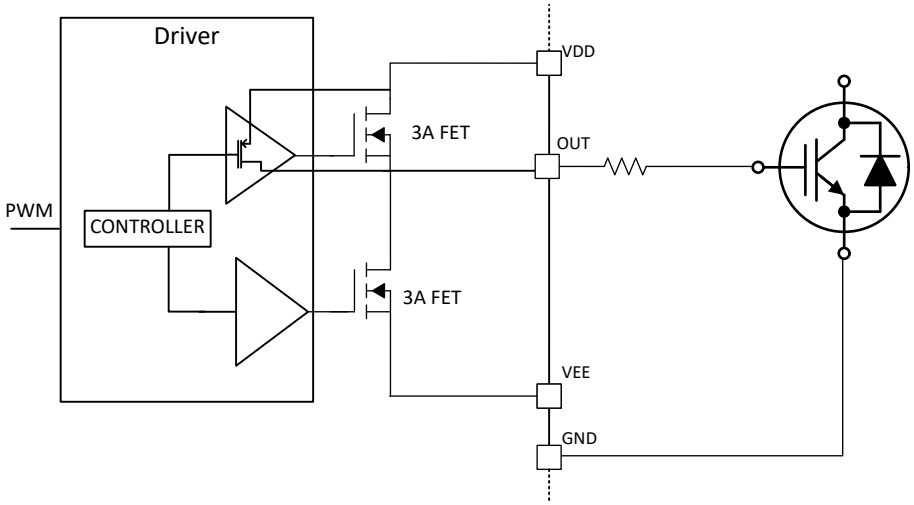


图 6-2. 栅极驱动器输出级

6.3.3 去饱和 (DESAT) 保护

UCC57102Z-Q1 实现了快速过流和短路保护功能，可保护 MOSFET/IGBT 在故障期间免受灾难性击穿的影响。DESAT 引脚相对于 GND、功率半导体的源极或发射极具有典型的 6.5V 阈值。当输入处于悬空状态或输出保持在低电平状态时，DESAT 引脚由内部 MOSFET 下拉并保持在低电平状态，从而防止误触发过流和短路故障。仅在驱动器导通状态期间激活 DESAT 引脚的内部电流源，这意味着仅在功率半导体处于导通状态时过流和短路保护功

Copyright © 2024 Texas Instruments Incorporated

能才有效。当功率半导体关断时，内部下拉 MOSFET 有助于使 DESAT 引脚的电压放电。该器件在 OUT 切换至高电平状态后具有 150ns 的典型内部前沿消隐时间。此外，在 DESAT 触发后，OUT 会保持低电平 25us Tmute 时间。Tmute 时间结束后，$\overline{FLT}$ 将在上升沿的第一个 IN 恢复为高电平。在内部前沿消隐时间之后激活 UCC57102Z-Q1 内部电流源，为外部消隐电容器充电。内部电流源的典型值为 250μA。有关 DESAT 电路设计的更多详细信息，请参阅 UCC5710x-Q1 的应用和优势。

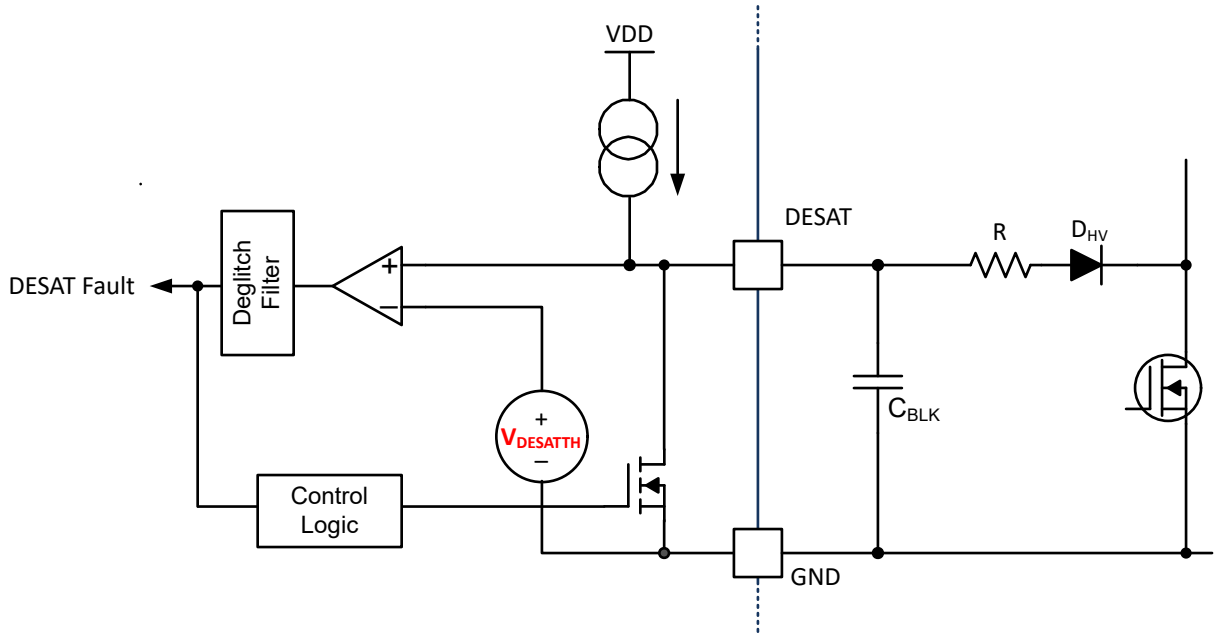


图 6-3. DESAT 保护

6.3.4 故障 ($\overline{FLT}$)

当通过 DESAT 引脚和内部 TSD 检测到故障时，UCC57102Z-Q1 的 $\overline{FLT}$ 引脚可向 DSP/MCU 报告故障信号。在检测到故障后，$\overline{FLT}$ 引脚下拉至 GND，并保持低电平，直至清除故障。可以将其上拉至外部电压轨，最高达到 VDD 电平，并考虑 $\overline{FLT}$ 上的最大灌电流为 20mA。建议在 $\overline{FLT}$ 和 GND 之间也连接一个 100pF 电容器。

6.3.5 VREF

UCC57102Z-Q1 器件提供集成到栅极驱动器的 5V 偏置电压。此输出能够为电压检测调制器、电流检测调制器或其他外部比较器接口拉取高达 20mA 的电流。即使 VREF 引脚用于偏置任何外部功能，也需要在该引脚上添加一个 100nF 旁路电容器。有关 VREF 引脚的详细性能，请参阅典型特性。

6.3.6 热关断

UCC57102Z-Q1 器件提供热关断功能，可在内部温度超过阈值时保护驱动器。当温度超过过热阈值时，$\overline{FLT}$ 将在 8us 传播延迟后拉至低电平。在温度降至低于阈值后，器件将再次活跃。更多相关信息，请参阅节 5.7

6.4 器件功能模式

UCC57102Z-Q1 器件在正常模式和 UVLO 模式下运行（有关 UVLO 运行的信息，请参阅节 7.2.2.1）。在正常模式下，输出状态取决于器件的状态以及输入引脚。

UCC57102Z-Q1 具有单个同相输入，还可以通过 EN 引脚实现启用和禁用功能。将 EN 引脚设置为逻辑高电平会使同相输入连接到 IN 引脚上的输出。

表 6-1. UCC57102Z-Q1 真值表

IN	DESAT	内部 TSD	$\overline{FLT}$	OUT
H	L	L	开漏	H

Copyright © 2024 Texas Instruments Incorporated

表 6-1. UCC57102Z-Q1 真值表（续）

IN	DESAT	内部 TSD	FLT	OUT
L	L	L	开漏	L
H	H	L	L	L
X	X	H	L	L

Copyright © 2024 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

出于各种原因，开关电源应用中需要使用高电流栅极驱动器器件。为了使功率器件能够快速开关并降低相关开关功率损耗，在控制器或信号隔离器件的 PWM 输出和功率半导体器件的栅极之间采用了一款强大的栅极驱动器。此外，有时，直接由 PWM 控制器来驱动开关器件的栅极并不实际，这时必须使用栅极驱动器。这种情况通常是因为数字控制器或信号隔离器件发出的 PWM 信号通常是 3.3V 或 5V 逻辑信号，无法有效导通电源开关。需要使用电平转换电路将逻辑电平信号提高至栅极驱动电压，从而完全开启功率器件并尽可能减小导通损耗。事实证明，基于图腾柱排列 NPN/PNP 双极（或 P-N 沟道 MOSFET）晶体管（采用发射极跟随器配置）的传统缓冲驱动电路不适用于此目的，因为这些电路缺乏电平转换能力和低驱动电压保护。栅极驱动器能够有效结合电平转换、缓冲器驱动和 UVLO 功能。栅极驱动器还可以满足其他需求，例如通过使高电流驱动器的位置靠近电源开关来尽量减小高频开关的影响、驱动栅极驱动变压器并控制浮动功率器件栅极、通过将栅极电荷功率损耗移至控制器来降低控制器中的功率耗散和热应力。

在这种用途中，UCC57102Z-Q1 非常灵活，具有强大的驱动电流能力和 UVLO 高达 26V 的宽推荐电源电压范围。因此，该驱动器可用于 5V 偏置逻辑电平极高频率 MOSFET 应用、12V MOSFET 应用、20V 和 -5V（相对于源极）SiC FET 应用、15V 和 -8V（相对于发射极）IGBT 应用等。

这些要求，再加上对低传播延迟以及具有良好热性能的紧凑、低电感封装的需求，使得 UCC57102Z-Q1 等栅极驱动器器件在开关电源中成为极其重要的元件，并结合了高性能、低成本、元件数量少、减小布板空间和简化系统设计等优势。

7.2 典型应用

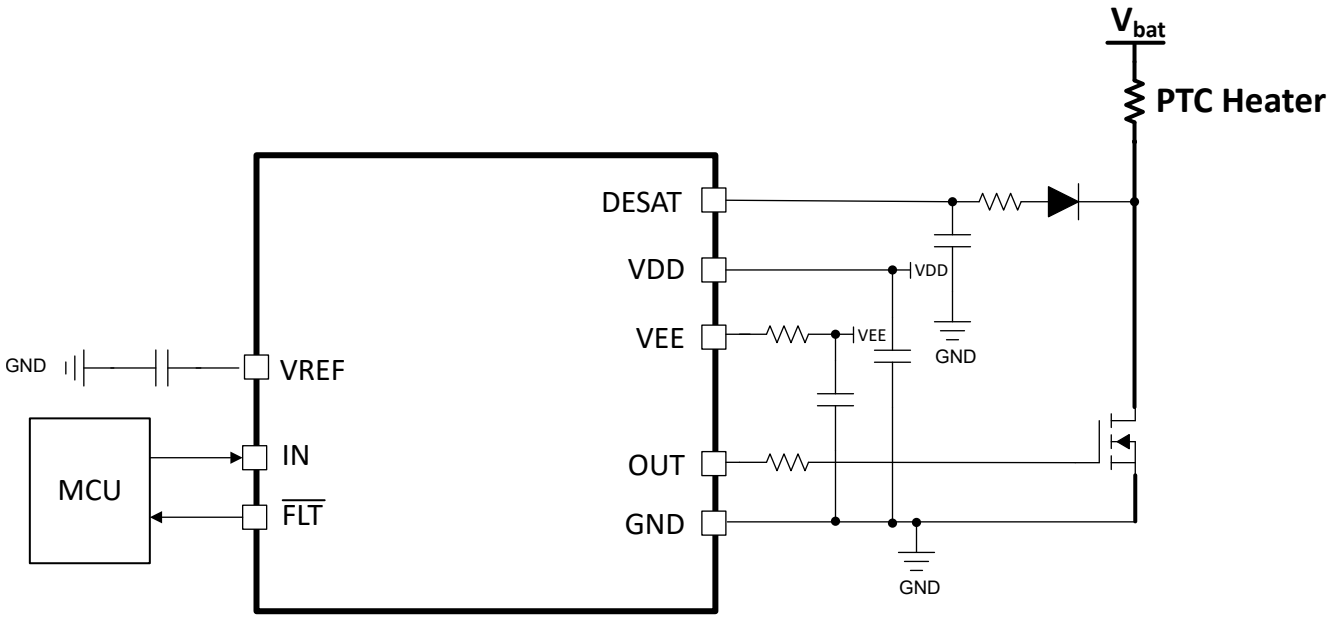


图 7-1. PTC 加热器应用中使用的 UCC57102Z-Q1

Copyright © 2024 Texas Instruments Incorporated

7.2.1 设计要求

为终端应用选择栅极驱动器器件时，必须评估一些设计注意事项，以便做出最合适的选择。以下是为终端应用选择栅极驱动器器件时应使用的一些设计参数：输入到输出配置、输入阈值类型、辅助电源电压电平、峰值拉电流和灌电流、是否提供独立启用和禁用功能、传播延迟、功率耗散和封装类型。表 7-1 中列出了示例设计参数和要求。

表 7-1. 设计参数

设计参数	示例值
输入到输出逻辑	同相
输入阈值类型	TTL
辅助电源电压电平	+18V
负输出低电平电压	不适用
dV_{DS}/dt(1)	100V/ns
使能功能	是
禁用功能	不适用
传播延迟	<30ns
功率耗散	<1W
封装类型	SON-8 或 SOIC-8

(1) dV_{DS}/dt 是给定设计的典型要求。此值可用于查找所需的峰值拉电流/灌电流，如所示。

7.2.2 详细设计过程

7.2.2.1 VDD 欠压锁定

UCC57102Z-Q1 器件提供 8V 的欠压锁定阈值，UCC57102Z-Q1 提供 12V 的欠压锁定阈值。该器件的迟滞范围有助于避免因辅助电源上存在噪声而导致任何抖动。预计典型 UVLO 迟滞为 1V。UVLO 功能不会导致显著的驱动器输出导通延迟，预计的 UVLO 延迟为 4 μs。UVLO 关断延迟也被尽可能地减小。UVLO 延迟旨在尽可能地减少因 VDD 上可能出现的超快瞬变而可能发生的抖动。当辅助电源低于 UVLO 阈值时，无论输入引脚和使能引脚的状态如何，输出都保持低电平有效。该器件在 VDD 引脚上接受宽范围的压摆率，并且迟滞范围内的 VDD 噪声不会影响驱动器的输出状态（导通或关断均不会）。

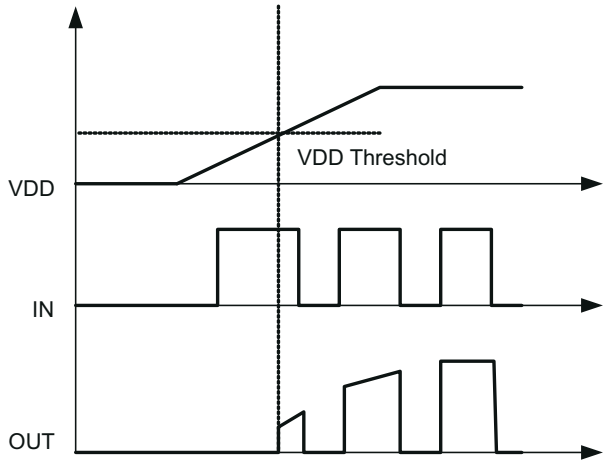


图 7-2. 上电

7.2.3 应用曲线

下图展示了具有 1nF 电容负载的 UCC57102Z-Q1 器件的典型开关特性。

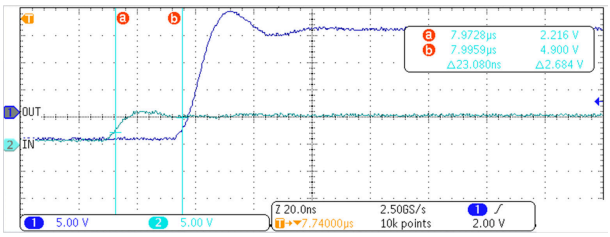


图 7-3. UCC57102Z-Q1 上升（导通）传播延迟

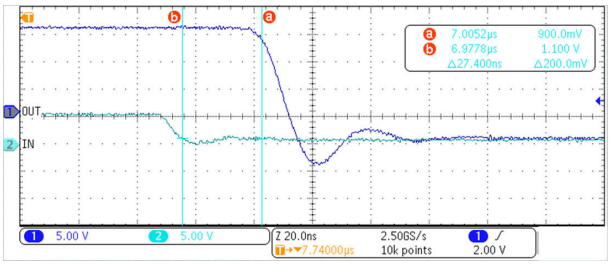


图 7-4. UCC57102Z-Q1 下降（关断）传播延迟

Copyright © 2024 Texas Instruments Incorporated

8 电源相关建议

为 UCC57102Z-Q1 器件推荐的辅助电源电压范围为 UVLO 至 26V。该范围的下限由 VDD 引脚电源电路块上的内部 UVLO 保护功能进行控制。只要驱动器处于 UVLO 状态，当 VDD 引脚电压低于 $V_{(ON)}$ 电源启动阈值时，该功能就会将输出保持在低电平，无论输入的状态如何都是如此。该范围的上限由器件 VDD 引脚建议的最大额定电压 (26V) 决定。VDD 引脚的绝对最大电压为 30V。

UVLO 保护功能还涉及迟滞功能。这意味着，当 VDD 引脚偏置电压超过了阈值电压并且器件开始运行时，如果电压下降，那么器件会继续提供正常的功能，除非压降超过迟滞规格。因此，为了避免触发器件关断，必须确保在 UVLO 或接近此范围内运行时，辅助电源输出上的电压纹波小于器件的迟滞规格。

在系统关断期间，器件会继续运行，直到 VDD 引脚电压降至 VDD UVLO 下降阈值以下，在评估系统关断时序设计要求时，必须考虑该情况。同样地，在系统启动时，只有 VDD 引脚电压超过 VDD UVLO 上升阈值后，器件才会开始运行。器件内部电路模块消耗的静态电流由 VDD 引脚提供。尽管这一事实众所周知，但要认识到 OUT 引脚提供的拉电流脉冲电荷也通过同一 VDD 引脚提供，这一点很重要。因此，每次从输出引脚 (OUT) 拉取电流时，均会通过 VDD 引脚向器件提供相应的电流脉冲。因此，必须确保在 VDD 和 GND 引脚之间提供一个本地旁路电容器，并且该电容器必须尽可能靠近器件，以便实现去耦。需要使用低 ESR 的陶瓷表面贴装电容器。TI 建议使用两个电容器：一个 100nF 陶瓷表面贴装电容器，距离器件的 VDD 引脚不到 1mm；另一个并联添加几微法拉的陶瓷表面贴装电容器。

UCC57102Z-Q1 是一款高电流栅极驱动器。如果栅极驱动器放置在远离 MOSFET 等开关功率器件的位置，则可能会形成较大的感应环路。较大的感应环路可能会导致栅极驱动器的任何和所有引脚上产生过度振铃。这可能会导致应力超过器件的建议额定值。因此，建议将栅极驱动器放置在尽可能靠近开关功率器件的位置。此外，建议使用外部栅极电阻器来抑制因高开关电流和电路板寄生元件而产生的任何振铃。

Copyright © 2024 Texas Instruments Incorporated

9 布局

9.1 布局指南

在高电流快速开关电路中，适当的 PCB 布局对于器件正常工作和设计稳健性而言极其重要。UCC57102Z-Q1 栅极驱动器具有短传播延迟和强大的输出级，能够在电源开关的栅极上提供较大的电流峰值以及很短的上升和下降时间，从而有助于电压以极快的速度进行转换。如果布线长度和阻抗未控制得当，那么极高的 di/dt 可能会导致无法接受的振铃。在使用这些高速驱动器进行设计时，建议遵循以下电路布局准则。

- 驱动器器件应尽量靠近功率器件放置，从而尽可能地缩短驱动器输出引脚与电源开关器件的栅极之间的高电流布线长度。
- VDD 引脚与 GND 引脚之间的旁路电容器应尽量靠近驱动器引脚放置，以尽可能地缩短布线长度，从而改进噪声滤波。TI 建议使用两个电容器：一个 100nF 陶瓷表面贴装电容器，距离器件的 VDD 引脚不到 1mm；另一个并联添加几微法拉的陶瓷表面贴装电容器。这些电容器支持在电源开关接通期间通过 VDD 消耗的高峰值电流。强烈建议使用低电感表面贴装元件，例如片式电容器。
- 应该尽可能缩短导通和关断电流环路路径（驱动器器件、电源开关和 VDD 旁路电容器），以便将杂散电感保持在最低水平。这些环路中存在两个实例会建立高 di/dt，即导通和关断瞬态期间，这会在驱动器器件的输出引脚和电源开关的栅极上产生显著的电压瞬态。
- 尽可能使电流环路的源迹线和返回迹线保持平行，从而利用磁通抵消。
- 将电源布线与信号布线（如输出和输入信号）分开。
- 为了更大限度地减少开关节点瞬态和振铃，可能需要在功率器件上添加一些栅极电阻和/或缓冲器。这些措施也可能降低 EMI。
- 星形点接地是一种尽可能地减少噪声从一个电流环路耦合到另一个电流环路的好方法。驱动器的 GND 应该在一个点连接至其他电路节点（如电源开关源极、PWM 控制器接地等）。连接路径应该尽可能短，以减少电感，并应该尽量宽，以减小电阻。
- 使用接地平面来提供噪声屏蔽。在转换期间，OUT 引脚上的快速上升和下降时间可能会破坏输入信号。接地平面不得是任何电流环路的传导路径。相反，应该使用一根迹线将接地平面连接到星形点，从而建立接地电势。除噪声屏蔽之外，接地平面还可以帮助降低功率耗散。

9.2 布局示例

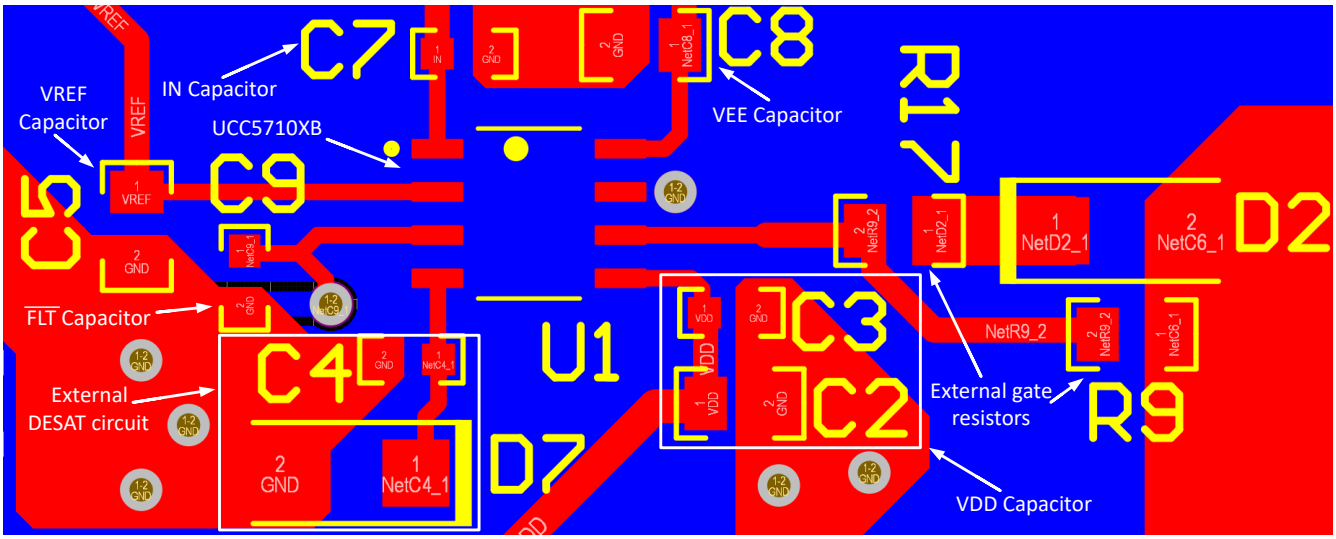


图 9-1. 布局示例：UCC57102Z

Copyright © 2024 Texas Instruments Incorporated

10 器件和文档支持

10.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
December 2024	*	初始发行版

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC57102ZQDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	U102ZQ
UCC57102ZQDRQ1.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	U102ZQ

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UCC57102Z-Q1 :

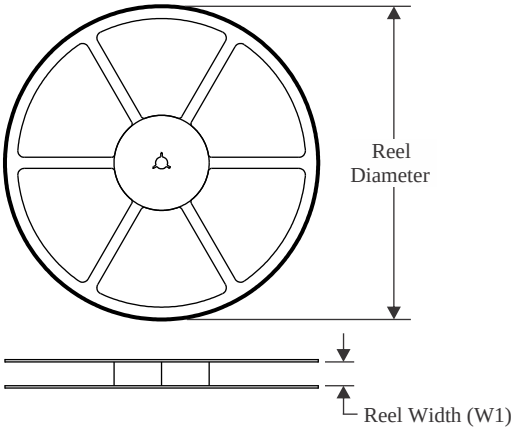
- Catalog : UCC57102Z

NOTE: Qualified Version Definitions:

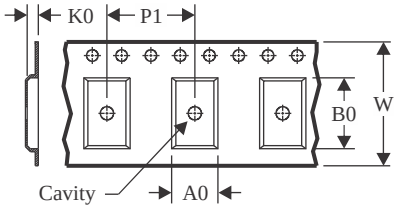
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

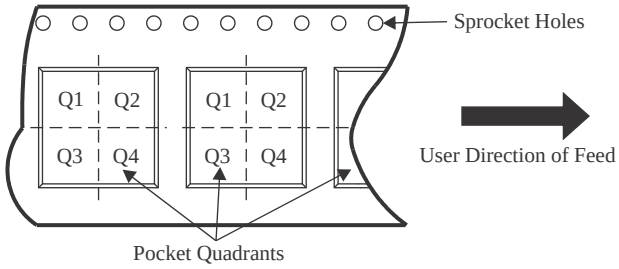


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

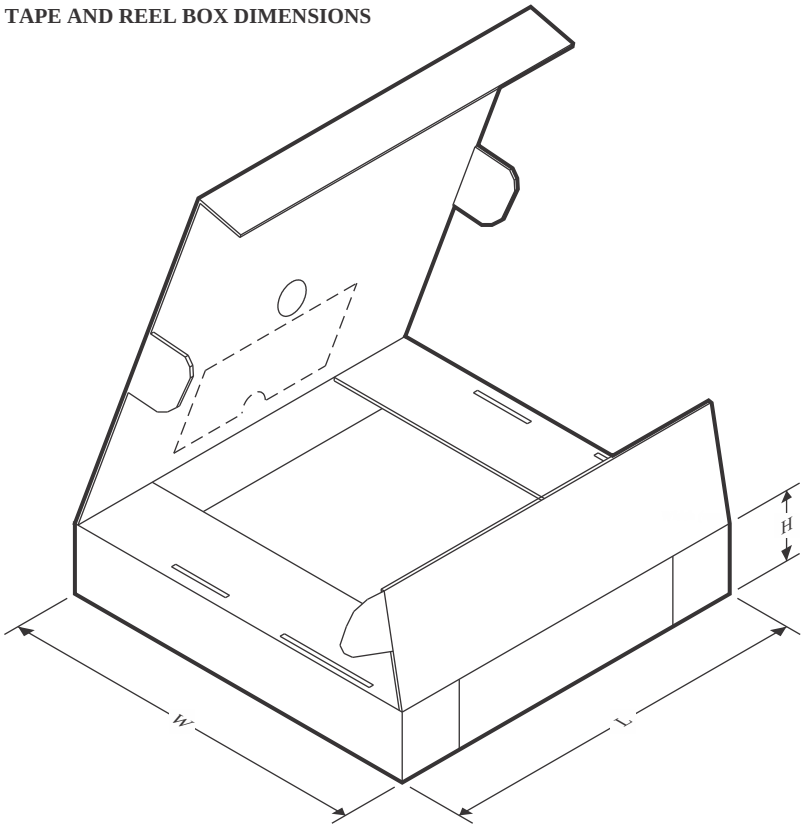
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

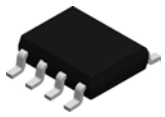
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC57102ZQDRQ1	SOIC	D	8	3000	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC57102ZQDRQ1	SOIC	D	8	3000	340.5	338.1	20.6

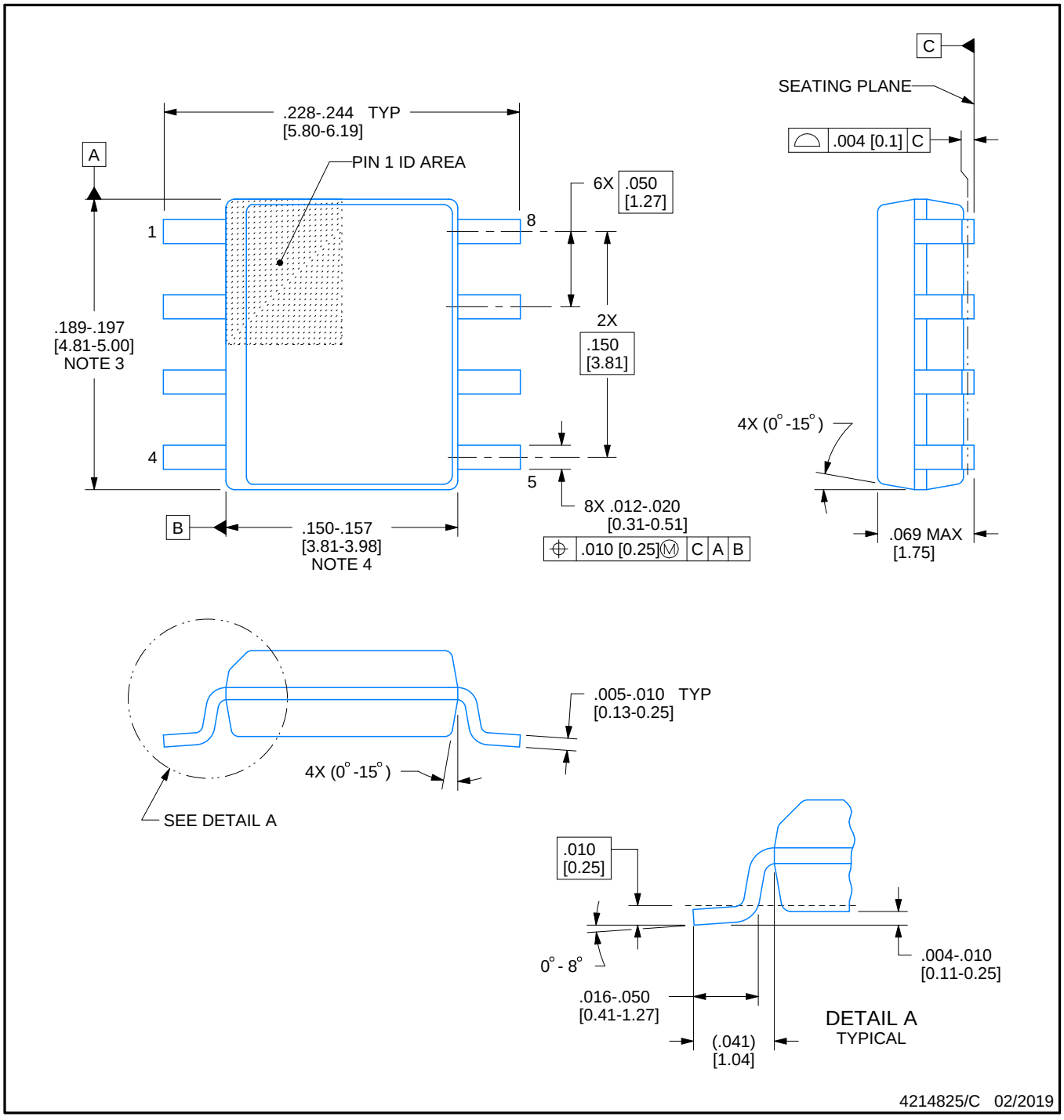


PACKAGE OUTLINE

D0008A

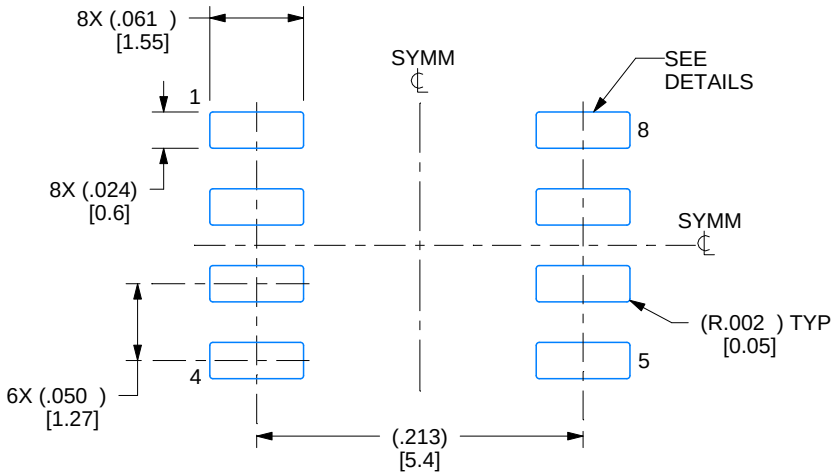
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

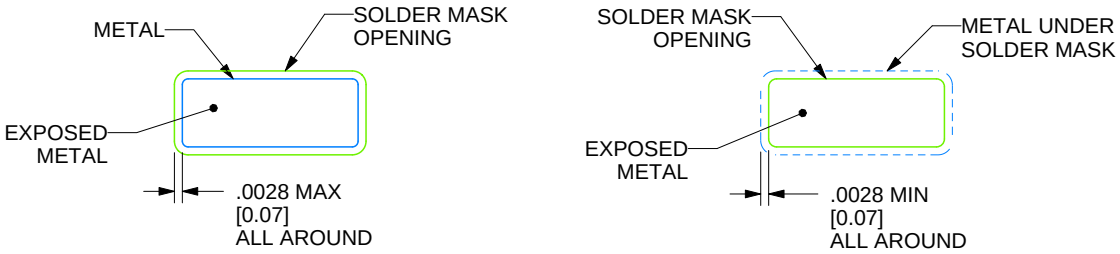


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

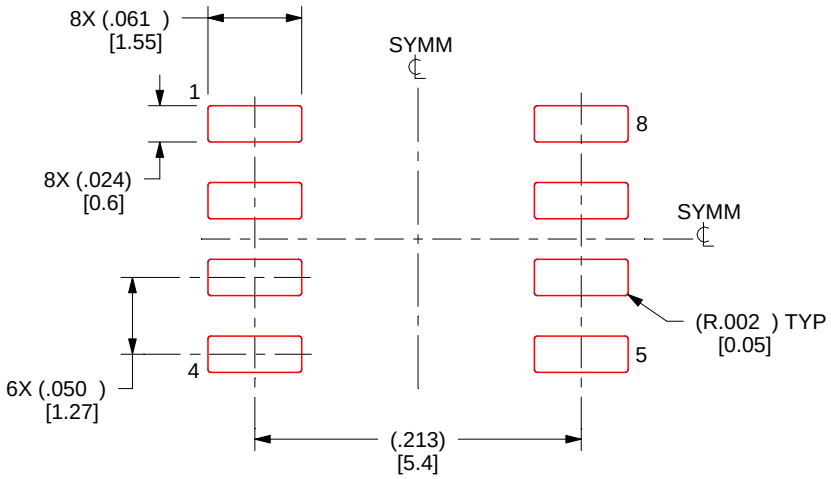
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月