UCC5350-Q1 10A 单通道隔离式栅极驱动器 适用于汽车应用中的 SiC/IGBT

1 特性

- 5kV$_{RMS}$ 和 3kV$_{RMS}$ 单通道隔离式栅极驱动器
- 符合面向汽车应用的 AEC-Q100 标准
  - 温度等级 1
- 功能安全质量管理
  - 可提供用于功能安全系统设计的文档
- 特性选项
  - 分离输出，8V UVLO (UCC5350SB-Q1)
  - 米勒钳位，12V UVLO (UCC5350MC-Q1)
- ±5A 最小峰值电流驱动强度
- ±10A 典型峰值电流驱动强度
- 3V 至 15V 输入电源电压
- 驱动器电源电压高达 33V
  - 8V 和 12V UVLO 选项
- 100V/ns 最小 CMTI
- 输入引脚具有负 5V 电压处理能力
- 100ns（最大）传播延迟和 <25ns 器件间偏移
- 8 引脚 DWV（8.5mm 爬电）和 D（4mm 爬电）封装
- 隔离栅寿命 > 40 年
- 安全相关认证：
  - DIN EN IEC 60747-17 (VDE 0884-17)
  - UL 1577 组件认证计划
- CMOS 输入
- 工作结温：-40°C 至 +150°C

2 应用

- 车载充电器
- 适用于 EV 的牵引逆变器
- 直流充电站
- HVAC
- 加热器

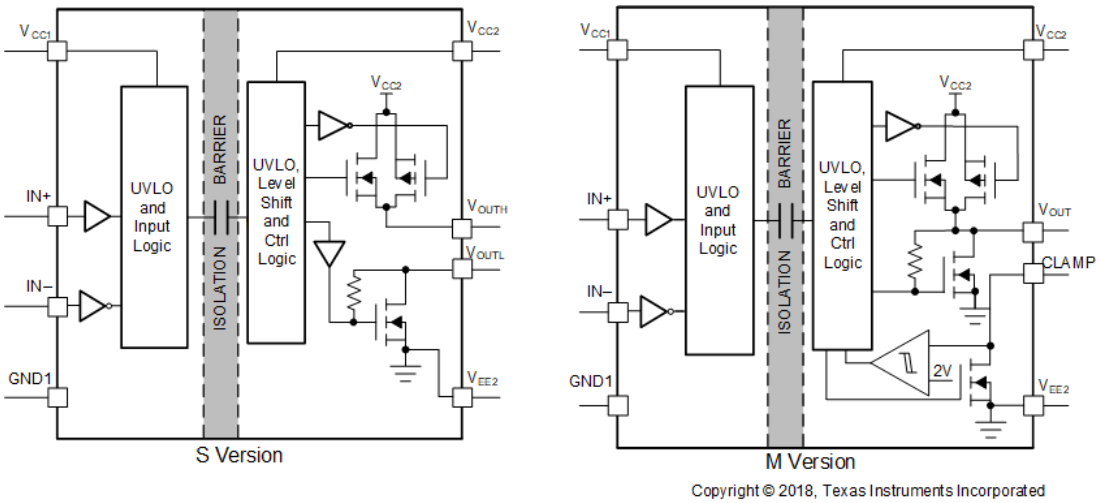
3 说明

UCC5350-Q1 是一款单通道隔离式栅极驱动器，具有 10A 典型峰值拉电流和 10A 典型峰值灌电流，专为驱动 MOSFET、IGBT 和 SiC MOSFET 而设计。UCC5350-Q1 具有米勒钳位或分离输出选项。CLAMP 引脚用于将晶体管栅极连接到输出旁边的内部 FET，以防止米勒电流注入造成误导通。借助分离输出选项，可以使用 OUTH 和 OUTL 引脚单独控制栅极电压的上升和下降时间。

封装信息

器件版本	特性	封装(1)	封装尺寸（标称值）
UCC5350MC-Q1	米勒钳位，12V UVLO	DWV (SOIC, 8)	7.5mm × 5.85mm
		D（SOIC，8）	3.91mm x 4.9mm
UCC5350SB-Q1	分离输出，8V UVLO	D（SOIC，8）	3.91mm x 4.9mm

(1) 有关所有可用封装，请参阅节 13。



功能框图（S 和 M 版本）

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

UCC5350-Q1 采用 4mm SOIC-8 (D) 或 8.5mm 宽体 SOIC-8 (DWV) 封装，可分别支持高达 $3kV_{RMS}$ 和 $5kV_{RMS}$ 的隔离电压。输入侧通过 SiO_2 电容隔离技术与输出侧相隔离，隔离栅寿命超过 40 年。UCC5350-Q1 非常适用于在高压牵引逆变器和车载充电器等应用中驱动 IGBT 或 MOSFET。

与光耦隔离栅极驱动器相比，UCC5350-Q1 器件的器件间偏移更低，传播延迟更小，工作温度更高，并且 CMTI 更高。

Copyright © 2026 Texas Instruments Incorporated

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 4
5 规格 5
5.1 绝对最大额定值 5
5.2 ESD 等级 5
5.3 建议运行条件 5
5.4 热性能信息 5
5.5 功率等级 6
5.6 D 封装绝缘规格 6
5.7 DWV 封装的绝缘规格 8
5.8 D 封装安全相关认证 9
5.9 DWV 封装的安全相关认证 9
5.10 安全限值 9
5.11 电气特性 10
5.12 开关特性 11
5.13 绝缘特性曲线 11
5.14 典型特性 13
6 参数测量信息 16
6.1 传播延迟、反相和同相配置 16
7 详细说明 18
7.1 概述 18
7.2 功能方框图 18
7.3 特性说明 19
7.4 器件功能模式 22
8 应用和实施 25
8.1 应用信息 25
8.2 典型应用 25
9 电源相关建议 30
10 布局 30
10.1 布局指南 30
10.2 布局示例 31
10.3 PCB 材料 33
11 器件和文档支持 34
11.1 器件支持 34
11.2 文档支持 34
11.3 认证 34
11.4 接收文档更新通知 34
11.5 支持资源 34
11.6 商标 34
11.7 静电放电警告 34
11.8 术语表 34
12 修订历史记录 34
13 机械、封装和可订购信息 36

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

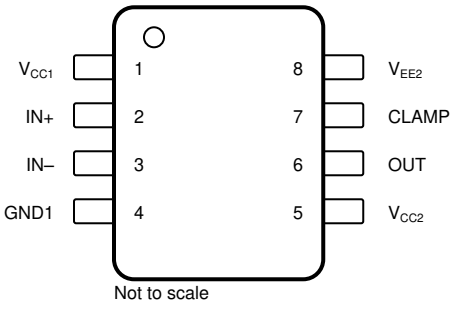


图 4-1. UCC5350MC-Q1 8 引脚 SOIC 顶视图

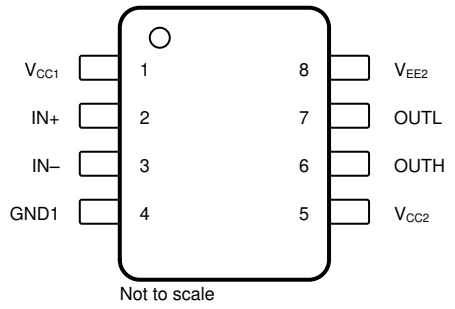


图 4-2. UCC5350SB-Q1 8 引脚 SOIC 顶视图

表 4-1. 引脚功能

引脚			类型(1)	说明
名称	编号	编号		
	UCC5350MC-Q1	UCC5350SB-Q1		
钳位	7	—	I	有源米勒钳位输入用于防止 M 版本上的电源开关误导通。通过低电感直接连接到栅极。
GND1	4	4	G	输入接地。输入侧的所有信号都以该地为基准。
IN+	2	2	I	同相栅极驱动电压控制输入。IN+ 引脚具有 CMOS 输入阈值。该引脚在保持开路时在内部被拉至低电平。
IN –	3	3	I	反相栅极驱动电压控制输入。IN – 引脚具有 CMOS 输入阈值。该引脚在保持开路时在内部被拉至高电平。
OUT	6	—	O	M 版本上的栅极驱动输出
OUTH	—	6	O	S 版本上的栅极驱动上拉输出
OUTL	—	7	O	S 版本上的栅极驱动下拉输出
V_{CC1}	1	1	P	输入电源电压。将本地去耦电容器连接到 GND1。使用尽可能靠近器件的低 ESR/ESL 电容器。
V_{CC2}	5	5	P	正输出电源轨。将本地去耦电容器连接到 V_{EE2}。使用尽可能靠近器件的低 ESR/ESL 电容器。
V_{EE2}	8	8	G	接地引脚。连接到 MOSFET 源极或 IGBT 发射极。将一个本地去耦电容器从 V_{CC2} 连接到 V_{EE2}。使用尽可能靠近器件的低 ESR/ESL 电容器。

(1) P = 电源，G = 地，I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
输入偏置引脚电源电压	V_{CC1} – GND1	GND1 – 0.3	18	V
驱动器辅助电源	V_{CC2} – V_{EE2}	-0.3	35	V
输出信号电压	V_{OUTH} – V_{EE2}，V_{OUTL} – V_{EE2}，V_{OUT} – V_{EE2}，V_{CLAMP} – V_{EE2}	V_{EE2} – 0.3	V_{CC2} + 0.3	V
输入信号电压	V_{IN+} – GND1，V_{IN-} – GND1	GND1 – 5	V_{CC1} + 0.3	V
结温，T_J (2)		-40	150	°C
存储温度，T_{stg}		-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。
(2) 若要保持 T_J 的建议运行条件，请参阅“热性能信息“”表。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)	±4000	V
		充电设备模型 (CDM)，符合 AEC Q100-011 标准	±1500	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{CC1}	电源电压，输入侧	3		15	V
V_{CC2}	正电源电压输出侧 (V_{CC2} – V_{EE2})，UCC5350MC	13.2		33	V
V_{CC2}	正电源电压输出侧 (V_{CC2} – V_{EE2})，UCC5350SB	9.5		33	V
T_J	结温	-40		150	°C

5.4 热性能信息

热指标(1)		UCC5350-Q1		单位
		D	DWV	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	109.5	119.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	43.1	64.1	°C/W
$R_{\theta JB}$	结至电路板热阻	51.2	65.4	°C/W
Ψ_{JT}	结至顶部特征参数	18.3	37.6	°C/W
Ψ_{JB}	结至电路板特征参数	50.7	63.7	°C/W

(1) 更多有关新旧热指标的信息，请参阅*半导体和 IC 封装热指标应用报告*。

Copyright © 2026 Texas Instruments Incorporated

5.5 功率等级

参数		测试条件	最小值	典型值	最大值	单位
D 封装 (UCC5350MC-Q1)						
P_D	输入和输出上的最大功率耗散	V_{CC1} = 15V、V_{CC2} = 15V、f = 2.1MHz、50% 占空比、方波、2.2nF 负载			1.14	W
P_{D1}	最大输入功率耗散				0.05	W
P_{D2}	最大输出功率耗散				1.09	W
D 封装 (UCC5350SB-Q1)						
P_D	输入和输出上的最大功率耗散	V_{CC1} = 15V、V_{CC2} = 15V、f = 1.8MHz、50% 占空比、方波、2.2nF 负载			0.99	W
P_{D1}	最大输入功率耗散				0.05	W
P_{D2}	最大输出功率耗散				0.94	W
DWV 封装 (UCC5350MC-Q1)						
P_D	输入和输出上的最大功率耗散	V_{CC1} = 15V、V_{CC2} = 15V、f = 1.9MHz、50% 占空比、方波、2.2nF 负载			1.04	W
P_{D1}	最大输入功率耗散				0.05	W
P_{D2}	最大输出功率耗散				0.99	W

5.6 D 封装绝缘规格

参数		测试条件	值	单位
			D	
CLR	外部间隙(1)	引脚间的最短空间距离	≥ 4	mm
CPG	外部爬电距离(1)	引脚间的最短封装表面距离	≥ 4	mm
DTI	绝缘穿透距离	最小内部间隙	> 21	µm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303 – 11)；IEC 60112	> 400	V
	材料组	符合 IEC 60664-1	II	
过压类别（符合 IEC 60664-1）		额定市电电压 ≤ 150_{VRMS}	I-IV	
		额定市电电压 ≤ 300_{VRMS}	I-III	
DIN EN IEC 60747-17 (VDE 0884-17)(2)				
V_{IORM}	最大重复峰值隔离电压	交流电压（双极）	1200(7)	V_{PK}
V_{IOWM}	最大隔离工作电压	交流电压（正弦波）；时间依赖型电介质击穿 (TDDB) 测试	850(7)(8)	V_{RMS}
		直流电压	1200(7)	V_{DC}
V_{IOTM}	最大瞬态隔离电压	V_{TEST} = V_{IOTM}，t = 60s（鉴定测试）； V_{TEST} = 1.2 × V_{IOTM}，t = 1s（100% 生产测试）	4242	V_{PK}
V_{IMP}	最大脉冲电压(3)	在空气中测试，符合 IEC 62368-1 标准的 1.2/50 µs 波形	5000	V_{PK}
V_{IOSM}	最大浪涌隔离电压(4)	V_{IOSM} ≥ 1.3 × V_{IMP}；在油中测试（鉴定测试），符合 IEC 62368-1 标准的 1.2/50 µs 波形	6500	V_{PK}
q_{pd}	视在电荷(5)	方法 a：I/O 安全测试子组 2/3 后， V_{ini} = V_{IOTM}，t_{ini} = 60s $V_{pd(m)}$ = 1.2 × V_{IORM}，t_m = 10s	≤ 5	pC
		方法 a：环境测试子组 1 后， V_{ini} = V_{IOTM}，t_{ini} = 60s； $V_{pd(m)}$ = 1.3 × V_{IORM}，t_m = 10s	≤ 5	
		方法 b：常规测试（100% 生产测试） V_{ini} = 1.2 × V_{IOTM}，t_{ini} = 1s； $V_{pd(m)}$ = 1.5 × V_{IORM}，t_m = 1s（方法 b1）或 $V_{pd(m)}$ = V_{ini}，t_m = t_{ini}（方法 b2）	≤ 5	
C_{IO}	势垒电容，输入至输出(6)	V_{IO} = 0.4 × sin (2πft)，f = 1MHz	1.2	pF

Copyright © 2026 Texas Instruments Incorporated

5.6 D 封装绝缘规格（续）

参数		测试条件	值	单位
			D	
R_{IO}	隔离电阻，输入至输出(6)	V_{IO} = 500V，T_A = 25°C	> 10^{12}	Ω
		V_{IO} = 500V，100°C ≤ T_A ≤ 125°C	> 10^{11}	
		V_{IO} = 500V，T_S = 150°C	> 10^{9}	
	污染等级		2	
	气候类别		40/125/21	
UL 1577				
V_{ISO}	可承受的隔离电压	V_{TEST} = V_{ISO}，t = 60s（生产测试）；V_{TEST} = 1.2 × V_{ISO}，t = 1s（100% 生产测试）	3000	V_{RMS}

(1) 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙，从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下，印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上插入坡口或肋或同时应用这两项技术可帮助提高这些规格。
(2) 此耦合器仅适用于最大工作额定值范围内的基本电气绝缘。应借助合适的保护电路来确保符合安全等级。
(3) 在空气中进行测试，以确定封装的浪涌抗扰度。
(4) 在油中进行测试，以确定隔离栅的固有浪涌抗扰度。
(5) 视在电荷是局部放电 (pd) 引起的电气放电。
(6) 将隔离层每一侧的所有引脚都连在一起，构成一个双引脚器件。
(7) 需要根据应用参数验证系统隔离工作电压。
(8) UCC5350-Q1 在 IEC/VDE 局部放电测试期间在高于 850V_{RMS} 的工作电压下进行了生产测试

Copyright © 2026 Texas Instruments Incorporated

5.7 DWV 封装的绝缘规格

参数		测试条件	值	单位
			DWV	
CLR	外部间隙(1)	引脚间的最短空间距离	≥ 8.5	mm
CPG	外部爬电距离(1)	引脚间的最短封装表面距离	≥ 8.5	mm
DTI	绝缘穿透距离	最小内部间隙	> 21	µm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303 – 11)；IEC 60112	> 600	V
	材料组	符合 IEC 60664-1	I	
过压类别（符合 IEC 60664-1）		额定市电电压 ≤ 600_{VRMS}	I-III	
		额定市电电压 ≤ 1000_{VRMS}	I-II	
DIN EN IEC 60747-17 (VDE 0884-17)(2)				
V_{IORM}	最大重复峰值隔离电压	交流电压（双极）	2121	V_{PK}
V_{IOWM}	最大隔离工作电压	交流电压（正弦波）；时间依赖型电介质击穿 (TDDB) 测试	1500	V_{RMS}
		直流电压	2121	V_{DC}
V_{IOTM}	最大瞬态隔离电压	$V_{TEST} = V_{IOTM}$，t = 60s（鉴定测试）； $V_{TEST} = 1.2 \times V_{IOTM}$，t = 1s（100% 生产测试）	7071	V_{PK}
V_{IMP}	最大脉冲电压(3)	在空气中测试，符合 IEC 62368-1 标准的 1.2/50 µs 波形	8000	V_{PK}
V_{IOSM}	最大浪涌隔离电压(4)	V_ISOM ≥ 1.3 × VIMP；在油中测试（鉴定测试），符合 IEC 62368-1 标准的 1.2/50µs 波形	10400	V_{PK}
q_{pd}	视在电荷(5)	方法 a：I/O 安全测试子组 2/3 后， $V_{ini} = V_{IOTM}$，t_{ini} = 60s $V_{pd(m)} = 1.2 \times V_{IORM}$，$t_m$ = 10s	≤ 5	pC
		方法 a：环境测试子组 1 后， $V_{ini} = V_{IOTM}$，t_{ini} = 60s； $V_{pd(m)} = 1.3 \times V_{IORM}$，$t_m$ = 10s	≤ 5	
		方法 b：常规测试（100% 生产测试） $V_{ini} = 1.2 \times V_{IOTM}$，$t_{ini}$ = 1s； $V_{pd(m)} = 1.5 \times V_{IORM}$，$t_m$ = 1s（方法 b1）或 $V_{pd(m)} = V_{ini}$，$t_m = t_{ini}$（方法 b2）	≤ 5	
C_{IO}	势垒电容，输入至输出(6)	V_{IO} = 0.4 × sin (2 π ft)，f = 1MHz	1.2	pF
R_{IO}	隔离电阻，输入至输出(6)	V_{IO} = 500V，T_A = 25°C	$> 10^{12}$	Ω
		V_{IO} = 500V，100°C ≤ T_A ≤ 125°C	$> 10^{11}$	
		V_{IO} = 500V，T_S = 150°C	$> 10^{9}$	
	污染等级		2	
	气候类别		40/125/21	
UL 1577				
V_{ISO}	可承受的隔离电压	$V_{TEST} = V_{ISO}$，t = 60s（生产测试）；$V_{TEST} = 1.2 \times V_{ISO}$，t = 1s（100% 生产测试）	5000	V_{RMS}

(1) 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙，从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下，印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上插入坡口或肋或同时应用这两项技术可帮助提高这些规格。
(2) 此耦合器仅适用于安全额定值范围内的安全电气绝缘。应借助合适的保护电路来确保符合安全等级。
(3) 在空气中进行测试，以确定封装的浪涌抗扰度。
(4) 在油中进行测试，以确定隔离栅的固有浪涌抗扰度。
(5) 视在电荷是局部放电 (pd) 引起的电气放电。
(6) 将隔离层每一侧的所有引脚都连在一起，构成一个双引脚器件。

Copyright © 2026 Texas Instruments Incorporated

5.8 D 封装安全相关认证

VDE	UL
根据 DIN EN IEC 60747-17 (VDE 0884-17) 进行了认证	在 UL 1577 组件认证计划下进行了认证
证书编号：40047657	文件编号：E181974

5.9 DWV 封装的安全相关认证

VDE	UL
根据 DIN EN IEC 60747-17 (VDE 0884-17) 进行了认证	在 UL 1577 组件认证计划下进行了认证
证书编号：40040142	文件编号：E181974

5.10 安全限值

安全限制旨在最大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。

参数		测试条件		最小值	典型值	最大值	单位
D 封装 (UCC5350MC-Q1)							
I_S	安全输出电源电流	$R_{\theta JA}$ = 109.5°C/W，V_{CC2} = 15V，T_J = 150°C，T_A = 25°C，请参阅图 5-2	输出侧			73	mA
		$R_{\theta JA}$ = 109.5°C/W，V_{CC2} = 30V，T_J = 150°C，T_A = 25°C，请参阅图 5-2	输出侧			36	
P_S	安全输出电源功率	$R_{\theta JA}$ = 109.5°C/W，T_J = 150°C，T_A = 25°C，请参阅图 5-4	输入侧			0.05	W
			输出侧			1.09	
			总计			1.14	
T_S	最高安全温度(1)					150	°C
D 封装 (UCC5350SB-Q1)							
I_S	安全输出电源电流	$R_{\theta JA}$ = 109.5°C/W，V_{CC2} = 15V，T_J = 150°C，T_A = 25°C，请参阅图 5-2	输出侧			63	mA
		$R_{\theta JA}$ = 109.5°C/W，V_{CC2} = 30V，T_J = 150°C，T_A = 25°C，请参阅图 5-2	输出侧			31	
P_S	安全输出电源功率	$R_{\theta JA}$ = 109.5°C/W，T_J = 150°C，T_A = 25°C，请参阅图 5-4	输入侧			0.05	W
			输出侧			0.94	
			总计			0.99	
T_S	最高安全温度(1)					150	°C
DWV 封装 (UCC5350MC-Q1)							
I_S	安全输入、输出或电源电流	$R_{\theta JA}$ = 119.8°C/W，V_I = 15V，T_J = 150°C，T_A = 25°C，请参阅图 5-1	输出侧			66	mA
		$R_{\theta JA}$ = 119.8°C/W，V_I = 30V，T_J = 150°C，T_A = 25°C，请参阅图 5-1	输出侧			33	
P_S	安全输入、输出或总功率	$R_{\theta JA}$ = 119.8°C/W，T_J = 150°C，T_A = 25°C，请参阅图 5-3	输入侧			0.05	W
			输出侧			0.99	
			总计			1.04	
T_S	最高安全温度(1)					150	°C

(1) 最高安全温度 T_S 与器件指定的最大结温 T_J 的值相同。I_S 和 P_S 参数分别表示安全电流和安全功率。请勿超出 I_S 和 P_S 的最大限值。这些限值随环境温度 T_A 的变化而变化。

“热性能信息”表中的结至空气热阻 $R_{\theta JA}$ 所属器件安装在引线式表面贴装封装对应的高 K 测试板上。可以使用这些公式计算每个参数的值：

$T_J = T_A + R_{\theta JA} \times P$，其中 P 是器件中耗散的功率。

$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$，其中 $T_{J(max)}$ 是允许的最大结温。

$P_S = I_S \times V_I$，其中 V_I 是最大输入电压。

Copyright © 2026 Texas Instruments Incorporated

5.11 电气特性

V_{CC1} = 3.3V 或 5V、从 V_{CC1} 至 GND1 的 0.1µF 电容器、V_{CC2}= 15V、从 V_{CC2} 至 V_{EE2} 的 1µF 电容器、C_L = 100pF、T_J = –40°C 至 +125°C (UCC5350MC-Q1)、T_J = –40°C 至 +150°C (UCC5350SB-Q1) (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
电源电流						
I_{VCC1}	输入电源静态电流			1.67	2.4	mA
I_{VCC2}	输出电源静态电流			1.1	1.8	mA
电源电压欠压阈值						
$V_{IT+(UVLO1)}$	VCC1 正向 UVLO 阈值电压			2.6	2.8	V
$V_{IT-(UVLO1)}$	VCC1 负向 UVLO 阈值电压		2.4	2.5		V
$V_{hys(UVLO1)}$	VCC1 UVLO 阈值迟滞			0.1		V
输出电源电压欠压阈值 (UCC5350MC-Q1)						
$V_{IT+(UVLO2)}$	VCC2 正向 UVLO 阈值电压			12	13	V
$V_{IT-(UVLO2)}$	VCC2 负向 UVLO 阈值电压		10.3	11		V
$V_{hys(UVLO2)}$	VCC2 UVLO 阈值电压迟滞			1		V
输出电源电压欠压阈值 (UCC5350SB-Q1)						
$V_{IT+(UVLO2)}$	VCC2 正向 UVLO 阈值电压			8.7	9.4	V
$V_{IT-(UVLO2)}$	VCC2 负向 UVLO 阈值电压		7.3	8.0		V
$V_{hys(UVLO2)}$	VCC2 UVLO 阈值电压迟滞			0.7		V
逻辑 I/O						
$V_{IT+(IN)}$	正向输入阈值电压 (IN+、IN–)			0.55 × V_{CC1}	0.7 × V_{CC1}	V
$V_{IT-(IN)}$	负向输入阈值电压 (IN+、IN–)		0.3 × V_{CC1}	0.45 × V_{CC1}		V
$V_{hys(IN)}$	输入迟滞电压 (IN+、IN–)			0.1 × V_{CC1}		V
I_{IH}	高电平输入泄漏电流 (IN+)	IN+ = V_{CC1}		40	240	µA
I_{IL}	低电平输入泄漏电流 (IN–)	IN– = GND1	-240	-40		µA
		IN– = GND1 – 5V	-310	-80		
栅极驱动器级						
V_{OH}	高电平输出电压 (VCC2 - OUT) 和 (VCC2 - OUTH)	I_{OUT} = –20mA	100	240		mV
V_{OL}	低电平输出电压 (OUT 和 OUTL)	IN+ = 低电平，IN– = 高电平；I_{OUT} = 20mA	5	7		mV
I_{OH}	峰值拉电流	UCC5350MC，IN+ = 高电平，IN– = 低电平	5	10		A
		UCC5350SB，IN+ = 高电平，IN– = 低电平	5	8.5		A
I_{OL}	峰值灌电流	IN+ = 低电平，IN– = 高电平	5	10		A
有源米勒钳位 (仅限 UCC5350MC-Q1)						
V_{CLAMP}	低电平钳位电压	I_{CLAMP} = 20mA		7	10	mV
I_{CLAMP}	钳位低电平电流	V_{CLAMP} = V_{EE2} + 15V	5	10		A
$I_{CLAMP(L)}$	低输出电压的钳位低电平电流	V_{CLAMP} = V_{EE2} + 2V	5	10		A
$V_{CLAMP-TH}$	钳位阈值电压			2.1	2.3	V
短路钳位						
$V_{CLP-OUT}$	钳位电压 (V_{OUT} – V_{CC2})	IN+ = 高电平，IN– = 低电平，t_{CLAMP} = 10 µs，I_{OUT}= 500mA		1	1.3	V

Copyright © 2026 Texas Instruments Incorporated

5.11 电气特性（续）

V_{CC1} = 3.3V 或 5V、从 V_{CC1} 至 GND1 的 0.1µF 电容器、V_{CC2}= 15V、从 V_{CC2} 至 V_{EE2} 的 1µF 电容器、C_L = 100pF、T_J = –40°C 至 +125°C (UCC5350MC-Q1)、T_J = –40°C 至 +150°C (UCC5350SB-Q1)（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$V_{CLP-OUT}$	钳位电压 (V_{EE2} – V_{OUT})	IN+ = 低电平，IN– = 高电平，t_{CLAMP} = 10µs，I_{OUT} = –500mA		1.5		V
		IN+ = 低电平，IN– = 高电平，I_{OUT} = –20mA		0.9	1	
有源下拉						
V_{OUTSD}	OUT 上的有源下拉电压	I_{OUT} = 0.1 × $I_{OUT(typ)}$，V_{CC2} = 开路		1.8	2.5	V

5.12 开关特性

V_{CC1} = 3.3V 或 5V、从 V_{CC1} 至 GND1 的 0.1µF 电容器、V_{CC2} = 15V、从 V_{CC2} 至 V_{EE2} 的 1µF 电容器、T_J = –40°C 至 +125°C（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_r	输出信号上升时间	C_{LOAD} = 1nF		10	26	ns
t_f	输出信号下降时间	C_{LOAD} = 1nF		10	22	ns
t_{PLH}	传播延迟，高电平	C_{LOAD} = 100pF	40	55	70	ns
t_{PHL}	传播延迟，低电平	C_{LOAD} = 100pF	40	55	70	ns
t_{UVLO1_rec}	V_{CC1} 的 UVLO 恢复延迟	请参阅图 7-7。		30		µs
t_{UVLO2_rec}	V_{CC2} 的 UVLO 恢复延迟	请参阅图 7-7。		50		µs
t_{PWD}	脉宽失真 $\lvert t_{PHL} - t_{PLH} \rvert$	C_{LOAD} = 100pF		1	20	ns
$t_{sk(pp)}$	器件间偏移(1)	C_{LOAD} = 100pF		1	25	ns
t_{PWmin1}	OUT < 10% × V_{CC2} 时 OUT 无响应	C_{LOAD} = 100pF	8			ns
t_{PWmin2}	OUT ≥ 90% × V_{CC2} 时 OUT 无响应	C_{LOAD} = 100pF			38	ns
CMTI	共模瞬态抗扰度	PWM 被接至 GND 或 V_{CC1}，V_{CM} = 1200V	100	120		kV/µs

(1) $t_{sk(pp)}$ 是在特性保证的相同电源电压、温度、输入信号和负载下工作时，在相同方向上切换的不同器件输出之间的传播延迟时间差幅度。

5.13 绝缘特性曲线

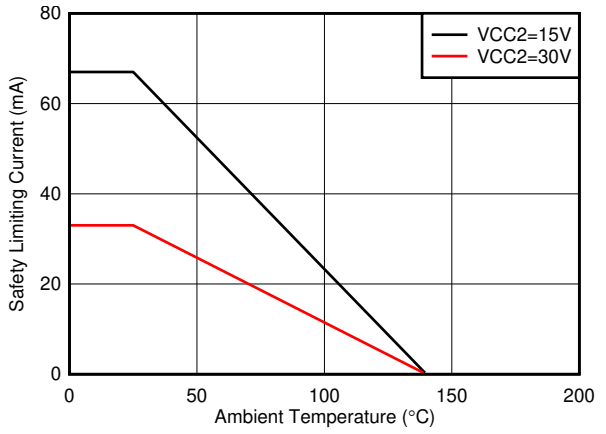


图 5-1. DWV 封装根据 VDE 标准限制电流的热降额曲线

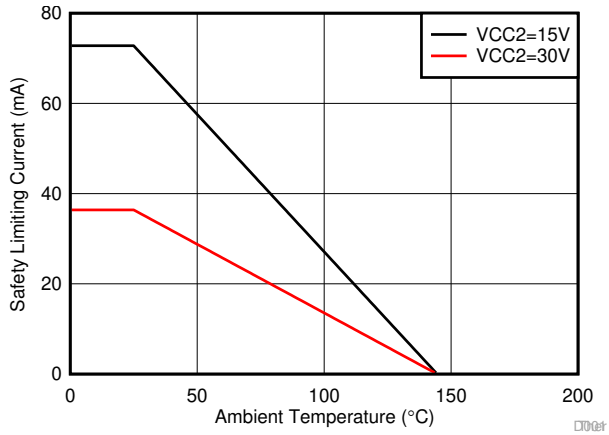


图 5-2. D 封装根据 VDE 标准限制电流的热降额曲线

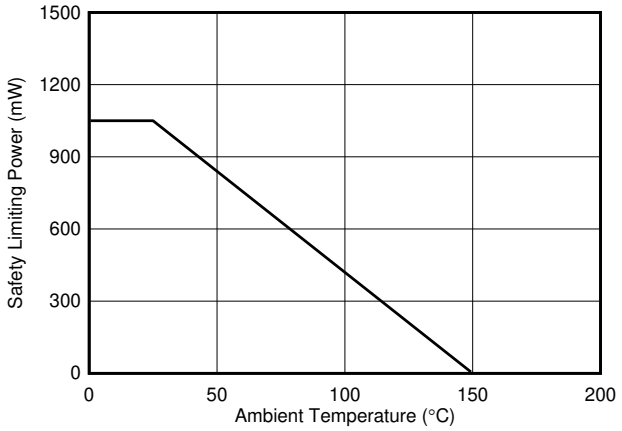


图 5-3. DWV 封装根据 VDE 标准限制功率的热降额曲线

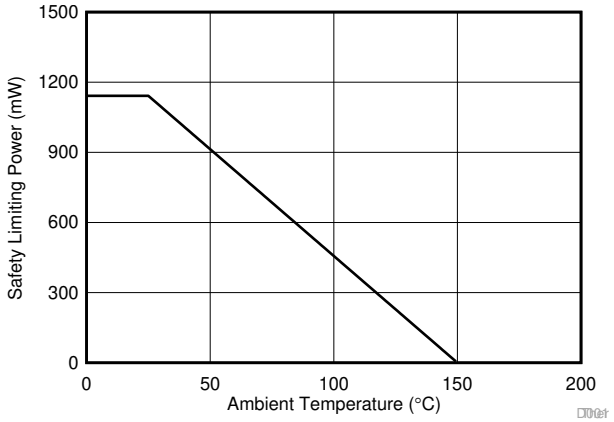


图 5-4. D 封装根据 VDE 标准限制功率的热降额曲线

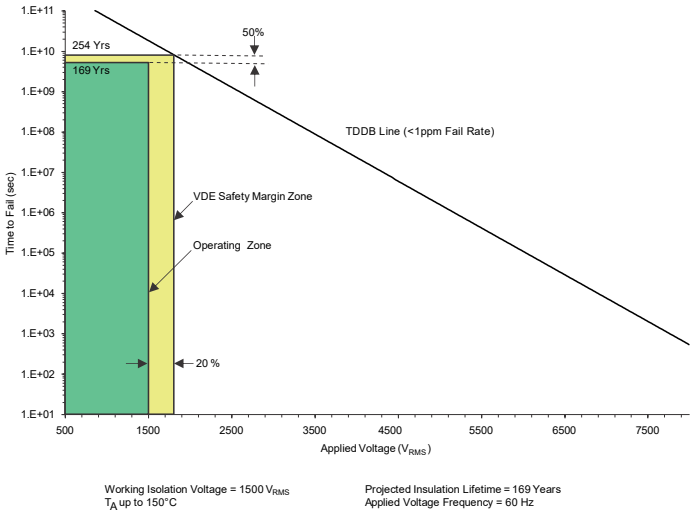
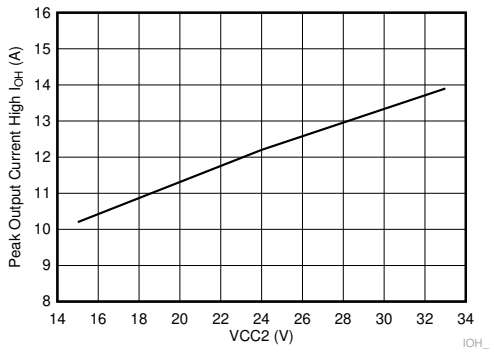


图 5-5. 绝缘寿命预测数据

Copyright © 2026 Texas Instruments Incorporated

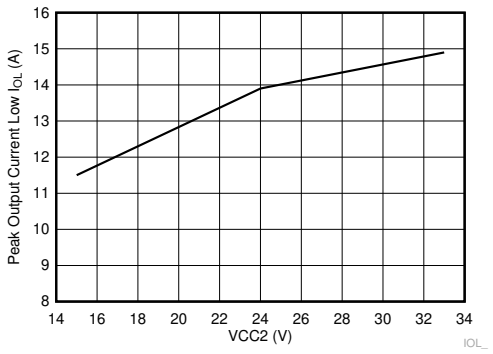
5.14 典型特性

V_{CC1} = 3.3V 或 5V、从 V_{CC1} 至 GND1 的 0.1µF 电容器、V_{CC2} = 15V、从 V_{CC2} 至 V_{EE2} 的 1µF 电容器、C_{LOAD} = 1nF、T_J = –40°C 至 +125°C（除非另有说明）



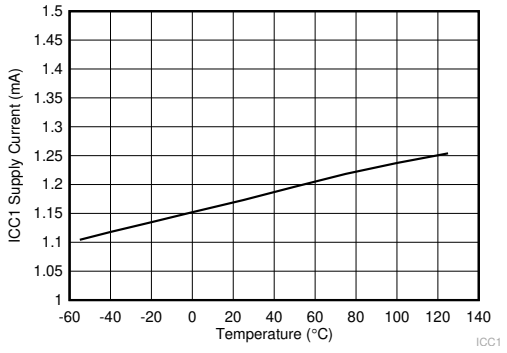
C_{LOAD} = 150nF

图 5-6. 输出高驱动电流与输出电压间的关系



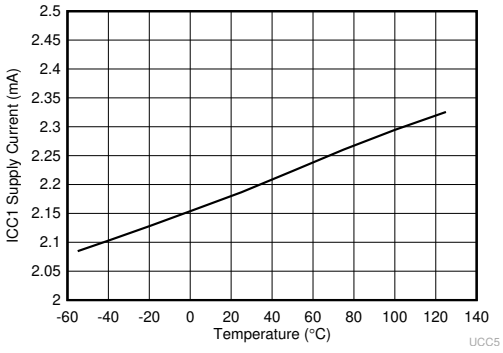
C_{LOAD} = 150nF

图 5-7. 输出低驱动电流与输出电压间的关系



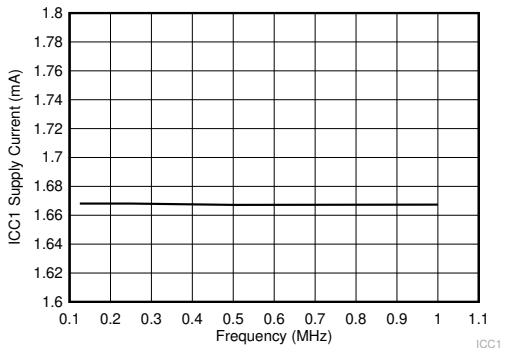
IN+ = L　　IN – = H

图 5-8. I_{CC1} 电源电流与温度间的关系



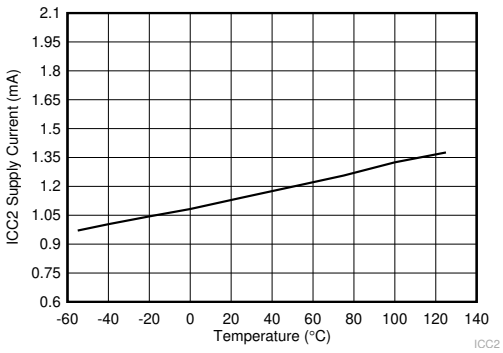
IN+ = H　　IN – = L

图 5-9. I_{CC1} 电源电流与温度间的关系



占空比 = 50%　　T = 25°C

图 5-10. I_{CC1} 电源电流与输入频率间的关系



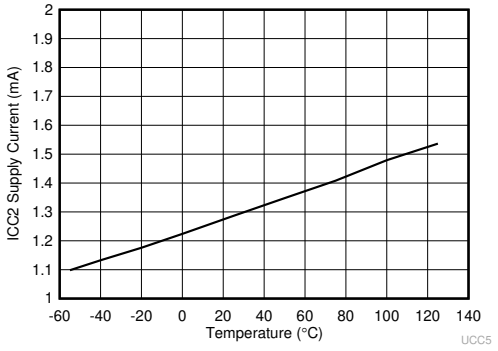
IN+ = L　　IN – = H

图 5-11. I_{CC2} 电源电流与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

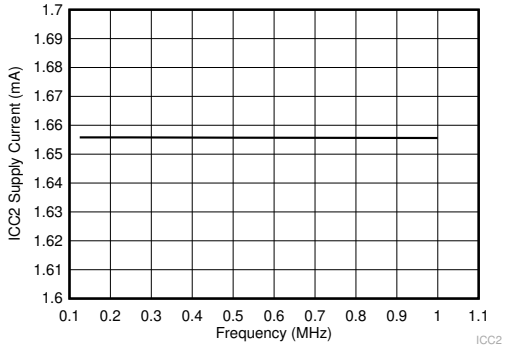
5.14 典型特性 (续)

V_{CC1} = 3.3V 或 5V、从 V_{CC1} 至 GND1 的 0.1µF 电容器、V_{CC2} = 15V、从 V_{CC2} 至 V_{EE2} 的 1µF 电容器、C_{LOAD} = 1nF、T_J = – 40°C 至 +125°C (除非另有说明)



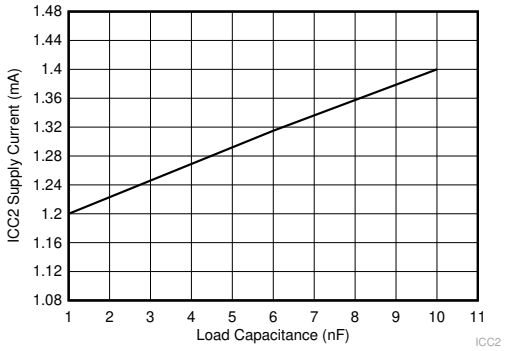
IN+ = H IN – = L

图 5-12. I_{CC2} 电源电流与温度间的关系



占空比 = 50% T = 25°C

图 5-13. I_{CC2} 电源电流与输入频率间的关系



f_{SW} = 1kHz

图 5-14. I_{CC2} 电源电流与负载电容间的关系

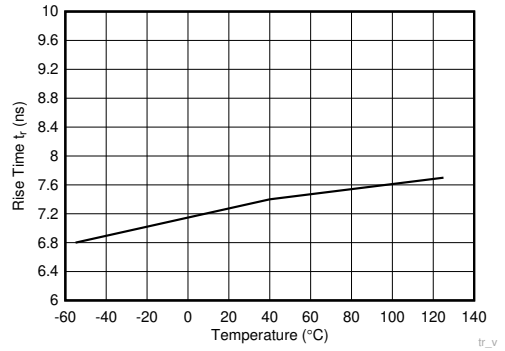


图 5-15. 上升时间与温度间的关系

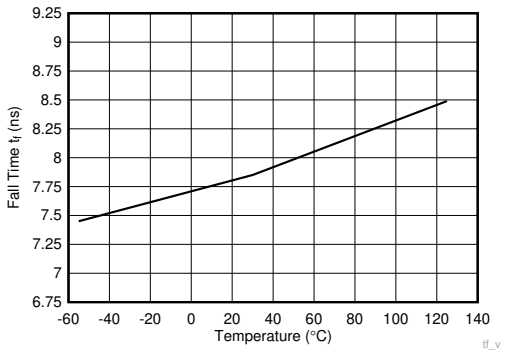


图 5-16. 下降时间与温度间的关系

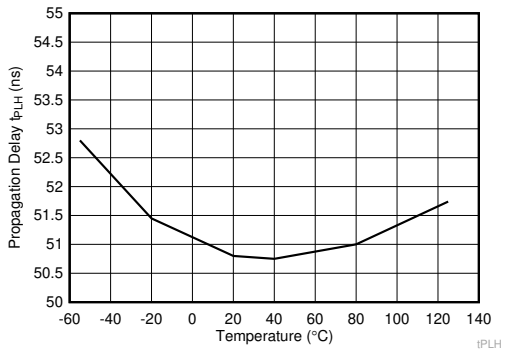


图 5-17. 传播延迟时间 t_{PLH} 与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

5.14 典型特性 (续)

V_{CC1} = 3.3V 或 5V、从 V_{CC1} 至 GND1 的 0.1µF 电容器、V_{CC2} = 15V、从 V_{CC2} 至 V_{EE2} 的 1µF 电容器、C_{LOAD} = 1nF、T_J = –40°C 至 +125°C (除非另有说明)

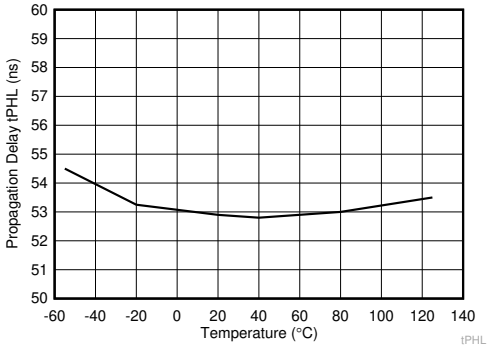
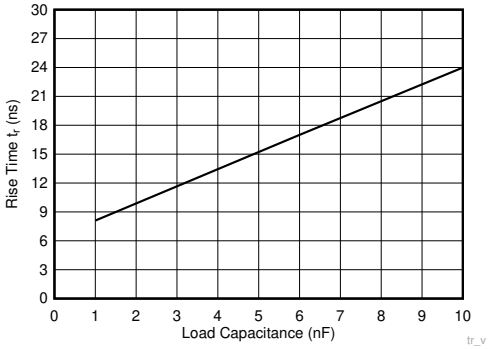
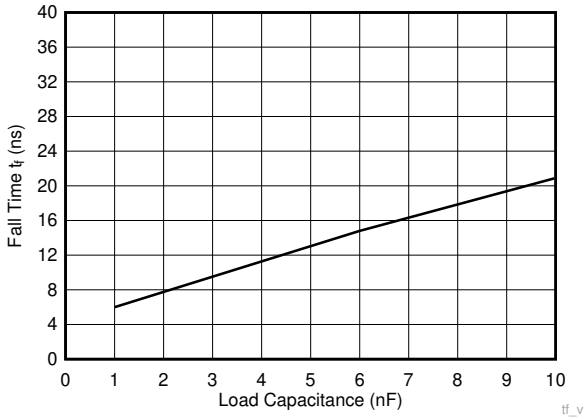


图 5-18. 传播延迟时间 t_{PHL} 与温度间的关系



f_{SW} = 1kHz R_{GH} = 0 Ω R_{GL} = 0 Ω

图 5-19. 上升时间与负载电容间的关系



f_{SW} = 1kHz R_{GH} = 0 Ω R_{GL} = 0 Ω

图 5-20. 下降时间与负载电容间的关系

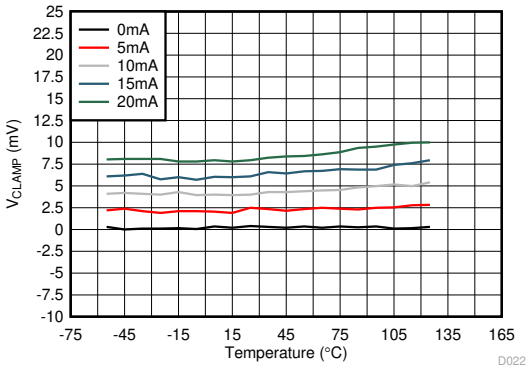


图 5-21. V_{CLAMP} 与温度间的关系

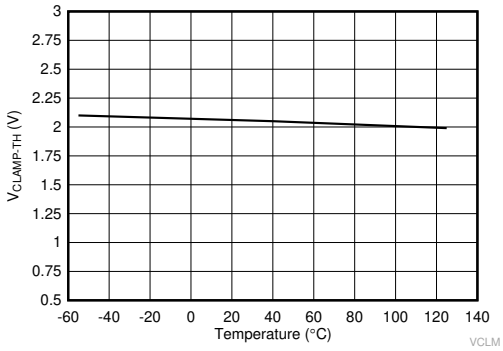


图 5-22. $V_{CLAMP-TH}$ 与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

6 参数测量信息

6.1 传播延迟、反相和同相配置

图 6-1 显示了同相配置的传播延迟。图 6-2 显示了反相配置中的传播延迟。这些数字还展示了用于测量上升 (t_r) 和下降 (t_f) 时间的方法。

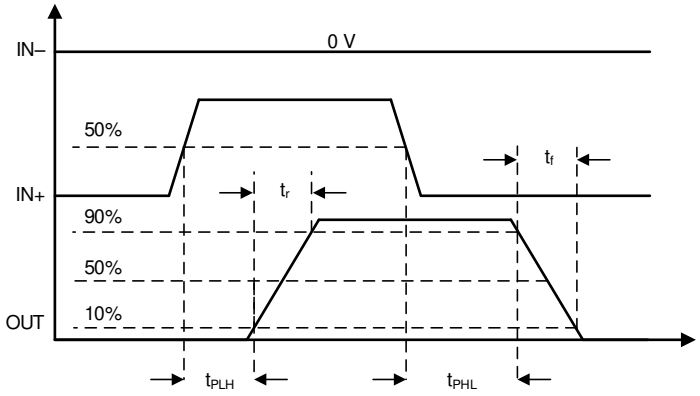


图 6-1. 传播延迟，同相配置

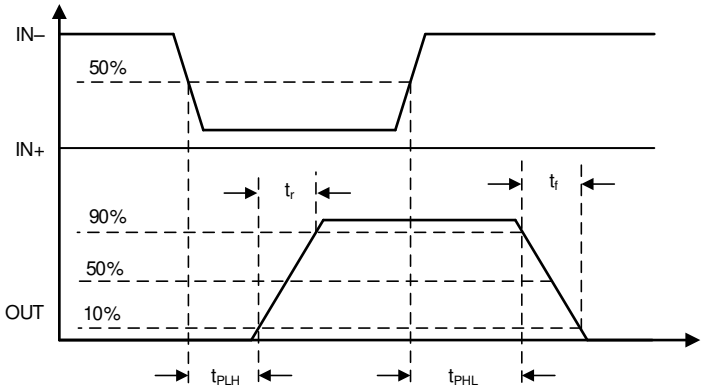
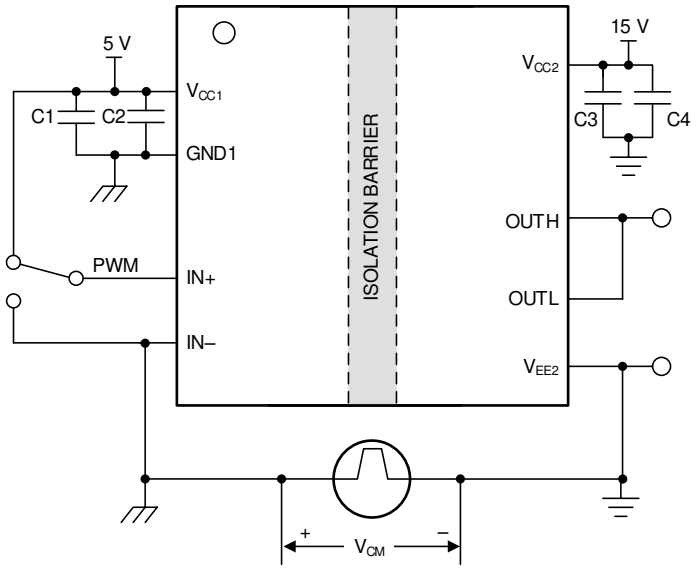


图 6-2. 传播延迟，反相配置

Copyright © 2026 Texas Instruments Incorporated

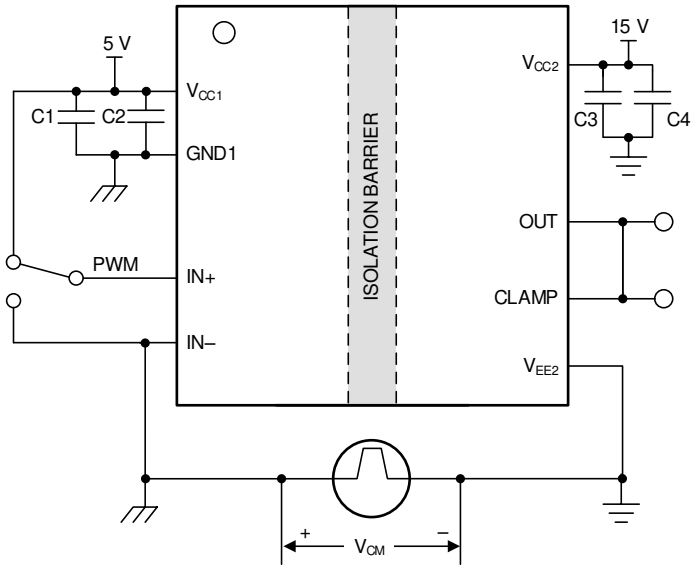
6.1.1 CMTI 测试

图 6-3 和图 6-4 是 CMTI 测试配置的简单示意图。



Copyright © 2017, Texas Instruments Incorporated

图 6-3. 分离输出的 CMTI 测试电路 (UCC5350SB)



Copyright © 2017, Texas Instruments Incorporated

图 6-4. 米勒钳位的 CMTI 测试电路 (UCC5350MC)

7 详细说明

7.1 概述

UCC5350-Q1 系列隔离式栅极驱动器具有两种变体：分离输出和米勒钳位。UCC5350-Q1 内部的隔离通过基于 SiO_2 的高电压电容器实现。穿过隔离的信号配置了开关键控 (OOK) 调制方案，可通过基于二氧化硅的隔离栅传输数字数据（请参阅图 7-2）。发送器通过隔离栅发送高频载波来表示一种数字状态，而不发送信号则表示另一种数字状态。接收器在高级信号调节后对信号进行解调并通过缓冲器级产生输出。UCC5350-Q1 还采用了先进的电路技术，可充分提高 CMTI 性能，并有效减少高频载波和 IO 缓冲器开关产生的辐射。图 7-1 为数字电容隔离器的概念方框图，展示了典型通道的功能方框图。图 7-2 展示了 OOK 方案工作原理的概念细节。

图 7-1 显示了输入信号如何通过调制 (OOK) 和信号调节经由电容隔离栅。

7.2 功能方框图

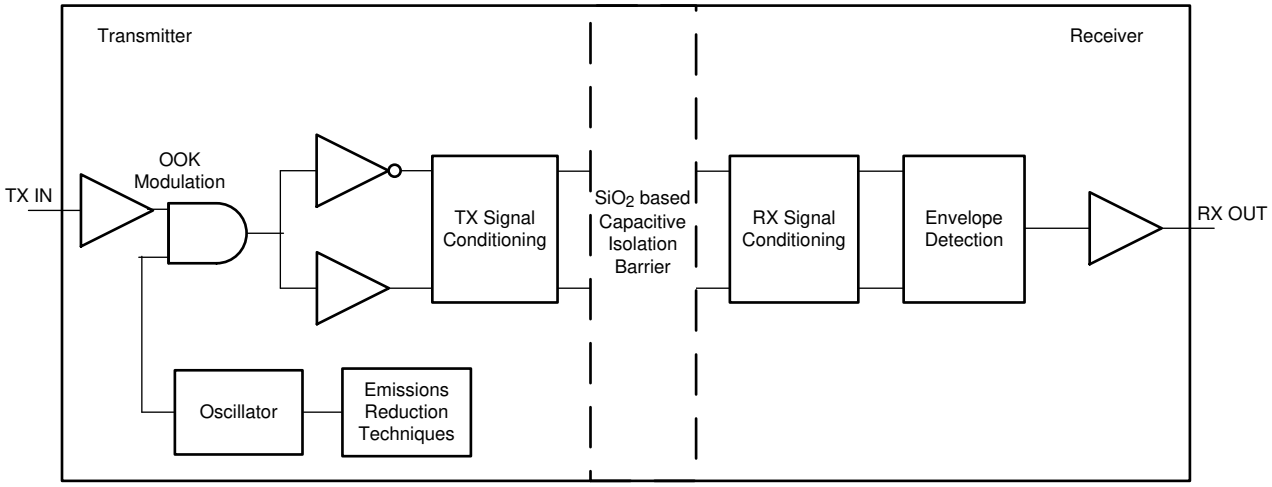


图 7-1. 电容数据通道的概念方框图

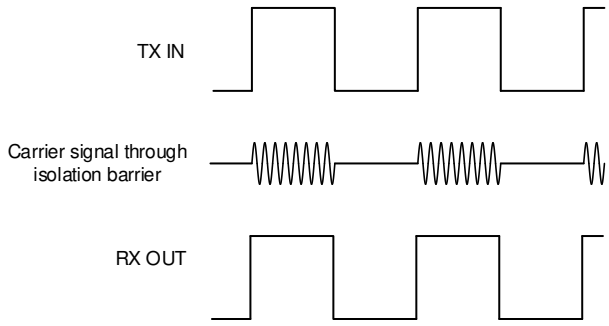


图 7-2. 基于开关键控 (OOK) 的调制方案

Copyright © 2026 Texas Instruments Incorporated

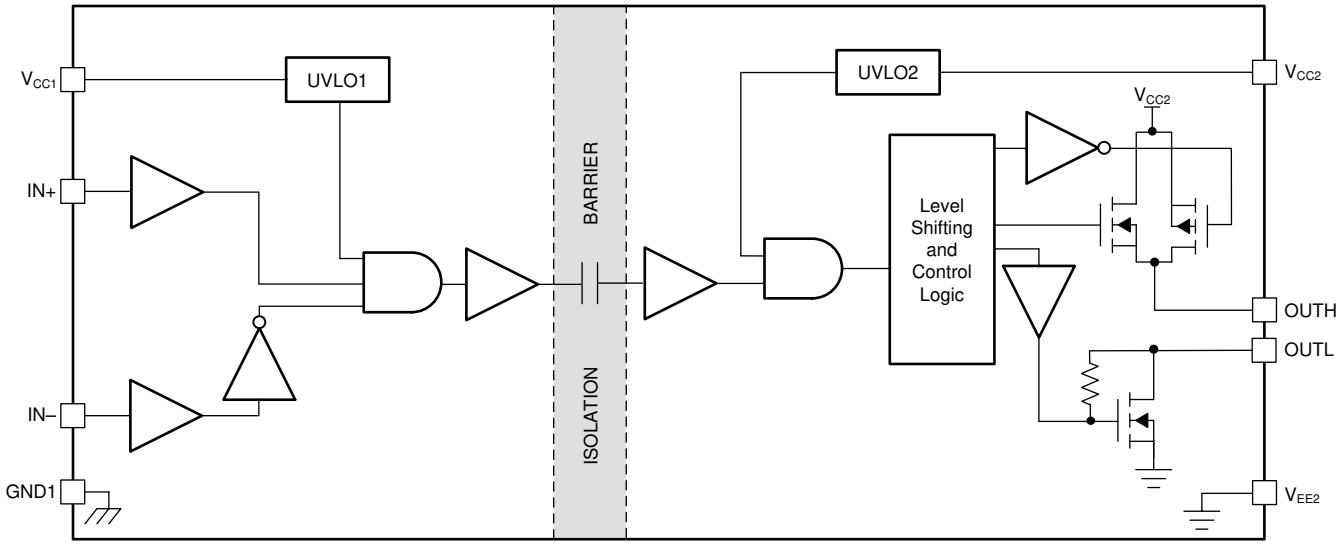


图 7-3. 功能方框图 — 分离输出

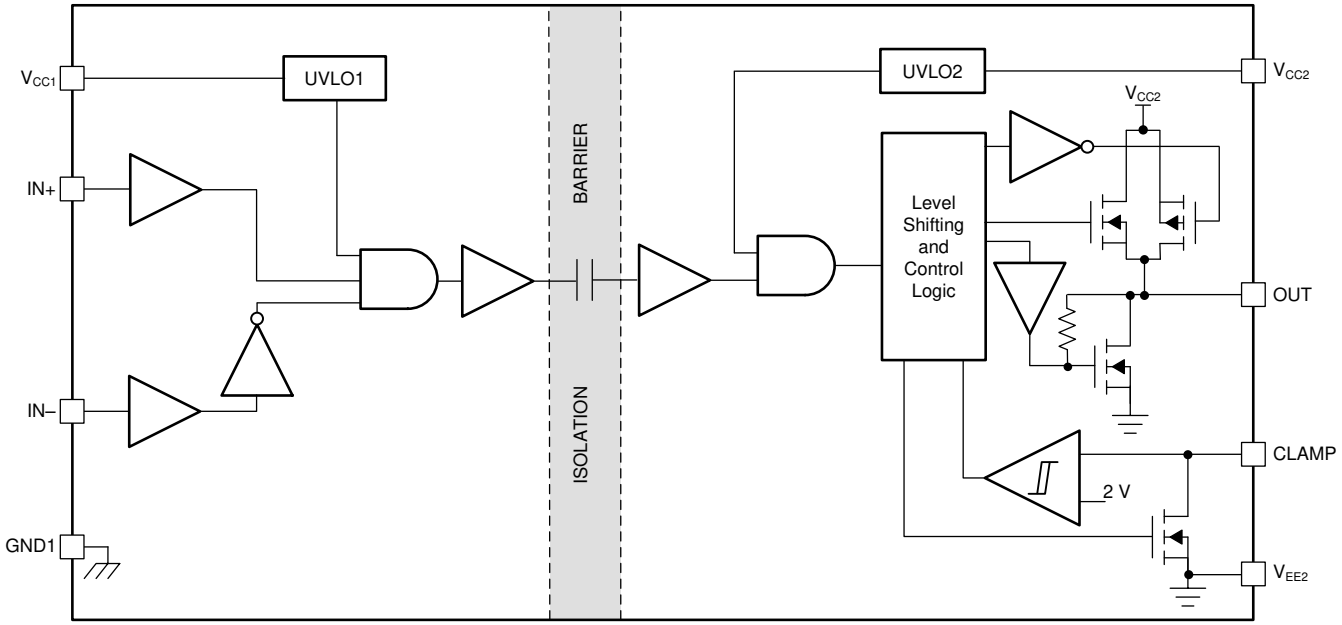


图 7-4. 功能方框图 — 米勒钳位

7.3 特性说明

7.3.1 电源

V_{CC1} 输入电源支持 3V 至 15V 的宽电压范围，V_{CC2} 输出电源支持 13.2V 至 33V (UCC5350MC) 或 9.5V 至 33V (UCC5350SB) 的电压范围。

在采用单极电源运行时，V_{CC2} 电源连接至 15V 电压，相对于 IGBT 的 VEE2，在 SiC MOSFET 中，连接至 20V。V_{EE2} 电源连接到 0V。在此用例中，米勒钳位有助于防止在没有负电压轨的情况下电源开关误导通。米勒钳位功能是通过在功率器件的栅极和 V_{EE2} 电源之间添加一条低阻抗路径来实现的。米勒电流通过 CLAMP 引脚灌入，将栅极电压钳位到低于栅极导通阈值。

Copyright © 2026 Texas Instruments Incorporated

7.3.2 输入级

UCC5350-Q1 的输入引脚（IN+ 和 IN–）基于 CMOS 兼容的输入阈值逻辑，该逻辑与 V_{CC2} 电源电压完全隔离。UCC5350-Q1 具有 0.55 × V_{CC1} 的典型高电平阈值 ($V_{IT+(IN)}$) 和 0.45 × V_{CC1} 的典型低电平阈值，因此可以使用逻辑电平控制信号（例如来自 3.3V 微控制器的信号）轻松驱动输入引脚。由于具有 0.1 × V_{CC1} 的宽迟滞 ($V_{hys(IN)}$)，器件具有出色的抗噪性能并且运行稳定。如果任一输入保持开路，内部下拉电阻的 128kΩ 会强制 IN+ 引脚处于低电平，内部电阻的 128kΩ 会将 IN– 拉至高电平。但是，如果不用于提高抗噪性能，TI 仍建议将输入接地或连接到 VCC1。

由于 UCC5350-Q1 的输入侧与输出驱动器隔离，因此输入信号振幅可以大于或小于 V_{CC2}，前提是不超过建议的限值。借助此功能，将栅极驱动器与控制信号源集成时，灵活性更高，并允许用户为任何栅极选择最有效的 V_{CC2}。然而，施加于 IN+ 或 IN– 的任何信号振幅绝不能超过 V_{CC1} 的电压。

7.3.3 输出级

UCC5350-Q1 的输出级采用上拉结构，在电源开关导通转换的米勒平台区域期间，能够在最需要时提供最高峰值拉电流（此时电源开关漏极或集电极电压经历 dV/dt）。在输出级上拉结构中，一个 P 沟道 MOSFET 与一个额外的上拉 N 沟道 MOSFET 并联。N 沟道 MOSFET 的功能是短暂增加峰值拉电流，从而实现快速导通。这是将输出状态从低电平变为高电平时，在短时间内短暂导通 N 沟道 MOSFET 来实现的。表 7-1 列出了上拉和下拉结构的典型内部电阻值。

表 7-1. UCC5350-Q1 导通电阻

器件选项	R_{NMOS}	R_{OH}	R_{OL}	R_{CLAMP}	单位
UCC5350MC-Q1	1.54	12	0.26	0.26	Ω
UCC5350SB-Q1	1.54	12	0.26	不适用	Ω

R_{OH} 参数是直流测量值，仅代表 P 沟道器件的导通电阻。这是因为上拉 N 沟道器件在直流条件下保持在关断状态，并且仅在输出状态从低电平变为高电平时短暂导通，因而，此参数只能用于 P 沟道器件中。因此，在该短暂导通阶段，UCC5350-Q1 上拉级的有效电阻远低于 R_{OH} 参数所表示的有效电阻，这会让导通更快。导通阶段输出电阻是并联组合 R_{OH} || R_{NMOS}。

UCC5350-Q1 中的下拉结构由一个 N 沟道 MOSFET 组成。UCC5350-Q1 的输出能够提供或灌入 5A 峰值电流脉冲。由于可提供极低压降的 MOS 输出级，因此 V_{CC2} 和 V_{EE2} 之间的输出电压摆动能够实现轨到轨运行。

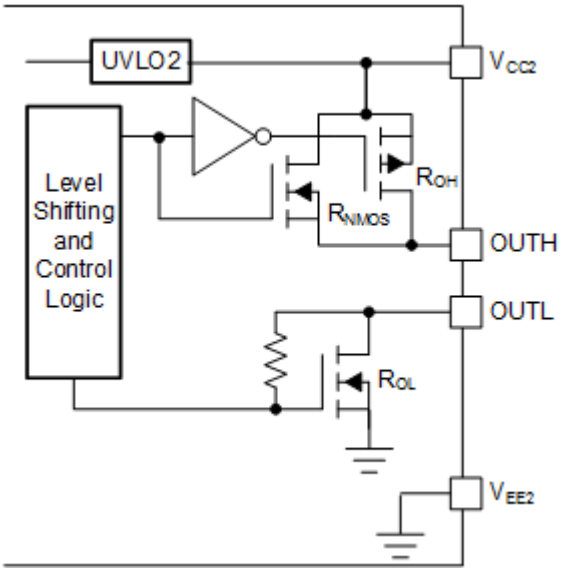


图 7-5. 输出级 — S 版本

Copyright © 2026 Texas Instruments Incorporated

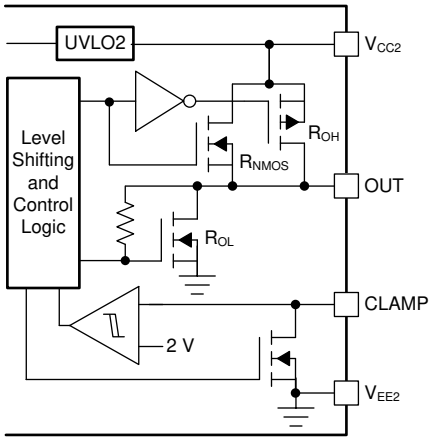


图 7-6. 输出级 — M 版本

7.3.4 保护特性

7.3.4.1 欠压锁定 (UVLO)

V_{CC1} 和 GND1 及 V_{CC2} 和 V_{EE2} 引脚之间的电源 V_{CC1} 和 V_{CC2} 均实现了 UVLO 功能，以防止 IGBT 和 MOSFET 上出现欠驱动情况。如果 V_{CC} 在器件启动时低于 $V_{IT+(UVLO)}$ 或在启动后低于 $V_{IT-(UVLO)}$，则无论输入引脚（IN+ 和 IN–）如何，电压源 UVLO 功能都会将受影响的输出保持为低电平，如 所示。表 7-2V_{CC} UVLO 保护还具有迟滞功能 ($V_{hys(UVLO)}$)。当电源产生接地噪声时，该迟滞可防止抖动；为此，器件能够允许偏置电压小幅下降（这种情况在器件开始开关和工作电流消耗突然增加时会发生）。图 7-7 显示了 UVLO 功能。

表 7-2. UCC5350-Q1 V_{CC1} UVLO 逻辑

条件	输入		输出
	IN+	IN –	OUT
器件启动期间，V_{CC1} – GND1 < $V_{IT+(UVLO1)}$	H	L	L
	L	H	L
	H	H	L
	L	L	L
器件启动之后，V_{CC1} – GND1 < $V_{IT-(UVLO1)}$	H	L	L
	L	H	L
	H	H	L
	L	L	L

表 7-3. UCC5350-Q1 V_{CC2} UVLO 逻辑

条件	输入		输出
	IN+	IN –	OUT
器件启动期间，V_{CC2} – V_{EE2} < $V_{IT+(UVLO2)}$	H	L	L
	L	H	L
	H	H	L
	L	L	L
器件启动之后，V_{CC2} – V_{EE2} < $V_{IT-(UVLO2)}$	H	L	L
	L	H	L
	H	H	L
	L	L	L

Copyright © 2026 Texas Instruments Incorporated

当 V_{CC1} 或 V_{CC2} 降至 UVLO1 或 UVLO2 阈值以下时，如果电源电压再次上升至高于 $V_{IT+(UVLO)}$ 或 $V_{IT+(UVLO2)}$，则会在输出端产生延迟 t_{UVLO1_rec} 或 t_{UVLO2_rec}。图 7-7 显示了该延迟。

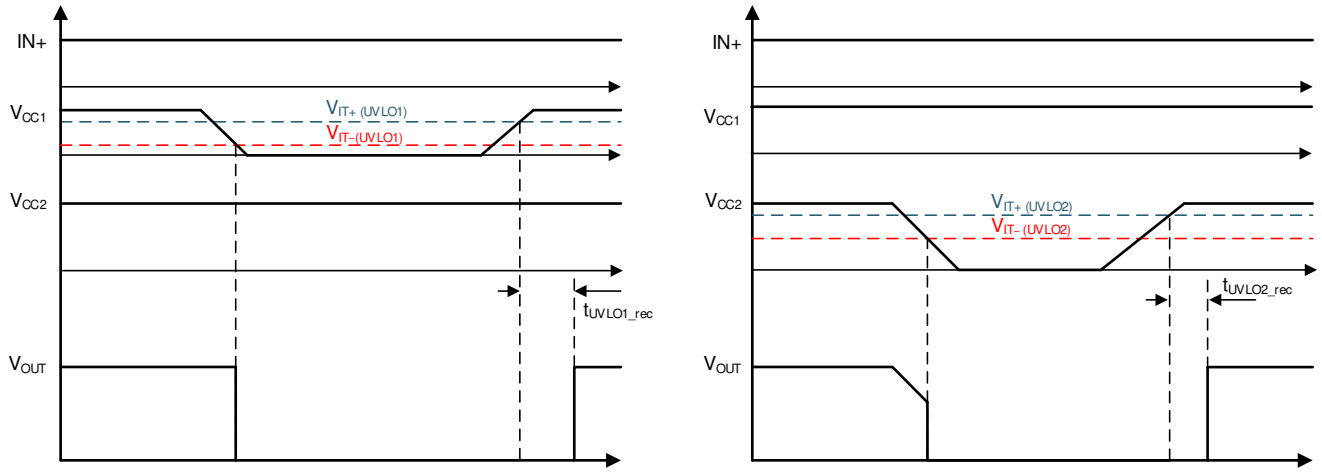


图 7-7. UVLO 功能

7.3.4.2 有源下拉

当没有电源连接到 V_{CC2} 电源时，有源下拉功能会将 IGBT 或 MOSFET 栅极拉至低电平状态。此功能通过将输出钳位到约 2V 来防止 OUT 和 CLAMP 引脚上的 IGBT 和 MOSFET 误导通。

当驱动器的输出级处于未偏置或 UVLO 状态时，驱动器输出通过限制驱动器输出上电压上升的有源钳位电路保持低电平。在这种情况下，上部 PMOS 被上拉电阻器阻断，而下部 NMOS 栅极通过 500kΩ 电阻器连接到驱动器输出端。在该配置下，输出被有效地钳位至下部 NMOS 器件的阈值电压，当没有偏置电源时，该阈值电压通常约为 1.5V。

7.3.4.3 短路钳位

短路钳位功能用于钳制驱动器输出端的电压并在短路情况下将有源米勒钳位引脚拉至稍高于 V_{CC2} 电压。短路钳位功能有助于保护 IGBT 或 MOSFET 栅极免受过压击穿或降级。可通过在专用引脚和驱动器内部的 V_{CC2} 引脚之间添加二极管连接来实现短路钳位功能。内部二极管可以在 10µs 持续时间内传导高达 500mA 的电流以及 20mA 的连续电流。可根据需要使用外部肖特基二极管来提高电流传导能力。

7.3.4.4 有源米勒钳位

有源米勒钳位功能 用于防止 在使用单极电源的应用中由米勒电流引起的电源开关错误接通。可通过在电源开关栅极端子和接地之间添加低阻抗路径 (V_{EE2}) 来实现有源米勒钳位功能，以灌入米勒电流。利用米勒钳位功能，在关断状态期间，电源开关栅极电压被钳位至低于 2V。图 8-2 显示了此功能的典型应用电路。

7.4 器件功能模式

表 7-5 列出了 UCC5350-Q1 的功能模式，假设 V_{CC1} 和 V_{CC2} 均处于建议范围内。

表 7-4. UCC5350SB-Q1 的功能表

IN+	IN –	OUTH	OUTL
低	X	Hi-Z	低
X	高	Hi-Z	低
高	低	高	高阻态

表 7-5. UCC5350MC-Q1 的功能表

IN+	IN –	OUT
低	X	低

Copyright © 2026 Texas Instruments Incorporated

表 7-5. UCC5350MC-Q1 的功能表（续）

IN+	IN –	OUT
X	高	低
高	低	高

7.4.1 ESD 结构

图 7-9 展示了 UCC5350-Q1 器件的 ESD 保护元件中涉及的多个二极管。这提供了器件的绝对最大额定值的图形表示。

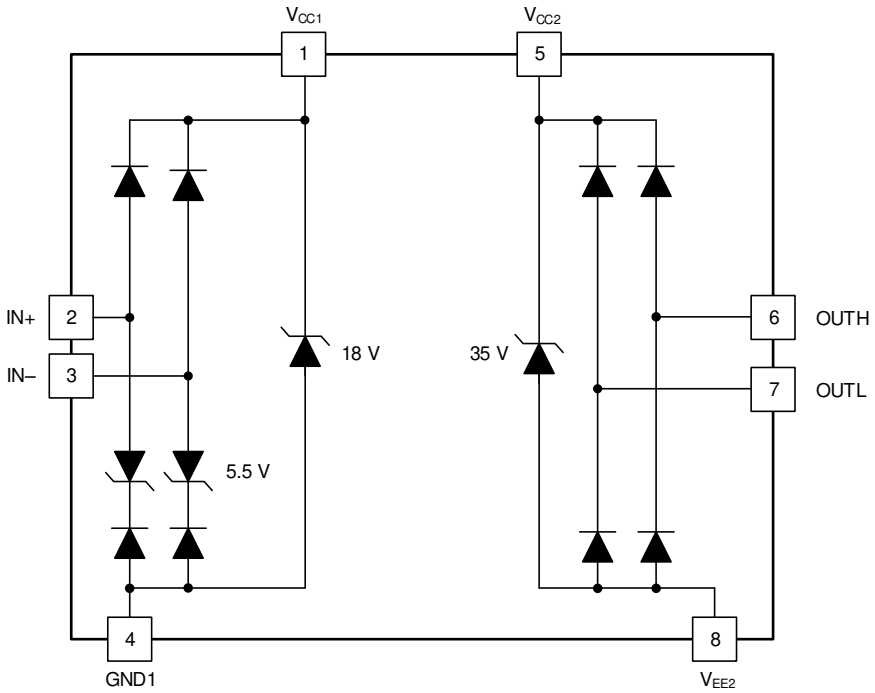


图 7-8. ESD 结构 — S 版本

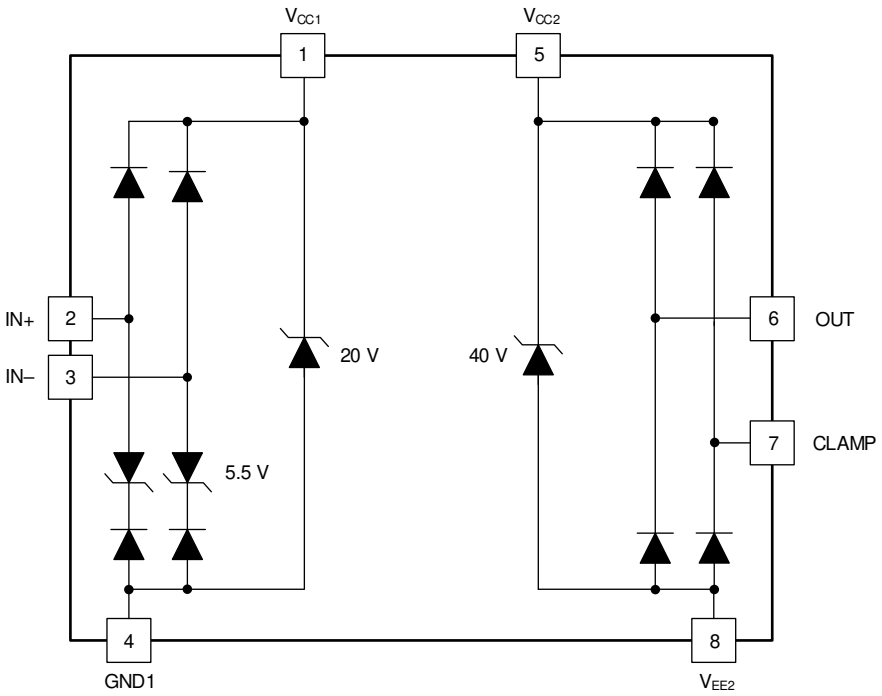


图 7-9. ESD 结构 — M 版本

Copyright © 2026 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

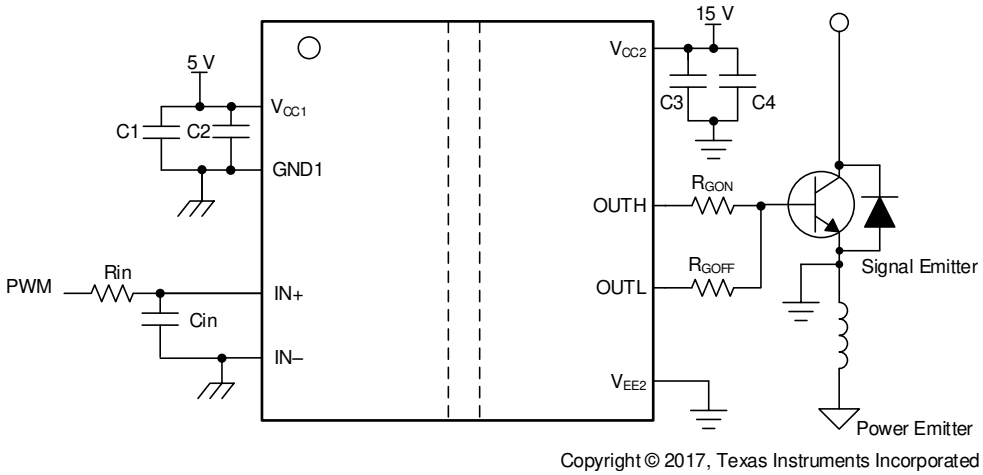
UCC5350-Q1 是一款简单的隔离式栅极驱动器，适用于功率半导体器件，例如 MOSFET、IGBT 或 SiC MOSFET。这一系列的器件适用于电机控制、太阳能逆变器、开关模式电源、工业逆变器等应用。

UCC5350-Q1 具有两种引脚排列配置，分别具有分离输出和米勒钳位功能。分离输出包括 OUTH 和 OUTL，用于单独解耦功率晶体管的导通和关断换向。

M 版本具有有源米勒钳位功能，可用于防止由米勒电流引起的功率晶体管误导通。该器件提供 8 引脚 D 封装和 8 引脚 DWV 封装，爬电距离或间隙为 4mm 和 8.5mm，适用于需要基础型隔离或增强型隔离的应用。UCC5350-Q1 提供 5A 的最小驱动电流。

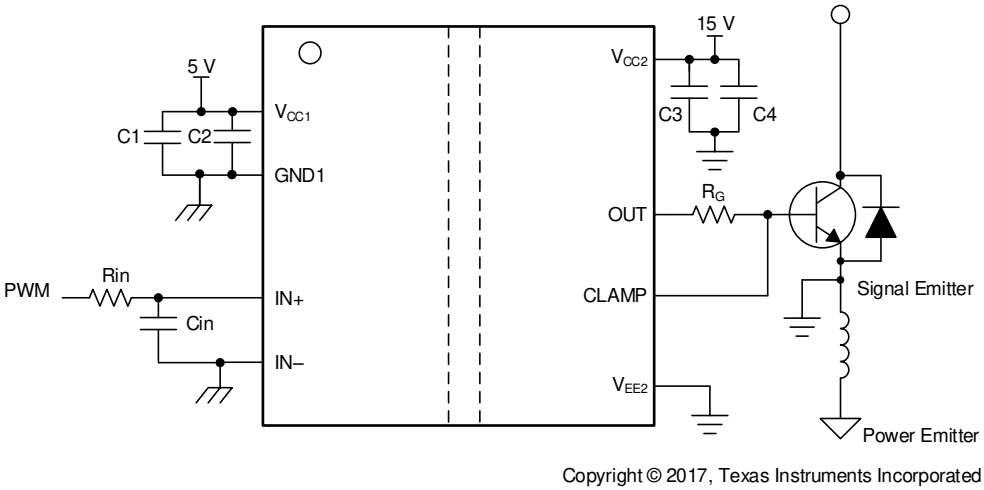
8.2 典型应用

图 8-1 和图 8-2 中的电路所示的是驱动 IGBT 的典型应用。



Copyright © 2017, Texas Instruments Incorporated

图 8-1. UCC5350SB-Q1 用于驱动 IGBT 的典型应用电路



Copyright © 2017, Texas Instruments Incorporated

图 8-2. UCC5350MC-Q1 用于驱动 IGBT 的典型应用电路

8.2.1 设计要求

表 8-1. UCC5350-Q1 设计要求

参数	值	单位
V_{CC1}	3.3	V
V_{CC2} – V_{EE2}	18	V
IN+	3.3	V
IN –	GND1	-
开关频率	150	kHz
功率器件的栅极电荷	126	nC

8.2.2 详细设计过程

8.2.2.1 设计 IN+/IN – 输入滤波器

TI 建议用户避免对输入栅极驱动器的信号进行整形以尝试减慢（或延迟）输出端的信号。然而，可以使用小型的输入 R_{IN}-C_{IN} 滤波器来滤除非理想布局或长 PCB 迹线引入的振铃。

此类滤波器使用取值范围应为 0Ω 至 100Ω 的 R_{IN} 电阻器及取值范围应为 10pF 和 1000pF 的 C_{IN} 电容器。在示例中，R_{IN} 取值 51Ω 且 C_{IN} 取值 33pF，转角频率约为 100MHz。

在选择这些元件时，一定要注意在出色的抗噪性能与传播延迟之间进行权衡。

8.2.2.2 栅极驱动器输出电阻器

外部栅极驱动器电阻器 $R_{G(ON)}$ 和 $R_{G(OFF)}$ 用于：

1. 限制寄生电感和电容引起的振铃。
2. 限制高电压/电流开关 dv/dt，di/dt 和体二极管反向恢复引起的振铃
3. 微调栅极驱动强度，即峰值灌电流和拉电流，以优化开关损耗
4. 降低电磁干扰 (EMI)

在输出级上拉结构，一个 P 沟道 MOSFET 与 N 沟道 MOSFET 并联。组合典型峰值拉电流为 10A (UCC5350-Q1)。使用方程式 1 来估算峰值拉电流。

$$I_{OH} = \frac{V_{CC2} - V_{EE2}}{R_{NMOS} \,||\, R_{OH} + R_{GON} + R_{GFET_Int}} \quad (1)$$

Copyright © 2026 Texas Instruments Incorporated

其中

- R_{on} 是外部导通电阻，在本示例中为 2.2Ω。
- R_{GFET_Int} 是功率晶体管内部栅极电阻（见于功率晶体管数据表）。我们将以 1.8Ω 为例。
- I_{OH} 是典型峰值拉电流，它是 10A、栅极驱动器峰值拉电流和根据栅极驱动回路电阻计算所得值中的最小值。

在本示例中，峰值拉电流约为 3.36A，具体计算如方程式 2 所示。

$$I_{OH} = \frac{V_{CC2} - V_{EE2}}{R_{NMOS} \| R_{OH} + R_{GON} + R_{GFET_Int}} = \frac{18\,V}{1.54\Omega \| 12\Omega + 2.2\Omega + 1.8\Omega} \approx 3.36A \quad (2)$$

类似地，可以使用方程式 3 来计算峰值灌电流。

$$I_{OL} = \frac{V_{CC2} - V_{EE2}}{R_{OL} + R_{GOFF} + R_{GFET_Int}} \quad (3)$$

其中

- R_{off} 是外部关断电阻，在本示例中为 2.2Ω。
- I_{OL} 是典型峰值灌电流，它是 10A、栅极驱动器峰值灌电流和根据栅极驱动回路电阻计算所得值中的最小值。

在本示例中，峰值灌电流是方程式 4 计算值和 10A 中的最小值。

$$I_{OL} = \frac{V_{CC2} - V_{EE2}}{R_{OL} + R_{GOFF} + R_{GFET_Int}} = \frac{18\,V}{0.26\Omega + 2.2\Omega + 1.8\Omega} \approx 4.23A \quad (4)$$

备注

估算的峰值电流也受到 PCB 布局和负载电容的影响。栅极驱动器环路中的寄生电感可以减慢峰值栅极驱动电流并导致过冲和下冲。因此，TI 强烈建议尽可能地缩小栅极驱动器环路。相反，当功率晶体管的负载电容 (C_{ISS}) 非常小（通常小于 1nF）时，峰值拉电流和灌电流取决于环路寄生效应，因为上升和下降时间太短，接近于寄生振铃周期。

8.2.2.3 估算栅极驱动器功率损耗

栅极驱动器子系统中的总损耗 P_G 包括 UCC5350-Q1 器件的功率损耗 (P_{GD}) 和外围电路（如外部栅极驱动电阻器）中的功率损耗。

P_{GD} 值是关键功率损耗，它决定了 UCC5350-Q1 器件的热安全相关限值，可以通过计算几个分量产生的损耗来对其进行估算。

第一个分量是静态功率损耗 P_{GDQ}，其中包含驱动器在一定开关频率下工作时的静态功率损耗以及驱动器的自身功耗。在给定 V_{CC1}、V_{CC2}、开关频率和环境温度下没有负载连接到 OUT 引脚时在工作台上测量 P_{GDQ} 参数。在本例中，V_{CC1} 为 3.3V，且 V_{CC2} 为 18V。当 PWM 在 150kHz 下从 0V 切换到 3.3V 时，每个电源上的电流测量为 I_{CC1} = 1.67mA 且 I_{CC2} = 1.11mA。因此，可以使用方程式 5 来计算 P_{GDQ}。

$$P_{GDQ} = V_{CC1} \times I_{VCC1} + (V_{CC2} - V_{EE2}) \times I_{CC2} \approx 23.31mW \quad (5)$$

第二个分量是开关操作损耗 P_{GDO}，此时具有给定的负载电容，驱动器在每个开关周期中对其进行充电和放电。使用方程式 6 来计算负载开关产生的总动态损耗 P_{GSW}。

$$P_{GSW} = (V_{CC2} - V_{EE2}) \times Q_G \times f_{SW} \quad (6)$$

其中

- Q_G 是 V_{CC2} 下功率晶体管的栅极电荷。

Copyright © 2026 Texas Instruments Incorporated

因此，在本应用示例中，负载开关产生的总动态损耗约为 340mW，具体计算如方程式 7 所示。

$$P_{GSW} = 18\ V \times 126\ nC \times 150\ kHz = 340\ mW \tag{7}$$

Q_G 表示功率晶体管的总栅极电荷，该电荷随测试条件的变化而变化。输出级上的 UCC5350-Q1 栅极驱动器损耗 P_{GDO} 是 P_{GSW} 的一部分。如果外部栅极驱动器电阻和功率晶体管内部电阻为 0Ω，则 P_{GDO} 等于 P_{GSW}，所有栅极驱动器损耗将在 UCC5350-Q1 内耗散。如果存在外部导通和关断电阻，则总损耗将分布在栅极驱动器上拉/下拉电阻、外部栅极电阻和功率晶体管内部电阻之间。重要的是，如果拉电流/灌电流未达到 10A 饱和值，则上拉/下拉电阻是线性的固定电阻，然而，如果拉电流/灌电流达到饱和，它将是非线性的。栅极驱动器损耗将在其不饱和的情况下进行估算，如方程式 8 所示。

$$P_{GDO} = \frac{P_{GSW}}{2}\left(\frac{R_{OH}||R_{NMOS}}{R_{OH}||R_{NMOS} + R_{GON} + R_{GFET_Int}} + \frac{R_{OL}}{R_{OL} + R_{GOFF} + R_{GFET_Int}}\right) \tag{8}$$

在此设计示例中，所有预测的拉电流和灌电流均小于 10A。因此，使用方程式 9 来估算 栅极驱动器损耗。

$$P_{GDO} = \frac{340\ mW}{2}\left(\frac{12\ \Omega\ ||\ 1.54\ \Omega}{12\ \Omega\ ||\ 1.54\ \Omega + 2.2\ \Omega + 1.8\ \Omega} + \frac{0.26\ \Omega}{0.26\ \Omega + 2.2\ \Omega + 1.8\ \Omega}\right) \approx 53.66\ mW \tag{9}$$

其中

- $V_{OUTH/L(t)}$ 是导通和关断期间的栅极驱动器 OUT 引脚电压。在输出饱和一段时间的情况下，该值可以简化为恒流源（在导通和关断时为 10A），对负载电容器进行充电或放电。因此，$V_{OUTH/L(t)}$ 波形将是线性的，可以轻松地预测 T_{R_Sys} 和 T_{F_Sys}。

可使用方程式 10 计算 UCC5350-Q1 栅极驱动器中耗散的总栅极驱动器损耗 P_{GD}。

$$P_{GD} = P_{GDQ} + P_{GDO} = 25.31mW + 53.66mW = 78.97mW \tag{10}$$

8.2.2.4 估算结温

使用以下公式估算 UCC5350-Q1 系列的结温 (T_J)。

$$T_J = T_C + \Psi_{JT} \times P_{GD} \tag{11}$$

其中

- T_C 是用热电偶或其他仪器测得的 UCC5350-Q1 外壳温度。
- Ψ_{JT} 是来自热性能信息表的结至顶特征参数。

使用结至顶特征参数 (Ψ_{JT}) 代替结至外壳热阻 ($R_{\theta JC}$) 可以极大地提高结温估算的准确性。大多数 IC 的大部分热能通过封装引线释放到 PCB 中，而只有一小部分的总能量通过外壳顶部（通常在此处进行热电偶测量）释放。只有在大部分热能通过外壳释放时（例如采用金属封装或对 IC 封装应用散热器时），才能有效地使用 $R_{\theta JC}$ 电阻。在所有其他情况下，使用 $R_{\theta JC}$ 将无法准确地估算真实的结温。Ψ_{JT} 参数是通过假设通过 IC 顶部的主导能量在测试环境和应用环境中相似而通过实验得出的。只要遵循建议的布局指南就可以将结温估算精确到几摄氏度内。

8.2.2.5 选择 V_{CC1} 和 V_{CC2} 电容器

用于 V_{CC1} 和 V_{CC2} 电源的旁路电容器对于实现可靠的性能至关重要。TI 建议选择具有足够额定电压，温度系数和电容容差的低 ESR 和低 ESL，表面贴装型多层陶瓷电容器 (MLCC)。

Copyright © 2026 Texas Instruments Incorporated

备注

某些 MLCC 上的直流偏置将会影响实际电容值。例如，当施加 15V_{DC} 的直流偏置时，测得 25V、1 µ F X7R 电容器仅为 500nF。

8.2.2.5.1 选择 V_{CC1} 电容器

连接到 V_{CC1} 引脚的旁路电容器支持初级逻辑所需的瞬态电流以及总电流消耗，后者仅为几毫安。因此，该应用建议使用 100nF 以上的 50V MLCC。如果偏置电源输出与 V_{CC1} 引脚的距离相对较长，则应使用值大于 1 µ F 且与 MLCC 并联的钽或电解电容器。

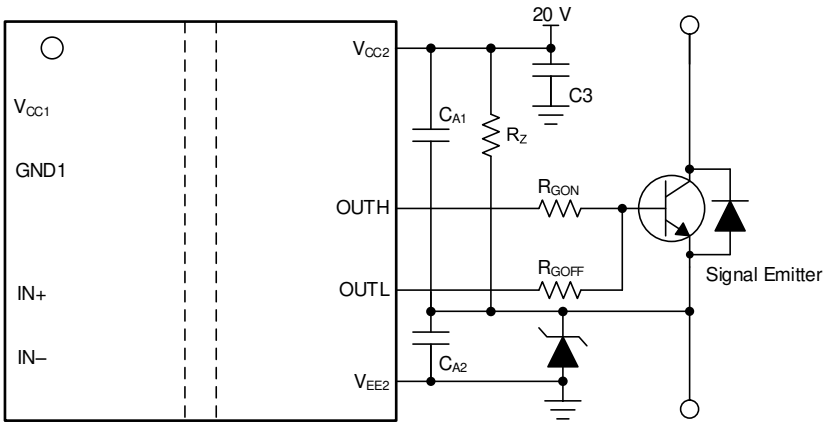
8.2.2.5.2 选择 V_{CC2} 电容器

针对 C_{VCC2} 电容器选择一个 50V、10 µ F MLCC 和一个 50V、0.22 µ F MLCC。如果偏置电源输出与 V_{CC2} 引脚的距离相对较长，则应使用值大于 10 µ F 且与 C_{VCC2} 并联的钽或电解电容器。

8.2.2.5.3 具有输出级负偏置的应用电路

当非理想 PCB 布局和较长的封装引线（例如 TO-220 和 TO-247 型封装）引入寄生电感时，功率晶体管的栅极源驱动电压在高 di/dt 和 dv/dt 开关期间可能会出现振铃。如果振铃超过阈值电压，可能会意外导通和击穿。在栅极驱动上施加负偏置是一种可以将振玲保持在阈值以下的常用方法。下面是实现负栅极驱动偏置的几个示例。

图 8-3 展示了通过在隔离式电源输出级使用齐纳二极管来在输出端上生成负偏置关断的第一个例子。负偏置由齐纳二极管电压设置。如果隔离式电源电压等于 20V，则关断电压为 –5.1V，导通电压为 20V – 5.1V ≈ 15V。



Copyright © 2017, Texas Instruments Incorporated

图 8-3. 利用隔离偏置电源输出上的齐纳二极管生成负偏置

图 8-4 展示了采用两个电源（或单输入、双输出电源）的另一个示例。V_{CC2} 和发射极上的电源决定了正驱动输出电压大小，V_{EE2} 和发射极上的电源决定了负关断电压大小。该解决方案需要比第一个示例更多的电源，然而，在设置正负轨电压时，更具灵活性。

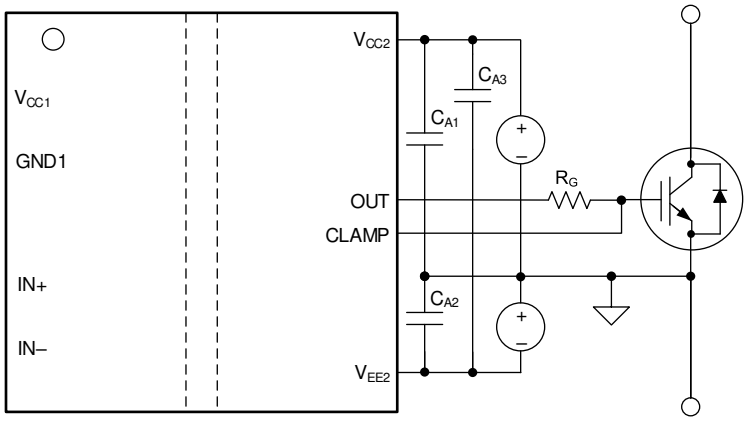
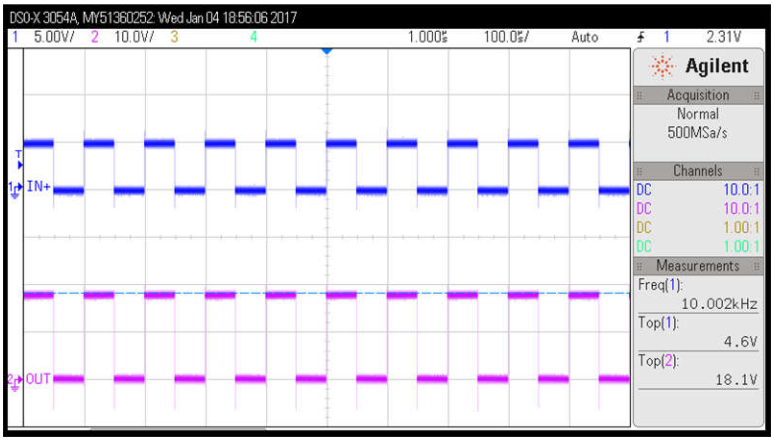


图 8-4. 利用两个隔离偏置电源生成负偏置

8.2.3 应用曲线



V_{CC2} = 20V　　V_{EE2} = GND　　f_{SW} = 10kHz

图 8-5. PWM 输入 和栅极电压波形

9 电源相关建议

UCC5350-Q1 器件的建议输入电源电压 (V_{CC1}) 为 3V 至 15V。输出偏置电源电压 (V_{CC2}) 的范围下限由器件的内部 UVLO 保护功能决定。对于正常操作，V_{CC1} 和 V_{CC2} 电压不应低于各自的 UVLO 阈值，否则 UVLO 保护功能可将栅极驱动器输出钳位至低电平超过 50 µs。有关 UVLO 的更多信息，请参阅节 7.3.4.1。V_{CC2} 的范围上限取决于由 UCC5350-Q1 器件驱动的功率器件的最大栅极电压，并且不应超过建议的 V_{CC2} 最大值 (33V)。本地旁路电容器应置于 V_{CC2} 和 V_{EE2} 引脚之间，其值为 220nF 至 10 µF，用于进行器件偏置。TI 建议将一个额外的 100nF 电容器与器件偏置电容器并联，以进行高频滤波。两个电容器应尽量靠近器件放置。建议使用低 ESR 的陶瓷表面贴装电容器。同样地，还应在 V_{CC1} 和 GND1 引脚之间放置一个旁路电容器。鉴于 UCC5350-Q1 器件输入侧逻辑电路消耗的电流很小，该旁路电容器的建议最小值为 100nF。

10 布局

10.1 布局指南

设计人员必须密切关注 PCB 布局，以实现 UCC5350-Q1 的出色性能。以下是一些主要的指导准则：

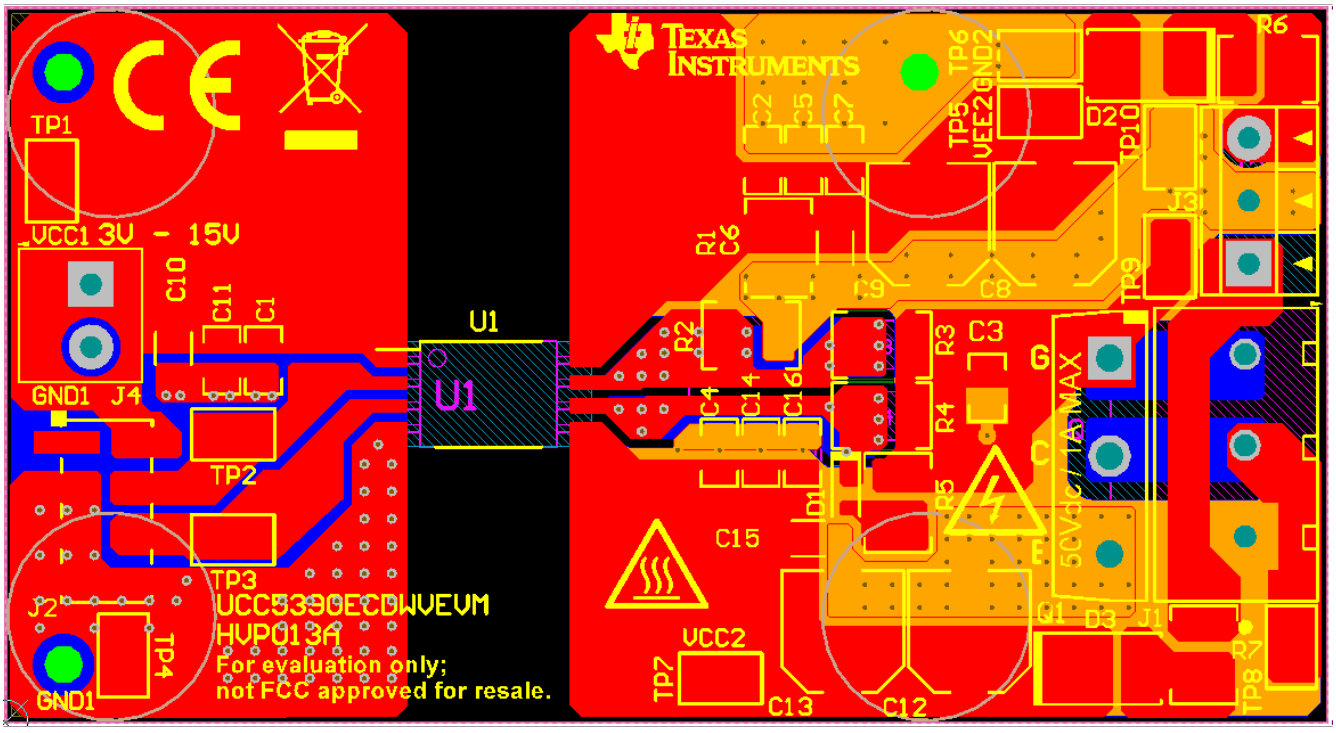
- 组件放置：

Copyright © 2026 Texas Instruments Incorporated

  - 必须在 V_{CC1} 和 GND1 引脚之间及 V_{CC2} 和 V_{EE2} 之间靠近器件的位置连接低 ESR 和低 ESL 电容器，以旁路噪声并在外部功率晶体管导通时支持高峰值电流。
  - 为了避免连接到开关节点的 V_{EE2} 引脚上产生较大的负瞬态，必须最大程度地减小顶部晶体管源极和底部晶体管源极之间的寄生电感。
- 接地注意事项：
  - 将对晶体管栅极进行充电和放电的高峰值电流限制在最小的物理区域内，这一点至关重要。该限制可降低环路电感并最大程度地降低晶体管栅极端子上的噪声。栅极驱动器必须尽可能靠近晶体管放置。
- 高电压注意事项：
  - 为确保初级侧和次级侧之间的隔离性能，请避免在驱动器器件下方放置任何 PCB 迹线或铜。建议使用 PCB 切口或凹槽，以防止污染影响隔离性能。
- 散热注意事项：
  - 如果驱动电压较高、负载较重或开关频率较高，那么 UCC5350-Q1 可能会耗散较大的功率（有关更多信息，请参阅节 8.2.2.3）。适当的 PCB 布局有助于将器件产生的热量散发到 PCB，并最大限度地降低结到电路板的热阻抗（θ_{JB}）。
  - 建议增加连接到 V_{CC2} 和 V_{EE2} 引脚的 PCB 铜，优先最大程度地增加到 V_{EE2} 的连接。不过，必须考虑前面提到的高电压 PCB。
  - 如果系统有多个层，TI 还建议通过具有足够尺寸的通孔将 V_{CC2} 和 V_{EE2} 引脚连接到内部接地或电源平面。这些通孔必须靠近 IC 引脚，以更大限度地提高热导率。不过，请记住，不要重叠来自不同高电压平面的迹线或铜。

10.2 布局示例

图 10-1 展示了一个 PCB 布局示例，其中标记了信号和主要组件。UCC5390ECDWV 评估模块 (EVM) 作为示例给出，可采用与 UCC5350-Q1 相同的 DWV 封装。UCC5390EC 具有分离发射极，而不是米勒钳位，因此尽管布局不完全相同，但通用指南和实践仍然适用。该评估板也可以针对米勒钳位版本进行配置，如 *UCC5390ECDWV 隔离式栅极驱动器评估模块用户指南* 中所述。



A. 初级侧和次级侧之间没有 PCB 布线或覆铜，从而确保了隔离性能。

图 10-1. 布局示例

图 10-2 和图 10-3 展示了顶层和底层布线和覆铜。

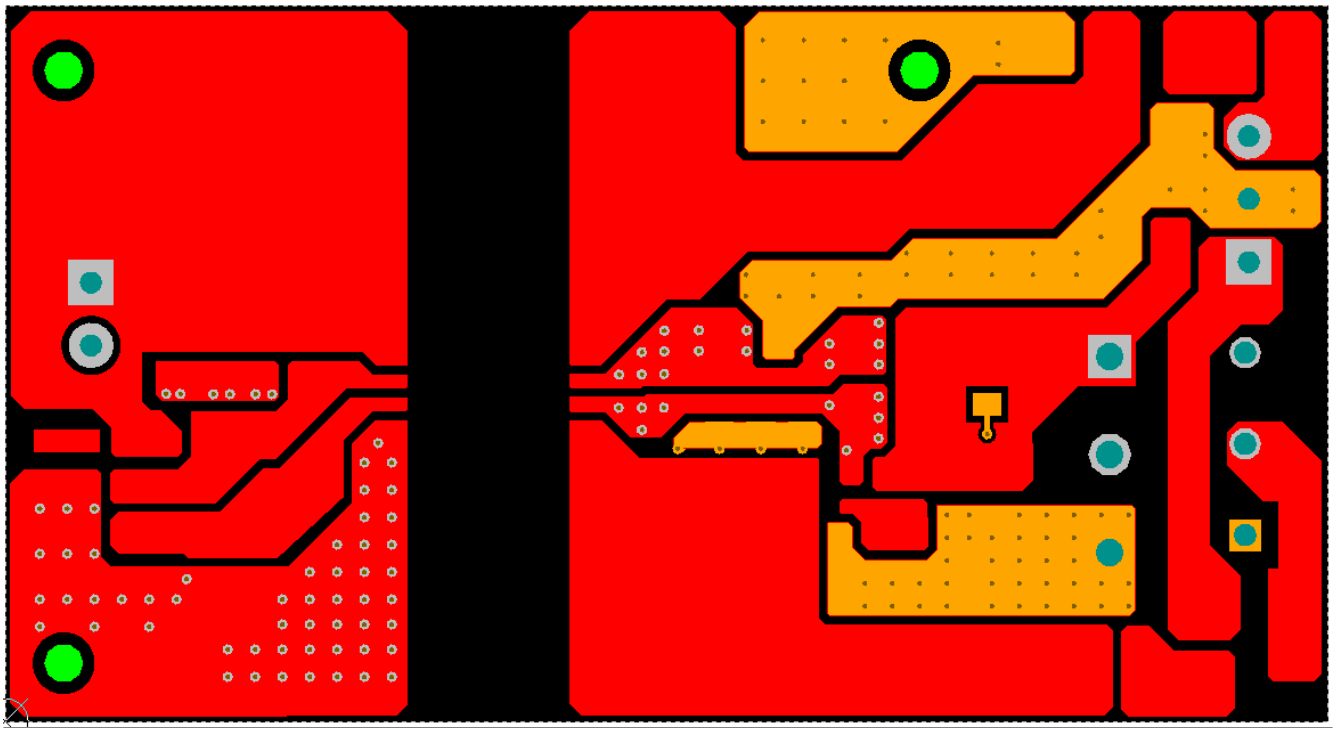


图 10-2. 顶层布线和覆铜

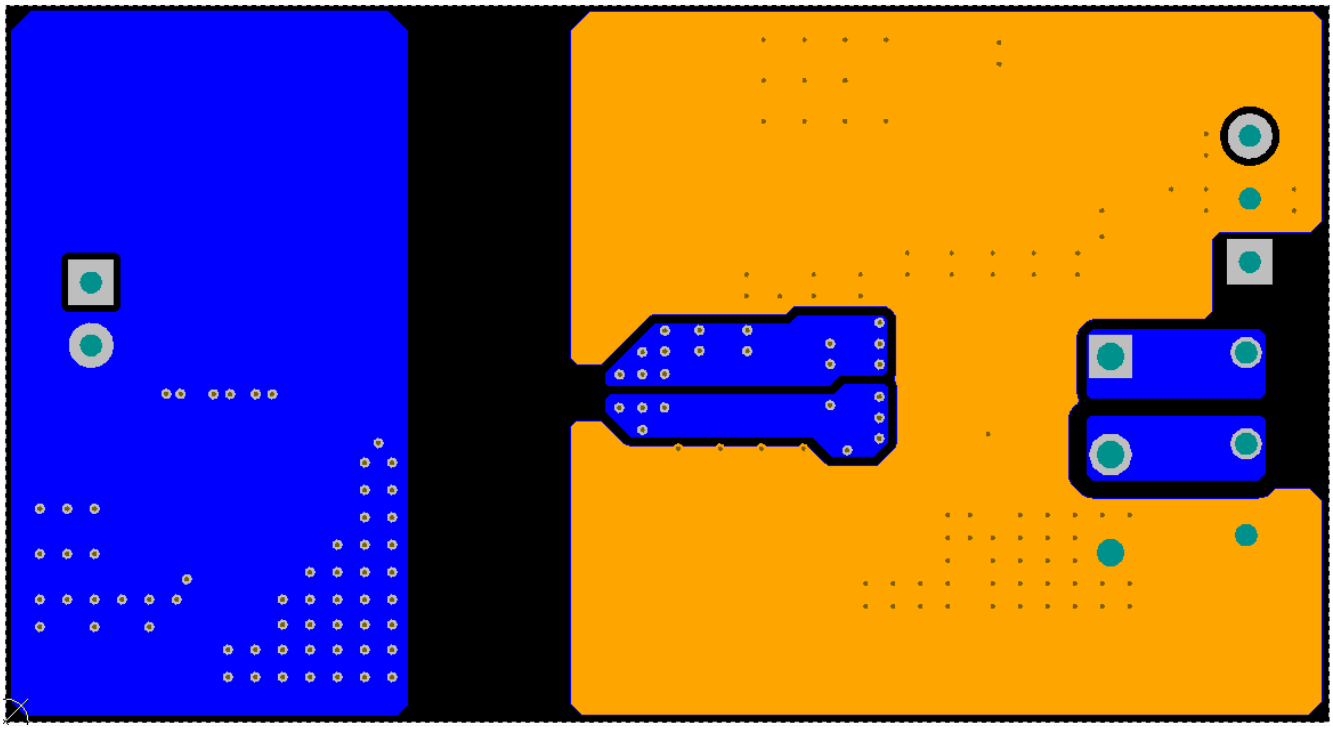


图 10-3. 底层布线和覆铜（翻转）

图 10-4 显示了 PCB 顶视图的 3D 布局。

Copyright © 2026 Texas Instruments Incorporated

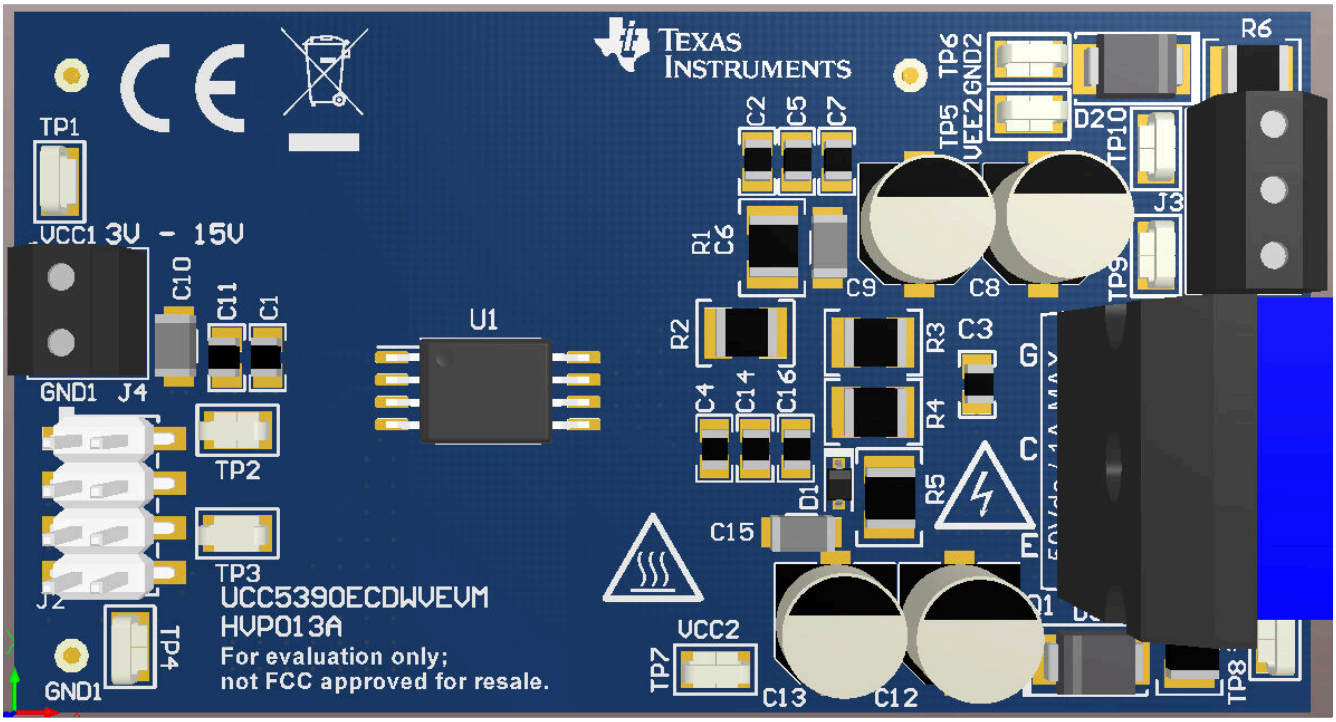


图 10-4. 3-D PCB 视图

10.3 PCB 材料

使用标准 FR-4 UL94V-0 印刷电路板。该 PCB 在高频下具有较低的电介质损耗、较低的吸湿性、较高的强度和刚度以及自熄性可燃性特征，因而优于较便宜的替代产品。

图 10-5 显示了推荐的层栈。

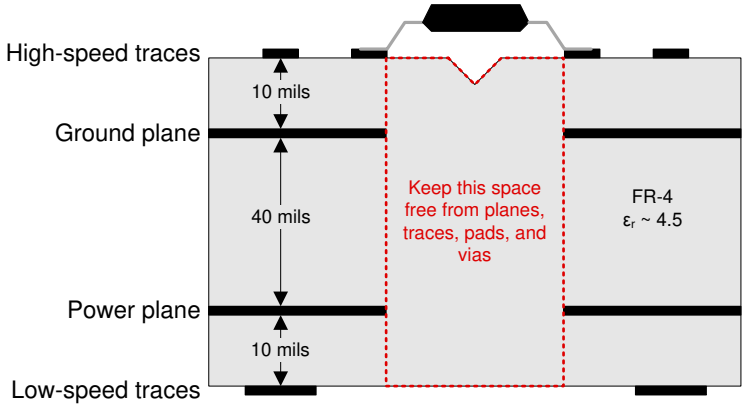


图 10-5. 建议的层堆叠

11 器件和文档支持

11.1 器件支持

11.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

11.2 文档支持

11.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*数字隔离器设计指南*
- 德州仪器 (TI)，*隔离相关术语*
- 德州仪器 (TI)，*SN6501 隔离式电源用变压器驱动器数据表*
- 德州仪器 (TI)，*SN6505 用于隔离式电源的低噪声 1A 变压器驱动器 数据表*
- 德州仪器 (TI)，*UCC5390ECDWV 隔离栅极驱动器评估模块 用户指南*
- 德州仪器 (TI)，*UCC53x0xD 评估模块 用户指南*

11.3 认证

UL 在线认证目录，*“FPPT2.E181974 非光学隔离器件 - 组件”* 证书编号：20170718-E181974,

11.4 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.5 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

11.6 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

11.7 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.8 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

12 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision F (July 2024) to Revision G (January 2025) **Page**

- 更新了“特性”中的安全相关认证 1
- 将 V_{IORM} 从 990 更改为 $1200V_{PK}$，以反映 V_{IOWM} 更新 6
- 将 V_{IOWM}（交流电压）从 700 更改为 $850V_{RMS}$（因为 UCC5350 在 IEC 局部放电测试中使用 $850V_{RMS} \times 1.5$ 进行了量产测试）。TI 之前的 V_{IOWM} 规格较为保守 6
- 将 V_{IOWM}（直流电压）从 990 更改为 $1200V_{DC}$，以反映 V_{IOWM} 更新 6
- 根据 IEC 60747-17 在空气中的测试定义（D 封装），添加了 V_{IMP} 6
- 将 V_{IOSM}（直流电压）从 4242 更改为 $6500V_{DC}$，将 VDE 0884-11 浪涌测试电压定义替换为 IEC 60747-17 在油中的测试定义（D 封装） 6
- 根据 IEC 60747-17 在空气中的测试定义（DWV 封装），添加了 V_{IMP} 8
- 将 V_{IOSM}（直流电压）从 8000 更改为 $10400V_{DC}$，将 VDE 0884-11 浪涌测试电压定义替换为 IEC 60747-17 在油中的测试定义（DWV 封装） 8
- 更新了 D 封装的安全相关认证 9
- 将 DWV 封装安全相关认证中的 VDE V 0884-11:2017-01 更改为 IEC 60747-17 (VDE 0884-17) 9
- 更正了传播延迟容差 11
- 在“绝缘特性曲线”中添加了“绝缘寿命预测数据”图 11

Changes from Revision E (February 2024) to Revision F (July 2024) **Page**

- 从“特性”中删除了 HBM 和 CDM ESD 分类 1
- 向“特性”添加了功能安全要点 1
- 向“特性”添加了 ±10A 典型峰值电流驱动强度 1
- 更新了 DWV 封装的安全相关认证 9
- 添加了 DWV 封装的 VDE 信息 9

Changes from Revision D (August 2022) to Revision E (February 2024) **Page**

- 将电流从 5A 最小值更改为 10A 典型值 1
- 更改了绝缘规格中的 CTI 和材料组值并添加了表注 6

Changes from Revision C (June 2022) to Revision D (August 2022) **Page**

- 将 UCC5350SB-Q1 从“预告信息”更改为“量产数据” 1
- 向 CLAMP 添加了“通过低电感直接连接到栅极”（节 4）从 IN+ 和 IN– 中删除了“使用表 8.4 来了解这些器件的输入和输出逻辑”（节 4） 4

Changes from Revision B (June 2020) to Revision C (June 2022) **Page**

- 添加了 UCC5350SBQDRQ1 器件的预告信息 1
- 在节 4 中添加了 UCC5350SB 器件 4
- 添加了 SB-Q1 D 封装功率等级 6
- 添加了 SB-Q1 绝缘规格 6
- 添加了 D 封装的 UL 证书编号 9
- 添加了 DWV 封装的 UL 证书编号 9
- 添加了 SB-Q1 D 封装安全限值 9
- 添加了 SB-Q1 参数 10

Copyright © 2026 Texas Instruments Incorporated

- 添加了最小脉冲宽度规格 11
- 添加了表 7-4 22
- 添加了 SB-Q1 ESD 图 23
- 添加了 SB-Q1 的典型应用电路 25

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PUCC5350MCQDWVQ1	Obsolete	Preproduction	SOIC (DWV) | 8	-	-	Call TI	Call TI	-40 to 125	
UCC5350MCQDRQ1	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	Call TI | Nipdau	Level-2-260C-1 YEAR	-40 to 125	5350Q
UCC5350MCQDRQ1.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	5350Q
UCC5350MCQDWVRQ1	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	5350MCQ
UCC5350MCQDWVRQ1.A	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	5350MCQ
UCC5350SBQDRQ1	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	Call TI | Nipdau	Level-3-260C-168 HR	-40 to 125	5350Q
UCC5350SBQDRQ1.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	5350Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UCC5350-Q1 :

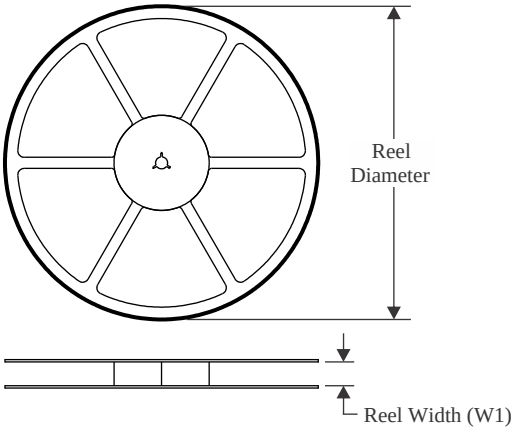
- Catalog : UCC5350

NOTE: Qualified Version Definitions:

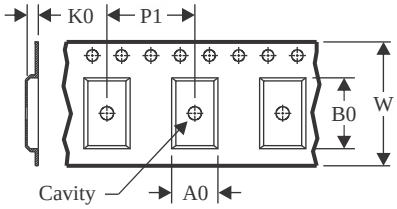
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

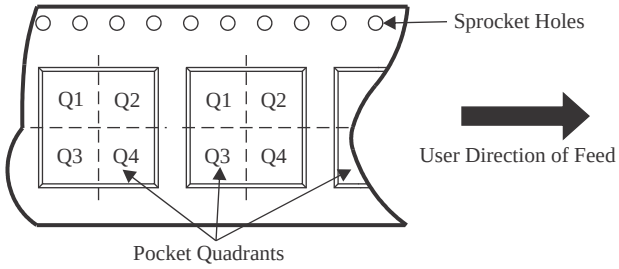


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

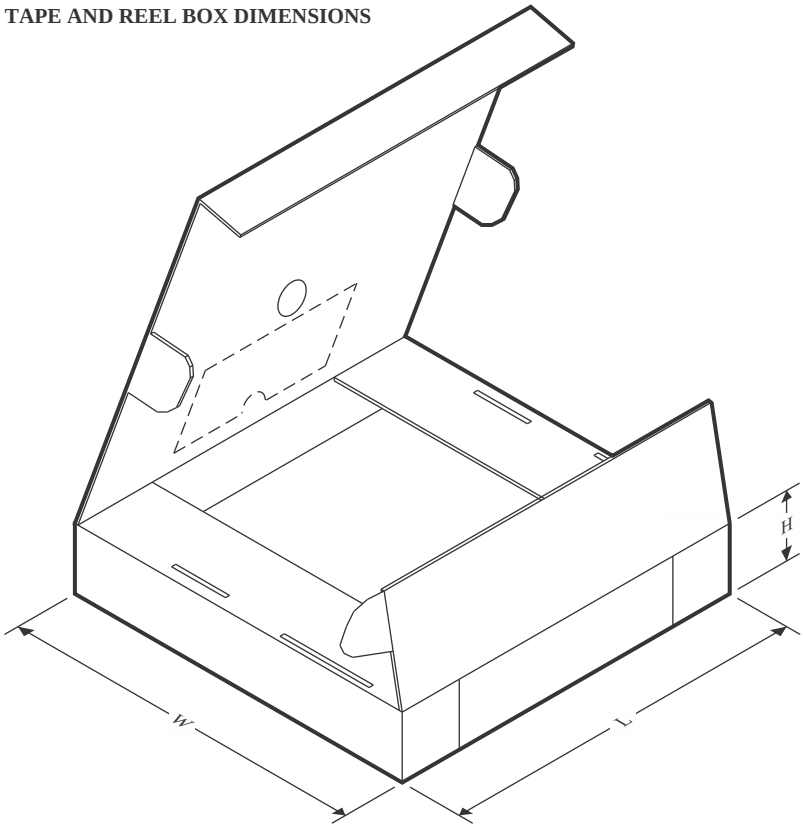
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

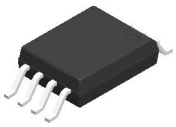
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC5350MCQDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC5350MCQDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.15	6.2	3.05	16.0	16.0	Q1
UCC5350MCQDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1
UCC5350SBQDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

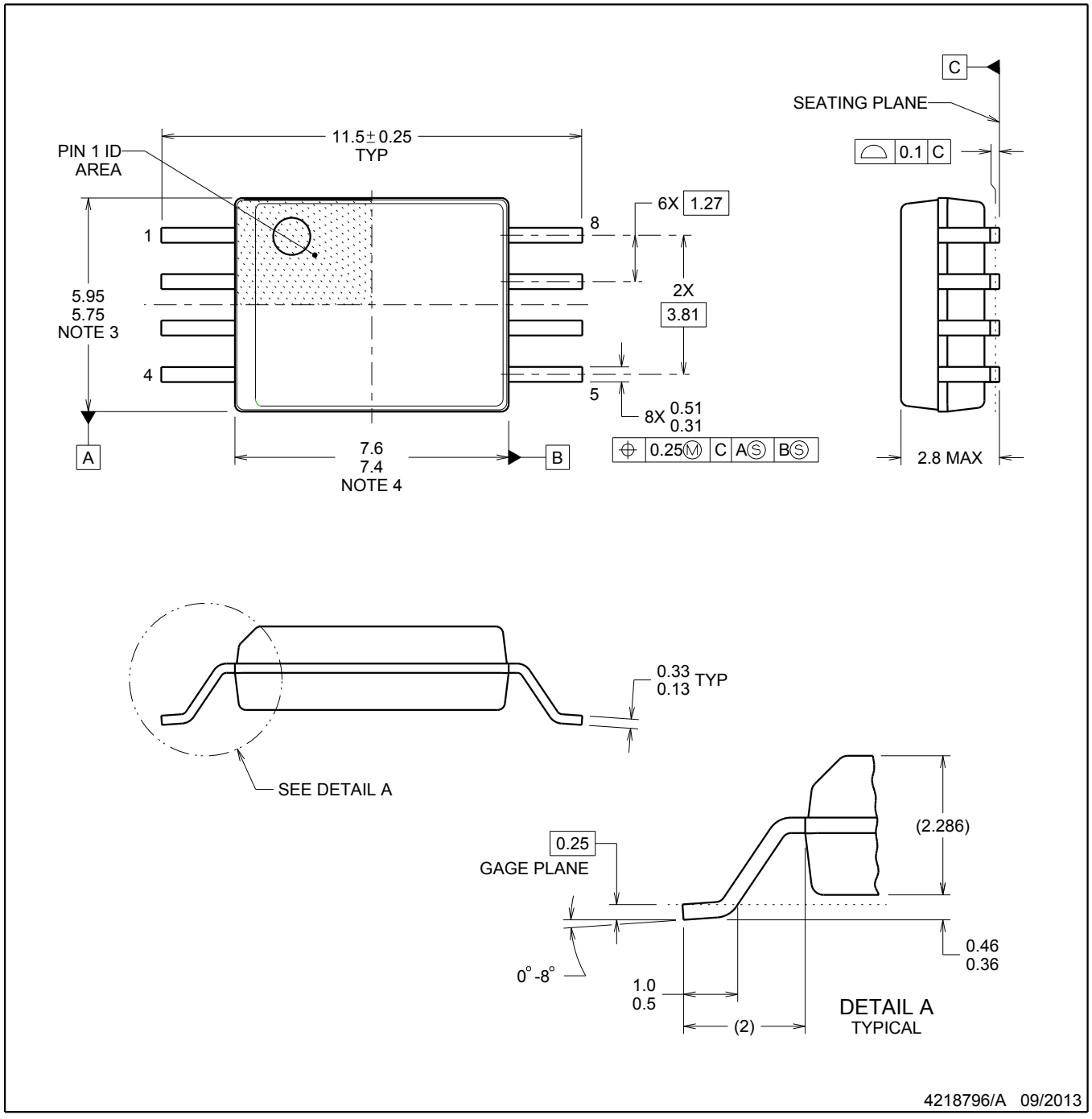
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC5350MCQDRQ1	SOIC	D	8	2500	353.0	353.0	32.0
UCC5350MCQDWVRQ1	SOIC	DWV	8	1000	353.0	353.0	32.0
UCC5350MCQDWVRQ1	SOIC	DWV	8	1000	350.0	350.0	43.0
UCC5350SBQDRQ1	SOIC	D	8	2500	353.0	353.0	32.0



DWV0008A

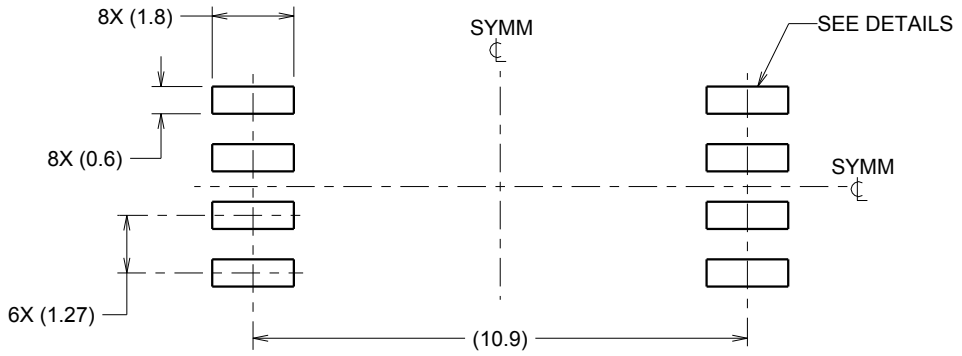
SOIC - 2.8 mm max height

SOIC

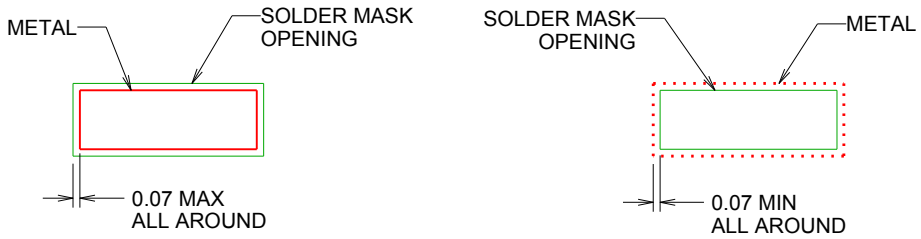


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
9.1 mm NOMINAL CLEARANCE/CREEPAGE
SCALE:6X



SOLDER MASK DETAILS

4218796/A 09/2013

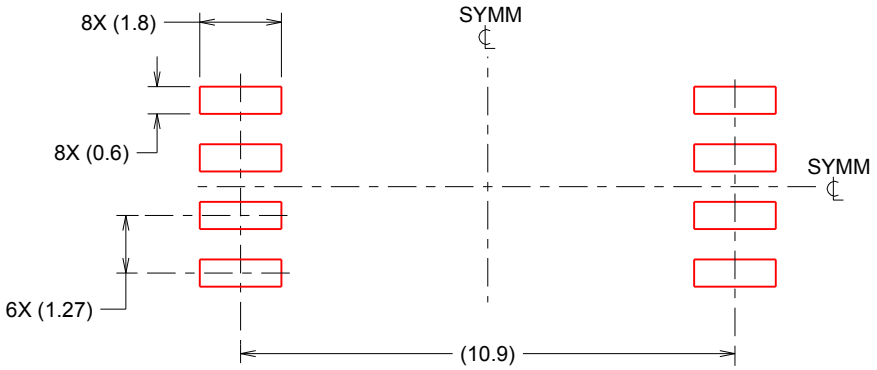
NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

DWV0008A

SOIC - 2.8 mm max height

SOIC

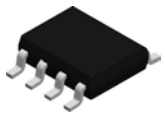


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4218796/A 09/2013

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

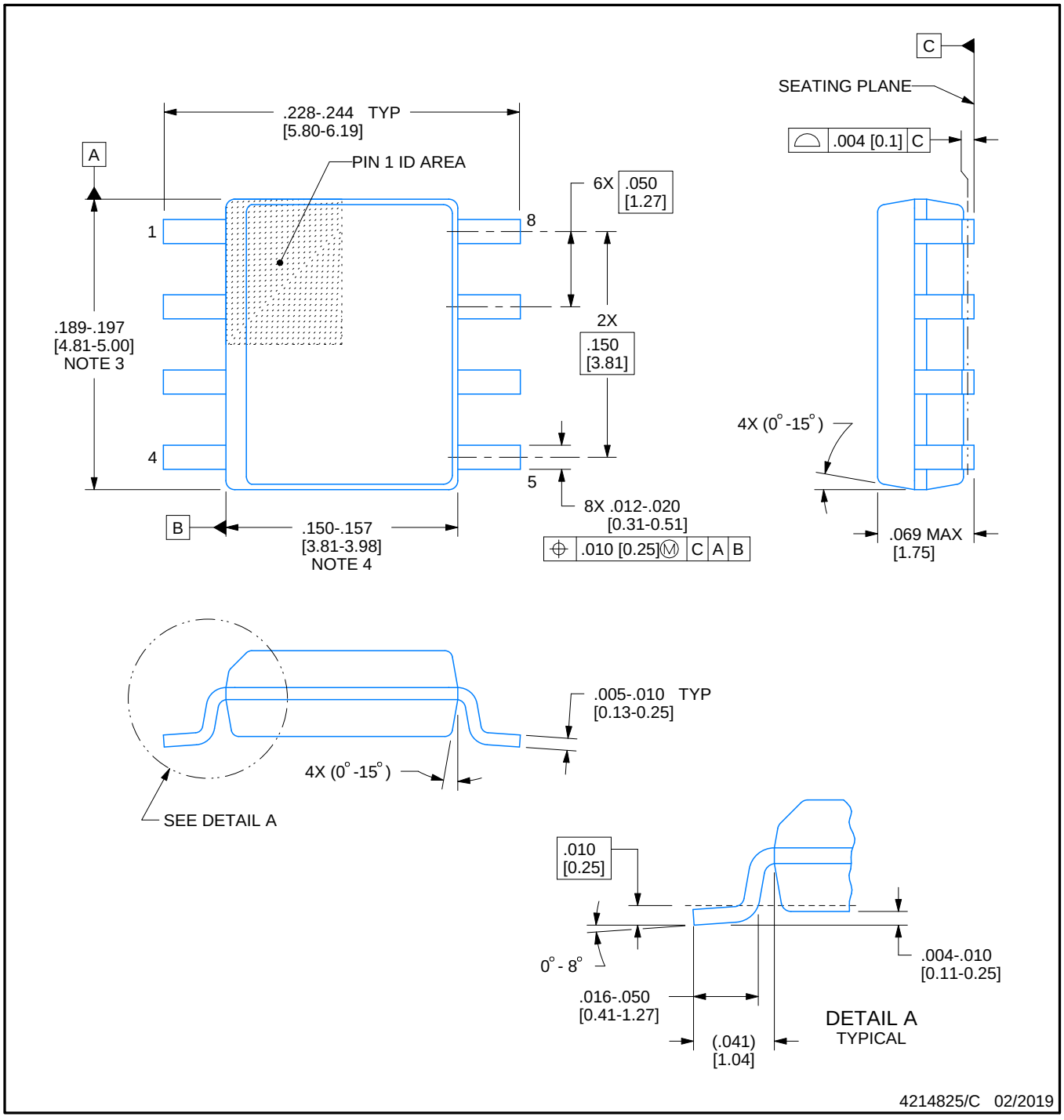


PACKAGE OUTLINE

D0008A

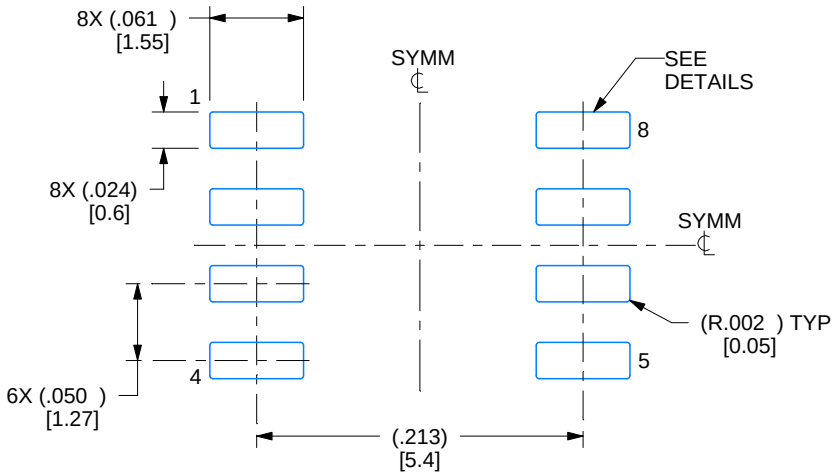
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

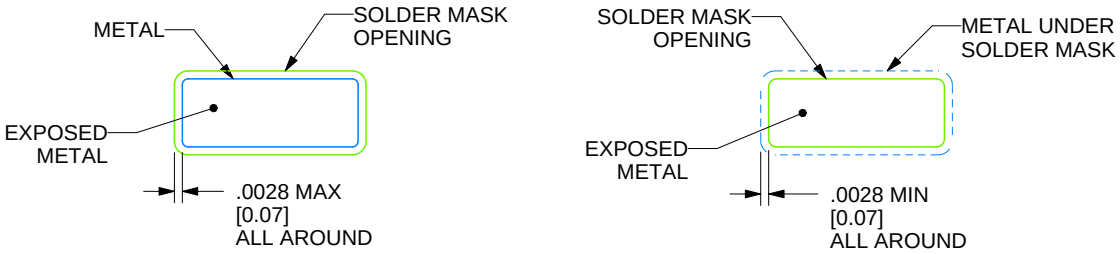


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

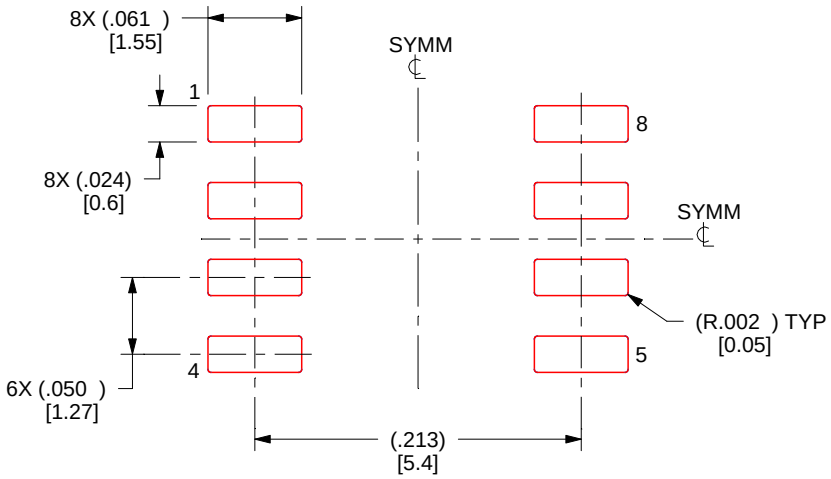
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月