

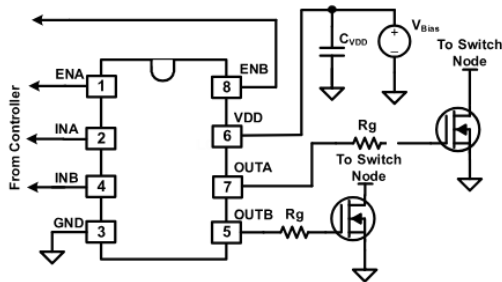
UCC27624V-Q1 具有 -10V 输入能力、适用于汽车应用的 30V、5A 双通道、8V-UVLO、低侧栅极驱动器

1 特性

- 符合汽车应用要求
- 符合 AEC-Q100 标准
 - 器件温度 1 级
- 每个通道具有 5A 的典型峰值拉取和灌入驱动电流
- 输入和使能引脚能够处理 -10V 的电压
- 输出端能够处理 -2V 的瞬态电压
- 绝对最大 VDD 电压：30V
- 宽 VDD 工作电压范围：9.5V 至 26V，具有 UVLO 功能
- 可实现高抗噪性的迟滞逻辑阈值
- VDD 独立输入阈值（兼容 TTL）
- 短暂传播延迟（典型值为 17ns）
- 快速上升和下降时间（典型值分别为 6ns 和 10ns）
- 两个通道之间的延迟匹配典型值为 1ns
- 可将两个通道并联以获得更高的驱动电流
- SOIC8 PowerPAD™ 和 VSSOP8 PowerPAD™ 封装选项
- 工作结温范围：-40°C 至 150°C

2 应用

- 汽车直流/直流转换器
- 开关模式电源 (SMPS)
- 功率因数校正 (PFC) 电路
- 直流/直流转换器
- 电机驱动器
- 太阳能电源
- 脉冲变压器驱动器



简化版应用示意图

3 说明

UCC27624V-Q1 是一款双通道、高速、低侧栅极驱动器，能够有效地驱动 MOSFET、IGBT 和 SiC 电源开关。UCC27624V-Q1 的典型峰值驱动强度为 5A，这有助于缩短电源开关的上升和下降时间、降低开关损耗并提高效率。此器件具有快速传播延迟（典型值为 17ns），可改善系统的死区时间优化、控制环路响应，提高脉宽利用率和瞬态性能，从而提高功率级效率。

UCC27624V-Q1 可在输入端处理 -10V 的电压，通过平缓的接地反弹提高系统稳健性。输入与电源电压无关，可以连接大多数控制器输出端，从而尽可能提高控制灵活性。独立的使能信号支持在不依赖主控制逻辑的情况下对功率级进行控制。发生系统故障时，栅极驱动器可以通过拉低使能端来快速关闭。许多高频开关电源在功率器件的栅极都存在噪音，这种噪音会进入栅极驱动器的输出引脚，造成驱动器故障。该器件凭借其瞬态反向电流和反向电压能力，能够承受功率器件或脉冲变压器的栅极噪声，并避免驱动器故障。

UCC27624V-Q1 还具有欠压锁定 (UVLO) 功能，可提高系统稳健性。当没有足够的偏置电压来全面增强功率器件时，强大的内部下拉 MOSFET 使栅极驱动器输出保持在低电平。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 (标称值)
UCC27624V-Q1	D (SOIC 8)	4.90mm × 3.91mm
UCC27624V-Q1	DDA (SOIC 8)	4.90mm × 3.91mm
UCC27624V-Q1	DGK (VSSOP 8)	3.00mm × 3.00mm
UCC27624V-Q1	DGN (VSSOP 8)	3.00mm × 3.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



内容

1 特性	1	6.3 特性说明	14
2 应用	1	6.4 器件功能模式	16
3 说明	1	7 应用和实施	17
4 引脚配置和功能	3	7.1 应用信息.....	17
5 规格	5	7.2 典型应用.....	17
5.1 绝对最大额定值.....	5	7.3 电源相关建议.....	21
5.2 ESD 等级.....	5	7.4 布局.....	21
5.3 建议运行条件.....	5	8 器件和文档支持	24
5.4 热性能信息.....	5	8.1 第三方产品免责声明.....	24
5.5 电气特性.....	6	8.2 接收文档更新通知.....	24
5.6 开关特性.....	7	8.3 支持资源.....	24
5.7 时序图.....	8	8.4 商标.....	24
5.8 典型特性.....	9	8.5 静电放电警告.....	24
6 详细说明	13	8.6 术语表.....	24
6.1 概述.....	13	9 修订历史记录	24
6.2 功能方框图.....	14	10 机械、封装和可订购信息	24

4 引脚配置和功能

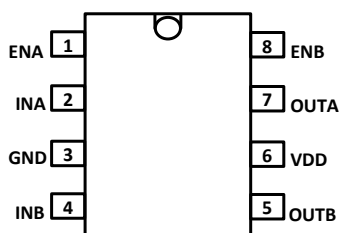


图 4-1. D 封装 8 引脚 SOIC 顶视图

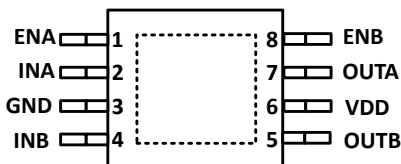


图 4-2. DGN 封装 8 引脚 VSSOP 顶视图

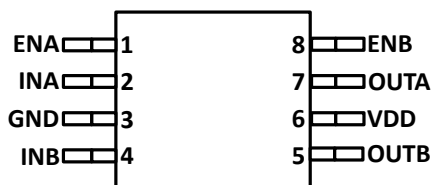


图 4-3. DGK 封装 8 引脚 VSSOP 顶视图

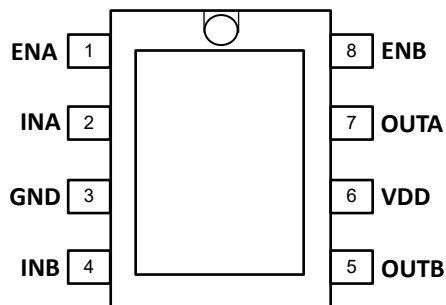


图 4-4. DDA 封装 8 引脚 SOIC 顶视图

表 4-1. 引脚功能

名称	引脚		类型 ⁽¹⁾	说明
	DGN、DDA	D、DGK		
ENA	1	1	I	通道 A 的使能输入。无论 INA 的状态如何，将 ENA 引脚设置为低电平将禁用通道 A 输出。将 ENA 拉至高电平会启用通道 A 输出。如果 ENA 保持悬空，则由于存在内部上拉电阻，默认启用通道 A。如果此引脚未使用，建议将其连接到 VDD。
ENB	8	8	I	通道 B 的使能输入。无论 INB 的状态如何，将 ENB 引脚设置为低电平会禁用通道 B 输出。将 ENB 拉至高电平会启用通道 B 输出。如果 ENB 保持悬空，则由于存在内部上拉电阻，默认启用通道 B。如果此引脚未使用，建议将其连接到 VDD。
GND	3	3	—	接地：所有信号都以此引脚为基准。

表 4-1. 引脚功能 (续)

引脚			类型 ⁽¹⁾	说明
名称	DGN、 DDA	D、DGK		
INA	2	2	I	通道 A 的输入。INA 是 UCC27624V-Q1 器件的同相输入。如果 INA 未偏置或处于悬空状态，则 OUTA 会由于存在内部下拉电阻而保持为低电平。如果未使用此引脚，则将其连接到 GND。
INB	4	4	I	通道 B 的输入。INB 是 UCC27624V-Q1 器件的同相输入。如果 INB 未偏置或处于悬空状态，则 OUTB 会由于存在内部下拉电阻而保持为低电平。如果未使用此引脚，则将其连接到 GND。
OUTA	7	7	O	通道 A 输出
OUTB	5	5	O	通道 B 输出
VDD	6	6	I	偏置电源输入。使用两个陶瓷电容器将此引脚旁路，通常为 $\geq 1\mu\text{F}$ 和 $0.1\mu\text{F}$ ，这两个电容器以该器件的 GND 引脚为基准。
	散热焊盘	—	—	通过较大的铜平面连接到 GND。此焊盘并不是连接到 GND 的低阻抗路径。

(1) I = 输入；O = 输出

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1) (2) (3)

		最小值	最大值	单位
电源电压, VDD		-0.3	30	V
输出电压 OUTA、OUTB	DC	-0.3	VDD +0.3	V
	200ns 脉冲	-2	VDD +3	V
输入电压 INA、INB、ENA、ENB		-10	30	V
工作结温, T _J		-40	150	°C
引线温度	焊接, 10 秒		300	°C
	回流焊		260	
贮存温度, T _{stg}		-65	150	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能, 并缩短器件寿命。
- (2) 除非另有说明, 否则所有电压均以 GND 为基准。电流是指定端子的正输入、负输出。有关封装的热限制和注意事项, 请参阅数据表的节 5.4。
- (3) 这些器件对静电放电敏感; 请遵循适当的器件处理程序。

5.2 ESD 等级

		值	单位
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 标准 ⁽¹⁾	±2000	V
	充电设备模型 (CDM), 符合 AEC Q100-011 标准	±1000	

- (1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在自然通风条件下的工作温度范围内。所有电压均以 GND 为基准 (除非另有说明)

	最小值	标称值	最大值	单位
电源电压, VDD	9.5	12	26	V
输入电压 INA、INB、ENA、ENB	-10		26	V
输出电压 OUTA、OUTB	0		VDD	V
工作结温, T _J	-40		150	°C

5.4 热性能信息

热指标		UCC27624V-Q1				单位
		DGN	D	DDA	DGK	
		8 引脚	8 引脚	8 引脚	8 引脚	
R _{θJA}	结至环境热阻	48.9	126.4	50.37	148.59	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	71.8	67.0	67.30	56.27	
R _{θJB}	结至电路板热阻	22.3	69.9	23.80	79.67	
ψ _{JT}	结至顶部特征参数	2.6	19.2	10.75	10.13	
ψ _{JB}	结至电路板特征参数	22.3	69.1	23.95	78.89	
R _{θJC(bot)}	结至外壳 (底部) 热阻	4.5	不适用	9.04	不适用	

5.5 电气特性

除非另有说明，否则 $V_{DD} = 12V$ ， $T_A = T_J = -40^{\circ}C$ 至 $150^{\circ}C$ ， V_{DD} 和 GND 之间连接 $1\mu F$ 电容器，并且输出上没有负载。典型条件规格均在 $25^{\circ}C$ 下测得。

参数		测试条件	最小值	典型值	最大值	单位
偏置电流						
I_{VDDq}	VDD 静态电源电流	$V_{INx} = 3.3V$ ， $V_{DD} = 3.4V$ ， $ENx = V_{DD}$		300	450	μA
I_{VDD}	VDD 静态电源电流	$V_{INx} = 3.3V$ ， $ENx = V_{DD}$		0.6	1.0	mA
I_{VDD}	VDD 静态电源电流	$V_{INx} = 0V$ ， $ENx = V_{DD}$		0.7	1.0	mA
I_{VDDO}	VDD 工作电流	$f_{SW} = 1000kHz$ ， $ENx = V_{DD}$ ， $V_{INx} = 0V$ 至 $3.3V$ PWM		3.2	3.8	mA
I_{DIS}	VDD 禁用电流	$V_{INx} = 3.3V$ ， $ENx = 0V$		0.8	1.1	mA
欠压锁定 (UVLO)						
V_{VDD_ON}	VDD UVLO 上升阈值		8.0	8.5	9.0	V
V_{VDD_OFF}	VDD UVLO 下降阈值		7.5	8.0	8.5	V
V_{VDD_HYS}	VDD UVLO 迟滞			0.5		V
输入 (INA、INB)						
V_{INx_H}	输入信号高阈值	输出高电平， $ENx = HIGH$	1.8	2	2.3	V
V_{INx_L}	输入信号低阈值	输出低电平， $ENx = HIGH$	0.8	1	1.2	V
V_{INx_HYS}	输入信号迟滞			1		V
R_{INx}	INx 引脚下拉电阻	$INx = 3.3V$		120		$k\Omega$
使能 (ENA、ENB)						
V_{ENx_H}	使能信号高电平阈值	输出高电平， $INx = HIGH$	1.8	2	2.3	V
V_{ENx_L}	使能信号低电平阈值	输出低电平， $INx = HIGH$	0.8	1	1.2	V
V_{ENx_HYS}	使能信号迟滞			1		V
R_{ENx}	EN 引脚上拉电阻	$ENx = 0V$		200		$k\Omega$
输出 (OUTA、OUTB)						
$I_{SRC}^{(1)}$	峰值输出拉电流	$V_{DD} = 12V$ ， $C_{VDD} = 10\mu F$ ， $C_L = 0.1\mu F$ ， $f = 1kHz$		5		A
$I_{SNK}^{(1)}$	峰值输出灌电流	$V_{DD} = 12V$ ， $C_{VDD} = 10\mu F$ ， $C_L = 0.1\mu F$ ， $f = 1kHz$		-5		A
$R_{OH}^{(2)}$	上拉电阻	$I_{OUT} = -50mA$ ，请参阅节 6.3.4。		5	8.5	Ω
R_{OL}	下拉电阻	$I_{OUT} = 50mA$		0.6	1.1	Ω

(1) 未经量产测试的参数。

(2) 此表中的输出上拉电阻是一个直流测量值，它仅测量 PMOS 结构的电阻，而不是 N 沟道结构的电阻。

5.6 开关特性

除非另有说明，否则 $V_{DD} = V_{EN} = 12V$ ， $T_A = T_J = -40^{\circ}C$ 至 $150^{\circ}C$ ， V_{DD} 和 GND 之间连接 $1\mu F$ 电容器，并且输出上没有负载。典型条件规格均在 $25^{\circ}C$ 下测得⁽¹⁾。

参数		测试条件	最小值	典型值	最大值	单位
t_{Rx}	上升时间	$C_{LOAD} = 1.8nF$ ，20% 至 80%， $V_{in} = 0V - 3.3V$		6	10	ns
t_{Fx}	下降时间	$C_{LOAD} = 1.8nF$ ，90% 至 10%， $V_{in} = 0V - 3.3V$		10	14	ns
t_{D1x}	导通传播延迟	$C_{LOAD} = 1.8nF$ ，输入上升的 V_{INx_H} 至输出上升的 10%， $V_{in} = 0V - 3.3V$ ， $F_{sw} = 500kHz$ ，50% 占空比， $T_J = 125^{\circ}C$		17	27	ns
t_{D2x}	关断传播延迟	$C_{LOAD} = 1.8nF$ ，输入下降的 V_{INx_L} 至输出下降的 90%， $V_{in} = 0V - 3.3V$ ， $F_{sw} = 500kHz$ ，50% 占空比， $T_J = 125^{\circ}C$		17	27	ns
t_{D3x}	启用传播延迟	$C_{LOAD} = 1.8nF$ ，使能上升的 V_{ENx_H} 至输出上升的 10%， $V_{in} = 0V - 3.3V$ ， $F_{sw} = 500kHz$ ，50% 占空比， $T_J = 125^{\circ}C$		17	27	ns
t_{D4x}	禁用传播延迟	$C_{LOAD} = 1.8nF$ ，使能下降的 V_{ENx_L} 至输出下降的 90%， $V_{in} = 0V - 3.3V$ ， $F_{sw} = 500kHz$ ，50% 占空比， $T_J = 125^{\circ}C$		17	27	ns
t_M	两个通道之间的延迟匹配	$C_{LOAD} = 1.8nF$ ， $V_{in} = 0V - 3.3V$ ， $F_{sw} = 500kHz$ ，50% 占空比， $INA = INB$ ， $ t_{RA} - t_{RB} $ ， $ t_{FA} - t_{FB} $		1	2	ns
t_{PWmin}	最小输入脉冲宽度	$C_L = 1.8nF$ ， $V_{in} = 0V - 3.3V$ ， $F_{sw} = 500kHz$ ， $V_o > 1.5V$		10	15	ns

(1) 这些开关参数未经生产环境测试。

5.7 时序图

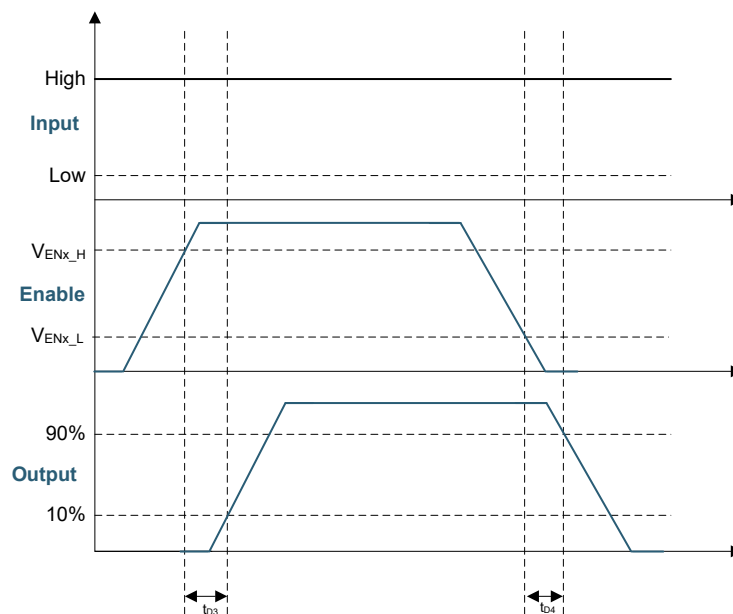


图 5-1. 使能功能

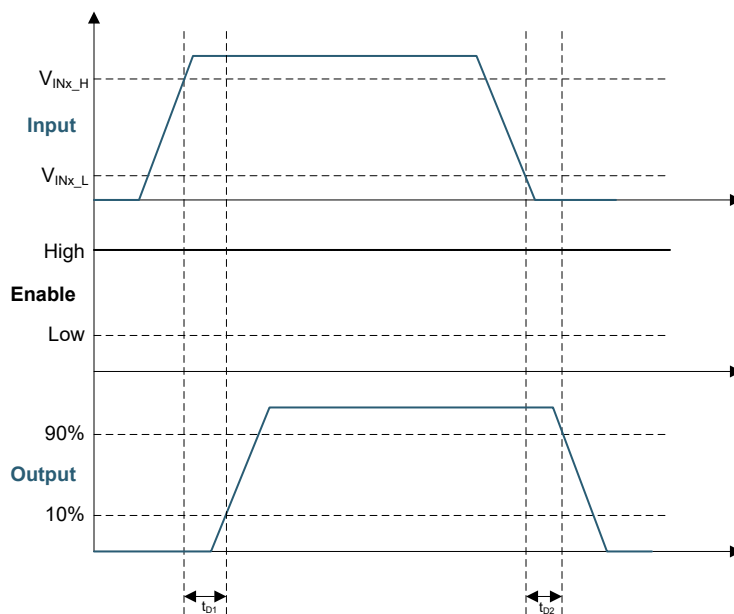


图 5-2. 输入/输出运行

5.8 典型特性

除非另有说明，否则 $V_{DD} = 12V$ 、 $I_{Nx} = 3.3V$ 、 $E_{Nx} = 3.3V$ 、 $T_J = 25^\circ C$ 且空载

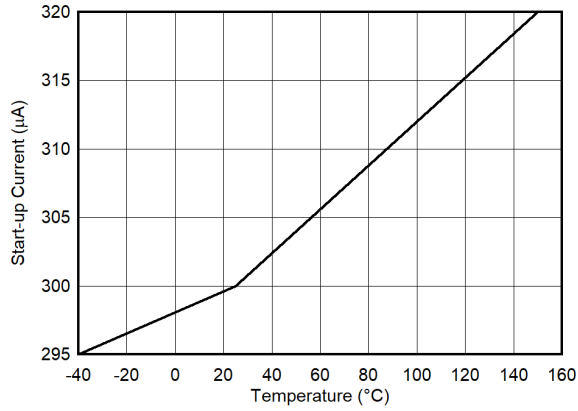


图 5-3. 启动电流和静态电流

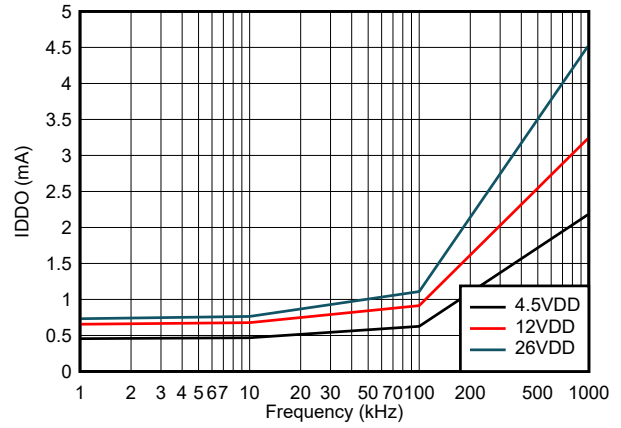


图 5-4. 工作电源电流 (两个输出均处于开关状态)

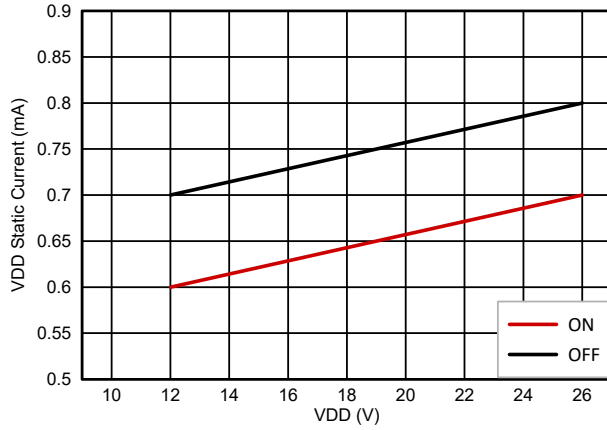


图 5-5. 静态电源电流 (输出处于直流导通或关断状态)

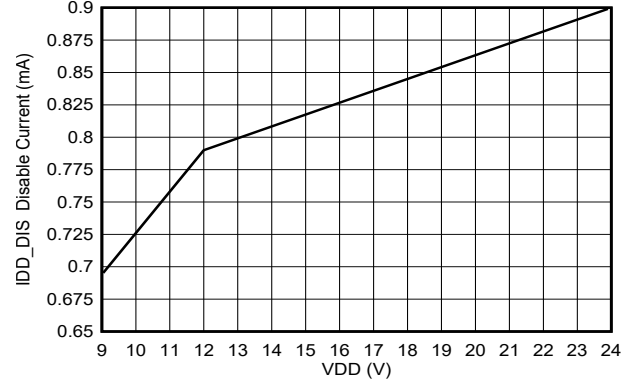


图 5-6. 禁用电流 (EN = 0V)

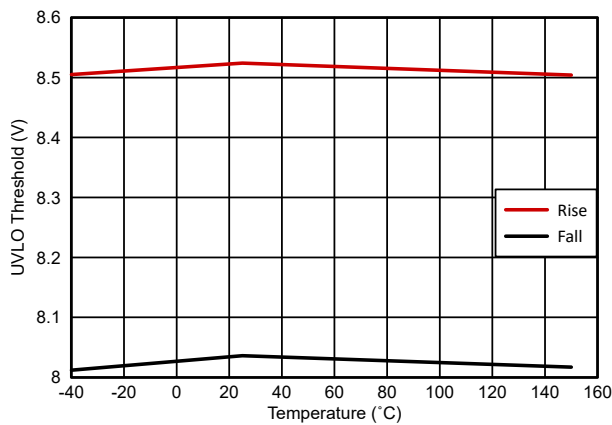


图 5-7. VDD UVLO 阈值

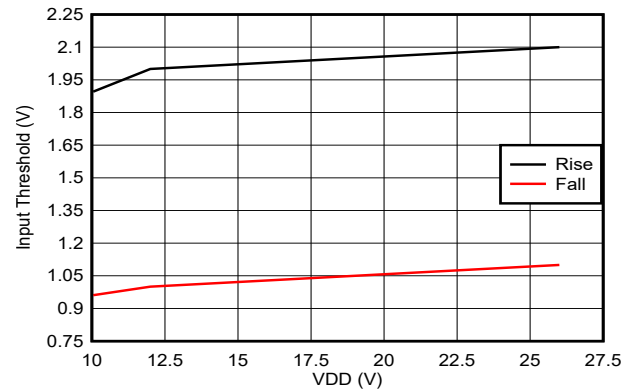


图 5-8. 输入阈值

5.8 典型特性 (续)

除非另有说明, 否则 $V_{DD} = 12V$ 、 $I_{NX} = 3.3V$ 、 $E_{NX} = 3.3V$ 、 $T_J = 25^\circ C$ 且空载

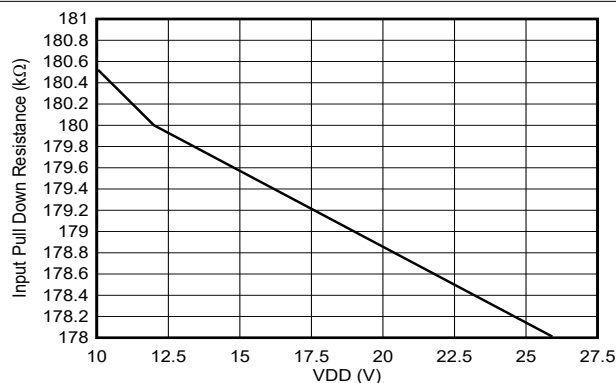


图 5-9. 输入下拉电阻

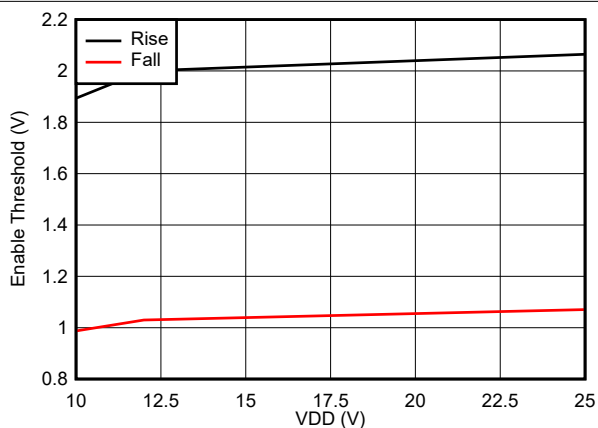


图 5-10. 使能阈值

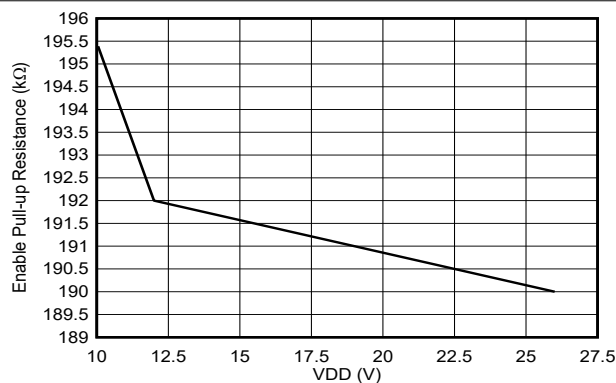


图 5-11. 使能上拉电阻

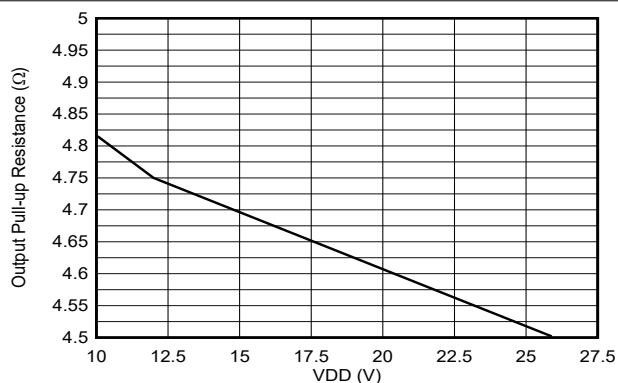


图 5-12. 输出上拉电阻

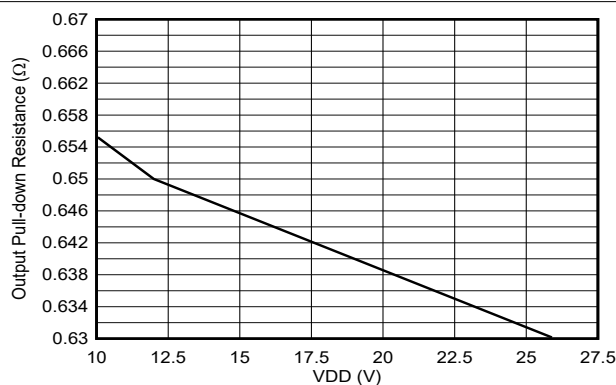


图 5-13. 输出下拉电阻

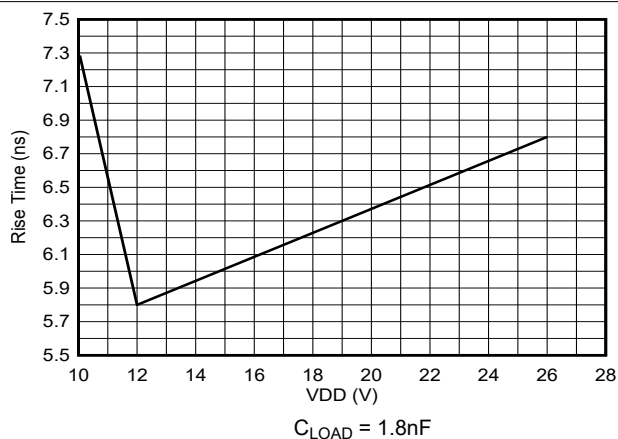


图 5-14. 输出上升时间与 V_{DD} 间的关系

5.8 典型特性 (续)

除非另有说明, 否则 $V_{DD} = 12V$ 、 $I_{Nx} = 3.3V$ 、 $E_{Nx} = 3.3V$ 、 $T_J = 25^\circ C$ 且空载

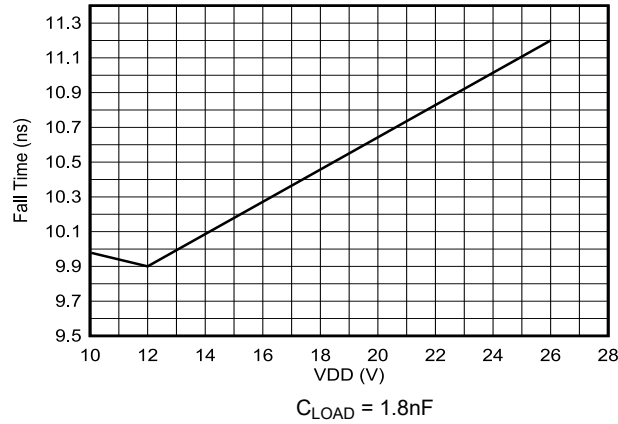


图 5-15. 输出下降时间与 VDD 间的关系

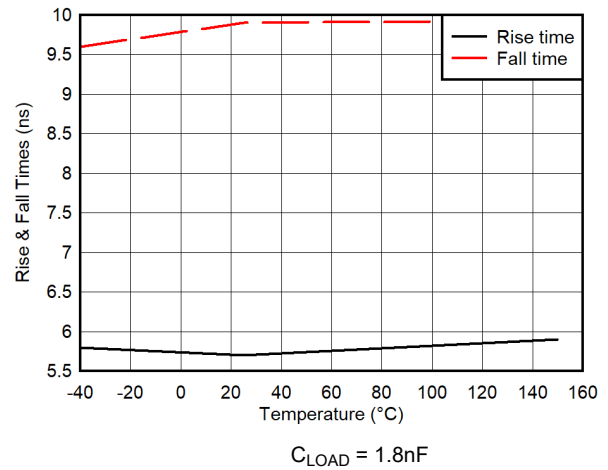


图 5-16. 输出上升和下降时间与温度间的关系

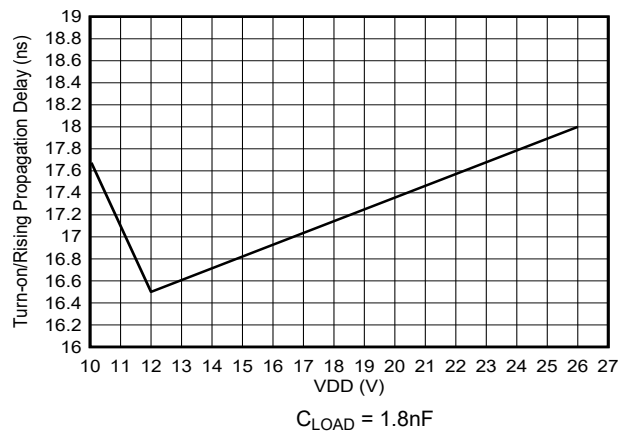


图 5-17. 输入到输出上升 (导通) 传播延迟与 VDD 间的关系

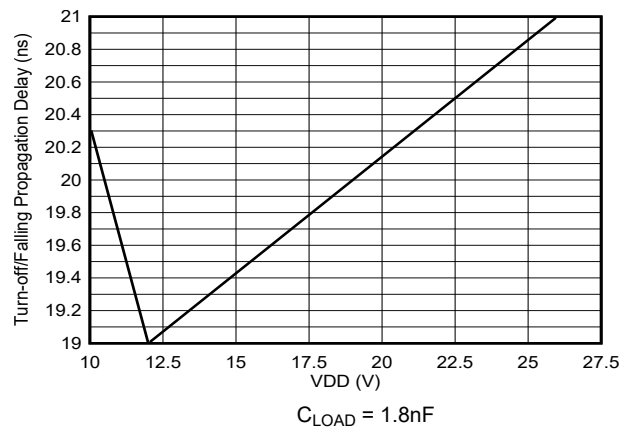


图 5-18. 输入到输出下降 (关断) 传播延迟与 VDD 间的关系

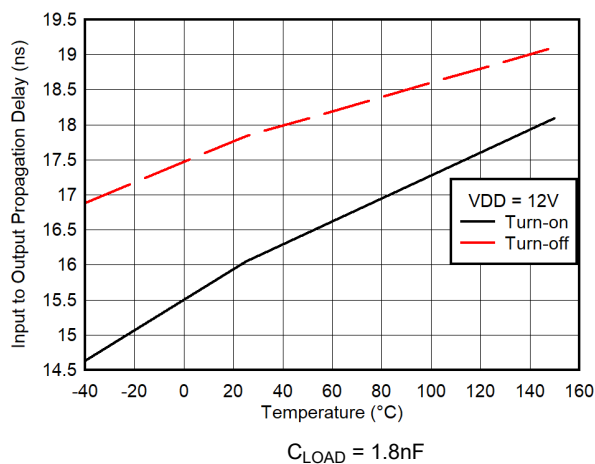


图 5-19. 输入传播延迟与温度间的关系

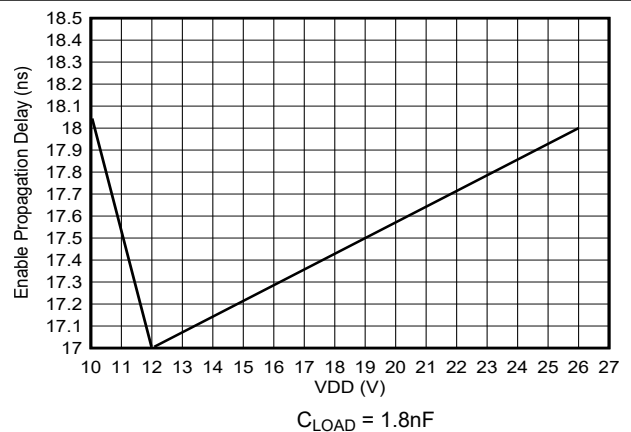


图 5-20. 使能到输出上升传播延迟

5.8 典型特性 (续)

除非另有说明, 否则 $V_{DD} = 12V$ 、 $I_{Nx} = 3.3V$ 、 $E_{Nx} = 3.3V$ 、 $T_J = 25^\circ C$ 且空载

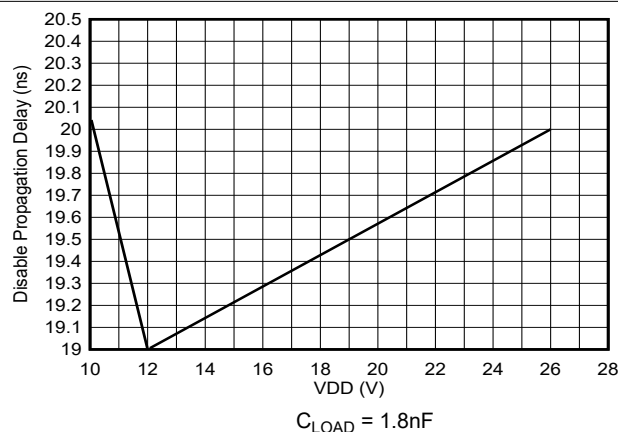


图 5-21. 使能到输出下降传播延迟

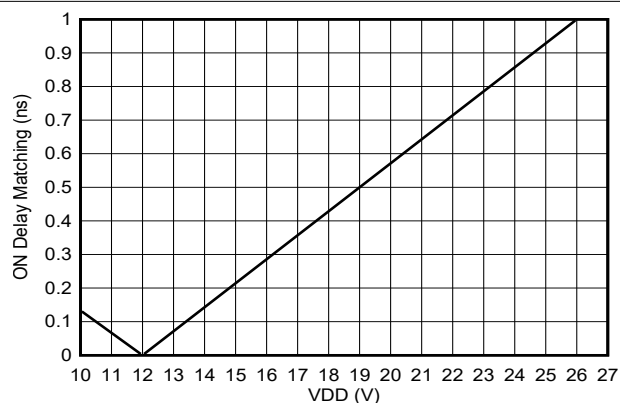


图 5-22. 导通/上升延迟匹配

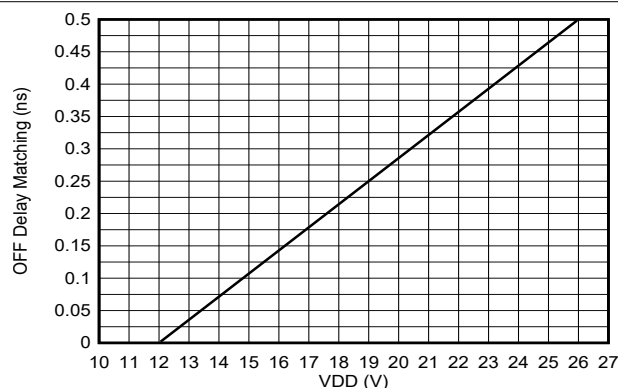


图 5-23. 关断和下降延迟匹配

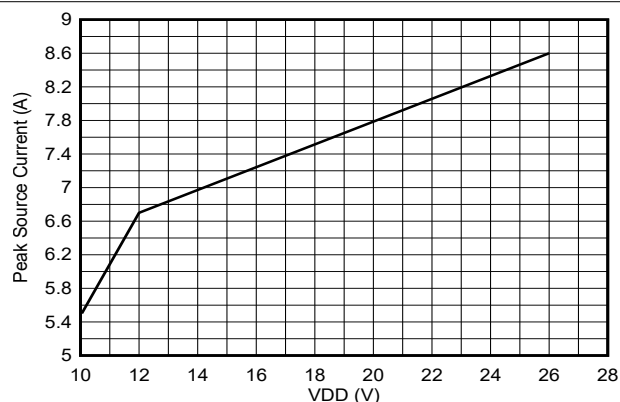


图 5-24. 峰值拉电流与 VDD 间的关系

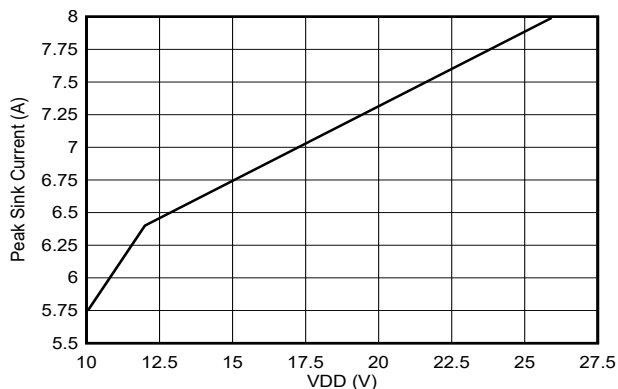


图 5-25. 峰值灌电流与 VDD 间的关系

6 详细说明

6.1 概述

UCC27624V-Q1 器件是 TI 最新一代双通道、低侧、高速栅极驱动器器件的代表，具有 5A 拉电流和灌电流能力、快速开关特性以及许多其他特性。 [UCC27624V-Q1 特性与优势](#) 详细说明了栅极驱动器的特性优势，这些优势相结合，可确保在高频开关电源电路中高效、稳健和可靠地运行。UCC27624V-Q1 具有稳健输入，可处理 -10V 电压，确保在嘈杂环境中可靠运行。由于可进行反向电流处理，以及轨到轨驱动能力和小传播延迟（典型值为 17ns），所以该驱动器在输出端具有良好的瞬态处理能力。凭借这种内置的稳健性，UCC27624V-Q1 器件也可以直接连接到栅极驱动变压器。

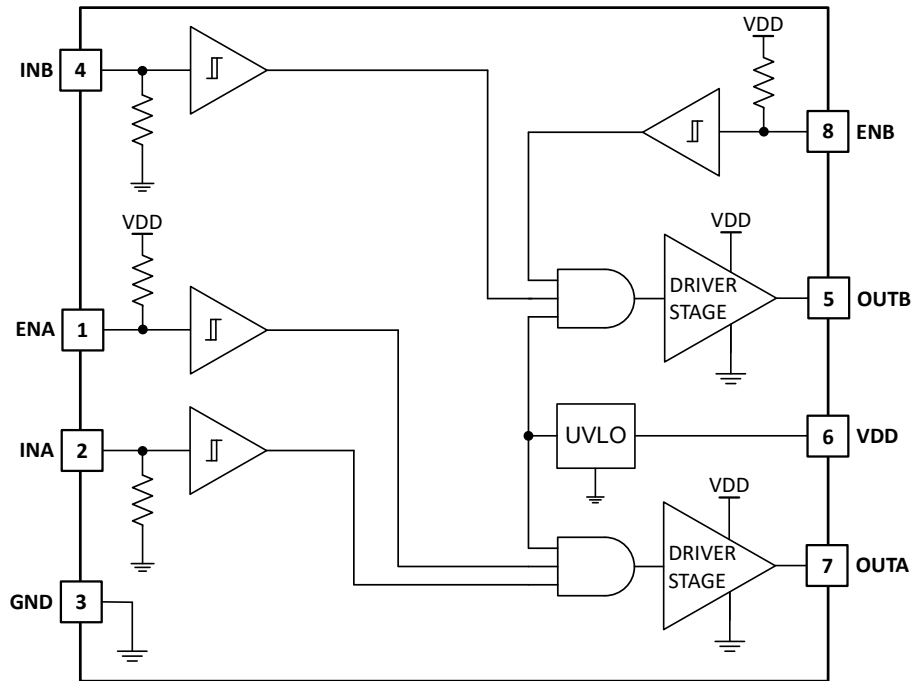
UCC27624V-Q1 的输入阈值与 TTL 低压逻辑兼容，此逻辑是固定的且与 VDD 电源电压无关。只要满足阈值要求，该驱动器还可以与基于 CMOS 的控制器配合使用。1V 滞后典型值提供出色的抗噪性能。

每个通道都有使能引脚 ENx，此引脚有一个固定的 TTL 兼容阈值。ENx 引脚在内部上拉。将 ENx 拉至低电平会禁用相应的通道，而使 ENx 保持开路可实现正常运行。ENx 引脚可用作一个额外输入，其性能与 INx 引脚一样。

表 6-1. UCC27624V-Q1 特性与优势

特性	优势
- 10V IN 和 EN 能力	在栅极驱动器上会出现接地反弹的嘈杂环境中提高信号可靠性和器件稳健性
17ns (典型值) 传播延迟	脉冲传输失真极低
通道间的延迟匹配时间为 1ns (典型值)	轻松将输出并联以实现更高 (两倍) 的电流能力。这有助于驱动并联电源开关。
9.5V 至 26V 的扩展 VDD 工作范围	系统设计具有灵活性。涵盖各种电源开关
- 40°C 至 +150°C 的宽工作温度范围	系统设计具有灵活性。系统稳健性改进
VDD UVLO 保护	在 UVLO 条件下，输出保持低电平，从而确保上电和断电时实现可预测的无干扰运行。
当输入引脚 (INx) 处于悬空状态时，输出保持低电平。	提供保护功能，在通过安全认证期间的异常情况测试时尤其有用
当使能引脚 (ENx) 处于悬空状态时，启用输出。	在引脚 1 和引脚 8 是“无连接”引脚的设计中，与德州仪器 (TI) 的原有器件引脚对引脚兼容
具有宽迟滞的输入和使能阈值	具有增强的抗噪性能，同时保持与微控制器逻辑电平输入信号 (3.3V、5V) 的兼容性，并针对数字电源进行了优化
输入不受 VDD 影响	系统简化，尤其是涉及辅助偏置电源架构时

6.2 功能方框图



典型的 ENx 上拉电阻为 200k Ω ，INx 下拉电阻为 120k Ω 。

6.3 特性说明

6.3.1 工作电源电流

UCC27624V-Q1 器件具有非常低的静态 I_{DD} 电流。电气特性表中总结了 UVLO 状态和完全导通状态（静态和开关条件下）下的典型工作电源电流。当器件完全导通且输出处于静态状态（直流高电平或直流低电平）时，可实现最低静态电流 (I_{DD})。在此状态期间，器件的所有内部逻辑电路都完全正常运行。总电源电流是静态 I_{DD} 电流、由于开关而产生的平均 I_{OUT} 电流以及任何与使能引脚上的上拉电阻相关的电流之和。在知道所使用的驱动电压下的工作开关频率 (f_{SW}) 和 MOSFET 栅极电荷 (Q_G) 的情况下，可以计算平均 I_{OUT} 电流，该电流是 Q_G 与 f_{SW} 的乘积。

[典型特性](#) 提供了在不同 V_{DD} 偏置电压下， I_{DD} 电流随着开关频率变化的完整特性。线性变化以及与平均 I_{OUT} 理论值的密切关联表明，栅极驱动器器件内部的击穿现象可以忽略不计，这表明了其高速特性。

6.3.2 输入级

UCC27624V-Q1 器件的输入引脚基于与 TTL 兼容的输入阈值逻辑，该逻辑与 V_{DD} 电源电压无关。在 2V 的高电平阈值和 1V 的低电平阈值下，可以使用从 3.3V 和 5V 数字电源控制器器件获取的 PWM 控制信号方便地驱动逻辑电平阈值。与传统的 TTL 逻辑实现（其中的迟滞通常小于 0.5V）相比，更宽的迟滞（典型值为 1V）可提供增强的噪声抗扰度。UCC27624V-Q1 器件还能够严格控制输入引脚阈值电压电平，从而简化系统设计注意事项并确保在整个温度范围内稳定运行（请参阅 [典型特性](#)）。这些引脚上的极低输入电容可减小负载并提高开关速度。

UCC27624V-Q1 器件具有一个重要的保护特性，能够在相应的输入引脚处于悬空状态时使通道的输出保持低电平。通过两个输入引脚（INA、INB）上的接地内部下拉电阻器来实现，如 [功能方框图](#) 所示。

输入引脚可以处理宽范围的压摆率。在大多数电源应用中，栅极驱动器要么由数字控制器的输出驱动，要么由逻辑栅极驱动。因此，在大多数应用中，输入信号压摆率很快，这对于 UCC27624V 系列器件而言不是问题。与输入端迟滞非常小的许多其他驱动器相比，UCC27624V-Q1 提供的宽迟滞减少了抖动问题。如果主要目标是限制功

率器件的上升或下降时间，那么强烈建议在驱动器的输出和开关功率器件的栅极之间添加一个外部栅极电阻器。该外部电阻可提供一个额外的优势，即降低栅极驱动器器件封装中与栅极电荷相关的部分功率耗散，并将其转移到外部电阻自身中。简而言之，部分功率会在栅极电阻器中耗散，而不是在栅极驱动器内部耗散。此外，UCC27624V-Q1 的输入引脚能够处理 -10V 的电压。这可提高有噪声（电气）应用中的系统稳健性。这还使驱动器能够直接连接到栅极驱动变压器的输出端，而无需使用整流二极管，从而节省布板空间和 BOM 成本。

6.3.3 使能功能

使能功能是栅极驱动器器件中一项极其有益的特性，尤其适用于同步整流等特定应用。在这些应用中，驱动器输出在轻负载条件下禁用，以防止负电流循环并提高轻负载效率。

UCC27624V-Q1 器件配备了独立的使能引脚 (ENx)，可对每个驱动器通道运行进行专有控制。使能引脚基于同相配置（高电平有效运行）。因此，当 ENx 引脚驱动为高电平时，启用驱动器；而当 ENx 引脚驱动为低电平时，禁用驱动器输出。与输入引脚类似，使能引脚也基于与 TTL 兼容的阈值逻辑（该逻辑与电源电压无关），并可使用 3.3V 或 5V 控制器的逻辑信号进行有效控制。UCC27624V-Q1 器件还能够严格控制使能功能阈值电压电平，从而简化系统设计注意事项并确保在整个温度范围内稳定运行。ENx 引脚通过上拉电阻在内部上拉至 VDD，因此器件的输出默认情况下处于启用状态。因此，即使 ENx 引脚保持悬空，也会启用驱动器输出。从本质上讲，这种悬空使得 UCC27624V-Q1 器件能够与 TI 的上一代驱动器（UCC27324、UCC27424、UCC27524）引脚对引脚兼容，其中引脚 1 和引脚 8 为 ENx 或 N/C 引脚。如果通道 A 和通道 B 的输入和输出并联以增加驱动器电流容量，则必须连接 ENA 和 ENB 并一起驱动。UCC27624V-Q1 的 ENx 引脚能够处理 -10V 的电压，从而提高有噪声（电气）应用中的系统稳健性。

6.3.4 输出级

UCC27624V-Q1 器件输出级的上拉电阻采用独特的架构，能够在特别需要时，也就是在电源开关导通转换的米勒平台区域期间（此时电源开关漏极或集电极电压经历 dv/dt ）提供最高的峰值拉电流。器件输出级具有混合上拉结构，该结构使用 N 沟道和 P 沟道 MOSFET 器件并行排列。通过在输出状态从低电平变为高电平的短暂片刻期间导通 N 沟道 MOSFET，栅极驱动器器件能够短暂增大峰值拉电流，从而实现快速导通。该 N 沟道 MOSFET 的导通电阻 (R_{NMOS}) 在激活时约为 $1.04\ \Omega$ 。

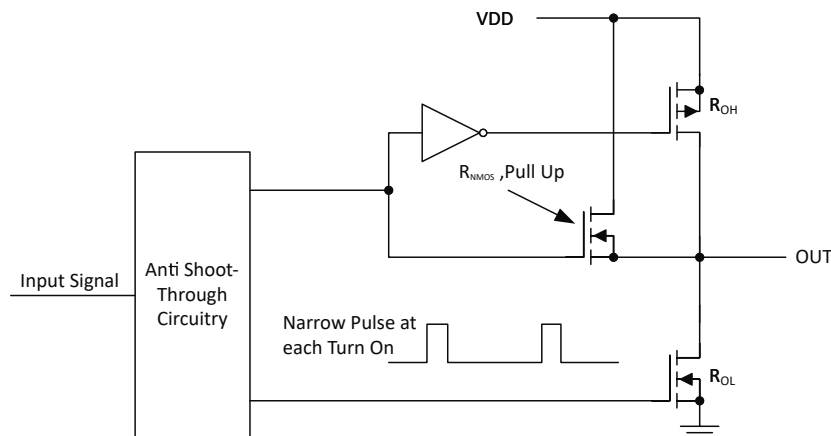


图 6-1. UCC27624V-Q1 栅极驱动器输出结构

R_{OH} 参数是直流测量值，仅代表 P 沟道器件的导通电阻。这是因为 N 沟道器件在直流条件下保持在关断状态，并且仅在输出状态从低电平变为高电平时短暂导通。请注意，在该短暂导通期间，UCC27624V-Q1 上拉级的有效电阻远低于 R_{OH} 参数所表示的有效电阻。

UCC27624V-Q1 器件中的下拉结构仅由 N 沟道 MOSFET 组成。 R_{OL} 参数也是一项直流测量值，表示器件下拉级的阻抗。

UCC27624V-Q1 器件的每个输出级都能提供 5A 峰值拉电流和 5A 峰值灌电流脉冲。输出电压在 VDD 和 GND 之间摆动，由于 MOS 输出级具有极低的压降，因此能够实现轨到轨运行。MOSFET 体二极管的存在还为瞬态过冲和下冲提供低阻抗。这些驱动器的输出能够承受 5A 的峰值反向瞬态电流，而不会造成器件损坏。

UCC27624V-Q1 器件尤其适用于双极性、对称驱动栅极变压器应用，在这种应用中，变压器的初级绕组由 OUTA 和 OUTB 驱动，输入 INA 和 INB 互为补充。这是可能的，因为这些器件的 MOS 输出级在高电平 (V_{OH}) 和低电平 (V_{OL}) 状态下都能提供极低压降，而且驱动器输出级的阻抗也较低。所有这些特性均可缓解人们对变压器退磁和磁通不平衡问题的担忧。低传播延迟也可确保针对高频应用的适当复位。

对于在功率 MOSFET 导通或关断间隔期间具有零电压开关的应用，即使不存在米勒平台区域，该驱动器也能提供高峰值电流以实现快速开关。这种情况通常发生在同步整流器应用中，因为体二极管通常在功率 MOSFET 接通之前就已导通。

6.3.5 低传播延迟和紧密匹配的输出

UCC27624V-Q1 驱动器器件的输入和输出之间具有非常小的传播延迟，仅为 17ns (典型值)，在高频开关应用中可实现超低脉宽失真。例如，在同步整流器应用中，当使用单个驱动器器件来驱动 SR MOSFET 时，SR MOSFET 的失真非常低。此外，驱动器器件在两个通道之间还具有非常精确的 1ns (典型值) 内部传播延迟匹配，这对于需要双栅极驱动的关键时序应用非常有利。例如，在 PFC 应用中，可以使用每个输出通道独立驱动一对并联 MOSFET，两个通道的输入均由 PFC 控制器的通用控制信号驱动。在这种情况下，1ns 延迟匹配可确保同时驱动并联 MOSFET，从而更大幅度地减小导通和关断延迟差异。两个通道之间紧密匹配的另一个好处是，两个通道可以连接在一起，从而有效地将驱动电流能力提高一倍。也就是说，可将 INA 和 INB 输入连接在一起，将 OUTA 和 OUTB 输出连接在一起，从而将 A 和 B 通道组合成一个驱动器；然后，可通过单个信号控制并联的功率器件。

6.4 器件功能模式

表 6-2. 器件逻辑表

ENA	ENB	INA	INB	UCC27624V-Q1	
				OUTA	OUTB
H	H	L	L	L	L
			H	L	H
		H	L	H	L
			H	H	H
L	L	不限	不限	L	L
不限	不限	浮点	浮点	L	L
浮点	浮点	L	L	L	L
			H	L	H
		H	L	H	L
			H	H	H

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

出于各种原因，开关电源应用中需要使用高电流栅极驱动器器件。为了使功率器件实现快速开关并降低相关开关功率损耗，在控制器件的 PWM 输出和功率半导体器件的栅极之间采用了一款强大的栅极驱动器器件。此外，当 PWM 控制器器件无法直接驱动开关器件的栅极时，必须使用栅极驱动器器件。随着数字电源的出现，经常会遇到该情况，因为来自数字控制器的 PWM 信号通常是 3.3V 逻辑信号，该信号无法有效打开电源开关。需要使用电平转换电路将 3.3V 信号提高至栅极驱动电压（例如 12V），从而完全开启功率器件并尽可能减小导通损耗。基于采用图腾柱排列的 NPN/PNP 双极晶体管（作为发射极跟随器配置）的传统缓冲器驱动电路经证明不适用于数字电源，因为传统的缓冲器驱动电路不具备电平转换功能。栅极驱动器器件能够有效地将电平转换和缓冲器驱动功能结合在一起。栅极驱动器器件还可以满足其他需求，例如通过使高电流驱动器的位置靠近电源开关来更大程度地减小高频开关的影响、驱动栅极驱动变压器并控制悬空的功率器件栅极、通过将栅极电荷功率损耗移至控制器来降低控制器器件中的功率耗散和热应力。

最后，新兴的宽带隙功率器件技术（如 SiC MOSFET）能够支持以极高的开关频率运行，这就对栅极驱动能力提出了特殊要求。这些要求包括宽工作电压范围、低传播延迟、良好的延迟匹配，以及可采用具有良好散热性能的紧凑型低电感封装。总之，栅极驱动器器件是开关电源中一个极其重要的元件，同时兼具高性能、低成本、更少元件数、更小布板空间和简化系统设计等优势。

7.2 典型应用

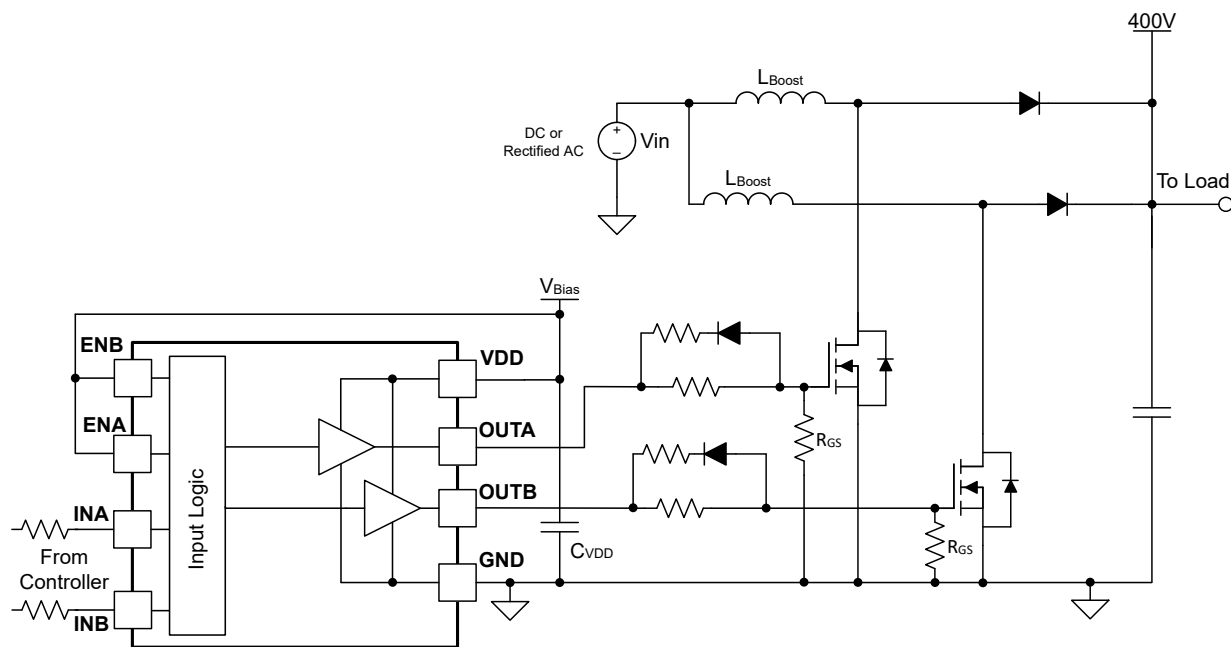


图 7-1. UCC27624V-Q1 典型应用图

7.2.1 设计要求

为终端应用选择和设计栅极驱动器器件时，必须首先考虑和评估一些功能方面，以便做出更合适的选择。这些注意事项包括偏置电压、UVLO、驱动电流和功率耗散。

7.2.2 详细设计过程

7.2.2.1 VDD 和欠压锁定

UCC27624V-Q1 器件的 VDD 引脚电源电路块具有内部欠压锁定 (UVLO) 保护特性。当 VDD 上升且电平仍低于 UVLO 阈值时，无论输入状态如何，该电路都会将输出保持为低电平。UVLO 通常为 8V，通常具有 500mV 的迟滞。这种迟滞防止了当 VDD 电源电压有噪声时，特别是在 VDD 工作范围的低端时产生抖动。UVLO 迟滞对于避免因快速开关转换（从辅助电源旁路电容器汲取大峰值电流）产生的偏置噪声而导致的任何误跳闸也很重要。在驱动新兴功率半导体器件（例如先进的低栅极电荷快速 MOSFET 和 SiC MOSFET）时，尤为重要是驱动器必须能够在宽偏置电压范围内运行，并且具有良好的开关特性。

上电时，UCC27624V-Q1 驱动器器件输出保持低电平，直到 VDD 电压达到 UVLO 上升阈值，而不受 INx 和 ENx 等任何其他输入引脚状态的影响。在达到 UVLO 上升阈值之后，OUT 信号的幅度随 V_{DD} 的增加而增加，直到达到稳定状态 V_{DD}。

为了获得出色的高速电路性能，并防止由于该器件从 VDD 引脚汲取电流以对所有内部电路进行偏置而出现噪声问题，请使用两个 VDD 旁路电容器。此外，使用表面贴装的低 ESR 电容器。应将一个 0.1 μ F 陶瓷电容器放置在与栅极驱动器器件的 VDD 至 GND 引脚相距小于 1mm 的位置。此外，必须并联一个更大的电容器 ($\geq 1 \mu$ F)（也尽可能靠近驱动器 IC），以便帮助提供负载所需的高电流峰值。电容器的并联组合具有低阻抗特性，以便在应用中实现预期的电流电平和开关频率。

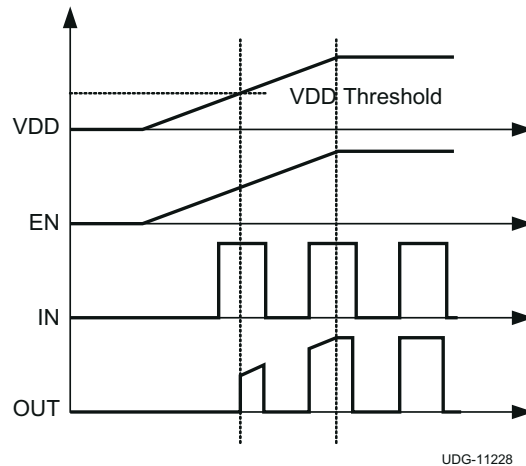


图 7-2. 上电序列

7.2.2.2 驱动电流和功率损耗

UCC27624V-Q1 驱动器能够在 VDD = 12V 时向开关电源器件栅极（MOSFET、IGBT、SiC MOSFET）提供 5A 峰值电流并持续数百纳秒。需要较高的峰值电流才能快速导通器件。然后，要关断器件，需要驱动器向接地端灌入差不多大小的电流，并以功率器件的工作开关频率重复这一过程。栅极驱动器器件封装中耗散的功率取决于以下因素：

- 功率 MOSFET 的栅极电荷（通常是驱动电压 V_{GS} 的函数，由于低 V_{OH} 压降，该电压非常接近于输入辅助电源电压 V_{DD}）。
- 开关频率
- 外部栅极电阻器

因为 UCC27624V-Q1 具有低静态电流和内部逻辑，能够消除输出驱动器级中的任何击穿，因此与功率器件开关造成的损耗相比，它们对栅极驱动器内功率耗散的影响非常小。

使用分立式容性负载对驱动器器件进行测试时，计算辅助电源所需的功率非常简单。下面的公式给出了一个例子，展示了必须从辅助电源传输多少能量才能为电容器充电。

$$E_G = \frac{1}{2} C_{LOAD} V_{DD}^2 \quad (1)$$

其中

- C_{LOAD} 是负载电容器。
- V_{DD} 是驱动器的偏置电压。

对电容器进行放电时，存在等量的能量耗散。这会产生如以下公式示例所示的总功率损耗。

$$P_G = C_{LOAD} V_{DD}^2 f_{SW} \quad (2)$$

其中

- f_{SW} 为开关频率。

当 $V_{DD} = 12V$ 、 $C_{LOAD} = 10nF$ 且 $f_{SW} = 300kHz$ 时，可按照以下公式计算出开关功率损耗：

$$P_G = 10nF \times 12V^2 \times 300kHz = 0.432W \quad (3)$$

可以通过检查对器件进行开关所需的栅极电荷，将功率 MOSFET 表示的开关负载转换为等效电容。该栅极电荷包括输入电容的效果，以及当功率器件在导通和关断状态之间切换时使其漏极电压摆动所需的附加电荷。大多数制造商都提供用于在指定条件下对器件进行开关的栅极电荷典型值和最大值规格（以 nC 为单位）。使用栅极电荷 Q_g 可确定电容器充电时必须耗散的功率，利用以下公式中所示的等效性 $Q_g = C_{LOAD} V_{DD}$ 来计算。

$$P_G = C_{LOAD} V_{DD}^2 f_{SW} = Q_g V_{DD} f_{SW} \quad (4)$$

假设 UCC27624V-Q1 器件在一个输出通道上以 60nC 的栅极电荷（ $V_{DD} = 12V$ 时， $Q_g = 60nC$ ）驱动功率 MOSFET，则使用以下公式来计算出栅极电荷相关的功率损耗。

$$P_G = 2 \times 60nC \times 12V \times 300kHz = 0.432W \quad (5)$$

该功率 P_G 在 MOSFET 导通或关断时在电路的电阻元件中耗散。在导通过程中对负载电容器进行充电时会耗散总功率的一半，在关断期间对负载电容器进行放电时会耗散另一半。如果在驱动器与 MOSFET/IGBT 之间没有采用外部栅极电阻器，该功率将完全耗散在驱动器封装中。在使用外部栅极电阻器的情况下，功率耗散会在驱动器的内部电阻和外部栅极电阻器之间分摊，具体分摊情况由这两个电阻之比决定（元件的电阻越高，耗散的功率越大）。根据该简化的分析，开关期间的驱动器功率耗散可按如下方式进行计算：

$$P_{SW} = 0.5 \times Q_g \times V_{DD} \times f_{SW} \times \left(\frac{R_{OFF}}{R_{OFF} + R_{GATE}} + \frac{R_{ON}}{R_{ON} + R_{GATE}} \right) \quad (6)$$

其中

- $R_{OFF} = R_{OL}$
- $R_{ON} = R_{OH}$ （上拉结构的有效电阻）

当外部栅极电阻足够大，可以降低驱动器的峰值电流时，需要使用上述公式。除了上述与栅极电荷相关的功率耗散外，驱动器中的耗散还与器件消耗的静态偏置电流相关的功率有关，该静态偏置电流用于偏置所有内部电路，

如输入级 (带上拉和下拉电阻) 、使能和 UVLO 部分。如电气特性表中所示,静态电流小于 1mA。由驱动器内部电路的直流电流消耗引起的功率损耗可按以下公式计算。

$$P_Q = I_{DD} V_{DD} \quad (7)$$

假设在 12V 偏置电压下内部总电流消耗为 0.6mA (典型值) , 则驱动器中的直流功率损耗为 :

$$P_Q = 0.6 \text{ mA} \times 12 \text{ V} = 7.2 \text{ mW} \quad (8)$$

与前面计算的与栅极电荷相关的功率耗散相比,此功率损耗微不足道。

使用 12V 电源时,偏置电流的估算如下 (静态消耗额外增加 0.6mA 的开销) :

$$I_{DD} \sim \frac{P_G}{V_{DD}} = \frac{0.432 \text{ W}}{12 \text{ V}} = 0.036 \text{ A} \quad (9)$$

如果栅极驱动器与电感负载一起使用,则应特别注意栅极驱动器器件每个引脚上的振铃。振铃不应超过引脚的建议工作额定值。

7.2.3 应用曲线

下图显示了高压升压转换器应用中使用的 UCC27624V-Q1 器件的典型开关特性。在该应用中, UCC27624V-Q1 驱动栅极电荷为 110nC 的 IGBT 开关。

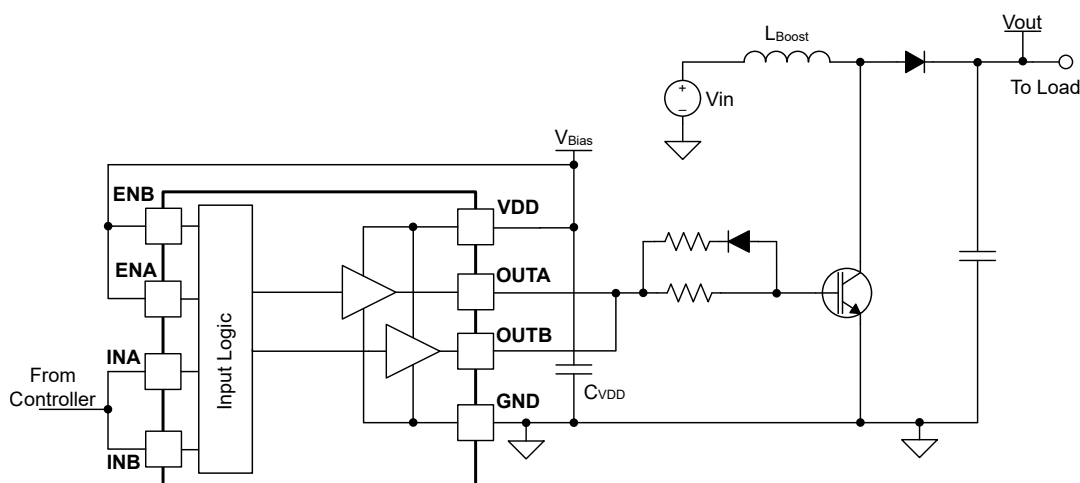
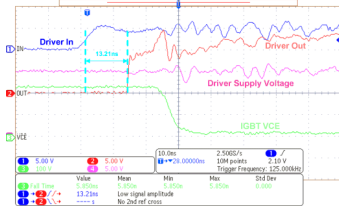
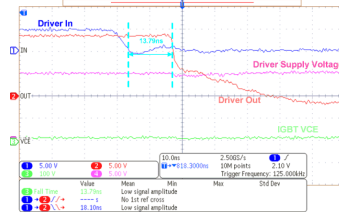


图 7-3. 用于在升压转换器中驱动 IGBT 的 UCC27624V-Q1



$V_{in} = 210V$, $V_{out} = 235V$, $I_{out} = 1.14A$, $F_{sw} = 125kHz$, 驱动器电源电压 = 15V, 栅极电阻 = 0Ω

图 7-4. 导通传播延迟波形



$V_{in} = 210V$, $V_{out} = 235V$, $I_{out} = 1.14A$, $F_{sw} = 100kHz$, 驱动器电源电压 = 15V, 栅极电阻 = 0Ω

图 7-5. 关断传播延迟波形

7.3 电源相关建议

UCC27624V-Q1 器件的额定工作辅助电源电压范围为 9.5V 至 26V。此范围的下限值由 V_{DD} 引脚电源电路块上的内部欠压锁定 (UVLO) 保护特性决定。如果驱动器处于 UVLO 状态, 则当 V_{DD} 引脚电压低于 V_{DD} UVLO 导通 (上升) 阈值时, UVLO 保护特性就会将输出保持在低电平, 无论输入的状态如何都是如此。该范围的上限由器件 V_{DD} 引脚的 30V 绝对最大电压额定值 (这是应力额定值) 驱动。器件的绝对最大额定值必须有足够的裕度, 才能让器件实现完整的使用寿命。因此, V_{DD} 引脚的建议电压上限为 26V。

UVLO 保护功能还具有迟滞功能。这意味着, 当 V_{DD} 引脚偏置电压超过上升阈值电压时, 器件开始正常工作。如果 V_{DD} 偏置电压在导通时降低至低于上升阈值, 则器件会继续提供正常的功能, 除非压降超过下降阈值的迟滞规格。因此, 在 9.5V 或接近此值运行时, 设计工程师应确保辅助电源输出上的电压纹波小于器件的迟滞规格。否则, 器件输出可能会关闭。在系统关断期间, 器件会继续运行, 直到 V_{DD} 引脚电压降至 V_{DD} 关断 (下降) 阈值以下, 在评估系统关断时序要求时, 必须考虑该情况。在系统启动时, 直到 V_{DD} 引脚电压超出 V_{DD} 导通 (上升) 阈值后, 器件才开始运行。

器件内部电路模块消耗的静态电流由 V_{DD} 引脚提供。尽管这一事实众所周知, 但要认识到 $OUTA/B$ 引脚提供的拉电流脉冲电荷也通过同一 V_{DD} 引脚电容器提供, 这一点很重要。因此, 每次从输出引脚拉取电流时, 均会通过 V_{DD} 引脚向器件提供相应的电流脉冲。因此, 必须确保在 V_{DD} 和 GND 引脚之间提供本地旁路电容器, 并且这些电容器必须尽可能靠近器件引脚, 以便实现去耦。需要使用低 ESR 的陶瓷表面贴装电容器。TI 建议使用两个电容器: 一个 $0.1\mu F$ 陶瓷表面贴装电容器, 距离器件的 V_{DD} 引脚不到 1mm; 另一个更大的陶瓷电容器 ($\geq 1\mu F$) 必须并联连接。

UCC27624V-Q1 是一款高电流栅极驱动器。如果栅极驱动器放置在远离 MOSFET 等开关功率器件的位置, 则会形成较大的感应环路。较大的感应环路可能会导致栅极驱动器的任何和所有引脚上产生过度振铃。这可能会导致应力超过器件的建议额定值。因此, 将栅极驱动器放置在尽可能靠近开关功率器件的位置。此外, 使用外部栅极电阻器来抑制因高开关电流和电路板寄生元件而产生的任何振铃。

7.4 布局

7.4.1 布局指南

在高电流快速开关电路中, 适当的 PCB 布局对于器件正常工作和设计稳健性而言极其重要。UCC27624V-Q1 栅极驱动器具有小传播延迟和强大的输出级, 能够在功率 MOSFET 的栅极上提供较大的电流峰值以及很短的上升和下降时间, 从而有助于实现非常快的电压瞬变。如果布线长度和阻抗未控制得当, 那么极高的 di/dt 会导致无法接受的振铃。在使用这些高速驱动器进行设计时, 建议遵循以下电路布局准则。

- 驱动器 IC 应尽量靠近功率器件放置, 从而更大限度地缩短驱动器 IC 输出引脚与开关功率器件的栅极之间的高电流布线长度。
- 将 V_{DD} 和 GND 之间的 V_{DD} 旁路电容放置在尽可能靠近驱动器 IC 且布线长度最短的位置, 以提高噪声滤波效果。这些电容器支持在功率 MOSFET 导通期间通过 V_{DD} 引脚消耗高峰值电流。强烈建议使用低电感表面贴装器件 (SMD) 元件 (如额定电压为 50V 的 X7R 片式电容器)。

- 必须尽可能缩短导通和关断电流回路路径（驱动器器件、功率 MOSFET 和 VDD 旁路电容器），以便将杂散电感保持在最低水平。这些环路中存在两个实例会建立高 di/dt ，即导通和关断瞬态期间，这会在驱动器器件的输出引脚和功率 MOSFET 的栅极上产生显著的电压瞬态。
- 尽可能使源布线和返回布线保持平行，从而利用磁通抵消。
- 将电源布线与信号布线（如输出和输入信号）分开。
- 为了更大限度地减少开关节点瞬态和振铃，可能需要在功率器件上添加一些栅极电阻和/或缓冲器。这些措施也可能降低 EMI。
- 星形点接地是一种尽可能地减少噪声从一个电流环路耦合到另一个电流环路的好方法。驱动器的 GND 在一个点连接至其他电路节点（如功率 MOSFET 源极、PWM 控制器接地端等）。必须尽可能缩短连接路径，以降低电感；并尽量拓宽连接路径，以降低电阻。
- 使用接地平面来提供噪声屏蔽。驱动器 IC 的 OUT 引脚上的快速上升和下降时间可能会破坏驱动器 IC 的输入信号。接地平面不得是任何高电流（功率级）环路的传导路径。相反，必须使用一根迹线将接地平面连接到星形点，从而建立接地电势。除噪声屏蔽之外，接地平面还可以帮助降低功率耗散。
- 在现有设计或新设计中将任何栅极驱动器 IC 替换为 UCC27624V-Q1 器件时，尤其是它们不具有相同的驱动强度时，外部栅极电阻器和并联二极管电阻器组合可能会非常有用。

7.4.2 布局示例

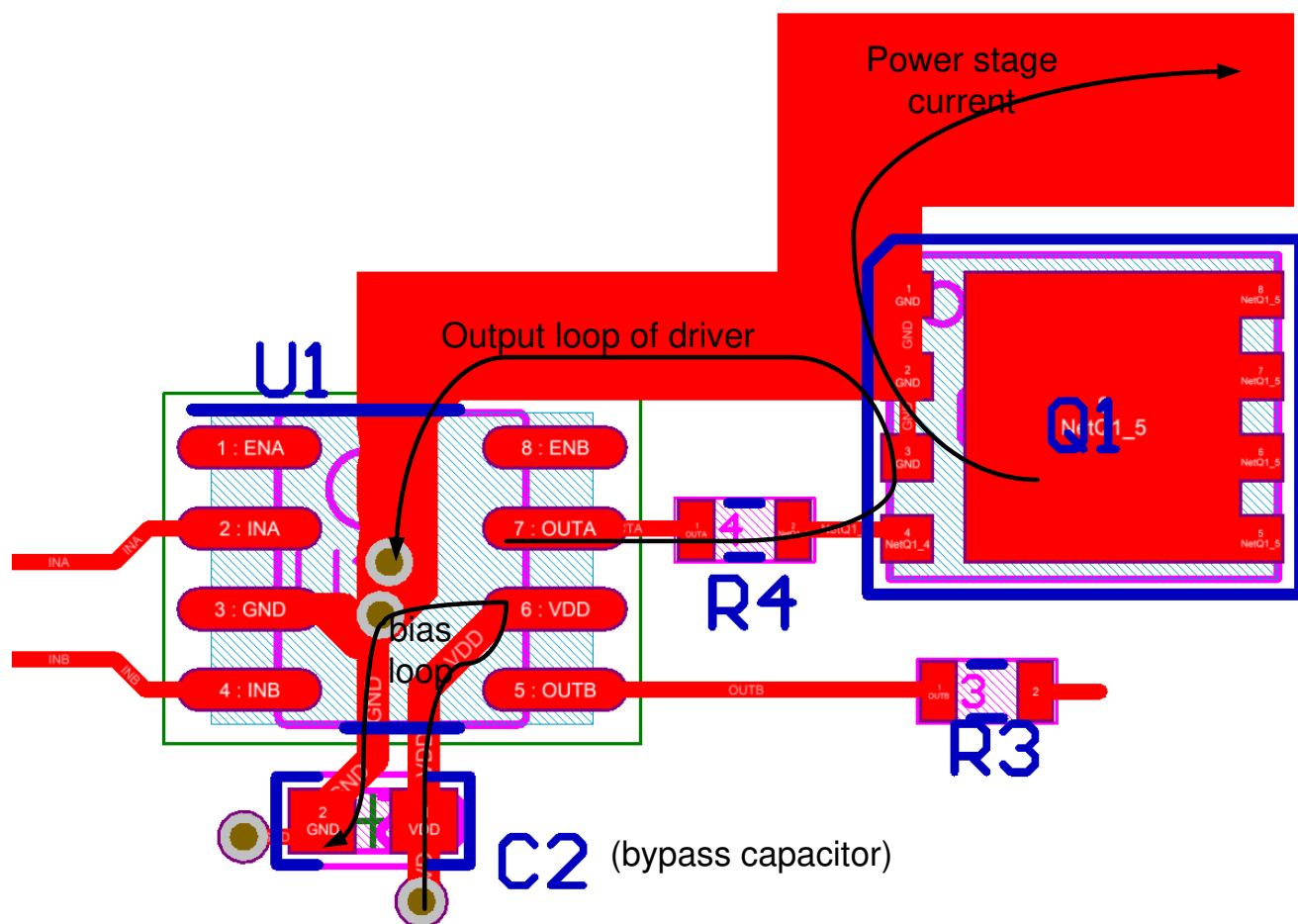


图 7-6. UCC27624V-Q1 布局示例

7.4.3 散热注意事项

负载的驱动功率要求以及器件封装的散热特性会极大地影响驱动器的有用范围。为了使栅极驱动器器件在特定的温度范围内有用，封装必须允许有效地散发产生的热量，同时使结温保持在规定限值以内。有关热性能信息的详细信息，请参阅 [半导体和 IC 封装热指标应用手册 \(SPRA953\)](#)。

在可用于 UCC27624V-Q1 器件的不同封装选项中，尤其值得一提的是 DGN 封装的功率耗散能力。VSSOP-8 (DGN) 封装提供了散热焊盘，通过封装底部实现半导体结散热。该焊盘直接焊接在器件封装下方印刷电路板的铜层上，从而将热阻降至一个很小的值。与 D 封装相比，散热性能明显得到改善。印刷电路板的设计必须采用导热焊盘和散热过孔，以完善散热子系统。请注意，VSSOP-8 封装中的外露焊盘未直接连接到封装的任何引线；不过，PowerPAD 与器件的基底进行了热连接。TI 建议在 PCB 布局中将外露焊盘外接到驱动器 IC 的 GND 引脚。

8 器件和文档支持

8.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.4 商标

PowerPAD™ is a trademark of Texas Instruments.

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (March 2025) to Revision A (March 2026)	Page
• 向“封装信息”添加了 DDA 和 DGK.....	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC27624VQDDARQ1	Active	Production	SO PowerPAD (DDA) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	624VQDDA
UCC27624VQDGKRQ1	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	JVQK
UCC27624VQDGNRQ1	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	24VQ
UCC27624VQDGNRQ1.A	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	24VQ
UCC27624VQDRQ1	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	U624VQ

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UCC27624V-Q1 :

- Catalog : [UCC27624V](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION



*All dimensions are nominal

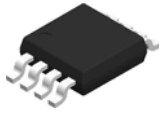
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC27624VQDDARQ1	SO PowerPAD	DDA	8	3000	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
UCC27624VQDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
UCC27624VQDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
UCC27624VQDRQ1	SOIC	D	8	3000	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

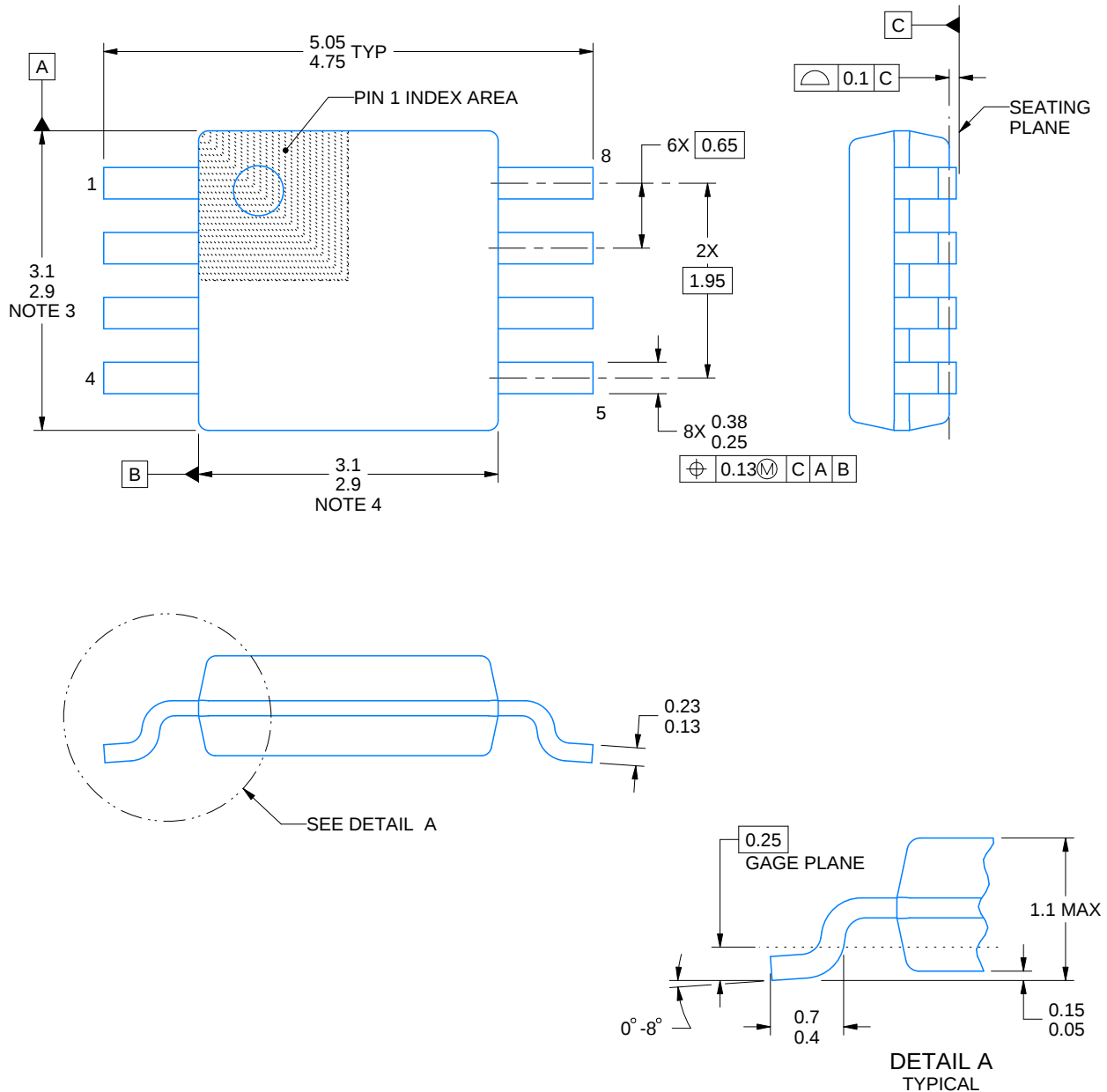


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC27624VQDDARQ1	SO PowerPAD	DDA	8	3000	340.5	336.1	25.0
UCC27624VQDGKRQ1	VSSOP	DGK	8	2500	353.0	353.0	32.0
UCC27624VQDGNRQ1	HVSSOP	DGN	8	2500	353.0	353.0	32.0
UCC27624VQDRQ1	SOIC	D	8	3000	340.5	336.1	25.0

DGK0008A**PACKAGE OUTLINE****VSSOP - 1.1 mm max height**

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

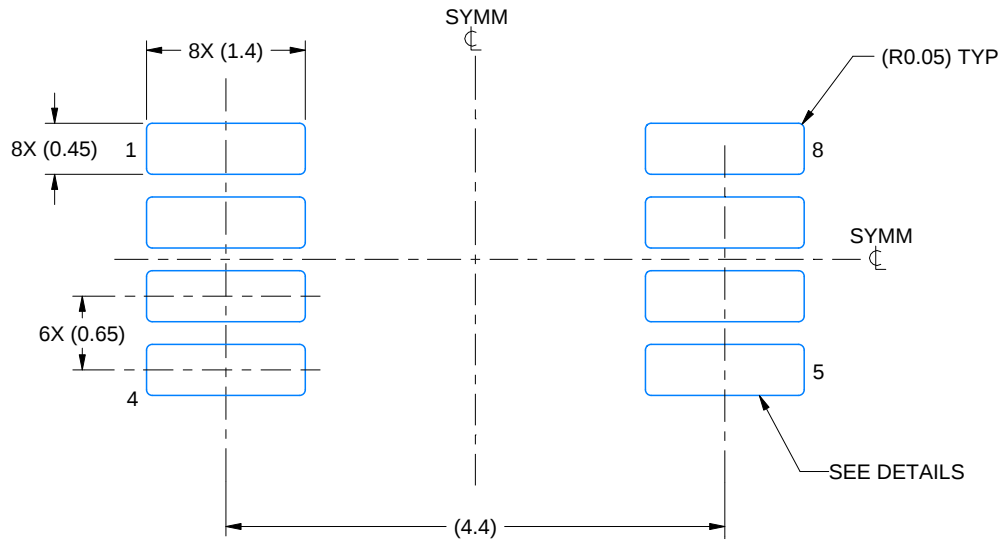
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

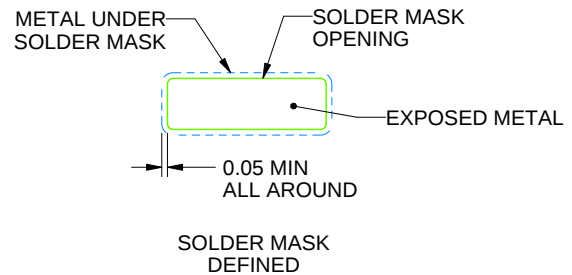
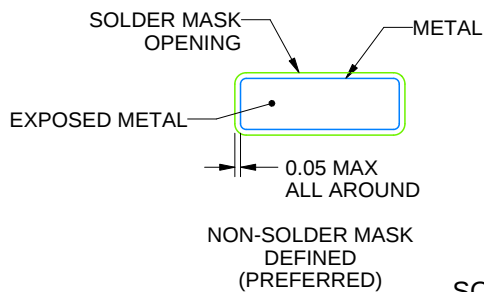
DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

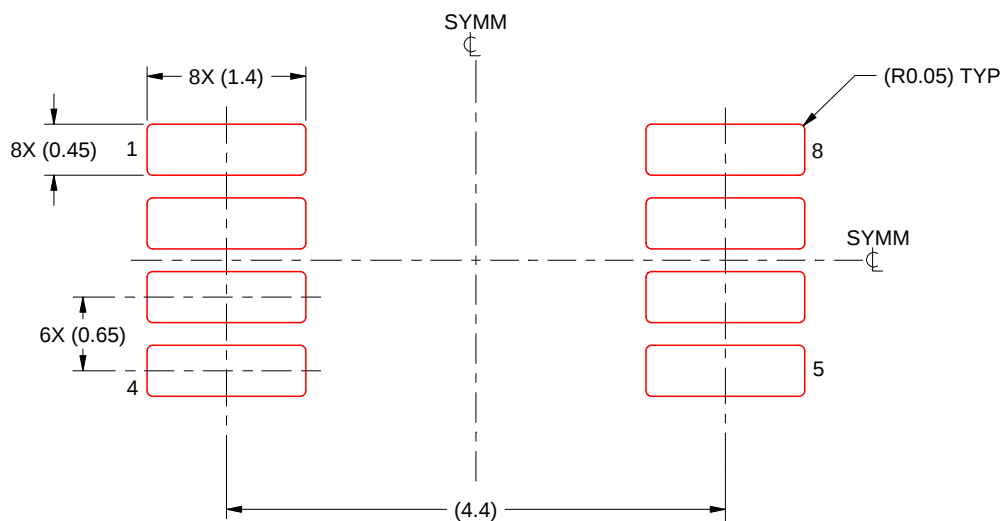
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

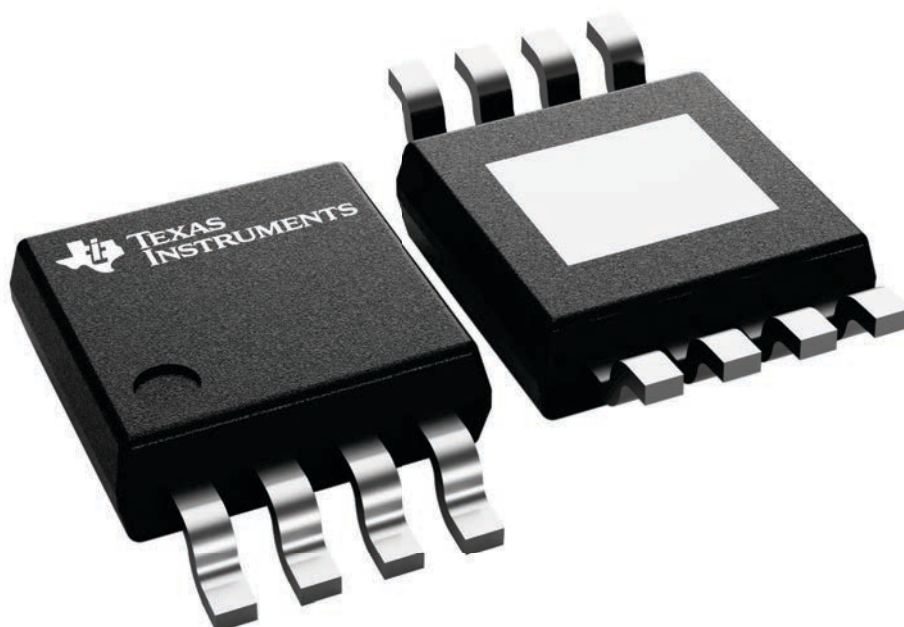
DGN 8

PowerPAD™ HVSSOP - 1.1 mm max height

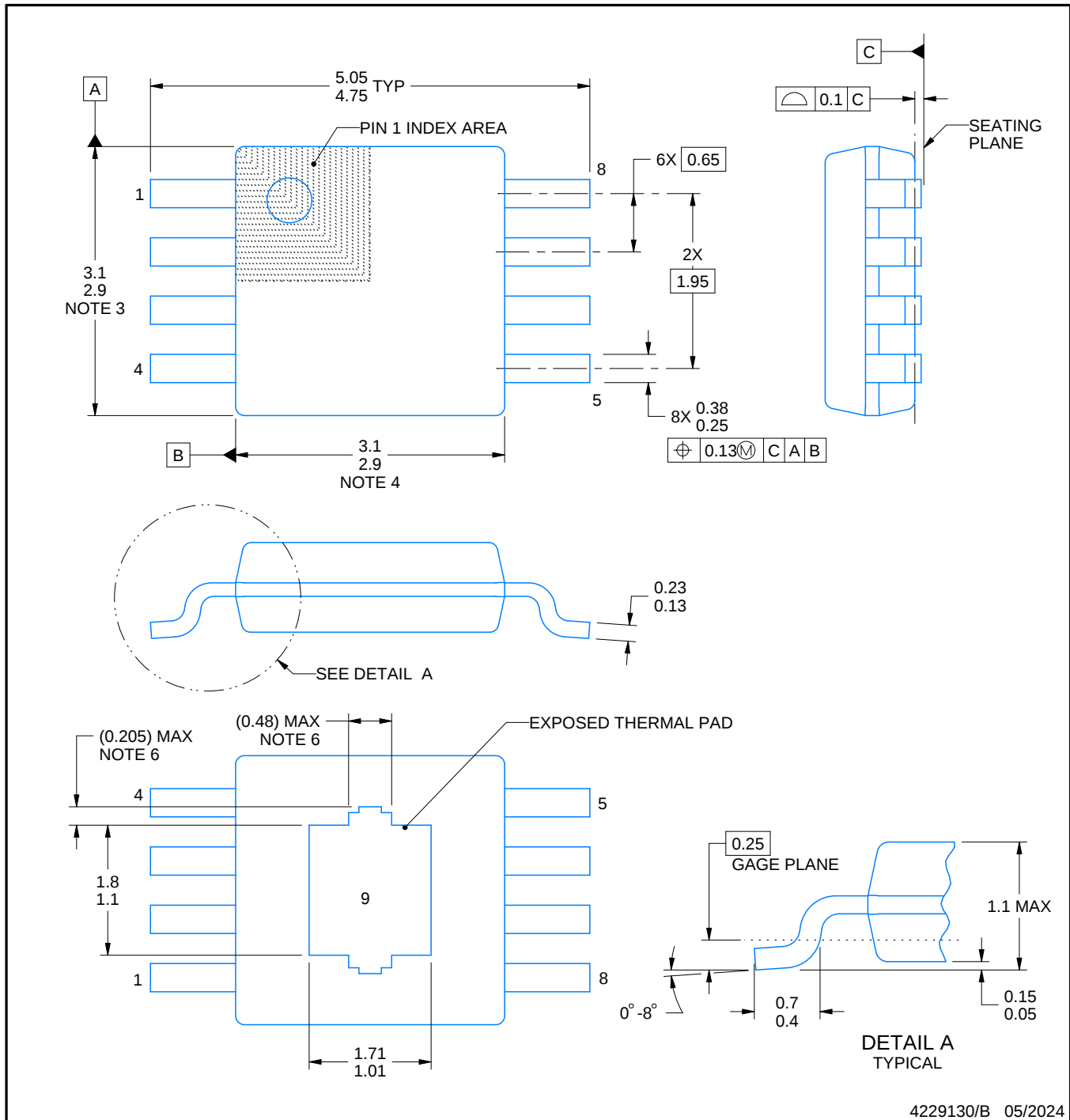
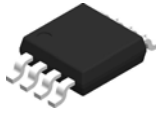
3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225482/B



4229130/B 05/2024

NOTES:

PowerPAD is a trademark of Texas Instruments.

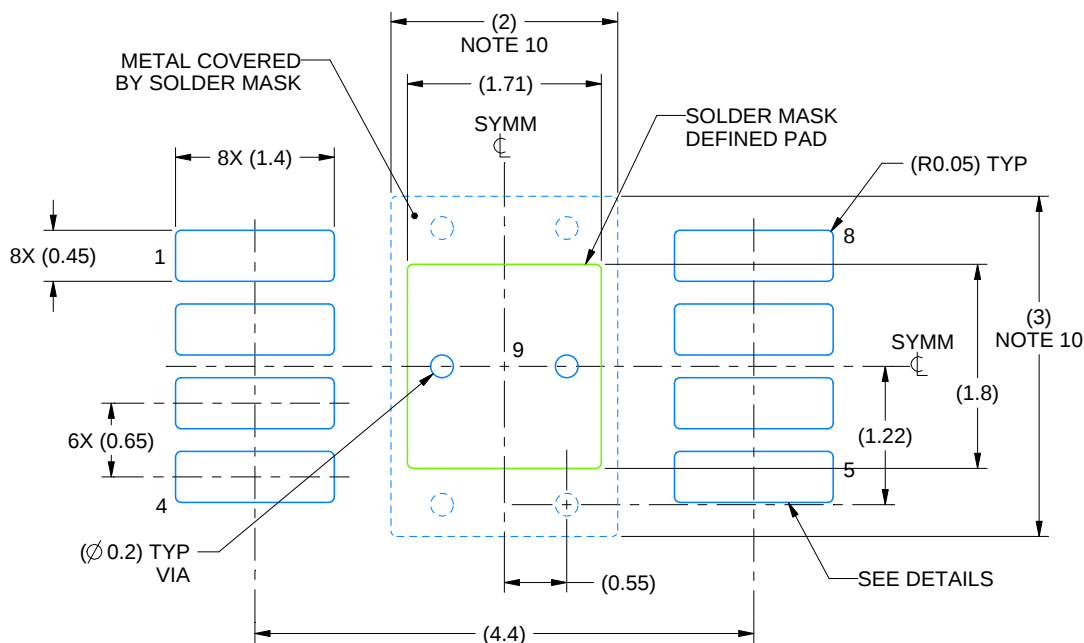
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.
6. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

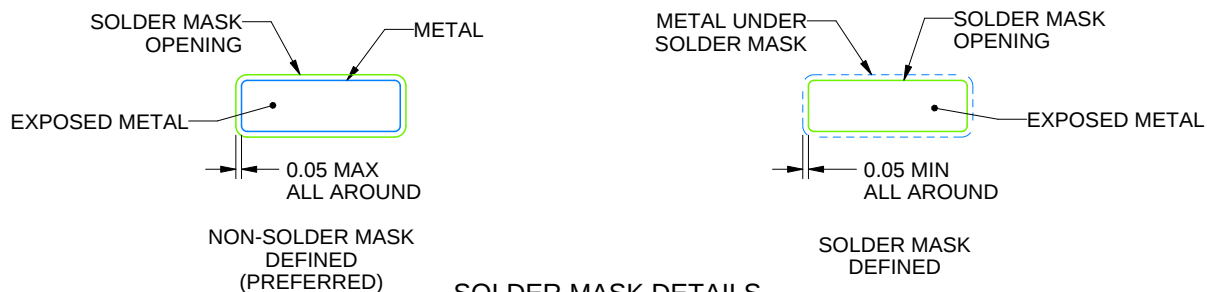
DGN0008H

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4229130/B 05/2024

NOTES: (continued)

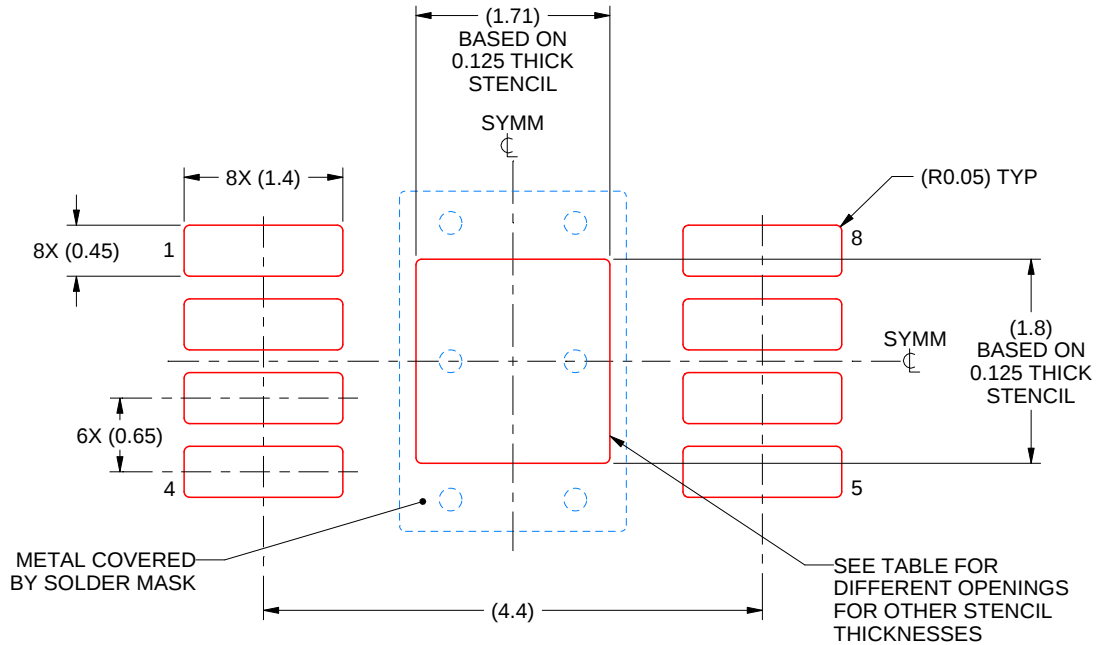
7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGN0008H

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



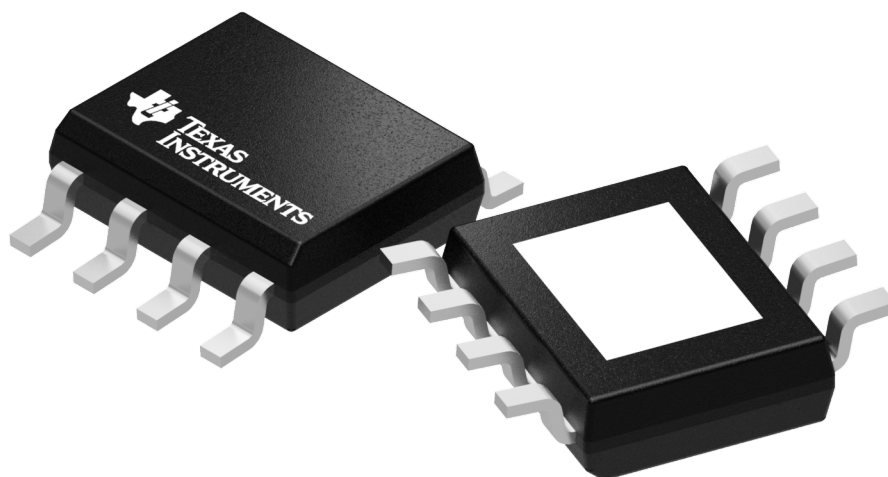
SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.91 X 2.01
0.125	1.71 X 1.80 (SHOWN)
0.15	1.56 X 1.64
0.175	1.45 X 1.52

4229130/B 05/2024

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

PowerPAD™ SOIC - 1.7 mm max height

Technical drawing of a microelectronic package showing top, side, and detail views with dimensions and callouts.

Top View:

- Overall width: 6.2 (TYP) / 5.8
- Overall height: 5.0 / 4.8 (NOTE 3)
- Pin 1 ID AREA (hatched)
- Pin 1 location: 1
- Pin 2 location: 8
- Pin 3 location: 2X (3.81)
- Pin 4 location: 4
- Pin 5 location: 5
- Pin 6 location: 6X (1.27)
- Pin 7 location: 8X (0.51 / 0.31)
- Pin 8 location: 8
- Pin 9 location: 9
- Pin 10 location: 10
- Pin 11 location: 11
- Pin 12 location: 12
- Pin 13 location: 13
- Pin 14 location: 14
- Pin 15 location: 15
- Pin 16 location: 16
- Pin 17 location: 17
- Pin 18 location: 18
- Pin 19 location: 19
- Pin 20 location: 20
- Pin 21 location: 21
- Pin 22 location: 22
- Pin 23 location: 23
- Pin 24 location: 24
- Pin 25 location: 25
- Pin 26 location: 26
- Pin 27 location: 27
- Pin 28 location: 28
- Pin 29 location: 29
- Pin 30 location: 30
- Pin 31 location: 31
- Pin 32 location: 32
- Pin 33 location: 33
- Pin 34 location: 34
- Pin 35 location: 35
- Pin 36 location: 36
- Pin 37 location: 37
- Pin 38 location: 38
- Pin 39 location: 39
- Pin 40 location: 40
- Pin 41 location: 41
- Pin 42 location: 42
- Pin 43 location: 43
- Pin 44 location: 44
- Pin 45 location: 45
- Pin 46 location: 46
- Pin 47 location: 47
- Pin 48 location: 48
- Pin 49 location: 49
- Pin 50 location: 50
- Pin 51 location: 51
- Pin 52 location: 52
- Pin 53 location: 53
- Pin 54 location: 54
- Pin 55 location: 55
- Pin 56 location: 56
- Pin 57 location: 57
- Pin 58 location: 58
- Pin 59 location: 59
- Pin 60 location: 60
- Pin 61 location: 61
- Pin 62 location: 62
- Pin 63 location: 63
- Pin 64 location: 64
- Pin 65 location: 65
- Pin 66 location: 66
- Pin 67 location: 67
- Pin 68 location: 68
- Pin 69 location: 69
- Pin 70 location: 70
- Pin 71 location: 71
- Pin 72 location: 72
- Pin 73 location: 73
- Pin 74 location: 74
- Pin 75 location: 75
- Pin 76 location: 76
- Pin 77 location: 77
- Pin 78 location: 78
- Pin 79 location: 79
- Pin 80 location: 80
- Pin 81 location: 81
- Pin 82 location: 82
- Pin 83 location: 83
- Pin 84 location: 84
- Pin 85 location: 85
- Pin 86 location: 86
- Pin 87 location: 87
- Pin 88 location: 88
- Pin 89 location: 89
- Pin 90 location: 90
- Pin 91 location: 91
- Pin 92 location: 92
- Pin 93 location: 93
- Pin 94 location: 94
- Pin 95 location: 95
- Pin 96 location: 96
- Pin 97 location: 97
- Pin 98 location: 98
- Pin 99 location: 99
- Pin 100 location: 100
- Pin 101 location: 101
- Pin 102 location: 102
- Pin 103 location: 103
- Pin 104 location: 104
- Pin 105 location: 105
- Pin 106 location: 106
- Pin 107 location: 107
- Pin 108 location: 108
- Pin 109 location: 109
- Pin 110 location: 110
- Pin 111 location: 111
- Pin 112 location: 112
- Pin 113 location: 113
- Pin 114 location: 114
- Pin 115 location: 115
- Pin 116 location: 116
- Pin 117 location: 117
- Pin 118 location: 118
- Pin 119 location: 119
- Pin 120 location: 120
- Pin 121 location: 121
- Pin 122 location: 122
- Pin 123 location: 123
- Pin 124 location: 124
- Pin 125 location: 125
- Pin 126 location: 126
- Pin 127 location: 127
- Pin 128 location: 128
- Pin 129 location: 129
- Pin 130 location: 130
- Pin 131 location: 131
- Pin 132 location: 132
- Pin 133 location: 133
- Pin 134 location: 134
- Pin 135 location: 135
- Pin 136 location: 136
- Pin 137 location: 137
- Pin 138 location: 138
- Pin 139 location: 139
- Pin 140 location: 140
- Pin 141 location: 141
- Pin 142 location: 142
- Pin 143 location: 143
- Pin 144 location: 144
- Pin 145 location: 145
- Pin 146 location: 146
- Pin 147 location: 147
- Pin 148 location: 148
- Pin 149 location: 149
- Pin 150 location: 150
- Pin 151 location: 151
- Pin 152 location: 152
- Pin 153 location: 153
- Pin 154 location: 154
- Pin 155 location: 155
- Pin 156 location: 156
- Pin 157 location: 157
- Pin 158 location: 158
- Pin 159 location: 159
- Pin 160 location: 160
- Pin 161 location: 161
- Pin 162 location: 162
- Pin 163 location: 163
- Pin 164 location: 164
- Pin 165 location: 165
- Pin 166 location: 166
- Pin 167 location: 167
- Pin 168 location: 168
- Pin 169 location: 169
- Pin 170 location: 170
- Pin 171 location: 171
- Pin 172 location: 172
- Pin 173 location: 173
- Pin 174 location: 174
- Pin 175 location: 175
- Pin 176 location: 176
- Pin 177 location: 177
- Pin 178 location: 178
- Pin 179 location: 179
- Pin 180 location: 180
- Pin 181 location: 181
- Pin 182 location: 182
- Pin 183 location: 183
- Pin 184 location: 184
- Pin 185 location: 185
- Pin 186 location: 186
- Pin 187 location: 187
- Pin 188 location: 188
- Pin 189 location: 189
- Pin 190 location: 190
- Pin 191 location: 191
- Pin 192 location: 192
- Pin 193 location: 193
- Pin 194 location: 194
- Pin 195 location: 195
- Pin 196 location: 196
- Pin 197 location: 197
- Pin 198 location: 198
- Pin 199 location: 199
- Pin 200 location: 200
- Pin 201 location: 201
- Pin 202 location: 202
- Pin 203 location: 203
- Pin 204 location: 204
- Pin 205 location: 205
- Pin 206 location: 206
- Pin 207 location: 207
- Pin 208 location: 208
- Pin 209 location: 209
- Pin 210 location: 210
- Pin 211 location: 211
- Pin 212 location: 212
- Pin 213 location: 213
- Pin 214 location: 214
- Pin 215 location: 215
- Pin 216 location: 216
- Pin 217 location: 217
- Pin 218 location: 218
- Pin 219 location: 219
- Pin 220 location: 220
- Pin 221 location: 221
- Pin 222 location: 222
- Pin 223 location: 223
- Pin 224 location: 224
- Pin 225 location: 225
- Pin 226 location: 226
- Pin 227 location: 227
- Pin 228 location: 228
- Pin 229 location: 229
- Pin 230 location: 230
- Pin 231 location: 231
- Pin 232 location: 232
- Pin 233 location: 233
- Pin 234 location: 234
- Pin 235 location: 235
- Pin 236 location: 236
- Pin 237 location: 237
- Pin 238 location: 238
- Pin 239 location: 239
- Pin 240 location: 240
- Pin 241 location: 241
- Pin 242 location: 242
- Pin 243 location: 243
- Pin 244 location: 244
- Pin 245 location: 245

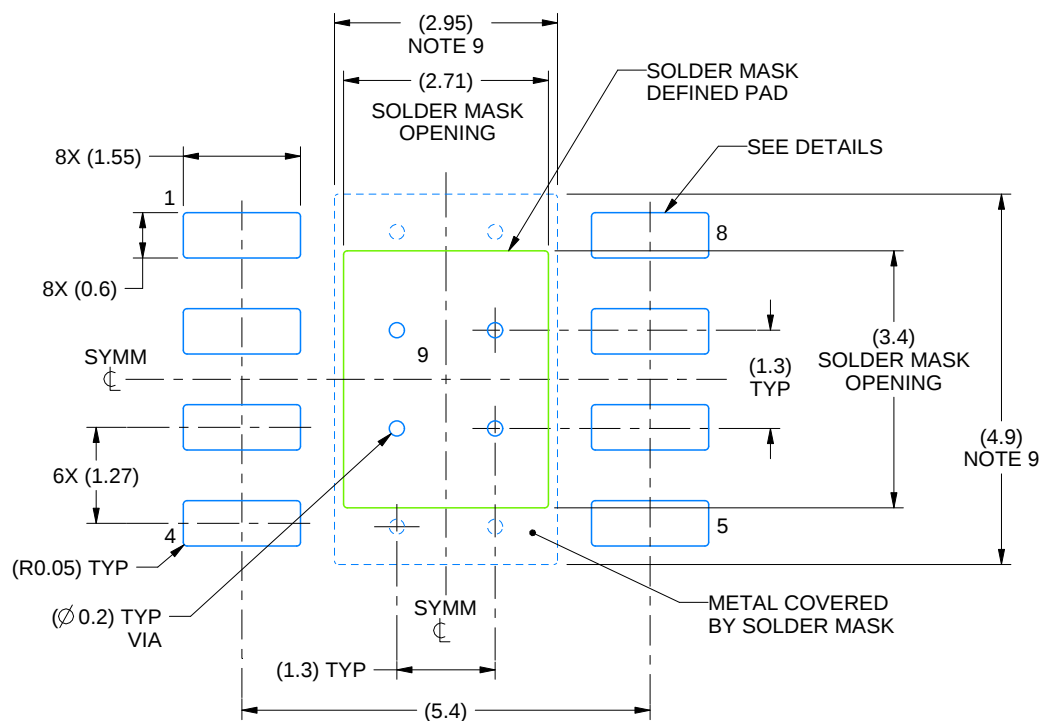
PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012.

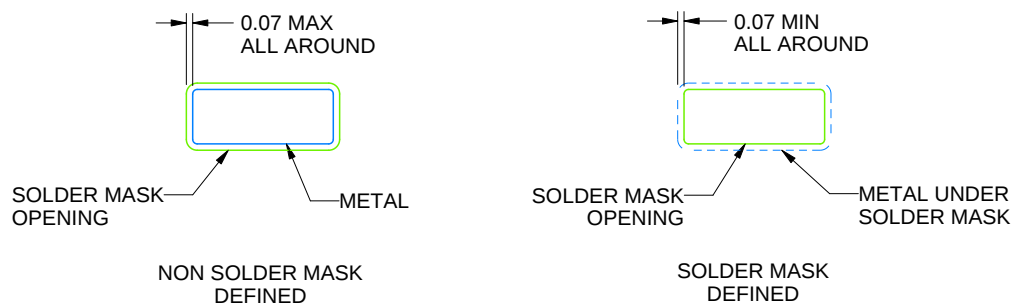
DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
PADS 1-8

4214849/B 09/2025

NOTES: (continued)

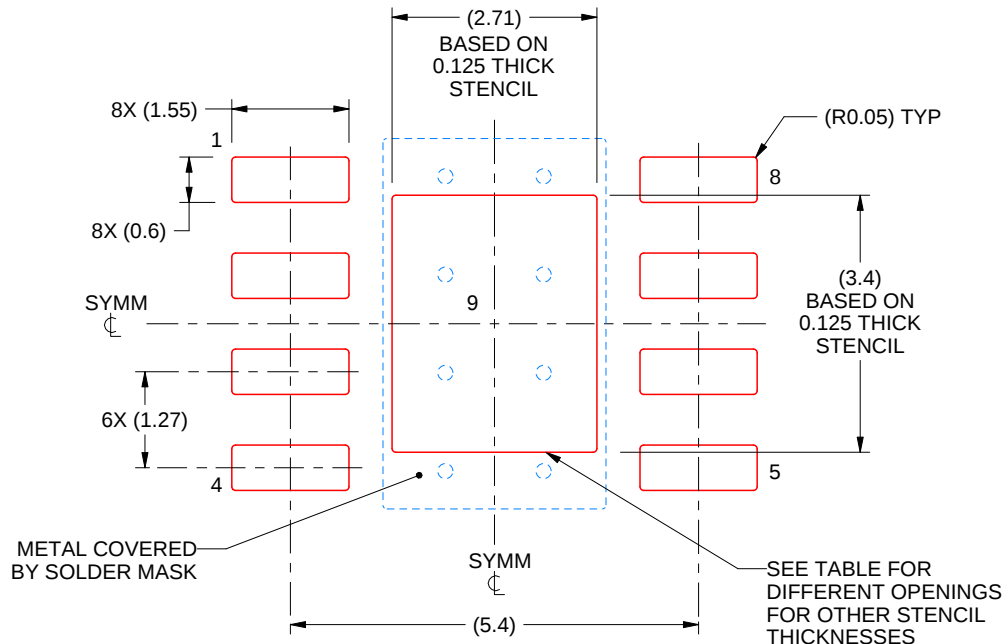
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



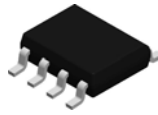
SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.03 X 3.80
0.125	2.71 X 3.40 (SHOWN)
0.150	2.47 X 3.10
0.175	2.29 X 2.87

4214849/B 09/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

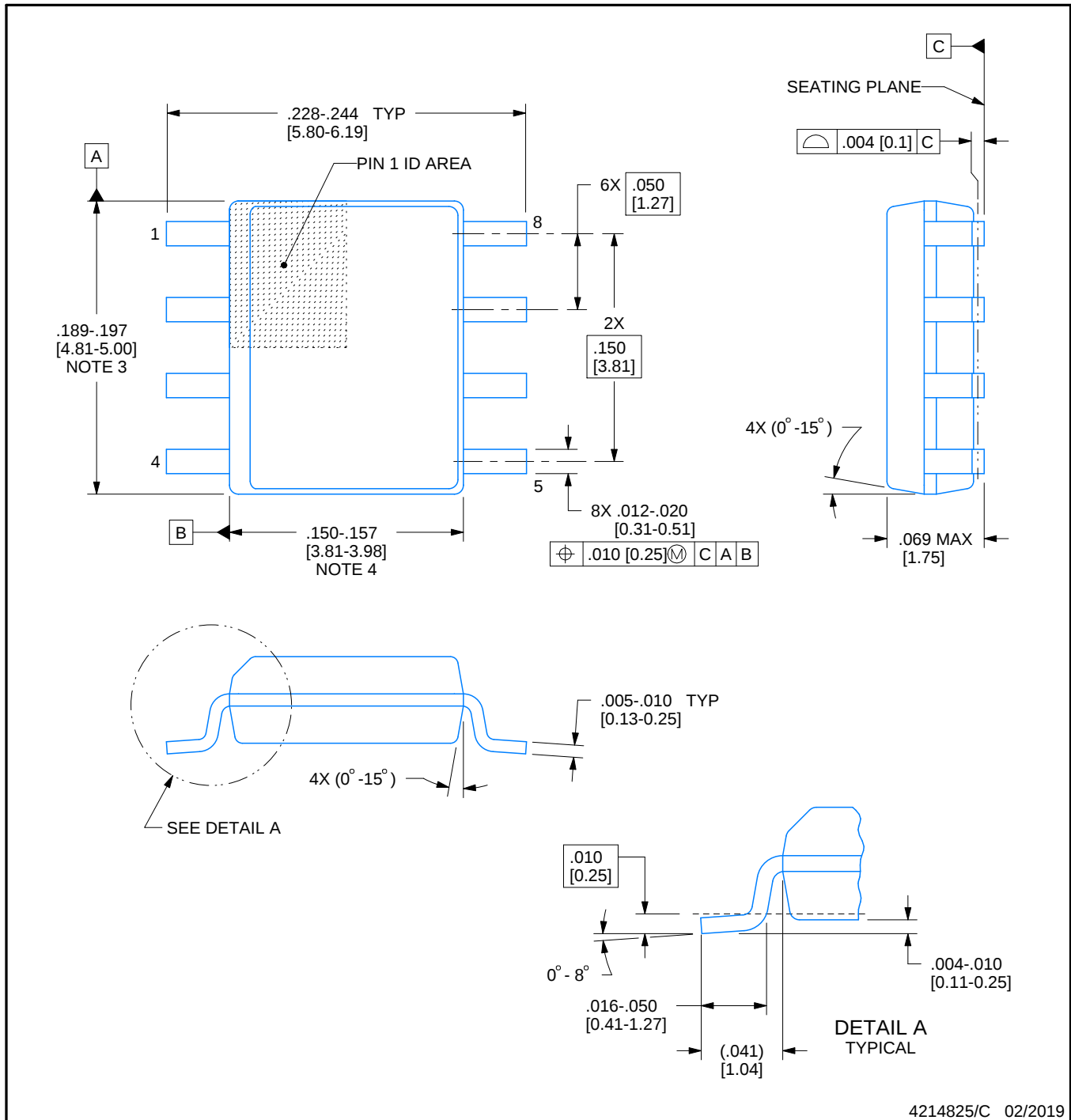


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

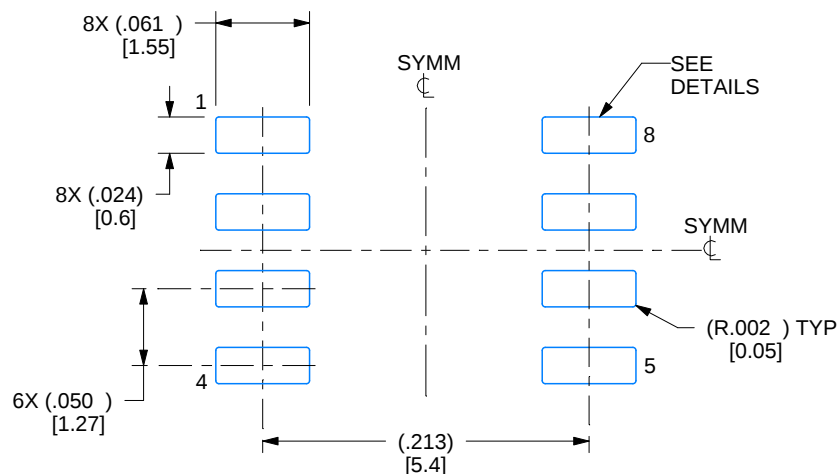
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

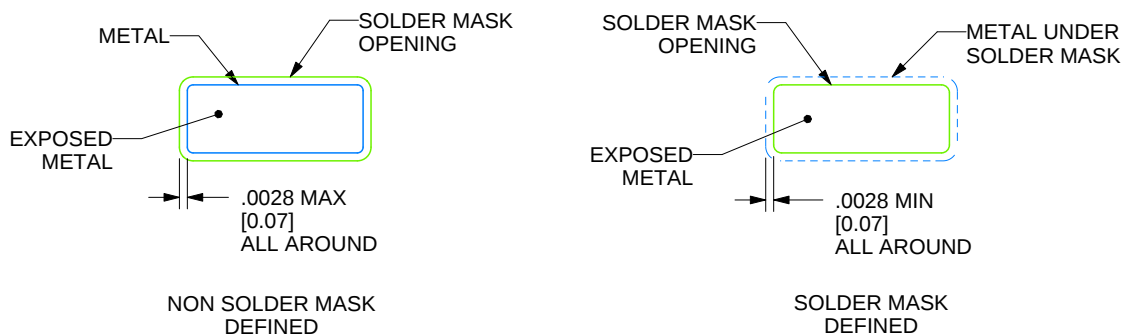
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

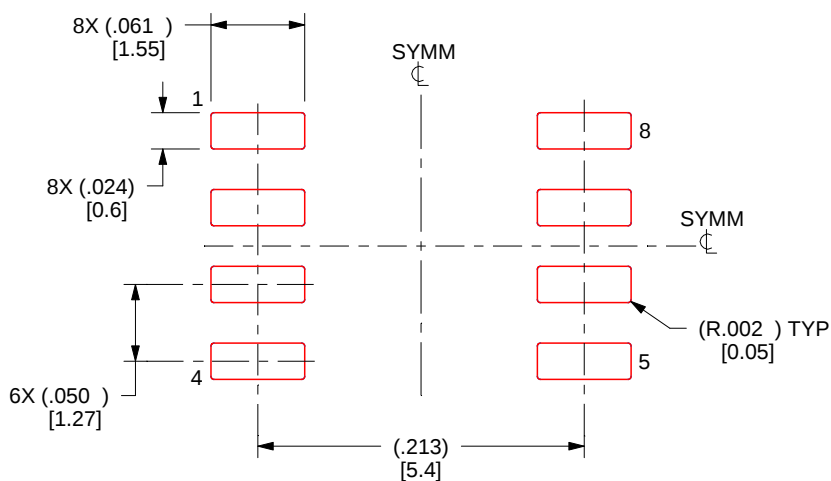
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月