UCC27614-Q1 具有 –10V 输入能力、适用于汽车应用的 30V、10A 单通道低侧栅极驱动器

1 特性

- 符合汽车应用要求
- 符合 AEC-Q100 标准
  - 器件温度 1 级
- 典型 10A 灌电流，10A 拉电流输出
- 输入和使能引脚可承受高达 –10V 的电压
- 绝对最大 VDD 电压：30V
- 宽 VDD 工作电压范围：4.5V 至 26V，具有 UVLO 功能
- 采用 2mm x 2mm SON8 封装
- 传播延迟典型值为 17.5ns
- SOIC8 和 VSSOP8 封装的 EN（使能）引脚
- IN– 引脚可用于 SON8 封装中的启用和禁用功能
- VDD 独立输入阈值（兼容 TTL）
- 可用作反相或同相驱动器
- 工作结温范围：–40°C 至 150°C

2 应用

- 电信开关模式电源
- 功率因数校正 (PFC) 电路
- 太阳能电源
- 电机驱动器
- 高频线路驱动器
- 脉冲变压器驱动器
- 高功率缓冲器

3 说明

UCC27614-Q1 是一款单通道、高速、低侧栅极驱动器，能够有效地驱动 MOSFET、IGBT、SiC 和 GaN 电源开关。UCC27614-Q1 的典型峰值驱动强度为 10A，这有助于缩短电源开关的上升和下降时间、降低开关损耗并提高效率。UCC27614-Q1 的短传播延迟可改善系统的死区优化、控制环路响应，提高脉宽利用率和瞬态性能，从而提高功率级效率。

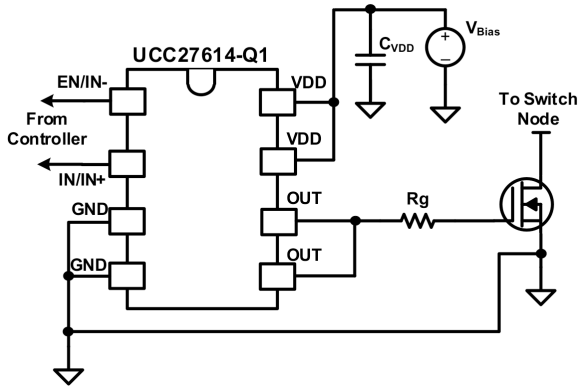
UCC27614-Q1 可以在输入端处理 -10V 的电压，通过平缓的接地弹跳提高系统稳健性。输入与电源电压无关，可以连接大多数控制器输出端，从而尽可能提高控制灵活性。独立的使能信号支持在不依赖主控制逻辑的情况下对功率级进行控制。如果在系统中检测到故障，栅极驱动器可以快速关断功率级（需要关断动力总成）。使能功能还可提高系统稳健性。许多高频开关电源在电源器件的栅极都存在高频噪音，这种噪音会进入栅极驱动器的输出引脚，造成驱动器故障。UCC27614-Q1 具有瞬态反向电流和反向电压功能，因此在上述情况下具有优异的性能。

如果 VDD 电压低于指定的 UVLO 阈值，强大的内部下拉 MOSFET 可使输出保持低电平。此有源下拉特性可进一步改善系统稳健性。UCC27614-Q1 具有 10A 驱动电流并采用 2mm × 2mm 封装，可提高系统功率密度。这种小型封装还可优化栅极驱动器放置并改进布局。

封装信息

器件型号	封装(1)	封装尺寸(2)	封装尺寸（标称值）
UCC27614-Q1	DSG (SON 8)	2.0mm × 2.0mm	2.0mm x 2.0mm
UCC27614-Q1	D (SOIC 8)	4.9mm × 6mm	4.9mm × 3.9mm
UCC27614-Q1	DGN (VSSOP 8)	3.0mm × 4.9mm	3.0mm x 3.0mm

(1) 有关所有可用封装，请参阅节 12。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版应用示意图

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 4
5.5 电气特性 5
5.6 开关特性 6
5.7 时序图 6
5.8 典型特性 8
6 详细说明 11
6.1 概述 11
6.2 功能方框图 12
6.3 特性说明 13
6.4 器件功能模式 16
7 应用和实施 17
7.1 应用信息 17
7.2 典型应用 18
8 电源相关建议 24
9 布局 25
9.1 布局指南 25
9.2 布局示例 25
9.3 散热注意事项 26
10 器件和文档支持 27
10.1 第三方产品免责声明 27
10.2 接收文档更新通知 27
10.3 支持资源 27
10.4 商标 27
10.5 静电放电警告 27
10.6 术语表 27
11 修订历史记录 27
12 机械、封装和可订购信息 28

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

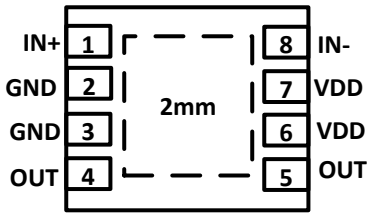


图 4-1. DSG 封装 8 引脚 SON 顶视图

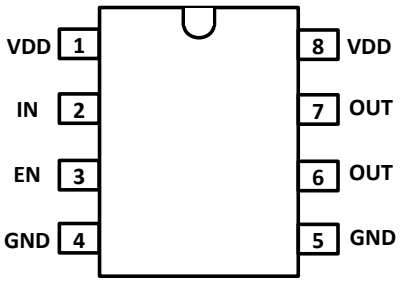


图 4-2. D 封装 8 引脚 SOIC 顶视图

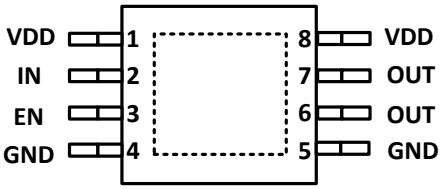


图 4-3. DGN 封装 8 引脚 VSSOP 顶视图

表 4-1. 引脚功能

引脚			类型[1]	说明
名称	DSG 编号	D DGN 编号		
GND	2.3	4.5	G	器件接地或基准
EN	—	3	I	启用或禁用控制引脚。如果不使用，则连接到 VDD。
IN	—	2	I	同相 PWM 输入
IN+	1	—	I	同相 PWM 输入。如果不使用，则连接到 VDD。
IN-	8	—	I	反相 PWM 输入。如果不使用，则连接到 GND。
OUT	4.5	6.7	O	驱动器的输出
VDD	6.7	1.8	P	驱动器偏置电源。将电压源的正节点通过一个阻抗连接到此引脚，以实现高共模噪声抑制。使用两个陶瓷电容器将此引脚旁路，通常为 >= 1μF 和 0.1μF，这两个电容器以该器件的 GND 引脚为基准。
	散热焊盘	散热焊盘[2]	—	通过较大的铜平面连接到 GND。 此焊盘并不是连接到 GND 的低阻抗路径。

(1) I/O = 数字输入/输出，IA = 模拟输入，AO = 模拟输出，P = 电源连接
(2) 适用于 DGN 封装。

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (2) (3)

		最小值	最大值	单位
电源电压	VDD	-0.3	30	V
输出电压 (DC)	VOUT	-0.3	VDD +0.3	V
输出电压（200ns 脉冲）	VOUT	-2	VDD +3	V
输入电压 IN、EN、IN+、IN–		-10	30	V
工作结温，T_J		-40	150	°C
引线温度	焊接，10s		300	°C
	回流焊		260	
贮存温度，T_{stg}		-65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议工作条件但在绝对最大额定值范围内，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。

(2) 除非另有说明，否则所有电压均以 GND 为基准。电流是指定端子的正输入、负输出。有关封装的热限制和注意事项，请参阅数据表的*节 5.4* 部分。

(3) 这些器件对静电放电敏感；请遵循适当的器件处理程序。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011	±1000	

(1) AEC Q100-002 指示 HBM 应力测试应当符合 ANSI/ESDA/JEDEC JS-001 规范。

5.3 建议运行条件

在自然通风条件下的工作温度范围内。所有电压均以 GND 为基准（除非另有说明）

	最小值	标称值	最大值	单位
电源电压，VDD	4.5	12	26	V
输入电压，IN、IN+、IN-、EN	-10		26	V
输出电压，OUT	0		VDD	V
工作结温，T_J	-40		150	°C

5.4 热性能信息

热指标(1)		UCC27614			单位
		DSG (SON)	DGN (VSSOP)	D (SOIC)	
		8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	67.9	48.9	126.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	81.1	71.8	67.0	
$R_{\theta JB}$	结至电路板热阻	33.4	22.3	69.9	
ψ_{JT}	结至顶部特征参数	2.4	2.6	19.2	
ψ_{JB}	结至电路板特征参数	33.4	22.3	69.1	
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	12.2	4.5	不适用	

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标应用报告* (SPRA953)。

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性

除非另有说明，否则 VDD = 12V，$T_A = T_J$ = –40°C 至 150°C，VDD 和 GND 之间连接 1μF 电容器，并且输出上没有负载。典型条件规格均在 25°C 下测得。

参数		测试条件	最小值	典型值	最大值	单位
偏置电流						
I_{VDDq}	VDD 静态电源电流	V_{IN+}/V_{IN} = 3.3V，V_{IN-} = 0V，EN=VDD，VDD = 3.4V		305	500	μA
I_{VDD}	VDD 静态电源电流	V_{IN+}/V_{IN} = 3.3V，V_{IN-} = 0V，EN = VDD		0.64	0.92	mA
I_{VDD}	VDD 静态电源电流	V_{IN+}/V_{IN} = 0V，V_{IN-} = 0V，EN = VDD		0.71	1.0	mA
I_{VDDO}	VDD 动态工作电流	f_{SW} = 1000kHz，EN = VDD，V_{IN+}/V_{IN} = 0V 至 3.3V PWM，V_{IN-} = 0V			4.0	mA
I_{DIS}	VDD 禁用电流	V_{IN+}/V_{IN} = 0V，V_{IN-} = 3.3V，EN = 0V		0.75	1.0	mA
欠压锁定 (UVLO)						
V_{VDD_ON}	VDD UVLO 上升阈值		3.8	4.1	4.4	V
V_{VDD_OFF}	VDD UVLO 下降阈值		3.5	3.8	4.1	V
V_{VDD_HYS}	VDD UVLO 迟滞			0.3		V
输入 (IN、IN+)						
V_{IN_H}	输入信号高电平阈值，输出高电平	输出高电平，IN- = 低电平，EN = 高电平	1.8	2	2.3	V
V_{IN_L}	输入信号低电平阈值，输出低电平	输出低电平，IN- = 低电平，EN = 高电平	0.8	1	1.2	V
V_{IN_HYS}	输入信号迟滞			1		V
R_{IN}	INx 引脚下拉电阻	IN+/IN = 3.3V		120		kΩ
输入 (IN-)						
V_{IN-_H}	输入信号高电平阈值，输出低电平	输出低电平，IN+ = 高电平，EN = 高电平	1.8	2	2.3	V
V_{IN-_L}	输入信号低电平阈值，输出高电平	输出高电平，IN+ = 高电平，EN = 高电平	0.8	1	1.2	V
V_{IN-_HYS}	输入信号迟滞			1		V
R_{IN-}	IN- 引脚上拉电阻	IN- = 0V		200		kΩ
使能 (EN)						
V_{EN_H}	使能信号高电平阈值	输出高电平，IN+/IN = 高电平，IN- = 0V	1.8	2	2.3	V
V_{EN_L}	使能信号低电平阈值	输出低电平，IN+/IN = 高电平，IN- = 0V	0.8	1	1.2	V
V_{EN_HYS}	使能信号迟滞			1		V
R_{EN}	EN 引脚上拉电阻	EN = 0V		200		kΩ
输出 (OUT)						
I_{SRC} (1)	峰值输出拉电流	VDD = 12V，C_{VDD} = 10μF，C_L = 0.1μF，f = 1kHz		10		A
I_{SNK} (1)	峰值输出灌电流	VDD = 12V，C_{VDD} = 10μF，C_L = 0.1μF，f = 1kHz		–10		A
R_{OH} (2)	OUTH，上拉电阻	I_{OUT} = -50mA 请参阅：节 6.3.4		2.5	4.5	Ω
R_{OL}	OUTL，下拉电阻	I_{OUT} = 50mA		0.34	0.55	Ω

(1) 未经量产测试的参数。
(2) 此处的输出上拉电阻是一个直流测量值，它仅测量 PMOS 结构的电阻，而不是 N 沟道结构的电阻。

Copyright © 2024 Texas Instruments Incorporated

5.6 开关特性

除非另有说明，否则 VDD = V_{EN} = 12V，IN- = GND，T_A = T_J = –40°C 至 150°C，VDD 和 GND 之间连接 1μF 电容器，并且输出上没有负载。典型条件规格均在 25°C 下测得(1)

参数		测试条件	最小值	典型值	最大值	单位
t_R	上升时间	C_{LOAD} = 1.8nF，20% 至 80%，V_{IN} = 0V 至 3.3V		4.5	6	ns
t_F	下降时间	C_{LOAD} = 1.8nF，90% 至 10%，V_{IN} = 0V 至 3.3V		4	5.5	ns
t_{D1}	导通传播延迟	C_{LOAD} = 1.8nF，输入上升的 V_{IN_H} 至输出上升的 10%，V_{IN} = 0V 至 3.3V，Fsw = 500kHz，50% 占空比，T_J = 125°C		17.5	27	ns
t_{D2}	关断传播延迟	C_{LOAD} = 1.8nF，输入下降的 V_{IN_L} 至输出下降的 90%，V_{IN} = 0V 至 3.3V，Fsw = 500kHz，50% 占空比，T_J = 125°C		17.5	27	ns
t_{PD_EN}	启用传播延迟	C_{LOAD} = 1.8nF，启用上升的 V_{EN_H} 至输出上升的 10%，V_{IN} = 0V 至 3.3V，Fsw = 500kHz，50% 占空比，T_J = 125°C		17.5	27	ns
t_{PD_DIS}	禁用传播延迟	C_{LOAD} = 1.8nF，启用下降的 V_{EN_L} 至输出下降的 90%，V_{IN} = 0V 至 3.3V，Fsw = 500kHz，50% 占空比，T_J = 125°C		17.5	27	ns
t_{VDD+_OUT}	VDD UVLO 开启延迟	VDD = 0V 至 4.5V，100ns。所测得从 VDD = 4.5V 到 OUT 的 10% 的延迟		3.2	6	μs
t_{VDD-_OUT}	VDD UVLO 关闭延迟	VDD = 4.5V 至 3.4V，100ns。所测得从 VDD = 3.4V 到 OUT 的 90% 的延迟			7.5	us
t_{PWmin}	传递到输出的最小输入脉冲宽度	C_{LOAD} = 1.8nF，V_{IN} = 0V 至 3.3V，Fsw = 500kHz，Vo > 1.5V		9	15	ns

(1) 这些开关参数未经生产环境测试。

5.7 时序图

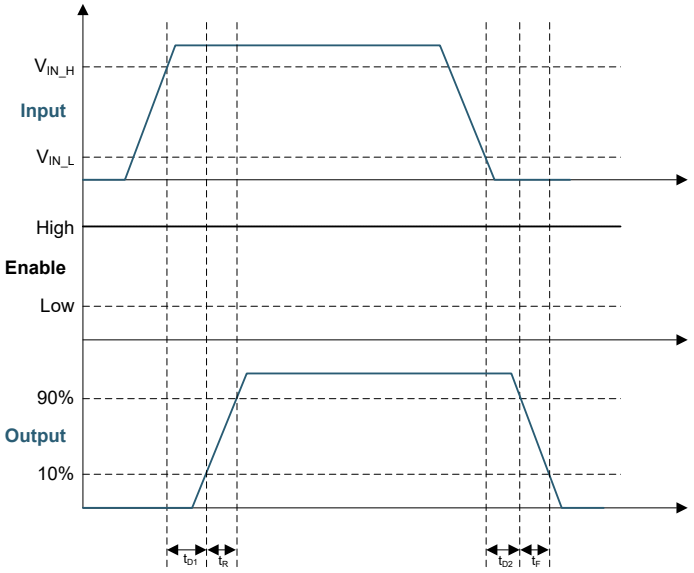


图 5-1. 单输入版本，IN = PWM

Copyright © 2024 Texas Instruments Incorporated

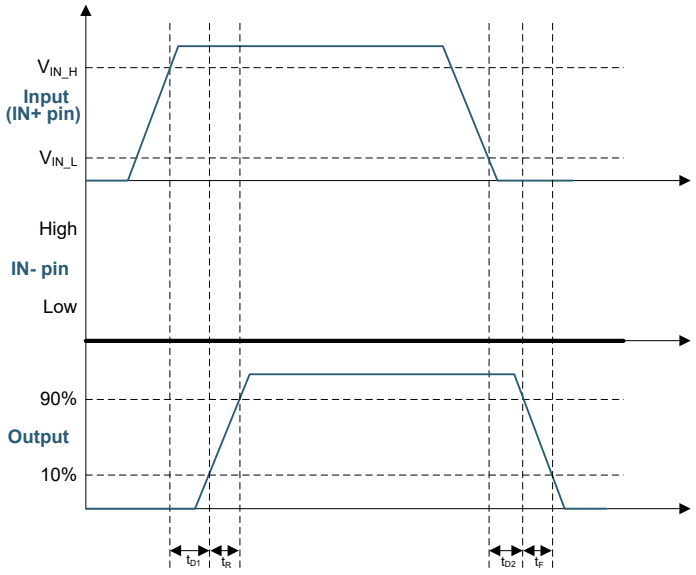


图 5-2. 双输入版本，IN+ = PWM，IN- = GND

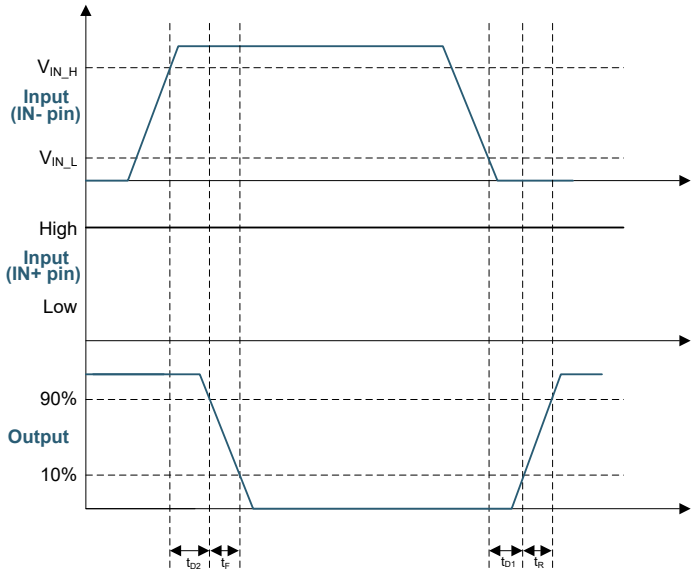


图 5-3. 双输入版本，IN- = PWM，IN+ = 高电平（或 VDD）

5.8 典型特性

除非另有说明，否则 VDD = 12V、IN+ = 3.3V、IN- = GND、T_J = 25°C 且空载

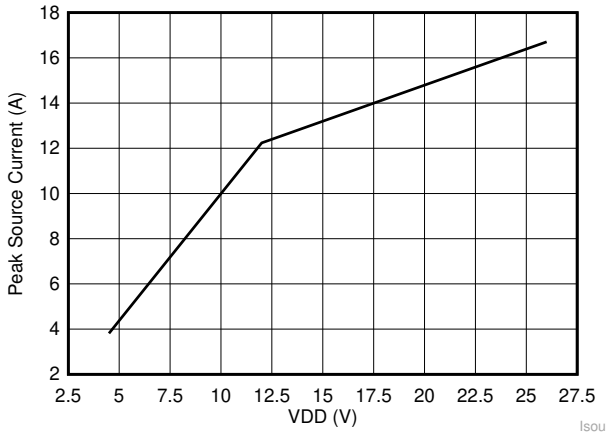


图 5-4. 峰值拉电流与 VDD 间的关系

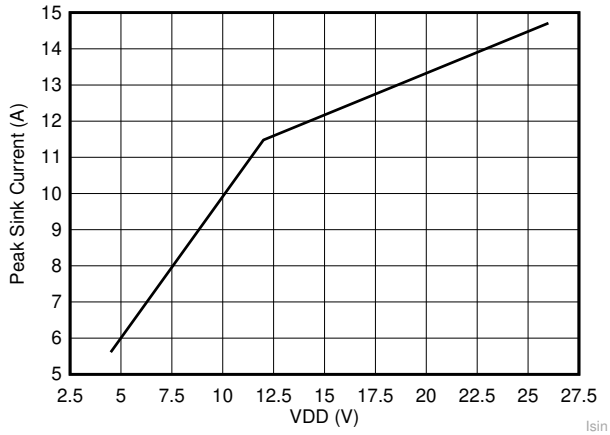
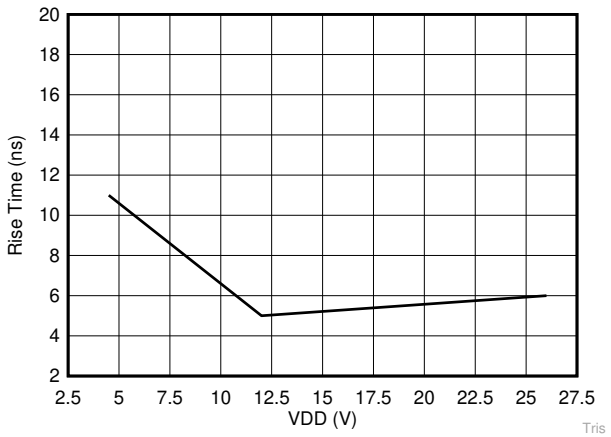
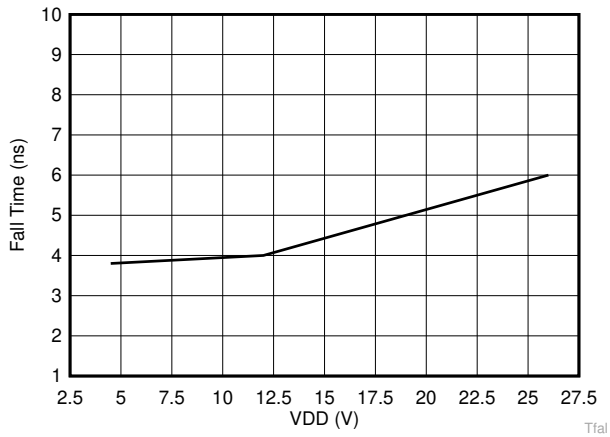


图 5-5. 峰值灌电流与 VDD 间的关系



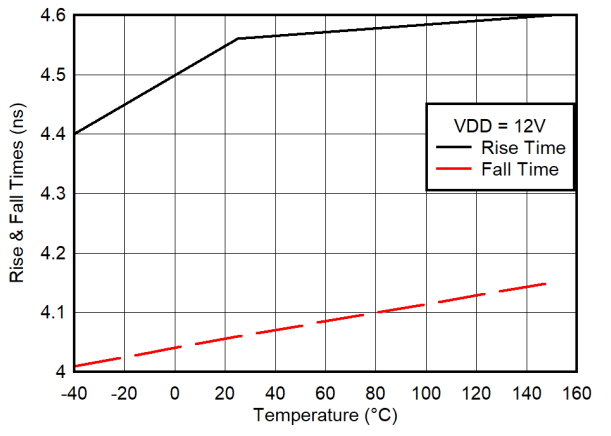
C_{LOAD} = 1.8nF

图 5-6. 输出上升时间与 VDD 间的关系



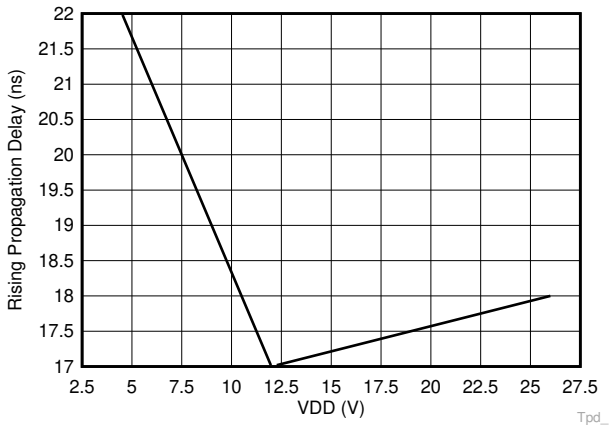
C_{LOAD} = 1.8nF

图 5-7. 输出下降时间与 VDD 间的关系



C_{LOAD} = 1.8nF

图 5-8. 输出上升和下降时间与温度间的关系



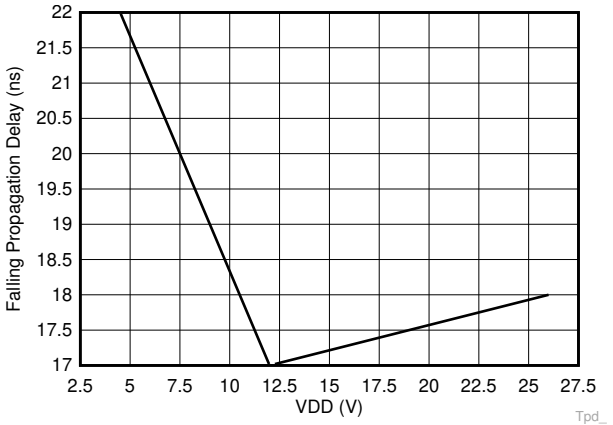
C_{LOAD} = 1.8nF

图 5-9. 上升（导通）传播延迟与 VDD 间的关系

Copyright © 2024 Texas Instruments Incorporated

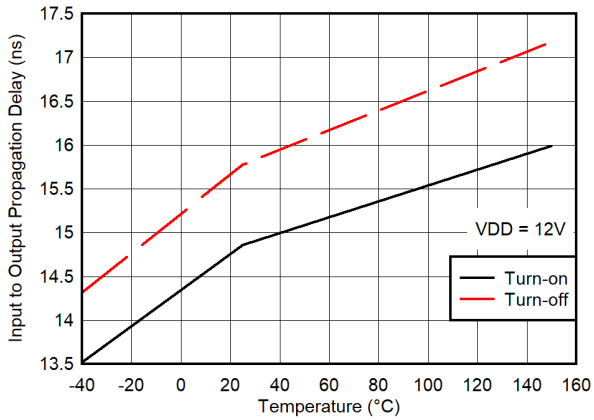
5.8 典型特性（续）

除非另有说明，否则 VDD = 12V、IN+ = 3.3V、IN- = GND、T_J = 25°C 且空载



C_{LOAD} = 1.8nF

图 5-10. 下降（关断）传播延迟与 VDD 间的关系



C_{LOAD} = 1.8nF

图 5-11. 传播延迟与温度间的关系

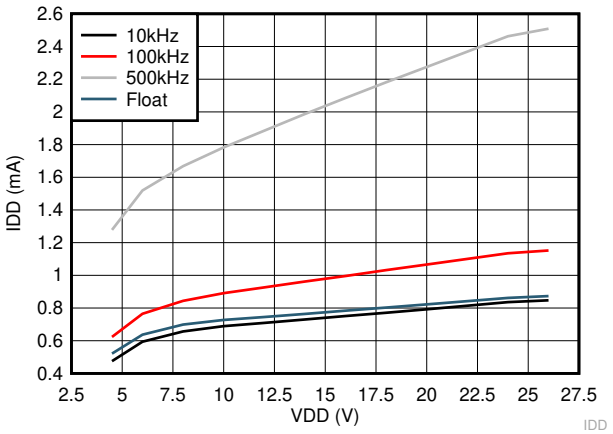


图 5-12. 工作电源电流与 VDD 间的关系

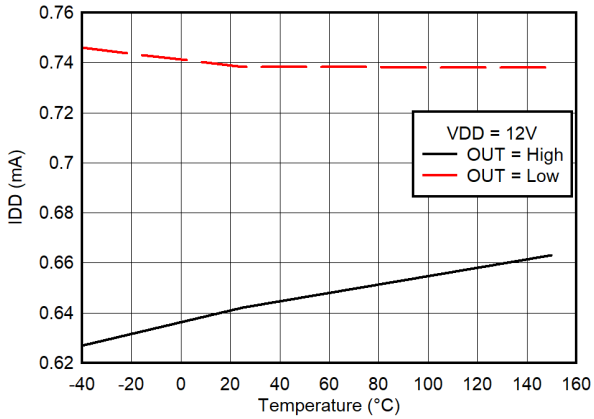


图 5-13. 工作静态电源电流与温度间的关系

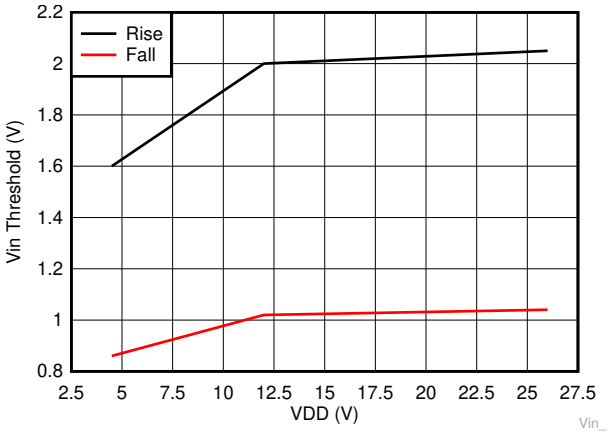


图 5-14. 输入阈值与 VDD 间的关系

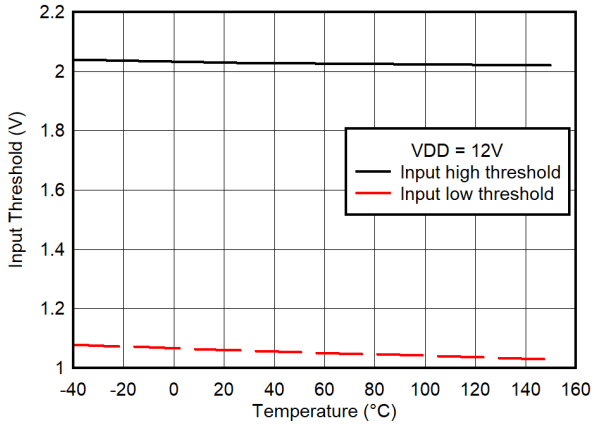


图 5-15. 输入阈值与温度间的关系

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）

除非另有说明，否则 VDD = 12V、IN+ = 3.3V、IN- = GND、T_J = 25°C 且空载

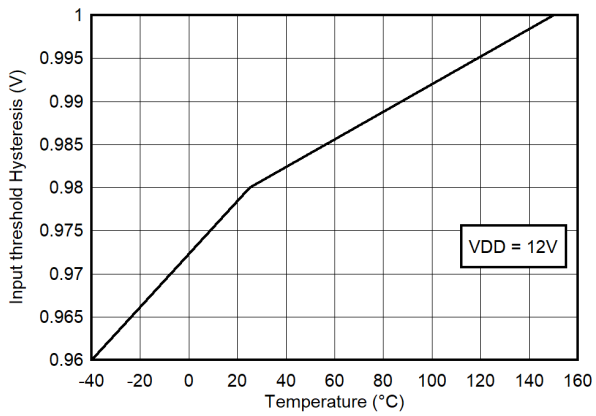


图 5-16. 输入阈值迟滞与温度间的关系

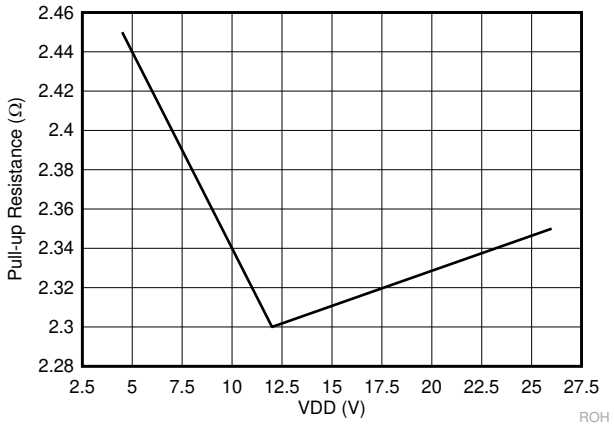


图 5-17. 输出上拉电阻与 VDD 间的关系

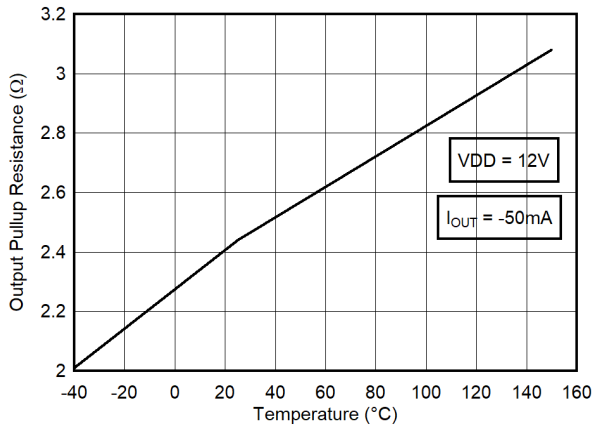


图 5-18. 输出上拉电阻与温度间的关系

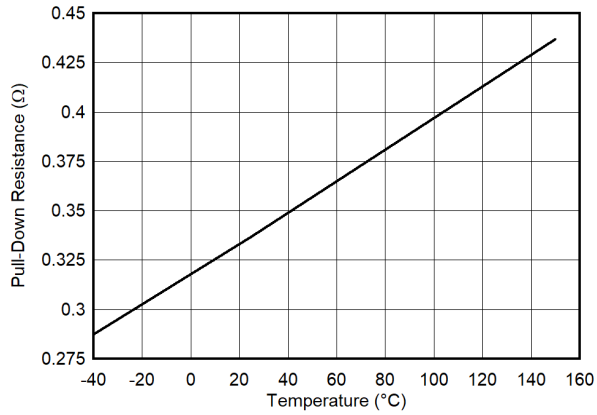


图 5-19. 输出下拉电阻与 VDD 间的关系

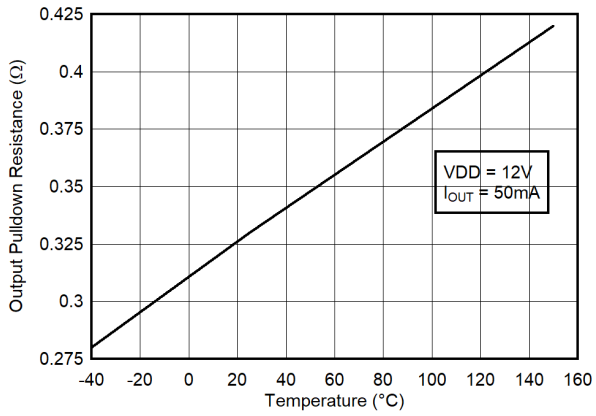


图 5-20. 输出下拉电阻与温度间的关系

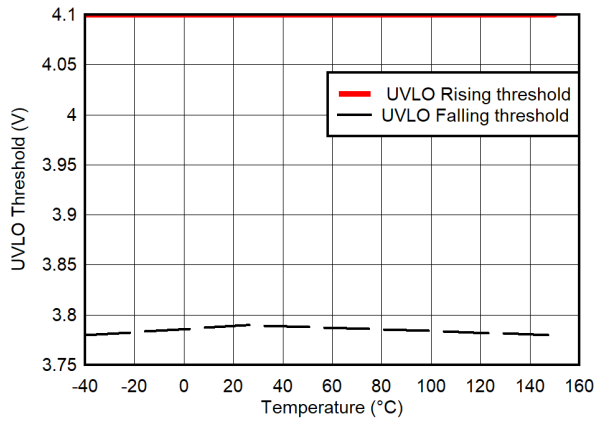


图 5-21. UVLO 阈值与温度间的关系

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）

除非另有说明，否则 VDD = 12V、IN+ = 3.3V、IN- = GND、T_J = 25°C 且空载

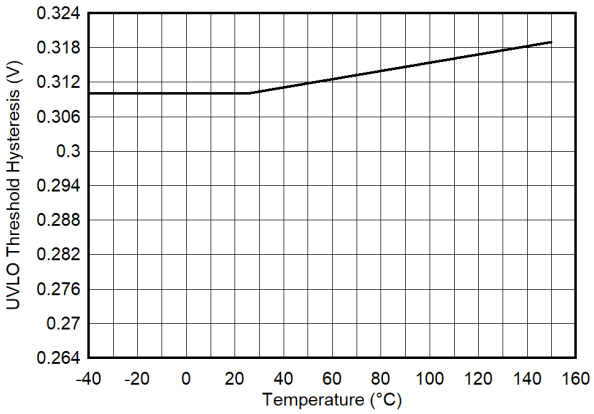


图 5-22. UVLO 迟滞与温度间的关系

6 详细说明

6.1 概述

UCC27614-Q1 器件是一款单通道高速栅极驱动器，可以提供高达 10A 的源电流和 10A 的灌电流（非对称驱动）峰值电流，能够有效驱动 MOSFET、SiC MOSFET 和 IGBT 电源开关。强大的拉电流和灌电流能力提高了抗寄生米勒导通效应的能力。UCC27614-Q1 器件可以直接连接到栅极驱动器变压器或线路驱动器变压器，因为 UCC27614-Q1 的输入可以处理 –10V。由于反向电流、轨到轨驱动能力和典型值为 17.5ns 的小传播延迟，该驱动器在输出端具有良好的瞬态处理能力。

UCC27614-Q1 的输入引脚阈值与 TTL 低压逻辑兼容，此逻辑是固定的且与 VDD 电源电压无关。只要满足阈值要求，该驱动器还可以与基于 CMOS 的控制器配合使用。1V 滞后典型值提供出色的抗噪性能。

该驱动器具有支持固定 TTL 兼容阈值的 EN 引脚。EN 被内部上拉；拉低 EN 会禁用驱动器，而将 EN 保持开路可实现正常运行。EN 引脚可用作额外的输入，其性能与 IN、IN+ 和 IN- 引脚一样。

表 6-1. UCC27614-Q1 特性与优势

特性	优势
–10V IN 和 EN 能力	在栅极驱动器上会出现接地反弹的嘈杂环境中提高信号可靠性和器件稳健性。
高拉电流和灌电流能力 (10A)	高电流能力有助于驱动大栅极电荷负载，从而更大限度地降低开关损耗。
17.5ns（典型值）的低传播延迟	脉冲传输失真极低
4.5V 至 26V 的宽 VDD 工作范围	系统设计灵活性
VDD UVLO 保护	在 UVLO 条件下，输出保持低电平，从而确保加电和断电时实现可预测的无干扰运行。
	4V（典型值）的 UVLO 支持在低偏置电压下的高开关频率应用中使用，以降低开关损耗。
当输入引脚 (INx) 处于悬空状态时，输出保持低电平	安全功能，在通过安全认证期间的异常情况测试时尤其有用
EN 可以保持悬空	当控制器的输出连接到处于三态的 EN 引脚时可以安全地运行
强大的灌电流 (10A) 和低下拉阻抗 (0.34Ω)	对高 dV/dt 米勒导通事件具有高抗扰度
具有宽迟滞的 TTL 兼容输入阈值逻辑	具有增强的抗噪性能，同时保持与微控制器逻辑电平输入信号（3.3V、5V）的兼容性，并针对数字电源进行了优化

Copyright © 2024 Texas Instruments Incorporated

6.2 功能方框图

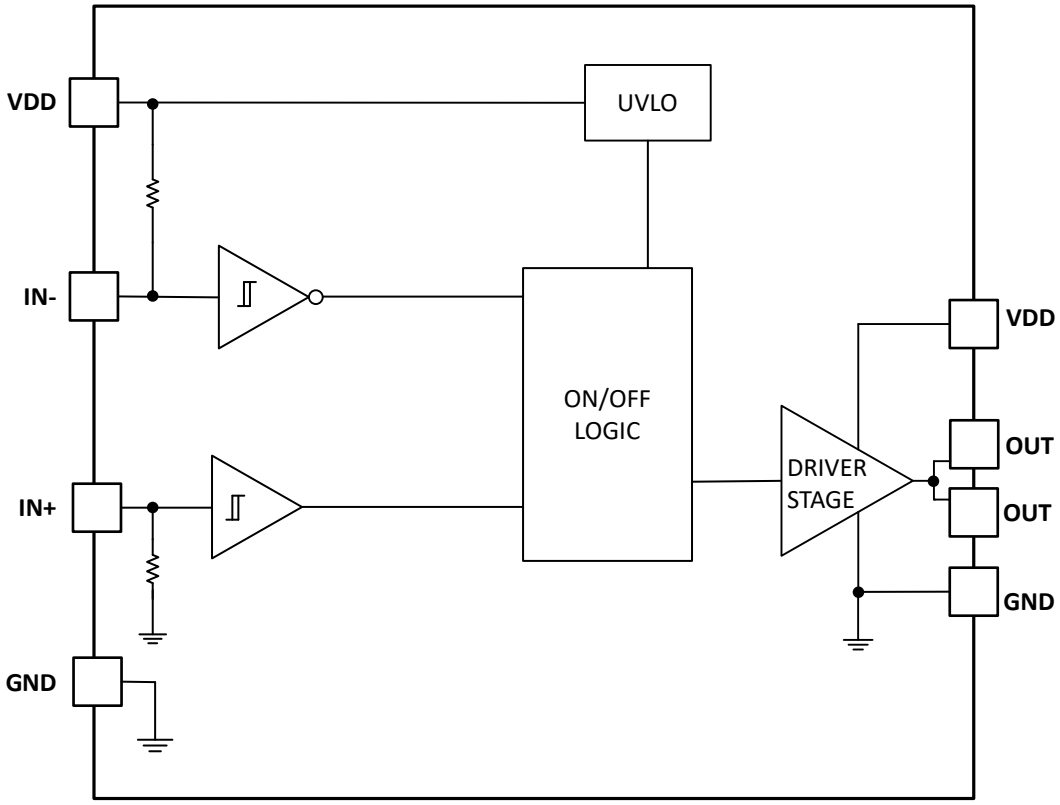
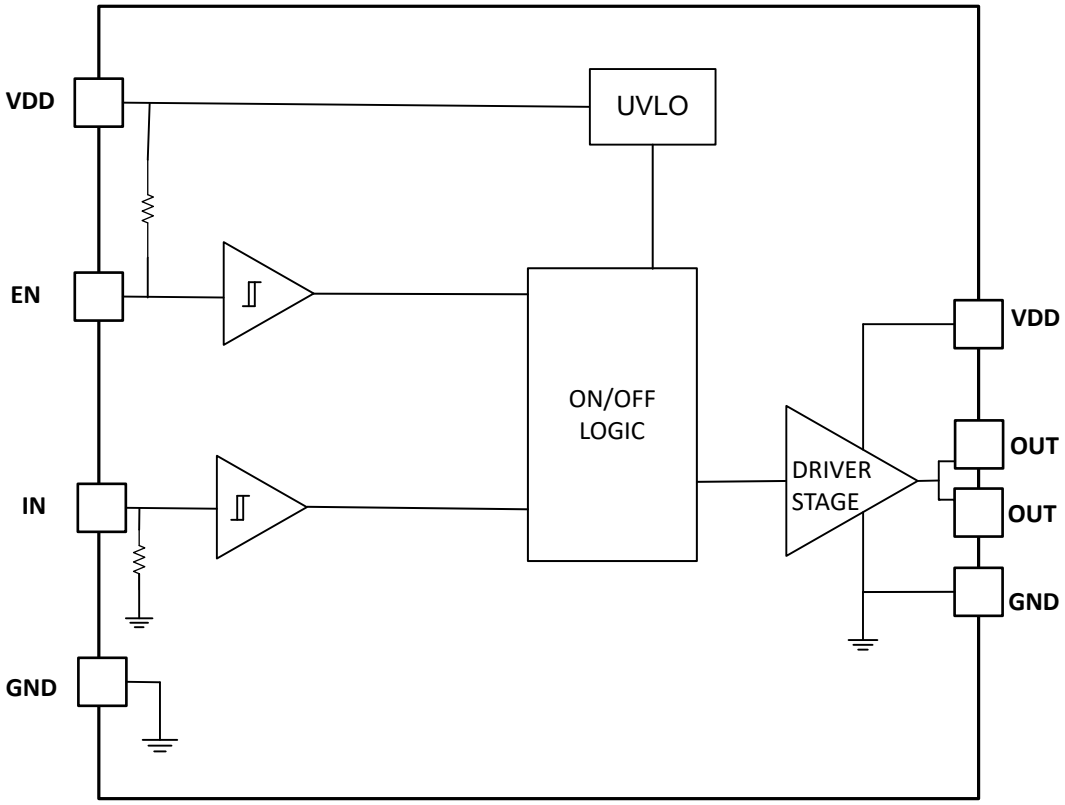


图 6-1. DSG

Copyright © 2024 Texas Instruments Incorporated



典型的 EN/IN- 上拉电阻为 200kΩ，而 IN/IN+ 下拉电阻为 120kΩ。

图 6-2. D 和 DGN

6.3 特性说明

6.3.1 VDD 欠压锁定

UCC27614-Q1 器件提供 4V 的欠压锁定阈值。该器件的迟滞范围有助于避免因偏置电源上存在噪声而导致任何抖动。对于 4V UVLO 器件，预计的典型 UVLO 迟滞为 0.3V。UVLO 功能不会导致显著的驱动器输出导通延迟，预计的 UVLO 延迟为 5μs。UVLO 关断延迟也被尽可能地减小。UVLO 延迟旨在尽可能地减少因 VDD 上可能出现的超快瞬变而可能发生的抖动。当偏置电源低于 UVLO 阈值时，无论输入引脚和使能引脚的状态如何，输出都保持低电平有效。该器件在 VDD 引脚上接受宽范围的压摆率，并且迟滞范围内的 VDD 噪声不会影响驱动器的输出状态（导通或关断均不会）。

Copyright © 2024 Texas Instruments Incorporated

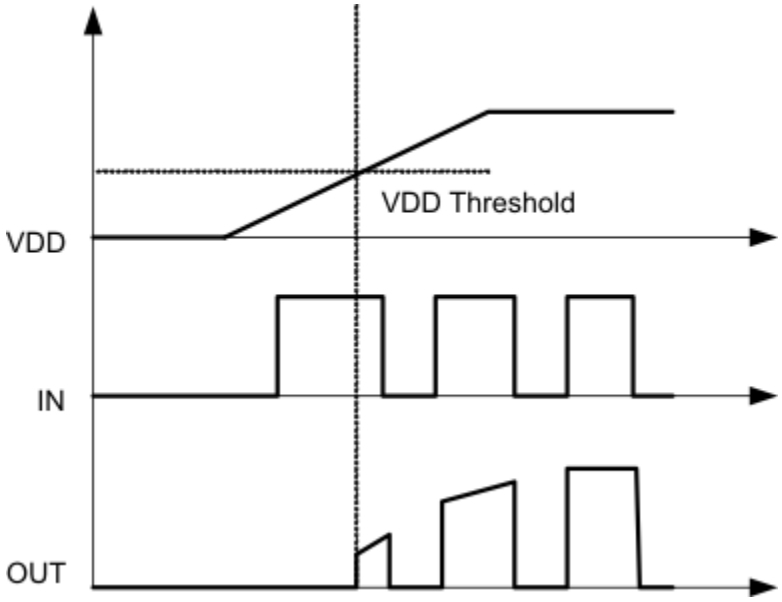


图 6-3. 上电

6.3.2 输入级

UCC27614-Q1 器件的输入与基于 TTL 的阈值逻辑兼容，并且输入与 VDD 电源电压无关。在典型高电平阈值为 2V 并且典型低电平阈值为 1V 的情况下，可以使用从 3.3V 或 5V 逻辑获取的 PWM 控制信号方便地驱动逻辑电平阈值。与传统的 TTL 逻辑实现（其中的迟滞通常小于 0.5V）相比，更宽的迟滞（通常为 1V）可提供增强的噪声抗扰度。该器件还能够对输入引脚阈值电压电平进行严格的控制，从而减缓系统设计考虑因素，并确保在整个温度范围内稳定地运行。这些引脚上的极低输入电容（通常小于 8pF）可减小负载并增大开关速度。

该器件具有一项重要的保护功能，借助该功能，只要输入引脚处于悬空状态，输出就会保持在低电平状态。这是通过输入引脚上的内部上拉或下拉电阻器来实现的，如简化的功能方框图所示。在某些应用中，由于偏置电源时序的差异，不同器件会在不同的时间上电。这可能导致控制器的输出处于三态。控制器的该输出连接到驱动器器件的输入。如果驱动器器件没有下拉电阻器，则驱动器的输出可能会错误地变为高电平并损坏开关电源器件。

驱动器的输入级最好应由具有较短上升或下降时间的信号进行驱动。只要将驱动器与缓慢变化的输入信号配合使用，尤其是在器件位于独立的子板上或 PCB 布局具有长输入连接布线的情况下，就必须小心谨慎：

- 由于驱动器输出以及电路板布局布线寄生效应而导致的高 dI/dt 电流可能会导致接地反弹。由于该器件只有一个 GND 引脚，而该引脚可能将电源接地作为基准，因此这可能会影响输入引脚和 GND 之间的差分电压并触发意外的输出状态变化。由于 17.5ns 的快速传播延迟，这可能最终导致高频振荡，从而增加功率耗散并导致受损的风险。
- 与大多数其他行业标准驱动器相比，1V 输入阈值迟滞可以提高噪声抗扰度。

强烈建议在驱动器的输出端和功率器件之间添加一个外部电阻，而不是在输入信号上增加延迟。这还限制了功率器件的上升或下降时间，从而减少了 EMI。该外部电阻器还提供了一个额外的优势，即降低栅极驱动器器件封装中与栅极电荷相关的部分功率耗散，并将其转移到外部电阻器自身中。

最后，由于独特的输入结构允许在输入和使能引脚上提供负电压能力，因此在以下应用中必须小心：

- 输入或使能引脚会切换至振幅 > 15V。
- 输入或使能引脚在 dV/dt > 2V/ns 的情况下进行切换。

如果出现这两种情况，请为所切换的引脚添加一个 150Ω 串联电阻，以限制流经输入结构的电流。

Copyright © 2024 Texas Instruments Incorporated

6.3.3 使能功能

UCC27614-Q1 器件的使能 (EN) 引脚也具有与 TTL 兼容的输入阈值，并具有宽迟滞。典型的导通阈值为 2V，典型的关断阈值为 1V，典型的迟滞为 1V。UCC27614-Q1 的使能 (EN) 引脚具有一个连接到内部基准电压的内部上拉电阻器。因此，保持使能引脚悬空将开启驱动器并允许其正确发送输出信号。如果需要，也可以通过低压逻辑驱动使能引脚来启用和禁用驱动器。从使能模块到输出之间具有最短延迟，从而实现快速系统响应。与输入引脚类似，使能引脚也可以处理很高的负电压，因此提供了系统稳健性。使能引脚可以承受宽范围的压摆率，例如 1V/ns 至 1V/ms。使能信号与 VDD 电压无关，并在整个工作温度范围内保持稳定。

6.3.4 输出级

UCC27614-Q1 器件的输出级如“UCC27614-Q1 栅极驱动器输出”部分所示。UCC27614-Q1 器件的输出级上具有独特的架构，从而能够在电源开关导通转换的米勒平坦区期间最需要时（此时电源开关漏极/集电极电压经历 dV/dt）提供最高的峰值拉电流。器件输出级具有混合上拉结构，该结构使用 N 沟道和 P 沟道 MOSFET 器件并行排列。通过在输出状态从低电平变为高电平的短暂片刻期间导通 N 沟道 MOSFET，栅极驱动器器件能够短暂增大峰值拉电流，从而实现快速导通。该 N 沟道 MOSFET 的导通电阻 (R_{NMOS}) 在激活时约为 0.52Ω。

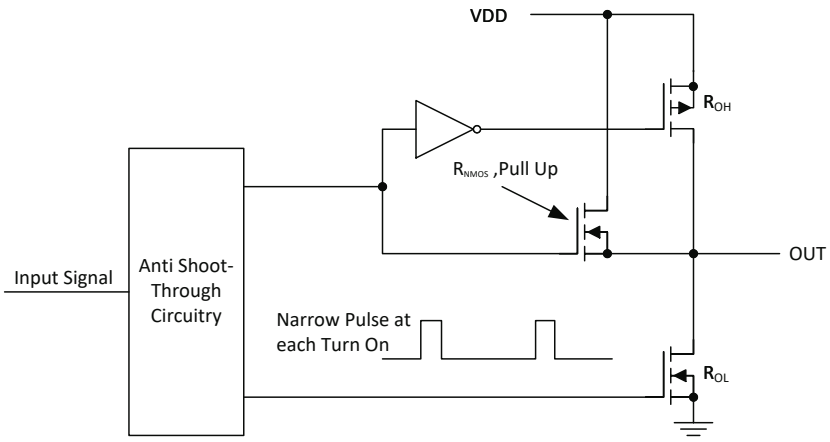


图 6-4. UCC27614-Q1 栅极驱动器输出级

R_{OH} 参数（请参阅“电气特性”表）是一项直流测量，仅表示 P 沟道器件的导通电阻，因为 N 沟道器件仅在输出状态从低电平变为高电平期间导通。因此，混合上拉级的有效电阻远低于 R_{OH} 参数表示的有效电阻。下拉结构仅包含 N 沟道 MOSFET。R_{OL} 也是一项直流测量，表示器件中下拉级的真实阻抗。

UCC27614-Q1 可以在 VDD = 12V 时提供 10A 拉电流和高达 10A 的灌电流。强大的灌电流能力导致驱动器输出级的下拉阻抗非常低，从而提高了抗寄生米勒导通（高压摆率 dV/dt 导通）效应的能力，这种现象常见于 IGBT 和 FET 电源开关。

需要关注米勒导通效应问题的一个示例是同步整流 (SR)。在 SR 应用中，当 MOSFET 已经由栅极驱动器保持在关闭状态时，MOSFET 漏极上会发生 dV/dt。在该高 dV/dt 由驱动器的下拉级进行分流期间，电流会使 C_{GD} 米勒电容放电。如果下拉阻抗不够低，那么电压尖峰可能会导致 MOSFET 的 V_{GS}，从而导致杂散导通。图 6-5 中展示了该现象。

Copyright © 2024 Texas Instruments Incorporated

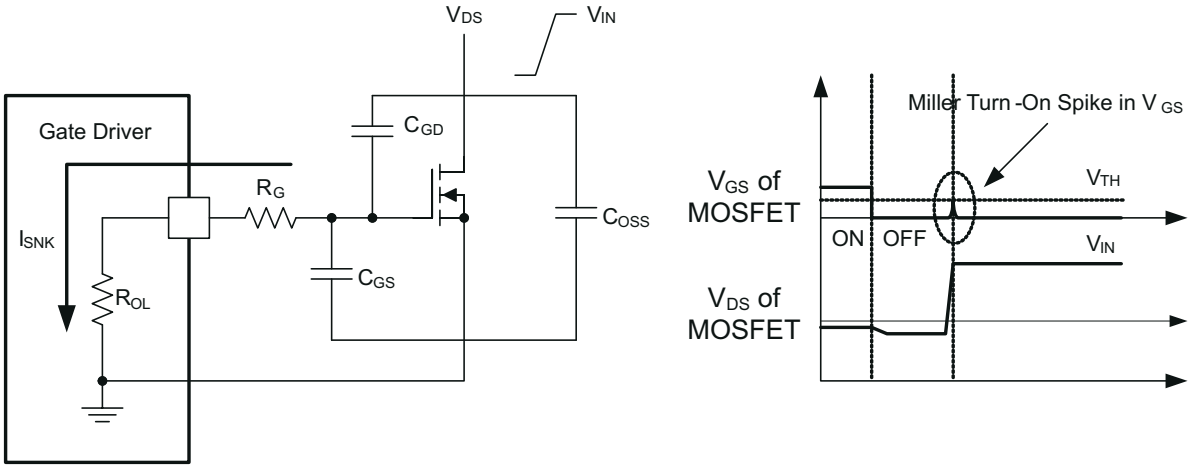


图 6-5. UCC27614-Q1 中的低下拉阻抗（输出级可减轻米勒导通效应）

由于输出级具有低压降，因此驱动器的输出电压在 VDD 和 GND 之间摆动，实现了轨到轨运行。在大多数应用中，无需使用外部肖特基二极管钳位，因为 MOSFET 体二极管的存在可为开关过冲和下冲提供低阻抗。UCC27614-Q1 器件的输出级可以处理较大的瞬态反向电流。器件的两个 OUT 引脚应该在应用板上短接。在 MOSFET 或 IGBT 的栅极处，应用可以使用电阻器和并联二极管电阻器组合来设定不同的上升（上拉电流）时间和下降（下拉电流）时间。

6.4 器件功能模式

UCC27614-Q1 器件在正常模式和 UVLO 模式下运行（有关 UVLO 运行的信息，请参阅节 6.3.1）。在正常模式下，输出状态取决于器件的状态以及输入引脚。

UCC27614-Q1 DSG 具有双输入，一个反相 (IN-) 输入和一个同相 (IN+) 输入。该器件不像 UCC27614-Q1 D 和 DGN 那样包含专用使能 (EN) 引脚。

UCC27614-Q1 D 和 DGN 具有单个同相输入，但还包含通过 EN 引脚实现的启用和禁用功能。将 EN 引脚设置为逻辑高电平会使同相输入连接到 IN 引脚上的输出。两个 OUT 引脚在内部短接，并且也应在应用板上短接。

表 6-2. UCC27614-Q1DSG 真值表

IN+	IN-	OUT
H	L	H
H	H	L
L	H	L
L	L	L
浮点	不限	L
不限	浮点	L

表 6-3. UCC27614-Q1D 和 DGN 真值表

IN	EN	OUT
H	L	L
H	H	H
L	H	L
L	L	L
浮点	不限	L

Copyright © 2024 Texas Instruments Incorporated

表 6-3. UCC27614-Q1D 和 DGN 真值表（续）

IN	EN	OUT
不限	浮点	IN

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

出于各种原因，开关电源应用中需要使用高电流栅极驱动器器件。为了使功率器件能够快速开关并降低相关开关功率损耗，在控制器或信号隔离器件的 PWM 输出和功率半导体器件的栅极之间采用了一款强大的栅极驱动器。此外，有时，直接由 PWM 控制器来驱动开关器件的栅极并不实际，这时必须使用栅极驱动器。这种情况通常是因为数字控制器或信号隔离器件发出的 PWM 信号通常是 3.3V 或 5V 逻辑信号，无法有效导通电源开关。需要使用电平转换电路将逻辑电平信号提高至栅极驱动电压，从而完全开启功率器件并尽可能减小导通损耗。事实证明，基于图腾柱排列 NPN/PNP 双极（或 P-N 沟道 MOSFET）晶体管（采用发射极跟随器配置）的传统缓冲驱动电路不适用于此目的，因为这些电路缺乏电平转换能力和低驱动电压保护。栅极驱动器能够有效结合电平转换、缓冲器驱动和 UVLO 功能。栅极驱动器还可以满足其他需求，例如通过使高电流驱动器的位置靠近电源开关来尽量减小高频开关的影响、驱动栅极驱动变压器并控制浮动功率器件栅极、通过将栅极电荷功率损耗移至控制器来降低控制器中的功率耗散和热应力。

在这种用途中，UCC27614-Q1 非常灵活，具有强大的驱动电流能力和 4.5V 至 26V 的宽推荐电源电压范围。因此，该驱动器可用于 5V 偏置逻辑电平极高频率 MOSFET 应用、12V MOSFET 应用、20V 和 -5V（相对于 源极）SiC FET 应用、15V 和 -8V（相对于发射极）IGBT 应用等。作为单通道驱动器，UCC27614-Q1 可用作低侧或高侧驱动器。要用作低侧驱动器，开关接地通常是系统接地，因此可以直接连接到栅极驱动器。但是，要用作带有浮动返回节点的高侧驱动器，需要从控制器进行信号隔离，并使用以 UCC27614-Q1 接地引脚为基准的偏置电源。或者，在高侧驱动配置中，UCC27614-Q1 可以直接连接到控制器信号并通过非隔离式电源进行偏置。但是，在这种配置中，UCC27614-Q1 的输出必须驱动脉冲变压器，然后该变压器驱动电源开关，以便与电源开关的浮动源极和发射极正常工作。

这些要求，再加上对低传播延迟以及具有良好热性能的紧凑、低电感封装的需求，使得 UCC27614-Q1 等栅极驱动器器件在开关电源中成为极其重要的元件，并结合了高性能、低成本、元件数量少、减小布板空间和简化系统设计等优势。

Copyright © 2024 Texas Instruments Incorporated

7.2 典型应用

7.2.1 驱动 MOSFET/IGBT/SiC MOSFET

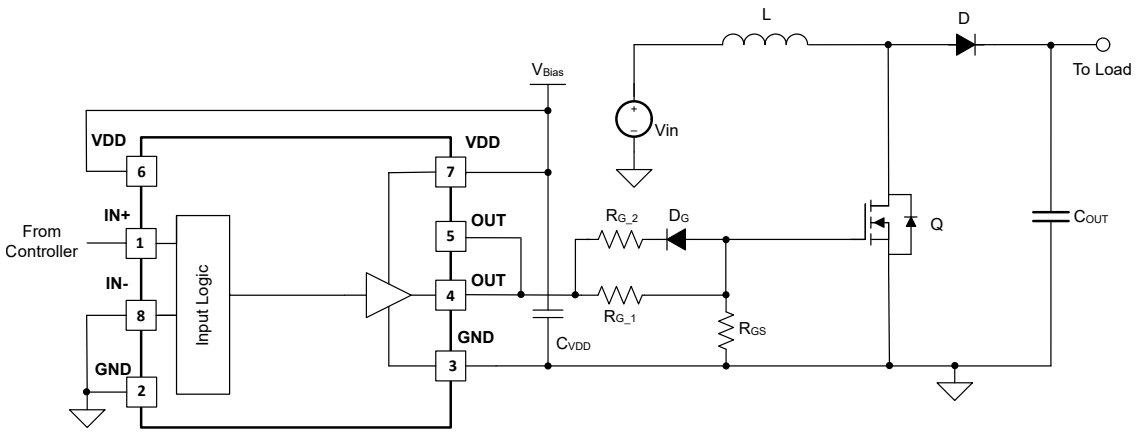


图 7-1. 在升压转换器中驱动 MOSFET/IGBT/SiC MOSFET

7.2.1.1 设计要求

为终端应用选择栅极驱动器器件时，必须评估一些设计注意事项，以便做出最合适的选择。以下是为终端应用选择栅极驱动器器件时应使用的一些设计参数：输入到输出配置、输入阈值类型、偏置电源电压电平、峰值拉电流和灌电流、是否提供独立启用和禁用功能、传播延迟、功率耗散和封装类型。请参阅表 7-1 中的设计参数和要求示例。

表 7-1. 设计参数

设计参数	示例值
输入到输出逻辑	同相
输入阈值类型	TTL
偏置电源电压电平	+18V
负输出低电平电压	不适用
dV_{DS}/dt(1)	100V/ns
使能功能	是
禁用功能	不适用
传播延迟	<30ns
功率耗散	<1W
封装类型	SON8 或 SOIC8

(1) dV_{DS}/dt 是给定设计的典型要求。此值可用于查找所需的峰值拉电流/灌电流，如节 7.2.1.2.4 所示。

7.2.1.2 详细设计过程

7.2.1.2.1 输入到输出配置

设计应当指明应该使用哪种类型的输入到输出配置。如果首选在输入信号处于高电平状态时开启功率 MOSFET 或 IGBT，则必须选择能够实现同相配置的器件。如果首选在输入信号处于高电平状态时关闭功率 MOSFET 或

Copyright © 2024 Texas Instruments Incorporated

IGBT，则必须选择能够实现反相配置的器件。当 IN+ 引脚用作 PWM 输入而 IN- 接地时，UCC27614-Q1DSG 提供同相输出。当 IN- 引脚用作 PWM 输入而 IN+ 被拉高时，UCC27614-Q1DSG 用作反相输出栅极驱动器。

如果可能出现接地反弹问题，则应选择具有负电压处理能力的栅极驱动器。UCC27614-Q1 器件可在输入端处理 -10V 的电压，并在输出端处理 -2V 的电压。UCC27614-Q1 器件的输入可以处理宽压摆率范围，并且输入具有宽迟滞。

7.2.1.2.2 输入阈值类型

输入电压阈值的类型决定了可与栅极驱动器器件一起使用的控制器类型。UCC27614-Q1 器件具有与 TTL 兼容的输入阈值逻辑，并具有宽迟滞。阈值电压电平为低电平电压且与 VDD 电源电压无关，因此可与来自微控制器的逻辑电平输入信号和来自模拟控制器的较高电压输入信号兼容。请参阅“电气特性”表，以了解 UCC27614-Q1 器件的实际输入阈值电压电平和迟滞规格。

7.2.1.2.3 VDD 偏置电源电压

施加到器件 VDD 引脚的偏置电源电压不应超过“建议运行条件”表中列出的值。不过，不同的电源开关要求在栅极端子上施加不同的电压电平，以实现有效导通和关断。对于某些电源开关，导通可能需要正栅极电压，关断可能需要负栅极电压，在这种情况下，VDD 偏置电源等于电压差。UCC27614-Q1 器件的工作电压范围为 4.5V 至 26V，可用于驱动逻辑电平 MOSFET、功率 MOSFET、SiC MOSFET 和 IGBT 等电源开关。

7.2.1.2.4 峰值拉电流和灌电流

通常，电源开关在接通和关断期间的开关速度应该尽可能快，以更大限度地降低开关功率损耗。栅极驱动器器件必须能够提供所需的峰值电流，以实现逻辑电平 MOSFET、功率 MOSFET、SiC MOSFET 和 IGBT 等目标电源开关器件的目标开关速度。

以功率 MOSFET 为例，系统对开关速度的要求通常通过功率 MOSFET 漏源电压的压摆率（如 dV_{DS}/dt）来描述。例如，在连续导通模式 (CCM) 升压 PFC 转换器应用中，系统可能要求 600V 功率 MOSFET 在 400V 的直流母线电压下，以 100V/ns 或更高的 dV_{DS}/dt 导通。这种类型的应用属于电感式硬开关应用，因此降低开关功率损耗至关重要。该要求意味着在功率 MOSFET 导通事件期间（从关断状态下的 400V 到导通状态下的 $V_{DS(on)}$），整个漏源电压摆幅必须在约 4ns 或更短的时间内完成。当发生漏源电压摆幅时，功率 MOSFET 的米勒电荷（假设 600V 功率 MOSFET 的 Q_{GD} 参数为 32nC）由栅极驱动器的峰值电流提供。根据功率 MOSFET 电感开关机制，此时功率 MOSFET 的栅源电压为米勒平坦区域电压，通常比功率 MOSFET 的阈值电压 $V_{GS(th)}$ 高几伏。

为了实现目标 dV_{DS}/dt，栅极驱动器必须能够在 4ns 或更短的时间内提供 Q_{GD} 电荷。换句话说，栅极驱动器必须提供 8A (= 32nC/4ns) 或更高的峰值电流。UCC27614-Q1 系列栅极驱动器能够提供 10A 峰值拉电流和 10A 峰值灌电流，明显超过了设计要求，并能够满足所需的开关速度。这种显著的高驱动能力针对功率 MOSFET 在 Q_{GD} 参数方面的器件间差异提供了额外的裕度，同时也为插入外部栅极电阻器并对开关速度进行微调提供了额外的灵活性，以实现效率与 EMI 优化。然而，在实际设计中，PCB 的栅极驱动电路中的寄生引线电感对功率 MOSFET 开关速度具有决定性的作用。该迹线电感会限制栅极驱动器的输出电流脉冲的 dI/dt。为了说明这一点，下面以近似三角曲线的栅极驱动器输出电流脉冲波形为例说明，其中三角曲线下的面积 ($½ \times I_{Peak} \times$ time) 将等于 600V 功率 MOSFET 的总栅极电荷（功率 MOSFET 数据表中的 Q_G 参数）。如果寄生引线电感限制了 dI/dt，则可能会发生这样的情况：在提供开关功率 MOSFET 的 Q_G 所需的时间内无法完全实现栅极驱动器的完整峰值电流能力。换言之，上述公式中的 time 参数将占主导地位，并且电流脉冲的 I_{Peak} 值远低于驱动器真正的峰值电流能力，同时仍能提供所需的 Q_G。因此，可能无法实现所需的开关速度，即使理论计算表明栅极驱动器可以实现此目标开关速度。因此，将栅极驱动器器件放置在非常靠近功率 MOSFET 的位置并设计具有最小 PCB 迹线电感的极小栅极驱动环路对于实现快速开关而言非常重要。

7.2.1.2.5 启用和禁用功能

某些应用要求在不涉及输入 PWM 信号的情况下独立控制驱动器的输出状态。提供启用和禁用功能的引脚可满足此要求。对于这些应用，适合使用 UCC27614-Q1 D 和 DGN，因为它们具有输入引脚 (IN) 和使能引脚 (EN)。这两个引脚相互独立，也独立于 VDD。

Copyright © 2024 Texas Instruments Incorporated

另一些应用需要多个输入。对于此类应用，适合使用 UCC27614-Q1 DSG。UCC27614-Q1DSG 具有 IN+ 和 IN – 引脚，这两个引脚都控制输出状态，如器件功能模式真值表中所列。根据向驱动器提供的是反相输入信号还是同相输入信号，可以选择相应的输入引脚作为控制栅极驱动器的初级输入。如果需要，其他未使用的输入引脚可方便地用于启用和禁用功能。如果设计不需要使能功能，可以将未使用的输入引脚连接到 VDD 引脚（IN+ 是未使用的引脚）或 GND（如果 IN – 是未使用的引脚），以确保它不会影响输出状态。

7.2.1.2.6 传播延迟和最小输入脉宽

栅极驱动器可接受的传播延迟取决于使用的开关频率以及系统可接受的脉冲失真水平。UCC27614-Q1 器件具有 17.5ns（典型值）的传播延迟，确保了脉冲失真非常小并且能够在非常高的频率下运行。在超高开关频率的应用中，当输入脉冲宽度非常小时，栅极驱动器还需要产生令人满意的输出脉冲。UCC27614-Q1 器件通常可以在输入端处理小于 10ns 的输入，并根据负载产生满意的输出。有关 UCC27614-Q1 器件的传播和其他时序规格，请参阅“开关特性”表。

7.2.1.2.7 功率耗散

栅极驱动器的功率耗散具有两个部分，如以下公式所示：

$$P_{DISS} = P_{DC} + P_{SW} \tag{1}$$

功率耗散的直流部分是 $P_{DC} = I_Q \times VDD$，其中 I_Q 是驱动器的静态电流。静态电流是器件用于对所有内部电路（如输入级、基准电压、逻辑电路、保护等）进行偏置所消耗的电流以及当驱动器输出更改状态（如对内部寄生电容进行充放电、寄生击穿等）时任何与内部器件开关相关联的电流。UCC27614-Q1 具有低静态电流（少于 1mA）并且包含内部逻辑，以更大限度地减少输出驱动器级内的任何击穿（PMOS 到 NMOS，反之亦然）。因此，可以假定 P_{DC} 对栅极驱动器内总功率耗散的影响是微不足道的。实际上，这是驱动器在其输出与电源开关的栅极断开时所消耗的功率。

如前面几节中所述，栅极驱动器的输出级基于 PMOS 和 NMOS。这些 NMOS 和 PMOS 设计为在开关期间提供非常低的电阻。因此，它们具有极低的压降。在开关期间，栅极驱动器封装中耗散的功率 (P_{SW}) 取决于以下因素：

- 功率器件所需的栅极电荷（通常是驱动电压 V_G 的函数，由于低 V_{Ox} 压降，该电压非常接近于输入偏置电源电压 VDD）
- 开关频率
- 功率 MOSFET 内部和外部栅极电阻器

在使用分立式容性负载对驱动器器件进行测试时，计算偏置电源所需的功率是一件非常简单的事情。以下公式给出了必须从偏置电源传递来对电容器进行充电的能量：

$$E_G = \frac{1}{2} C_{LOAD} V_{DD}^2 \tag{2}$$

其中

- C_{LOAD} 是负载电容器，而 V_{DD} 是馈入驱动器的偏置电压。

对电容器进行放电时，存在等量的能量耗散。在关断期间，储存在电容器中的能量会在驱动电路中完全耗散。这会导致开关周期内的总功率损耗如以下公式所示：

$$P_G = C_{LOAD} V_{DD}^2 f_{sw} \tag{3}$$

其中

- f_{SW} 为开关频率

通过检查对器件进行开关所需的栅极电荷，可以将功率 FET 和 IGBT 代表的开关负载转换为等效电容。该栅极电荷包括输入电容的效果以及在功率器件在导通和关断状态之间切换时使其漏极电压摆动所需的附加电荷。大多数

Copyright © 2024 Texas Instruments Incorporated

制造商都提供用于在指定的条件下对器件进行开关的栅极电荷典型值和最大值规格（以 nC 为单位）。使用栅极电荷 Q_g，可以确定在对电容器进行充电时必须耗散的功率。这是通过使用等效关系 $Q_g = C_{LOAD}V_{DD}$ 来得到以下功率计算公式：

$$P_G = C_{LOAD}V_{DD}^2 f_{sw} = Q_g V_{DD} f_{sw} \tag{4}$$

该功率 P_G 是 MOSFET 或 IGBT 导通或关断时在电路的电阻元件中耗散。在导通过程中对负载电容器进行充电时会耗散总功率的一半，在关断期间对负载电容器进行放电时会耗散另一半。如果驱动器器件与 MOSFET/IGBT 之间没有采用外部栅极电阻器，该功率将完全耗散在驱动器器件封装中。在使用外部栅极驱动电阻器的情况下，功率耗散会在驱动器的内部电阻和外部栅极电阻器之间分摊，具体分摊情况由这两个电阻之比决定（元件的电阻越高，耗散的功率越大）。根据该简化的分析，开关期间的驱动器功率耗散可通过以下公式进行计算。这主要适用于总外部栅极电阻器很大以限制栅极驱动器峰值电流的应用。

$$P_{SW} = 0.5 \times Q_g \times V_{DD} \times f_{sw} \left(\frac{R_{OFF}}{(R_{OFF} + R_{GATE})} + \frac{R_{ON}}{(R_{ON} + R_{GATE})} \right) \tag{5}$$

其中

- $R_{OFF} = R_{OL}$ 和 R_{ON}（上拉结构的有效电阻）

7.2.1.3 应用曲线

许多电信和数据通信隔离式电源模块在次级侧采用同步整流和中心抽头拓扑（如 UCC27614-Q1DSG 用于驱动次级侧同步整流器 所示）。低侧驱动器 UCC27614-Q1 可以驱动这些同步整流器 MOSFET，因为它们以输出接地为基准。这些电源模块具有非常高的功率密度，印刷电路板的实际空间非常宝贵。此外，这些电源模块可能还具有非常高的输出电流要求，因此需要非常小的 Rds(on) MOSFET 或并联多个 MOSFET 来减小总 Rds(on)。无论哪种情况，总栅极电荷都会增加，因此此类应用需要具有高驱动电流能力的栅极驱动器。UCC27614-Q1DSG 满足所有这些要求。UCC27614-Q1DSG 器件用于 400V 至 12V 隔离式直流/直流转换器的一个此类应用。此处显示的波形是在该实际应用电源中捕获的。

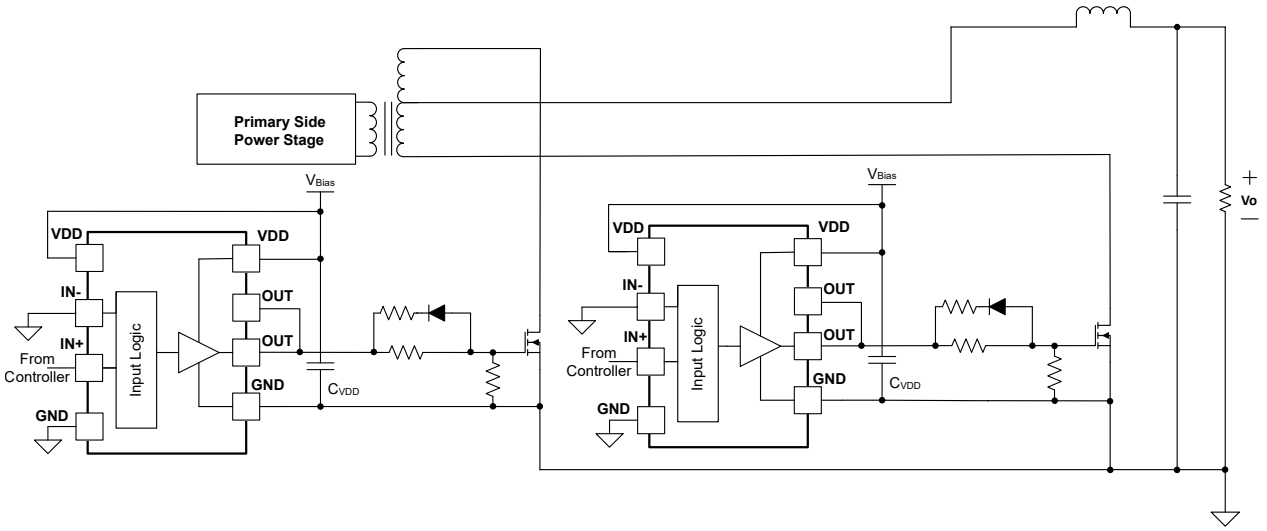


图 7-2. UCC27614-Q1DSG 用于驱动次级侧同步整流器

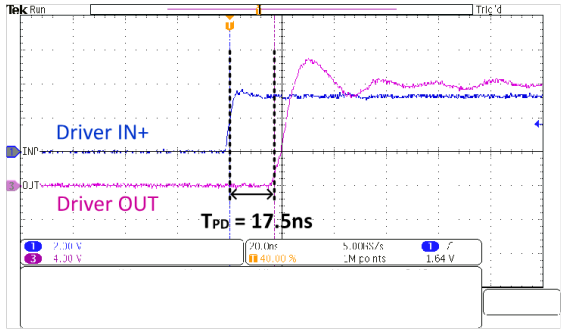


图 7-3. UCC27614-Q1 上升（导通）传播延迟

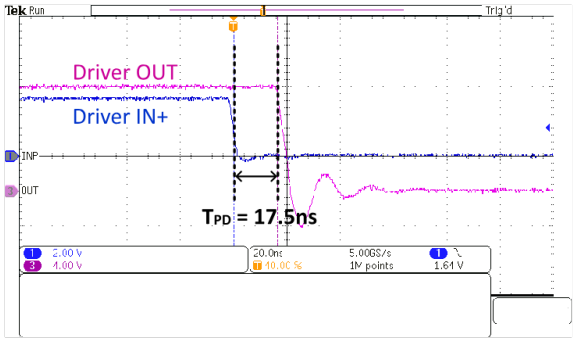


图 7-4. UCC27614-Q1 下降（关断）传播延迟

Copyright © 2024 Texas Instruments Incorporated

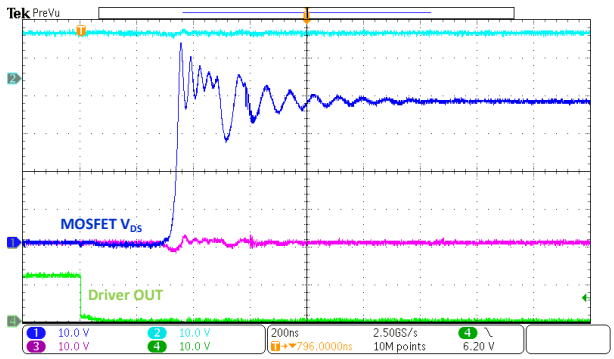


图 7-5. 使用 UCC27614-Q1DSG 的同步整流器 MOSFET V_{DS} 上升沿

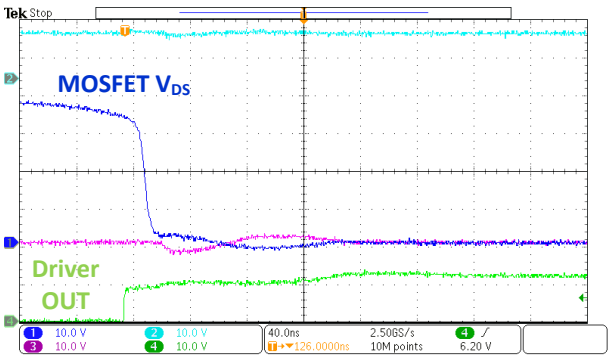


图 7-6. 使用 UCC27614-Q1DSG 的同步整流器 MOSFET VDS 下降沿

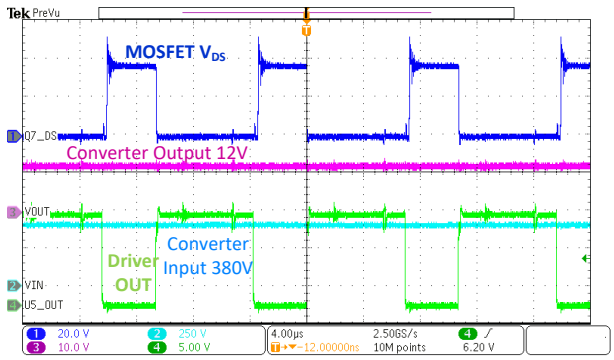


图 7-7. 使用 UCC27614-Q1DSG 的转换器的输入和输出电压

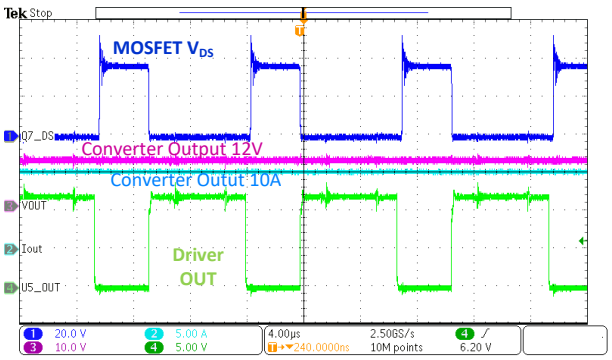


图 7-8. 使用 UCC27614-Q1DSG 的转换器的输出电压和电流

8 电源相关建议

UCC27614-Q1 器件的推荐偏置电源电压范围为 4.5V 至 26V。该范围的下限由 VDD 引脚电源电路块上的内部 UVLO 保护功能进行控制。只要驱动器处于 UVLO 状态，当 VDD 引脚电压低于 $V_{(ON)}$ 电源启动阈值时，该功能就会将输出保持在低电平，无论输入的状态如何都是如此。该范围的上限由器件 VDD 引脚建议的最大额定电压 (26V) 决定。VDD 引脚的绝对最大电压为 30V。

UVLO 保护功能还涉及迟滞功能。这意味着，当 VDD 引脚偏置电压超过了阈值电压并且器件开始运行时，如果电压下降，那么器件会继续提供正常的功能，除非压降超过迟滞规格。因此，为了避免触发器件关断，必须确保在 4.5V 或接近此范围内运行时，辅助电源输出上的电压纹波小于器件的迟滞规格。

在系统关断期间，器件会继续运行，直到 VDD 引脚电压降至 VDD UVLO 下降阈值以下，在评估系统关断时序设计要求时，必须考虑该情况。同样地，在系统启动时，只有 VDD 引脚电压超过 VDD UVLO 上升阈值后，器件才会开始运行。器件内部电路模块消耗的静态电流由 VDD 引脚提供。尽管这一事实众所周知，但要认识到 OUT 引脚提供的拉电流脉冲电荷也通过同一 VDD 引脚提供，这一点很重要。因此，每次从输出引脚 (OUT) 拉取电流时，均会通过 VDD 引脚向器件提供相应的电流脉冲。因此，必须确保在 VDD 和 GND 引脚之间提供一个本地旁路电容器，并且该电容器必须尽可能靠近器件，以便实现去耦。需要使用低 ESR 的陶瓷表面贴装电容器。TI 建议使用两个电容器：一个 100nF 陶瓷表面贴装电容器，距离器件的 VDD 引脚不到 1mm；另一个并联添加几微法拉的陶瓷表面贴装电容器。

UCC27614-Q1 是一款高电流栅极驱动器。如果栅极驱动器放置在远离 MOSFET 等开关功率器件的位置，则可能会形成较大的感应环路。较大的感应环路可能会导致栅极驱动器的任何和所有引脚上产生过度振铃。这可能会导致应力超过器件的建议额定值。因此，建议将栅极驱动器放置在尽可能靠近开关功率器件的位置。此外，建议使用外部栅极电阻器来抑制因高开关电流和电路板寄生元件而产生的任何振铃。

Copyright © 2024 Texas Instruments Incorporated

9 布局

9.1 布局指南

在高电流快速开关电路中，适当的 PCB 布局对于器件正常工作和设计稳健性而言极其重要。UCC27614-Q1 栅极驱动器具有短传播延迟和强大的输出级，能够在电源开关的栅极上提供很大的电流峰值以及很短的上升和下降时间，从而有助于电压以极快的速度进行转换。如果布线长度和阻抗未控制得当，那么极高的 di/dt 可能会导致无法接受的振铃。在使用这些高速驱动器进行设计时，建议遵循以下电路布局准则。

- 驱动器器件应尽量靠近功率器件放置，从而尽可能地缩短驱动器输出引脚与电源开关器件的栅极之间的高电流布线长度。
- VDD 引脚与 GND 引脚之间的旁路电容器应尽量靠近驱动器引脚放置，以尽可能地缩短布线长度，从而改进噪声滤波。TI 建议使用两个电容器：一个 100nF 陶瓷表面贴装电容器，距离器件的 VDD 引脚不到 1mm；另一个并联添加几微法拉的陶瓷表面贴装电容器。这些电容器支持在电源开关接通期间通过 VDD 消耗的高峰值电流。强烈建议使用低电感表面贴装元件，例如片式电容器。
- 应该尽可能缩短导通和关断电流环路路径（驱动器器件、电源开关和 VDD 旁路电容器），以便将杂散电感保持在最低水平。这些环路中存在两个实例会建立高 di/dt，即导通和关断瞬态期间，这会在驱动器器件的输出引脚和电源开关的栅极上产生显著的电压瞬态。
- 尽可能使电流环路的源迹线和返回迹线保持平行，从而利用磁通抵消。
- 将电源迹线与信号迹线（如输出和输入信号）分开。
- 为了更大限度地减少开关节点瞬态和振铃，可能需要在功率器件上添加一些栅极电阻和/或缓冲器。这些措施也可能降低 EMI。
- 星形点接地是一种尽可能地减少噪声从一个电流环路耦合到另一个电流环路的好方法。驱动器的 GND 应该在一个点连接至其他电路节点（如电源开关源极、PWM 控制器接地等）。连接路径应该尽可能短，以减少电感，并应该尽量宽，以减小电阻。
- 使用接地平面来提供噪声屏蔽。在转换期间，OUT 引脚上的快速上升和下降时间可能会破坏输入信号。接地平面不得是任何电流环路的传导路径。相反，应该使用一根迹线将接地平面连接到星形点，从而建立接地电势。除噪声屏蔽之外，接地平面还可以帮助降低功率耗散。

9.2 布局示例

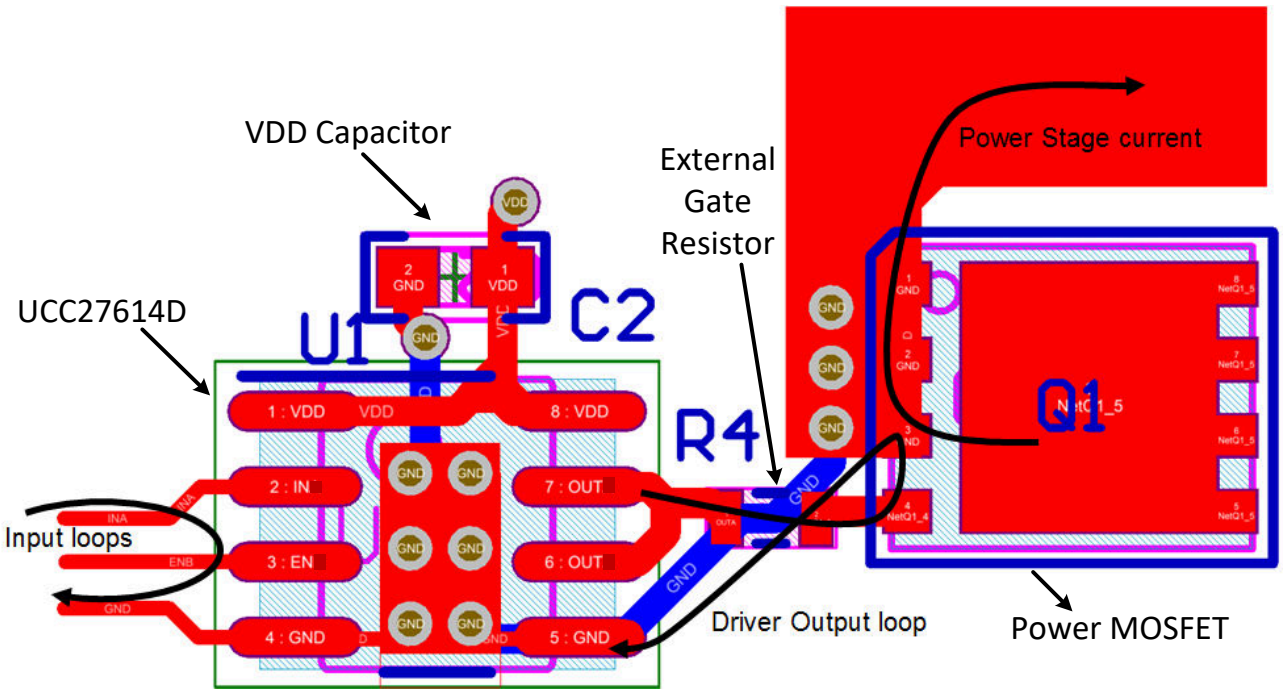


图 9-1. 布局示例：UCC27614-Q1

9.3 散热注意事项

负载的驱动功率要求以及封装的散热特性会极大地影响驱动器的有用范围。为了使栅极驱动器在特定的温度范围内有用，封装必须允许有效地散发产生的热量，同时使结温保持在额定限值以内。数据表的“热性能信息”表中总结了驱动器封装的热指标。有关热性能信息表的详细信息，请参阅 *IC 封装热指标应用手册* (SPRA953)。

Copyright © 2024 Texas Instruments Incorporated

10 器件和文档支持

10.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (April 2024) to Revision A (October 2024)	Page
• 从“特性”中删除了 HBM 和 CDM ESD 分类	1
• 将 D 和 DGN 封装的“预告信息”更改为“量产数据”	1

Copyright © 2024 Texas Instruments Incorporated

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC27614QDGNRQ1	Active	Production	HVSSOP (DGN) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	614Q
UCC27614QDGNRQ1.A	Active	Production	HVSSOP (DGN) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	614Q
UCC27614QDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	27614Q
UCC27614QDRQ1.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	27614Q
UCC27614QDSGRQ1	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	614Q
UCC27614QDSGRQ1.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	614Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UCC27614-Q1 :

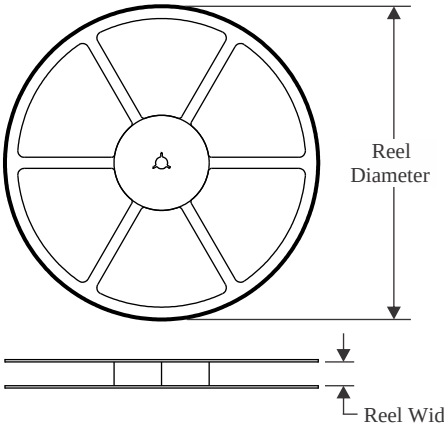
- Catalog : UCC27614

NOTE: Qualified Version Definitions:

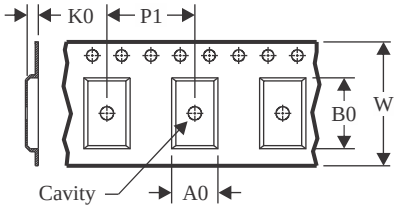
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

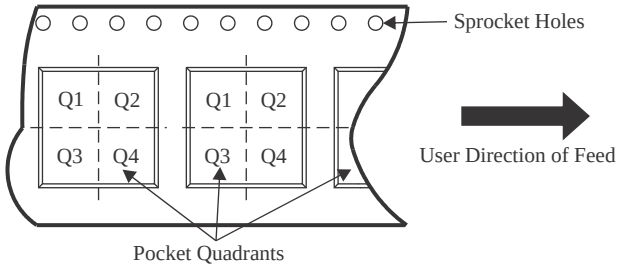


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

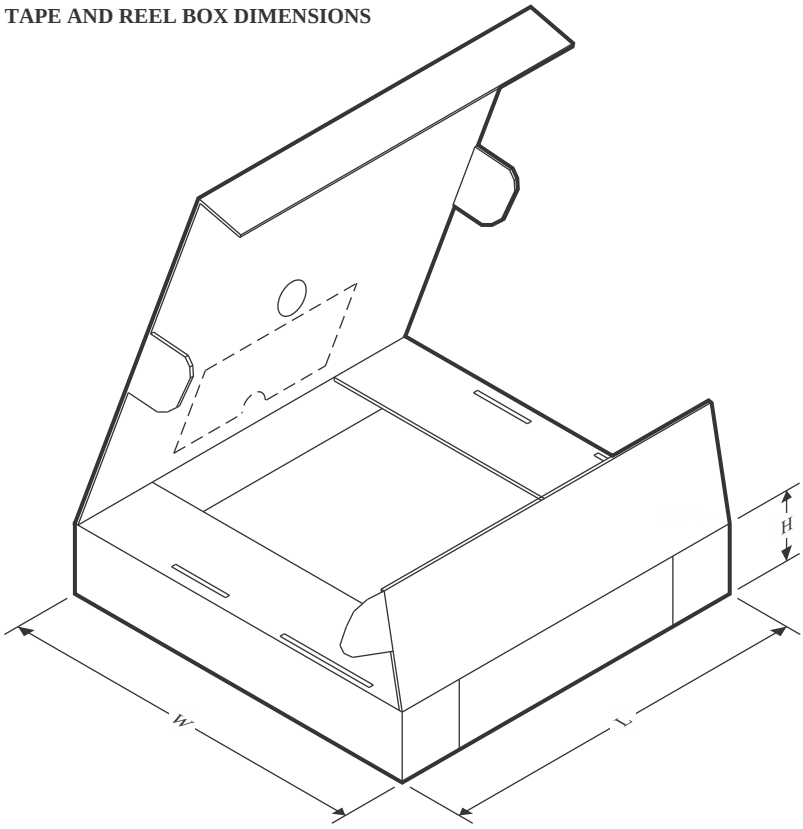
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC27614QDGNRQ1	HVSSOP	DGN	8	3000	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
UCC27614QDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC27614QDSGRQ1	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC27614QDGNRQ1	HVSSOP	DGN	8	3000	353.0	353.0	32.0
UCC27614QDRQ1	SOIC	D	8	3000	353.0	353.0	32.0
UCC27614QDSGRQ1	WSON	DSG	8	3000	210.0	185.0	35.0

GENERIC PACKAGE VIEW

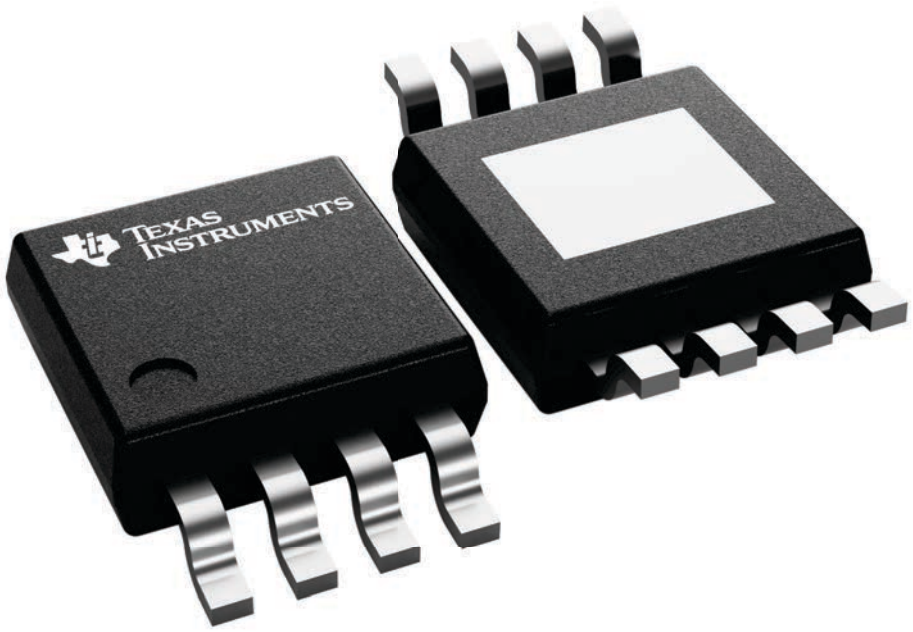
DGN 8

PowerPAD™ HVSSOP - 1.1 mm max height

3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



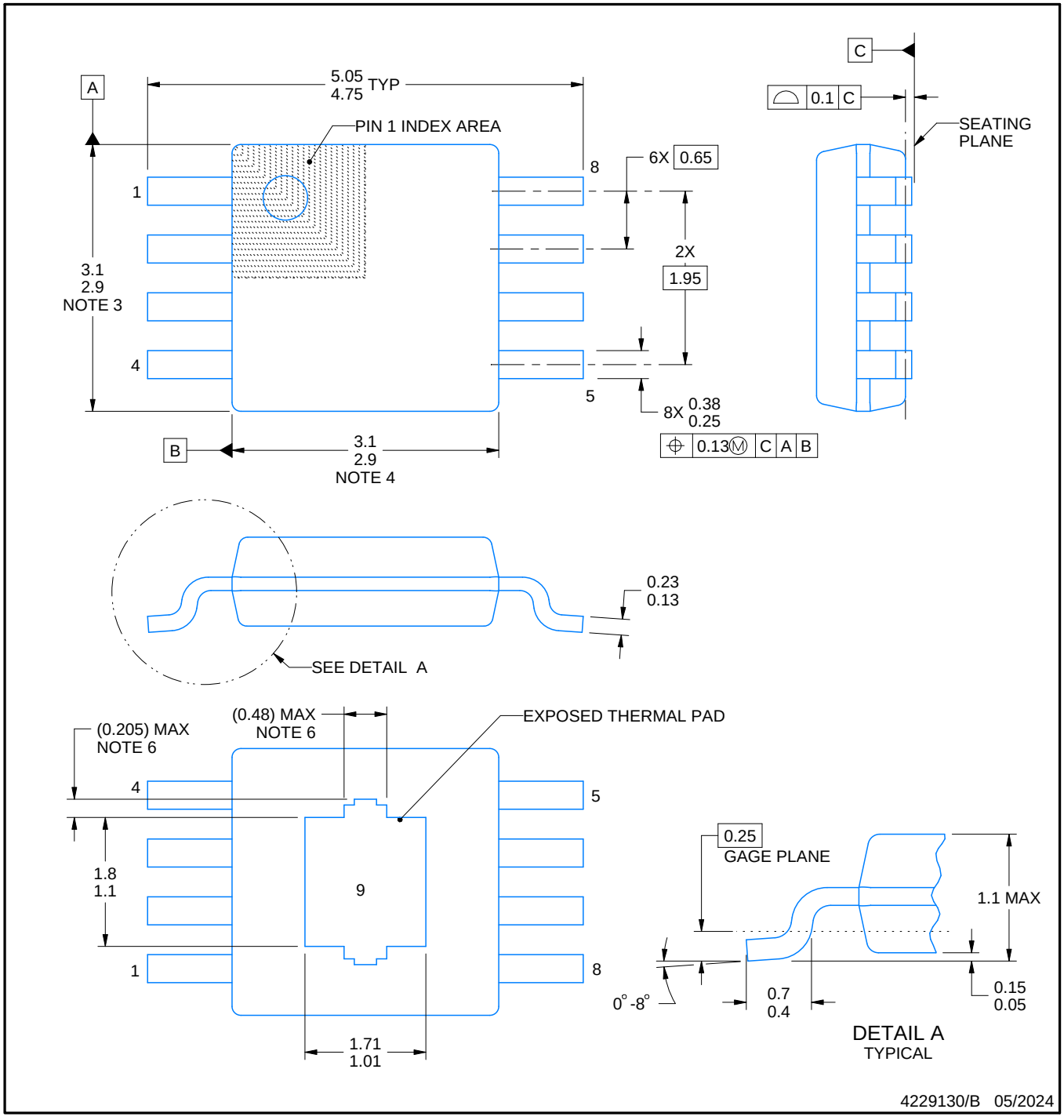
4225482/B

PACKAGE OUTLINE

DGN0008H

PowerPAD™ VSSOP - 1.1 mm max height

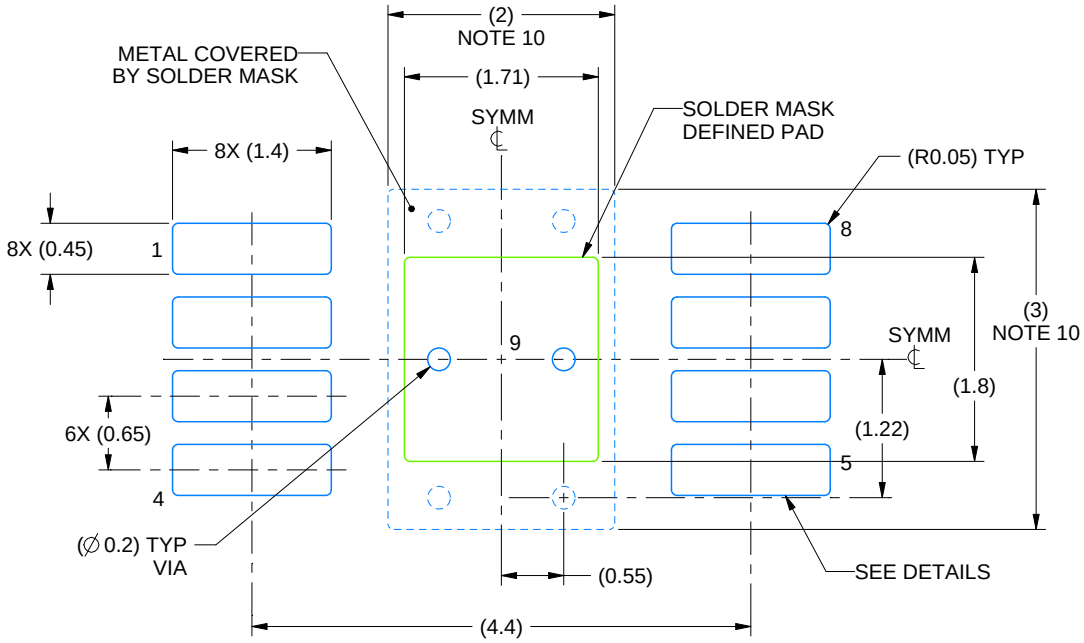
SMALL OUTLINE PACKAGE



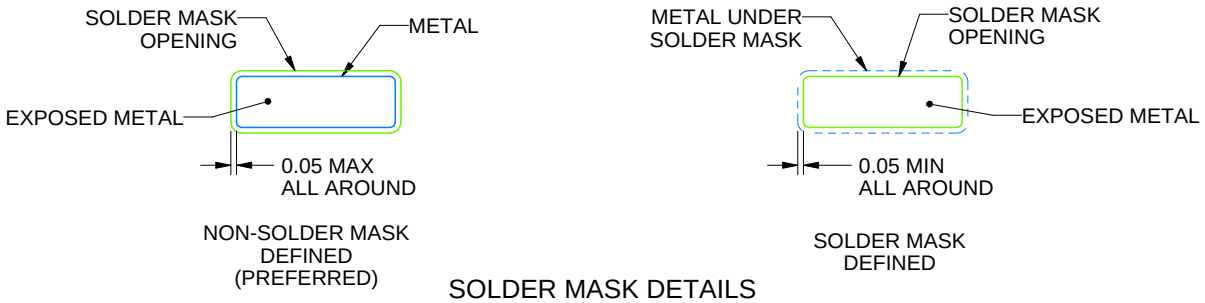
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.
6. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

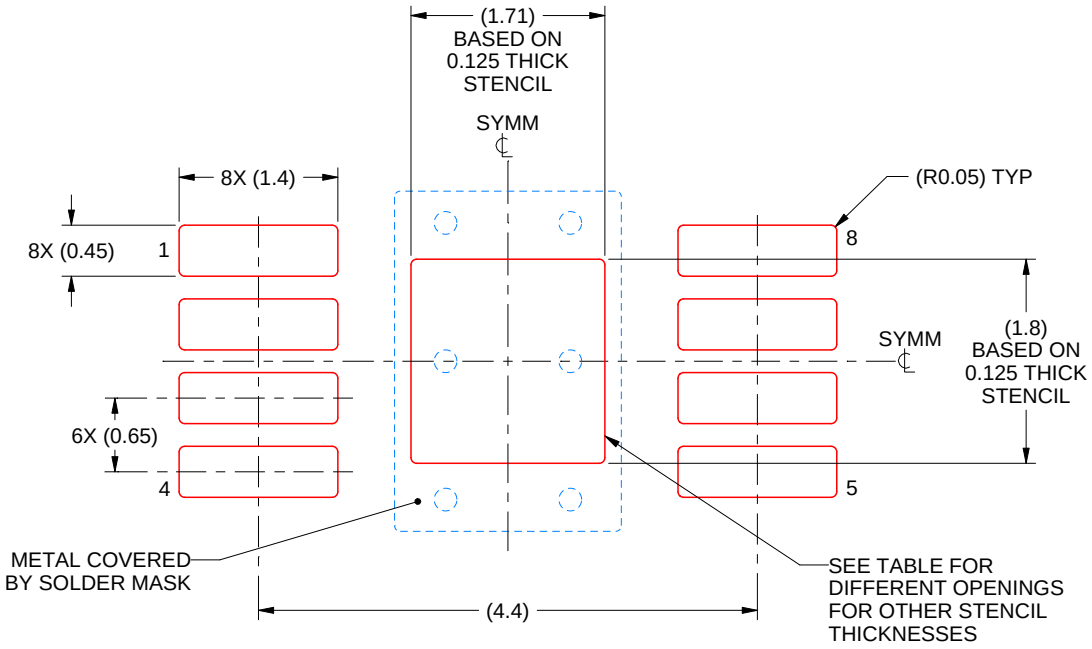


SOLDER MASK DETAILS

4229130/B 05/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.



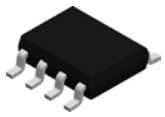
SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.91 X 2.01
0.125	1.71 X 1.80 (SHOWN)
0.15	1.56 X 1.64
0.175	1.45 X 1.52

4229130/B 05/2024

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

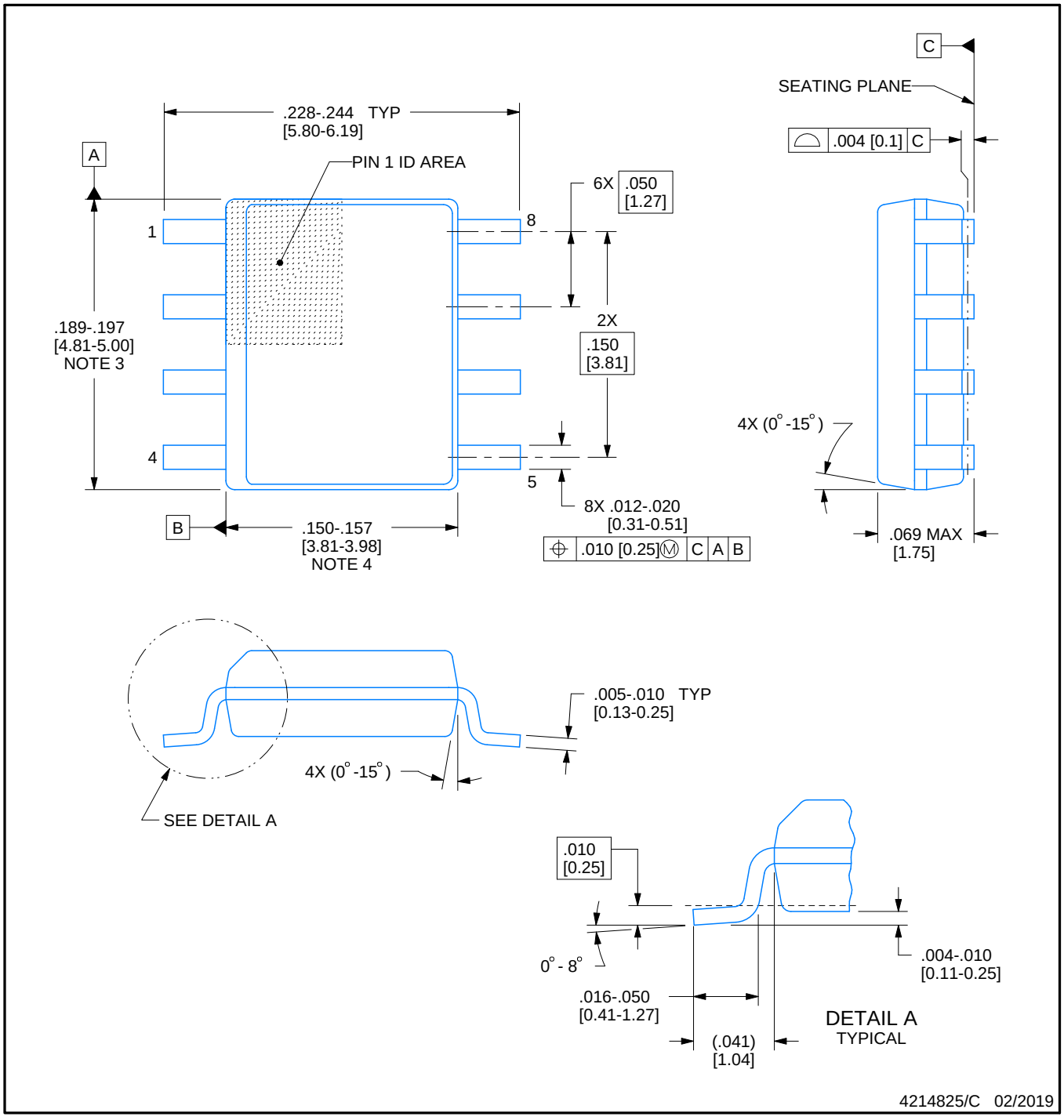


PACKAGE OUTLINE

D0008A

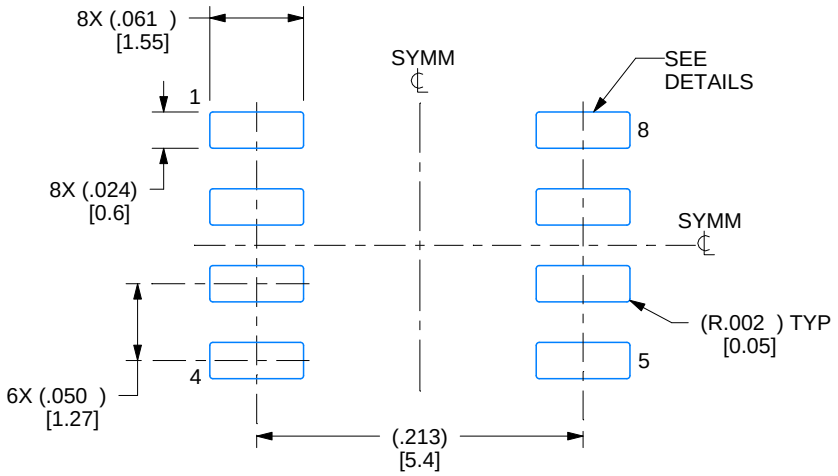
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

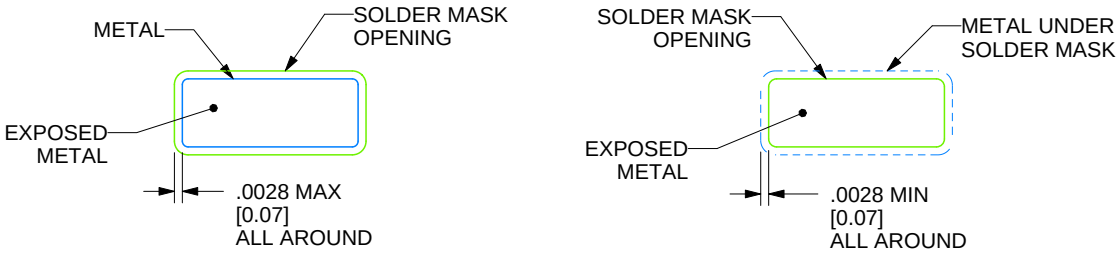


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

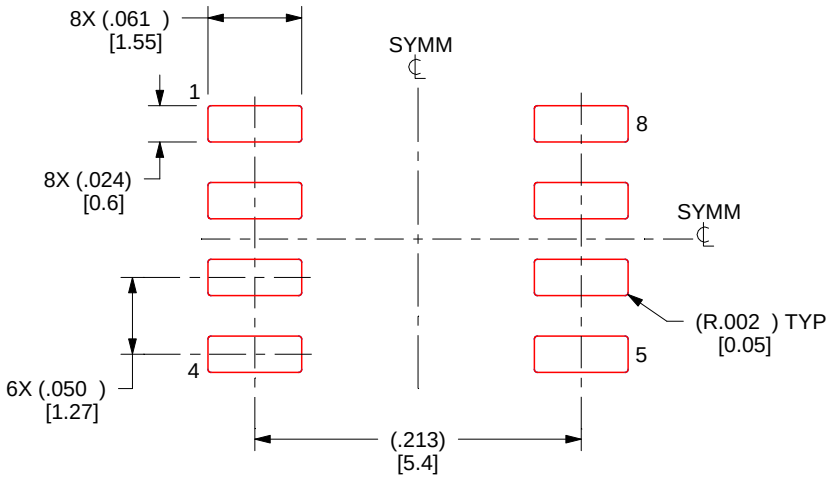
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

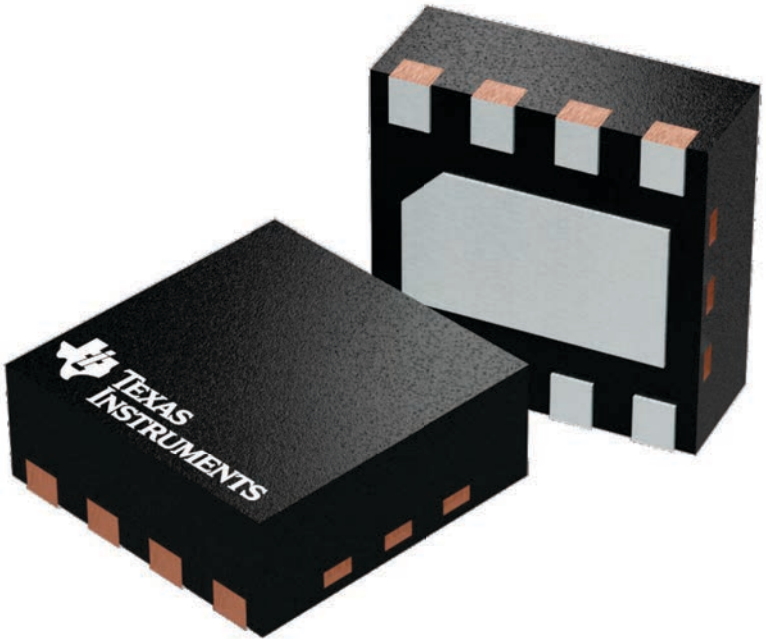
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



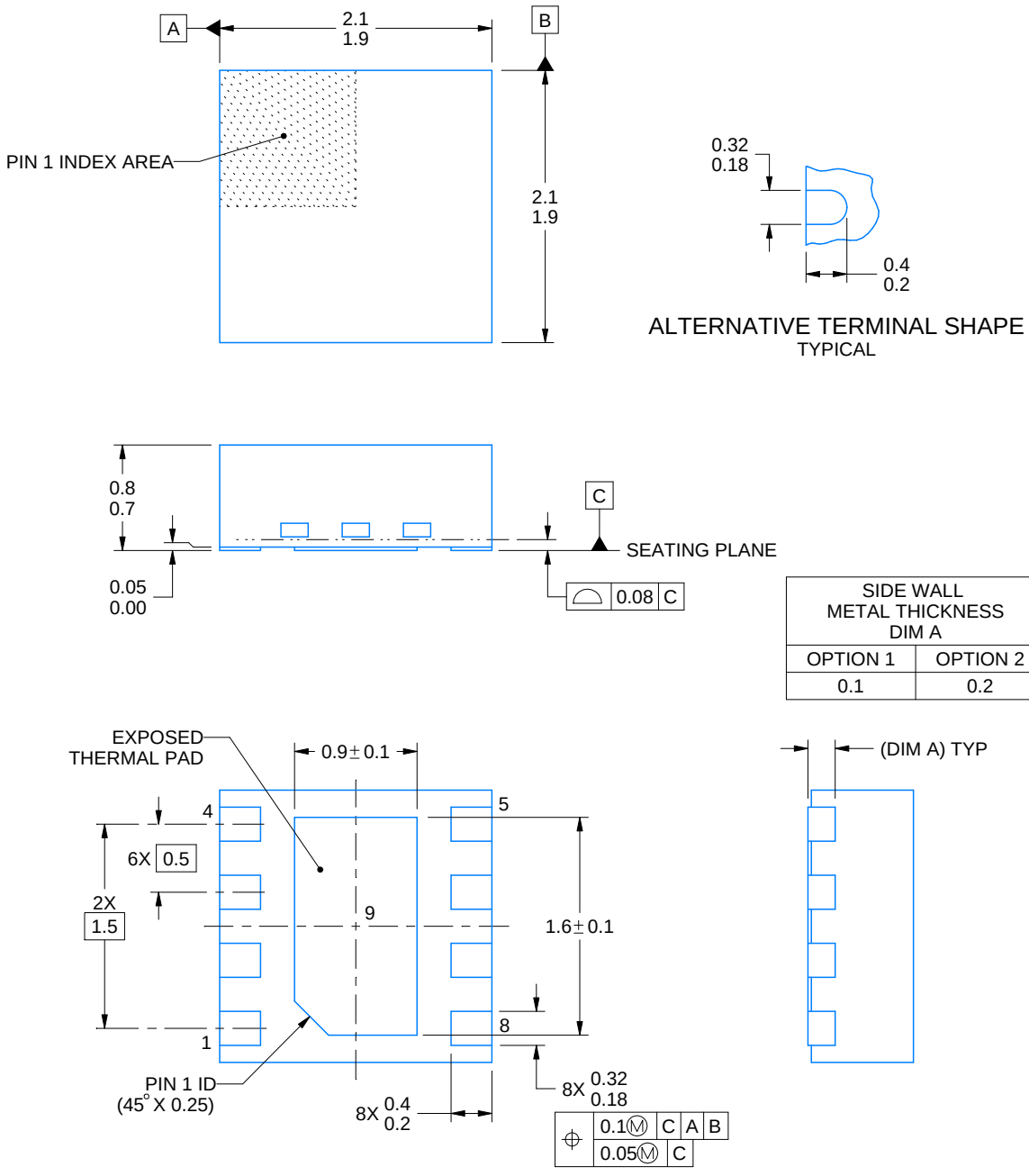
4224783/A

PACKAGE OUTLINE

DSG0008A

WSON - 0.8 mm max height

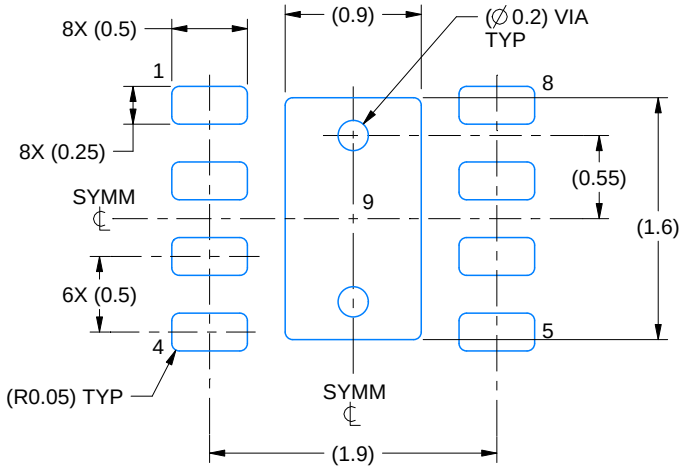
PLASTIC SMALL OUTLINE - NO LEAD



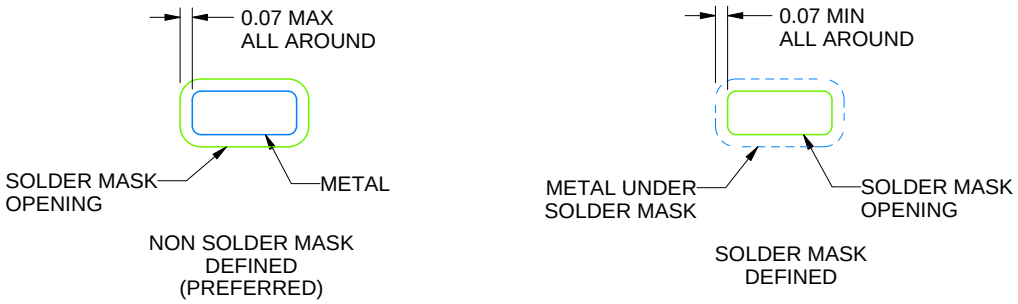
4218900/E 08/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

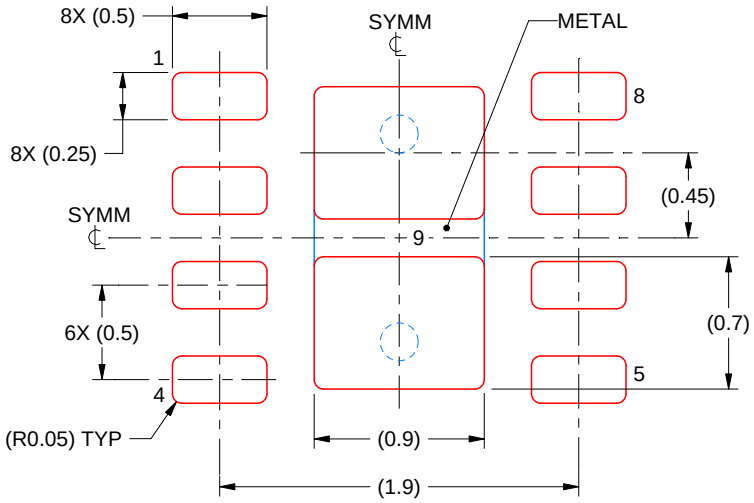


SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月