UCC27524A-Q1 具有负输入电压能力的双通道 5A 高速低侧栅极驱动器

1 特性

- 符合汽车应用要求
- 具有符合 AEC-Q100 标准的下列特性
  - 器件温度 1 级
- 业界通用引脚排列
- 两个独立的栅极驱动通道
- 5A 峰值拉电流和灌电流
- 针对每个输出提供独立的使能功能
- TTL 和 CMOS 兼容型逻辑阈值（与电源电压无关）
- 实现高噪声抗扰度的迟滞逻辑阈值
- 能够在输入端处理负电压（–5V）
- 输入和使能引脚电压电平不受 V_{DD} 引脚辅助电源电压限制
- 4.5V 至 18V 单电源电压范围
- 在 V_{DD} 欠压锁定 (UVLO) 状态下，输出保持低电平（确保上电和断电期间无干扰运行）
- 短暂传播延迟（典型值为 17ns）
- 快速上升和下降时间（典型值分别为 6ns 和 10ns）
- 2 个通道之间的延迟匹配典型值为 1ns
- 能够并联两个高驱动电流输出
- 当输入浮动时，输出保持低电平
- SOIC-8 和 VSSOP-8 PowerPAD™ 封装选项
- 工作温度范围为 –40°C 至 150°C

2 应用

- 汽车
- 开关模式电源
- 直流/直流转换器
- 电机控制，太阳能
- 用于诸如 GaN 等新上市的宽带隙功率器件的栅极驱动

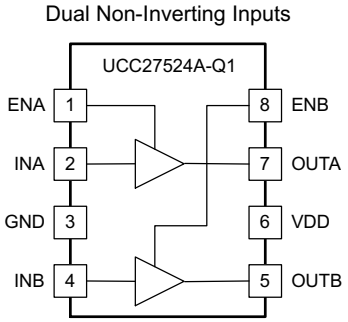
3 说明

UCC27524A-Q1 器件是一款双通道、高速、低侧栅极驱动器器件，能够有效驱动 MOSFET 和 IGBT 电源开关。UCC27524A-Q1 器件是 UCC2752x 系列的一个型号。为了增加稳定耐用性，UCC27524A-Q1 器件在输入引脚上增加了直接处理 –5V 电压的能力。UCC27524A-Q1 器件是一款双路非反相驱动器。使用能够从内部大大降低击穿电流的设计，UCC27524A-Q1 器件能够将高达 5A 拉电流和 5A 灌电流的高峰值电流脉冲传送到容性负载，此器件还具有轨到轨驱动能力和典型值为 17ns 的超小传播延迟。除此之外，此驱动器特有两个通道间相匹配的内部传播延迟，这一特性使得此驱动器非常适合于诸如同步整流器等对于双栅极驱动有严格时序要求的应用。这还使得两个通道可以并联，以有效地增加电流驱动能力或者使用一个单一输入信号驱动两个并联开关。输入引脚阈值基于 TTL 和 CMOS 兼容的低压逻辑，此逻辑是固定的且与 V_{DD} 电源电压无关。高低阈值间的宽滞后提供了记好的抗噪声性能。

器件信息

器件型号	封装(1)	本体封装尺寸（标称值）
UCC27524A-Q1	D (SOIC 8)	4.90mm × 3.91mm
	DGN (VSSOP-PowerPAD 8)	3.00mm × 3.00mm

(1) 有关所有可用封装，请参阅节 13。



产品系列矩阵

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 说明（续）.....3
5 引脚配置和功能.....4
6 规格.....5
6.1 绝对最大额定值.....5
6.2 ESD 等级.....5
6.3 建议运行条件.....5
6.4 热性能信息.....5
6.5 电气特性.....6
6.6 开关特性.....7
6.7 时序图.....8
6.8 典型特性.....9
7 详细说明.....13
7.1 概述.....13
7.2 功能方框图.....14
7.3 特性说明.....14
7.4 低传播延迟和紧密匹配的输出.....16
7.5 器件功能模式.....17
8 应用和实施.....18
8.1 应用信息.....18
8.2 典型应用.....18
9 电源相关建议.....22
10 布局.....23
10.1 布局指南.....23
10.2 布局示例.....24
10.3 散热注意事项.....24
11 器件和文档支持.....25
11.1 器件支持.....25
11.2 接收文档更新通知.....25
11.3 支持资源.....25
11.4 商标.....25
11.5 静电放电警告.....25
11.6 术语表.....25
12 修订历史记录.....26
13 机械、封装和可订购信息.....28

Copyright © 2024 Texas Instruments Incorporated

4 说明（续）

出于保护目的，当输入引脚处于悬空状态时，UCC27524A-Q1 期间的输入引脚上的内部上拉和下拉电阻器确保输出被保持在低电平。UCC27524A-Q1 器件特有使能引脚（ENA 和 ENB）以更好地控制此驱动器应用的运行。针对高电平有效逻辑，这些引脚被内部上拉至 V_{DD} 并可针对标准运行而保持断开。

UCC27524A-Q1 器件采用 SOIC-8 (D) 以及带有外露焊盘的 VSSOP-PowerPAD-8 (DGN) 封装。

Copyright © 2024 Texas Instruments Incorporated

5 引脚配置和功能

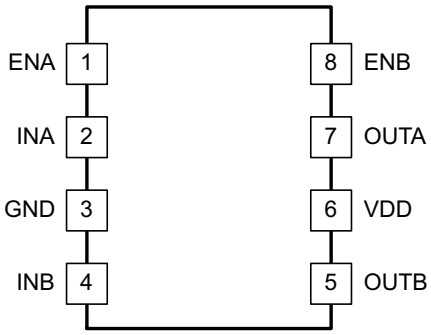


图 5-1. D 和 DGN 封装 8 引脚 SOIC 和 HVSSOP-PowerPAD 顶视图

表 5-1. 引脚功能

引脚		I/O	说明
名称	编号		
ENA	1	I	通道 A 的使能输入：无论 INA 状态如何，ENA 均偏置为低电平以禁用通道 A 输出。ENA 偏置为高电平或保持悬空以启用通道 A 输出。ENA 可悬空；因此与 UCC2732X N/C 引脚实现了引脚对引脚兼容。
ENB	8	I	通道 B 的使能输入：无论 INB 状态如何，ENB 均偏置为低电平以禁用通道 B 输出。ENB 偏置为高电平或保持悬空以启用通道 B 输出。ENB 可悬空；因此与 UCC2732X N/C 引脚实现了引脚对引脚兼容。
GND	3	-	接地：所有信号都以此引脚为基准。
INA	2	I	通道 A 的输入：INA 是 UCC27524A-Q1 器件中的同相输入。如果 INA 未偏置或已悬空，OUTA 将保持低电平。
INB	4	I	通道 B 的输入：INB 是 UCC27524A-Q1 器件中的同相输入。如果 INB 未偏置或已悬空，OUTB 将保持低电平。
OUTA	7	O	通道 A 的输出
OUTB	5	O	通道 B 的输出
VDD	6	I	辅助电源输入

Copyright © 2024 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (2)

		最小值	最大值	单位
电源电压	VDD	-0.3	20	V
OUTA、OUTB 电压	DC	-0.3	VDD + 0.3	V
	重复脉冲 < 200 ns(4)	-2	VDD + 0.3	V
输出连续拉/灌电流	I_{OUT_DC}		0.3	A
输出脉冲拉/灌电流 (0.5µs)	I_{OUT_pulsed}		5	A
INA、INB、ENA、ENB 电压(3)		-5	20	V
运行虚拟结温 T_J		-40	150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 应力超出*绝对最大额定值*下面列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，这并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 除非另有说明，否则所有电压均以 GND 为基准。电流是指定端子的正输入、负输出。有关封装的热限制和注意事项，请参阅数据表的“封装”部分。
(3) 输入和使能引脚上的最大电压不受 VDD 引脚电压的限制。
(4) 通过在工作台上进行表征来验证这些值。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 标准	±1000	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

	最小值	标称值	最大值	单位
电源电压，VDD	4.5	12	18	V
工作结温	-40		140	°C
输入电压，INA、INB	-2		18	V
使能电压，ENA 和 ENB	-2		18	V

6.4 热性能信息

热指标(1)		UCC27524A-Q1		单位
		DGN	D	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	48.9	126.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	71.8	67.0	
$R_{\theta JB}$	结至电路板热阻	22.3	69.9	
ψ_{JT}	结至顶部特征参数	2.6	19.2	
ψ_{JB}	结至电路板特征参数	22.3	69.1	
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	4.5	不适用	

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告，SPRA953。

Copyright © 2024 Texas Instruments Incorporated

6.5 电气特性

除非另有说明，否则 VDD = 12V，$T_A = T_J =$ –40°C 至 150°C，VDD 和 GND 之间连接 1μF 电容器，并且输出上没有负载。典型条件规格均在 25°C 下测得。

参数		测试条件	最小值	典型值	最大值	单位
偏置电流						
I_{VDDq}	VDD 静态电源电流	V_{INx} = 3.3V，VDD = 3.4V，ENx = VDD		300	450	μA
I_{VDD}	VDD 静态电源电流	V_{INx} = 3.3V，ENx = VDD		0.6	1.0	mA
I_{VDD}	VDD 静态电源电流	V_{INx} = 0V，ENx = VDD		0.7	1.0	mA
I_{VDDO}	VDD 工作电流	f_{SW} = 1000kHz，ENx = VDD，V_{INx} = 0V 至 3.3V PWM		3.2	3.8	mA
I_{DIS}	VDD 禁用电流	V_{INx} = 3.3V，ENx = 0V		0.8	1.1	mA
欠压锁定 (UVLO)						
V_{VDD_ON}	VDD UVLO 上升阈值		3.8	4.1	4.4	V
V_{VDD_OFF}	VDD UVLO 下降阈值		3.5	3.8	4.1	V
V_{VDD_HYS}	VDD UVLO 迟滞			0.3		V
输入（INA、INB）						
V_{INx_H}	输入信号高阈值	输出高电平，ENx = HIGH	1.8	2	2.3	V
V_{INx_L}	输入信号低阈值	输出低电平，ENx = HIGH	0.8	1	1.2	V
V_{INx_HYS}	输入信号迟滞			1		V
R_{INx}	INx 引脚下拉电阻	INx = 3.3V		120		kΩ
使能（ENA、ENB）						
V_{ENx_H}	使能信号高电平阈值	输出高电平，INx = HIGH	1.8	2	2.3	V
V_{ENx_L}	使能信号低电平阈值	输出低电平，INx = HIGH	0.8	1	1.2	V
V_{ENx_HYS}	使能信号迟滞			1		V
R_{ENx}	EN 引脚上拉电阻	ENx = 0V		200		kΩ
输出（OUTA、OUTB）						
I_{SRC} (1)	峰值输出拉电流	VDD = 12V，C_{VDD} = 10μF，C_L = 0.1μF，f = 1kHz		5		A
I_{SNK} (1)	峰值输出灌电流	VDD = 12V，C_{VDD} = 10μF，C_L = 0.1μF，f = 1kHz		-5		A
R_{OH} (2)	上拉电阻	I_{OUT} = –50mA，请参阅节 7.3.4。		5	8.5	Ω
R_{OL}	下拉电阻	I_{OUT} = 50mA		0.6	1.1	Ω

(1) 未经量产测试的参数。
(2) 此表中的输出上拉电阻是一个直流测量值，它仅测量 PMOS 结构的电阻，而不是 N 沟道结构的电阻。

Copyright © 2024 Texas Instruments Incorporated

6.6 开关特性

除非另有说明，否则 VDD = V_{EN} = 12V，T_A = T_J = –40°C 至 150°C，VDD 和 GND 之间连接 1µF 电容器，并且输出上没有负载。典型条件规格均在 25°C (1) 下测得。

参数		测试条件	最小值	典型值	最大值	单位
t_{Rx}	上升时间	C_{LOAD} = 1.8nF，20% 至 80%，Vin = 0V – 3.3V		6	10	ns
t_{Fx}	下降时间	C_{LOAD} = 1.8nF，90% 至 10%，Vin = 0V – 3.3V		10	14	ns
t_{D1x}	导通传播延迟	C_{LOAD} = 1.8nF，输入上升的 V_{INx_H} 至输出上升的 10%，Vin = 0V – 3.3V，Fsw = 500kHz，50% 占空比，T_J = 125°C		17	27	ns
t_{D2x}	关断传播延迟	C_{LOAD} = 1.8nF，输入下降的 V_{INx_L} 至输出下降的 90%，Vin = 0V – 3.3V，Fsw = 500kHz，50% 占空比，T_J = 125°C		17	27	ns
t_{D3x}	启用传播延迟	C_{LOAD} = 1.8nF，使能上升的 V_{ENx_H} 至输出上升的 10%，Vin = 0V – 3.3V，Fsw = 500kHz，50% 占空比，T_J = 125°C		17	27	ns
t_{D4x}	禁用传播延迟	C_{LOAD} = 1.8nF，使能下降的 V_{ENx_L} 至输出下降的 90%，Vin = 0V – 3.3V，Fsw = 500kHz，50% 占空比，T_J = 125°C		17	27	ns
t_M	两个通道之间的延迟匹配	C_{LOAD} = 1.8nF，Vin = 0V – 3.3V，Fsw = 500kHz，50% 占空比，INA = INB，$\lvert t_{RA} - t_{RB} \rvert$，$\lvert t_{FA} - t_{FB} \rvert$		1	2	ns
t_{PWmin}	最小输入脉冲宽度	C_L = 1.8nF，Vin = 0V – 3.3V，Fsw = 500kHz，Vo > 1.5V		10	15	ns

(1) 这些开关参数未经生产环境测试。

Copyright © 2024 Texas Instruments Incorporated

6.7 时序图

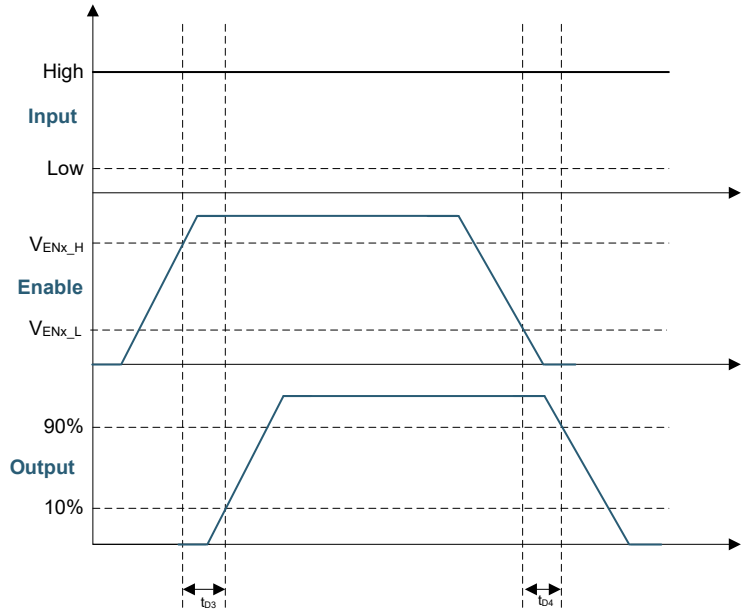


图 6-1. 使能功能

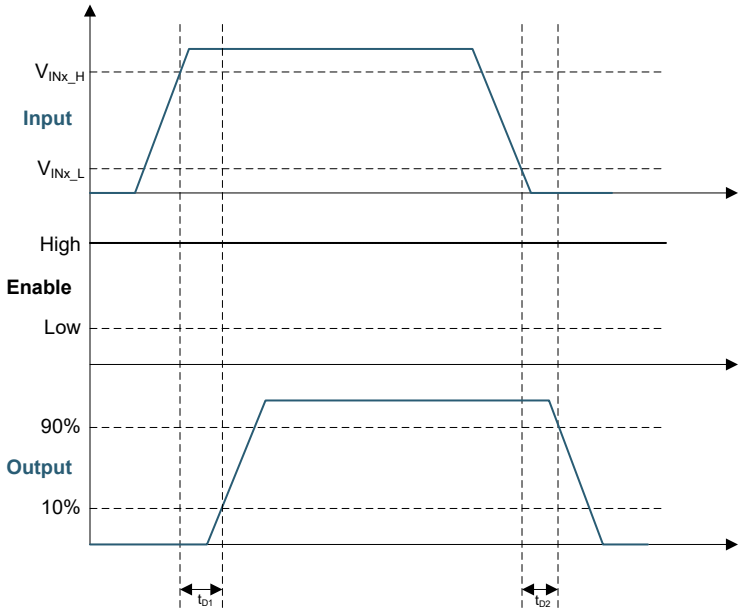


图 6-2. 输入/输出运行

Copyright © 2024 Texas Instruments Incorporated

6.8 典型特性

除非另有说明，否则 VDD = 12V、INx = 3.3V、ENx = 3.3V、T_J = 25°C 且空载

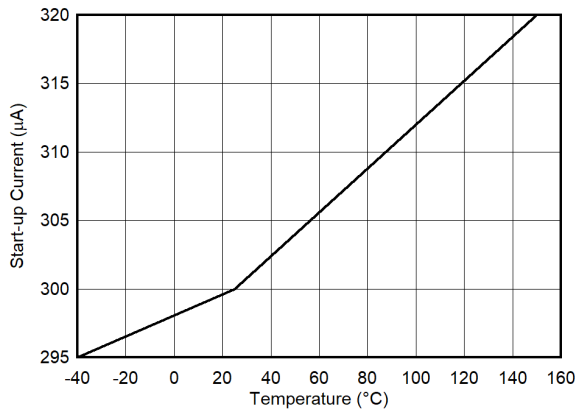


图 6-3. 启动电流和静态电流

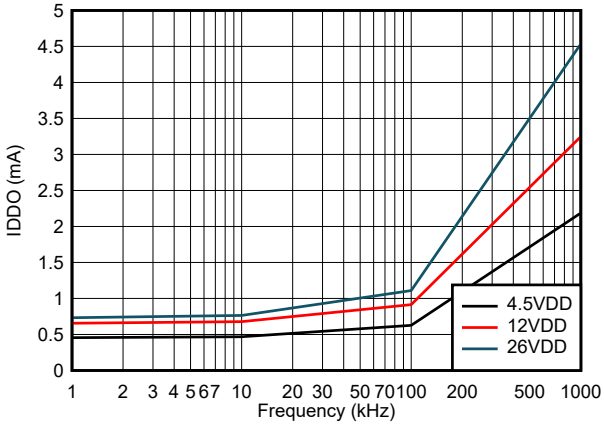


图 6-4. 工作电源电流（两个输出均处于开关状态）

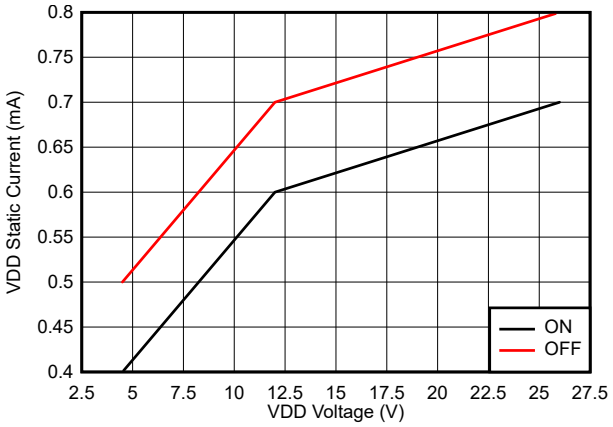


图 6-5. 静态电源电流（输出处于直流导通或关断状态）

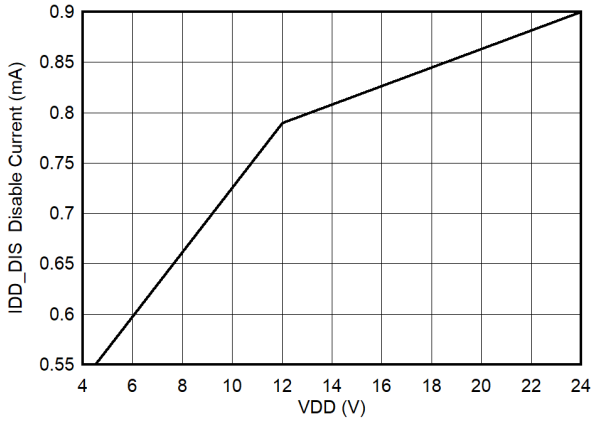


图 6-6. 禁用电流 (EN = 0V)

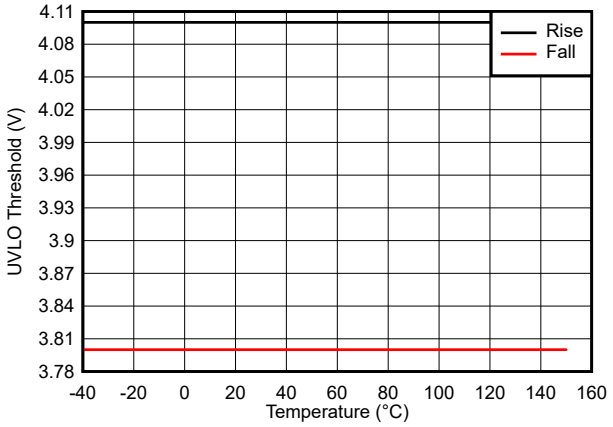


图 6-7. VDD UVLO 阈值

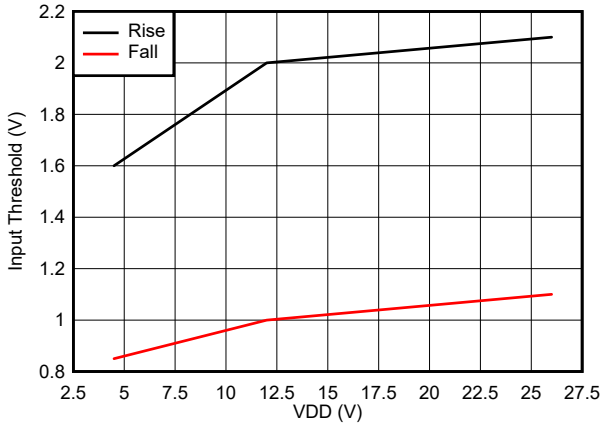


图 6-8. 输入阈值

Copyright © 2024 Texas Instruments Incorporated

6.8 典型特性（续）

除非另有说明，否则 VDD = 12V、INx = 3.3V、ENx = 3.3V、T_J = 25°C 且空载

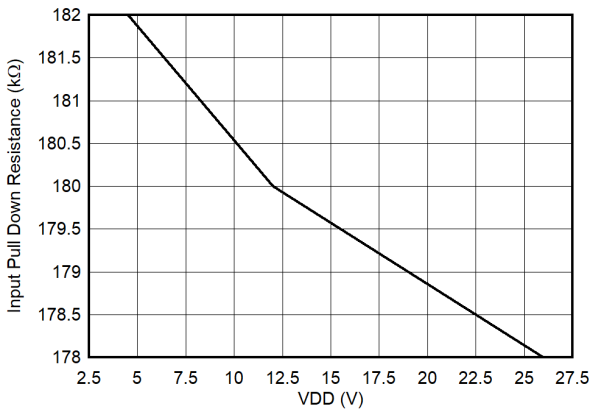


图 6-9. 输入下拉电阻

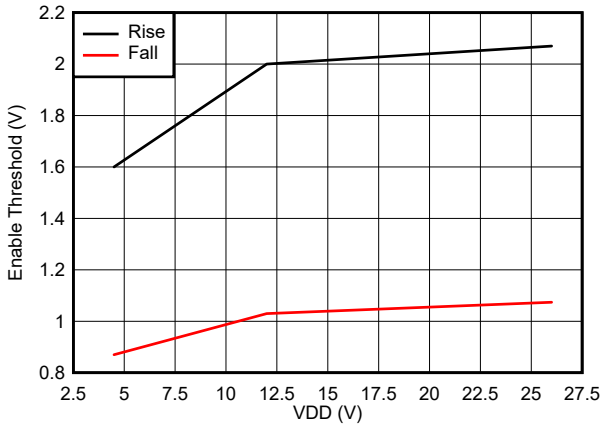


图 6-10. 使能阈值

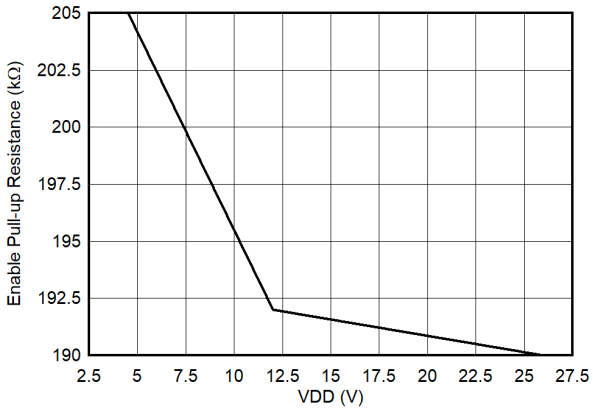


图 6-11. 使能上拉电阻

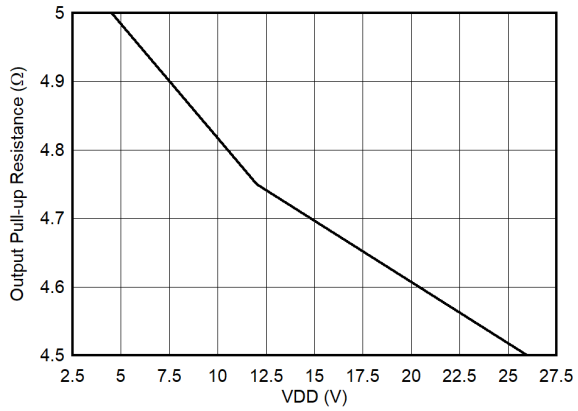


图 6-12. 输出上拉电阻

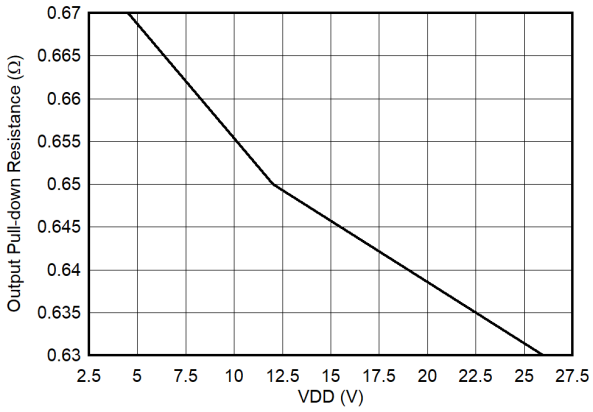
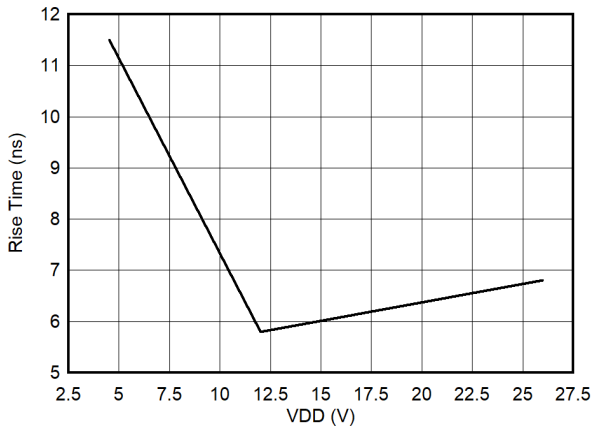


图 6-13. 输出下拉电阻



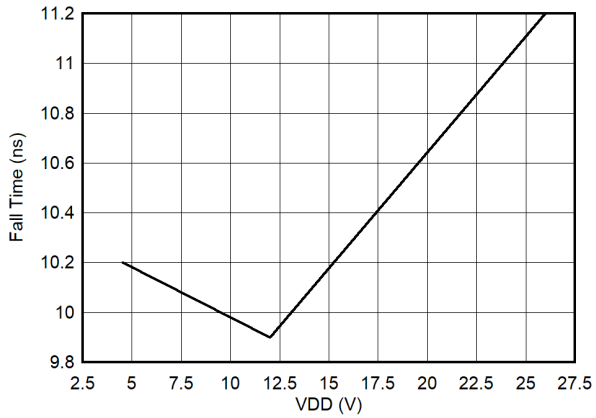
C_{LOAD} = 1.8nF

图 6-14. 输出上升时间与 VDD 间的关系

Copyright © 2024 Texas Instruments Incorporated

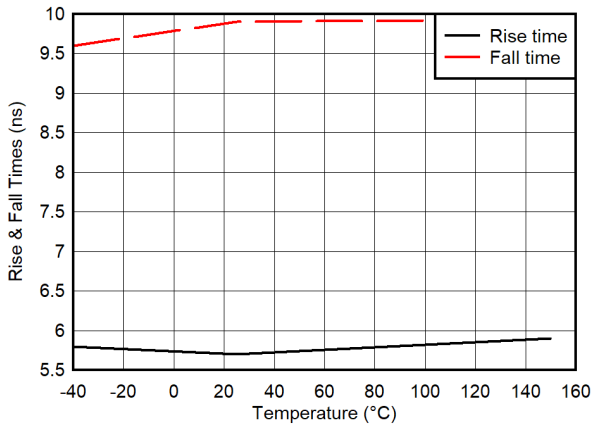
6.8 典型特性（续）

除非另有说明，否则 VDD = 12V、INx = 3.3V、ENx = 3.3V、T_J = 25°C 且空载



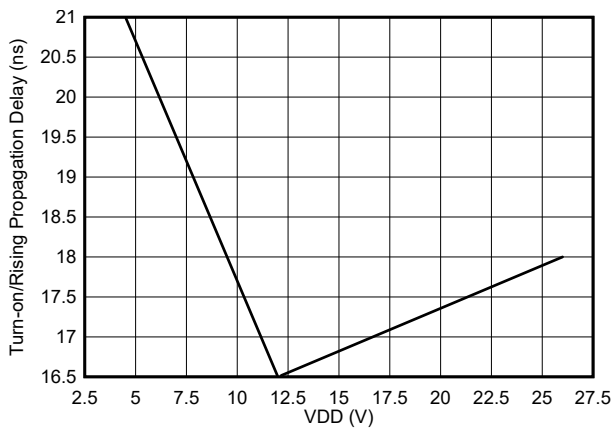
C_{LOAD} = 1.8nF

图 6-15. 输出下降时间与 VDD 间的关系



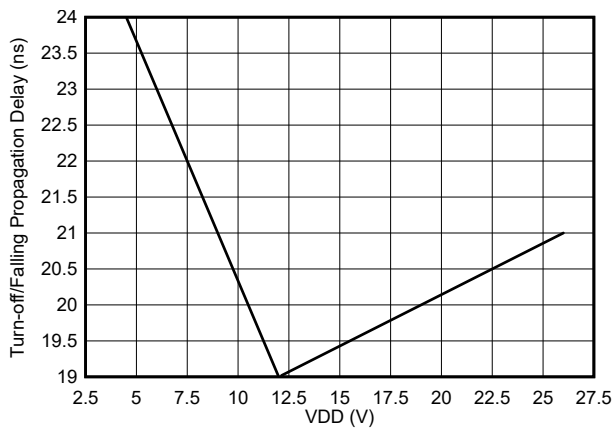
C_{LOAD} = 1.8nF

图 6-16. 输出上升和下降时间与温度间的关系



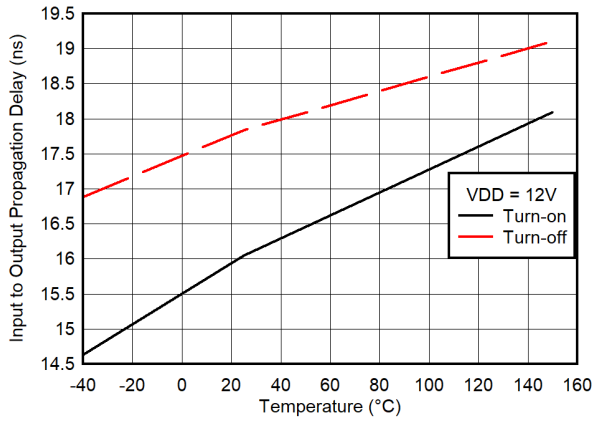
C_{LOAD} = 1.8nF

图 6-17. 输入到输出上升（导通）传播延迟与 VDD 间的关系



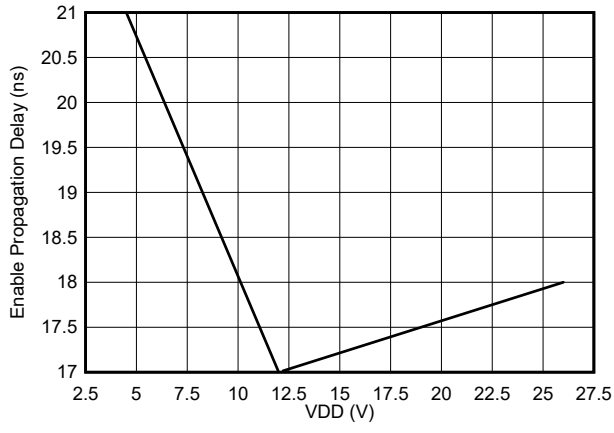
C_{LOAD} = 1.8nF

图 6-18. 输入到输出下降（关断）传播延迟与 VDD 间的关系



C_{LOAD} = 1.8nF

图 6-19. 输入传播延迟与温度间的关系



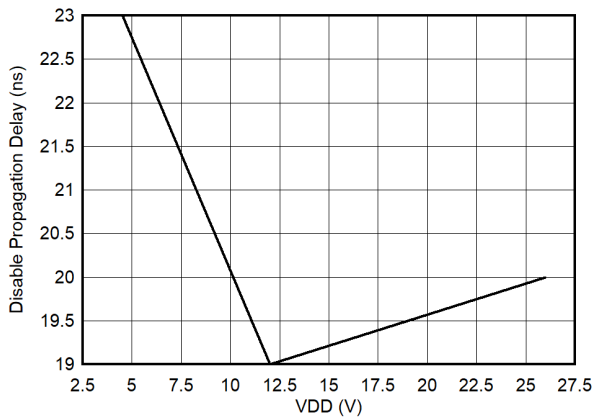
C_{LOAD} = 1.8nF

图 6-20. 使能到输出上升传播延迟

Copyright © 2024 Texas Instruments Incorporated

6.8 典型特性（续）

除非另有说明，否则 VDD = 12V、INx = 3.3V、ENx = 3.3V、T_J = 25°C 且空载



C_{LOAD} = 1.8nF

图 6-21. 使能到输出下降传播延迟

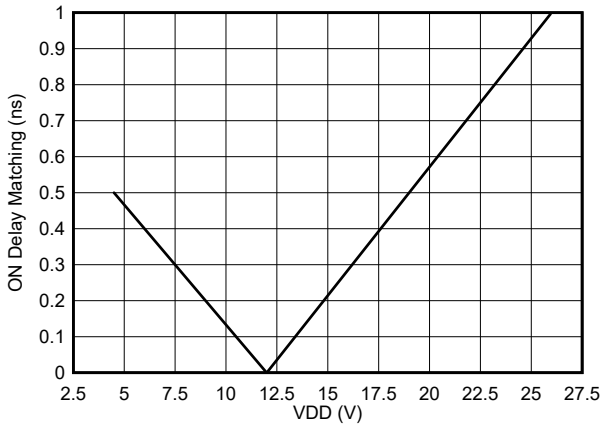


图 6-22. 导通/上升延迟匹配

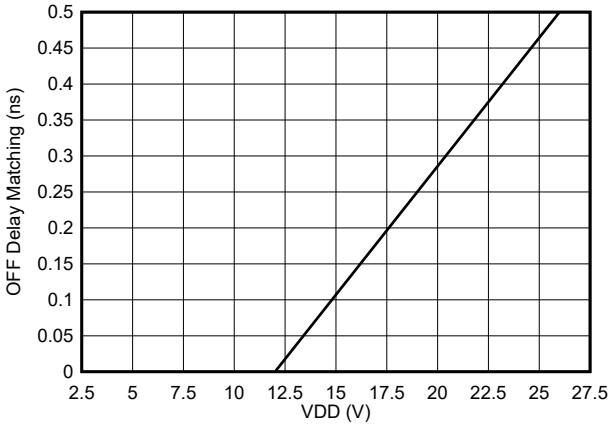


图 6-23. 关断和下降延迟匹配

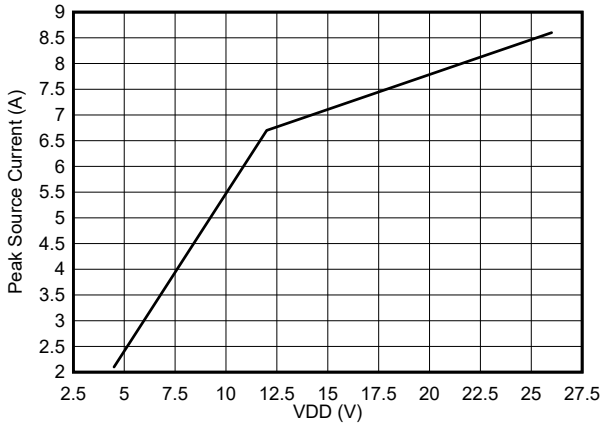


图 6-24. 峰值拉电流与 VDD 间的关系

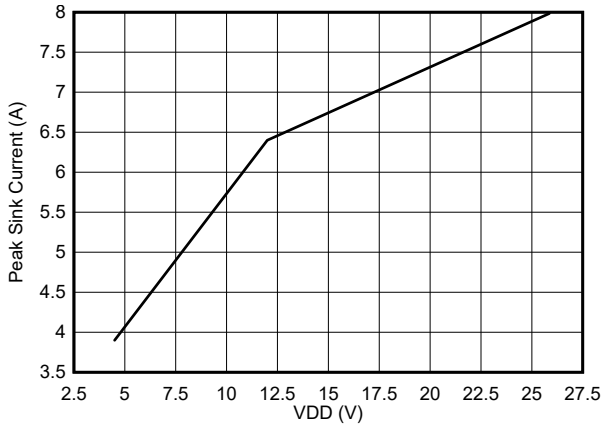


图 6-25. 峰值灌电流与 VDD 间的关系

Copyright © 2024 Texas Instruments Incorporated

7 详细说明

7.1 概述

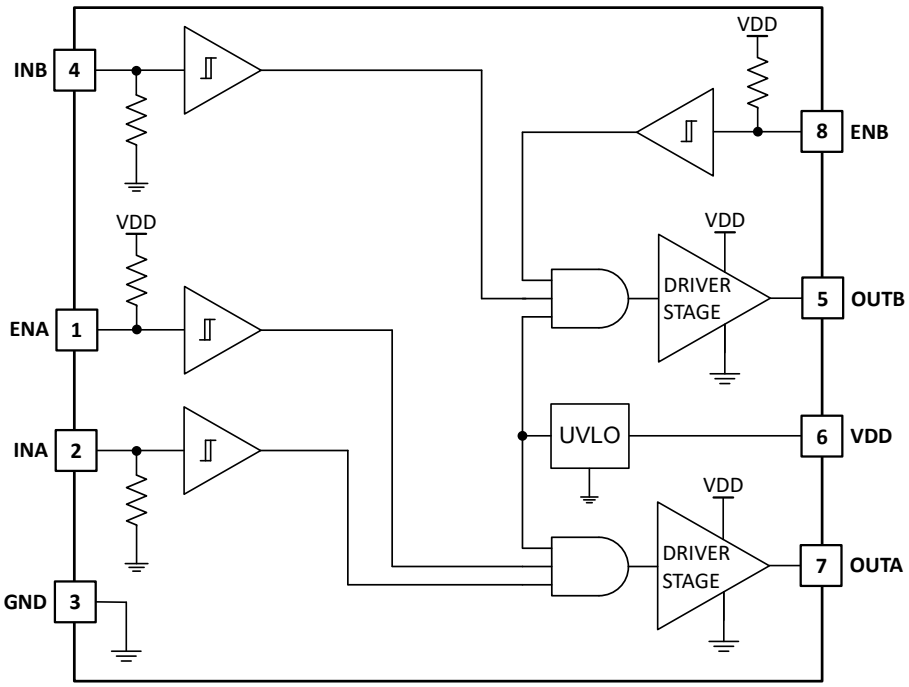
UCC27524A-Q1 器件是德州仪器 (TI) 推出的新一代双通道、低侧、高速栅极驱动器器件，具有 5A 拉电流和灌电流能力、出色的开关特性，以及表 7-1 中列出的大量其他特性，所有这些特性组合在一起，可确保在高频开关电源电路中高效、稳健和可靠地运行。

表 7-1. UCC27524A-Q1 特性与优势

特性	优势
出色的 17ns（典型值）传播延迟	脉冲传输失真极低
通道间的延迟匹配时间为 1ns（典型值）	易于并联输出以获得更大（2 倍）的电流能力，易于驱动并联电源开关
4.5V 至 18V 的宽 VDD 工作范围	系统设计具有灵活性
–40°C 至 +150°C 的宽工作温度范围（请参阅电气特性表）	系统设计具有灵活性
VDD UVLO 保护	在 UVLO 条件下，输出保持低电平，从而确保上电和断电时实现可预测的无干扰运行
当输入引脚 (INx) 处于悬空状态时，输出保持低电平	提供保护功能，在通过安全认证期间的异常情况测试时尤其有用
当使能引脚 (ENx) 处于悬空状态时，输出启用	在引脚 1 和引脚 8 处于悬空状态的设计中，与德州仪器 (TI) 的 UCC27324 器件引脚对引脚兼容
具有宽迟滞的 CMOS/TTL 兼容输入和使能阈值	具有增强的抗噪性能，同时保持与微控制器逻辑电平输入信号（3.3V、5V）的兼容性，并针对数字电源进行了优化
输入和使能引脚能够处理不受 VDD 引脚偏置电压限制的电压电平	系统简化，尤其是涉及辅助偏置电源架构时
在输入引脚上能够处理 –5V_{DC}（最大值）	提高了在嘈杂环境中的稳健性

Copyright © 2024 Texas Instruments Incorporated

7.2 功能方框图



典型的 ENx 上拉电阻为 200kΩ，INx 下拉电阻为 120kΩ。

7.3 特性说明

7.3.1 工作电源电流

UCC27524A-Q1 器件具有非常低的静态 I_{DD} 电流。电气特性中总结了 UVLO 状态和完全导通状态（静态和开关条件下）下的典型工作电源电流。器件完全导通且输出处于静态（直流高电平或直流低电平，请参阅图 6-5）时的 I_{DD} 电流表示当器件的所有内部逻辑电路可以完全正常运行时的最低静态 I_{DD} 电流。总电源电流是静态 I_{DD} 电流、由于开关而产生的平均 I_{OUT} 电流以及任何与使能引脚上的上拉电阻相关的电流之和（请参阅功能方框图）。在知道所使用的驱动电压下的工作频率 (f_{SW}) 和 MOSFET 栅极 (Q_G) 电荷的情况下，可以计算平均 I_{OUT} 电流，该电流是 Q_G 与 f_{SW} 的乘积。

图 6-4 中提供了两个通道在 1.8nF 开关负载下，不同 V_{DD} 偏置电压下 I_{DD} 电流随开关频率变化的完整特性。显著的线性变化以及与平均 I_{OUT} 理论值的密切关联表明，栅极驱动器件内部的击穿现象可以忽略不计，这证明了其高速特性。

7.3.2 输入级

UCC27524A-Q1 器件的输入引脚基于与 TTL 和 CMOS 兼容的输入阈值逻辑，该逻辑与 VDD 电源电压无关。在典型高电平阈值为 2V 且典型低电平阈值为 1V 的情况下，可以使用从 3.3V 和 5V 数字电源控制器器件获取的 PWM 控制信号方便地驱动逻辑电平阈值。与传统的 TTL 逻辑实现（其中的迟滞通常小于 0.5V）相比，更宽的迟滞（通常为 1V）可提供增强的噪声抗扰度。UCC27524A-Q1 器件还能够对输入引脚阈值电压电平进行严格的控制，从而简化系统设计注意事项，并确保在整个温度范围内稳定运行（请参阅典型特性）。这些引脚上的极低输入电容可减小负载并提高开关速度。

UCC27524A-Q1 器件具有一个重要的保护特性，能够在相应引脚处于悬空状态时保持通道的输出。这是在所有同相输入引脚（INA、INB）上使用 GND 下拉电阻实现的，如器件方框图所示。

Copyright © 2024 Texas Instruments Incorporated

每个驱动器的输入级由具有较短上升或下降时间的信号进行驱动。在典型的电源应用中，输入信号由 PWM 控制器或具有较短转换时间 (<200ns) 的逻辑门提供，输入电压变化较慢，驱动器的输出可能会以高频率反复开关，因此可以满足这一条件。与大多数其他 TTL 输入阈值器件相比，UCC27524A-Q1 提供的宽迟滞无疑缓解了这种担忧，但在这些实现中仍需格外小心。如果主要目标是限制功率器件的上升或下降时间，那么强烈建议在驱动器的输出和功率器件之间添加一个外部电阻。该外部电阻可提供一个额外的优势，即降低栅极驱动器器件封装中与栅极电荷相关的部分功率耗散，并将其转移到外部电阻自身中。

7.3.3 使能功能

使能功能是栅极驱动器器件中一项极其有益的特性，尤其适用于同步整流等特定应用。在这些应用中，驱动器输出在轻负载条件下禁用，以防止负电流循环并提高轻负载效率。

UCC27524A-Q1 器件配备了独立的使能引脚 (ENx)，可对每个驱动器通道运行进行专有控制。使能引脚基于同相配置（高电平有效运行）。因此，当 ENx 引脚被驱动为高电平时，驱动器启用；而当 ENx 引脚被驱动为低电平时，驱动器禁用。与输入引脚一样，使能引脚也基于 TTL 和 CMOS 兼容的输入阈值逻辑（该逻辑与电源电压无关），并可使用 3.3V 和 5V 微控制器的逻辑信号进行有效控制。UCC27524A-Q1 器件还能够严格控制使能功能阈值电压电平，从而简化系统设计注意事项并确保在整个温度范围内稳定运行（请参阅典型特性）。ENx 引脚通过上拉电阻在内部上拉至 VDD，因此器件的输出默认情况下处于启用状态。因此，ENx 引脚保持悬空或未连接 (N/C)，在标准运行中无需使能特性。从本质上讲，这种悬空使得 UCC27524A-Q1 器件能够与 TI 的上一代驱动器（分别为 UCC27323、UCC27324 和 UCC27325）引脚对引脚兼容，其中引脚 1 和引脚 8 为 N/C 引脚。如果通道 A 和通道 B 的输入和输出并联以增加驱动器电流容量，则 ENA 和 ENB 连接并一起驱动。

7.3.4 输出级

UCC27524A-Q1 器件输出级的上拉电阻采用独特的架构，能够在特别需要时，也就是在电源开关导通转换的米勒平台区域期间（此时电源开关漏极或集电极电压经历 dv/dt）提供最高的峰值拉电流。器件输出级具有混合上拉结构，该结构使用 N 沟道和 P 沟道 MOSFET 器件并行排列。通过在输出状态从低电平变为高电平的短暂片刻期间导通 N 沟道 MOSFET，栅极驱动器器件能够短暂增大峰值拉电流，从而实现快速导通。该 N 沟道 MOSFET 的导通电阻 (R_{NMOS}) 在激活时约为 1.04 Ω。

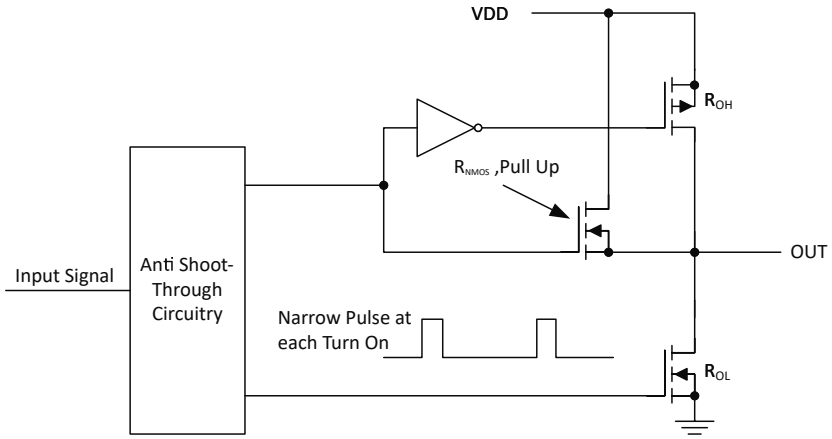


图 7-1. UCC27524A-Q1 栅极驱动器输出结构

R_{OH} 参数是直流测量值，仅代表 P 沟道器件的导通电阻。这是因为 N 沟道器件在直流条件下保持在关断状态，并且仅在输出状态从低电平变为高电平时短暂导通。请注意，在该短暂导通期间，UCC27524A-Q1 上拉级的有效电阻远低于 R_{OH} 参数所表示的有效电阻。

UCC27524A-Q1 器件中的下拉结构仅由 N 沟道 MOSFET 组成。R_{OL} 参数也是一项直流测量值，表示器件下拉级的阻抗。

Copyright © 2024 Texas Instruments Incorporated

UCC27524A-Q1 器件的每个输出级都能提供 5A 峰值拉电流和 5A 峰值灌电流脉冲。输出电压在 VDD 和 GND 之间摆动，由于 MOS 输出级具有极低的压降，因此能够实现轨到轨运行。MOSFET 体二极管的存在还为瞬态过冲和下冲提供低阻抗。这些驱动器的输出能够承受 5A 的峰值反向瞬态电流，而不会造成器件损坏。

UCC27524A-Q1 器件尤其适用于双极性、对称驱动栅极变压器应用，在这种应用中，变压器的初级绕组由 OUTA 和 OUTB 驱动，输入 INA 和 INB 互为补充。这是可能的，因为这些器件的 MOS 输出级在高电平 (V_{OH}) 和低电平 (V_{OL}) 状态下都能提供极低压降，而且驱动器输出级的阻抗也较低。所有这些特性均可缓解人们对变压器退磁和磁通不平衡问题的担忧。低传播延迟也可确保针对高频应用的适当复位。

对于在功率 MOSFET 导通或关断间隔期间具有零电压开关的应用，即使不存在米勒平台区域，该驱动器也能提供高峰值电流以实现快速开关。这种情况通常发生在同步整流器应用中，因为体二极管通常在功率 MOSFET 接通之前就已导通。

7.4 低传播延迟和紧密匹配的输出

UCC27524A-Q1 驱动器器件的输入和输出之间具有非常小的传播延迟，仅为 17ns（典型值），在高频开关应用中可实现超低脉宽失真。例如，在同步整流器应用中，当使用单个驱动器器件来驱动 SR MOSFET 时，SR MOSFET 的失真非常低。此外，驱动器器件在两个通道之间还具有非常精确的 1ns（典型值）内部传播延迟匹配，这对于需要双栅极驱动的关键时序应用非常有利。例如，在 PFC 应用中，可以使用每个输出通道独立驱动一对并联 MOSFET，两个通道的输入均由 PFC 控制器的通用控制信号驱动。在这种情况下，1ns 延迟匹配可确保同时驱动并联 MOSFET，从而更大限度地减小导通和关断延迟差异。两个通道之间紧密匹配的另一个好处是，两个通道可以连接在一起，从而有效地将驱动电流能力提高一倍。也就是说，可将 INA 和 INB 输入连接在一起，将 OUTA 和 OUTB 输出连接在一起，从而将 A 和 B 通道组合成一个驱动器；然后，可通过单个信号控制并联的功率器件。

直接将 OUTA 和 OUTB 引脚连接在一起时务必要小心，因为在导通或关断期间，两个通道之间的任何延迟均可能会导致击穿电流传导，如图 7-2 所示。虽然这两个通道本身就非常匹配（2ns 最大传播延迟），但请注意，两个通道之间的输入阈值电压电平可能存在差异，这会导致两个输出之间出现延迟，这在采用慢速 dV/dt 输入信号时尤其明显。每当使用 OUTA 和 OUTB 以及 INA 和 INB 之间的直接连接并联两个驱动器通道时，建议遵循以下指导原则：

- 在 INA 和 INB 引脚上使用速度极快的 dv/dt 输入信号（20V/μs 或更高），以将输入阈值差异造成通道间延迟的影响降至极低。
- INA 和 INB 连接必须尽可能靠近器件引脚。

如有可能，安全做法是在设计中添加一个选项，使栅极电阻与 OUTA 和 OUTB 串联。这样就可以选择使用 0Ω 电阻直接并联输出，或在必要时添加适当的串联电阻来限制击穿电流。

Copyright © 2024 Texas Instruments Incorporated

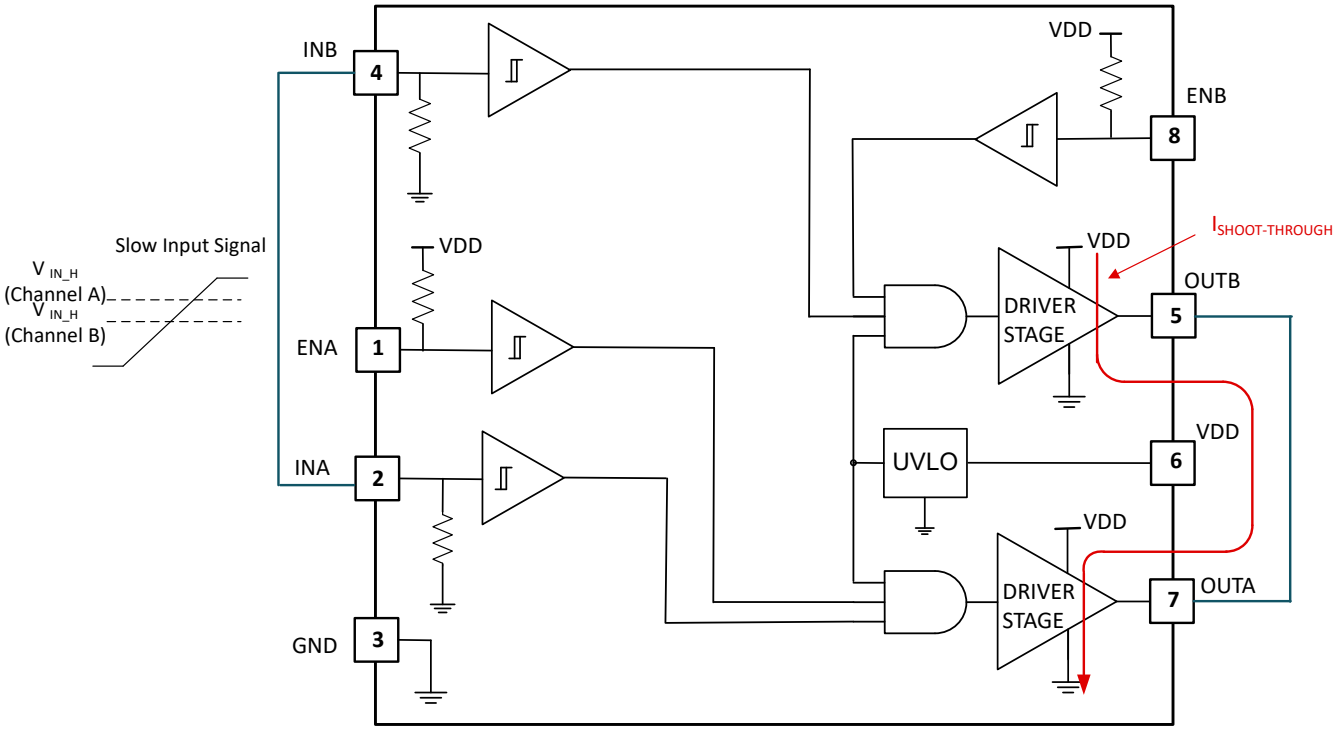


图 7-2. 慢速输入信号会在并联期间导致通道间出现击穿（建议 dv/dt 为 20V/ms 或更高）

7.5 器件功能模式

表 7-2. 器件逻辑表

ENA	ENB	INA	INB	UCC27524A-Q1	
				OUTA	OUTB
H	H	L	L	L	L
H	H	L	H	L	H
H	H	H	L	H	L
H	H	H	H	H	H
L	L	不限	不限	L	L
不限	不限	x(1)	x(1)	L	L
x(1)	x(1)	L	L	L	L
x(1)	x(1)	L	H	L	H
x(1)	x(1)	H	L	H	L
x(1)	x(1)	H	H	H	H

(1) 悬空状态。

Copyright © 2024 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

出于各种原因，开关电源应用中需要使用高电流栅极驱动器器件。为了使功率器件能够快速开关并降低相关开关功率损耗，在控制器件的 PWM 输出和功率半导体器件的栅极之间采用了一款强大的栅极驱动器器件。此外，当 PWM 控制器器件无法直接驱动开关器件的栅极时，必须使用栅极驱动器器件。随着数字电源的出现，经常会遇到该情况，因为来自数字控制器的 PWM 信号通常是 3.3V 逻辑信号，该信号无法有效打开电源开关。需要使用电平转换电路将 3.3V 信号提高至栅极驱动电压（例如 12V），从而完全开启功率器件并尽可能减小导通损耗。基于采用图腾柱排列的 NPN/PNP 双极晶体管（作为发射极跟随器配置）的传统缓冲器驱动电路经证明不适用于数字电源，因为传统的缓冲器驱动电路不具备电平转换功能。栅极驱动器器件能够有效地将电平转换和缓冲器驱动功能结合在一起。栅极驱动器器件还可以满足其他需求，例如通过使高电流驱动器的位置靠近电源开关来更大程度地减小高频开关的影响、驱动栅极驱动变压器并控制悬空的功率器件栅极、通过将栅极电荷功率损耗移至控制器来降低控制器器件中的功率耗散和热应力。最后，新兴的宽带隙功率器件技术（如基于 GaN 的开关）能够支持以极高的开关频率运行，这就对栅极驱动能力提出了特殊要求。这些要求包括在低 VDD 电压（5V 或更低）下运行、低传播延迟、严格的延迟匹配，以及可采用具有良好散热性能的紧凑型低电感封装。总之，栅极驱动器器件是开关电源中一个极其重要的元件，同时兼具高性能、低成本、更少元件数、更小布板空间和简化系统设计等优势。

8.2 典型应用

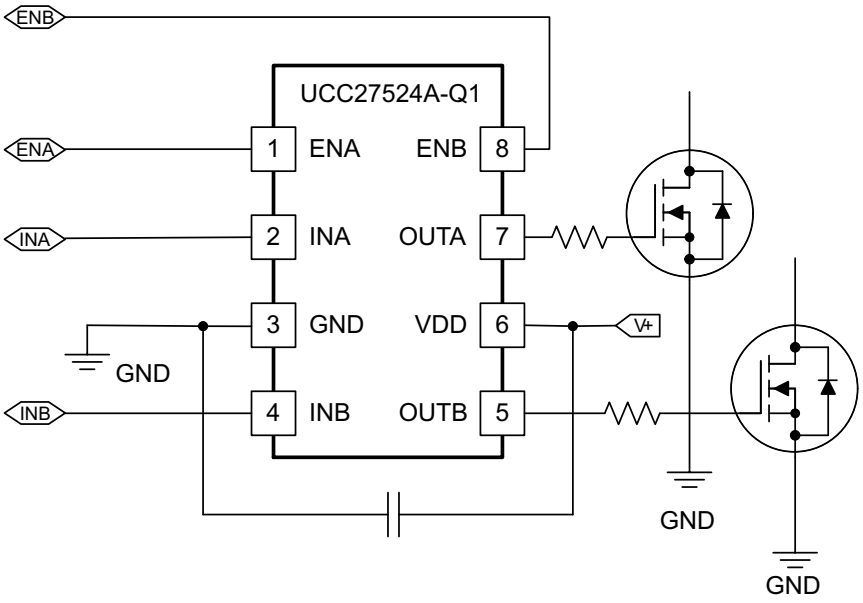


图 8-1. UCC27524A-Q1 典型应用图

8.2.1 设计要求

为终端应用选择合适的栅极驱动器器件时，必须首先评估一些需要考虑的因素，以便做出合适的选择。这些注意事项包括 VDD、UVLO、驱动电流和功率耗散。

Copyright © 2024 Texas Instruments Incorporated

8.2.2 详细设计过程

8.2.2.1 VDD 和欠压锁定

UCC27524A-Q1 器件的 VDD 引脚电源电路块具有内部欠压锁定 (UVLO) 保护特性。当 VDD 上升且电平仍低于 UVLO 阈值时，无论输入状态如何，该电路都会将输出保持为低电平。UVLO 通常为 4V，通常具有 300mV 的迟滞。当低 VDD 电源电压具有来自电源的噪声时，以及在系统开始进行开关、I_{DD} 突然增加的情况下 VDD 偏置电压下降时，该迟滞有助于防止发生抖动。它能够在低电压电平（如低于 5V）下运行，并具有出色的开关特性，尤其适合驱动新兴的 GaN 功率半导体器件。

例如，在上电时，如果使能引脚激活或悬空，UCC27524A-Q1 驱动器器件输出会保持低电平，直到 V_{DD} 电压达到 UVLO 阈值。OUT 信号的幅度随 V_{DD} 的增加而增加，直到达到稳定状态 V_{DD}。图 8-2 中的运行表明，输出保持在低电平，直到达到 UVLO 阈值，然后输出与输入同相。

由于器件通过 VDD 引脚消耗电流，以便对所有内部电路进行偏置，因此，为了实现出色的高速电路性能，建议使用两个 VDD 旁路电容器来防止出现噪声问题。强烈建议使用表面贴装组件。必须将一个 0.1 µF 陶瓷电容器放置在尽可能靠近栅极驱动器器件的 VDD 至 GND 引脚的位置。此外，必须以并联方式在非常靠近的位置连接一个具有相对较低 ESR 的更大电容器（例如 1 µF），以帮助提供负载需要的高电流峰值。电容器的并联组合具有低阻抗特性，以便在应用中实现预期的电流电平和开关频率。

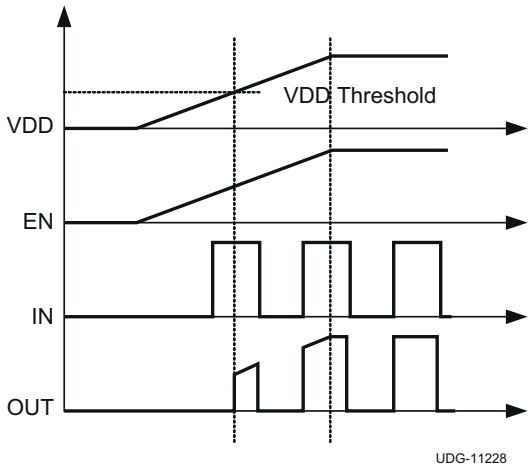


图 8-2. 使同相驱动器上电

8.2.2.2 驱动电流和功率损耗

UCC27524A-Q1 驱动器能够在 VDD = 12V 时向 MOSFET 栅极提供 5A 电流并持续数百纳秒。需要较高的峰值电流才能快速导通器件。然后，要关断器件，需要驱动器向接地端灌入差不多大小的电流，并以功率器件的工作频率重复这一过程。栅极驱动器器件封装中耗散的功率取决于以下因素：

- 功率 MOSFET 所需的栅极电荷（通常是驱动电压 V_{GS} 的函数，由于低 V_{OH} 压降，该电压非常接近于输入辅助电源电压 V_{DD}）
- 开关频率
- 外部栅极电阻器的使用情况

UCC27524A-Q1 具有非常低的静态电流和内部逻辑，能够消除输出驱动器级中的任何击穿，因此可以大胆地假定它们对栅极驱动器内功率耗散的影响可以忽略不计。

使用分立式容性负载对驱动器器件进行测试时，计算辅助电源所需的功率非常简单。方程式 1 给出了为了对电容器进行充电，辅助电源必须传递的能量。

$$E_G = \frac{1}{2} C_{LOAD} V_{DD}^2 \quad (1)$$

Copyright © 2024 Texas Instruments Incorporated

其中

- C_{LOAD} 是负载电容器
- V_{DD} 2 是为驱动器供电的偏置电压

对电容器进行充电时，存在等量的耗散能量。这会导致由方程式 2 给出的总功率损耗。

$$P_G = C_{LOAD} V_{DD}^2 f_{SW} \quad (2)$$

其中

- f_{SW} 是开关频率

当 V_{DD} = 12V、C_{LOAD} = 10nF 且 f_{SW} = 300kHz 时，可通过方程式 3 计算出功率损耗。

$$P_G = 10\,nF \times 12\,V^2 \times 300\,kHz = 0.432\,W \quad (3)$$

可以通过检查对器件进行开关所需的栅极电荷，将功率 MOSFET 表示的开关负载转换为等效电容。该栅极电荷包括输入电容的效果，以及当功率器件在导通和关断状态之间切换时使其漏极电压摆动所需的附加电荷。大多数制造商都提供用于在指定条件下对器件进行开关的栅极电荷典型值和最大值规格（以 nC 为单位）。使用栅极电荷 Q_g 可确定电容器充电时必须耗散的功率，利用等效性 $Q_g = C_{LOAD}V_{DD}$ 提供方程式 4 来计算功率：

$$P_G = C_{LOAD} V_{DD}^2 f_{SW} = Q_g V_{DD} f_{SW} \quad (4)$$

假设 UCC27524A-Q1 器件在每个输出端以 60nC 的栅极电荷（V_{DD} = 12V 时，Q_g = 60nC）驱动功率 MOSFET，则通过方程式 5 计算出栅极电荷相关的功率损耗。

$$P_G = 2 x 60\,nC \times 12\,V \times 300\,kHz = 0.432\,W \quad (5)$$

该功率 PG 在 MOSFET 导通或关断时在电路的电阻元件中耗散。在开通过程中对负载电容器进行充电时会耗散总功率的一半，在关闭期间对负载电容器进行放电时耗散另一半。如果在驱动器与 MOSFET/IGBT 之间没有采用外部栅极电阻器，该功率将完全耗散在驱动器封装中。在使用外部栅极驱动电阻器的情况下，功率耗散会在驱动器的内部电阻和外部栅极电阻器之间分摊，具体分摊情况由这两个电阻之比决定（元件的电阻越高，耗散的功率越大）。根据该简化的分析，可按如下方式（见方程式 6）计算开关期间的驱动器功率耗散：

$$P_{SW} = 0.5 \times Q_G \times VDD \times f_{SW} \times \left(\frac{R_{OFF}}{R_{OFF} + R_{GATE}} + \frac{R_{ON}}{R_{ON} + R_{GATE}} \right) \quad (6)$$

其中

- $R_{OFF} = R_{OL}$
- R_{ON}（上拉结构的有效电阻）= 1.5 x R_{OL}

除了上述与栅极电荷相关的功率耗散外，驱动器中的其他耗散还与器件消耗的静态偏置电流相关的功率有关，该静态偏置电流用于偏置所有内部电路，如输入级（带上拉和下拉电阻）、使能和 UVLO 部分。如图 6-4 所示，即使在最高的情况下，静态电流也小于 0.6mA。可通过方程式 7 轻松计算出静态功率耗散。

$$P_Q = I_{DD} V_{DD} \quad (7)$$

假设 I_{DD} = 6mA，则功率损耗为：

$$P_Q = 0.6\,mA \times 12\,V = 7.2\,mW \quad (8)$$

Copyright © 2024 Texas Instruments Incorporated

显然，与前面计算的与栅极电荷相关的功率耗散相比，此功率损耗微不足道。

使用 12V 电源时，偏置电流的估算如下（静态消耗额外增加 0.6mA 的开销）：

$$I_{DD} \sim \frac{P_G}{V_{DD}} = \frac{0.432\ W}{12\ V} = 0.036\ A \tag{9}$$

8.2.3 应用曲线

下图显示了高压升压转换器应用中使用的 UCC27524A-Q1 器件的典型开关特性。在该应用中，UCC27524A-Q1 驱动栅极电荷为 110nC 的 IGBT 开关。

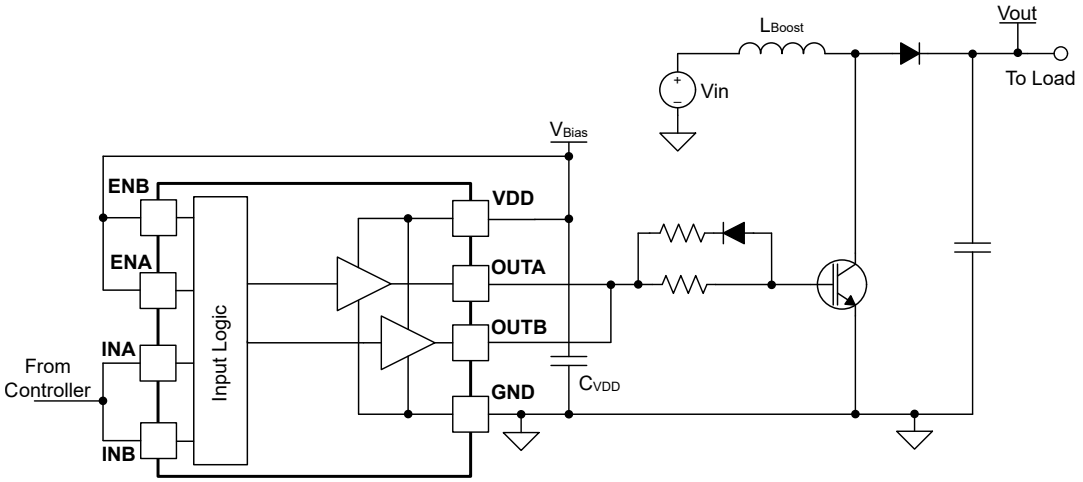
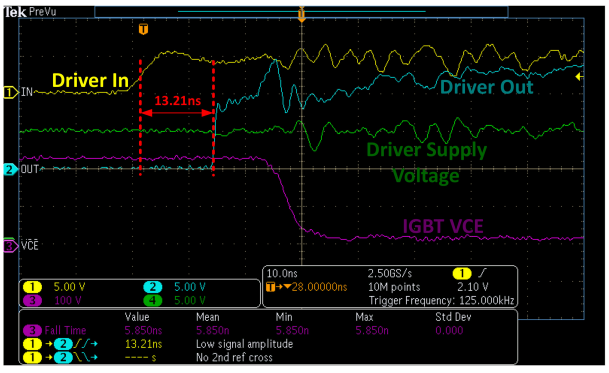
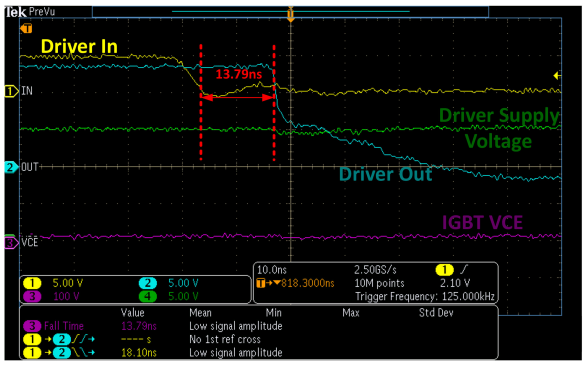


图 8-3. 用于在升压转换器中驱动 IGBT 的 UCC27524A-Q1



Vin = 210V，Vout = 235V，Iout = 1.14A，Fsw = 125kHz，驱动器电源电压 = 15V，栅极电阻 = 0Ω

图 8-4. 导通传播延迟波形



Vin = 210V，Vout = 235V，Iout = 1.14A，Fsw = 100kHz，驱动器电源电压 = 15V，栅极电阻 = 0Ω

图 8-5. 关断传播延迟波形

Copyright © 2024 Texas Instruments Incorporated

9 电源相关建议

UCC27524A-Q1 器件的额定工作辅助电源电压范围为 4.5V 至 18V。该范围的下限由 V_{DD} 引脚电源电路块上的内部欠压锁定 (UVLO) 保护特性进行控制。只要驱动器处于 UVLO 状态，当 V_{DD} 引脚电压低于 V_{ON} 电源启动阈值时，该特性就会将输出保持在低电平，无论输入的状态如何都是如此。该范围的上限由器件 V_{DD} 引脚的 20V 绝对最大电压额定值（这是应力等级）驱动。在保持 2V 裕度以允许瞬态电压尖峰的情况下，V_{DD} 引脚的最大建议电压为 18V。

UVLO 保护功能还涉及迟滞功能。这意味着，当 V_{DD} 引脚偏置电压超过了阈值电压并且器件开始运行时，如果电压下降，则器件会继续提供正常的功能，除非压降超过迟滞规格 VDD_H。因此，为了避免触发器件关断，必须确保在 4.5V 或接近此值的范围内运行时，辅助电源输出上的电压纹波小于器件的迟滞规格。在系统关断期间，器件会继续运行，直到 V_{DD} 引脚电压降至 V_{OFF} 阈值以下，在评估系统关断时序设计要求时，必须考虑该情况。类似地，在系统启动时，直到 V_{DD} 引脚电压超出 V_{ON} 阈值后，器件才开始运行。

器件内部电路块消耗的静态电流由 V_{DD} 引脚提供。尽管这一事实众所周知，但要认识到 OUTA/B 引脚提供的拉电流脉冲电荷也通过同一 V_{DD} 引脚提供，这一点很重要。因此，每次从输出引脚拉取电流时，均会通过 V_{DD} 引脚向器件提供相应的电流脉冲。因此，必须确保在 V_{DD} 和 GND 引脚之间提供一个本地旁路电容器，并且该电容器必须尽可能靠近器件，以便实现去耦。必须使用低 ESR 的陶瓷表面贴装电容器。TI 建议使用两个电容器：一个 100nF 陶瓷表面贴装电容器，可将其放置在非常接近器件引脚的位置；另一个并联添加几微法拉的表面贴装电容器。

Copyright © 2024 Texas Instruments Incorporated

10 布局

10.1 布局指南

在高电流快速开关电路中，适当的 PCB 布局对于器件正常工作和设计稳健性而言极其重要。UCC27524A-Q1 栅极驱动器具有短传播延迟和强大的输出级，能够在功率 MOSFET 的栅极上提供较大的电流峰值以及很短的上升和下降时间，从而有助于电压以极快的速度进行转换。在较高的 V_{DD} 电压下，峰值电流能力甚至更高（V_{DD} = 12V 时，峰值电流为 5A）。如果布线长度和阻抗未控制得当，那么极高的 di/dt 会导致无法接受的振铃。在使用这些高速驱动器进行设计时，强烈建议遵循以下电路布局准则。

- 驱动器器件应尽量靠近功率器件放置，从而更大限度地缩短输出引脚与功率器件的栅极之间的高电流布线长度。
- 将 V_{DD} 和 GND 之间的 V_{DD} 旁路电容器放置在尽可能靠近驱动器且布线长度尽可能短的位置，以提高噪声滤波效果。这些电容器支持在功率 MOSFET 导通期间通过 V_{DD} 消耗的高峰值电流。强烈建议使用低电感表面贴装器件 (SMD) 元件（如片式电阻和片式电容器）。
- 必须尽可能缩短导通和关断电流环路路径（驱动器器件、功率 MOSFET 和 V_{DD} 旁路电容器），以便将杂散电感保持在最小值。在导通和关断瞬态期间，这些回路中会出现两次高 di/dt，从而在驱动器器件的输出引脚和电源 MOSFET 的栅极上产生显著的电压瞬态。
- 尽可能使源布线和返回布线保持平行，从而利用磁通抵消。
- 将电源布线与信号布线（如输出和输入信号）分开。
- 星形点接地是一种尽可能地减少噪声从一个电流环路耦合到另一个电流环路的好方法。驱动器的 GND 在一个点连接至其他电路节点（如功率 MOSFET 源极、PWM 控制器接地端等）。必须尽可能缩短连接路径，以降低电感；并尽量拓宽连接路径，以降低电阻。
- 使用接地平面来提供噪声屏蔽。在转换期间，OUT 上的短暂上升和下降时间可能会使输入信号损坏。接地平面不得是任何电流环路的传导路径。相反，必须使用一根迹线将接地平面连接到星形点，从而建立接地电势。除噪声屏蔽之外，接地平面还可以帮助降低功率耗散
- 用 UCC27524A-Q1 器件替换 UCC2732x/UCC2742x 器件时请务必谨慎：
  - UCC27524A-Q1 器件是一款更强大的栅极驱动器（5A 峰值电流对比 4A 峰值电流）。
  - UCC27524A-Q1 器件是一款更快速的栅极驱动器（17ns/17ns 上升和下降传播延迟对比 25ns/35ns 上升和下降传播延迟）。

Copyright © 2024 Texas Instruments Incorporated

10.2 布局示例

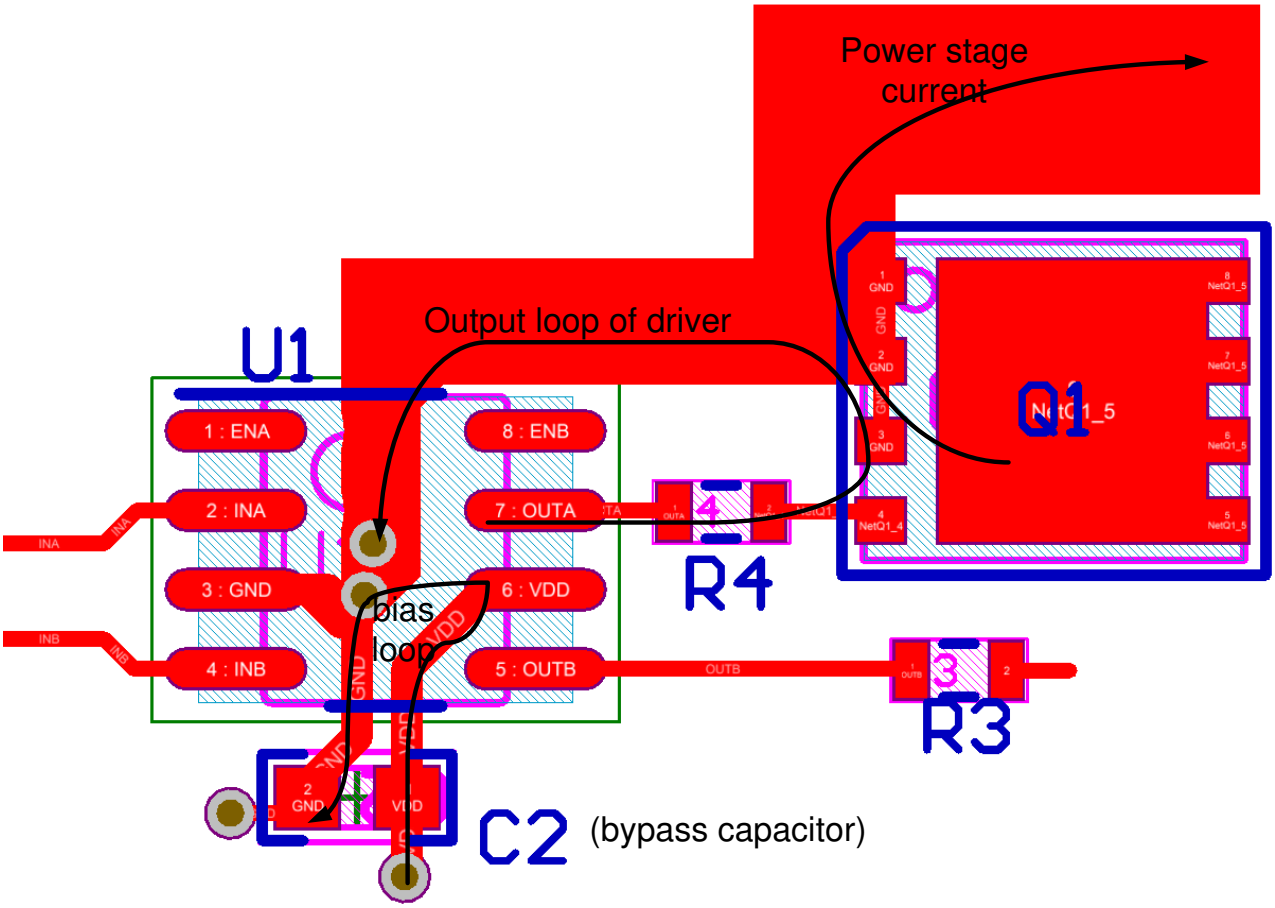


图 10-1. UCC27524A-Q1 布局示例

10.3 散热注意事项

负载的驱动功率要求以及器件封装的散热特性会极大地影响驱动器的有用范围。为了使栅极驱动器器件在特定的温度范围内有用，封装必须允许有效地散发产生的热量，同时使结温保持在额定限值以内。有关热性能信息表的详细信息，请参阅德州仪器 (TI) 应用手册*半导体和 IC 封装热指标* (SPRA953)。

在可用于 UCC27524A-Q1 器件的不同封装选项中，尤其值得一提的是 DGN 封装的功率耗散能力。HVSSOP-8 (DGN) 封装提供了一种通过封装底部实现半导体结散热的方式。此封装的底部有一个外露散热焊盘。该焊盘直接焊接在器件封装下方印刷电路板的铜层上，从而将热阻降至一个很小的值。与 D 封装相比，散热性能明显得到改善。印刷电路板的设计必须采用导热焊盘和散热过孔，以完善散热子系统。请注意，HVSSOP-8 封装中的外露焊盘未直接连接到封装的任何引线；不过，PowerPAD 与器件的基底（即器件的接地端）进行了电气和热连接。TI 建议在 PCB 布局中将外露焊盘外接到 GND，以提高 EMI 抗扰度。

Copyright © 2024 Texas Instruments Incorporated

11 器件和文档支持

11.1 器件支持

11.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

11.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

11.4 商标

PowerPAD™ is a trademark of Texas Instruments.
TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

11.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

12 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (September 2015) to Revision C (June 2024) **Page**

- 从“特性”中删除了器件 HBM 和 CDM ESD 分类等级 1
- 将*快速传播延迟* 从 13ns 更改为 17ns，将*快速上升时间* 从 7ns 更改为 6ns，将*快速下降时间* 从 6ns 更改为 10ns，并将最大*工作结温范围*从 140°C 更改为 150°C 1
- 将传播延迟时间从 13ns 更改为 17ns 1
- 将 ESD CDM 等级从 750V 更改为 1000V 5
- 将 DGN 封装的 $R_{\theta JA}$ 从 71.8 更改为 48.9，将 $R_{\theta JC(top)}$ 从 65.6 更改为 71.8，将 $R_{\theta JB}$ 从 7.4 更改为 22.3，将 ψ_{JT} 从 7.4 更改为 2.6，将 ψ_{JB} 从 31.5 更改为 22.3，并将 $R_{\theta JC(bot)}$ 从 19.6 更改为 4.5。将 D 封装的 $R_{\theta JA}$ 从 130.9 更改为 126.4，将 $R_{\theta JC(top)}$ 从 80.0 更改为 67.0，将 $R_{\theta JB}$ 从 71.4 更改为 69.9，将 ψ_{JT} 从 21.9 更改为 19.2，并将 ψ_{JB} 从 70.9 更改为 69.1。 5
- 添加了 I_{VDD}、I_{VDDO}、I_{DIS}、R_{INx}、V_{ENx_H}、V_{ENx_L}、V_{ENx_HYS}。删除了 INx=GND 条件下的 I_{VDDq}、25°C 时的 V_{ON}、V_{DD}-V_{OH} 和 V_{OL} 将 INx=VDD 时的 I_{VDDq} 从 55μA（最小值）、110μA（典型值）、175μA（最大值）更改为 300μA（典型值）、450μA（最大值）。将 V_{ON} 从 3.7V（最小值）、4.2V（典型值）、4.65V（最大值）更改为 3.8V（最小值）、4.1V（典型值）、4.4V（最大值）。将 V_{OFF} 从 3.4V（最小值）、3.9V（典型值）、4.4V（最大值）更改为 3.5V（最小值）、3.8V（典型值）、4.1V（最大值）。将 V_{VDD_HYS} 从 0.2V（最小值）、0.3V（典型值）、0.5V（最大值）更改为 0.3V（典型值）。将 V_{INx_H} 从 1.9V（最小值）、2.1V（典型值）、2.3V（最大值）更改为 1.8V（最小值）、2V（典型值）、2.3V（最大值）。将 V_{INx_L} 从 1V（最小值）、1.2V（典型值）、1.4V（最大值）更改为 0.8V（最小值）、1V（典型值）、1.2V（最大值）。将 V_{INx_HYS} 从 0.7V（最小值）、0.9V（典型值）、1.1V（最大值）更改为 1V（典型值）。将 R_{OH} 从 2.5Ω（最小值）、5Ω（典型值）、7.5Ω（最大值）更改为 5Ω（典型值）、8.5Ω（最大值）。将 R_{OL} 从 0.15Ω（最小值）、0.5Ω（典型值）、1Ω（最大值）更改为 0.6Ω（典型值）、1.1Ω（最大值）。 6
- 将 t_R 从 7ns（典型值）、18ns（最大值）更改为 6ns（典型值）、10ns（最大值）。将 t_F 从 6ns（典型值）、10ns（最大值）更改为 10ns（典型值）、14ns（最大值）。将 t_{D1}、t_{D2}、t_{D3}、t_{D4} 从 6ns（最小值）、13ns（典型值）、23ns（最大值）更改为 17ns（典型值）、27ns（最大值）。将 t_M 从 1ns（典型值）、4ns（最大值）更改为 1ns（典型值）、2ns（最大值）。将 t_{PWmin} 从 15ns（典型值）、25ns（最大值）更改为 10ns（典型值）、15ns（最大值）。 7
- 更改了“典型特性”图 9
- 将*快速传播延迟*从 13ns 更改为 17ns，并将最大*工作结温范围*从 140°C 更改为 150°C 13
- 更改了功能方框图 14
- 更改了阈值电压和迟滞 14
- 更改了“输出级”说明 15
- 更改了“低传播延迟和紧密匹配的输出” 16
- 将 UVLO 典型值从 4.25V 更改为 4V，并将迟滞从 350mV 更改为 300mV 19
- 更改了“应用曲线” 21
- 将传播延迟时间从 13ns 更改为 17ns 23

Changes from Revision A (January 2014) to Revision B (September 2015) **Page**

- 添加了 *ESD 等级* 表、*特性说明* 部分、*器件功能模式*、*应用和实现* 部分、*电源相关建议* 部分、*布局* 部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分。 1

Copyright © 2024 Texas Instruments Incorporated

Changes from Revision * (November 2013) to Revision A (January 2014) **Page**

- 将文档状态从*产品预发布*更改为*量产数据* 1

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC27524AQDGNRQ1	NRND	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 140	7524Q
UCC27524AQDGNRQ1.A	NRND	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 140	7524Q
UCC27524AQDGNRQ1.B	NRND	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 140	7524Q
UCC27524AQDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 140	524AQ
UCC27524AQDRQ1.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 140	524AQ
UCC27524AQDRQ1.B	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 140	524AQ

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UCC27524A-Q1 :

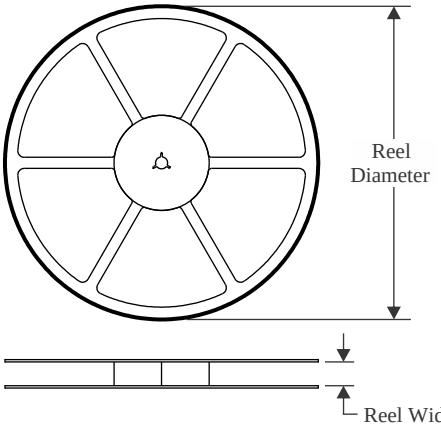
- Catalog : UCC27524A

NOTE: Qualified Version Definitions:

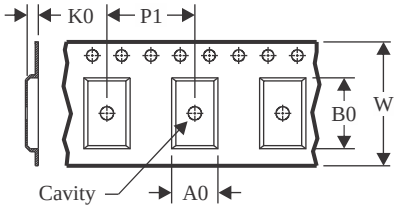
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

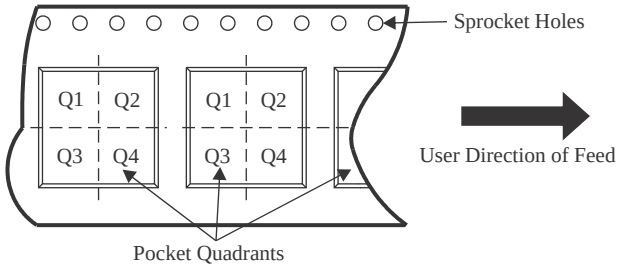


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

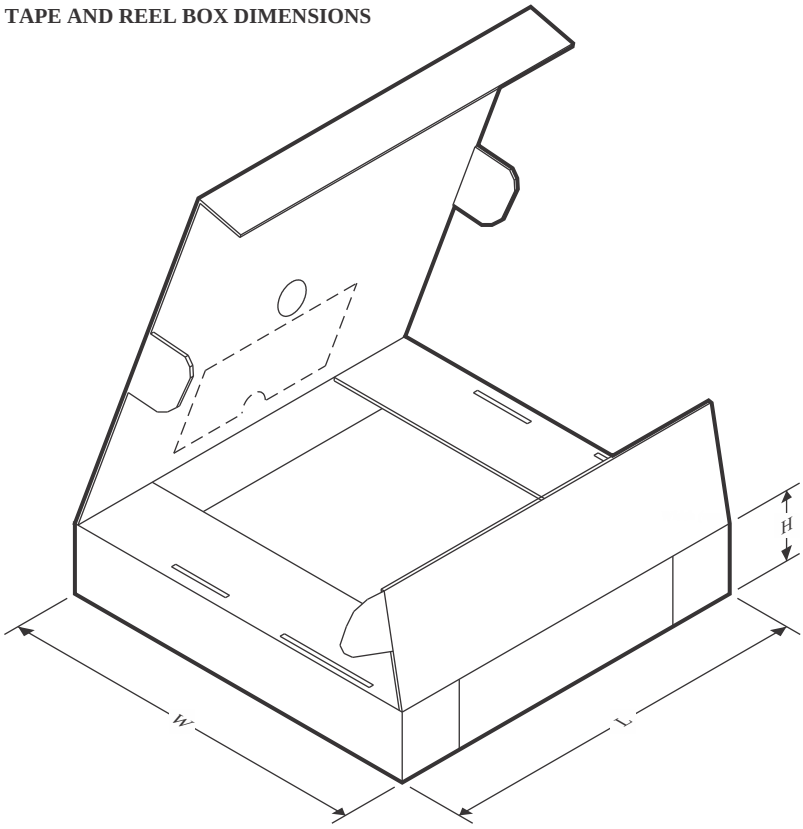
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC27524AQDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
UCC27524AQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC27524AQDGNRQ1	HVSSOP	DGN	8	2500	353.0	353.0	32.0
UCC27524AQDRQ1	SOIC	D	8	3000	353.0	353.0	32.0

GENERIC PACKAGE VIEW

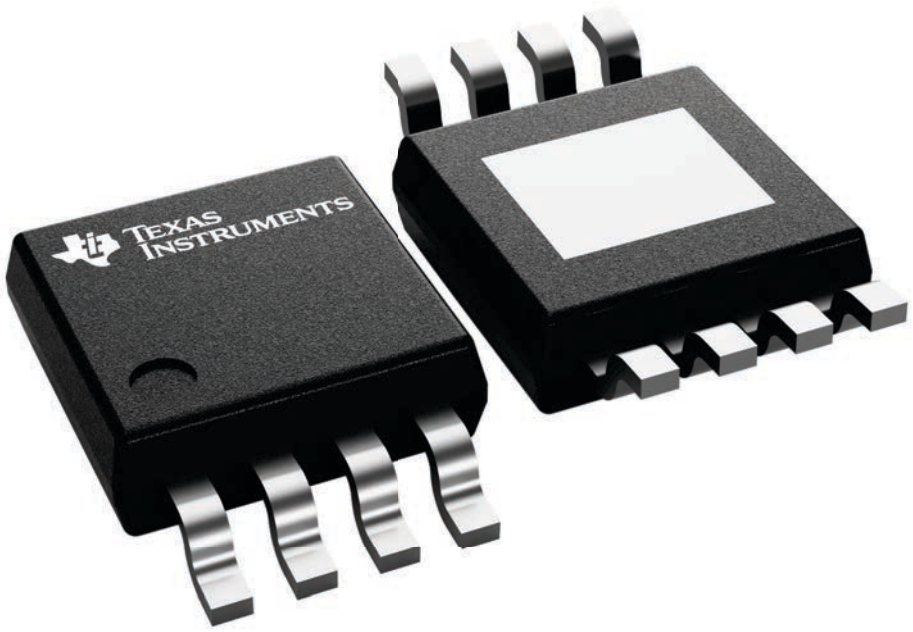
DGN 8

PowerPAD™ HVSSOP - 1.1 mm max height

3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



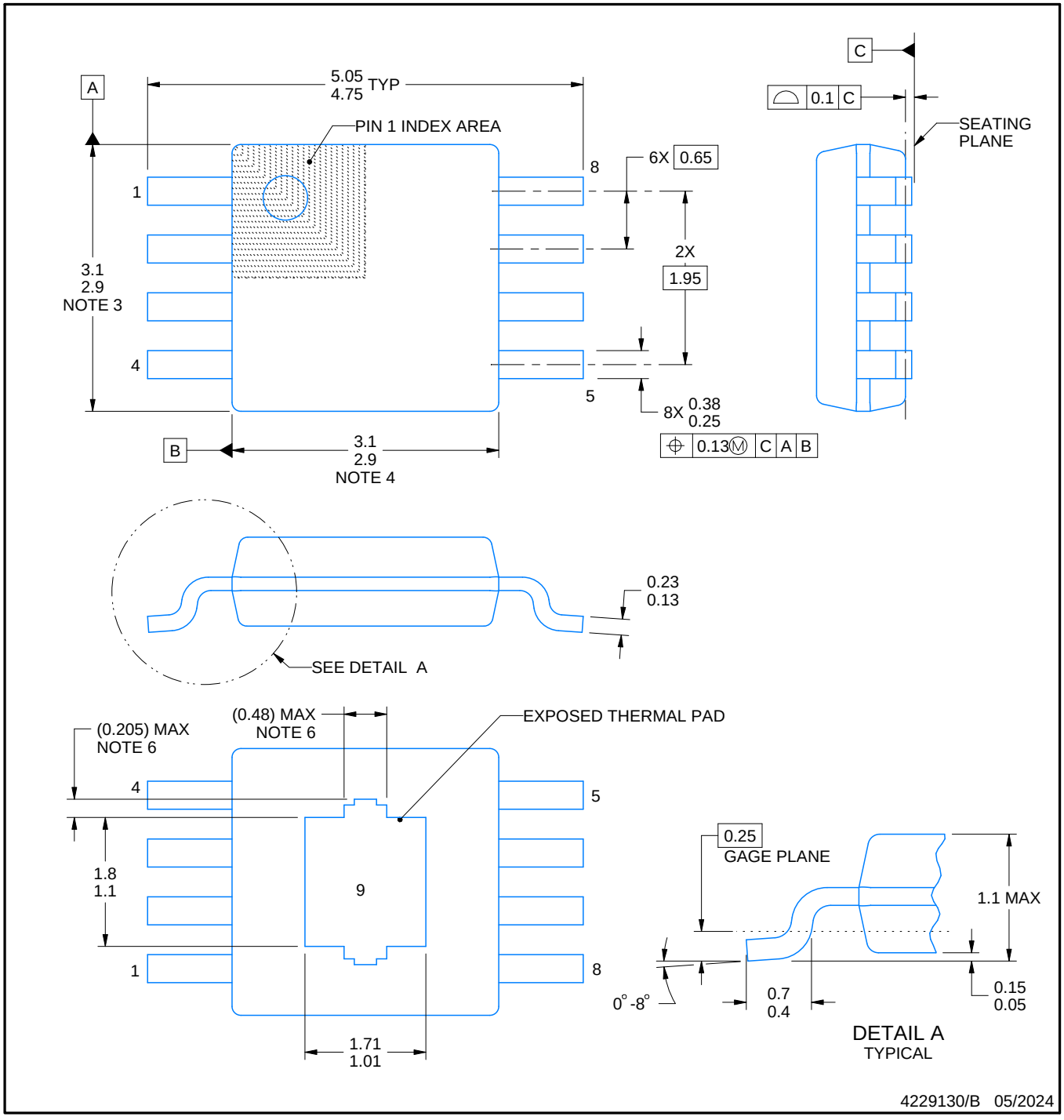
4225482/B

PACKAGE OUTLINE

DGN0008H

PowerPAD™ VSSOP - 1.1 mm max height

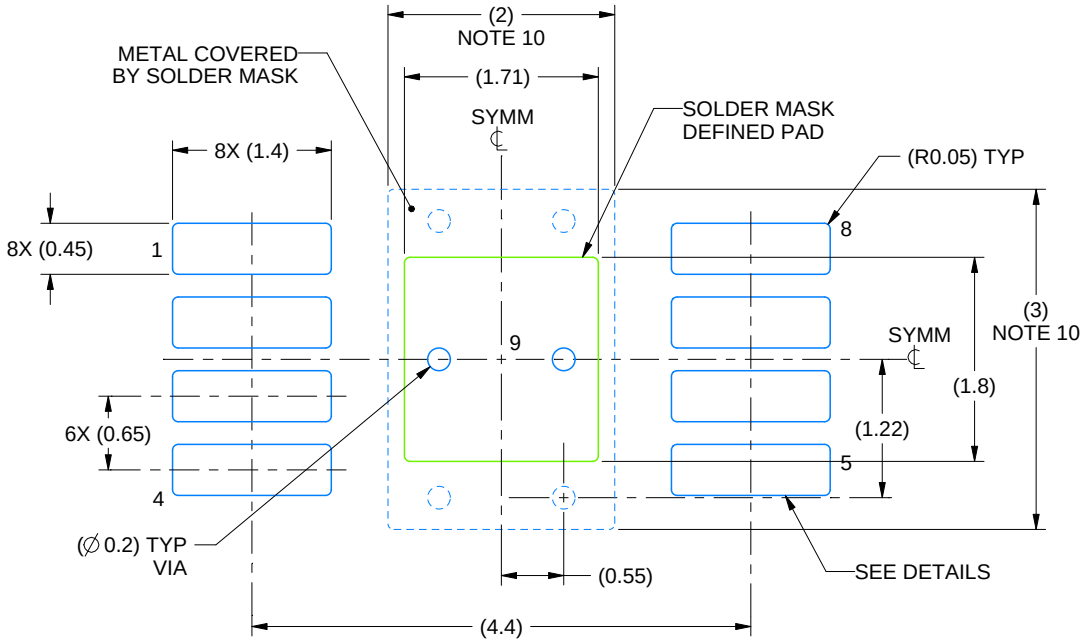
SMALL OUTLINE PACKAGE



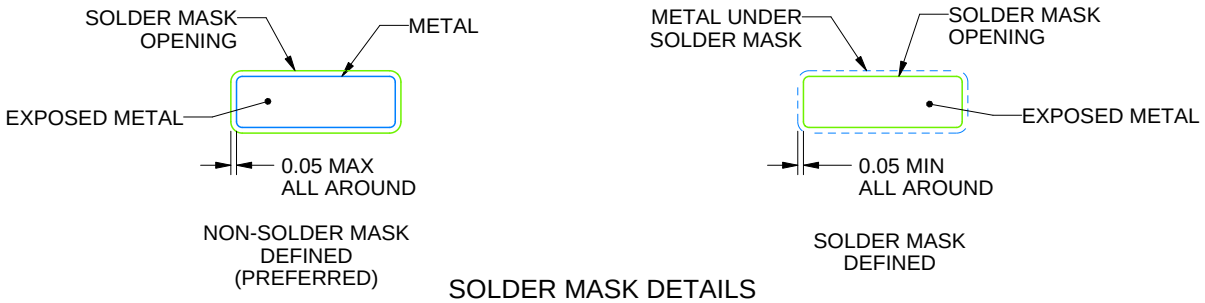
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.
6. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

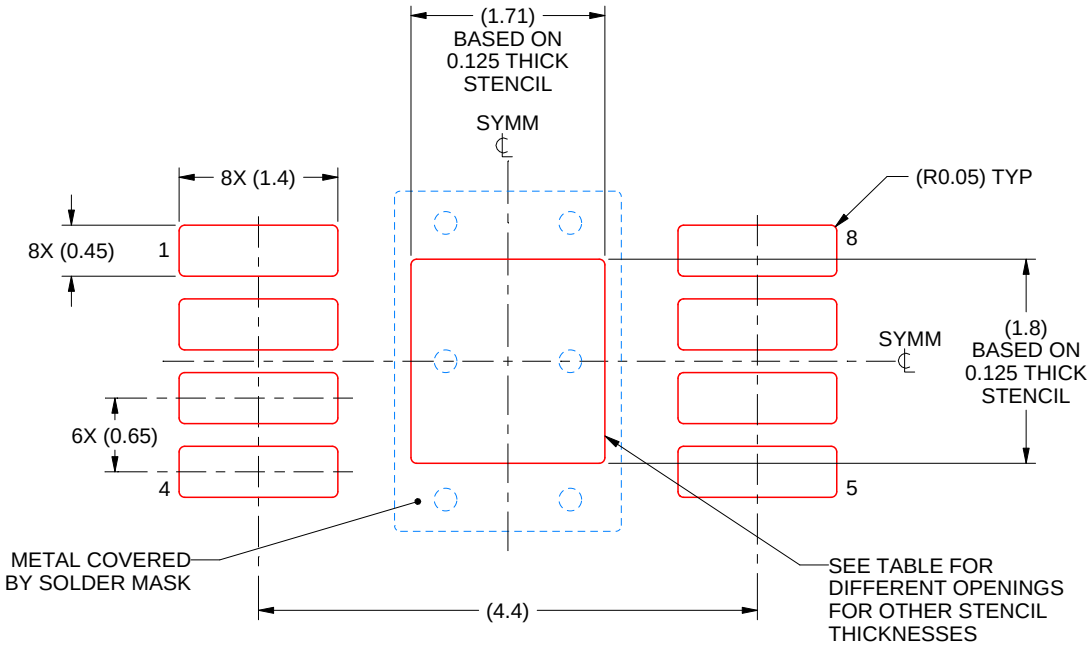


SOLDER MASK DETAILS

4229130/B 05/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.



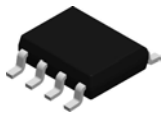
SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.91 X 2.01
0.125	1.71 X 1.80 (SHOWN)
0.15	1.56 X 1.64
0.175	1.45 X 1.52

4229130/B 05/2024

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

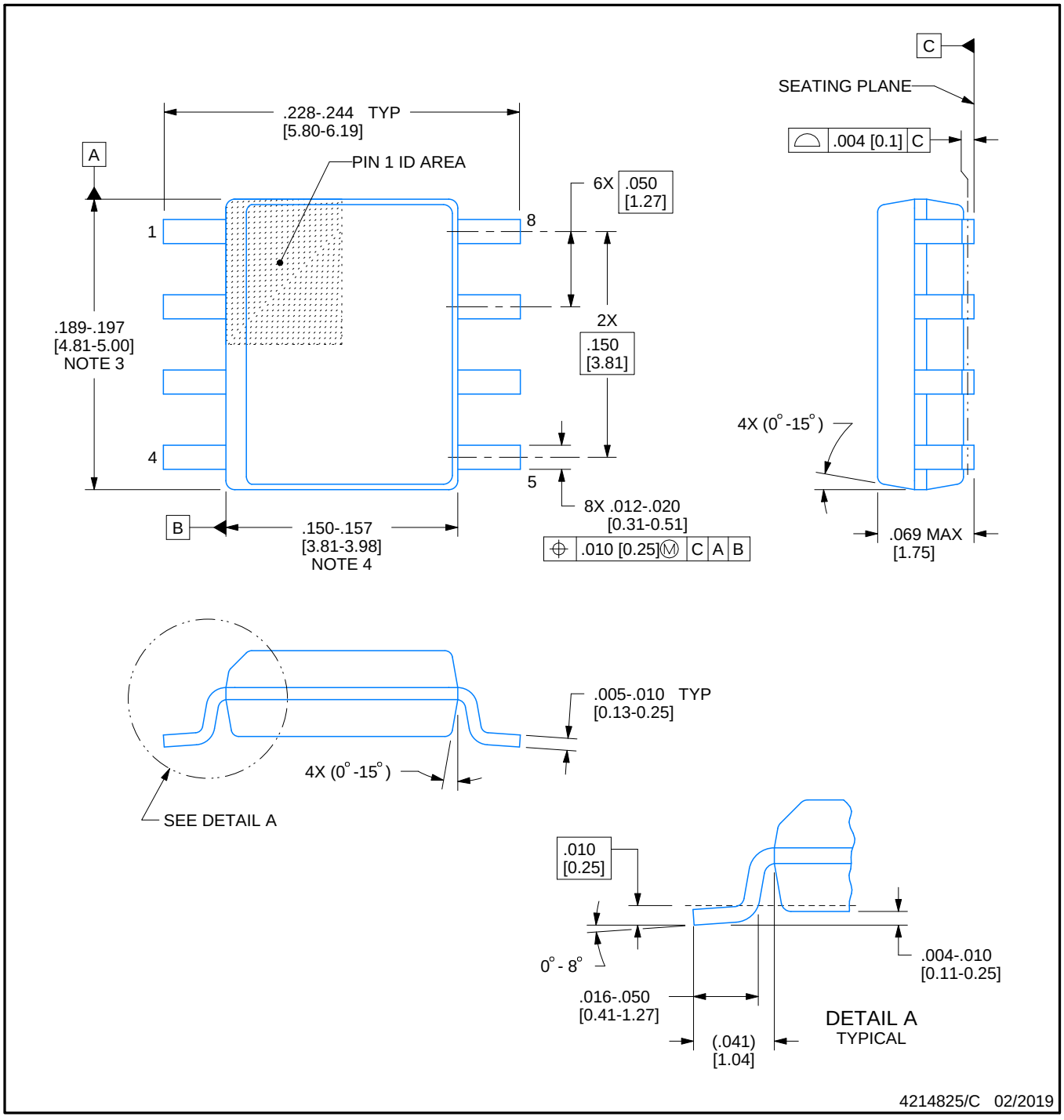


PACKAGE OUTLINE

D0008A

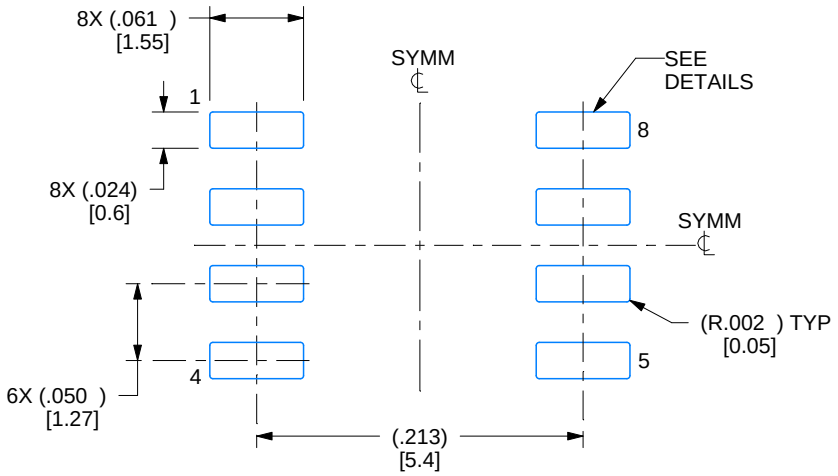
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

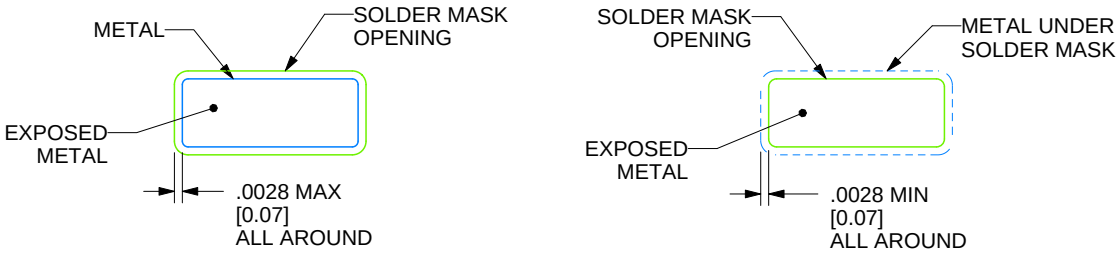


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

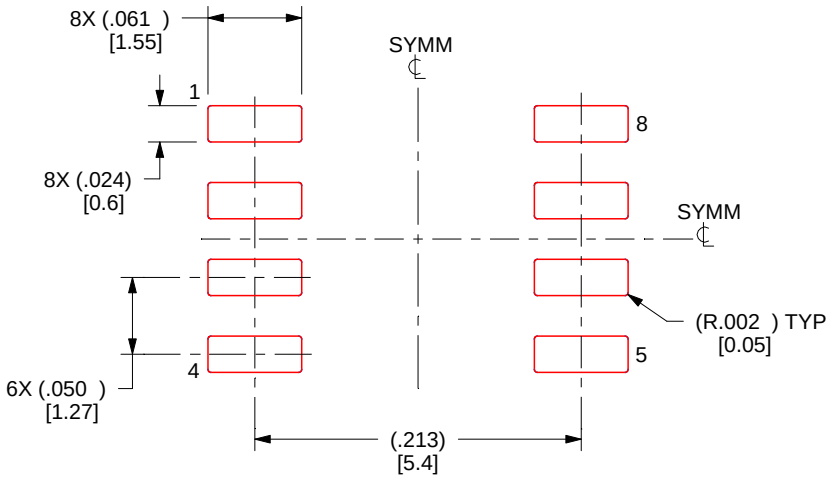
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月