

具有超低待机电流的 UCC24630 同步整流器控制器

1 特性

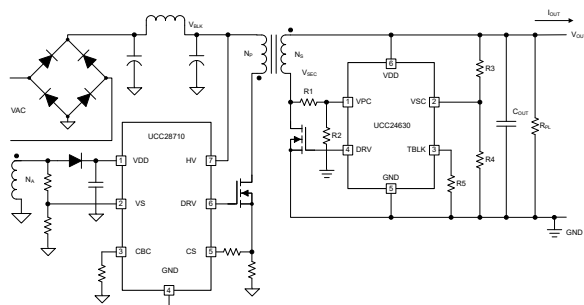
- 次级侧 **SR** 控制器针对 **5V 至 24V** 反激式系统进行了优化
- 工作频率：最高 **200kHz**
- 伏秒平衡 **SR** 导通时间控制
- 最大限度降低 **MOSFET** 器件和布局电感的影响
- **CCM** 运行兼容性
- 与 **PSR** 和 **SSR** 控制兼容
- 自动低功耗检测和 **110 μ A** 待机模式电流
- **3.6V 至 28V** 的宽 **VDD** 范围
- 具有 **13V** 钳位的轨到轨栅极驱动器
- 开路和短路引脚故障保护

2 应用

- 5V 至 24V 输出反激式和正激式转换器
- 具有 Type-C 连接器的 USB PD 适配器和充电器
- 智能手机和平板电脑的充电器
- 笔记本电脑和超极本适配器
- 服务器、台式机和电器应用中的高效辅助电源
- 工业和医疗 SMPS

3 说明

UCC24630 SR 控制器是一款高性能控制器和驱动器，适用于用于次级侧同步整流的 N 沟道 MOSFET 功率器件。



简化版原理图

控制器和 MOSFET 的组合构成了一个近似理想的二极管整流器。这种解决方案不仅直接降低了整流器的功率耗散，而且减少了初级侧损耗，这与效率增益的叠加非常密切。

利用伏秒平衡控制方法，UCC24630 可在宽输出电压范围内使用反激式电源，因为该器件未直接连接到 MOSFET 漏极。SR 驱动器关断阈值不依赖于 MOSFET $R_{DS(on)}$ ，它可以优化最大导通时间。此外，由器件和布局电感引起的次级电流振铃不会影响 SR 关断阈值。

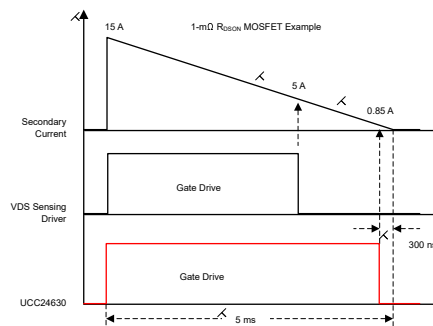
UCC24630 控制器提供一个可编程的错误触发滤波器和一个频率检测器，用于在低功耗条件下自动切换到待机模式，并提供引脚故障保护。**UCC24630** 与 **DCM**、**TM** 和 **CCM** 运行模式兼容。

凭借宽 VDD 工作范围、VPC 电压的宽编程范围和消隐时间，可用于各种反激式转换器设计。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
UCC24630	DBV (SOT23 , 6)	2.92mm × 1.30mm

- (1) 如需了解所有可用封装, 请参阅数据表末尾的可订购产品附录。
- (2) 封装尺寸(长×宽)为标称值, 并包括引脚(如适用)。



栅极驱动时序与 VDS 检测 SR 驱动器间的关系

内容

1 特性	1	6.4 器件功能模式	20
2 应用	1	7 应用和实施	21
3 说明	1	7.1 应用信息.....	21
4 引脚配置和功能	3	7.2 典型应用.....	21
5 规格	4	7.3 最佳设计实践.....	26
5.1 绝对最大额定值.....	4	7.4 电源相关建议.....	26
5.2 ESD 等级.....	4	7.5 布局.....	26
5.3 建议运行条件.....	4	8 器件和文档支持	29
5.4 热性能信息.....	4	8.1 器件支持.....	29
5.5 电气特性.....	5	8.2 接收文档更新通知.....	29
5.6 时序要求.....	6	8.3 支持资源.....	29
5.7 典型特性.....	7	8.4 商标.....	29
6 详细说明	9	8.5 静电放电警告.....	29
6.1 概述.....	9	8.6 术语表.....	29
6.2 功能方框图.....	9	9 修订历史记录	29
6.3 特性说明.....	9	10 机械、封装和可订购信息	30

4 引脚配置和功能

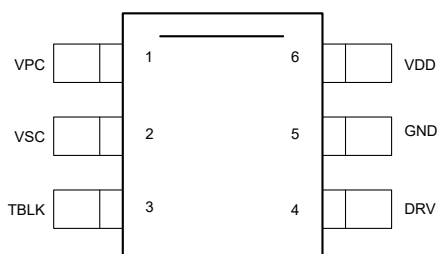


图 4-1. DBV 封装 6 引脚 SOT23 顶视图

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
DRV	4	O	DRiVe 是用于驱动外部同步整流器 N 沟道 MOSFET 开关晶体管栅极的输出，源极引脚连接到 GND。
GND	5	G	GrouND 引脚既是控制器的基准引脚，也是驱动输出的低侧返回引脚。务必将所有交流去耦电容尽可能靠近该引脚放置，并避免与模拟信号返回路径共用任何走线长度。
TBLK	3	-	Time BLanK 引脚用于选择 VPC 上升沿的消隐时间。200ns 至 1μs 的可编程范围可防止在 DCM 工作期间因振铃而错误检测初级导通时间。
VDD	6	P	VDD 是控制器的辅助电源输入引脚。该引脚上需要一个连接到 GND 的精心放置的旁路电容器。
VPC	1	I	初级导通电压 引脚通过一个电阻分压器连接到同步整流 MOSFET 的漏极。该引脚用于在初级导通期间对初级侧 MOSFET 伏秒进行采样。该电压用于对内部控制 VPC 斜坡充电电流的压控电流源进行编程。
VSC	2	I	次级导通电压 引脚通过一个电阻分压器连接到电源输出端。该引脚用于对次级侧输出电压进行采样，以确定 SR MOSFET 的导通时间。该电压用于对内部控制 VSC 斜坡充电电流的压控电流源进行编程。

(1) P = 电源，G = 接地，I = 输入，O = 输出，I/O = 输入/输出

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
V_{VDD}	偏置电源电压, VDD	-0.3	30	V
I_{DRV}	持续栅极灌电流, DRV		50	mA
I_{DRV}	连续栅极源电流, DRV		-50	mA
I_{VPC}	VPC 引脚峰值电流		-1.2	mA
V_{DRV}	DRV 上的栅极驱动电压	-0.3	自限制	V
V_{VPC}, V_{VSC}	电压范围, VPC, VSC	-0.3	4.5	V
T_J	工作结温范围	-55	150	°C
T_L	10 秒内距离外壳 0.6mm 的引线温度		260	°C
T_{STG}	贮存温度	-65	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议的工作条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±500	

- (1) JEDEC 文档 JEP155 指出: 2000V HBM 时能够在标准 ESD 控制流程下安全生产。列为 ±2000V 的引脚实际上可能具有更高的性能。

- (2) JEDEC 文档 JEP157 指出: 500V CDM 时能够在标准 ESD 控制流程下安全生产。列为 ±500V 的引脚实际上可能具有更高的性能。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
V_{VDD}	偏置电源工作电压	3.75	28	V
C_{VDD}	VDD 旁路电容器	0.47		μF
T_J	工作结温	-40	125	°C
V_{VPC}, V_{VSC}	工作范围	-0.3	2.3	V

5.4 热性能信息

热指标 ⁽¹⁾		UCC24630	单位
		DBV (6 引脚)	
$R_{\theta JA}$	结至环境热阻	180	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	71.2	
$R_{\theta JB}$	结至电路板热阻	44	
ψ_{JT}	结至顶部特征参数	5.1	
ψ_{JB}	结至电路板特征参数	13.8	

- (1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标应用手册](#)。

5.5 电气特性

在自然通风条件下的温度范围内测得, $V_{DD} = 12V$, $T_A = -40^{\circ}C$ 至 $125^{\circ}C$, $T_A = T_J$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
电源输入						
I _{RUN}	电源电流, 运行	I _{DRV} = 0, 运行状态, F _{SW} = 0kHz	0.9	1.2		mA
I _{STBY}	电源电流, 待机	I _{DRV} = 0, 待机模式	110	160		μA
欠压锁定						
V _{VDD(on)}	VDD 开启阈值	V _{VDD} 低电平至高电平	3.9	4	4.3	V
V _{VDD(off)}	VDD 关闭阈值	V _{VDD} 高电平至低电平	3.3	3.6	3.7	V
DRV						
R _{DRVLS}	DRV 低侧驱动电阻	I _{DRV} = 100mA	1	2		Ω
V _{DRVST}	处于启动状态下的 DRV 下拉电阻	V _{DD} = 0 至 2V, I _{DRV} = 10μA		0.95		V
V _{DRCL}	DRV 钳位电压	V _{VDD} = 30V	11	13	15	V
V _{PMOS}	禁用 PMOS 高侧驱动	禁用轨到轨驱动的 V _{DD} 电压, V _{DD} 上升	9.3	10	10.5	V
V _{PMOS-HYS}	PMOS 使能迟滞	用于启用轨到轨驱动的 V _{DD} 电压迟滞, V _{DD} 下降	0.75	1	1.25	V
V _{DRHI}	DRV 上拉高电压	V _{VDD} = 5V, I _{DRV} = 15mA	4.6	4.75	5	V
VSC 输入						
V _{VSCEN}	SR 使能电压	V _{VSC} > V _{VSCEN} , V _{VSC} 上升	250	300	340	mV
V _{VSC-HYS}	SR 使能迟滞	V _{VSC} 下降		50		mV
V _{VSCDIS}	SR 禁用电压		220		280	mV
I _{VSC}	输入偏置电流	V _{VSC} = 2V	-0.25	0	0.4	μA
VPC 输入						
V _{VPCEN}	SR 使能电压	V _{VPCEN} < V _{VPC}	345	400	450	mV
V _{VPCDIS}	禁用 SR 的 VPC 阈值	V _{VPC} > V _{VPCDIS}	2.6	2.85	3.1	V
V _{VPC-TH}	V _{VPC} 上升沿阈值	V _{VPC} = 0.95V, V _{VPC-TH} = 0.85x V _{VPC} 上一个周期	0.76	0.808	0.86	V
V _{VPC-TH-CLP}	V _{VPC} 上升沿的钳位阈值	V _{VPC} = 2V	0.9	1	1.1	V
I _{VPC}	输入偏置电流	V _{VPC} = 2V	-0.25	0	0.4	μA
电流仿真器						
Ratio _{VPC_VSC}	K _{VPC} /K _{VSC}	V _{VPC} = 1.25V, t _{VPC} = 1μs, V _{VSC} = 1.25V	3.97	4.17	4.35	
		V _{VPC} = 1.25V, t _{VPC} = 5μs, V _{VSC} = 1.25V	3.95	4.17	4.37	
		V _{VPC} = 2V, t _{VPC} = 1μs, V _{VSC} = 1.25V	3.85	4.09	4.26	
		V _{VPC} = 1.25V, t _{VPC} = 1μs, V _{VSC} = 0.45V	3.85	4.07	4.28	
CCM 死区时间						
K _{CCM-FAULT}	如果 t _{SW} (N+1) > t _{SW} (N) x K _{CCM-FAULT} , 则禁用 SR		140%	150%	165%	
n _{CCM-FLT}	当 t _{SW} (N+1) < t _{SW} (N) x K _{CCM-FAULT} 时, 退出 CCM 故障所需的周期数			4		

5.5 电气特性 (续)

在自然通风条件下的温度范围内测得, $V_{DD} = 12V$, $T_A = -40^{\circ}C$ 至 $125^{\circ}C$, $T_A = T_J$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
待机运行						
n_{ENTO}	在 t_{ENTO} 期间进入待机操作所需的开关周期数			64		
n_{EN}	在 t_{EN} ⁽¹⁾ 期间退出待机运行模式所需的开关周期数			32		
过热保护						
$T_{(STOP)}$	热关断温度	内部结温		165		$^{\circ}C$

(1) 一旦 n_{EN} 在 t_{EN} 内发生, 器件就会退出待机运行。

5.6 时序要求

在自然通风条件下的温度范围内测得, $V_{DD} = 12V$, $T_A = -40^{\circ}C$ 至 $125^{\circ}C$, $T_A = T_J$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
DRV						
t _R	DRV 高侧上升时间	V _{VDD} = 12V , C _L = 3.3nF , V _{DRV} = 2V 至 8V	27	54		ns
		V _{VDD} = 5V , C _L = 3.3nF , V _{DRV} = 1V 至 4V	50	100		ns
t _F	DRV 低侧下降时间	V _{VDD} = 12V , C _L = 3.3nF , V _{DRV} = 8V 至 2V	20	54		ns
		V _{VDD} = 5V , C _L = 3.3nF , V _{DRV} = 4V 至 1V	15	50		ns
t _{DRVON}	DRV 高电平的传播延迟	当 V _{VPC} = 1V 至 - 0.05V 下降至 DRV 高电平 , V _{VDD} = 12V , V _{DRV} = 0V 至 2V	80	160		ns
t _{DRVOFF}	DRV 低电平的传播延迟	测试模式	65	95		ns
VPC 输入						
t _{VPC-SPL}	VPC 采样时间窗口		81	100	125	ns
t _{VPC-BLK}	SR DRV 运行所需的最小 VPC 脉冲	R _{TBLK} = 5k Ω	169	203	239	ns
		R _{TBLK} = 50k Ω	0.87	1.04	1.2	μs
SR On 控制						
t _{SRONMIN}	VPC 下降后的 SR 最短导通时间。		300	350	425	ns
t _{OFF}	从 DRV 下降的 SR 关断消隐时间。		2.35	2.5	2.65	us
CCM 死区时间						
t _{CCMDT}	CCM 周期限制下的 SR 关断死区时间	F _{SW} = 100kHz , R _{TBLK} = 50k Ω (1μs t _{VPC-BLK} 设置)	500	600	700	ns
待机运行						
t _{ENTO}	禁用 SR 运行的时间，进入待机	禁用 DRV 的时间	11.5	12.8	14.1	ms
t _{EN}	启用 SR 运行的时间，退出待机运行	启用 DRV ⁽¹⁾ 的时间	2.3	2.56	2.82	ms

(1) 一旦 n_{EN} 在 t_{EN} 内发生, 器件就会退出待机运行。

5.7 典型特性

$V_{DD} = 12V$, $T_J = 25^\circ C$, 除非另有说明。

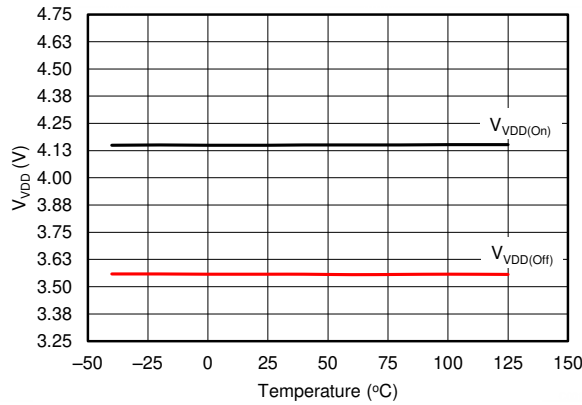


图 5-1. VDD 导通和关断阈值与温度间的关系

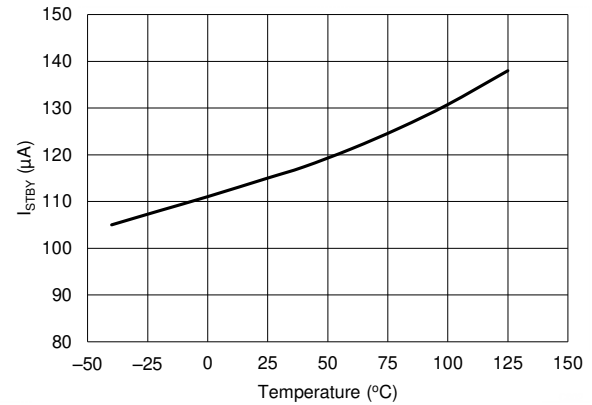


图 5-2. 待机电流与温度间的关系

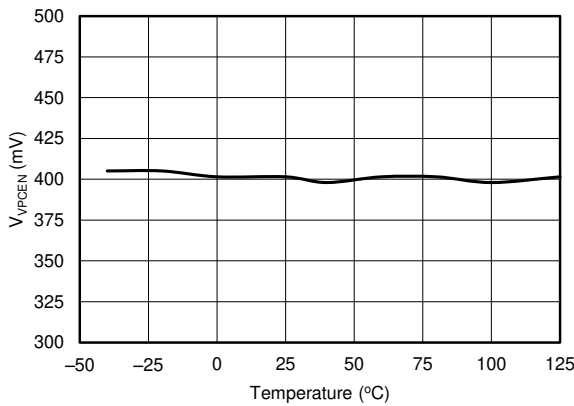


图 5-3. VPC 使能阈值与温度间的关系

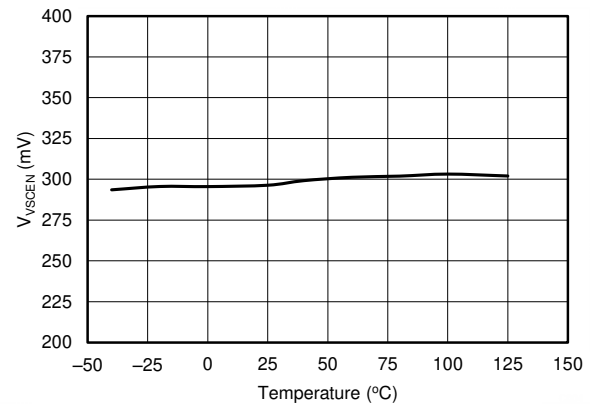


图 5-4. VSC 使能阈值与温度间的关系

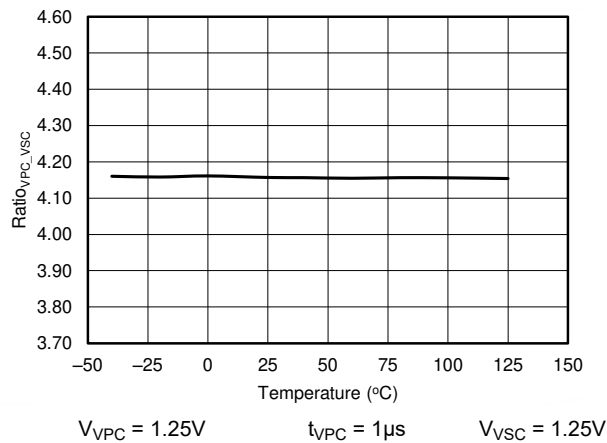


图 5-5. VPC 至 VSC 斜坡增益比与温度间的关系

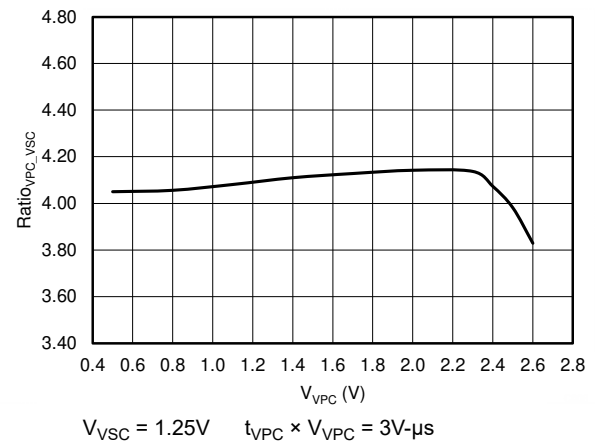


图 5-6. VPC 至 VSC 斜坡增益比与 VPC 电压间的关系

5.7 典型特性 (续)

$V_{DD} = 12V$, $T_J = 25^\circ C$, 除非另有说明。

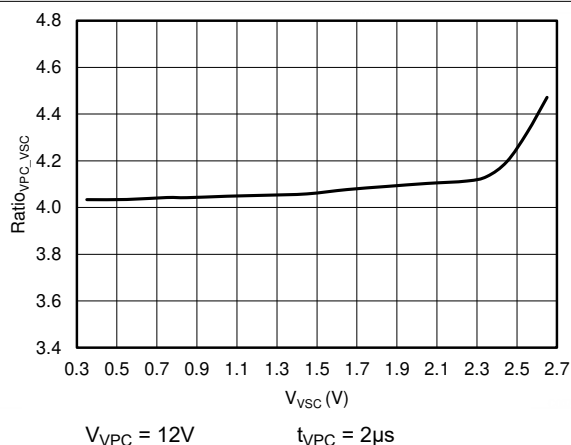


图 5-7. VPC 至 VSC 斜坡增益比与 VSC 电压间的关系

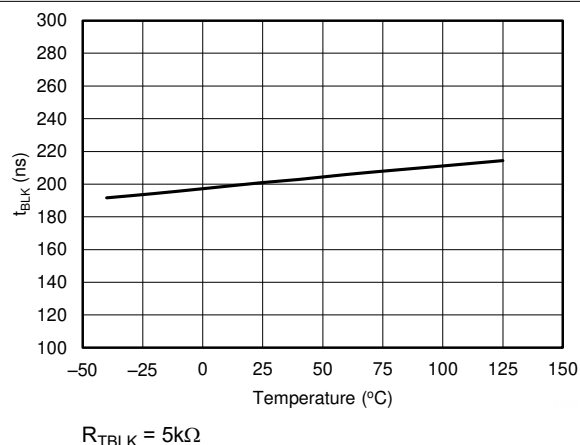


图 5-8. VPC 消隐时间与温度间的关系 (最小设置)

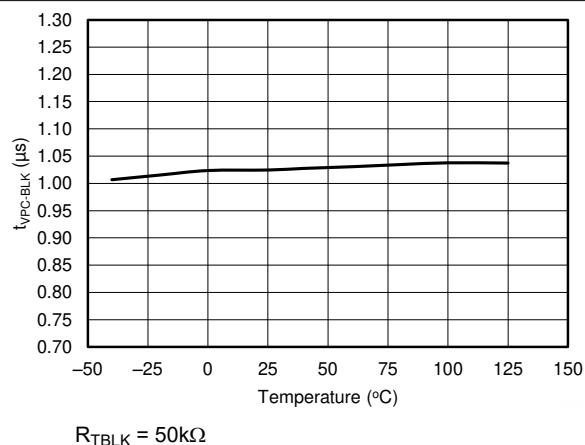


图 5-9. VPC 消隐时间与温度间的关系 (最大设置)

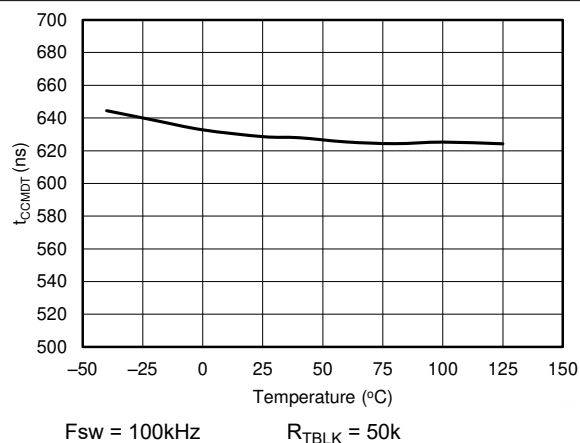


图 5-10. CCM 死区时间与温度间的关系

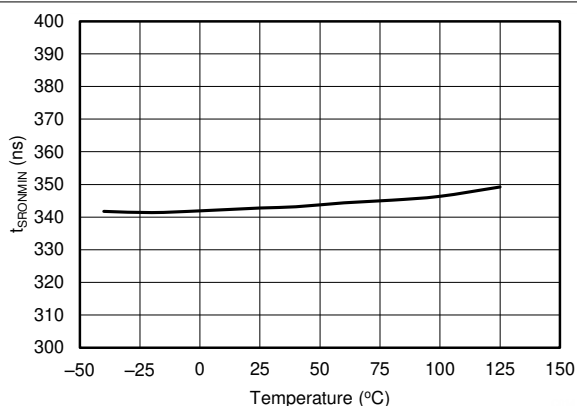


图 5-11. DRV 最短导通时间与温度间的关系

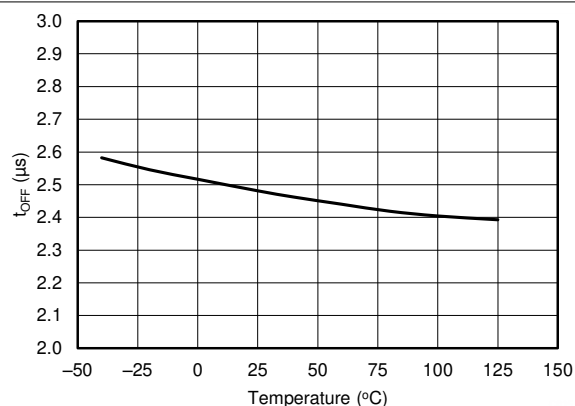


图 5-12. DRV 最短关断时间与温度间的关系

6 详细说明

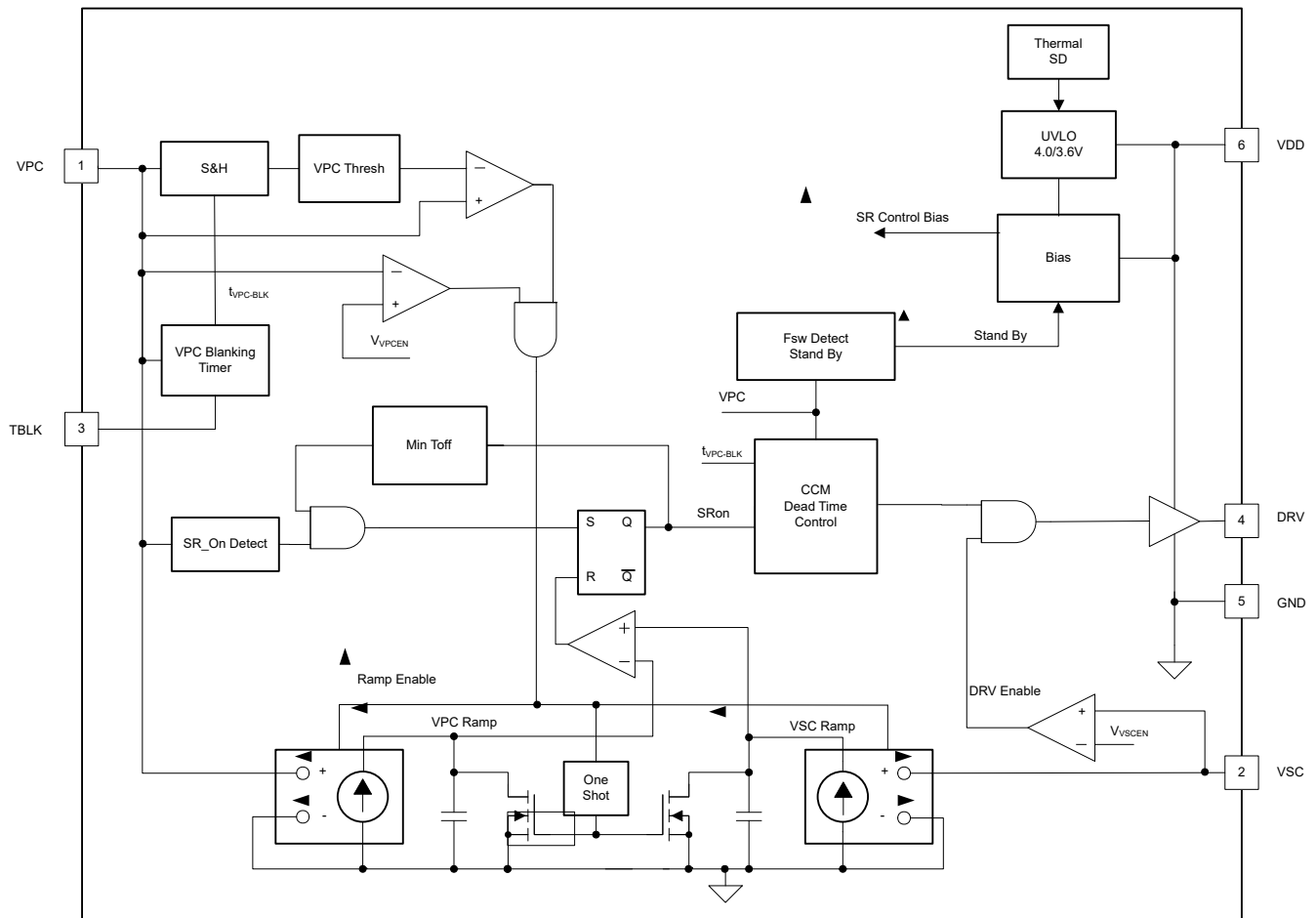
6.1 概述

UCC24630 SR 控制器用于在 DCM、TM 和 CCM 运行模式下运行的反激式转换器。用于确定 SR 导通时间的控制方法基于初级和次级导通伏秒积的伏秒平衡原理。在以 DCM 和 TM 模式运行的转换器中，次级电流在每个周期中始终恢复为零。在 CCM 运行模式下，稳态下会实现伏秒平衡。电感器充电电压和时间积等于放电电压和时间积。该器件使用内部电流斜坡仿真器，根据 VPC 和 VSC 引脚上的电压和时间信息，预测正确的 SR 导通时间。

在 CCM 转换器中，在从 DCM 运行状态转换到 CCM 期间，几个周期内不会发生伏秒平衡。在这种情况下，通过 CCM 死区时间功能基于前一个开关周期对最大 SR MOSFET 导通时间进行限制，从而实现与 CCM 运行的兼容性。当极端工作瞬态期间开关周期变得不稳定时，系统具备故障保护功能以禁用 SR。

为了在转换器中实现非常低的待机功耗，UCC24630 具有一种待机运行模式，会禁用 SR MOSFET 驱动并将器件偏置电流降低至 I_{STBY} 。该器件会监测转换器进入和退出待机工作模式的平均开关频率。该器件与在轻负载模式下以突发模式或恒定频率运行的转换器兼容。

6.2 功能方框图



6.3 特性说明

6.3.1 启动和 UVLO

UCC24630 具有宽工作 VDD 范围和低 UVLO 阈值。器件的启动取决于三个引脚上的电压电平：VDD、VPC 和 VSC。VDD 引脚可直接连接到转换器上标称输出为 5V 至 24V 的电源输出。启动 UVLO 阈值为 $V_{VDD(on)}$ ，典型值为 4.0V；停止阈值为 $V_{VDD(off)}$ ，典型值为 3.6V。除非 VPC 引脚上的电压大于 V_{VPCEN} 的时间长于 $t_{VPC-BLK}$ 且

VSC 引脚上的电压大于 V_{VSCEN} ，否则不会启用 DRV 输出。一旦满足 VDD、VSC、VPC 电压和时间阈值，在启用 DRV 输出之前，有一个内部初始化时间和一个四周期初始化启动序列。

有关显示时序和基于 VDD 电平的可配置 DRV 输出的启动序列，请参阅图 6-1。在大多数转换器设计中，在 VDD 启动电压阈值之前，满足启用器件的 VPC 和 VSC 电压条件，这反映在时序图中。当 VDD 超过 $V_{VDD(on)}$ UVLO 阈值时，器件开始初始化序列（从 $150\mu s$ 到 $250\mu s$ ），如 $t_{INITIALIZE}$ 所示。器件初始化之后，有一个 $20\mu s$ 的逻辑初始化，此时 V_{TBLK} 被启用（高电平）。启用器件后，CCM 死区时间块需要四个周期来初始化死区时间控制，然后才会启用 DRV 输出。当 $VDD < V_{PMOS}$ 时，驱动器高侧 PMOS 器件被启用，DRV 峰值接近 VDD。当 VDD 超过 V_{PMOS} 时，PMOS 器件被禁用，并且驱动器仅作为高侧 NMOS 运行，DRV 的范围大约比 VDD 低 1.2V 至 1.5V。随着 VDD 继续增加，DRV 输出被限制为 V_{DRCL} ，无论 VDD 如何变化，直到达到推荐的最大额定值。

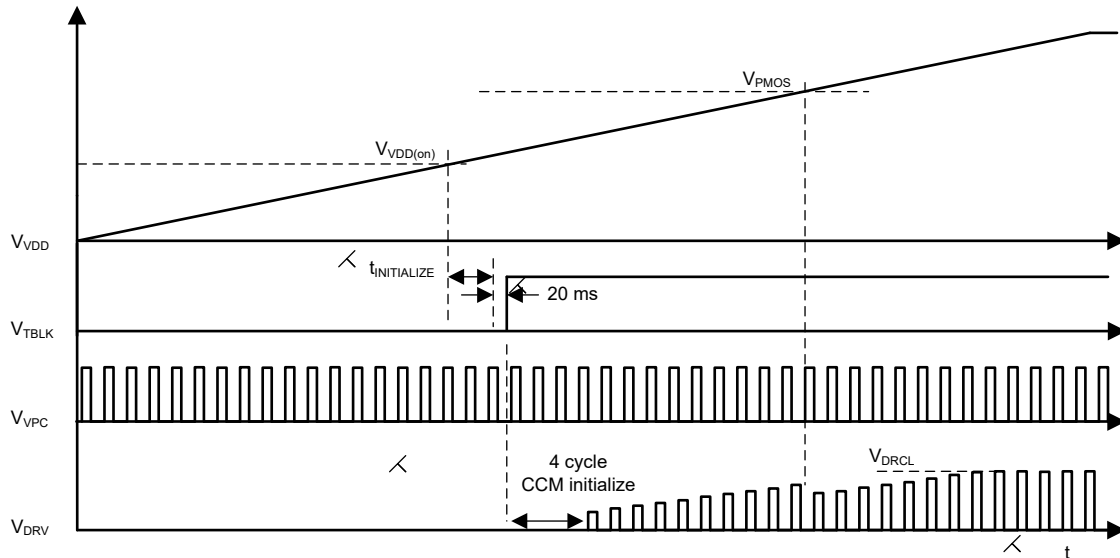


图 6-1. 启动运行

6.3.2 伏秒 SR 驱动器导通时间控制

有关 UCC24630 伏秒导通时间控制的功能详细信息，请参阅图 6-2 和图 6-3 中的时序图。

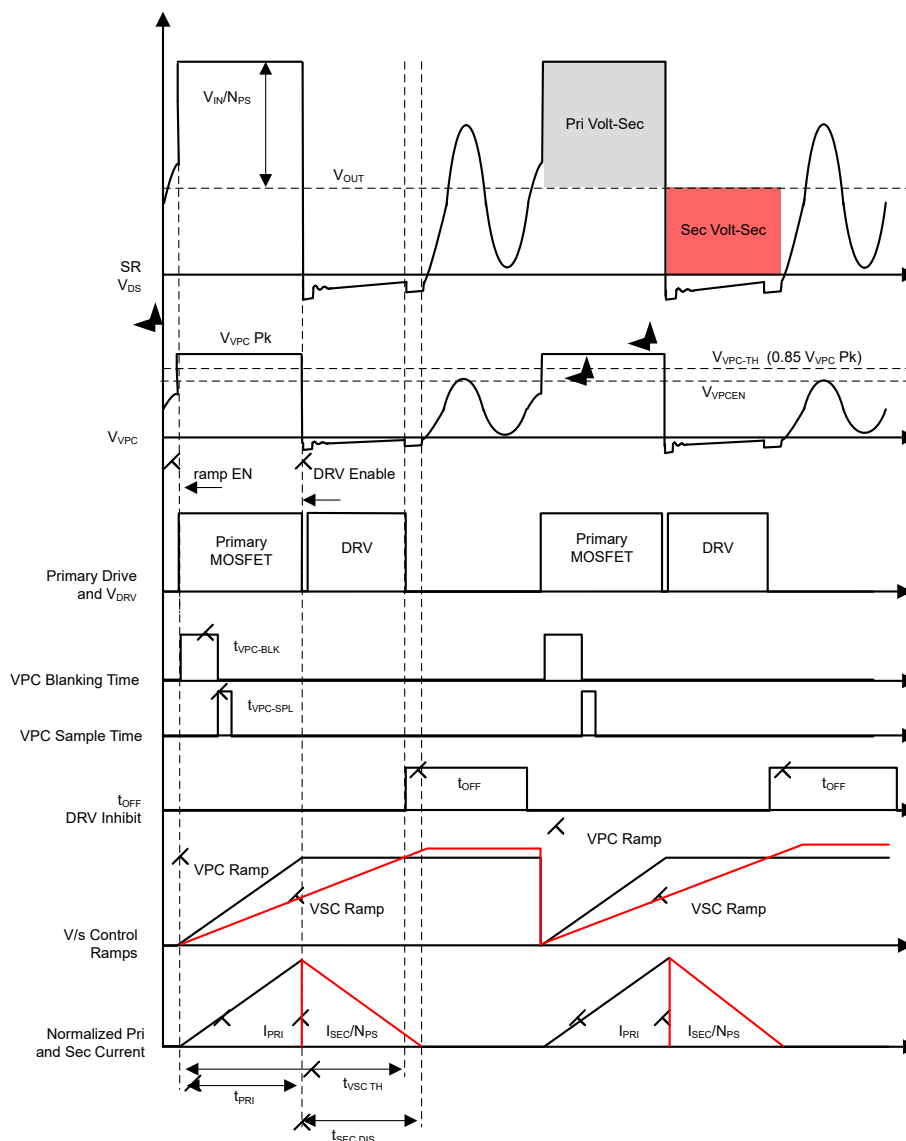


图 6-2. 以 DCM 模式运行

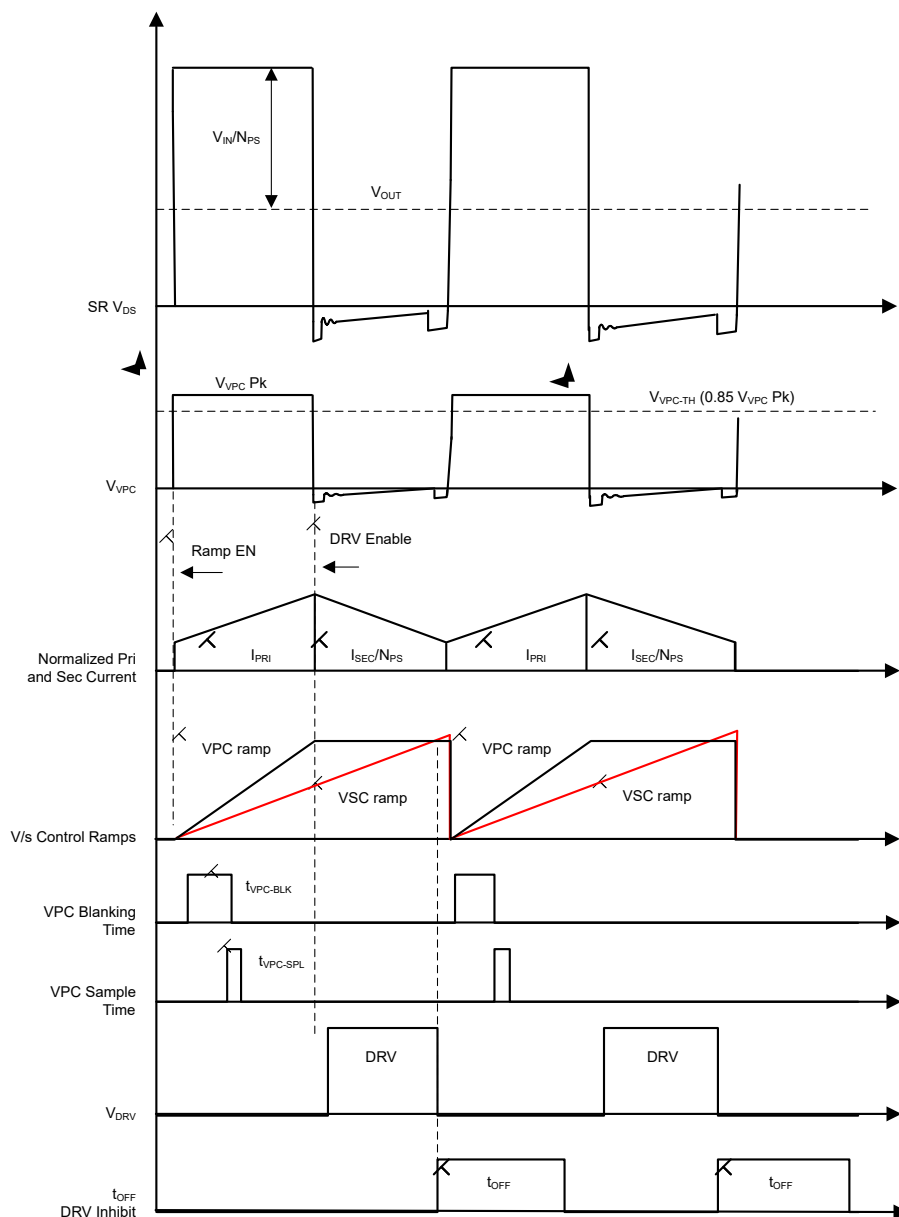


图 6-3. 以 CCM 模式运行

UCC24630 使用 VPC 和 VSC 引脚，通过电阻分压器检测 SR MOSFET V_{DS} 电压和转换器 V_{OUT} 电压。 V_{IN}/N_{PS} 、 t_{PRI} 和 V_{OUT} 的信息可从 VPC 和 VSC 引脚上的信息中获取。当 SR MOSFET 体二极管开始导通且 VPC 引脚电压降至接近零时，会确定 SR MOSFET 导通；SR MOSFET 关断由电流仿真器控制斜坡决定。由伏秒平衡功能确定的 SR 时序是所有反激式转换器（包括 CCM）的主要运行模式。

UCC24630 伏秒控制会生成内部 VPC 斜坡和 VSC 斜坡，以模拟变压器伏秒平衡，如图 6-2 和图 6-3 所示。

次级电流放电时间 $t_{SEC-DIS}$ 是间接确定的。当 VPC 升高于 V_{VPCEN} 和 V_{VPC-TH} 时，初级伏秒斜坡和次级伏秒斜坡都会启动。VPC 和 VSC 斜坡的充电电流分别由 VPC 和 VSC 引脚上的电压决定。

当 VPC 高于 V_{VPCEN} 且 V_{VPC-TH} 的时间达到 $t > t_{VPC-BLK}$ 时，VPC 脉冲被限定为主要导通脉冲、并在 VPC 下降沿启用 SR。VPC 斜坡继续上升，直到基于 VPC 引脚上的实时电压到达 VPC 下降沿，并在该周期内保持峰值。在 VPC 下降沿接近零伏时导通 DRV 输出；当 VSC 上升斜坡超过 VPC 斜坡保持电平时，DRV 关断。

在每个高于 V_{VPCEN} 和 V_{VPC-TH} 阈值的 VPC 上升沿, VPC 和 VSC 斜坡均复位为零。

为了区分 DCM 振铃的初级导通时间脉冲, 必须在 VPC 引脚上满足电压和时间标准才能启用 DRV 输出。 $t_{VPC-BLK}$ 可通过 TBLK 引脚上的电阻器进行调节。

在 VPC 的上升沿, 当电压超过 V_{VPCEN} 和 V_{VPC-TH} 时, 将启动消隐时间 $t_{VPC-BLK}$ 。在 $t_{VPC-BLK}$ 结束时, 在 $t_{VPC-SPL}$ 窗口 (标称值为 100ns) 内对 VPC 电压进行采样。同样在 $t_{VPC-BLK}$ 结束时, 将启用 DRV 输出。

在 $t_{VPC-SPL}$ 期间采样的 VPC 电压决定了 VPC 动态阈值 V_{VPC-TH} , 该阈值通常为采样的 VPC 电压的 85%。动态阈值提供了抑制 DCM 振铃和检测初级导通时间的功能。在 VPC 引脚下降沿期间 DRV 开启事件中的噪声抗扰度通过最小 DRV 导通时间 $t_{SRONMIN}$ 得到增强 (标称值为 350ns)。

在 DRV 的下降沿期间, t_{OFF} 计时器会启动, 从而禁止导通 SR, 直到 t_{OFF} 到期。如果 DCM 振铃接近接地, 这将消除 DRV 误导通。

UCC24630 可在宽工作电压范围内在各种反激式转换器应用中运行。内部伏秒控制斜坡确实具有基于 VPC 引脚上伏秒的动态范围限制。如图 6-4 所示, VPC 引脚上超过 7V- μ s 的伏秒积会导致 VPC 伏秒控制斜坡饱和。超过此点运行会导致 DRV 导通时间小于预期。例如, 如果 $V_{VPC} = 0.5V$, t_{VPC} 必须 $< 14\mu$ s, 或者如果 $V_{VPC} = 2.0V$, t_{VPC} 必须 $< 3.5\mu$ s, 才能在器件的动态范围内运行。假设转换器在低压线路, 满负载且占空比为 50% 的转换模式下运行, 则运行周期为 28 μ s, 因此频率低于 40kHz。UCC24630 的低频工作范围扩展至 5kHz 的待机模式阈值; 但每个开关周期的 V_{VPC} 伏秒积必须小于 7V- μ s。

该器件可支持超过 200kHz 的开关频率, 但需要确认以下时序限制与动力总成兼容。器件预计处于活动状态时的最短主导通时间必须与 203ns 的最小 VPC 消隐时间 ($t_{VPC-BLK}$) 设置加上 100ns 的采样窗口 ($t_{VPC-SPL}$) 兼容。最短次级电流传导时间必须大于 350ns 的最小 SR 导通时间 ($t_{SR(min)}$)。从 SR 驱动器关闭到下一次 SR 驱动器打开的最短时间必须大于 2.5 μ s 的 SR 最短关闭时间 (t_{OFF})。

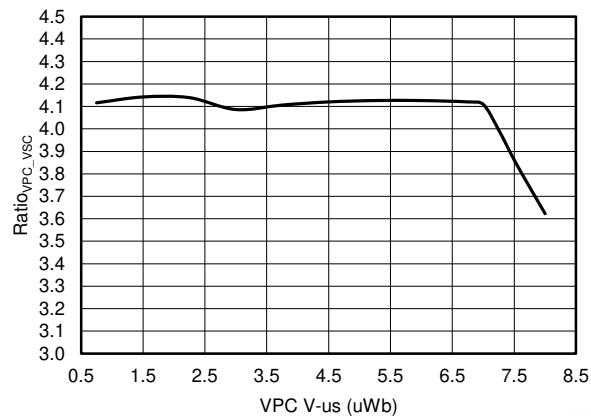


图 6-4. Ratio_{VPC_VSC} 与 VPC V- μ s 间的关系

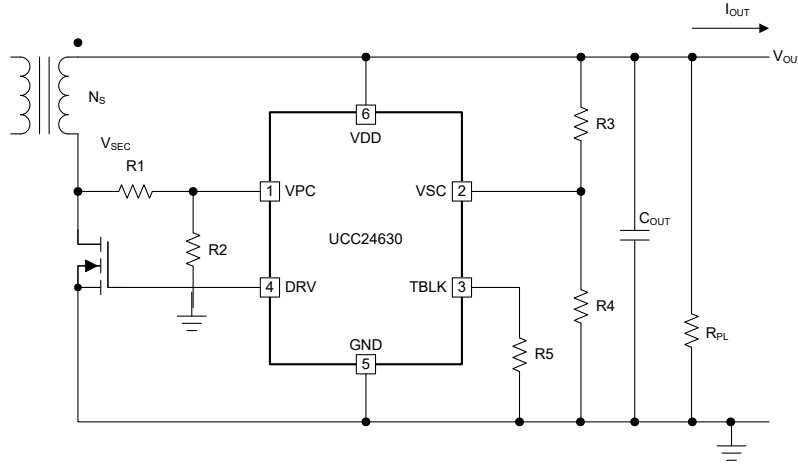


图 6-5. SR 控制器组件

确定 VPC 和 VSC 分压电阻基于转换器的工作电压范围和 $\text{Ratio}_{\text{VPC-VSC}}$ 增益比。参考图 6-5，以下公式确定 VPC 分频器值。

对于 R2a，建议使用 $10\text{k}\Omega$ 值，以便更大限度地减少对延时时间和低电阻耗散的影响。由于 $\sim 2\text{pF}$ 引脚电容和分压器电阻的时间常数，较高的 R2 值会降低电阻分压器耗散，但可能会增加 DRV 导通延迟。可以使用较低的 R2 值，但代价是电阻分压器中的功耗更高。方程式 1 中显示了比 VPC 阈值 V_{VPCEN} 高出 10% 的系数，作为设计裕量。

$$R1 = \frac{\left(\left[\frac{V_{\text{IN(min)}}}{N_{\text{PS}}} + V_{\text{OUT(min)}} \right] - V_{\text{VPCEN}} \times 1.1 \right) \times R2}{V_{\text{VPCEN}} \times 1.1} \quad (1)$$

其中

- $V_{\text{IN(min)}}$ 是转换器最小初级大容量电容电压。
- $V_{\text{OUT(min)}}$ 是正常运行时的最小转换器输出电压。
- V_{VPCEN} 是 VPC 启用阈值，使用指定的最大值。
- N_{PS} 是变压器初级/次级匝数比。

VPC 引脚上的工作电压范围必须在 $0.45\text{V} < V_{\text{VPC}} < 2\text{V}$ 的范围内。参考图 5-6，如果 V_{VPC} 大于 2.3V ，则超出动态范围，并且 $\text{Ratio}_{\text{VPC-VSC}}$ 会降低；在这种情况下，DRV 导通时间小于预期。如果 V_{VPC} 大于 2.6V (500ns)，则会生成故障，并在该周期内禁用 DRV，请参阅节 6.3.5。要确定最大电压在范围内，请使用公式 2 确认。

$$V_{\text{VPC(max)}} = \frac{\left[\frac{V_{\text{IN(max)}}}{N_{\text{PS}}} + V_{\text{OUT(max)}} \right] \times R2}{R1 + R2} \quad (2)$$

其中

- $V_{\text{IN(max)}}$ 是转换器最大初级大容量电容器电压。
- $V_{\text{OUT(max)}}$ 是 OVP 时的最大转换器输出电压。
- N_{PS} 是变压器初级/次级匝数比。

VSC 引脚上的编程电压由 VPC 分压比和器件参数 $\text{Ratio}_{\text{VPC-VSC}}$ 决定。VPC 引脚上的电流仿真器斜坡增益以多个 $\text{Ratio}_{\text{VPC-VSC}}$ 更高，因此 VSC 电阻分压比以相同的 $\text{Ratio}_{\text{VPC-VSC}}$ 比率相应地降低。使用下面的公式 3 确定 VSC 分压电阻器。为了更大限度地降低电阻分压器耗散，R4 的建议范围是从 $25\text{k}\Omega$ 到 $50\text{k}\Omega$ 。较高的 R4 值会因 VSC 输入电流 I_{VSC} 而导致偏移增加。较低的 R4 值会增加电阻分压器耗散。为了在次级电流达到零之前略微建立 DRV 关断，为初始值显示了 10% 的裕度。对 $\text{Ratio}_{\text{VPC-VSC}}$ 使用标称值 4.15。

$$R3 = \left[\left(\frac{\frac{R1 + R2}{R2}}{\text{Ratio}_{VPC_VSC} \times 1.1} \right) - 1 \right] \times R4 \quad (3)$$

其中

- Ratio_{VPC_VSC} 是器件参数 VPC 和 VSC 增益比率，使用值 4.15。

VSC 引脚上的工作电压必须在 $0.3V < V_{VSC} < 2V$ 的范围内。参考图 5-7，如果 V_{VSC} 大于 2.3V，则超出动态范围，并且 Ratio_{VPC_VSC} 会增加；在这种情况下，DRV 导通时间大于预期。要确定 VSC 电压在范围内，请使用公式 4 和方程式 5 确认。

$$\frac{R4}{R3 + R4} \times V_{OUT(min)} \geq 0.3V \quad (4)$$

$$\frac{R4}{R3 + R4} \times V_{OUT(min)} \leq 2.0V \quad (5)$$

其中

- $V_{OUT(min)}$ 是 SR 控制器的最小转换器输出工作电压。
- $V_{OUT(max)}$ 是 OVP 电压的最大转换器输出工作电压。

通过动态 VPC 上升阈值和可编程消隐时间，可在 DCM 运行期间从有效的初级导通时间中消除振铃。动态阈值 V_{VPC-TH} 是先前 VPC 引脚峰值电压的 85% 典型比率。参考图 6-2，在 VPC 电压大于 V_{VPCEN} 和 V_{VPC-TH} 且持续时间 $t > t_{VPC-BLK}$ 后，对 VPC 引脚电压进行采样。动态阈值 V_{VPC-TH} 的功能是抑制 DCM 运行模式下初级导通脉冲产生的振铃。动态阈值的有效范围是从最小 V_{VPCEN} 电压到最大 1V 钳位。消隐时间可在 200ns 至 1μs 之间进行编程，以适应各种转换器设计。

有关选择消隐时间的指导，请参阅图 6-6。所选消隐时间必须在合理的时间内进行选择，并且在轻负载条件和高线路电压下仍能适应最短初级导通时间。在高压线路最小负载条件下，选择符合以下条件的消隐时间 (方程式 6)，以适应消隐时间和 $t_{VPC-SPL}$ 采样时间窗口的容差。

$$t_{VPC-BLK} = (t_{PRI} \times 0.85) - 120ns \quad (6)$$

为了抑制 DCM 振铃，消隐时间必须长于振铃高于 V_{VPC-TH} 动态阈值的时间，即最小 SR VDS 峰值电压的 85%。确定低压线路和最大负载条件下的这些标准。建议选择变压器匝数比，确保当在低压线路输入条件下进行 DCM 运行时，次级反射电压在最高负载下小于 $V_{IN(min)}$ 大容量电容器电压的 85%。

为了确定 $t_{VPC-BLK}$ 的电阻值，请使用方程式 7 在 200ns 和 1μs 之间进行选择。

$$R5 = \frac{t_{VPC-BLK} - 100ns}{18pF} \quad (7)$$

其中

- $t_{VPC-BLK}$ 是目标消隐时间。

对于适当的 SR 时序控制， t_{OFF} 功能还存在其他区别。有关时序的详细信息，请参阅图 6-2 和图 6-3。DRV 关闭后，会禁止 DRV 再次开启，直到 t_{OFF} 计时器到期。这可以防止 SR VDS DCM 振铃低于接地值时导致 SR 误导通。

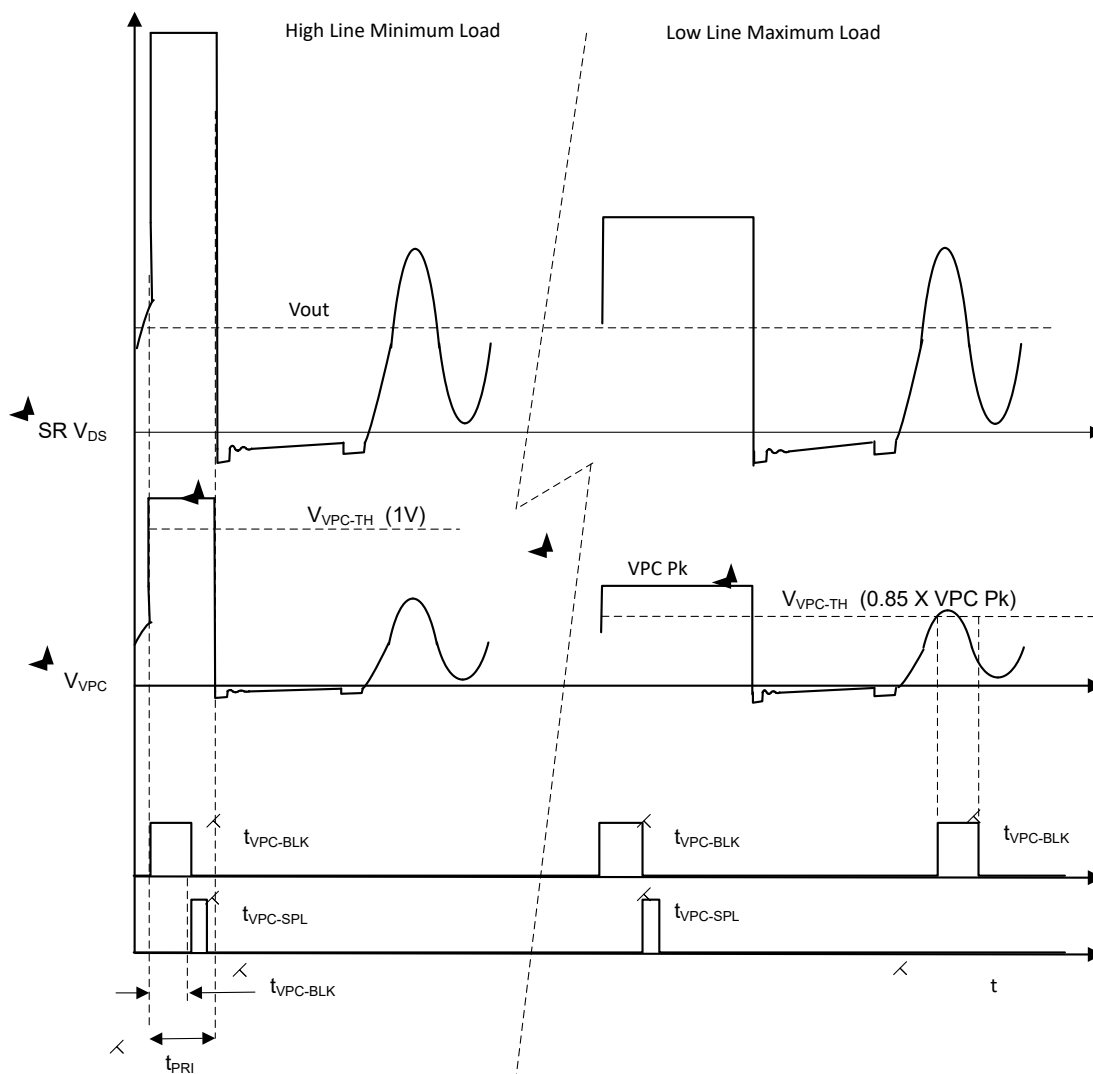


图 6-6. VPC 消隐时间标准

6.3.3 CCM 死区时间

CCM 转换器在从 DCM 向 CCM 过渡期间运行时，会导致数个开关周期内无法实现伏秒平衡。为了适应 CCM 运行，UCC24630 SR 控制器集成了 CCM 死区时间保护，以验证 SR MOSFET 在下一个主 MOSFET 导通之前是否关断。该功能可限制初级导通时间总周期加上 SR 导通时间（上一个周期减去死区时间，典型值为 600ns）。这是通过将当前工作周期 $t(N+1)$ 的 SR 导通时间限制为前一记录周期 $t(N)$ 减去 t_{CCMDT} 来实现的。如图 6-7 所示，即使不满足 VSC 伏秒斜坡阈值，CCM 死区时间也会限制 DRV 导通时间。

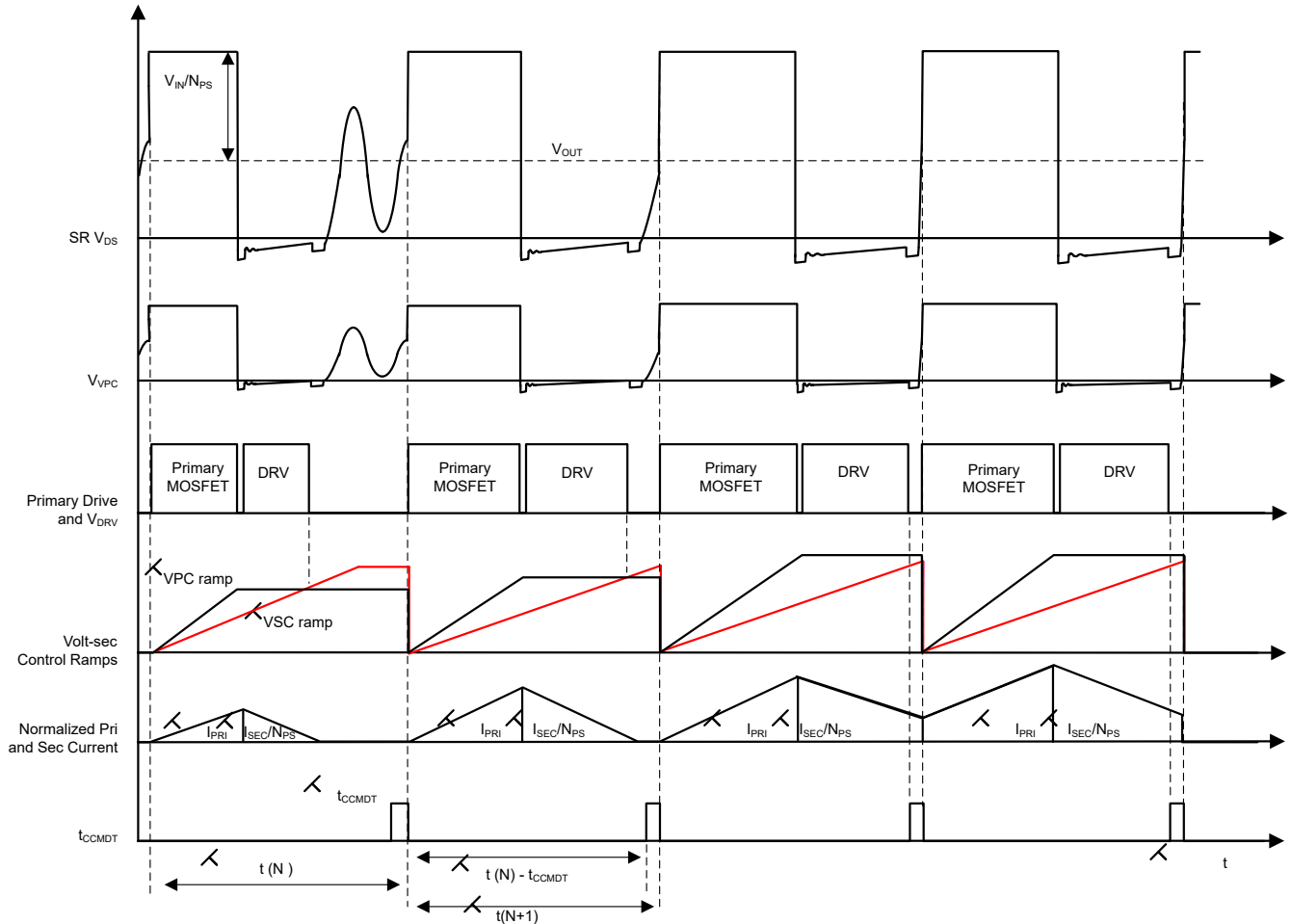


图 6-7. CCM 死区时间功能

CCM 周期故障保护功能可在异常条件下开关频率不稳定时提供保护。如果开关周期超过上一个开关周期的值达到 **KCCM-FAULT** (典型值为 150%)，则会触发 CCM 周期故障。CCM 周期故障会在四个连续周期内禁用 DRV 输出。在四周期禁用间隔期间，如果发生另一个 CCM 周期故障，则会在另外四个周期内重新触发故障，直到出现不会产生 CCM 周期故障的四个连续周期，DRV 才会启用。有关 CCM 周期故障行为，请参阅图 6-8 和图 6-9。

具有较长周期的第 N+1 个周期会基于 $t(N) - t_{CCMDT}$ 设定紧随其后的周期具有更长的允许最大 SR 导通时间；若在此情况下发生 CCM 运行，当变换器开关周期恢复至先前时长时，该最大允许 SR 导通时间可能会与原边开通信号产生冲突。DRV 输出会被禁用，以防止这种潜在的时序与主开关发生冲突。

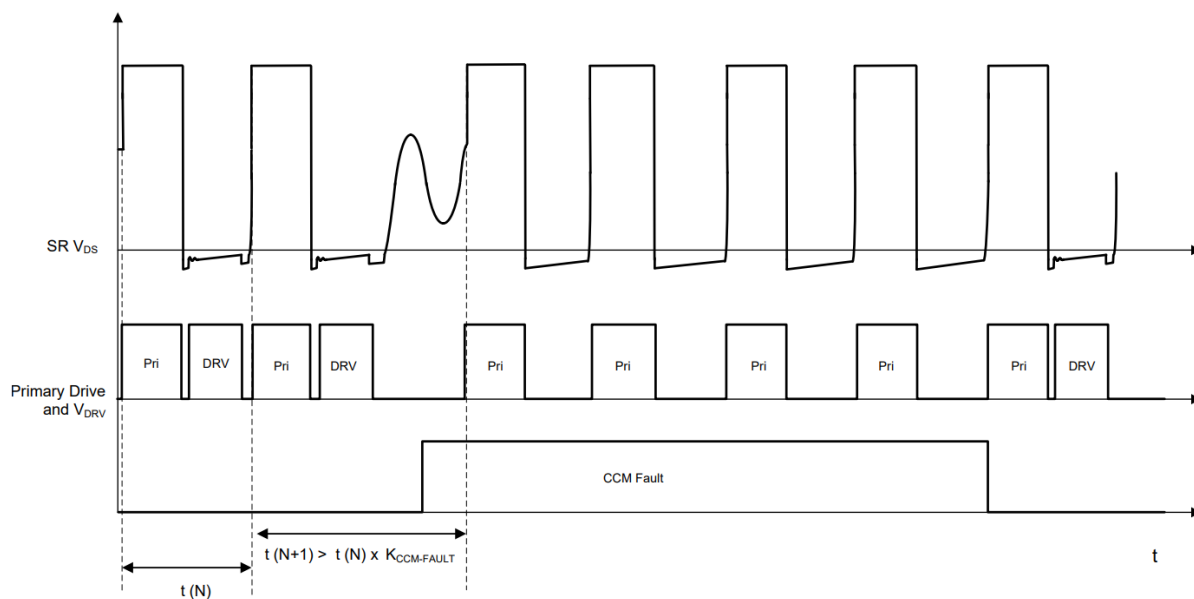


图 6-8. CCM 周期故障行为 (CCM 运行模式)

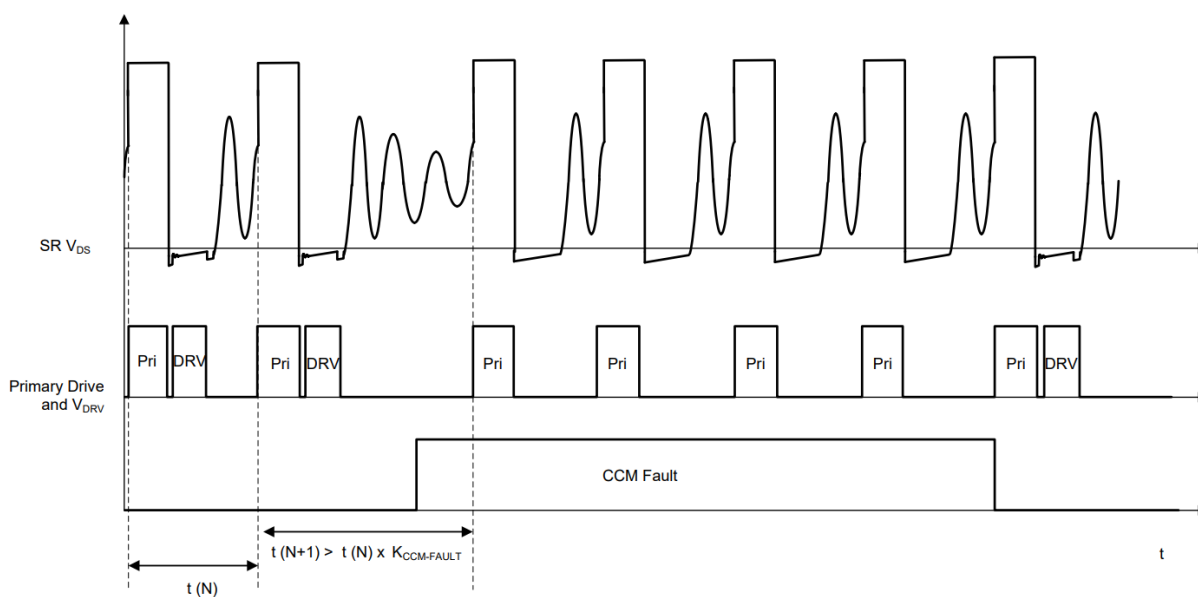


图 6-9. CCM 周期故障行为 (DCM 运行模式)

6.3.4 待机运行

为了更大限度地降低极轻负载和待机条件下的功耗，UCC24630 禁用 SR DRV 输出并进入低电流工作状态。待机模式或正常工作的判定条件取决于在 VPC 引脚上检测到的平均频率。频率检测与突发模式运行或连续低频 FM 运行兼容。启动时，该器件处于正常运行状态，以便启用对 SR MOSFET 的 DRV。若在 t_{ENTO} (典型值为 12.8ms) 内出现的周期数少于 64 个，器件将禁用 DRV 输出，并进入低电流工作模式，此时偏置电流为 ISTBY。在待机模式下，若在 t_{EN} (典型值为 2.56ms) 内出现超过 32 个周期，器件将进入正常工作模式。一旦出现 32 个周期，该器件就会进入正常运行状态，以缩短退出待机运行的响应时间。进入待机模式的平均频率典型值为 5kHz，退出待机模式的平均频率典型值为 12.5kHz。有关待机模式时序的图示，请参阅图 6-10。

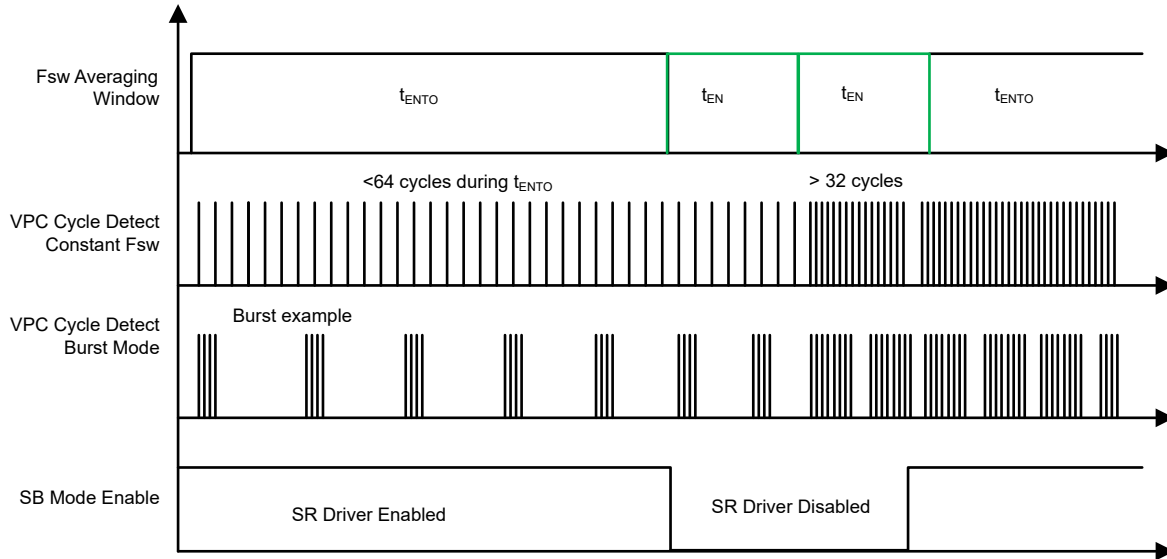


图 6-10. 待机模式运行

6.3.5 引脚故障保护

UCC24630 控制器具备故障保护功能，可在引脚开路、引脚对地短路以及异常超范围工作时提供保护。

6.3.5.1 VPC 引脚过压

如果 VPC 引脚上出现异常高电平的时间超过预期的变压器泄漏尖峰持续时间，DRV 输出将逐周期被禁用。如果 VPC 引脚上的电压超过 V_{VPCDis} (最小 2.6V)，持续 500ns，则在下一个有效周期之前不会启用 SR。

6.3.5.2 VPC 引脚开路

如果 VPC 引脚开路，器件默认为无 VPC 输入信号条件，从而导致禁用 DRV 运行。

6.3.5.3 VSC 引脚开路

如果 VSC 引脚开路，该器件默认为零 VSC 输入信号条件，从而导致禁用 DRV 运行。

6.3.5.4 TBLK 引脚开路

如果 TBLK 引脚开路，该器件会禁用 DRV 运行。

6.3.5.5 VPC 和 VSC 接地短路

由于 DRV 运行必须满足 VPC 和 VSC 使能阈值，因此 DRV 固有地被禁用。

6.3.5.6 TBLK 引脚对地短路

TBLK 引脚短接会导致 $t_{VPC-BLK}$ 消隐时间的最小设置值。

6.4 器件功能模式

根据 VDD 电压、VSC 电压以及 VPC 电压和频率的不同，该器件可工作于多种模式。

6.4.1 启动

在启动期间，当 VDD 小于 $V_{VDD(on)}$ 时，器件将被禁用。当 VDD 电压超过 $V_{VDD(on)}$ UVLO 阈值时， I_{DD} 电流升至 I_{RUN} ，器件随即启动“启动与 UVLO”章节中详述的上电序列。

6.4.2 正常运行

当 VDD 超过 $V_{VDD(on)}$ 、VPC 电压超过 V_{VPCEN} 和 V_{VPC-TH} ，且 VSC 电压超过 V_{VSCEN} 时，DRV 输出将被激活。如果开关频率高于 5kHz 的待机标准，则器件处于正常运行状态，根据伏秒控制或 CCM 死区时间控制来确定 DRV 时间。 I_{DD} 将是 I_{RUN} 。

1. 当初级导通时间加上 DRV 导通时间小于前一个周期减去 t_{CCMDT} 时，该器件以伏秒控制方式运行。这是大部分时间内的工作模式。
2. 当初级导通时间加上 DRV 导通时间（由伏秒控制斜坡确定）大于上一周期减去 t_{CCMDT} 时，该器件在 CCM 死区时间控制下运行。这种情况仅出现在 CCM 变换器中，且发生在从 DCM 向 CCM 模式切换的过渡期间

6.4.3 待机运行

如果在 t_{ENTO} 期间 VPC 脉冲数少于 n_{ENTO} (64)，器件将进入待机模式。DRV 运行会停止，并且大多数器件功能都关断。 I_{DD} 为待机运行期间的 I_{STBY} 。要退出待机模式，在 t_{EN} 期间，VPC 脉冲数必须超过 n_{EN} (32)。 I_{DD} 恢复为 I_{RUN} ，DRV 输出在 4 个 VPC 周期后启动。

6.4.4 停止运行的条件

以下条件可能会禁用 DRV 运行，在这些条件下 I_{DD} 为 I_{RUN} 。

1. VPC 过压：当 $V_{VPC} > V_{VPCDIS}$ 并且持续 $>500ns$ 时，DRV 输出在该周期内被禁用。
2. CCM 故障：如果当前开关周期大于前一周期乘以 K_{CCM_FAULT} ，则 DRV 输出将被禁用 4 个周期。该 4 周期计数可被复位；若在 DRV 禁用的 4 周期计数期间再次发生 CCM 故障，则该计数将被延长。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

7.1 应用信息

UCC24630 是一款高性能控制器驱动器，适用于用于次级侧同步整流的 N 沟道 MOSFET 功率器件。UCC24630 旨在作为初级侧控制器的配套器件运行，以帮助在开关电源中实现高效的同步整流。该控制器具有一个高速驱动器，并提供适当定时的逻辑电路，以无缝生成高效的同步整流系统。UCC24630 凭借其当前的仿真器架构，为 DCM、TM 和 CCM 模式下的应用提供足够的多功能性。UCC24630 SR 的导通时间可调节，有助于优化 PSR 和 SSR 应用。引脚故障保护、动态 VPC 阈值检测和电压检测消隐时间等附加功能使 UCC24630a 成为强大的同步控制器。CCM 死区时间保护功能会在开关频率不稳定时关闭 DRV 信号。

7.2 典型应用

7.2.1 AC-DC 适配器, 19.5V, 65W

该设计示例介绍了 65W 离线反激式转换器的设计，可在最大负载为 3.33A 且采用通用交流输入工作时提供 19.5V 的电压。该设计在 DCM 反激式转换器中使用 LM5023 交流/直流准谐振初级侧控制器，并通过使用次级侧 UCC24630 同步整流器控制器实现 92% 以上的满载效率。

- 节 7.2.2 中详述了设计要求。
- 有关选择用于 UCC24630 的元件电路的设计过程，请参见节 7.2.3。
- 节 7.2.4 中显示的测试结果突出显示了使用 UCC24630 的独特优势。

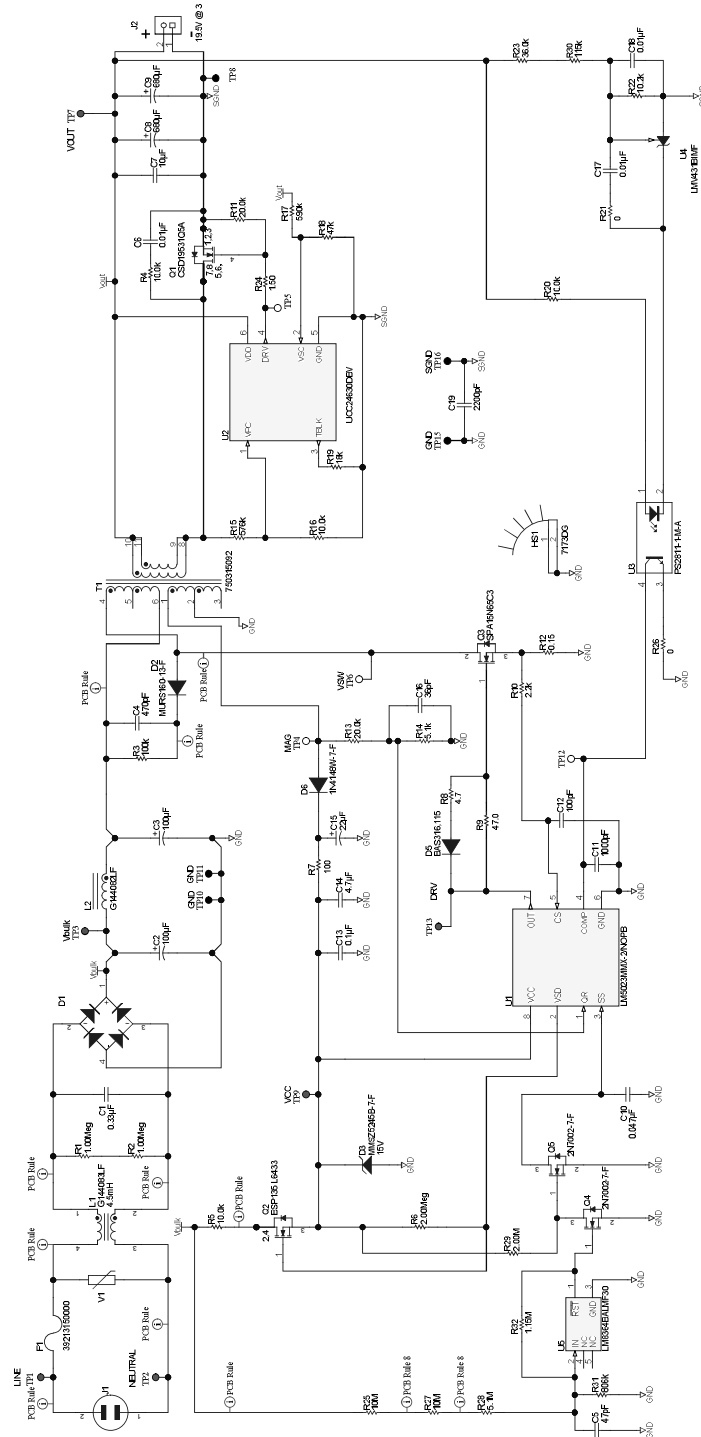


图 7-1. AC-DC 适配器 19V、65W

7.2.2 设计要求

对于该设计示例，请使用表 7-1 中列出的参数。

表 7-1. 性能规格 AC-DC 适配器 19V、65W

参数	测试条件	最小值	标称值	最大值	单位
输入特性					
V _{ACIN} 输入电压		90	115/230	265	V
f _{LINE} 频率		47	50/60	64	Hz
V _{AC(uvlo)} 欠压电压	I _{OUT} = I _{OUT(nom)}		80		均方根电压 (VRMS)
V _{AC(run)} 欠压恢复电压			90		均方根电压 (VRMS)
I _{IN} 输入电流	V _{ACIN} = V _{ACIN(min)} , I _{OUT} = I _{OUT(nom)}		1.65		A
输出特性					
V _{OUT} 输出电压	V _{ACIN} = V _{ACIN(min)} 至 V _{ACIN(max)} , I _{OUT} = 0 至 I _{OUT(nom)}	18.5	19.5	20.5	V
I _{OUT(nom)} 标称输出电流	V _{ACIN} = V _{ACIN(min)} 至 V _{ACIN(max)}		3.33		A
I _{OUT(min)} 最小输出电流	V _{ACIN} = V _{ACIN(min)} 至 V _{ACIN(max)}		0		A
ΔV _{OUT} 输出电压纹波	V _{ACIN} = V _{ACIN(min)} 至 V _{ACIN(max)} , I _{OUT} = 0 至 I _{OUT(nom)}		500		mV
P _{OUT} 输出功率	V _{ACIN} = V _{ACIN(min)} 至 V _{ACIN(max)}		65		
系统特性					
η _{avg} 平均效率	V _{ACIN} = V _{ACIN(nom)} , I _{OUT} = 25%、50%、75%、100% 的 I _{OUT(nom)}	89%	90%		
η _{10%} 10% 负载效率	V _{ACIN} = V _{ACIN(nom)} , I _{OUT} = 10% 的 I _{OUT(nom)}	79%	82%		
P _{NL} 无负载功率	V _{ACIN} = V _{ACIN(nom)} , I _{OUT} = 0		60	120	mW

7.2.3 元件值的计算

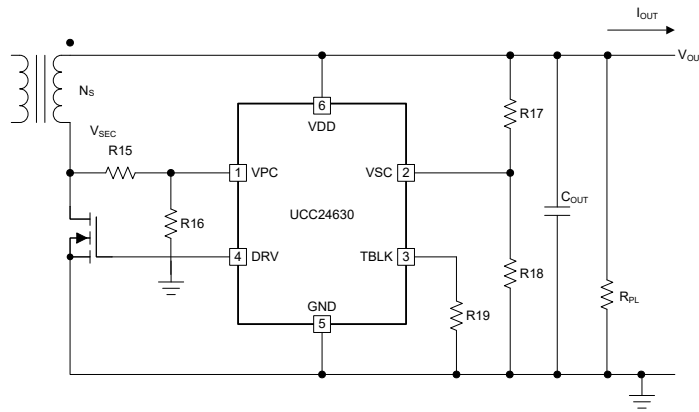


图 7-2. UCC24630 电路设计

为便于理解，图 7-2 是图 6-5 的修改版本，其中组件引用标识符与图 7-1 的原理图相同。

7.2.3.1 VPC 输入

为了尽可能降低功率耗散：

- R16 = 10k Ω

$$R15 = \frac{\left(\left(\frac{V_{IN(min)}}{N_{PS}} + V_{OUT(min)} - V_{VPC_EN} \times 1.1 \right) \right) \times R16}{V_{VPC_EN}} \quad (8)$$

- V_{OUT(min)} = 18V
- N_{PS} = 5.5
- V_{IN(min)} = 60V

- $R15 = 574k\Omega$

$R15 = 576k\Omega$

$$V_{VPC(max)} = \frac{\left[\frac{V_{IN(max)}}{N_{PS}} + V_{OUT(max)} \right] \times R16}{R15 + R16} \quad (9)$$

- $V_{PC(max)} = 1.50V$

$$V_{VPC(min)} = \frac{\left[\frac{V_{IN(min)}}{N_{PS}} + V_{OUT(min)} \right] \times R16}{R15 + R16} \quad (10)$$

- $V_{PC(min)} = 0.49V$

因此, V_{VPC} 处于 0.45V 至 2V 的建议范围内。

7.2.3.2 VSC 输入

建议 $R18$ 的值范围为 $25k\Omega$ 至 $50k\Omega$ 。

- $R18 = 47k\Omega$

$$R17 = \left[\left(\frac{\frac{R15 + R16}{R16}}{Ratio_{VPC_VSC} \times 1.1} \right) - 1 \right] \times R18 \quad (11)$$

- $R17 = 554k\Omega$

当 $R17 = 590k\Omega$ 时, VSC 引脚的工作范围为:

$$V_{VSC(min)} = \left(\frac{R18}{R17 + R18} \right) \times V_{OUT(min)} \quad (12)$$

- $V_{SC(min)} = 1.32V$

$$V_{VSC(max)} = \left(\frac{R18}{R17 + R18} \right) \times V_{OUT(max)} \quad (13)$$

- $V_{SC(max)} = 1.55V$

因此, V_{VSC} 处于 0.3V 至 2V 的建议范围内。

7.2.3.3 TBLK 输入

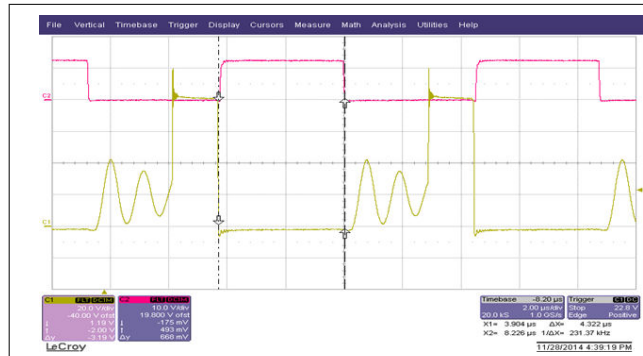
消隐时间通过电阻器 $R19$ 设置。

根据高压线路 [方程式 6](#) 上的最短初级导通时间, 选择要满足以下条件的消隐时间。

$$R19 = \frac{t_{VPC} - BLK - 100ns}{18pF} \quad (14)$$

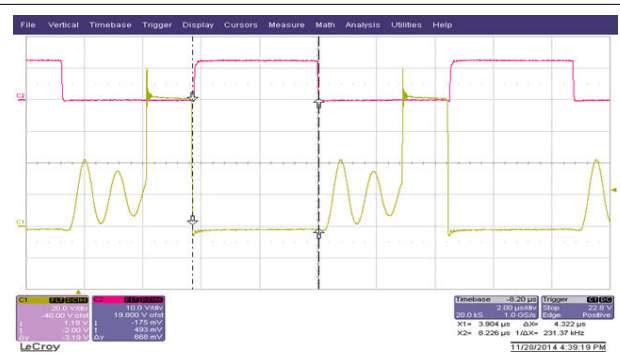
值 **$R19 = 18k\Omega$** 会导致消隐时间约为 420ns。

7.2.4 应用曲线



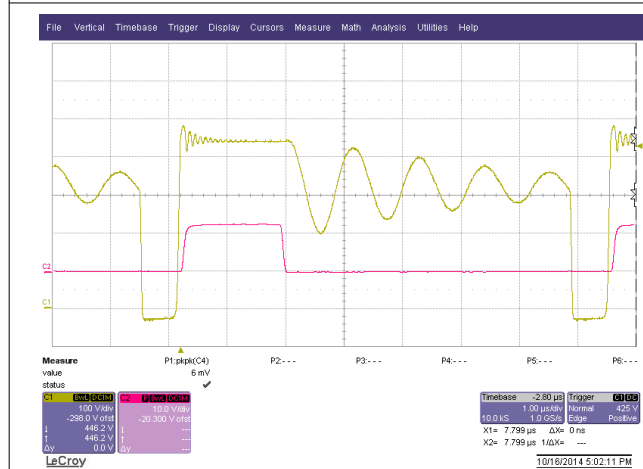
C2(RED) : 发送到同步整流器 Q1 的 DRV 信号
C1(YELLOW) : 同步整流器 Q1 的漏极

图 7-3. 230V_{AC}、65W 时的 DRV 时序



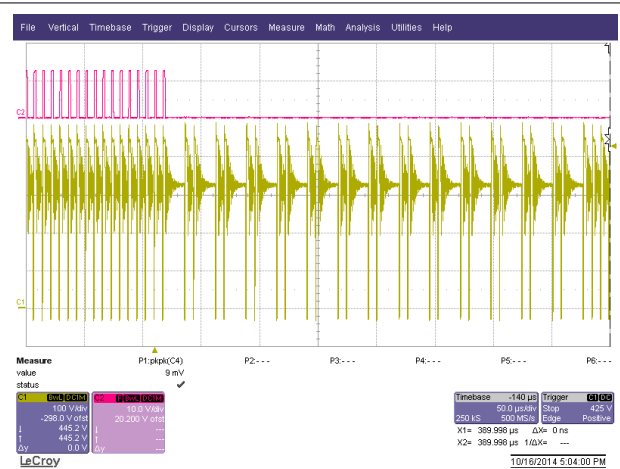
C2(RED) : 发送到同步整流器 Q1 的 DRV 信号
C1(YELLOW) : 同步整流器 Q1 的漏极

图 7-4. 115V_{AC}、65W 时的 DRV 时序



C2(RED) : 发送到同步整流器 Q1 的 DRV 信号
C1(YELLOW) : 初级侧 MOSFET Q3 的漏极

图 7-5. 230V_{AC}、12W 时的 DRV 时序



C2(RED) : 发送到同步整流器 Q1 的 DRV 信号
C1(YELLOW) : 初级侧 MOSFET Q3 的漏极

图 7-6. 轻载行为 (230V_{AC} , 8W)

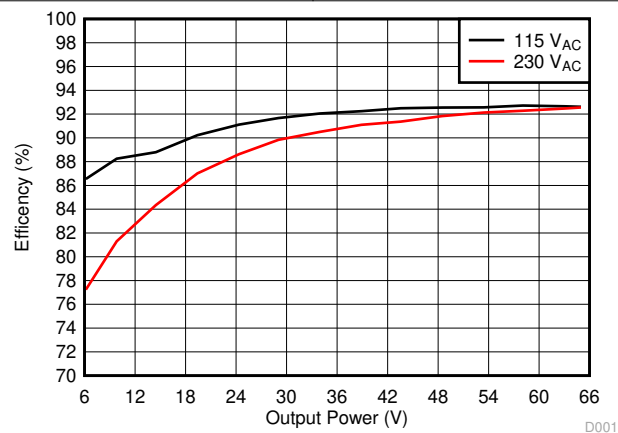


图 7-7. 效率与输出功率间的关系

7.3 最佳设计实践

- 请务必在建议的最大工作参数范围内运行器件。在确定应力时应考虑输出过压条件。
- 请参考图 6-6 中关于设置消隐时间电阻值的指导原则。
- 请勿将 UCC24630 用于在高功率电平下以恒定跳周期模式工作的转换器。跳跃周期行为会导致许多 CCM 故障和缺失 DRV 脉冲。
- 当反激式控制器在可变频率、FM 调制模式下运行时，请勿在以 CCM 模式运行的 CCM 设计中使用 UCC24630。在固定频率 PWM 运行期间，CCM 死区时间功能与 CCM 运行兼容。
- 请勿在迟滞控制 CCM 反激式转换器中使用 UCC24630。在高功率等级下恒定的跳跃周期运行，会导致大量 CCM 周期故障，从而导致效率损失。
- 请勿在 LLC 转换器中使用 UCC24630。

7.4 电源相关建议

建议将 UCC24630 用作各种反激式电源中的同步整流器控制器。它与固定频率或变频应用中的非连续导通模式 (DCM) 和转换模式 (TM) 控制器兼容。它与固定频率应用中的连续导通模式 (CCM) 控制器兼容。

该器件是反激式电源同步整流的理想选择，适用于输入电压范围 $85V_{AC}$ 至 $265V_{AC}$ 、输出电压范围 $5V$ 至 $24V$ 的应用。它还可用于具有不同输入和/或输出电压的其他反激式应用。但请务必确保所有电压和电流均处于器件的推荐工作条件及绝对最大额定值范围内。

该器件兼容在低压输入条件下工作于临界导通模式的反激式转换器，且支持低至 $40kHz$ 的开关频率。它还可用于高达 $200kHz$ 的开关速度。

VDD 工作范围允许直接连接到 $5V$ 至 $24V$ 的转换器输出。驱动器和控制共用同一个 VDD 和接地端，因此应尽可能靠近 VDD 和 GND 引脚放置一个高质量的陶瓷电容器。为降低 VDD 噪声并消除从转换器输出端注入的高频纹波电流，建议在转换器输出与 VDD 之间串联一个 2.2Ω 至 10Ω 的小阻值电阻。该器件能够承受从 $100\mu s$ 到恒流充电器典型的极长上升时间的 VDD 上电过程。启动时序始终如图 6-1 所示。VDD 可以连接到外部辅助电源，以扩展器件在低于 $3.5V$ 或高于 $24V$ 转换器输出的工作电压范围。

7.5 布局

7.5.1 布局指南

通常，应尝试使所有高电流环路尽可能短。应使所有高电流/高频布线远离设计中的其他布线。如有必要，高频/高电流布线必须与信号布线垂直，而不是与信号布线平行。使用接地布线屏蔽信号布线有助于减少噪声拾取。务必考虑高压连接和任何低压网络之间的适当间隙。

7.5.1.1 VDD 引脚

VDD 引脚必须通过高质量、低 ESR、低 ESL 的陶瓷旁路电容去耦至 GND，且连接到 VDD 和 GND 引脚的走线应尽可能短。VDD 上所需电容的值如建议运行条件中所示确定。为消除 SR 控制电路中的高频纹波电流，建议在 VDD 与转换器输出电压之间串联一个 2.2Ω 至 10Ω 的小阻值电阻。

7.5.1.2 VPC 引脚

电阻分压器和 VPC 引脚之间的布线必须尽可能短，以减少/消除可能存在的噪声耦合。连接到 VPC 引脚的电阻分压器网络的下电阻器必须用短布线返回到 GND。避免向 VPC 引脚添加任何显著的外部电容，以免出现信号延迟。如果需要滤波，建议的最大电容为 $10pF$ ；电阻分压器网络值较低，为 $10k\Omega$ 。避免将具有高 dV/dt 的走线靠近 VPC 引脚及其连接走线（例如 SR MOSFET 的漏极和 DRV 输出走线）。

7.5.1.3 VSC 引脚

电阻分压器和 VSC 引脚之间的布线必须尽可能短，以减少/消除可能存在的噪声耦合。连接到 VSC 引脚的电阻分压器网络的下电阻器必须用短布线返回到 GND。避免在 VPC 引脚上添加任何外部电容，以免出现信号延迟。如果需要滤波，建议的最大电容为 $47pF$ ；电阻分压器网络值较低，为 $50k\Omega$ 。避免将具有高 dV/dt 的走线靠近 VSC 引脚及其连接走线（例如 SR MOSFET 的漏极和 DRV 输出走线）。

7.5.1.4 GND 引脚

GND 引脚是控制器的电源和信号接地连接。信号引脚上滤波电容器的有效性取决于接地回路的完整性。所有去耦电容应尽可能靠近器件引脚放置，并采用短走线连接。器件的接地端和电源接地端应在输出大容量电容器的回路处相遇。应尽量确保功率级的高频/大电流不会流经信号地。

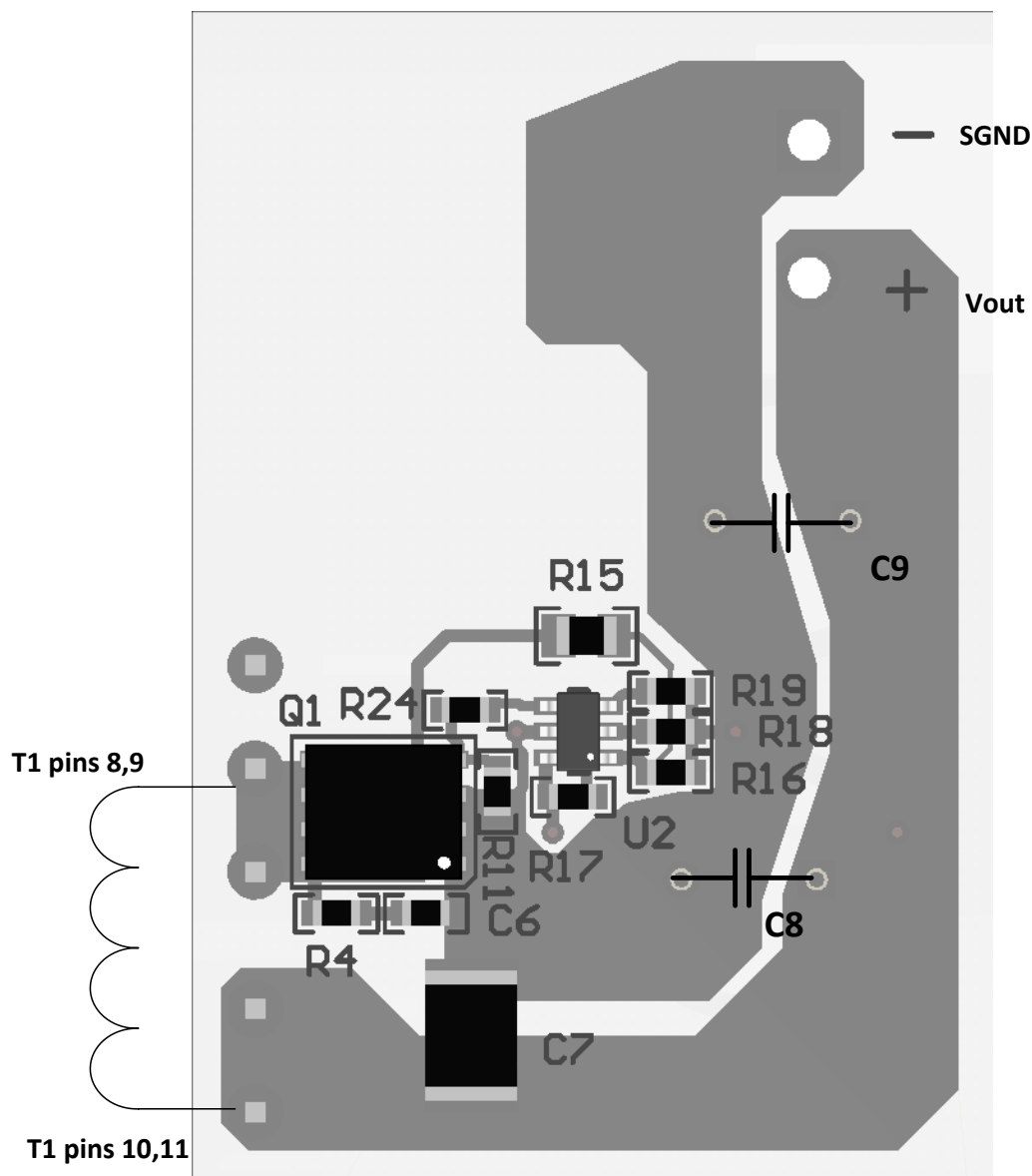
7.5.1.5 TBLK 引脚

编程电阻应连接在 TBLK 引脚与 GND 之间，并采用短走线布局。根据所需的延时时间调整电阻值。避免将具有高 dV/dt 的走线靠近 TBLK 引脚及其连接走线（例如 SR MOSFET 的漏极和 DRV 输出走线）。

7.5.1.6 DRV 引脚

连接至 DRV 引脚的走线承载高 dv/dt 信号。通过将布线布置到该引脚，使其尽可能远离连接到器件信号输入 VPC、VSC 和 TBLK 的布线，从而更大限度地减少噪声拾取。

7.5.2 布局示例



8 器件和文档支持

8.1 器件支持

8.1.1 器件命名规则

8.1.1.1 术语的定义

- $V_{IN(min)} = 60V$: 转换器最小初级大容量电容器电压
- $V_{IN(max)} = 370V$: 转换器最大初级大容量电容器电压
- $V_{OUT(min)} = 18V$: UCC24630 的最小转换器输出工作电压
- $V_{OUT(max)} = 21V$: UCC24630 的最大转换器输出工作电压
- $V_{VPC_EN} = 0.45V$: 同步整流器使能电压
- $V_{VPC(max)} = 2.0V$: VPC 的最大工作电平
- $N_{PS} = 5.5$: 变压器初级绕组与次级绕组匝数比
- $Ratio_{VPC_VSC} = 4.15$: 电流仿真器增益 K_{VPC}/K_{VSC}
- t_{VPC_BLK} : 同步整流器运行时的最小 VPC 脉冲

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (March 2015) to Revision B (July 2026)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 将 350ns 的最短 SR 导通时间 ($t_{SR(min)}$) 的最短次级电流传导时间从“大于”更改为“小于”	10

Changes from Revision * (March 2015) to Revision A (March 2015)	Page
• 更改了“应用”部分的拼写错误。	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC24630DBVR	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	U630
UCC24630DBVT	Active	Production	SOT-23 (DBV) 6	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	U630

- ⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).
- ⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- ⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- ⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- ⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- ⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC24630DBVR	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
UCC24630DBVT	SOT-23	DBV	6	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC24630DBVR	SOT-23	DBV	6	3000	180.0	180.0	18.0
UCC24630DBVT	SOT-23	DBV	6	250	180.0	180.0	18.0



SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Reference JEDEC MO-178.

EXAMPLE BOARD LAYOUT

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月