

适用于 SiC/IGBT、具有高级保护功能的 UCC218302-Q1 15A 可调节驱动强度增强型隔离式单通道栅极驱动器

1 特性

- 5kV_{RMS} 单通道隔离式栅极驱动器
- 符合面向汽车应用的 AEC-Q100 标准
- 针对工作电压高达 1,500V_{pk} 的 SiC MOSFET 和 IGBT 而优化
- 30V 最大输出驱动电压 (VDD-VEE)
- 具有动态驱动强度选择功能的双分离输出
 - ±10A 和 ±5A 驱动电流输出
 - 数字输入 GD_SEL 选择驱动强度
- 500V/ns 最小 CMTI
- 具有 9V 阈值的 200ns 快速响应时间 DESAT 保护
- 具有 2.5A 灌电流能力的专用软关断 (SSD) 引脚。关断电流可通过外部电阻器进行控制。
- 4A 内部有源米勒钳位
- FLT 的过电流报告和通过 RST/EN 重置
- 针对 RST/EN 的快速启用和禁用响应
- RDY 上的 12V VDD UVLO (具有电源正常指示功能)
- RDY 上指示的过热保护
- 具有 OUT_FB 上实时输出状态反馈和 RDY 上故障报告功能的输出电压栅极监控器。
- 次级侧上的主动短路 (ASC) 输入，可在系统故障期间打开电源开关。
- 宽体封装，爬电距离和间隙大于 8mm
- 具有符合 AEC-Q100 标准的下列特性：
 - 器件温度等级 1：-40°C 至 +125°C 环境温度范围

2 应用

- 适用于电动汽车的牵引逆变器
- 车载充电器和充电桩
- HEV/EV 的直流 - 直流转换器

3 说明

UCC218302-Q1 是一款电隔离单通道栅极驱动器，具有先进的保护特性、一流的动态性能和稳健性，专为工作电压高达 1,500V DC 的 SiC MOSFET 和 IGBT 而设计。UCC218302-Q1 具有高达 ±10A 的双路输出以及 ±5A 的峰值拉电流和灌电流。

输入侧通过 SiO₂ 隔离技术与输出侧隔离，支持高达 1.06kV_{RMS} 的工作电压和 10kV_{PK} 的浪涌抗扰度。隔离栅还提供较低的器件间偏移，以及大于 500V/ns 的共模防噪性能 (CMTI)。

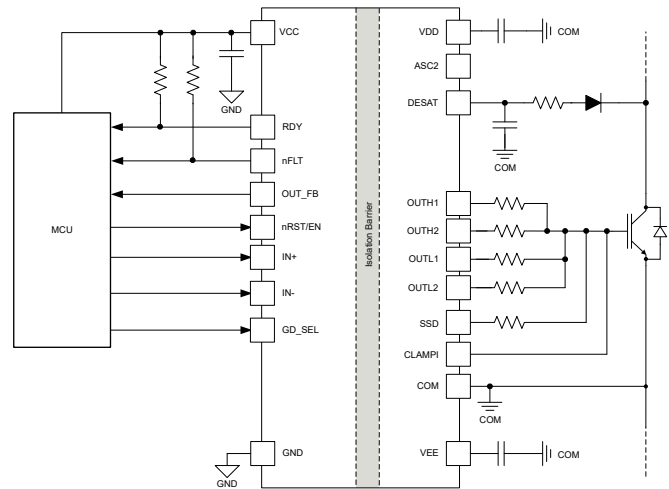
UCC218302-Q1 包含先进的保护特性，如快速过流和短路检测、故障后的受控软关断、故障报告、有源米勒钳位、用于优化 SiC 和 IGBT 开关行为和稳健性的输入和输出侧电源 UVLO 次级侧的主动短路输入和输出电压栅极监测

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
UCC218302B-Q1	DFP (SSOP 28)	7.6mm × 7.5mm

(1) 有关所有可用封装，请参阅节 10

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



简化版原理图



内容

1 特性	1	6.4 器件功能模式	23
2 应用	1	7 应用和实施	24
3 说明	1	7.1 应用信息.....	24
4 引脚配置和功能	3	7.2 典型应用.....	24
5 规格	5	7.3 电源相关建议.....	32
5.1 绝对最大额定值.....	5	7.4 布局.....	32
5.2 ESD 等级.....	5	8 器件和文档支持	34
5.3 建议运行条件.....	5	8.1 第三方产品免责声明.....	34
5.4 热性能信息.....	6	8.2 文档支持.....	34
5.5 功率等级.....	6	8.3 接收文档更新通知.....	34
5.6 绝缘规格.....	6	8.4 支持资源.....	34
5.7 电气特性.....	7	8.5 商标.....	34
5.8 开关特性.....	10	8.6 静电放电警告.....	34
6 详细说明	11	8.7 术语表.....	34
6.1 概述.....	11	9 修订历史记录	34
6.2 功能方框图.....	12	10 机械、封装和可订购信息	34
6.3 特性说明.....	12	10.1 机械数据.....	35

4 引脚配置和功能

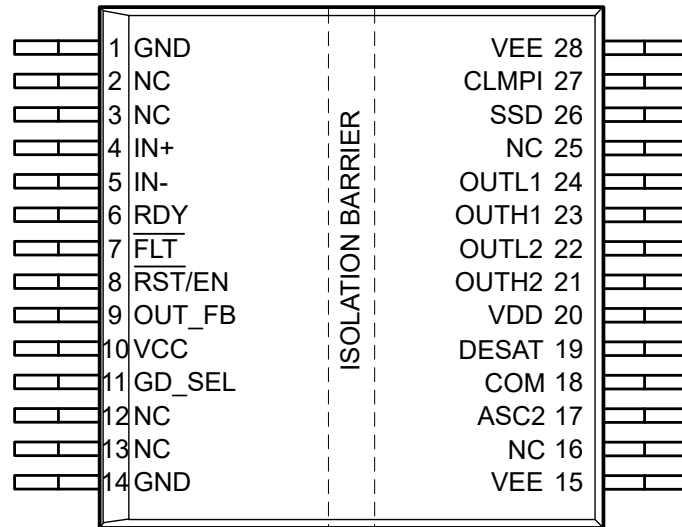


图 4-1. UCC218302-Q1 28 DFP 顶视图

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
GND	1、14	GND	输入电源和逻辑接地基准。
NC	2、3、12、13、16、25	—	无连接。
IN+	4	I	同相栅极驱动器的控制输入。如果不使用，应连接到 VCC。
IN-	5	I	反相栅极驱动器的控制输入。如果不使用，应连接到 GND。
RDY	6	O	VCC-GND、VDD-COM 和过热的电源正常状态。RDY 为漏极开路输出，可以与其他 RDY 信号并联。
FLT	7	O	过流或短路时输出低电平故障报警信号。FLT 为漏极开路输出，可与其他故障并联。
RST/EN	8	I	RST/EN 有两个用途： 1) 启用或关断输出侧。如果 EN 设置为低电平，则通过常规关断方式，关断 FET； 2) 如果 RST/EN 设置为低电平的时间超过 800ns，则复位 FLT 引脚上指示的 DESAT 条件。FLT 的复位在 RST/EN 的上升沿被置为有效。
OUT_FB	9	O	实时输出电压反馈。如果未使用，则保持悬空。
VCC	10	P	3V 至 5.5V 的输入电源。使用 >1 μF 电容器旁路至 GND。将去耦电容器放置在引脚附近。
GD_SEL	11	I	栅极驱动强度选择输入。驱动为高电平时使用两组输出。驱动为低电平时仅使用 OUTx1 输出。
VEE	15、28	P	栅极驱动电压的负电源轨。使用 >10 μF 电容器旁路至 COM。将去耦电容器放置在引脚附近。
ASC2	17	I	高电平有效次级侧主动短路输入，用于在系统故障事件期间强制输出高电平。如果不使用，应连接到 COM。
COM	18	P	公共接地基准。连接到 IGBT 的发射极引脚和 MOSFET 的源极引脚。
DESAT	19	I	去饱和和电流保护输入。如果不使用，应连接到 COM。
VDD	20	P	栅极驱动电压的正电源轨。使用 >10 μF 电容器旁路至 COM。将去耦电容器放置在引脚附近。
OUTH2	21	O	大电流栅极驱动器输出上拉。
OUTL2	22	O	高电流栅极驱动器输出下拉。
OUTH1	23	O	低电流栅极驱动器输出上拉。
OUTL1	24	O	低电流栅极驱动器输出下拉。

表 4-1. 引脚功能 (续)

引脚		类型 ⁽¹⁾	说明
名称	编号		
固态硬盘	26	O	软关断下拉，用于在 DESAT 故障后关闭。在此引脚与 IGBT 或 MOSFET 的栅极之间连接一个电阻器，以调节关断电流。如果未使用，则保持悬空或连接到 VEE。
CLMPI	27	O	内部有源米勒钳位。将此引脚直接连接到功率晶体管的栅极。如果未使用，则保持悬空或连接到 VEE。

(1) I = 输入，O = 输出，P = 电源，GND = 地

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
VCC	VCC - GND	-0.3	6	V
VDD	VDD - COM	-0.3	36	V
VEE	VEE - COM	-17.5	0.3	V
V _{MAX}	VDD - VEE	-0.3	36	V
IN+, IN-, $\overline{\text{RST/EN}}$, GD_SEL	DC	GND - 0.3	VCC+0.3	V
$\overline{\text{FLT}}$, RDY, OUT_FB	初级侧输出引脚上的电压	GND - 0.3	VCC	V
OUTH1, OUTH2, OUTL1, OUTL2, CLMPI	DC	VEE-0.3	VDD+0.3	V
	瞬态, 小于 100ns ⁽²⁾	VEE-5.0	VDD+5.0	V
DESAT	DESAT 上的电压, 以 COM 为基准	-0.3	VDD+0.3	V
ASC2	ASC2 上的电压, 以 COM 为基准	-0.3	6	V
I _{FLT} , I _{RDY}	$\overline{\text{FLT}}$ 和 RDY 引脚输入电流		20	mA
f _{MAX}	最大开关频率		300	kHz
T _J	结温	-40	150	°C
T _{stg}	贮存温度	-65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议的工作条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。

(2) 通过在工作台上进行表征来验证这些值。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 AEC Q100-011 标准	±750	
		转角引脚 (GND 和 VEE) 其他引脚	±500	V

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	最大值	单位
VCC	VCC-GND	3	5.5	V
VDD	VDD-COM	13	30	V
VEE	VEE-COM	-16	0	V
V _{MAX}	VDD-VEE	13	30	V
IN+, IN-, $\overline{\text{RST/EN}}$, GD_SEL	以 GND 为基准, 高电平输入电压	0.7 × VCC	VCC	V
	以 GND 为基准, 低电平输入电压	0	0.3 × VCC	V
t _{RST/EN}	复位故障的 $\overline{\text{RST/EN}}$ 引脚脉冲宽度	800		ns
ASC2	以 COM 为基准	0	5.5	V
T _A	环境温度	-40	125	°C
T _J	结温	-40	150	°C

5.4 热性能信息

热指标 ⁽¹⁾		UCC218302	单位
		DFP (TSSOP)	
		28 引脚	
$R_{\theta JA}$	结至环境热阻	77.1	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	36.1	°C/W
$R_{\theta JB}$	结至电路板热阻	43.3	°C/W
Ψ_{JT}	结至顶部特征参数	20.6	°C/W
Ψ_{JB}	结至电路板特征参数	42.3	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标应用手册](#)。

5.5 功率等级

参数		测试条件	最小值	典型值	最大值	单位
P_D	最大功耗 (两侧)	$T_a = 77^{\circ}\text{C}$		996		mW
P_{D1}	最大功耗 (发送器侧)			45		mW
P_{D2}	接收器侧的最大功耗			951		mW

5.6 绝缘规格

参数		测试条件	规格	单位
通用				
CLR	外部间隙 ⁽¹⁾	端子间的最短空间距离	> 8	mm
CPG	外部爬电距离 ⁽¹⁾	端子间的最短封装表面距离	> 8	mm
DTI	绝缘穿透距离	最小内部间隙	> 17	μm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11) ; IEC 60112	> 600	V
	材料组	符合 IEC 60664-1	I	
	过压类别符合 IEC 60664-1	额定市电电压 ≤ 300V _{RMS}	I-IV	
		额定市电电压 ≤ 600V _{RMS}	I-III	
		额定市电电压 ≤ 1000V _{RMS}	I-II	
DIN EN IEC 60747-17 (VDE 0884-17) ⁽²⁾				
V _{IORM}	交流电压 (双极)	交流电压 (双极)	1500	V _{PK}
V _{IOWM}	最大隔离工作电压	交流电压 (正弦波) ; 时间依赖型电介质击穿 (TDDb) 测试; 请参阅图 1	1061	V _{RMS}
		直流电压	1500	V _{DC}
V _{IOTM}	最大瞬态隔离电压	V _{TEST} = V _{IOTM} , t = 60s (鉴定测试) V _{TEST} = 1.2 × V _{IOTM} , t = 1s (100% 生产测试)	7071	V _{PK}
V _{IOSM}	最大浪涌隔离电压 ⁽³⁾	采用符合 IEC 60065 的测试方法, 1.2/50μs 波形, V _{TEST} = 1.6 × V _{IOSM} = 11300 V _{PK} (鉴定测试)	10000	V _{PK}

5.6 绝缘规格 (续)

参数		测试条件	规格	单位
q _{pd}	视在电荷 ⁽⁴⁾	方法 a：在 I/O 安全测试子组 2/3 后，V _{ini} = V _{IOTM} ，t _{ini} = 60s；V _{pd(m)} = 1.2 × V _{IORM} ，t _m = 10s	≤ 5	pC
		方法 a：环境测试子组 1 后，V _{ini} = V _{IOTM} ，t _{ini} = 60s；V _{pd(m)} = 1.6 × V _{IORM} ，t _m = 10s	≤ 5	
		方法 b1：常规测试 (100% 生产测试) 和预处理 (类型测试)，V _{ini} = V _{IOTM} ，t _{ini} = 1s；V _{pd(m)} = 1.875 × V _{IORM} ，t _m = 1s	≤ 5	
C _{IO}	势垒电容，输入至输出 ⁽⁵⁾	V _{IO} = 0.5 × sin (2 π ft)，f = 1MHz	≅ 1.2	pF
R _{IO}	隔离电阻，输入至输出 ⁽⁵⁾	V _{IO} = 500V，T _A = 25°C	≥ 10 ¹²	Ω
		V _{IO} = 500V，100°C ≤ T _A ≤ 125°C	≥ 10 ¹¹	
		V _{IO} = 500V，T _S = 150°C	≥ 10 ⁹	
	污染等级		2	
	气候类别		40/125/21	
UL 1577				
V _{ISO}	可承受的隔离电压	V _{TEST} = V _{ISO} = 5000V _{RMS} ，t = 60s (鉴定测试)，V _{TEST} = 1.2 × V _{ISO} = 6000V _{RMS} ，t = 1s (100% 生产测试)	5000	V _{RMS}

- 根据应用特定的设备隔离标准应用爬电距离和电气间隙要求。务必使爬电距离和电气间隙一直符合电路板设计的要求，以确保在印刷电路板 (PCB) 上安装的隔离器焊盘不会缩短这一距离。在某些情况下，PCB 上的爬电距离和电气间隙相等。可以借助 PCB 插槽和填角等技术增大这些规格值。
- 此耦合器仅适用于安全额定值范围内的安全电气绝缘。应借助合适的保护电路来确保符合安全等级。
- 在空气或油中执行测试，以确定隔离栅的固有浪涌抗扰度。
- 视在电荷是局部放电 (pd) 引起的电气放电。
- 将隔离层每一侧的所有引脚都连在一起，构成一个双引脚器件。

5.7 电气特性

VCC = 3.3V 或 5.0V，VCC 至 GND 之间具有 1 μF 电容器，VDD - COM = 20V、18V 或 15V，COM - VEE = 5V、8V 或 15V，C_L = 100pF，-40°C < T_J < 150°C (除非另有说明) ⁽¹⁾⁽²⁾。

参数		测试条件	最小值	典型值	最大值	单位
电源静态电流						
I _{VCCQ}	VCC 静态电流	OUT = 低电平，f _s = 0Hz	3.5	5.6		mA
		OUT = 高电平，f _s = 0Hz	6	8.4		mA
I _{VDDQ}	VDD 静态电流	OUT = 高电平，f _s = 0Hz	7	8.1		mA
		OUT = 低电平，f _s = 0Hz	4	4.8		mA
I _{VEEQ}	VEE 静态电流	OUT = 高电平，f _s = 0Hz，VEE = -5V	-7.5	-6.4		mA
		OUT = 低电平，f _s = 0Hz，VEE = -5V	-4.25	-3.7		mA
电源保护						
V _{VCC_ON}	VCC UVLO 上升阈值	以 GND 为基准	2.55	2.68	2.85	V
V _{VCC_OFF}	VCC UVLO 下降阈值	以 GND 为基准	2.35	2.51	2.65	V
V _{VCC_HYST}	VCC UVLO 迟滞			170		mV
t _{VCCFIL}	VCC UVLO 抗尖峰脉冲时间			3		μs
t _{VCC+ to OUT}	VCC UVLO 导通延迟至输出高电平	IN+ = VCC，IN- = GND		7	16	μs
t _{VCC- to OUT}	VCC UVLO 关断延迟至输出低电平			6	9	μs
t _{VCC+ to RDY}	VCC UVLO 导通延迟至 RDY 高电平	RST/EN = VCC		8	16	μs
t _{VCC- to RDY}	VCC UVLO 关断延迟至 RDY 低电平			7	10	μs

5.7 电气特性 (续)

VCC = 3.3V 或 5.0V, VCC 至 GND 之间具有 1 μ F 电容器, VDD - COM = 20V、18V 或 15V, COM - VEE = 5V、8V 或 15V, C_L = 100pF, -40°C < T_J < 150°C (除非另有说明) (1)(2)。

参数		测试条件	最小值	典型值	最大值	单位
V _{VDD_UVLO_ON}	VDD UVLO 上升阈值		11.4	12	12.6	V
V _{VDD_UVLO_OFF}	VDD UVLO 下降阈值		10.45	11	11.55	V
V _{VDD_HYST}	VDD UVLO 磁滞		1			V
t _{VDDFIL}	VDD UVLO 抗尖峰脉冲时间		5			μs
t _{VDD+ to OUT}	VDD UVLO 导通延迟至输出高电平	IN+ = VCC , IN- = GND	5		8	μs
t _{VDD- to OUT}	VDD UVLO 关断延迟至输出低电平		5		10	μs
t _{VDD+ to RDY}	VDD UVLO 导通延迟至 RDY 高电平	RST/EN = FLT = VCC	5		8	μs
t _{VDD- to RDY}	VDD UVLO 关断延迟至 RDY 低电平		10		17	μs
初级侧逻辑输入 (INx、 $\overline{\text{RST/EN}}$ 、GD_SEL)						
V _{INH}	逻辑高电平输入阈值电压 (VCC 的百分比)			57	70	%
V _{INL}	逻辑低电平输入阈值电压 (VCC 的百分比)		30	42		%
V _{INHYS}	输入阈值磁滞 (V _{CC} 的百分比)			15		%
I _{IH}	输入高电平输入泄漏电流	V _{IN} = VCC		50		uA
I _{IL}	输入低电平输入泄漏电流	V _{IN} = GND		-50		uA
R _{IND}	输入引脚下拉电阻	IN+、 $\overline{\text{RST/EN}}$ 、GD_SEL		100		k Ω
R _{INU}	输入引脚上拉电阻	IN-、RDY、FLT		100		k Ω
t _{INFIL}	INx 和 $\overline{\text{RST/EN}}$ 抗尖峰脉冲 (导通和关断) 滤波时间	f _S = 50kHz	16	25	50	ns
t _{RSTFIL}	复位 $\overline{\text{FLT}}$ 的抗尖峰脉冲滤波时间			500	800	ns
t _{GDSU}	GD_SEL 引脚的建立时间				50	ns
栅极驱动器级						
I _{OUTH1}	峰值拉电流	C _L = 0.22μF		5		A
I _{OUTH2}	峰值拉电流	C _L = 0.22μF		10		A
I _{OUTL1}	峰值灌电流	C _L = 0.22μF		5		A
I _{OUTL2}	峰值灌电流	C _L = 0.22μF		10		A
R _{OUTH1}	输出上拉电阻	I _{OUTH1} = -100mA		0.725	1.35	Ω
R _{OUTH2}	输出上拉电阻	I _{OUTH2} = -100mA		0.445	0.775	Ω
R _{OUTL1}	输出下拉电阻	I _{OUTL1} = 100mA		0.725	1.35	Ω
R _{OUTL2}	输出下拉电阻	I _{OUTL2} = 100mA		0.445	0.775	Ω
有源下拉						
V _{OUTPD}	OUTLx 上的输出有源下拉	I _{OUTLx} = 100mA , VDD = 开路, VEE = COM	1.0	1.4	1.85	V
内部米勒钳位						
V _{CLMPH}	米勒钳位阈值电压	以 VEE 为基准	1.5	2.1	2.5	V
I _{CLMPI}	输出低钳位电流	V _{CLMPI} = 0V , VEE = - 4V		4		A
R _{CLMPI}	米勒钳位下拉电阻	I _{CLMPI} = 0.1A		0.6	1.2	Ω
t _{DCLMPI}	米勒钳位导通延迟时间	C _L = 1.0nF		33	50	ns
短路钳位						
V _{CLP-OUTH1}	V _{OUTH1} - VDD	OUT = 低电平 , I _{OUTH} = 100mA , t _{CLP} = 10 μ s		0.8	1.0	V

5.7 电气特性 (续)

VCC = 3.3V 或 5.0V, VCC 至 GND 之间具有 1 μ F 电容器, VDD - COM = 20V、18V 或 15V, COM - VEE = 5V、8V 或 15V, C_L = 100pF, -40°C < T_J < 150°C (除非另有说明) (1)(2)。

参数	测试条件	最小值	典型值	最大值	单位
V _{CLP-OUTH2}	V _{OUTH2} - VDD OUT = 低电平, I _{OUTH} = 100mA, t _{CLP} = 10 μ s		0.75	1.0	V
V _{CLP-OUTL1}	V _{OUTL1} - VDD OUT = 高电平, I _{OUTL} = 100mA, t _{CLP} = 10 μ s		1.0	1.5	V
V _{CLP-OUTL2}	V _{OUTL2} - VDD OUT = 高电平, I _{OUTL} = 100mA, t _{CLP} = 10 μ s		0.95	1.25	V
DESAT 保护					
I _{CHG}	消隐电容器充电电流 V _{DESAT} = 2.0V	420	540	580	μ A
I _{DCHG}	消隐电容器放电电流 V _{DESAT} = 6.0V	18	20		mA
V _{DESATTH}	检测阈值	8.5	9	9.5	V
t _{DESATLEB}	前沿消隐时间	160	200	280	ns
t _{DESATFIL}	DESAT 抗尖峰脉冲滤波器	60	125	150	ns
t _{DESATOFF}	DESAT 到 OUT 90% 的传播延迟 V _{DESAT} > V _{DESATTH}		200	300	ns
t _{DESATFLT}	DESAT 至 FLT 低电平延迟			1	μ s
软关断 (SSD)					
I _{SSD}	峰值灌电流软关断峰值电流 C _L = 0.22 μ F, f _s = 1kHz		2.5		A
R _{SSD}	软关断下拉电阻 I _{SSD} = 0.1A		1		Ω
t _{SSD}	软关断导通时间		25		μ s
输出栅极电压监测器					
V _{GMHI}	以 VDD 为基准的栅极监测阈值 IN+ = 高电平, IN- = 低电平。		-3		V
V _{GMLO}	以 VEE 为基准的栅极监测阈值 IN+ = 低电平, IN- = X。		3		V
t _{GMFIL}	栅极监测器上的抗尖峰脉冲滤波器	0.9	1.2	1.6	μ s
t _{GMFB}	OUT 到 OUT_FB 延迟		1.7	2.4	μ s
V _{GMFBOL}	GM_FB 输出低电压电平 I _{GMFB} = 10mA。以 GND 为基准			245	mV
V _{GMFBOH}	GM_FB 输出高电压电平 (偏移电压低于 V _{CC}) I _{GMFB} = 10mA			0.78	V
主动短路 (ASC)					
V _{ASC2L}	ASC2 输入低电平阈值 (以 COM 为基准)	1.2	1.45	1.7	V
V _{ASC2H}	ASC2 输入高电平阈值 (以 COM 为基准)	2.3	2.7	3.1	V
R _{ASC2D}	ASC2 输入下拉电阻		100		k Ω
t _{ASC2FIL}	ASC2 抗尖峰脉冲滤波时间	400		700	ns
t _{ASC2_r}	ASC2 导通延迟至输出高电平			1	μ s
t _{ASC2_f}	ASC2 关断延迟至输出低电平			1	μ s
过热保护					
T _{TS DTH}	热关断上升阈值	155		185	°C
T _{TS DHYST}	热关断迟滞		20		°C
故障报告 (FLT、RDY)					
t _{RDYHLD}	UVLO RDY 低电平最小保持时间	0.55		1	ms
t _{FLTMUTE}	过流故障时的输出静音时间 通过 RST/EN 重置故障	0.55		1	ms
R _{ODON}	开漏输出导通电阻		25		Ω
V _{ODL}	开漏低输出电压			0.4	V

5.7 电气特性 (续)

$V_{CC} = 3.3V$ 或 $5.0V$ ， V_{CC} 至 GND 之间具有 $1\mu F$ 电容器， $V_{DD} - COM = 20V$ 、 $18V$ 或 $15V$ ， $COM - V_{EE} = 5V$ 、 $8V$ 或 $15V$ ， $C_L = 100pF$ ， $-40^\circ C < T_J < 150^\circ C$ (除非另有说明) ⁽¹⁾⁽²⁾。

参数		测试条件	最小值	典型值	最大值	单位
共模瞬态抗扰度						
CMTI	CMTI 防噪性能	$V_{CM} = 1200V$	500			V/ns

(1) 电流是指定端子的正输入、负输出。

(2) 所有电压均以 COM 为基准 (除非另有说明)

5.8 开关特性

$V_{CC} = 5.0V$ ， V_{CC} 至 GND 之间具有 $1\mu F$ 电容器， $V_{DD} - COM = 20V$ 、 $18V$ 或 $15V$ ， $COM - V_{EE} = 3V$ 、 $5V$ 或 $8V$ ， $C_L = 100pF$ ， $-40^\circ C < T_J < 150^\circ C$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
t_{PDLH}	传播延迟时间, 从低电平到高电平	$C_L = 1.0nF$, $R_G = 0\Omega$		90	130	ns
t_{PDHL}	从高电平到低电平的传播延迟时间	$C_L = 1.0nF$, $R_G = 0\Omega$		90	130	ns
PWD	脉宽失真 $ t_{PDHL} - t_{PDLH} $				30	ns
t_{sk-pp}	器件间延迟	上升或下降传播延迟			30	ns
t_r	驱动器输出上升时间	$C_L = 1.0nF$, $R_G = 0\Omega$, $V_{DD} = 20V$, $V_{EE} = 0V$		13		ns
t_f	驱动器输出下降时间	$C_L = 1.0nF$, $R_G = 0\Omega$, $V_{DD} = 20V$, $V_{EE} = 0V$		12		ns

6 详细说明

6.1 概述

UCC218302-Q1 是一款先进的隔离式栅极驱动器，具备可调节的驱动强度和尖端的保护功能，适用于 SiC MOSFET 和 IGBT。该器件的 $\pm 10\text{A}$ 和 $\pm 5\text{A}$ 双峰值拉/灌电流可以直接驱动 SiC MOSFET 模块和 IGBT 模块，而无需额外的缓冲器。该驱动器亦可配合外部缓冲级驱动更高功率模块或并联模块。

输入侧通过基于 SiO_2 隔离技术的增强型隔离栅与输出侧隔离，支持高达 $1.06\text{kV}_{\text{RMS}}$ 的工作电压和 10kV_{PK} 的浪涌抗扰度。该隔离技术支持 500V/ns 的最小 CMTI，以在系统高速切换时维持可靠性。较短的传播延迟和较小的器件间偏移可以尽可能缩短死区时间设置，有助于降低导通损耗。

该器件包含全面的保护和监测功能，可提升基于 SiC MOSFET 和 IGBT 的系统的可靠性与稳健性。初级侧和次级侧电源 UVLO 可防止系统在电源电压过低时工作。有源米勒钳位功能可防止在快速开关期间由米勒电流引起的误导通。该器件具有先进的 DESAT 检测功能，以及向低压侧 DSP/MCU 报告故障的功能。当检测到 DESAT 故障时触发软关断，从而更大限度地减少短路能量，同时降低开关上的过冲电压。该器件还在高压侧具有主动短路输入，用于在某些系统故障条件下强制电源开关导通。此外，该器件还具有输出电压栅极监测器，可以验证输出是否跟随输入变化。

6.2 功能方框图

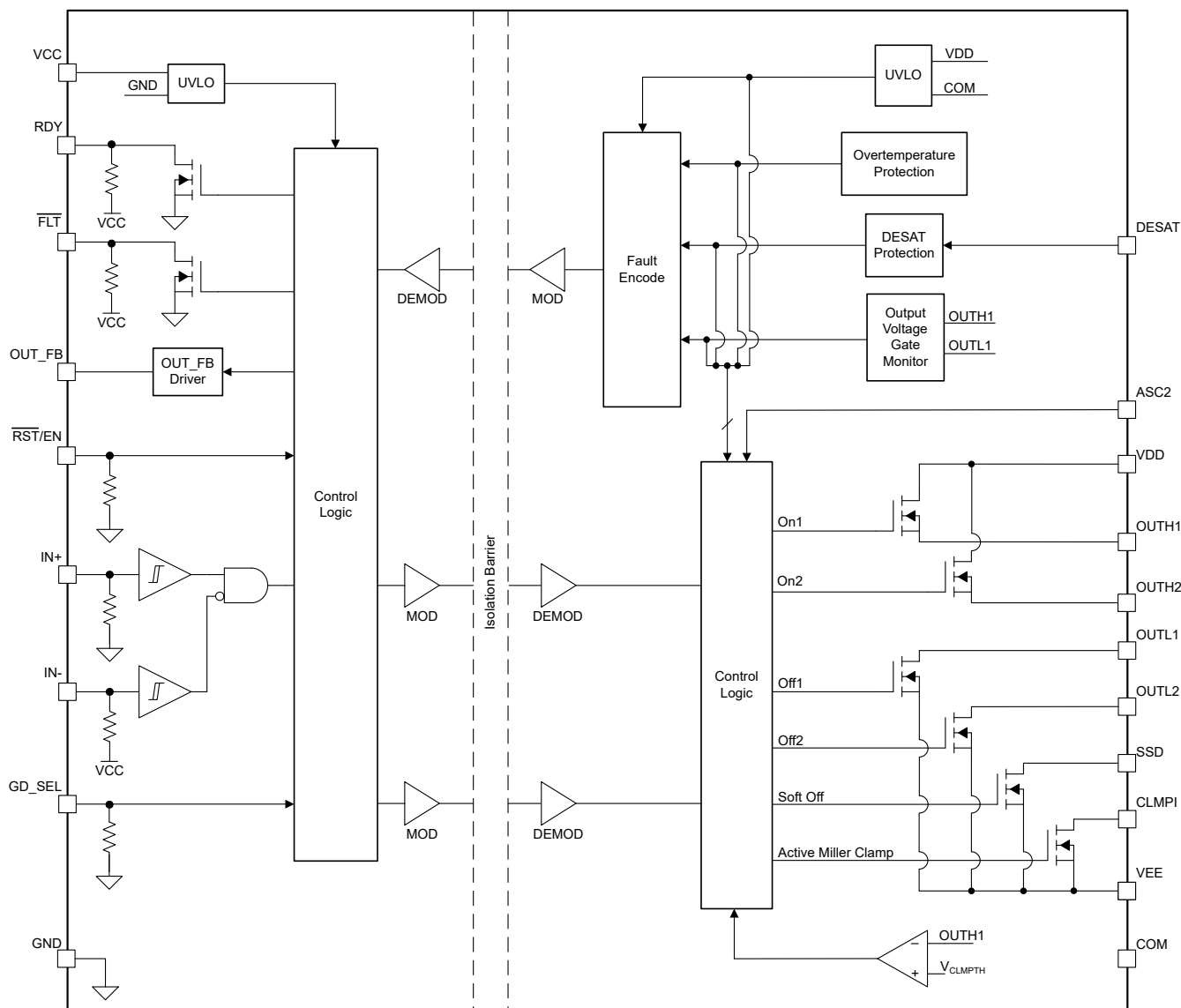


图 6-1. UCC218302-Q1 的功能方框图

6.3 特性说明

6.3.1 电源

输入侧电源 V_{CC} 可支持 3V 至 5.5V 的宽电压范围，以支持 3.3V 和 5V 控制器信令。欠压比较器监测 V_{CC} 以验证其是否处于有效运行状态。有关 V_{CC} 欠压锁定保护的更多信息，请参阅节 6.3.2。

输出侧电源 (V_{DD} 至 V_{EE}) 可支持高达 30V 的宽电压范围。相对于源极或发射极 COM 的负电源 V_{EE} 通常用于避免同一相脚中的另一个开关导通时发生误导通。负电压对 SiC MOSFET 很重要，因为其开关速度快；在不使用有源米勒钳位时，负电压对 IGBT 也很重要。 V_{DD} 由欠压比较器监测以确保其有效运行。有关 V_{DD} 欠压锁定保护的更多信息，请参阅节 6.3.2。

6.3.2 VCC 欠压锁定 (UVLO)

UCC218302-Q1 为 VCC 实现了 UVLO 保护功能。当电源电压低于阈值电压时，驱动器输出被保持为低电平。驱动器输出不会导通，并且 RDY 引脚保持为低电平，直到所有电源都高于 UVLO 阈值。UVLO 保护功能可在低压电源条件下降低驱动器本身的功耗，还可提高功率级的效率。对于 SiC MOSFET 和 IGBT，导通电阻降低，而栅源电压或栅极-发射极电压升高。如果功率半导体以低 VDD 值导通，则导通损耗会显著增加，并可能导致热问题和功率级效率降低。

UVLO 保护块在输入端具有比较器阈值，并具有迟滞和抗尖峰脉冲滤波器，有助于提高电源的抗噪性能。在接通和关断开关瞬态期间，驱动器从电源中产生和吸收峰值瞬态电流，这可能会导致电源的突然降压。借助磁滞功能和 UVLO 抗尖峰脉冲滤波器，内部 UVLO 保护电路会忽略正常开关瞬态期间的小扰动。

输入侧的 RDY 引脚用于指示电源是否处于正常状态。RDY 引脚为开漏。在 UVLO 条件下，RDY 引脚保持低电平并与 GND 相连。通常，该引脚电压从外部上拉至 VCC，以指示电源处于正常状态。

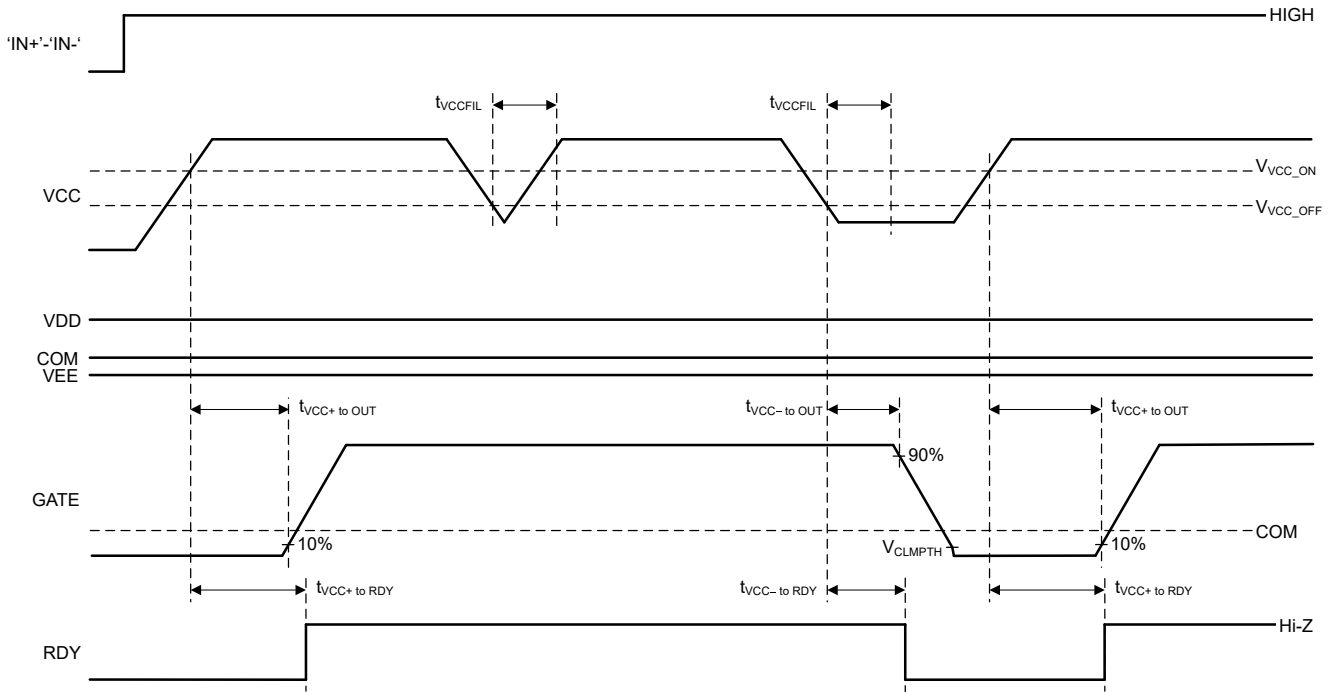


图 6-2. VCC 保护时序图

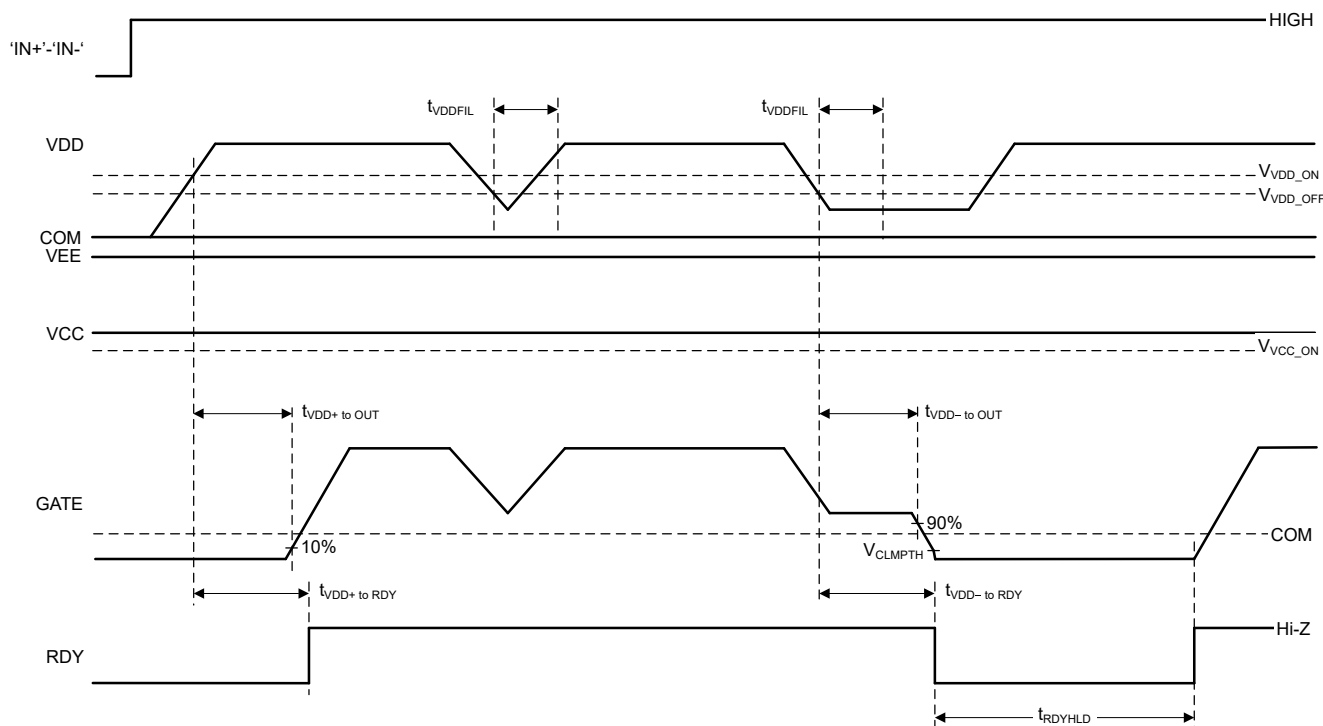


图 6-3. VDD 保护时序图

6.3.3 IN+、IN- 和 $\overline{\text{RST/EN}}$ 的输入滤波器

UCC218302-Q1 的输入引脚兼容 3.3V 和 5V 两种逻辑电平。IN+ 和 $\overline{\text{RST/EN}}$ 引脚具有内部下拉电阻器，IN- 引脚具有内部上拉电阻器。如果这些引脚中的任何一个保持悬空，驱动器将被禁用，除非激活了主动短路。该驱动器具有反相和非反相 PWM 输入引脚。如果仅使用非反相 IN+ 输入，则将 IN- 连接到 GND。如果仅使用反相 IN- 输入，则将 IN+ 连接到 VCC。IN+ 和 IN- 均可在半桥配置中用于与另一个驱动器的 PWM 互锁，以防止相脚直通。

该器件在 IN+、IN- 和 $\overline{\text{RST/EN}}$ 引脚上具有内部抗尖峰脉冲滤波器，可防止由于噪声瞬变或窄 PWM 脉冲引起的意外开关。任何小于 t_{INFIL} 的信号都会被滤除，不会传递到后级。对于噪声较大的系统，可在输入引脚外部添加低通滤波器，以进一步增强防噪性能。在选择低通滤波器元件时，应根据系统要求同时考虑防噪性能和延迟时间。图 6-4 展示了窄脉冲抗尖峰脉冲滤波器对 IN+、IN- 和 $\overline{\text{RST/EN}}$ 的影响。

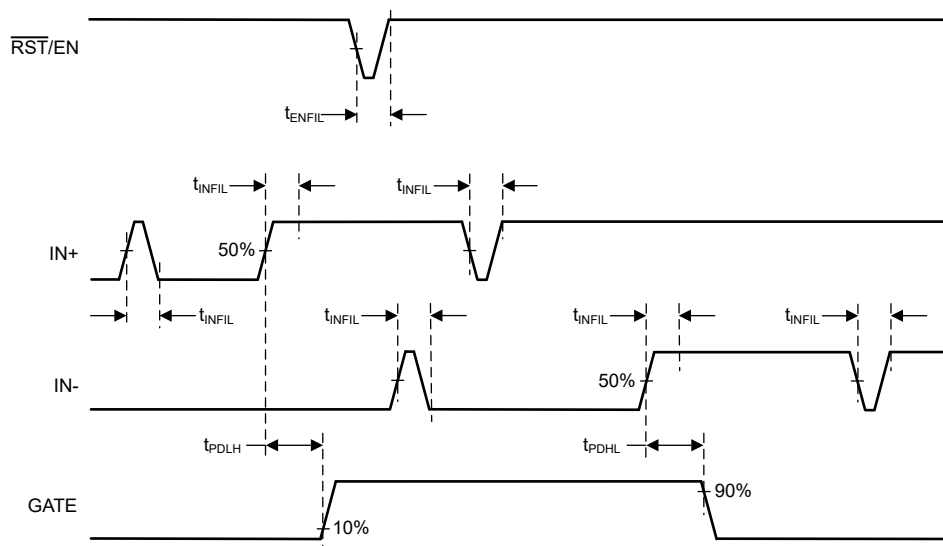


图 6-4. 抗尖峰脉冲滤波器的影响

6.3.4 有源下拉

UCC218302-Q1 具有有源下拉特性，可在 VDD 开路时将 OUTLx 引脚钳制到 VEE。当 VDD 为开路时，OUTLx 引脚处于高阻抗状态。但是，如果栅极驱动器外部的 OUTLx 引脚上存在电压，该电压通过 R_a 驱动下拉 FET，并下拉输出以防止器件导通，如图 6-5 所示。

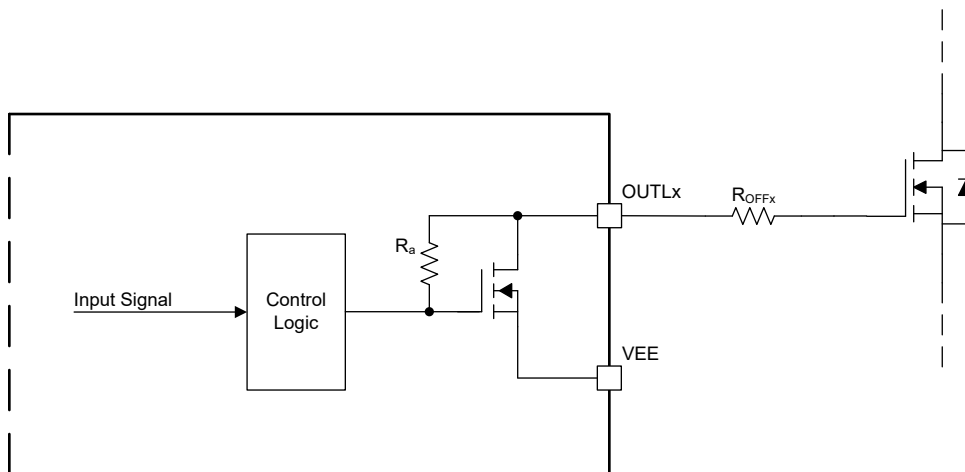


图 6-5. 有源下拉

6.3.5 短路钳位

UCC218302-Q1 具有集成二极管，可防止 OUTHx 和 OUTLx 引脚电压超过 VDD。短路钳位功能在电源开关短路条件下将驱动器输出端的电压钳位为略高于 VDD。

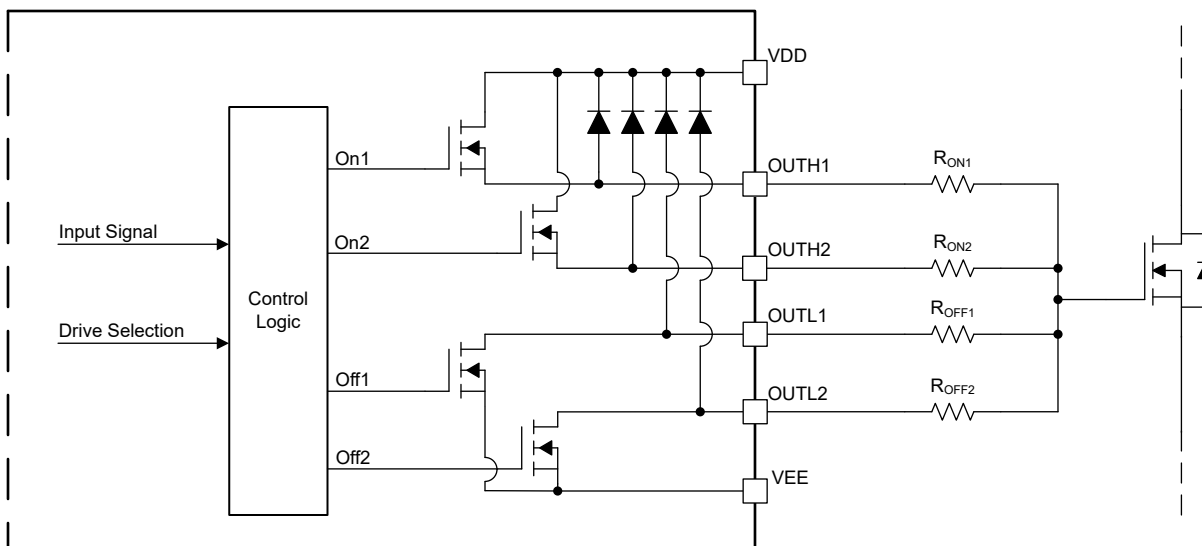


图 6-6. 短路钳位

6.3.6 内部有源米勒钳位

UCC218302-Q1 具有有源米勒钳位功能，可添加额外的低阻抗路径，以防止驱动器处于关断状态时意外导通。在半桥应用中，驱动器在死区时间内处于关断状态的同时，功率半导体器件的体二极管可以导通。当发生这种情况，并且相桥臂中的其他功率半导体器件导通时，漏极到源极或集电极到发射极电压会迅速增加，导致米勒电容上的 dV/dt 较高。如果由于外部关断电阻器和/或 PCB 布线较长而导致主关断路径不够强，这种高 dV/dt 会产生电流尖峰，从而为栅极电容充电并导致击穿。

内部有源米勒钳位功能提供内部强下拉 FET。当功率半导体器件的栅极电压降低至米勒钳位阈值 V_{CLMPH} 时，FET 导通。栅极电压通过 OUTH1 引脚来检测。图 6-7 显示了简化方框图，图 6-8 显示了时序图。

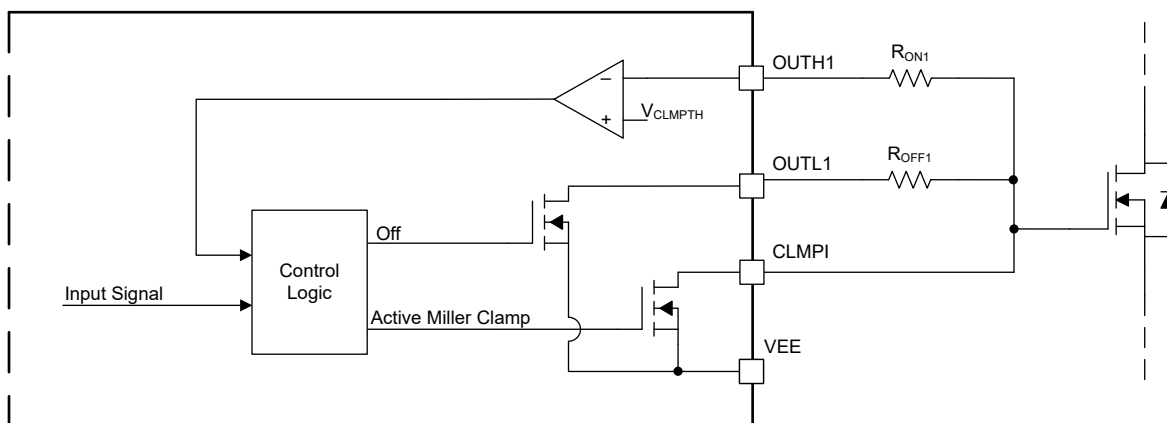


图 6-7. 内部有源米勒钳位

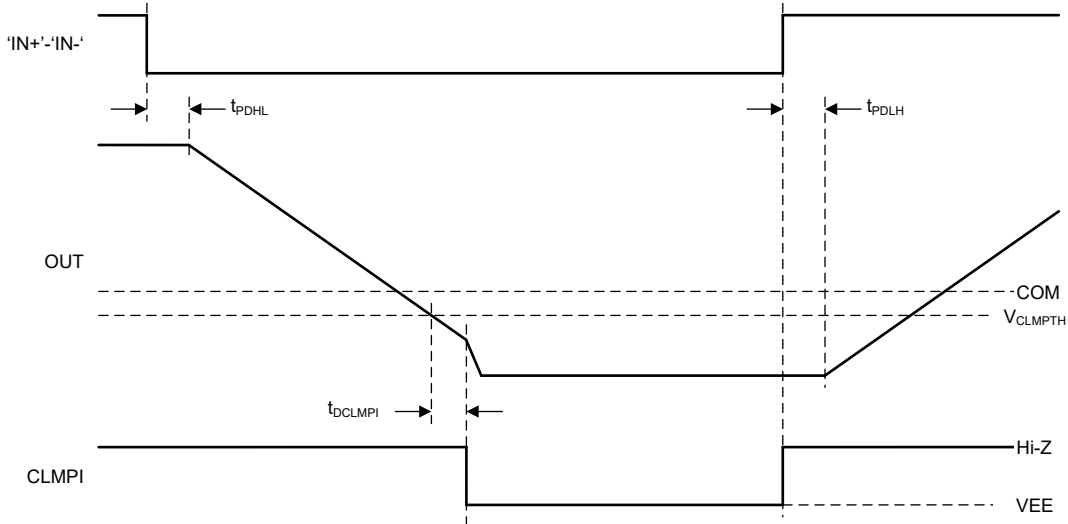


图 6-8. 内部有源米勒钳位时序图

6.3.7 去饱和 (DESAT) 保护

UCC218302-Q1 具有快速过流和短路保护功能，可保护功率半导体器件在故障期间免受灾难性损坏。DESAT 引脚阈值 $V_{DESATTH}$ 与功率半导体器件的源极或发射极 COM 有关。当驱动器处于关断状态时，内部 MOSFET 下拉 DESAT 引脚，以防止 DESAT 误触发。当驱动器处于导通状态时，内部电流源激活，为外部电容器充电。UCC218302-Q1 在 OUTHx 切换至导通状态后具有内部前沿消隐时间，以避免在开关瞬态期间因噪声而误触发。在前沿消隐时间期间，DESAT 引脚由内部下拉 MOSFET 下拉。当驱动器关断时，内部下拉 MOSFET 会使 DESAT 引脚的电压放电。图 6-9 显示了 DESAT 电路的简化方框图。图 6-10 显示了 DESAT 故障、软关断、故障报告和故障复位的时序图。

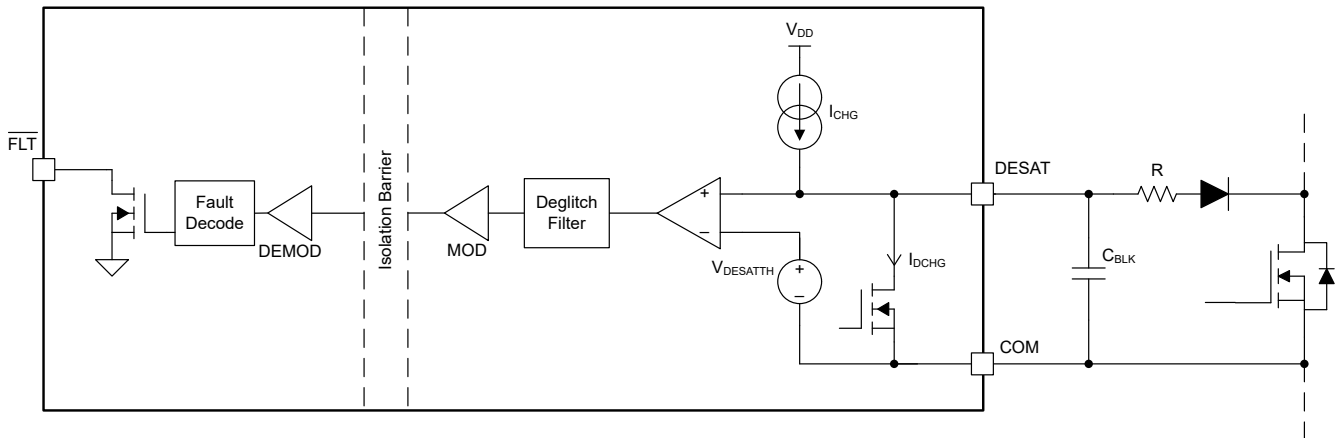


图 6-9. DESAT 保护

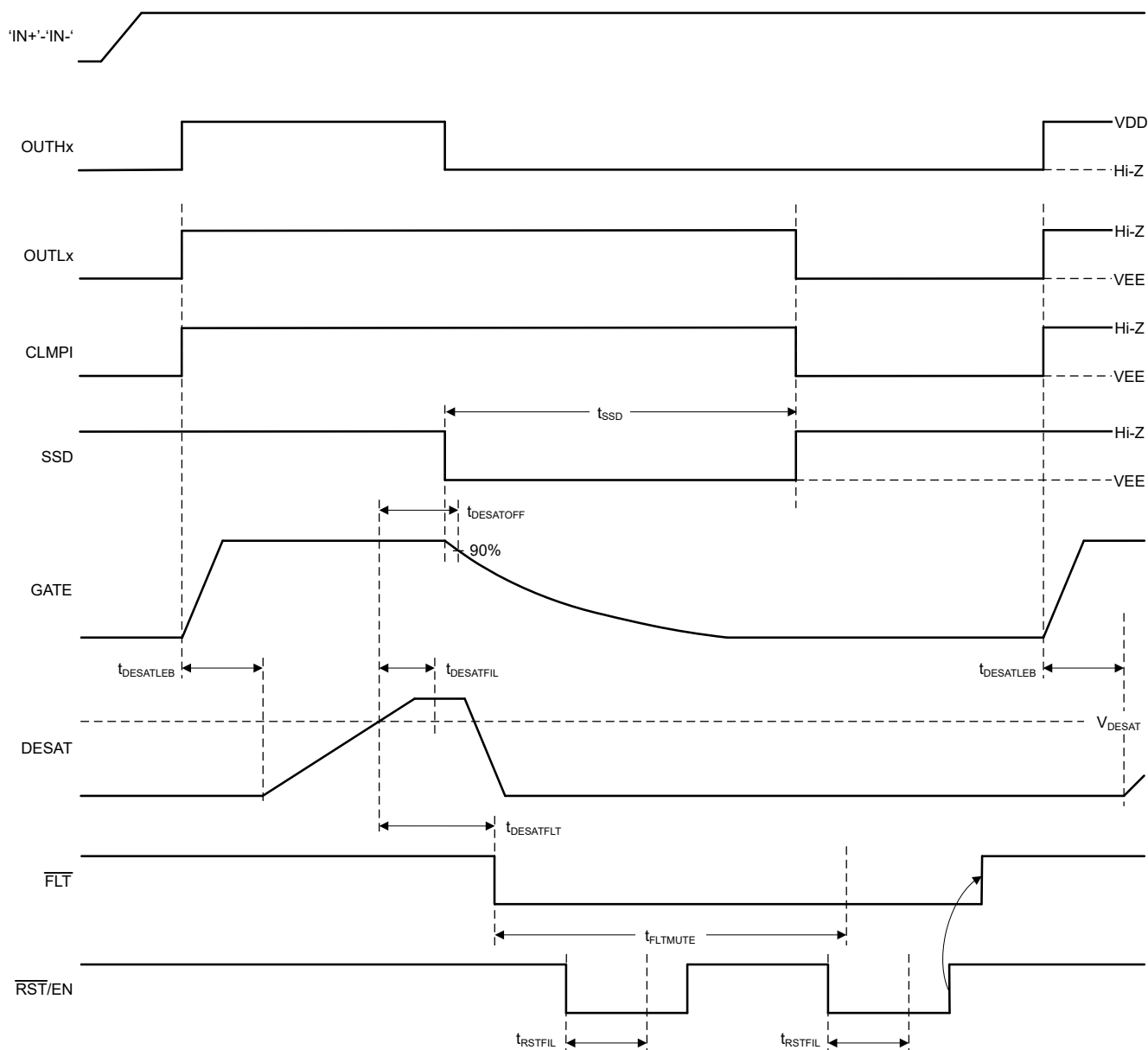


图 6-10. 具有软关断功能的 DESAT 保护时序图

6.3.8 软关断 (SSD)

检测到 DESAT 故障时，UCC218302-Q1 会启动软关断 (SSD) 以保护功率半导体器件。发生过流或短路事件时，SSD 功能会使栅极电压缓慢放电，以限制开关器件上由通道电流引起的高 di/dt 产生的过冲电压。会在过冲电压和短路能量之间进行权衡。关断速度必须足够慢，以便限制过冲电压，但关断时间不能过长，以免器件中的大能量耗散导致击穿。UCC218302-Q1 提供一个内部下拉 FET，可与外部电阻器配合使用来优化栅极放电电流。当检测到 DESAT 故障时，OUTHx 和 OUTLx 为 Hi-Z，因此栅极不由主驱动器输出驱动。SSD 引脚上的内部下拉 MOSFET 持续导通 t_{SSD} 时间，以使栅极放电。此后，CLMPI 和 OUTLx 被驱动为低电平，以使功率半导体器件保持关闭。图 6-11 显示了简化方框图，图 6-10 显示了时序图。

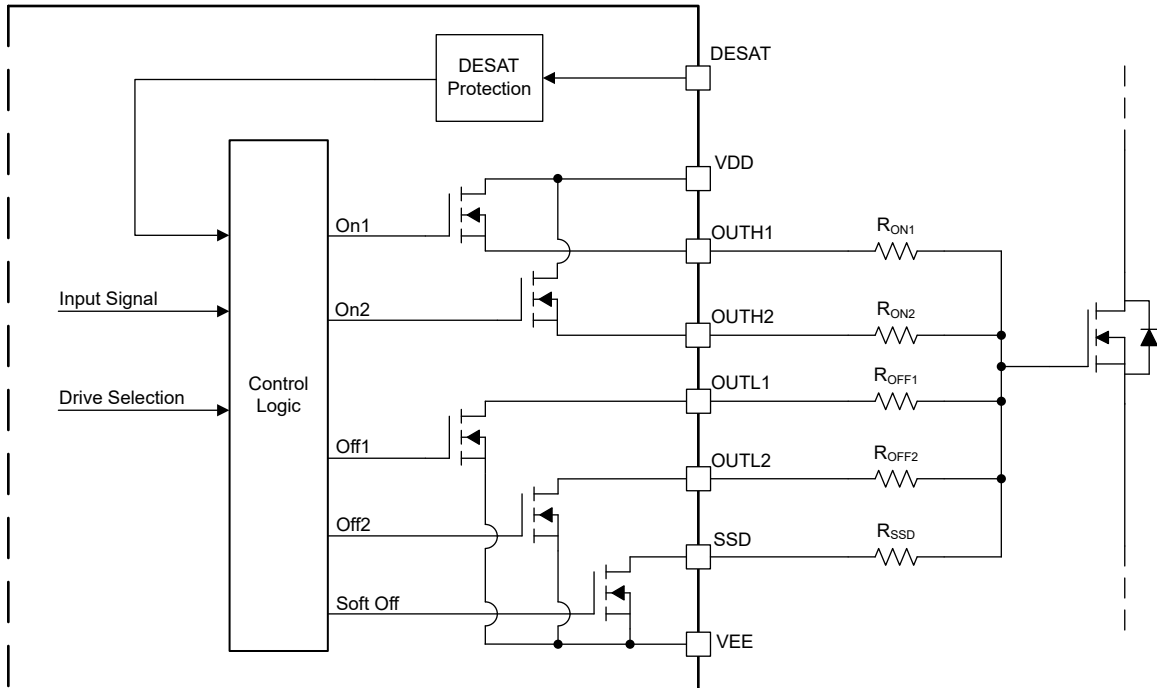


图 6-11. 软关断

6.3.9 故障 ($\overline{FLT}$)、复位和启用 ($\overline{RST/EN}$)

当通过 **DESAT** 引脚检测到故障时， $\overline{\text{FLT}}$ 引脚为漏极开路，并且可向 **DSP/MCU** 报告故障信号。在检测到故障后， $\overline{\text{FLT}}$ 引脚下拉至 **GND**，并保持低电平，直至从 **RST/EN** 接收到复位信号。器件具有故障静音时间 t_{FLTMUTE} ，在此期间将忽略任何复位信号。

RST/EN 引脚在内部下拉，因此当此引脚悬空时，默认禁用。必须从外部将该引脚上拉，才能启用驱动器。此引脚有两个用途：

- 启用和关断器件。如果 $\overline{\text{RST}}/\text{EN}$ 引脚拉低的时间超过 t_{INFL} ，驱动器将禁用并根据 GD_SEL 逻辑电平，激活 OUTLx 以关闭 IGBT 或 SiC MOSFET 的栅极。
- 复位 $\overline{\text{FLT}}$ 引脚上发出的 DESAT 故障信号。如果 $\overline{\text{RST}}/\text{EN}$ 引脚在静音时间 t_{FLTMUTE} 后拉低的时间超过 t_{RSTFIL} ，则故障信号会复位且 $\overline{\text{FLT}}$ 会在下一个施加到 $\overline{\text{RST}}/\text{EN}$ 引脚的上升沿返回到高阻抗状态。图 6-10 展示了一个时序图。

6.3.10 输出栅极电压监测器

实现了输出栅极电压监测功能，以确保栅极驱动器输出与输入 IN+ 和 IN- 相匹配。当 PWM 信号 ('IN+' - 'IN-') 为高电平时，将输出与 V_{GMHI} 基准进行比较。当 PWM 信号为低电平时，将输出与 V_{GMLO} 基准电压进行比较。在低压侧 OUT_FB 引脚上提供实时栅极监测器反馈。MCU 可将 OUT_FB 引脚上给出的输出状态与 PWM 输入进行比较，以确定系统是否正常运行或是否存在故障情况。输出栅极电压监测功能的方框图见图 6-12，时序图见图 6-13，真值表见表 6-1。

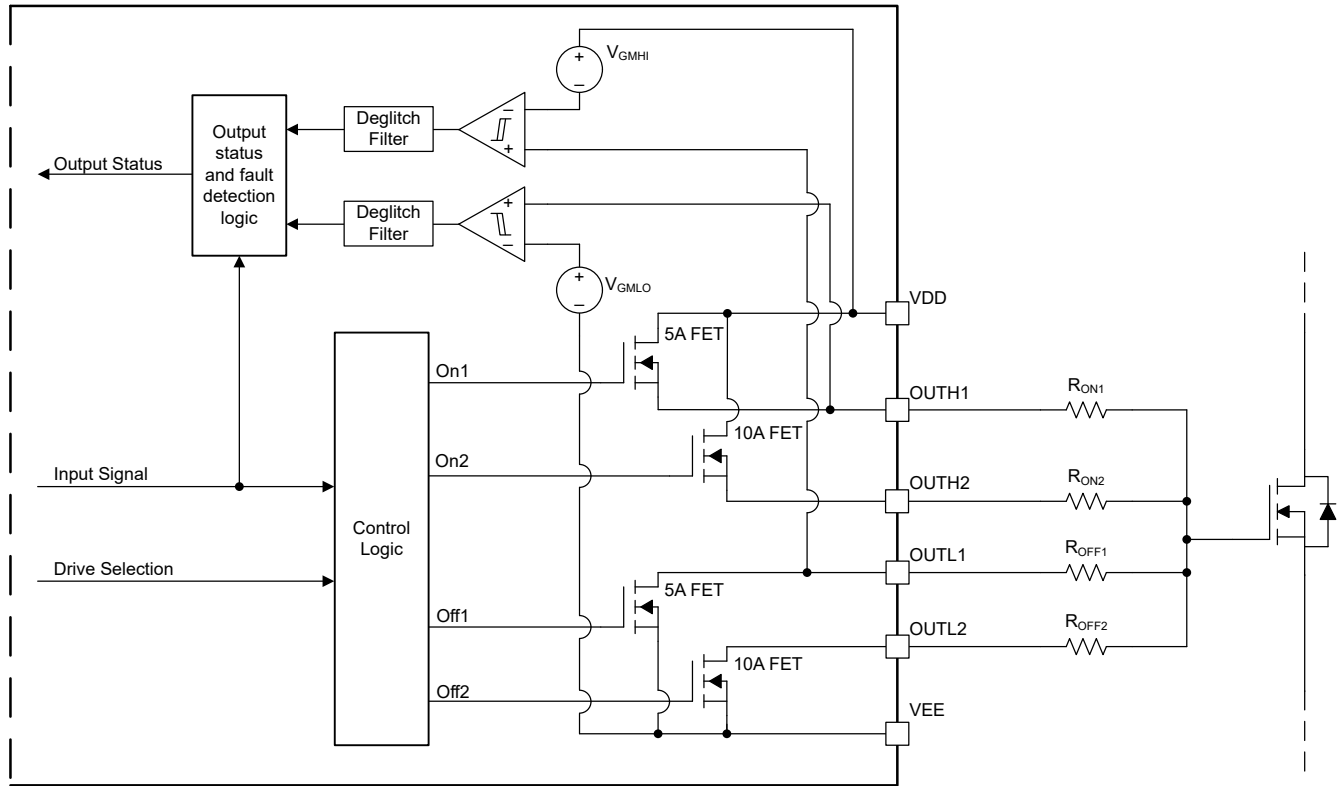


图 6-12. 输出栅极电压监测器

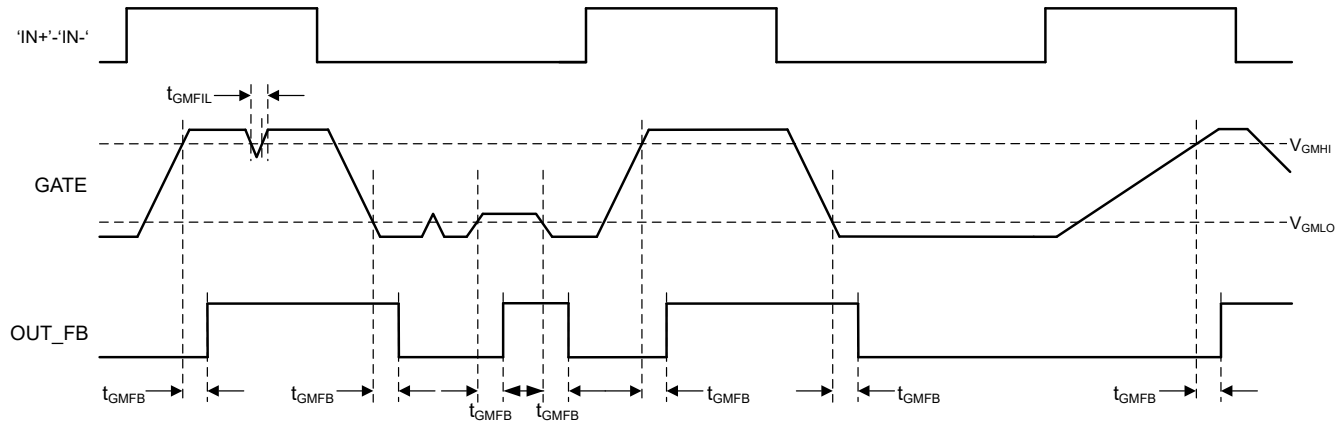


图 6-13. 输出栅极电压监测时序图

表 6-1. 输出栅极电压监测稳定状态真值表

PWM ('IN+' - 'IN-')	栅极电压	OUT_FB
L	$V_{GATE} < V_{GMLO}$	L
L	$V_{GATE} > V_{GMLO}$	H
H	$V_{GATE} < V_{GMHI}$	L
H	$V_{GATE} > V_{GMHI}$	H

6.3.11 主动短路 (ASC) 支持

无论 PWM 输入如何，主动短路 (ASC) 功能都允许系统强制设置功率晶体管的状态。这在牵引逆变器应用中非常重要，因为电机可能失控并将能量反馈回电池。电池过压可能导致电池击穿，甚至引发火灾危险。对于这种情况，可使用 ASC 功能保护系统，通过强制输出导通、开启功率开关，并在电机相间形成主动短路回路以旁路电池。UCC218302-Q1 具有以 COM 为基准的次级侧输入 (ASC2)。当 ASC2 输入引脚为高电平时，驱动器输出被强制导通。ASC2 变为高电平时的 GD_SEL 输入决定了 OUTx1/OUTx2 输出选择。ASC2 输入的优先级高于 VCC UVLO 和初级侧输入。次级侧电源 UVLO、DESAT 和输出栅极电压监测器故障的优先级高于 ASC2 输入。图 6-14、图 6-15 和图 6-16 显示了使用 VCC UVLO、VDD UVLO 和 DESAT 的 ASC2 支持时序图。

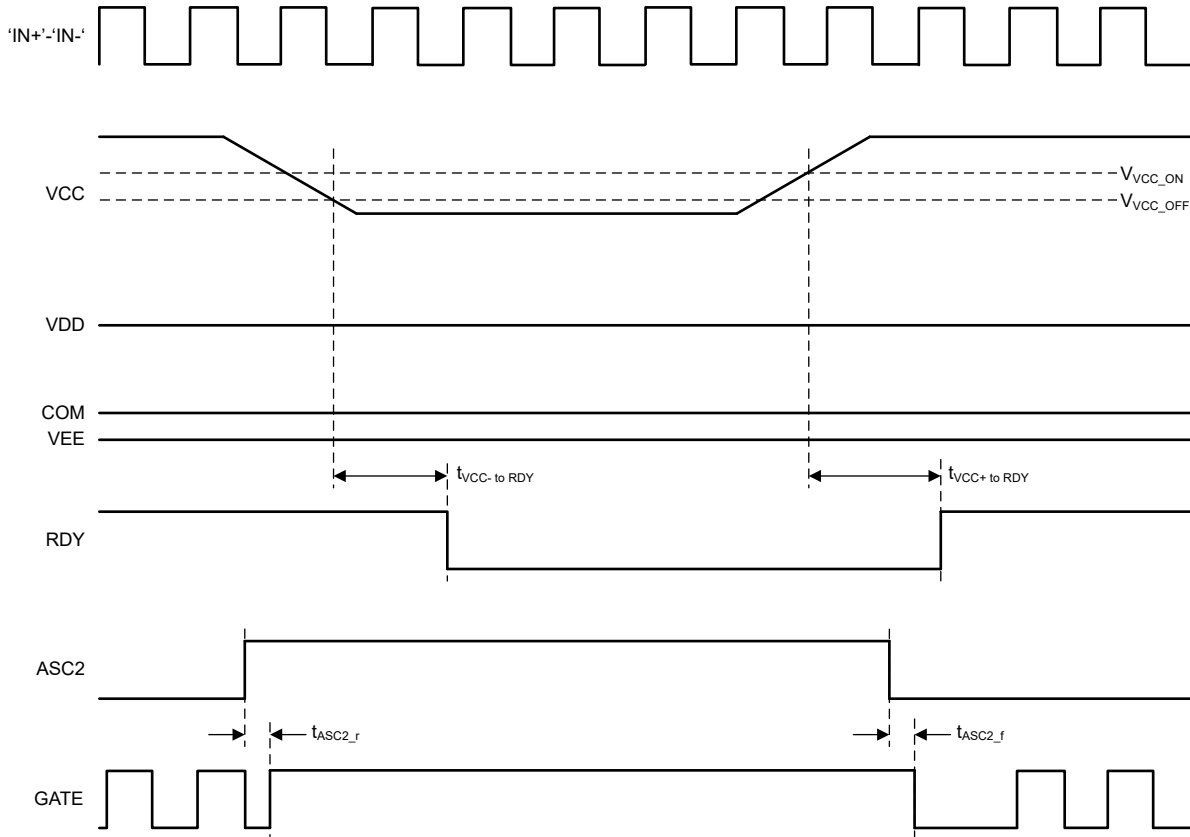


图 6-14. 使用 VCC UVLO 的 ASC2 支持功能

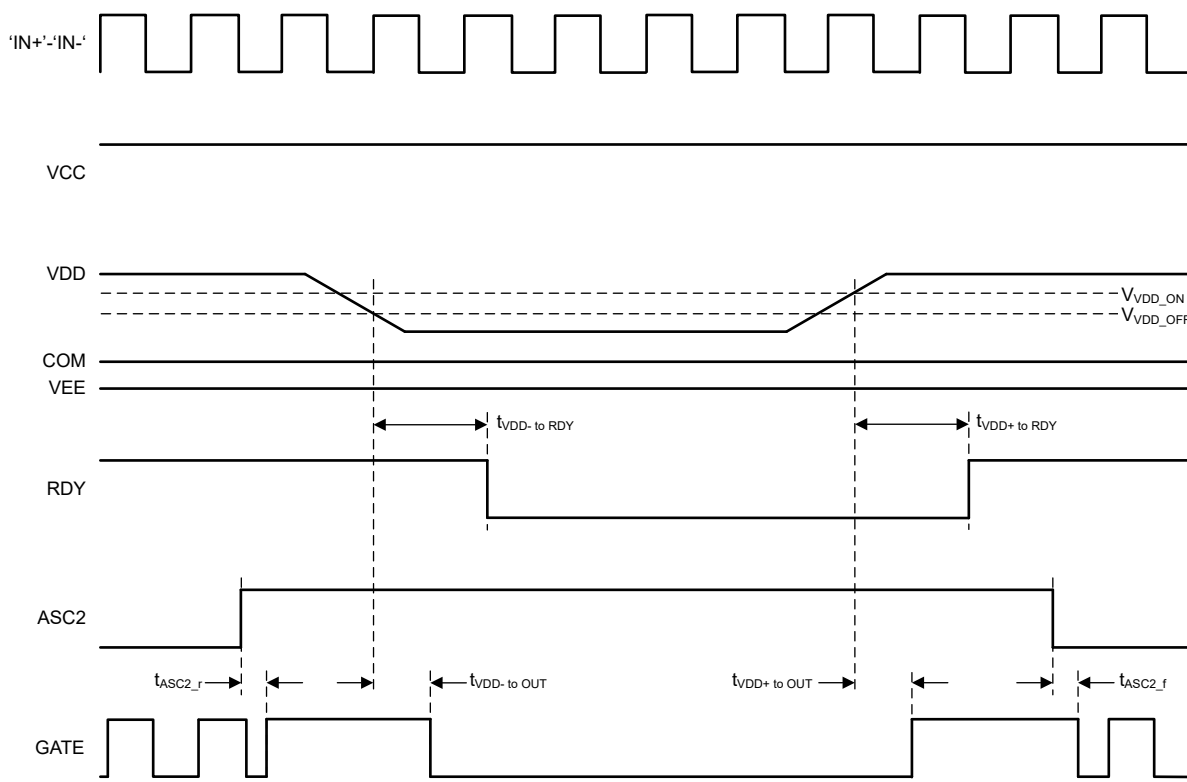


图 6-15. 使用 VDD UVLO 的 ASC2 支持功能

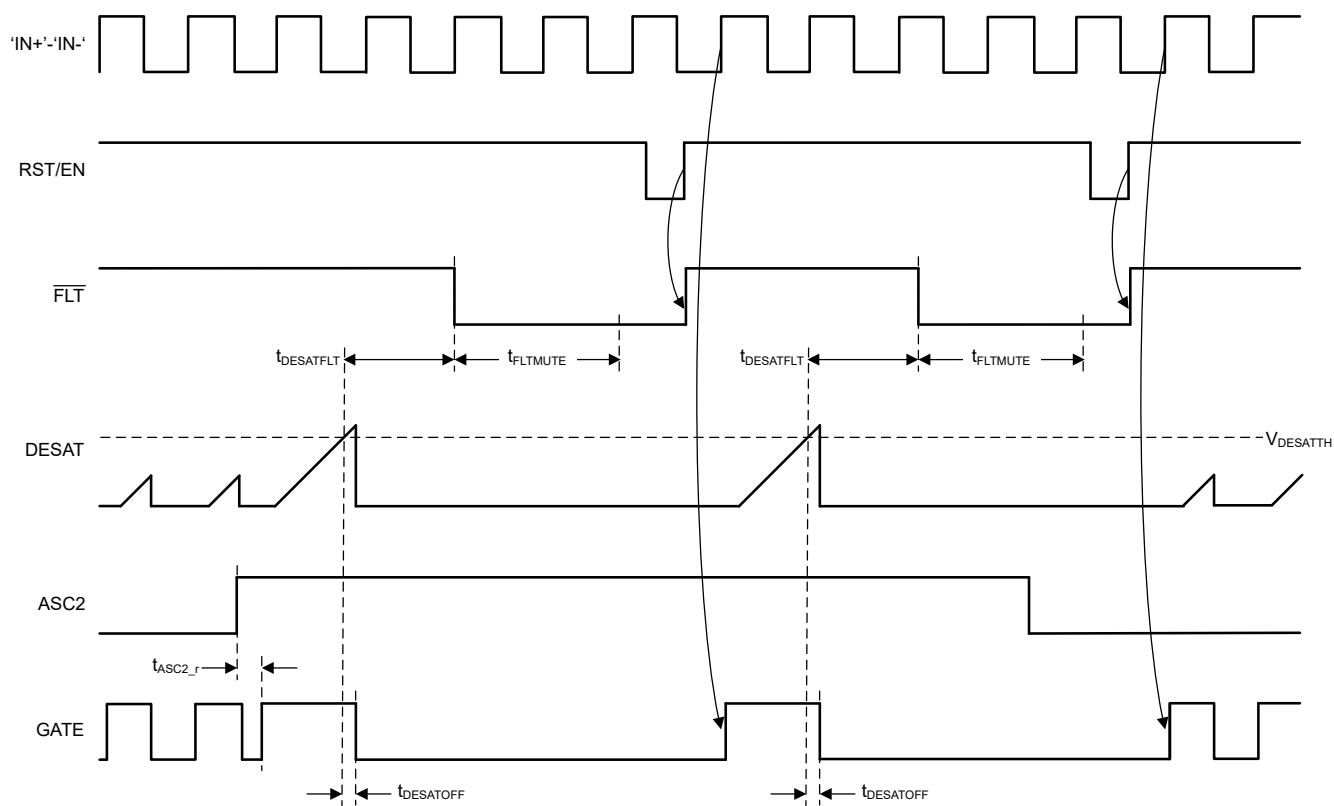


图 6-16. 使用 DESAT 故障的 ASC2 支持功能

6.3.12 过热保护

监测器件结温，以保护驱动器 IC 在过热情况下免于损坏。当器件温度超过热关断上升阈值 T_{TSDTH} 时，驱动器输出将关闭。在温度恢复至比热关断上升阈值低 $T_{TSDHYST}$ 之前，驱动器输出一直保持关断状态。当驱动器处于热关断状态时，输入侧的 RDY 引脚保持低电平并连接至 GND。

6.4 器件功能模式

表 6-2 列出了稳定状态下的器件功能模式。有关包括故障检测在内的瞬态行为，请参阅特性说明。

表 6-2. 功能表

电源 ⁽¹⁾			输入				输出				注释
VCC	VDD	VEE	IN+	IN-	RST/EN	ASC2	RDY	FLT	OUTHx/ OUTLx	CLMPI	
PD	PU	PU	X	X	X	L	L	高阻态	L	L	电源 UVLO
PU	PD	PU	X	X	X	X	L	高阻态	L	L	
PU	开路	PU	X	X	X	X	L	高阻态	L	高阻态	电源开路
PU	PU	开路	X	X	X	X	L	高阻态	L	L	
PU	PU	PU	X	X	L	L	高阻态	高阻态	L	L	禁用
PU	PU	PU	L	X	H	L	高阻态	高阻态	L	L	由输入控制
PU	PU	PU	H	H	H	L	高阻态	高阻态	L	L	
PU	PU	PU	H	L	H	L	高阻态	高阻态	H	高阻态	
PU	PU	PU	X	X	X	L	高阻态	高阻态	H	高阻态	ASC
X	PU	PU	X	X	X	H	X	X	H	高阻态	
PU	PU	PU	X	X	X	X	L	高阻态	L	L	过热故障
PU	PU	PU	X	X	X	X	高阻态	L	L	L	DESAT 故障 (在 SSD 之后和 RST 之前)

(1) PU：加电（电源电压高于 UVLO 阈值）；PD：断电（电源电压低于 UVLO 阈值）；X：不相关；H = 高电平；L = 低电平；Hi-Z：高阻态

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

该器件具有极高的多功能性，这得益于可调节的强大驱动能力、宽范围输出电源、高隔离等级、高 CMTI 以及可靠的保护和检测功能。1.061kV_{RMS} 工作电压和 10kV_{PK} 浪涌抗扰度可支持直流总线电压最高达 1,500V 的 SiC MOSFET 和 IGBT 模块。该器件可同时用于低功耗和大功率应用，例如

- HEV/EV 中的牵引逆变器
- 车载充电器和充电桩
- 电机驱动器
- 光伏逆变器
- 工业电源

该器件可以直接驱动大功率 SiC MOSFET 模块、IGBT 模块或并联分立器件。输入侧支持 3.3V 至 5V 电源及微控制器信号，该器件通过增强型隔离栅将信号电平转换至输出端。该器件具有 13V 至 30V 宽输出电源范围，并支持宽范围的负电源。因此，可以在 SiC MOSFET 应用、IGBT 应用以及许多其他应用中使用该驱动器。12V VDD UVLO 有利于降低功率半导体的导通损耗，并提升系统效率。作为增强型隔离单通道驱动器，该器件可驱动低侧或高侧开关。

该器件具备全面的保护与监测功能，可监测、报告并保护系统免受各类故障影响。

- 快速检测和防护过流和短路故障。当检测到故障时，功率半导体被关断，并将 $\overline{\text{FLT}}$ 引脚下拉以指示检测到故障。除非从 RST/EN 引脚接收到复位信号，否则器件将保持锁存状态。
- 专用关断引脚上的软关断功能（由 SSD 电阻器控制）可在过流与短路故障期间保护功率半导体免受灾难性损坏。关断能量可控，同时可限制功率半导体的过冲幅度。
- UVLO 检测能保护半导体免受过多导通损耗的影响。检测到器件处于 UVLO 模式后，输出被拉低，RDY 引脚指示电源已丢失。在电源脱离 UVLO 状态后，器件将自动回归常规工作模式。通过 RDY 引脚检测电源正常状态。
- 有源内部米勒钳位功能提供 4A 内部下拉电流，可保护功率半导体免受因米勒电容导致的误导通。
- 主动短路 (ASC) 可强制输出信号为高电平，从而在相位之间形成主动短路环路
- 通过 OUT_FB 提供实时输出状态反馈的输出电压栅极监测器
- 通过 RST/EN 引脚启用和禁用功能
- 短路钳位
- 有源下拉

7.2 典型应用

图 7-1 展示了使用六个隔离式栅极驱动器的三个半桥的典型应用。半桥是各种电力电子应用中的基本元件，例如 HEV/EV 中的牵引逆变器。其作用是将电动汽车电池的直流电流转换为交流电流，以驱动推进系统中的电机。可在电机驱动应用中使用该拓扑结构，用于控制交流电机的运行速度和转矩。

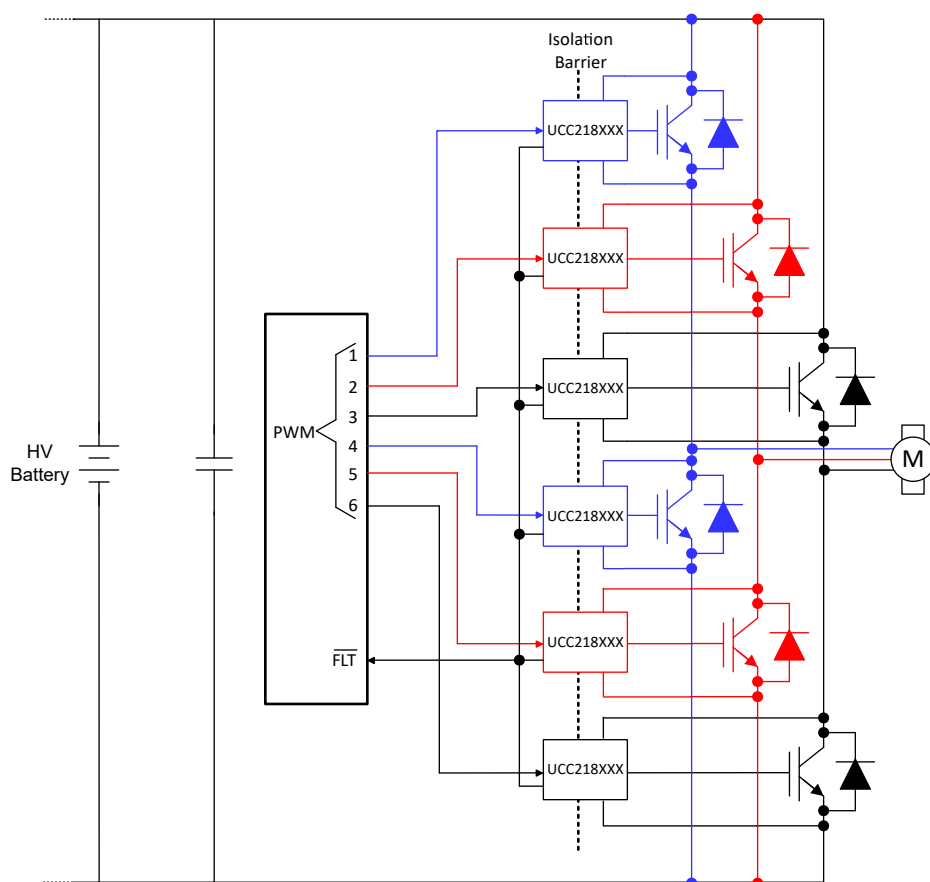


图 7-1. 三个半桥电机驱动系统中的典型应用原理图

7.2.1 应用原理图

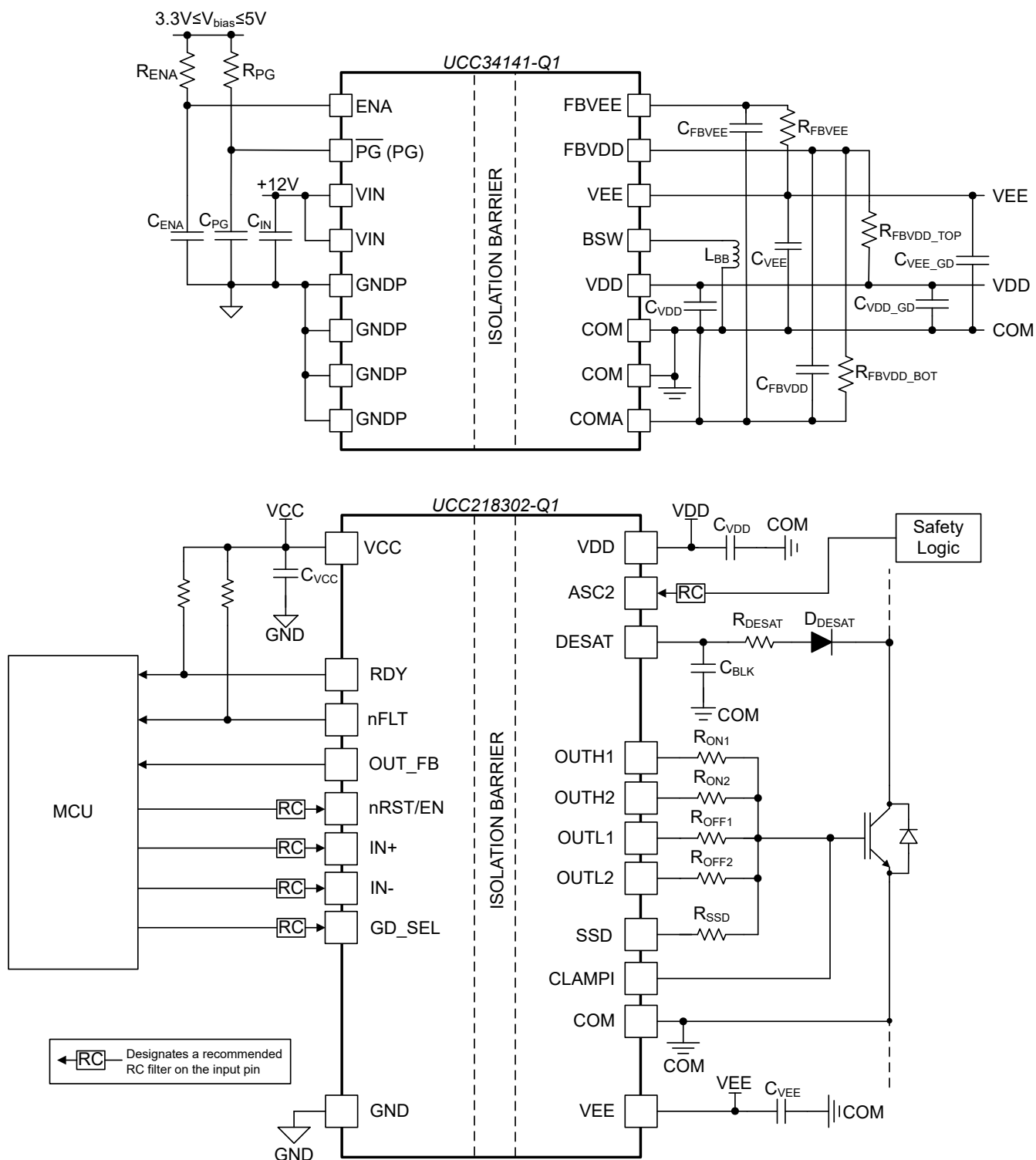


图 7-2. 典型应用电路

7.2.2 设计要求

在设计终端设备电源系统时，必须考虑一些设计要求，以支持器件在整个负载范围内可靠运行。设计注意事项包括峰值拉/灌电流、功率耗散、短路保护、故障反馈等。

本小节包含一个基于 IGBT 的设计示例。表 7-1 中显示了设计参数。

表 7-1. 设计参数

参数	值
VCC	5V
输入	同相
VDD	15V
VEE	-5V
开关频率	30kHz
开关类型	IGBT 模块

7.2.3 详细设计过程

7.2.3.1 IN+、IN- 和 RST/EN 的输入滤波器

UCC218302-Q1 的输入引脚兼容 3.3V 和 5V 两种逻辑电平。IN+和 RST/EN 引脚具有内部下拉电阻器，IN- 引脚具有内部上拉电阻器。如果这些引脚中的任何一个保持悬空，驱动器将被禁用，除非激活了主动短路。该驱动器具有反相和非反相 PWM 输入引脚。如果仅使用非反相 IN+ 输入，则将 IN- 连接到 GND。如果仅使用反相 IN- 输入，则将 IN+ 连接到 VCC。IN+ 和 IN- 均可在半桥配置中用于与另一个驱动器的 PWM 互锁，以防止相脚直通。

该器件在 IN+、IN-和 RST/EN 引脚上具有内部抗尖峰脉冲滤波器，可防止由于噪声瞬变或窄 PWM 脉冲引起的意外开关。任何小于 t_{INFIL} 的信号都会被滤除，不会传递到后级。对于噪声较大的系统，可在输入引脚外部添加低通滤波器，以进一步增强防噪性能。在选择低通滤波器元件时，应根据系统要求同时考虑防噪性能和延迟时间。图 7-3 展示了窄脉冲抗尖峰脉冲滤波器对 IN+、IN- 和 RST/EN 的影响。

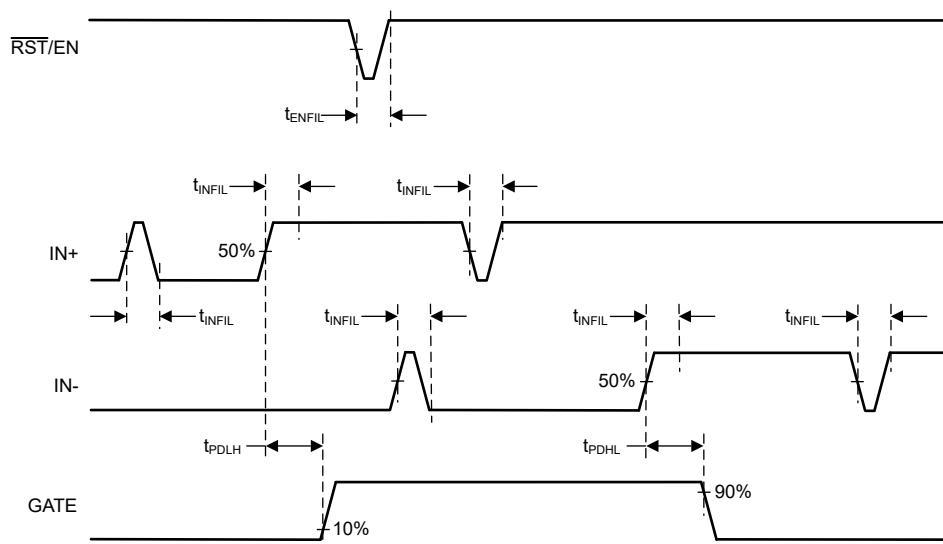


图 7-3. 抗尖峰脉冲滤波器的影响

7.2.3.2 FLT、RDY 和 RST/EN 引脚电路

FLT 和 RDY 引脚是漏极开路输出。通常，使用 5k Ω 电阻器作为 FLT、RDY 和 RST/EN 引脚的上拉电阻器。

为了提高对寄生耦合和共模噪声的防噪性能，可以分别在 FLT、RDY 和 RST/EN 引脚与微控制器之间加装低通滤波器。通常可添加一个 100pF 至 300pF 的滤波电容器。

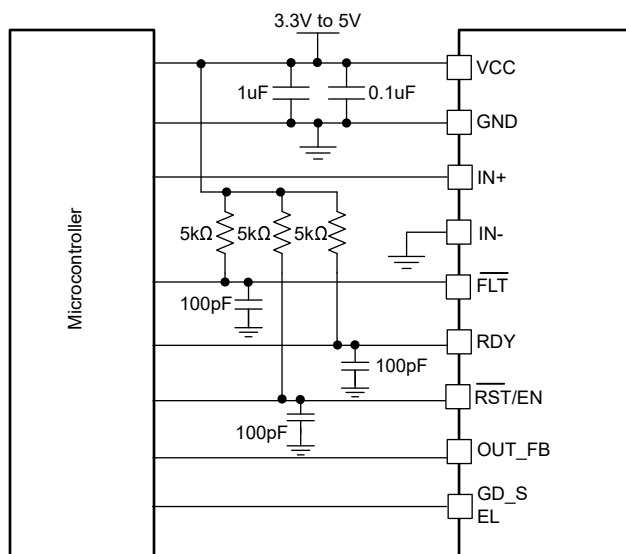


图 7-4. FLT 引脚、RDY 引脚和 RST/EN 引脚电路

7.2.3.3 栅极驱动器输出电阻器

该器件具有双路分离输出 OUTH1、OUTH2、OUTL1 和 OUTL2，能够独立控制导通或关闭开关速度。导通和关闭电阻决定了峰值拉电流和灌电流，从而控制开关速度。同时，考虑栅极驱动器中的功率耗散，以确保器件不超过热限制范围。OUTH1 和 OUTL1 可提供 $\pm 5A$ 峰值拉电流和灌电流。OUTH2 和 OUTL2 可提供 $\pm 10A$ 峰值拉电流和灌电流。首先，计算峰值拉/灌电流如下：

$$I_{Source_Pk_OUTH1} = \min[5A, (VDD - VEE) / (R_{OUTH1} + R_{ON1} + R_{G_Int})] \quad (1)$$

$$I_{Sink_Pk_OUTL1} = \min[5A, (VDD - VEE) / (R_{OUTL1} + R_{OFF1} + R_{G_Int})] \quad (2)$$

$$I_{Sink_Pk_OUTH2} = \min[10A, (VDD - VEE) / (R_{OUTH2} + R_{ON2} + R_{G_Int})] \quad (3)$$

$$I_{Sink_Pk_OUTL2} = \min[10A, (VDD - VEE) / (R_{OUTL2} + R_{OFF2} + R_{G_Int})] \quad (4)$$

其中

- R_{OUTH1} 是 OUTH1 的内部上拉电阻
- R_{OUTH2} 是 OUTH2 的内部上拉电阻
- R_{OUTL1} 是 OUTL1 的内部下拉电阻
- R_{OUTL2} 是 OUTL2 的内部下拉电阻
- R_{ON1} 是 OUTH1 的外部导通栅极电阻
- R_{ON2} 是 OUTH2 的外部导通栅极电阻
- R_{OFF1} 是 OUTL1 的外部关闭栅极电阻
- R_{OFF2} 是 OUTL2 的外部关闭栅极电阻
- R_{G_Int} 是 SiC MOSFET 或 IGBT 模块的内部电阻

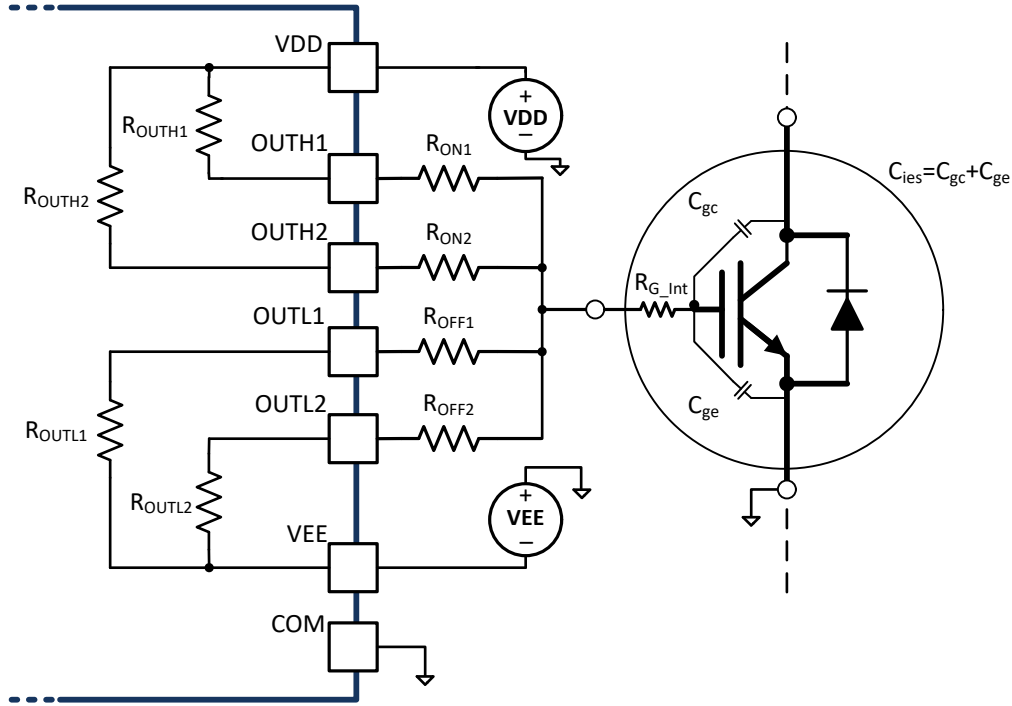


图 7-5. 用于计算峰值栅极电流的输出模型

在下面的计算示例中，使用内部上拉和下拉电阻的最大值。有关更多信息，另请参阅[电气特性](#)。对于采用 IGBT 模块且具有以下参数的系统：

- $Q_g = 3300\text{nC}$
- $R_{G_Int} = 1.7\ \Omega$
- $R_{ON1} = R_{OFF1} = 1.0\ \Omega$
- $R_{ON2} = R_{OFF2} = 0.5\ \Omega$
- $VDD = 15\text{V}$
- $VEE = -5\text{V}$

这种情况下的峰值拉电流和灌电流为：

$$I_{Source_Pk_OUTH1} = (VDD - VEE) / (R_{OUTH1} + R_{ON1} + R_{G_Int}) = 5\text{A} \quad (5)$$

$$I_{Sink_Pk_OUTL1} = (VDD - VEE) / (R_{OUTL1} + R_{OFF1} + R_{G_Int}) = 5\text{A} \quad (6)$$

$$I_{Source_Pk_OUTH2} = (VDD - VEE) / (R_{OUTH2} + R_{ON2} + R_{G_Int}) = 6.7\text{A} \quad (7)$$

$$I_{Sink_Pk_OUTL2} = (VDD - VEE) / (R_{OUTL2} + R_{OFF2} + R_{G_Int}) = 6.7\text{A} \quad (8)$$

使用 $1\ \Omega$ 外部栅极电阻后，OUT1 上的峰值拉/灌电流为 4A，OUT2 上的峰值拉/灌电流为 6.7A。通过将 GD_SEL 引脚设置为低电平或高电平，该器件可以仅使用 OUT1 提供弱驱动强度，或同时使用 OUT1 和 OUT2 提供强驱动强度。在此情况下，弱驱动和强驱动电流为：

$$I_{Source_Pk_Weak} = I_{Source_Pk_OUTH1} = 5\text{A} \quad (9)$$

$$I_{Sink_Pk_Weak} = I_{Sink_Pk_OUTL1} = 5\text{A} \quad (10)$$

$$I_{Source_Pk_Strong} = I_{Source_Pk_OUTH1} + I_{Source_Pk_OUTH2} = 11.7\text{A} \quad (11)$$

$$I_{\text{Sink_Pk_Strong}} = I_{\text{Sink_Pk_OUTL1}} + I_{\text{Sink_Pk_OUTL2}} = 11.7\text{A} \quad (12)$$

在导通开关瞬态期间，米勒台阶电压下的栅极电流在集电极-发射极 dV/dt 中占主导。上拉结构可确保在米勒台阶电压下提供峰值源电流，除非导通栅极电阻过高。集电极-发射极电压 V_{ce} 上升至 V_{DC} 的速度越快，导通开关损耗就越小。 dV/dt 估算为 $Q_{gc}/I_{\text{source_pk}}$ 。对于关闭开关瞬态，除非关闭栅极电阻过高，否则负载电流在漏极-源极 dV/dt 中占主导。 V_{ce} 达到直流总线电压后，功率半导体处于饱和模式，由 V_{ge} 控制通道电流。峰值灌电流决定了 dI/dt ，而后者则相应地决定了 V_{ce} 电压过冲。如果使用相对较大的关闭栅极电阻和弱驱动选项，请限制 V_{ce} 过冲。使用以下公式估算过冲：

$$\Delta V_{ce} = L_{\text{stray}} \times I_{\text{load}} / [(R_{\text{OFF1}} + R_{\text{OUTL1}} + R_{G_Int}) \times C_{ies} \times \ln(V_{\text{plat}} / V_{th})] \quad (13)$$

其中

- L_{stray} 是功率开关环路中的杂散电感，如 图 7-6 所示
- I_{load} 是负载电流，也是功率半导体的关断电流
- C_{ies} 是功率半导体的输入电容
- V_{plat} 是功率半导体的台阶电压
- V_{th} 是功率半导体的阈值电压

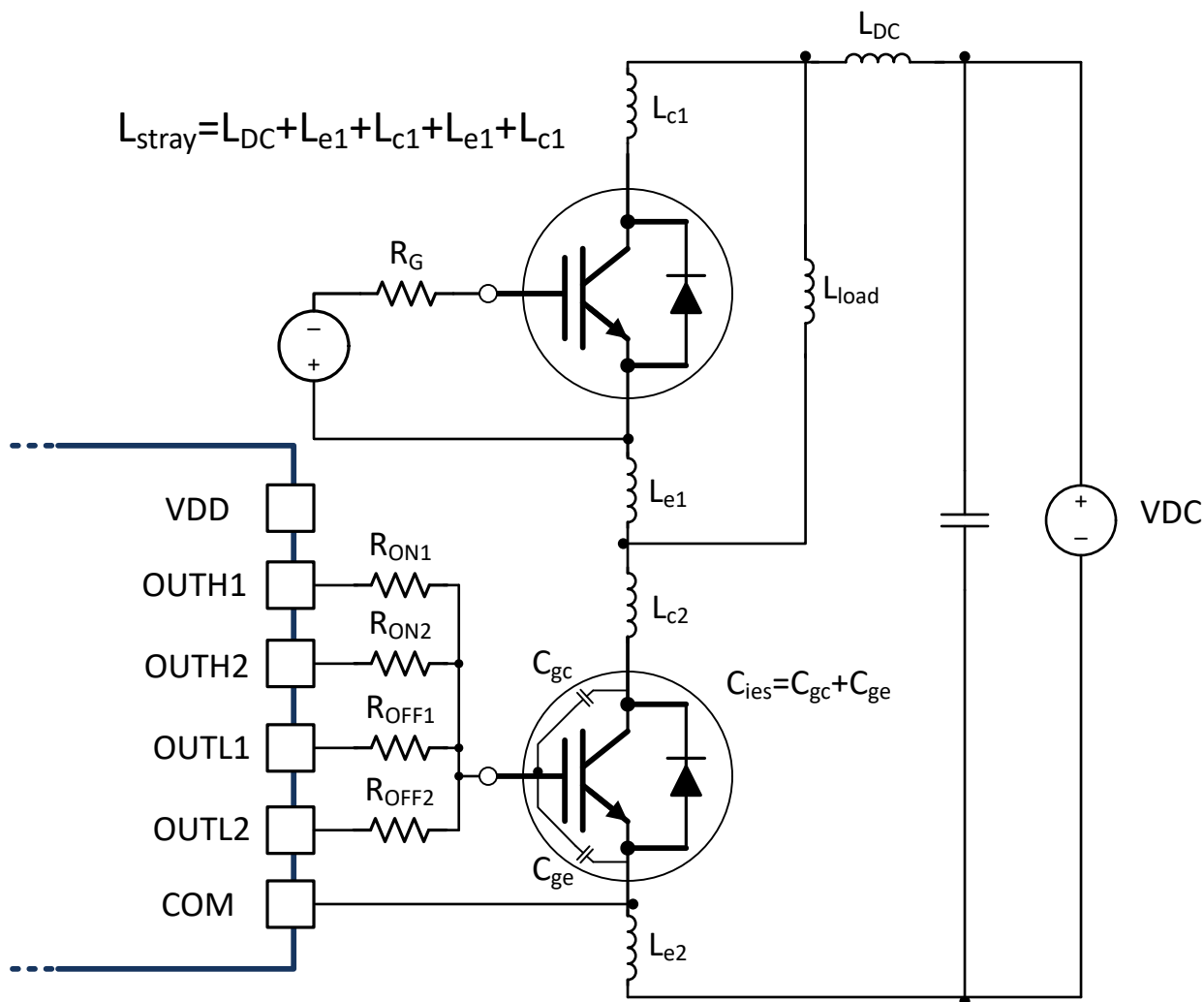


图 7-6. 半桥配置中 IGBT 的杂散寄生电感

考虑功率耗散，以使栅极驱动器保持在热限制范围内。栅极驱动器的功率损耗包括静态损耗和开关损耗，计算公式如下：

$$P_{DR} = P_Q + P_{SW} \quad (14)$$

P_Q 是驱动器的静态功率损耗，即 $I_q \times (V_{DD} - V_{EE}) = 7\text{mA} \times 20\text{V} = 0.14\text{W}$ 。静态功率损耗是当驱动器在 V_{DD} 和 V_{EE} 偏置电压下开关动作时，输入级、参考电压、逻辑电路和保护电路等内部电路消耗的功率，以及驱动器开关工作时内部电路的充放电电流所消耗的功率。考虑到已启用强驱动强度，且为了简化计算，假设 Q_g 电流按与各输出通道总电阻成反比的方式分配。计算驱动器开关时每个输出通道的功率耗散如下：

$$P_{SWOUTx1} = \frac{1}{2} \times \left(\frac{R_{OUTH1}}{R_{OUTH1} + R_{ON1} + R_{G_Int}} + \frac{R_{OUTL1}}{R_{OUTL1} + R_{OFF1} + R_{G_Int}} \right) \times (V_{DD} - V_{EE}) \times f_{sw} \times \frac{1}{3} \times Q_g \quad (15)$$

$$P_{SWOUTx2} = \frac{1}{2} \times \left(\frac{R_{OUTH2}}{R_{OUTH2} + R_{ON2} + R_{G_Int}} + \frac{R_{OUTL2}}{R_{OUTL2} + R_{OFF2} + R_{G_Int}} \right) \times (V_{DD} - V_{EE}) \times f_{sw} \times \frac{2}{3} \times Q_g \quad (16)$$

其中

- Q_g 是在工作点将栅极电压从 V_{EE} 完全充电至 V_{DD} 所需的栅极电荷
- f_{sw} 为开关频率 (30kHz)

在这个示例中，通过选择强驱动，可以按如下公式计算 P_{SW} ：

$$P_{SW} = P_{SWOUTx1} + P_{SWOUTx2} = 0.14 + 0.34 = 0.48\text{W} \quad (17)$$

因此，总功率损耗为：

$$P_{DR} = P_Q + P_{SW} = 0.14\text{W} + 0.56\text{W} = 0.70\text{W} \quad (18)$$

当电路板温度为 120°C 时，通过以下公式估算结温：

$$T_j = T_b + \Psi_{JB} \times P_{DR} \approx 150^\circ\text{C} \quad (19)$$

因此，对于本示例中的应用，在电路板温度为 120°C 时，为使栅极驱动器保持在热限制内，最大开关频率应控制到 30kHz 左右。通过使用较低的开关频率或增加外部栅极电阻，栅极驱动器可在更高的电路板温度下运行。

7.2.3.4 更新了过流和短路保护，以加入 DESAT 相关信息

将标准去饱和电路应用于 DESAT 引脚。如果 DESAT 引脚的电压高于阈值 V_{DESAT} ，则启动软关断。故障报告给 DSP/MCU 的输入侧。检测到故障后，输出会保持低电平，只能通过 $\overline{\text{RST/EN}}$ 引脚复位。先进的过流和短路检测速度有助于为 SiC MOSFET 及 IGBT 实现较短的关断时间。

如果未使用 DESAT 引脚，将该引脚连接到 COM 以避免误触发过流故障。

- 建议在去饱和电路中使用快速反向恢复高压二极管。建议将一个电阻器同高压二极管串联以限制浪涌电流。
- 建议在 COM 和 DESAT 之间连接一个肖特基二极管，以防止负电压导致驱动器损坏。
- 建议在 COM 到 DESAT 之间使用齐纳二极管，以防止正电压导致驱动器损坏。

7.2.4 应用曲线

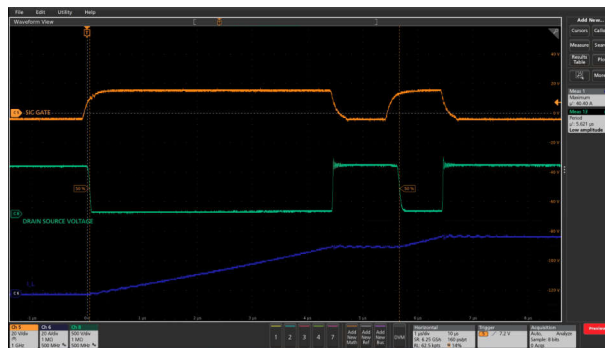


图 7-7. 双脉冲测试示例波形

7.3 电源相关建议

在导通和关断开关瞬态期间，VDD 和 VEE 电源提供峰值拉/灌电流。较大的峰值电流可能会漏极 VDD 和 VEE 电压电平并导致电源上出现压降。为了使电源保持稳定并维持可靠运行，建议在电源引脚上使用一组去耦电容器。考虑到该器件具有 $\pm 15\text{A}$ 的峰值驱动强度并可以产生高 dV/dt ，建议在 VDD 和 COM 以及 VEE 和 COM 之间使用 $10\mu\text{F}$ 旁路电容器。与输出侧电源相比，电流较小，因此建议在 VCC 和 GND 之间使用 $1\mu\text{F}$ 旁路电容器。还建议在每个电源中配置一个 $0.1\mu\text{F}$ 去耦电容器来滤除高频噪声。去耦电容器必须具有低 ESR 和低 ESL，以避免高频噪声。为防止由于 PCB 布局的系统寄生效应而产生噪声耦合，应将去耦电容器尽可能靠近 VCC、VDD 和 VEE 引脚放置。

7.4 布局

7.4.1 布局指南

为了尽可能减少栅极路径中的噪声，应仔细考虑 PCB 设计。下面是一些要点：

- 将驱动器放置在尽可能靠近功率半导体的位置，以减小 PCB 走线上栅极环路的寄生电感
- 将输入和输出电源的去耦电容器尽可能靠近电源引脚放置。每个开关瞬态下产生的峰值电流可能会导致 PCB 布线的寄生电感上出现高电流变化率 (di/dt) 和电压尖峰
- 在驱动器 COM 引脚连接到 IGBT 发射极或 SiC MOSFET 源极的开尔文连接端。如果功率器件没有分离式开尔文源极或发射极，请将 COM 引脚尽可能靠近功率器件封装的源极或发射极端子连接，以将栅极环路与高功率开关环路分开
- 在输入侧使用接地平面来屏蔽输入信号。输出侧开关瞬态产生的高频噪声会使输入信号失真。接地平面为返回电流提供低电感滤波器
- 如果将栅极驱动器用于低侧开关 (COM 引脚连接至直流总线负极)，则在输出侧使用接地平面来屏蔽输出信号，使其免受开关节点所产生噪声的影响。如果将栅极驱动器用于高侧开关 (COM 引脚连接至开关节点)，则不建议使用接地平面
- 如果输出侧未使用接地平面，请将 DESAT 接地环路的返回路径与具有 15A 较大峰值拉电流和灌电流的栅极接地环路分开
- 注意栅极驱动器下方布设的任何铜皮或 PCB 走线，以保持隔离完整性，尤其是爬电距离和电气间隙。栅极驱动器下方的任何走线都必须有相应的接地平面延伸，以对其进行屏蔽。

7.4.2 布局示例

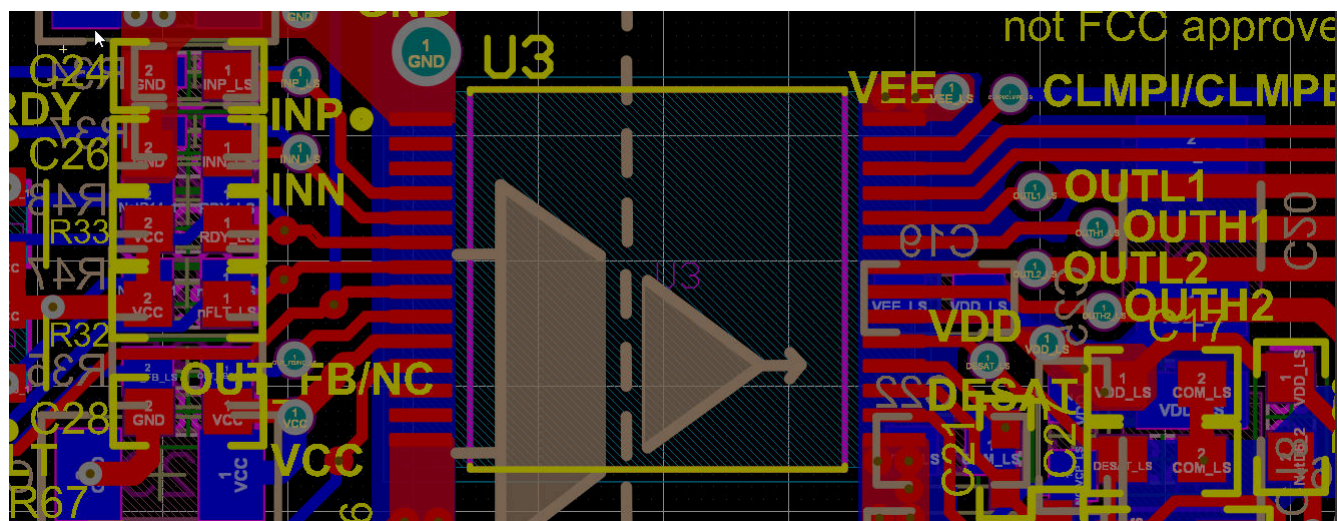


图 7-8. 布局示例

8 器件和文档支持

8.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

- [隔离相关术语](#)

8.3 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击右上角的 [提醒我](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.5 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

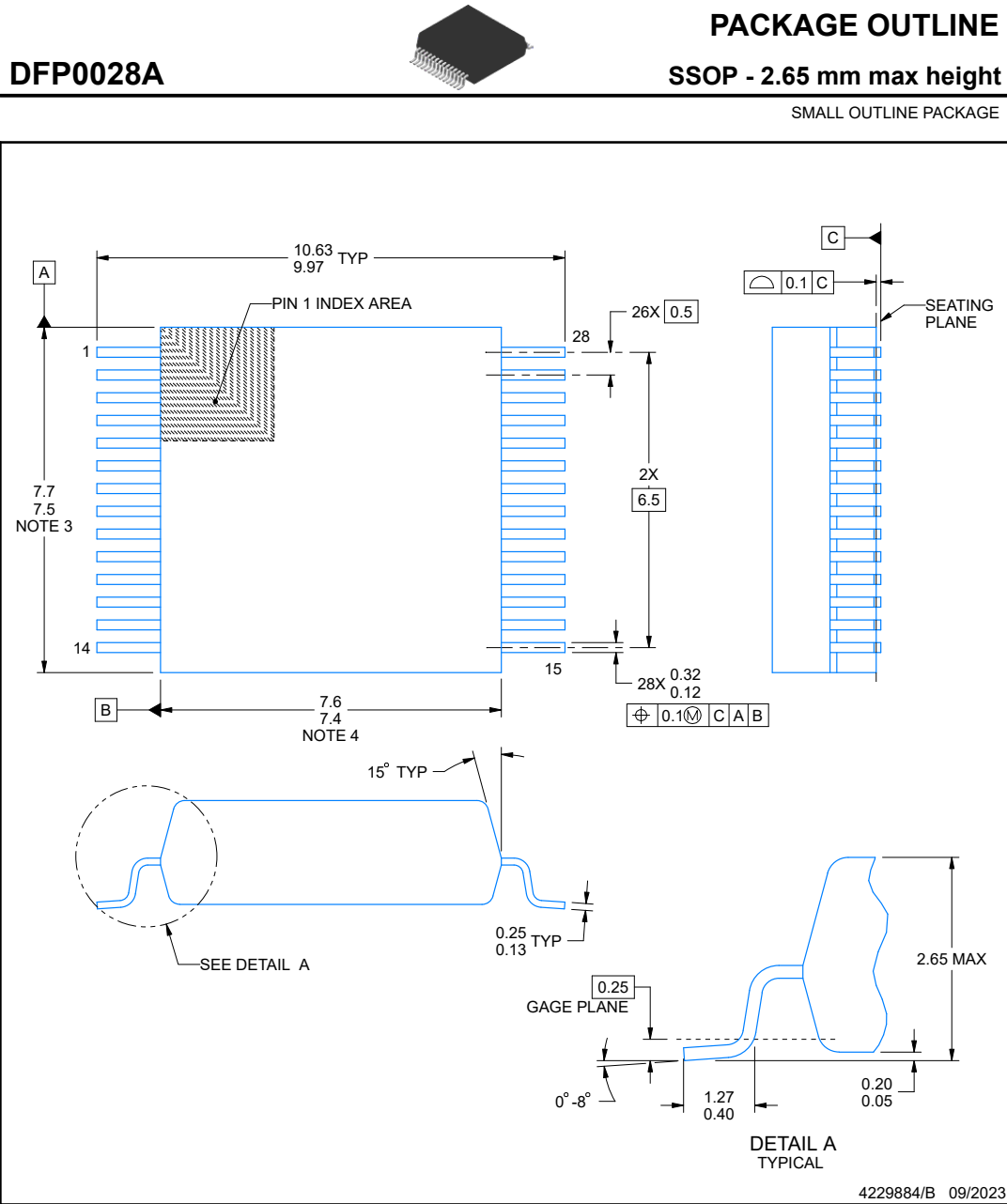
注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
September 2026	*	预告信息初始发布

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

10.1 机械数据

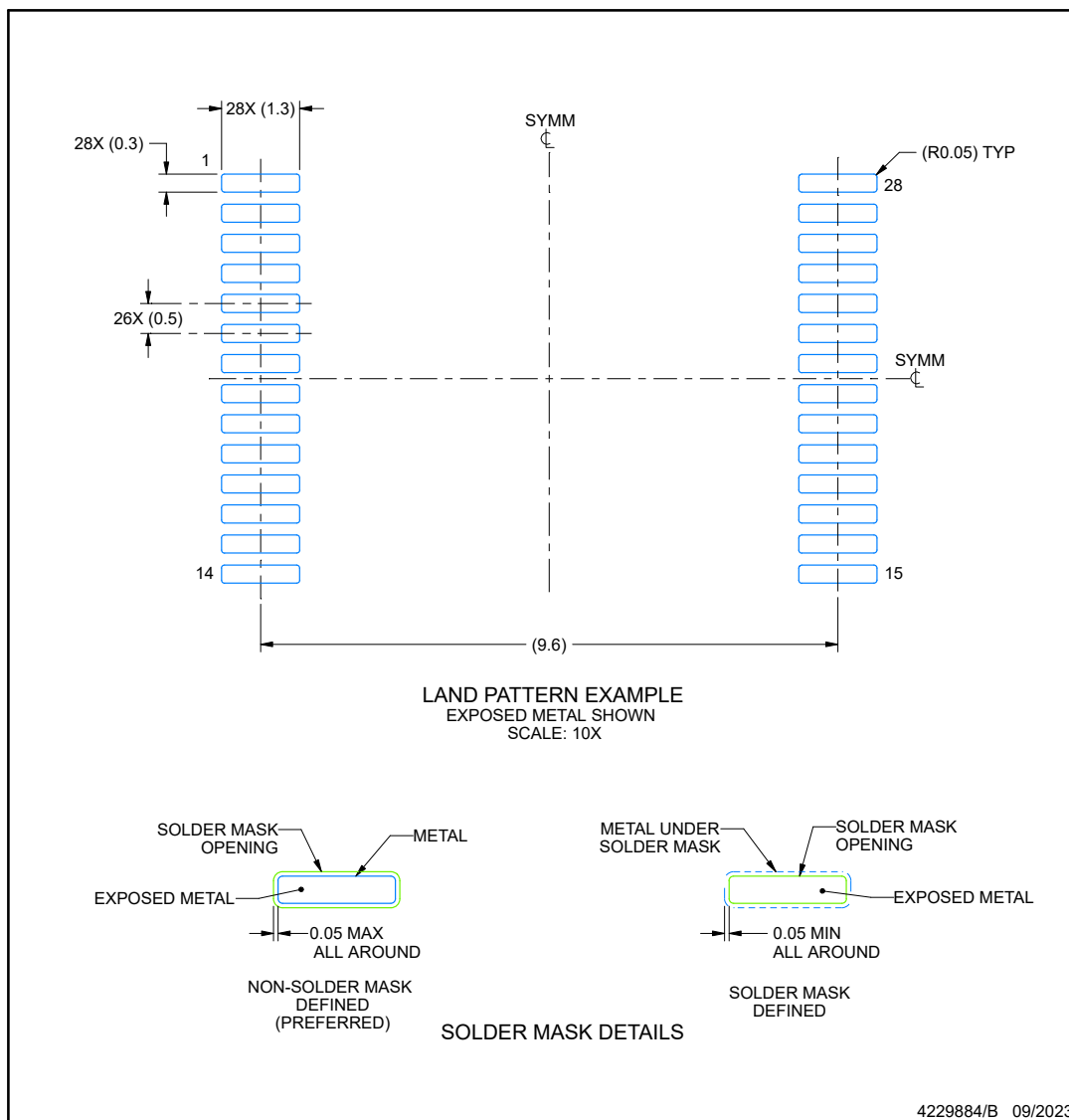


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.

EXAMPLE BOARD LAYOUT**DFP0028A****SSOP - 2.65 mm max height**

SMALL OUTLINE PACKAGE



NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.

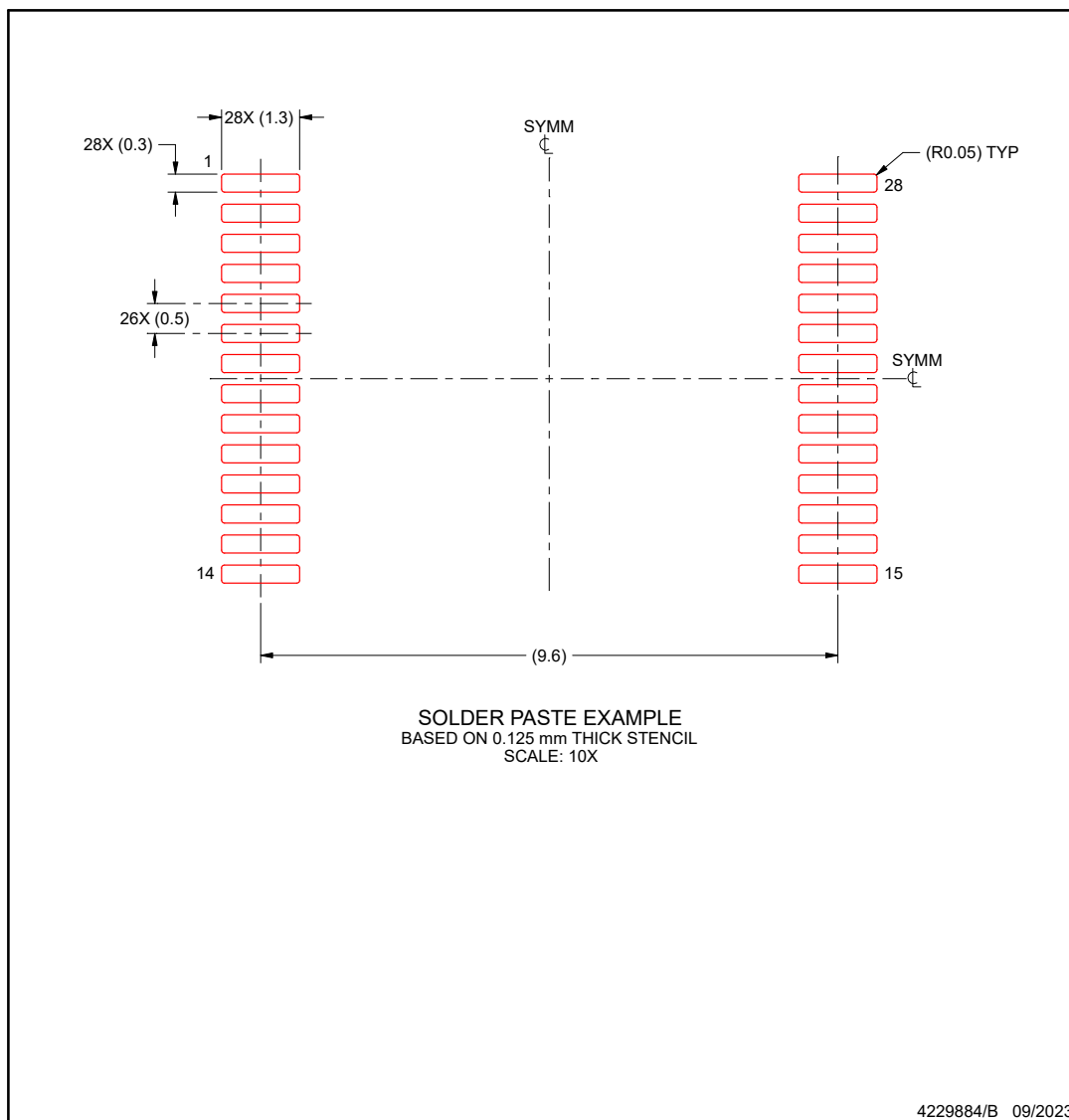
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DFP0028A

SSOP - 2.65 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC218302BQDFPRQ1	Active	Production	SSOP (DFP) 28	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	U218302BQ

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月