适用于 SiC/IGBT 并具有主动保护特性、隔离式模拟感应和高 CMTI 的 UCC21711-Q1 10A 汽车类拉电流/灌电流增强型隔离式单通道栅极驱动器

1 特性

- 5.7kV$_{RMS}$ 单通道隔离式栅极驱动器
- 符合面向汽车应用的 AEC-Q100 标准
  - 器件温度等级 1：–40°C 至 +125°C 环境工作温度范围
- 高达 2121V$_{pk}$ 的 SiC MOSFET 和 IGBT
- 33V 最大输出驱动电压 (VDD-VEE)
- ±10A 驱动强度和分离输出
- 150V/ns 最小 CMTI
- 具有 270ns 快速响应时间的过流保护
- 4A 内部有源米勒钳位
- 发生故障时的 400mA 软关断
- 具有 PWM 输出的隔离式模拟传感器
  - 采用 NTC、PTC 或热敏二极管的温度感应
  - 高电压直流链路或相电压
- 过流警报 $\overline{FLT}$ 和通过 $\overline{RST}$/EN 重置
- 针对 $\overline{RST}$/EN 的快速启用/禁用响应
- 抑制输入引脚上的 <40ns 噪声瞬态和脉冲
- RDY 上的 12V VDD UVLO（具有电源正常指示功能）
- 具有高达 5V 的过冲/欠冲瞬态电压抗扰度的输入/输出
- 130ns（最大）传播延迟和 30ns（最大）脉冲/器件间偏移
- SOIC-16 DW 封装，爬电距离和间隙 > 8mm
- 工作结温范围：-40°C 至 150°C
- 安全相关认证：
  - UL 1577 元件认证计划（计划）

2 应用

- 适用于 EV 的牵引逆变器
- 车载充电器和充电桩
- 用于 HEV/EV 的直流/直流转换器

3 说明

UCC21711-Q1 是一款电隔离单通道栅极驱动器，设计用于高达 1700V 的 SiC MOSFET 和 IGBT，具有先进的保护功能、出色的动态性能和稳健性。UCC21711-Q1 具有高达 ±10A 的峰值拉电流和灌电流。

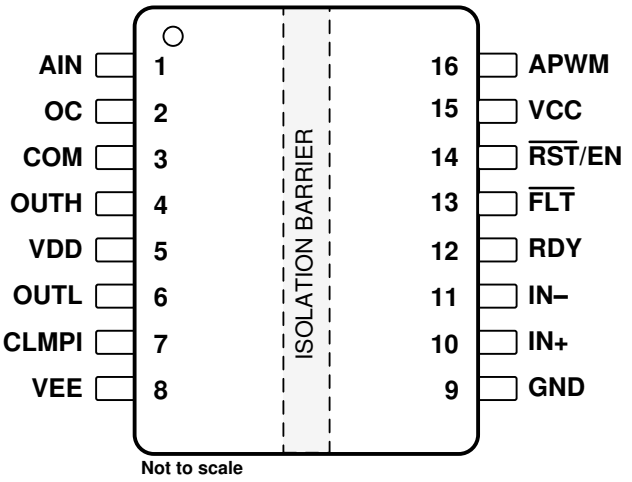
输入侧通过 SiO_2 电容隔离技术与输出侧相隔离，支持高达 1.5kV$_{RMS}$ 的工作电压、12.8kV$_{PK}$ 的浪涌抗扰度，隔离栅寿命超过 40 年，并提供较低的器件间偏斜，共模噪声抗扰度 (CMTI) 大于 150V/ns。

UCC21711-Q1 具有高级保护功能，如快速过流和短路检测、分流电流检测支持、故障报告、有源米勒钳位以及输入和输出侧电源 UVLO（用于优化 SiC 和 IGBT 开关行为和稳健性）。可以使用隔离式模拟至 PWM 传感器更轻松地检测温度或电压，从而进一步提高驱动器的多功能性并消减系统设计工作量、尺寸和成本。

器件信息

器件型号	封装(1)	封装尺寸（标称值）
UCC21711-Q1	DW (SOIC-16)	10.3mm × 7.5mm

(1) 有关所有可用封装，请参阅节 11。



器件引脚配置

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 热性能信息.....5
5.5 功率等级.....5
5.6 绝缘规格.....6
5.7 安全相关认证.....7
5.8 安全限值.....7
5.9 电气特性.....8
5.10 开关特性.....11
5.11 绝缘特性曲线.....12
5.12 典型特性.....13
6 参数测量信息.....17
6.1 传播延迟.....17
6.2 输入抗尖峰脉冲滤波器.....18
6.3 有源米勒钳位.....19
6.4 欠压锁定 (UVLO).....20
6.5 OC（过流）保护.....22
7 详细说明.....23
7.1 概述.....23
7.2 功能方框图.....24
7.3 特性说明.....24
7.4 器件功能模式.....30
8 应用和实施.....31
8.1 应用信息.....31
8.2 典型应用.....31
8.3 电源相关建议.....44
8.4 布局.....44
9 器件和文档支持.....46
9.1 器件支持.....46
9.2 文档支持.....46
9.3 接收文档更新通知.....46
9.4 支持资源.....46
9.5 商标.....46
9.6 静电放电警告.....46
9.7 术语表.....46
10 修订历史记录.....46
11 机械、封装和可订购信息.....46

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

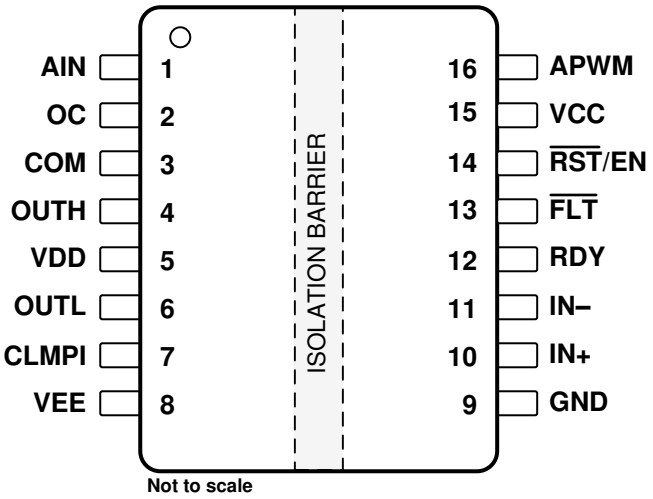


图 4-1. UCC21711-Q1 DW SOIC (16) 顶视图

表 4-1. 引脚功能

引脚		I/O[1]	说明
名称	编号		
AIN	1	I	隔离式模拟检测输入，将一个小型电容器并联至 COM，以实现更好的抗噪性能。如果不使用，应连接到 COM。
OC	2	I	过流检测引脚，支持 SenseFET、DESAT 和分流电阻检测的下限阈值。如果不使用，应连接到 COM。
COM	3	P	共接地基准，连接到 IGBT 的发射极引脚和 SiC-MOSFET 的源极引脚
OUTH	4	O	栅极驱动器输出上拉
VDD	5	P	栅极驱动电压的正电源轨。在 COM 并联一个容量大于 10 µ F 的电容器，以保障栅极驱动器达到额定的源极峰值电流输出能力。将去耦电容器放置在引脚附近。
OUTL	6	O	栅极驱动器输出下拉
CLMPI	7	I	内部有源米勒钳位，将此引脚直接连接到功率晶体管的栅极。如果未使用，则保持悬空或连接到 VEE。
VEE	8	P	栅极驱动电压的负电源轨。在 COM 并联一个容量大于 10 µ F 的电容器，以保障栅极驱动器达到额定的漏极峰值电流能力。将去耦电容器放置在引脚附近。
GND	9	P	输入电源和逻辑接地基准
IN+	10	I	同相栅极驱动器的控制输入。如果不使用，应连接到 VCC。
IN –	11	I	反相栅极驱动器的控制输入。如果不使用，应连接到 GND。
RDY	12	O	VCC-GND 和 VDD-COM 的电源正常状态。RDY 为开漏配置，可以与其他 RDY 信号并联
$\overline{\text{FLT}}$	13	O	过流或短路时输出低电平故障报警信号。$\overline{\text{FLT}}$ 采用开漏配置，可与其他故障并联
$\overline{\text{RST}}$/EN	14	I	$\overline{\text{RST}}$/EN 有两个用途： 1) 启用/关断输出侧。如果端子 EN 设置为低电平，则通过常规关断方式，关断 FET； 2) 如果端子 $\overline{\text{RST}}$/EN 设置为低电平的时间超过 1000ns，则复位 $\overline{\text{FLT}}$ 引脚上指示的 DESAT 条件。信号 $\overline{\text{FLT}}$ 的复位在端子 $\overline{\text{RST}}$/EN 的上升沿被置为有效。 在自动复位功能中，该引脚仅用作 EN 引脚。启用/关断输出侧。如果端子 EN 设置为低电平，则通过常规关断方式，关断 FET。
VCC	15	P	3V 至 5.5V 的输入电源。使用一个大于 1 µ F 电容器旁路至 GND。将去耦电容器放置在引脚附近。
APWM	16	O	隔离式模拟检测 PWM 输出。如果未使用，则保持悬空。

(1) P = 电源，G = 地，I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

参数			最小值	最大值	单位
VCC	VCC – GND		-0.3	6	V
VDD	VDD – COM		-0.3	36	V
VEE	VEE – COM		-17.5	0.3	V
V_{MAX}	VDD – VEE		-0.3	36	V
IN+、IN –、$\overline{RST}$/EN		DC	GND – 0.3	VCC	V
		瞬态，小于 100ns(2)	GND – 5.0	VCC+5.0	V
AIN	以 COM 为基准		-0.3	5	V
OC	以 COM 为基准		-0.3	6	
OUTH、OUTL 、CLMPI		DC	VEE – 0.3	VDD	V
		瞬态，小于 100ns(2)	VEE – 5.0	VDD+5.0	V
RDY、$\overline{FLT}$、APWM			GND – 0.3	VCC	V
$I_{\overline{FLT}}$、I_{RDY}	$\overline{FLT}$ 和 RDY 引脚输入电流			20	mA
I_{APWM}	APWM 引脚输出电流			20	mA
T_J	结温范围		-40	150	°C
T_{stg}	贮存温度范围		-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。
(2) 通过在工作台上进行表征来验证这些值。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	符合 AEC Q100-002 标准的人体模型 (HBM)，(1)	±4000	V
		充电设备模型 (CDM)，符合 AEC Q100-011 标准	±1500	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

参数			最小值	最大值	单位
VCC	VCC – GND		3.0	5.5	V
VDD	VDD – COM		13	33	V
V_{MAX}	VDD – VEE		–	33	V
IN+、IN –、$\overline{RST}$/EN	以 GND 为基准	高电平输入电压	0.7×VCC	VCC	V
		低电平输入电压	0	0.3×VCC	
AIN	以 COM 为基准		0.6	4.5	V
$t_{RST/EN}$	复位故障的最小脉冲宽度		1000		ns
T_A	环境温度		-40	125	°C
T_J	结温		-40	150	°C

Copyright © 2026 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		UCC21711 -Q1 DW (SOIC) 16-PINS	单位
$R_{\theta JA}$	结至环境热阻	68.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	27.5	°C/W
$R_{\theta JB}$	结至电路板热阻	32.9	°C/W
ψ_{JT}	结至顶部特征参数	14.1	°C/W
ψ_{JB}	结至电路板特征参数	32.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

5.5 功率等级

参数		测试条件	值	单位
P_D	最大功耗（两侧）	VCC = 5V、VDD – COM = 20V、COM – VEE = 5V、IN+/ – = 5V、150kHz、10nF 负载的 50% 占空比、T_a = 25ºC	985	mW
P_{D1}	最大功耗（发送器侧）		20	mW
P_{D2}	接收器侧的最大功耗		965	mW

Copyright © 2026 Texas Instruments Incorporated

5.6 绝缘规格

参数		测试条件	值	单位
通用				
CLR	外部间隙(1)	端子间的最短空间距离	> 8	mm
CPG	外部爬电距离(1)	端子间的最短封装表面距离	> 8	mm
DTI	绝缘穿透距离	双重绝缘的最小内部间隙（内部间隙）(2 × 0.0085mm)	> 17	μm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11)；IEC 60112	> 600	V
	材料组	符合 IEC 60664-1	I	
	过压类别符合 IEC 60664-1	额定市电电压 ≤ 300V_{RMS}	I-IV	
		额定市电电压 ≤ 600V_{RMS}	I-IV	
		额定市电电压 ≤ 1000V_{RMS}	I-III	
DIN EN IEC 60747-17 (VDE 0884-17)(2)				
V_{IORM}	最大重复峰值隔离电压	交流电压（双极）	2121	V_{PK}
V_{IOWM}	最大隔离工作电压	交流电压（正弦波），时间依赖型电介质击穿 (TDDB) 测试	1500	V_{RMS}
		直流电压	2121	V_{DC}
V_{IMP}	最大脉冲电压	在空气中进行测试，符合 IEC 62368-1 标准的 1.2/50μs 波形	8000	V_{PK}
V_{IOTM}	最大瞬态隔离电压	V_{TEST}=V_{IOTM}，t = 60s（合格测试）	8000	V_{PK}
		V_{TEST} = 1.2 × V_{IOTM}，t = 1s（100% 生产测试）		
V_{IOSM}	最大浪涌隔离电压(3)	符合 IEC 62368-1 的测试方法，1.2/50μs 波形，V_{TEST} = 1.6 × V_{IOSM} = 12800V_{PK}（鉴定测试）	8000	V_{PK}
q_{pd}	视在电荷(4)	方法 a：I/O 安全测试子组 2/3 后，V_{ini} = V_{IOTM}，t_{ini} = 60s；$V_{pd(m)}$ = 1.2 × V_{IORM} = 2545V_{PK}，t_m = 10s	≤ 5	pC
		方法 a：环境测试子组 1 后，V_{ini} = V_{IOTM}，t_{ini} = 60s；$V_{pd(m)}$ = 1.6 × V_{IORM} = 3394V_{PK}，t_m = 10s	≤ 5	
		方法 b1：常规测试（100% 生产测试）和预调节（类型测试），V_{ini} = V_{IOTM}，t_{ini} = 1s；$V_{pd(m)}$ = 1.875 × V_{IORM} = 3977V_{PK}，t_m = 1s	≤ 5	
C_{IO}	势垒电容，输入至输出(5)	V_{IO} = 0.5 sin (2πft)，f = 1MHz	大约 1	pF
R_{IO}	隔离电阻，输入至输出(5)	V_{IO} = 500V，T_A = 25°C	≥ 10^{12}	Ω
		V_{IO} = 500V，100°C ≤ T_A ≤ 125°C	≥ 10^{11}	
		V_{IO} = 500V，T_S = 150°C	≥ 10^9	
	污染等级		2	
	气候类别		40/125/21	
UL 1577				
V_{ISO}	可承受的隔离电压	V_{TEST} = V_{ISO} = 5700V_{RMS}，t = 60s（鉴定测试）；V_{TEST} = 1.2 × V_{ISO} = 6840V_{RMS}，t = 1s（100% 生产测试）	5700	V_{RMS}

(1) 根据应用特定的设备隔离标准应用爬电距离和电气间隙要求。务必使爬电距离和电气间隙一直符合电路板设计的要求，以确保在印刷电路板 (PCB) 上安装的隔离器焊盘不会缩短这一距离。在某些情况下，PCB 上的爬电距离和电气间隙相等。可以借助 PCB 插槽和填角等技术增大这些规格值。
(2) 此耦合器仅适用于安全额定值范围内的安全电气绝缘。应借助合适的保护电路来确保符合安全等级。
(3) 在空气或油中执行测试，以确定隔离栅的固有浪涌抗扰度。
(4) 视在电荷是局部放电 (pd) 引起的电气放电。
(5) 将隔离栅每一侧的所有引脚都连在一起，构成一个双端子器件

Copyright © 2026 Texas Instruments Incorporated

5.7 安全相关认证

UL
经 UL 1577 组件认证计划认证，CSA 组件认可通知 5A
单一保护，5700V_{RMS}
已计划获得证书

5.8 安全限值

安全限值约束是数据表中指定的最高结温。结温取决于应用硬件中所安装器件的功耗和结至空气热阻。假设 *热性能信息* 表中的结至空气热阻所属器件安装在含引线的表面贴装封装对应的高 K 测试板上。功耗为建议的最大输入电压与电流之积。因此，结温是环境温度加上功耗与结至空气热阻之积。这些限值随环境温度、结至空气热阻和不同应用中的电源电压而变化。

参数		测试条件	最小值	典型值	最大值	单位
I_S	安全输入、输出或电源电流	$R_{\theta JA}$ = 68.3°C/W、V_{DD} = 15V、V_{EE} = –5V、T_J = 150°C、T_A = 25°C			91	mA
		$R_{\theta JA}$ = 68.3°C/W、V_{DD} = 20V、V_{EE} = –5V、T_J = 150°C、T_A = 25°C			73	
P_S	安全输入、输出或总功率	$R_{\theta JA}$ = 68.3°C/W、V_{DD} = 20V、V_{EE} = –5V、T_J = 150°C、T_A = 25°C			1830	mW
T_S	安全温度				150	°C

Copyright © 2026 Texas Instruments Incorporated

5.9 电气特性

VCC = 3.3V 或 5.0V、从 VCC 至 GND 的 1 μ F 电容器、VDD – COM = 20V、18V 或 15V、COM – VEE = 0V、5V、8V 或 15V、C_L=100pF、 – 40°C<T_J<150°C (除非另有说明) (1) (2)。

参数		测试条件	最小值	典型值	最大值	单位
VCC UVLO 阈值和延迟						
V_{VCC_ON}	VCC – GND		2.55	2.7	2.85	V
V_{VCC_OFF}			2.35	2.5	2.65	
V_{VCC_HYS}				0.2		
t_{VCCFIL}	VCC UVLO 抗尖峰脉冲时间			10		μs
$t_{VCC+ to OUT}$	VCC UVLO 导通延迟至输出高电平	IN+ = VCC，IN – = GND	28	37.8	50	
$t_{VCC – to OUT}$	VCC UVLO 关断延迟至输出低电平		5	10	15	
$t_{VCC+ to RDY}$	VCC UVLO 导通延迟至 RDY 高电平	$\overline{RST}$/EN = VCC	25	37.8	50	
$t_{VCC – to RDY}$	VCC UVLO 关断延迟至 RDY 低电平		5	10	15	
VDD UVLO 阈值和延迟						
V_{VDD_ON}	VDD-COM		10.5	12.0	12.8	V
V_{VDD_OFF}			9.9	10.7	11.8	
V_{VDD_HYS}				0.8		
t_{VDDFIL}	VDD UVLO 抗尖峰脉冲时间			5		μs
$t_{VDD+ to OUT}$	VDD UVLO 导通延迟至输出高电平	IN+ = VCC，IN – = GND	2	5	8	
$t_{VDD – to OUT}$	VDD UVLO 关断延迟至输出低电平			5	10	
$t_{VDD+ to RDY}$	VDD UVLO 导通延迟至 RDY 高电平	$\overline{RST}$/EN = $\overline{FLT}$ = 高电平		10	15	
$t_{VDD – to RDY}$	VDD UVLO 关断延迟至 RDY 低电平			10	15	
VCC，VDD 静态电流						
I_{VCCQ}	VCC 静态电流	OUT (H) = 高电平、f_S = 0Hz、AIN = 2V	2.5	3	4	mA
		OUT (L) = 低电平、f_S = 0Hz、AIN = 2V	1.45	2	2.75	
I_{VDDQ}	VDD 静态电流	OUT (H) = 高电平、f_S = 0Hz、AIN = 2V	3.6	4	5.9	mA
		OUT (L) = 低电平、f_S = 0Hz、AIN = 2V	3.1	3.7	5.3	
逻辑输入 — IN+、IN – 和 $\overline{RST}$/EN						
V_{INH}	输入高阈值	V_{CC} = 3.3V		1.85	2.31	V
V_{INL}	输入低阈值	V_{CC} = 3.3V	0.99	1.52		V
V_{INHYS}	输入阈值迟滞	V_{CC} = 3.3V		0.33		V
I_{IH}	输入高电平输入漏电流	V_{IN} = VCC		90		μA
I_{IL}	输入低电平输入漏电流	V_{IN} = GND		-90		μA
R_{IND}	输入引脚下拉电阻	有关更多信息，请参阅 详细描述		55		kΩ
R_{INU}	输入引脚上拉电阻	有关更多信息，请参阅 详细描述		55		
T_{INFIL}	IN+、IN – 和 $\overline{RST}$/EN 抗尖峰脉冲 (导通和关断) 滤波时间	f_S = 50kHz	28	40	60	ns
T_{RSTFIL}	复位 /FLT 的抗尖峰脉冲滤波时间		400	650	800	ns
栅极驱动器级						
I_{OUT}，I_{OUTH}	峰值拉电流	C_L=0.18μF，f_S=1kHz		10		A
I_{OUT}，I_{OUTL}	峰值灌电流			10		A
R_{OUTH} (3)	输出上拉电阻	I_{OUT} = -0.1A		2.5		Ω
R_{OUTL}	输出下拉电阻	I_{OUT} = 0.1A		0.3		Ω

Copyright © 2026 Texas Instruments Incorporated

5.9 电气特性（续）

VCC = 3.3V 或 5.0V、从 VCC 至 GND 的 1 μF 电容器、VDD – COM = 20V、18V 或 15V、COM – VEE = 0V、5V、8V 或 15V、C_L=100pF、 – 40°C<T_J<150°C（除非另有说明）(1) (2)。

参数		测试条件	最小值	典型值	最大值	单位
V_{OUTH}	高电平输出电压	I_{OUT} = – 0.2A，V_{DD} = 18V		17.5		V
V_{OUTL}	低电平输出电压	I_{OUT} = 0.2A		60		mV
有源下拉						
V_{OUTPD}	OUT、OUTL 上的输出有源下拉	I_{OUTL} 或 I_{OUT} = 0.1 × $I_{OUT(L)(tpy)}$，VDD=OPEN，VEE=COM	1.5	2	2.5	V
内部有源米勒钳位						
V_{CLMPTH}	米勒钳位阈值电压	参考 VEE	1.5	2.0	2.5	V
V_{CLMPI}	输出低钳位电压	I_{CLMPI} = 1A		VEE + 0.5		V
I_{CLMPI}	输出低钳位电流	V_{CLMPI} = 0V，VEE = – 2.5V		4		A
R_{CLMPI}	米勒钳位下拉电阻	I_{CLMPI} = 0.2A		0.6		Ω
t_{DCLMPI}	米勒钳位导通延迟时间	C_L = 1.8nF		15	50	ns
短路钳位						
$V_{CLP-OUT(H)}$	V_{OUT} – VDD，V_{OUTH} – VDD	OUT = 低电平、$I_{OUT(H)}$= 500mA、t_{CLP} =10us		0.9		V
$V_{CLP-OUT(L)}$	V_{OUT} – VDD，V_{OUTL} – VDD	OUT = 高电平、$I_{OUT(L)}$= 500mA、t_{CLP} = 10us		1.8		V
$V_{CLP-CLMPI}$	V_{CLMPI} – VDD	OUT = 高电平、I_{CLMPI} = 20mA、t_{CLP} = 10us		1.0		V
OC 保护						
I_{DCHG}	OC 下拉电流	V_{OC} = 1V		40		mA
V_{OCTH}	检测阈值		0.63	0.7	0.77	V
V_{OCL}	OUT (L) = 低电平时的电压，以 COM 为基准	I_{OC} = 5mA		0.13		V
t_{OCFIL}	OC 故障抗尖峰脉冲滤波器		95	120	180	ns
t_{OCOFF}	OC 至 OUT(L) 的传播延迟 90%		150	270	400	ns
t_{OCFLT}	OC 至 $\overline{FLT}$ 低电平延迟		300	800	1250	ns
内部软关断						
I_{STO}	故障条件下的软关断电流	V_{DD}-V_{EE}=20V，V_{OUTL}-COM=8V	250	400	570	mA
隔离式温度检测和监测 (AIN – APWM)						
V_{AIN}	模拟检测电压范围		0.6		4.5	V
I_{AIN}	内部电流源	V_{AIN} = 2.5V、-40°C < T_J< 150°C	196	200	209	μA
f_{APWM}	APWM 输出频率	V_{AIN}=2.5V	380	400	420	kHz
BW_{AIN}	AIN – APWM 带宽			10		kHz
D_{APWM}	APWM 占空比	V_{AIN} = 0.6V	86.5	88	89.5	%
		V_{AIN} = 2.5V	48.5	50	51.5	
		V_{AIN} = 4.5V	7.5	10	11.5	
$\overline{FLT}$ 和 RDY 报告						
t_{RDYHLD}	VDD UVLO RDY 低电平最小保持时间		0.55		1	ms
$t_{FLTMUTE}$	故障时的输出静音时间	通过 $\overline{RST}$/EN 重置故障	0.55		1	ms
R_{ODON}	开漏输出导通电阻	I_{ODON} = 5mA		30		Ω
V_{ODL}	开漏低输出电压	IODON = 5mA			0.31	V
共模瞬态抗扰度						
CMTI	共模瞬态抗扰度		150			V/ns

(1) 电流是指定端子的正输入、负输出。
(2) 所有电压均以 COM 为基准，除非另有说明。

Copyright © 2026 Texas Instruments Incorporated

(3) 仅限内部 PMOS。请参阅特性描述了解有效上拉电阻。

Copyright © 2026 Texas Instruments Incorporated

5.10 开关特性

VCC = 5.0V、从 VCC 至 GND 的 1 μ F 电容器、VDD – COM = 20V、18V 或 15V、COM – VEE = 3V、5V 或 8V、C_L=100pF、 – 40°C<T_J<150°C (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
t_{PDHL}	传播延迟时间 – 从高电平到低电平		60	90	130	ns
t_{PDLH}	传播延迟时间 – 从低电平到高电平		60	90	130	
PWD	脉宽失真 $\lvert t_{PDHL} - t_{PDLH} \rvert$				30	
t_{sk-pp}	器件间偏移	上升或下降传播延迟			30	
t_r	驱动器输出上升时间	C_L = 10nF		33		
t_f	驱动器输出下降时间	C_L = 10nF		27		
f_{MAX}	最大开关频率				1	MHz

Copyright © 2026 Texas Instruments Incorporated

5.11 绝缘特性曲线

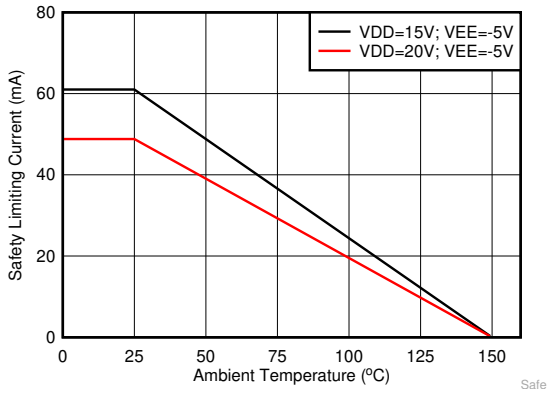


图 5-1. 根据 VDE 标准限制电流的热降额曲线

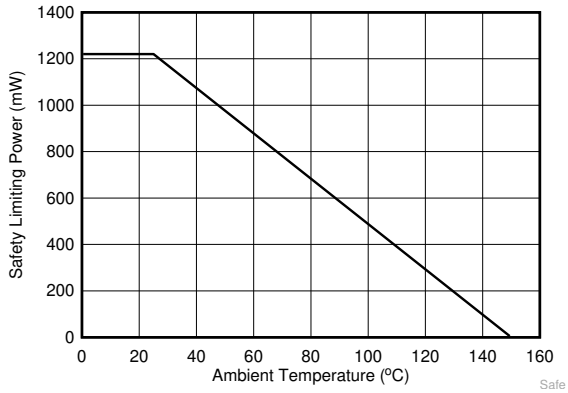


图 5-2. 根据 VDE 标准限制功率的热降额曲线

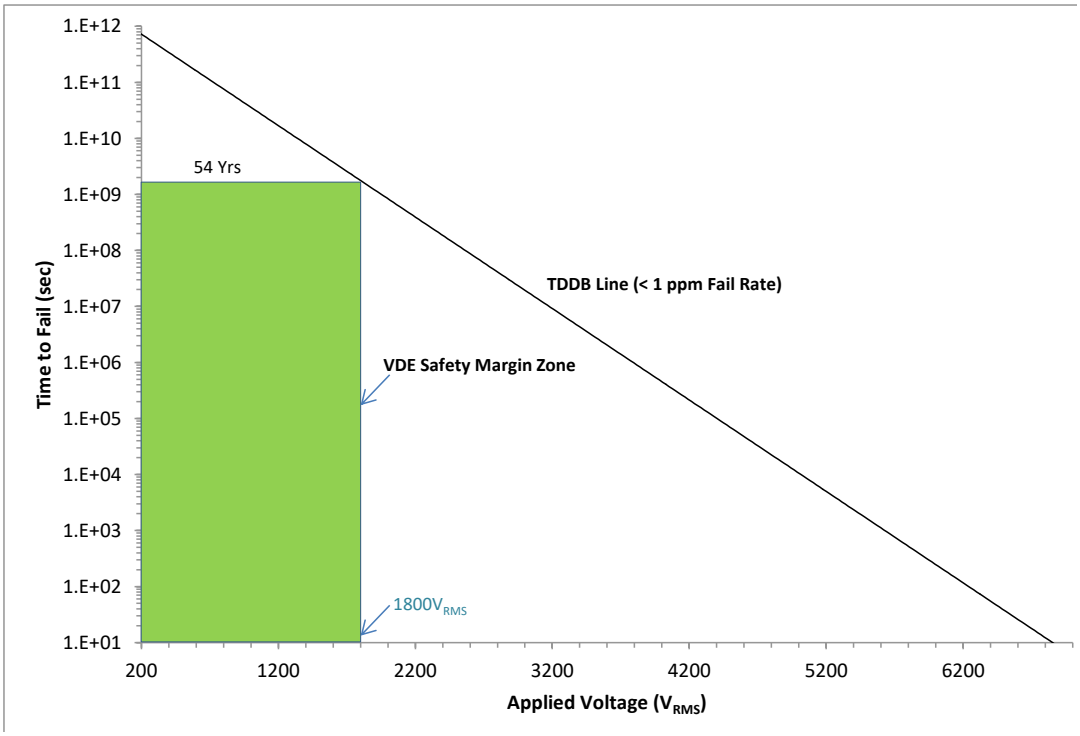


图 5-3. 增强型隔离电容器寿命预测

Copyright © 2026 Texas Instruments Incorporated

5.12 典型特性

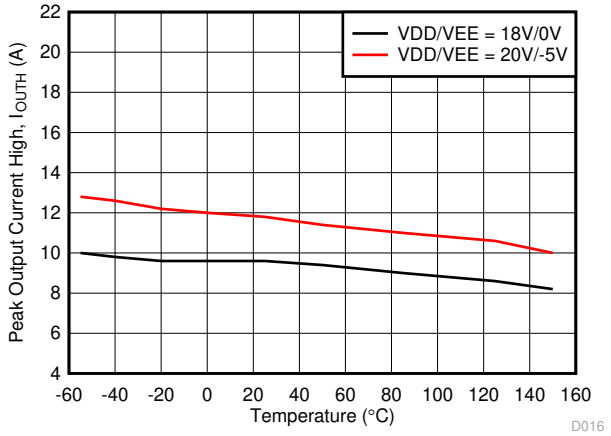


图 5-4. 输出高驱动电流与温度间的关系

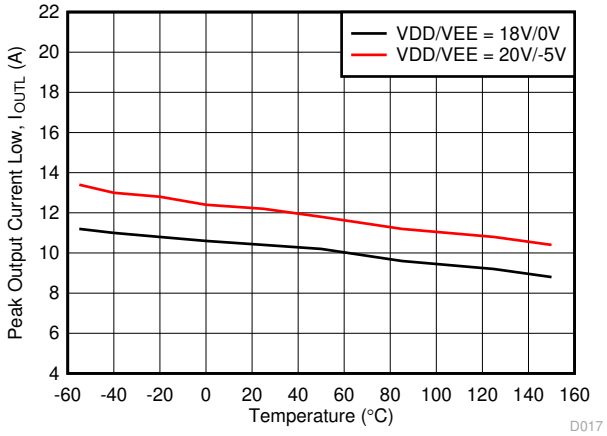
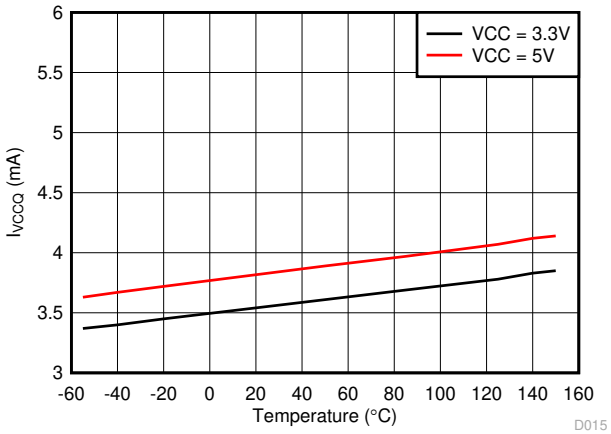
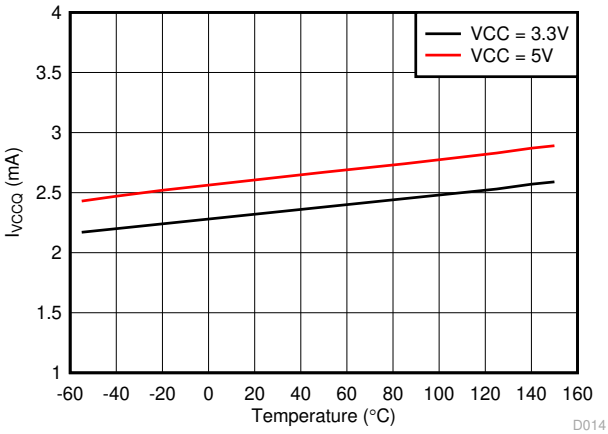


图 5-5. 输出低驱动器电流与温度间的关系



IN+ = 高电平　　IN- = 低电平

图 5-6. I_{VCCQ} 电源电流与温度间的关系



IN+ = 低电平　　IN- = 低电平

图 5-7. I_{VCCQ} 电源电流与温度间的关系

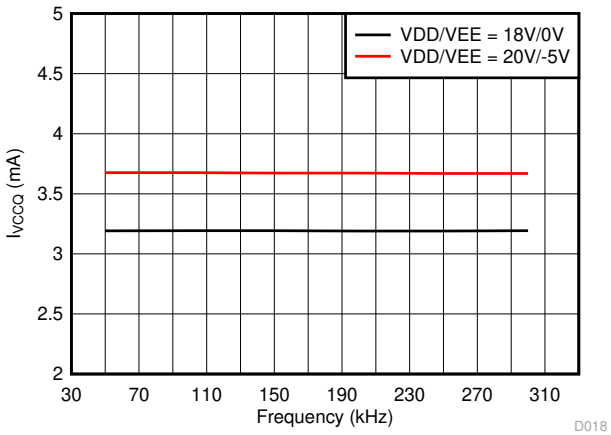
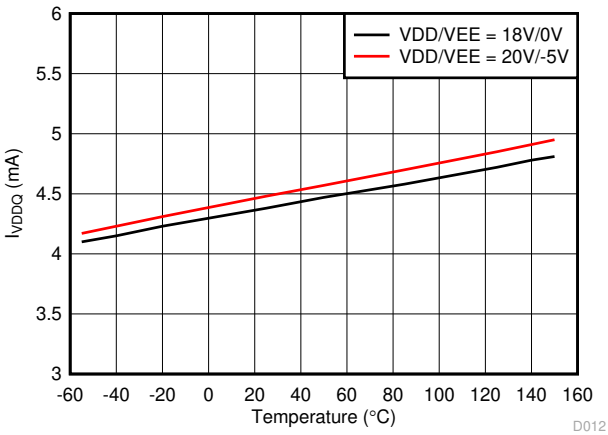


图 5-8. I_{VCCQ} 电源电流与输入频率间的关系

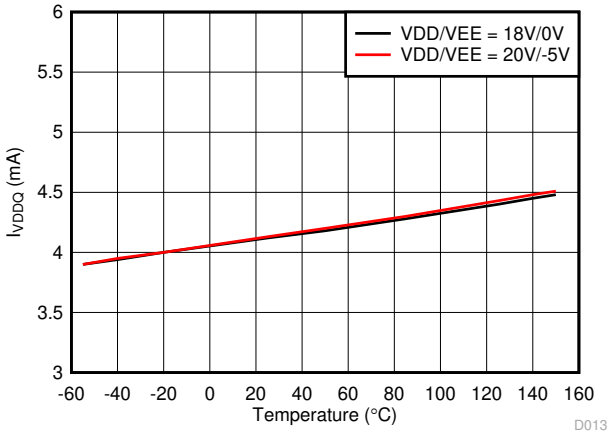


IN+ = 高电平　　IN- = 低电平

图 5-9. I_{VDDQ} 电源电流与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

5.12 典型特性（续）



IN+ = 低电平　　IN- = 低电平

图 5-10. I_{VDDQ} 电源电流与温度间的关系

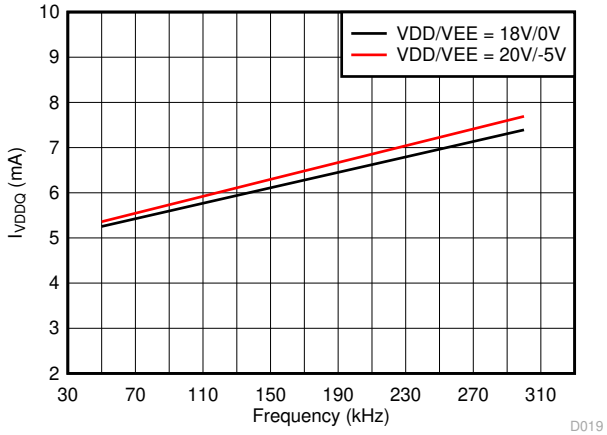


图 5-11. I_{VDDQ} 电源电流与输入频率间的关系

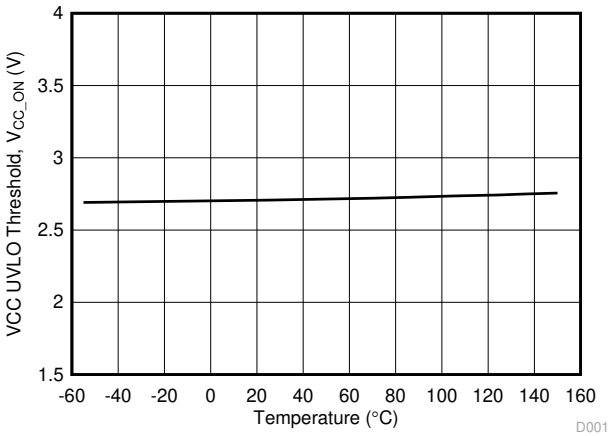


图 5-12. VCC UVLO 与温度间的关系

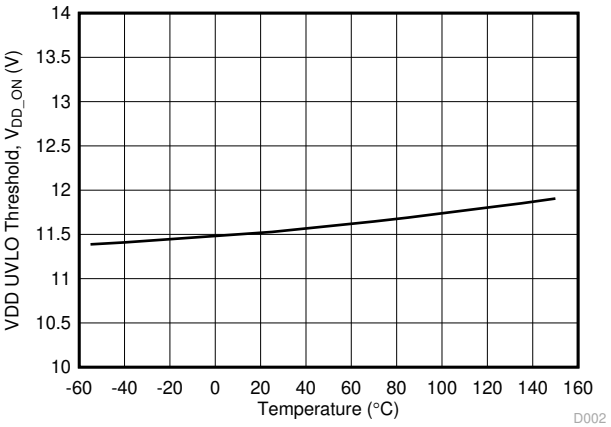
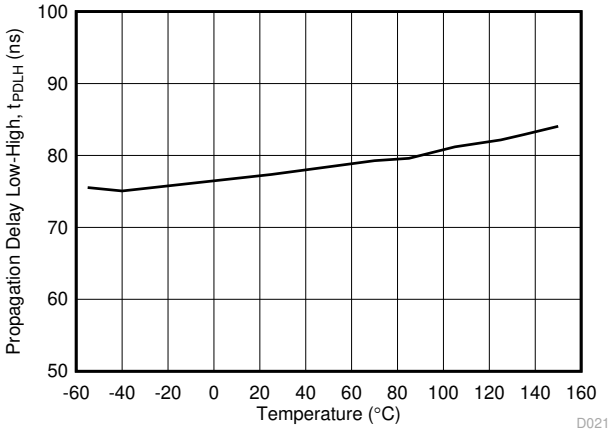
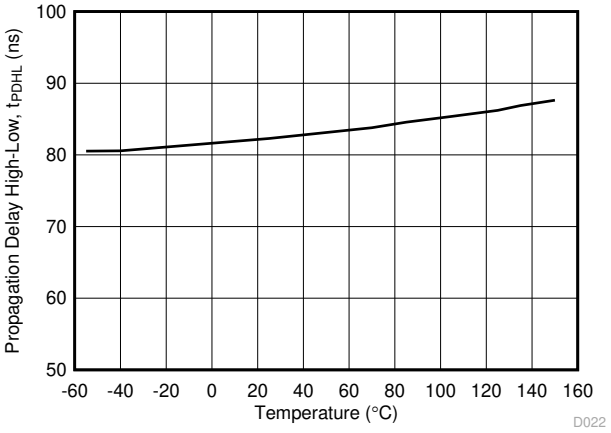


图 5-13. VDD UVLO 与温度间的关系



V_{CC} = 3.3V　　V_{DD} = 18V　　C_L = 100pF
R_{ON} = 0 Ω　　R_{OFF} = 0 Ω

图 5-14. 传播延迟时间 t_{PDLH} 与温度间的关系



V_{CC} = 3.3V　　V_{DD} = 18V　　C_L = 100pF
R_{ON} = 0 Ω　　R_{OFF} = 0 Ω

图 5-15. 传播延迟时间 t_{PDHL} 与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

5.12 典型特性（续）

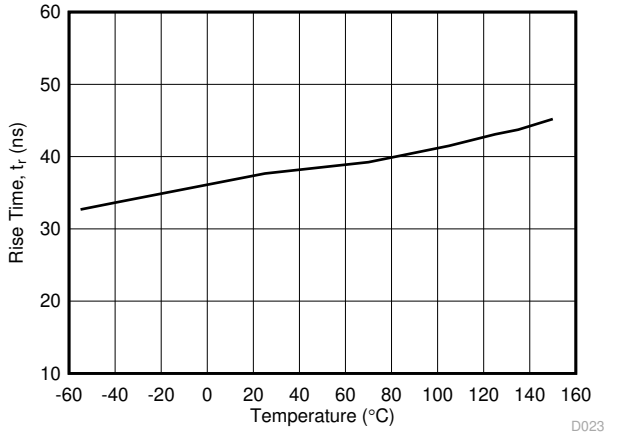


图 5-16. t_r 上升时间与温度间的关系

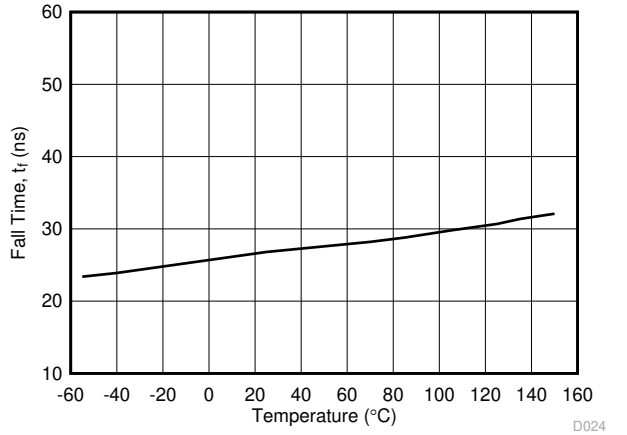


图 5-17. t_f 下降时间与温度间的关系

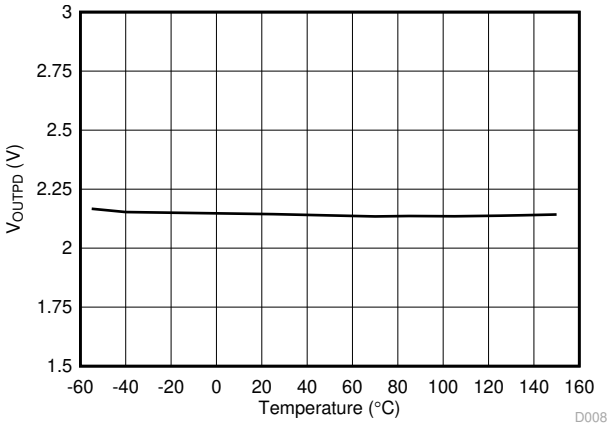


图 5-18. V_{OUTPD} 输出有源下拉电压与温度间的关系

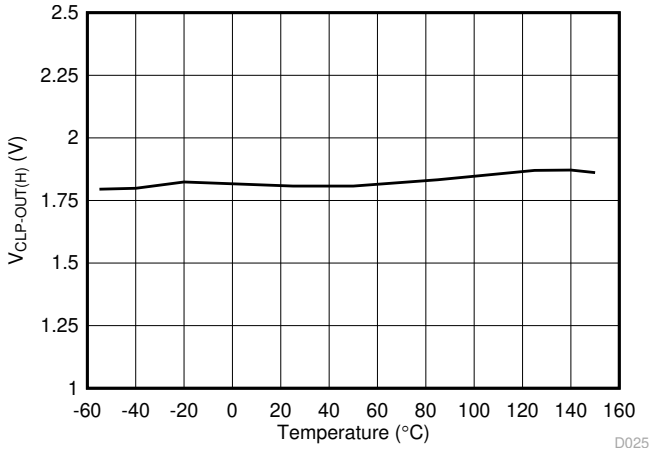


图 5-19. $V_{CLP-OUT(H)}$ 短路钳位电压与温度间的关系

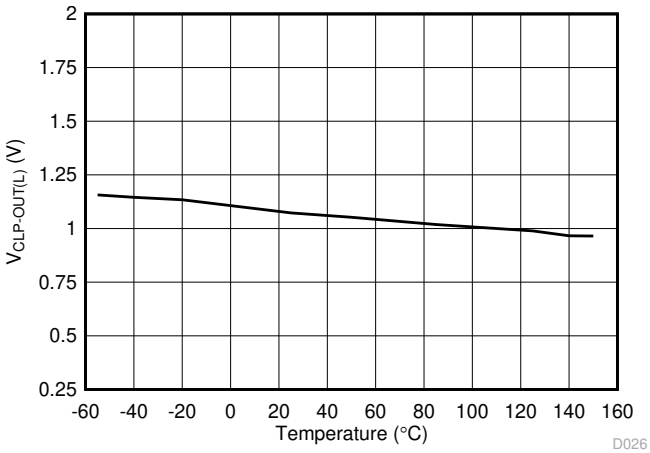


图 5-20. $V_{CLP-OUT(L)}$ 短路钳位电压与温度间的关系

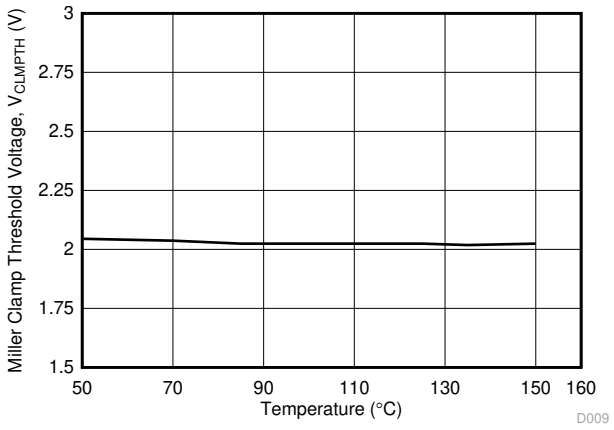


图 5-21. V_{CLMPTH} 米勒钳位阈值电压与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

5.12 典型特性（续）

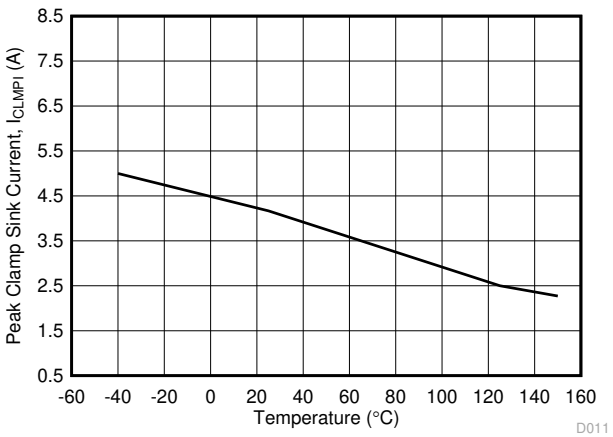


图 5-22. I_{CLMPI} 米勒钳位灌电流与温度间的关系

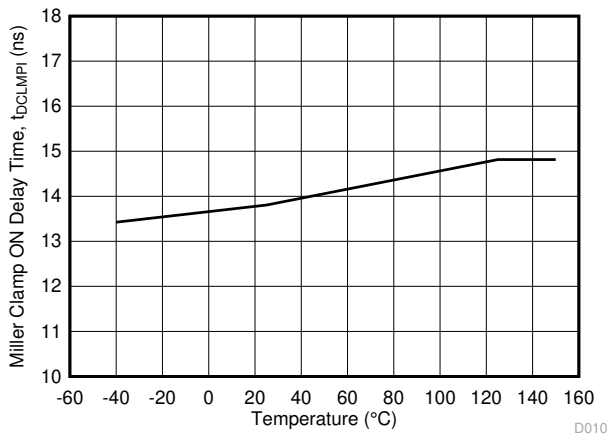


图 5-23. t_{DCLMPI} 米勒钳位导通延迟时间与温度间的关系

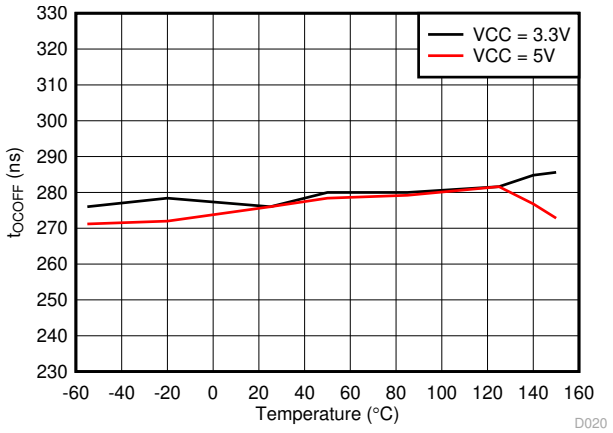


图 5-24. t_{OCOFF} OC 传播延迟与温度关系图

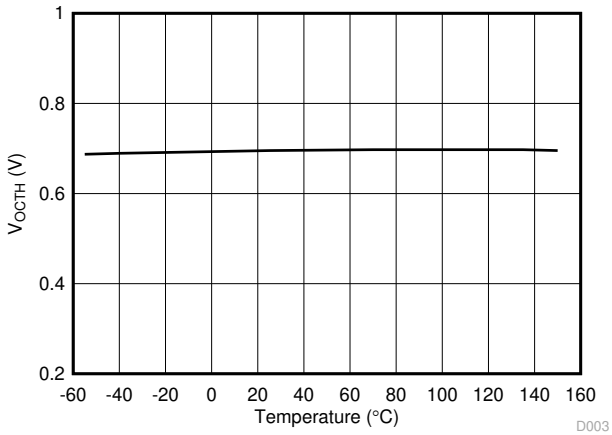


图 5-25. V_{OCTH} OC 检测阈值与温度间的关系

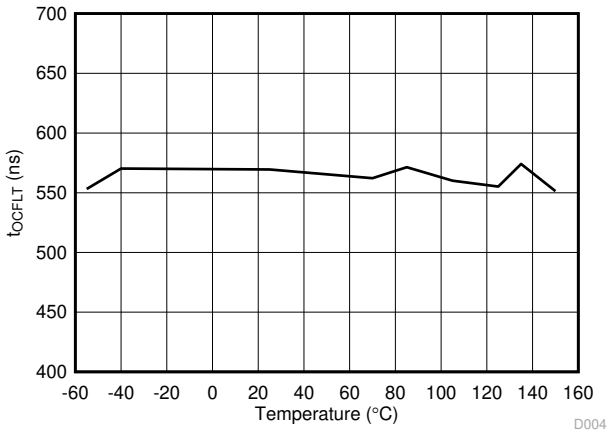


图 5-26. t_{OCFLT} OC 至 $\overline{FLT}$ 低延迟时间与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

6 参数测量信息

6.1 传播延迟

6.1.1 定期关断

图 7-1 显示了非反相配置中的传播延迟测量。图 7-2 显示了反相配置中的传播延迟测量。

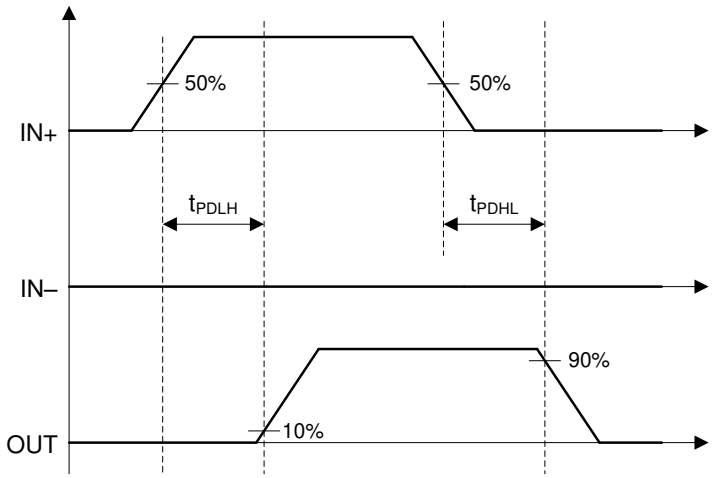


图 6-1. 非反相逻辑传播延迟测量

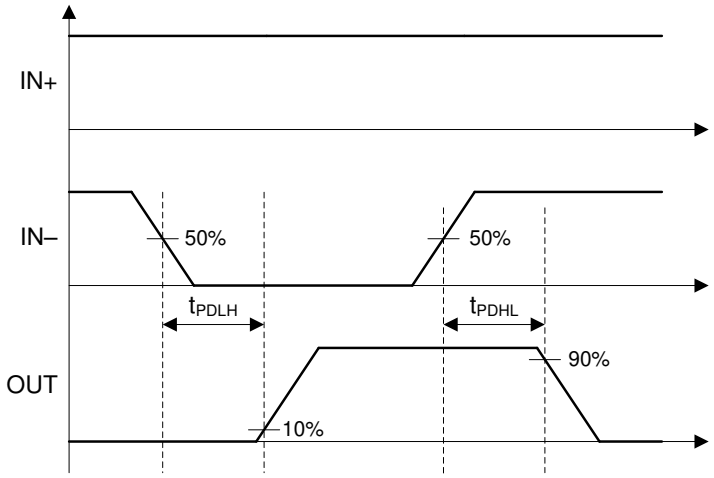


图 6-2. 反相逻辑传播延迟测量

Copyright © 2026 Texas Instruments Incorporated

6.2 输入抗尖峰脉冲滤波器

为增强栅极驱动器对输入引脚上噪声瞬态及意外微脉冲的抗扰性，即 IN+、IN –、$\overline{RST}$/EN 输入引脚，40ns 抗尖峰脉冲滤波器旨在滤除瞬态，确保输出响应无误差且驱动器不会发生意外故障。当 IN+ 或 IN – PWM 脉冲小于输入抗尖峰脉冲滤波器宽度 T_{INFIL} 时，OUT 驱动信号上将无响应。图 6-3 和图 6-4 所示的是 IN+引脚导通和关断脉冲抗尖峰脉冲滤波器效应。图 6-5 和图 6-6 所示的是 IN – 引脚导通和关断脉冲抗尖峰脉冲滤波器效应。

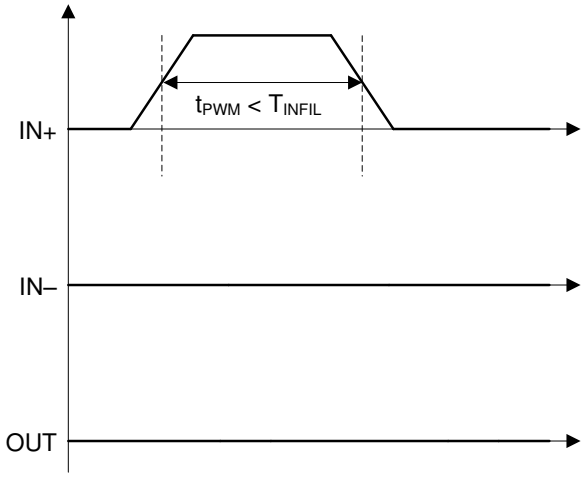


图 6-3. IN+ 开启抗尖峰脉冲滤波器

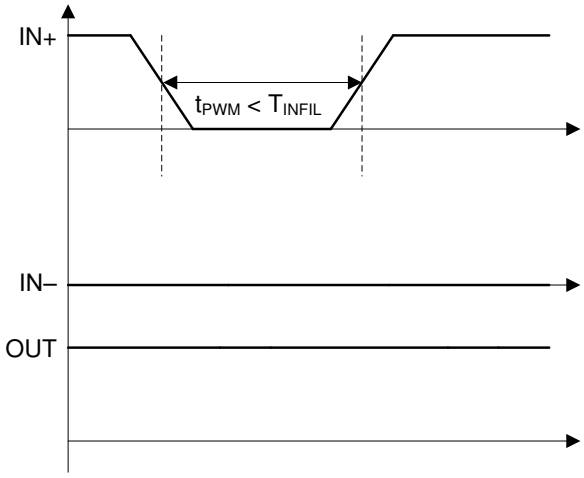


图 6-4. IN+ 关断抗尖峰脉冲滤波器

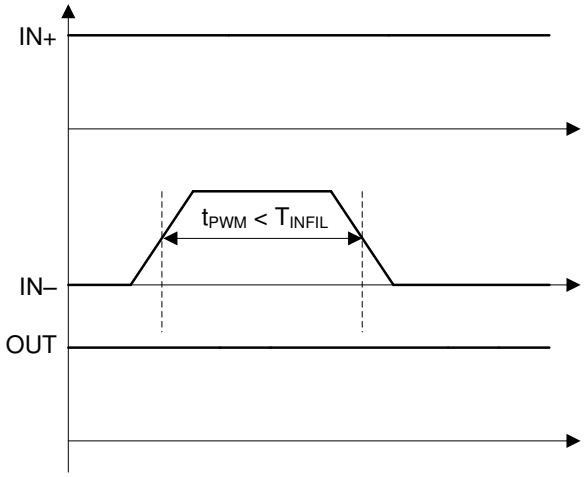


图 6-5. IN – 开启抗尖峰脉冲滤波器

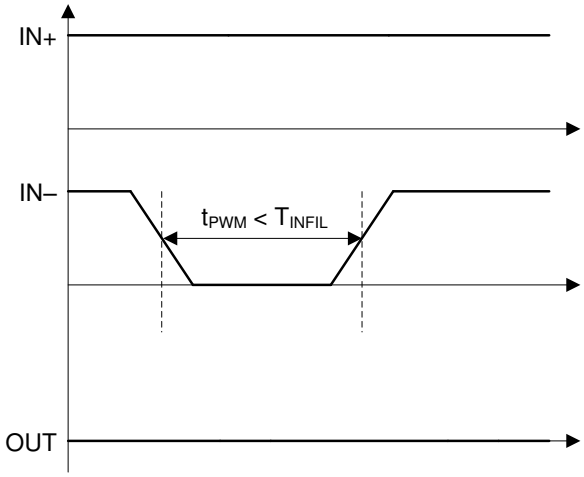


图 6-6. IN – 关断抗尖峰脉冲滤波器

Copyright © 2026 Texas Instruments Incorporated

6.3 有源米勒钳位

6.3.1 内部片上有源米勒钳位

在采用单极性偏置电源或采用具有较小负关断电压的双极性电源的栅极驱动器应用中，有源米勒钳位可提供额外的低阻抗路径，用于绕过米勒电流，并防止高 dV/dt 通过米勒电容引发意外导通。图 7-7 显示了片上内部米勒钳位功能的时序图。

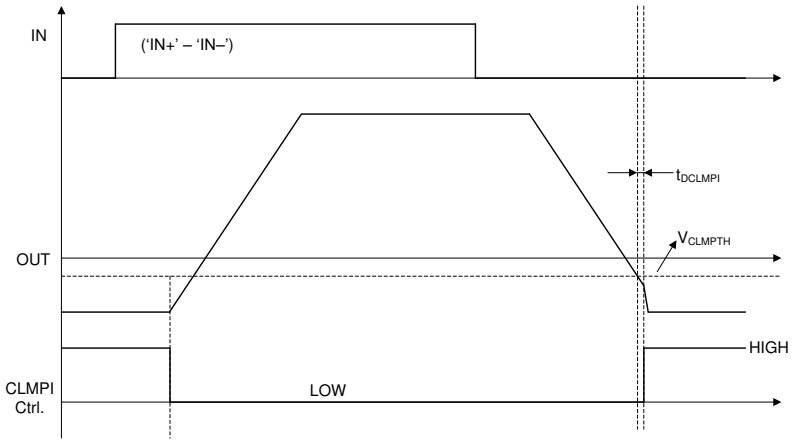


图 6-7. 内部有源米勒钳位功能的时序图

6.4 欠压锁定 (UVLO)

UVLO 是一种关键的保护特性，旨在在 VCC — 初级侧电源和 VDD — 次级侧电源上出现偏置电源故障时保护系统。

6.4.1 VCC UVLO

本节介绍了 VCC UVLO 保护的详细信息。图 7-8 显示了时序图，其中包含 UVLO 开/关阈值定义、抗尖峰脉冲滤波器、响应时间、RDY 和 AIN – APWM。

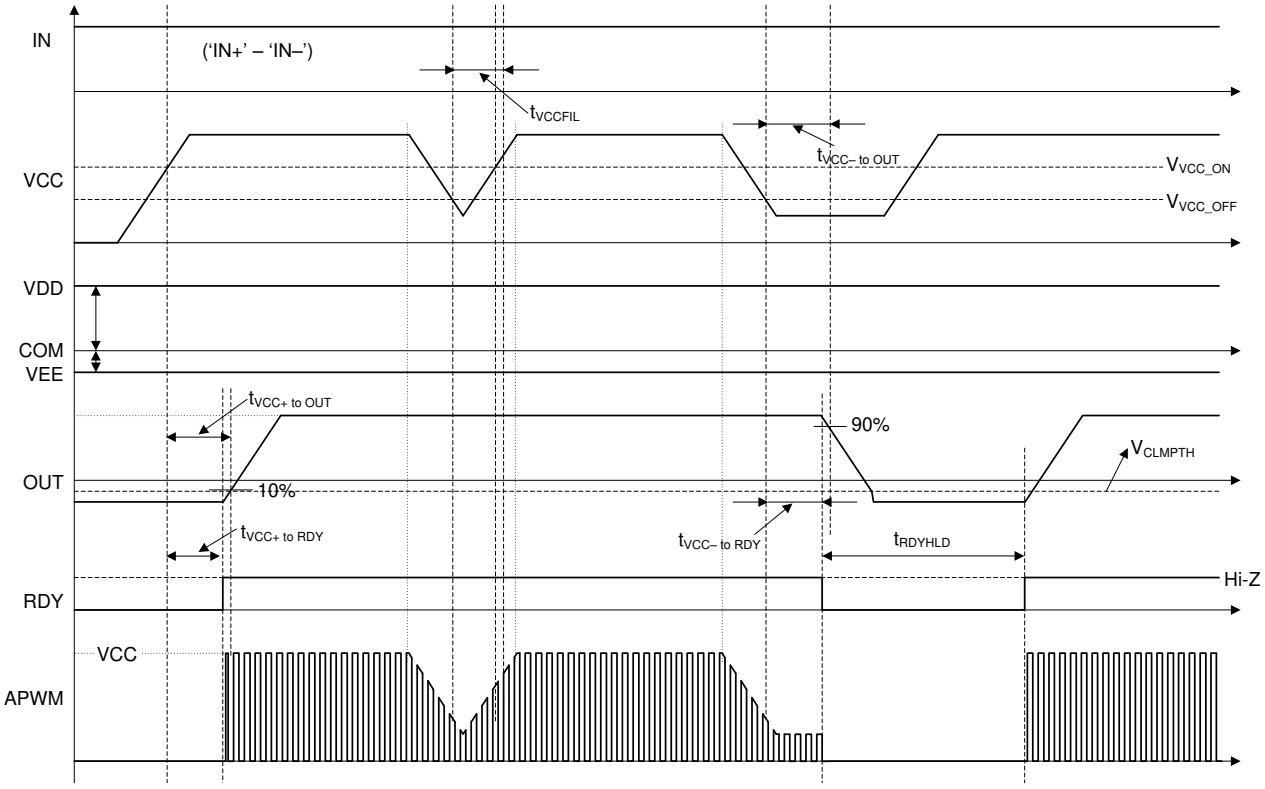


图 6-8. VCC UVLO 保护时序图

Copyright © 2026 Texas Instruments Incorporated

6.4.2 VDD UVLO

本节介绍了 VDD UVLO 保护的详细信息。图 7-9 显示了时序图，其中包含 UVLO 开/关阈值定义、抗尖峰脉冲滤波器、响应时间、RDY 和 AIN – APWM。

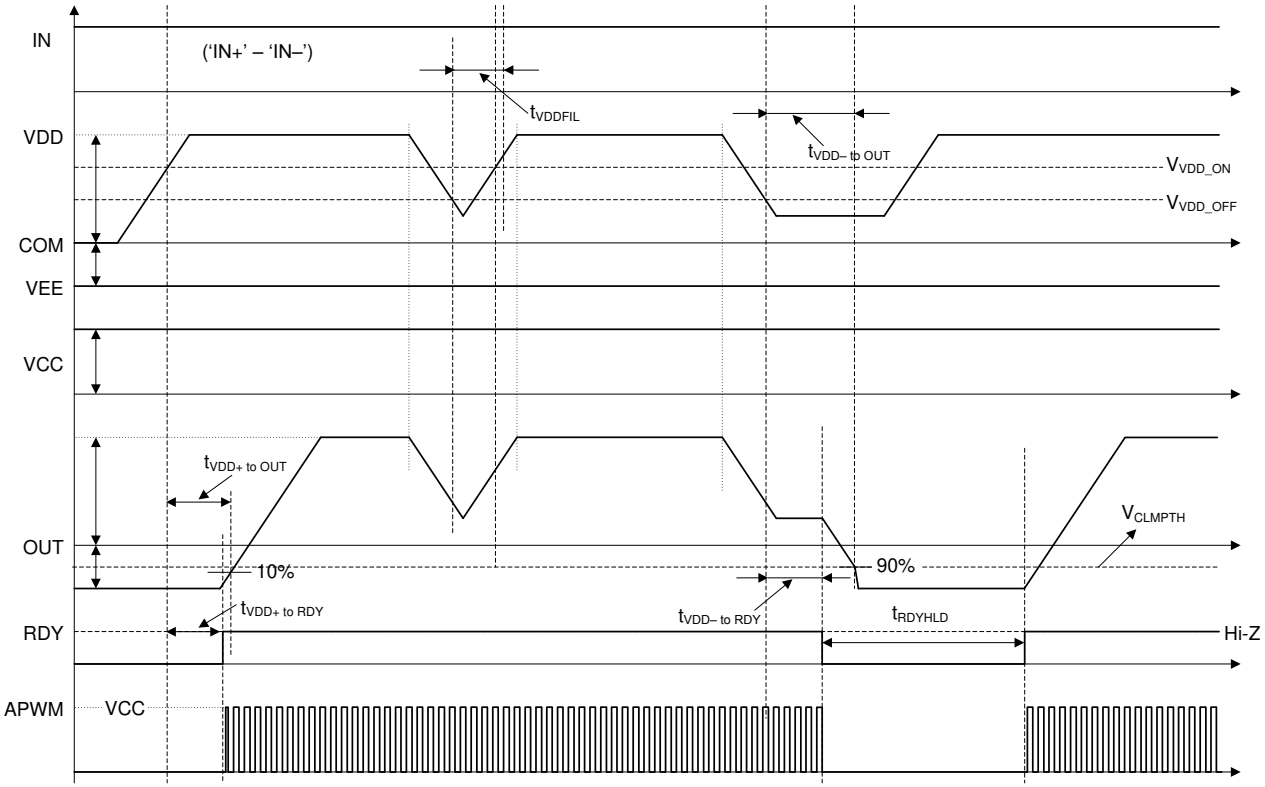


图 6-9. VDD UVLO 保护时序图

6.5 OC（过流）保护

6.5.1 具有软关断功能的 OC 保护

OC 保护用于在过流或击穿情况下检测 SiC MOSFET 和 IGBT 的电流。图 7-10 展示了软关断条件下 OC 运行的时序图。

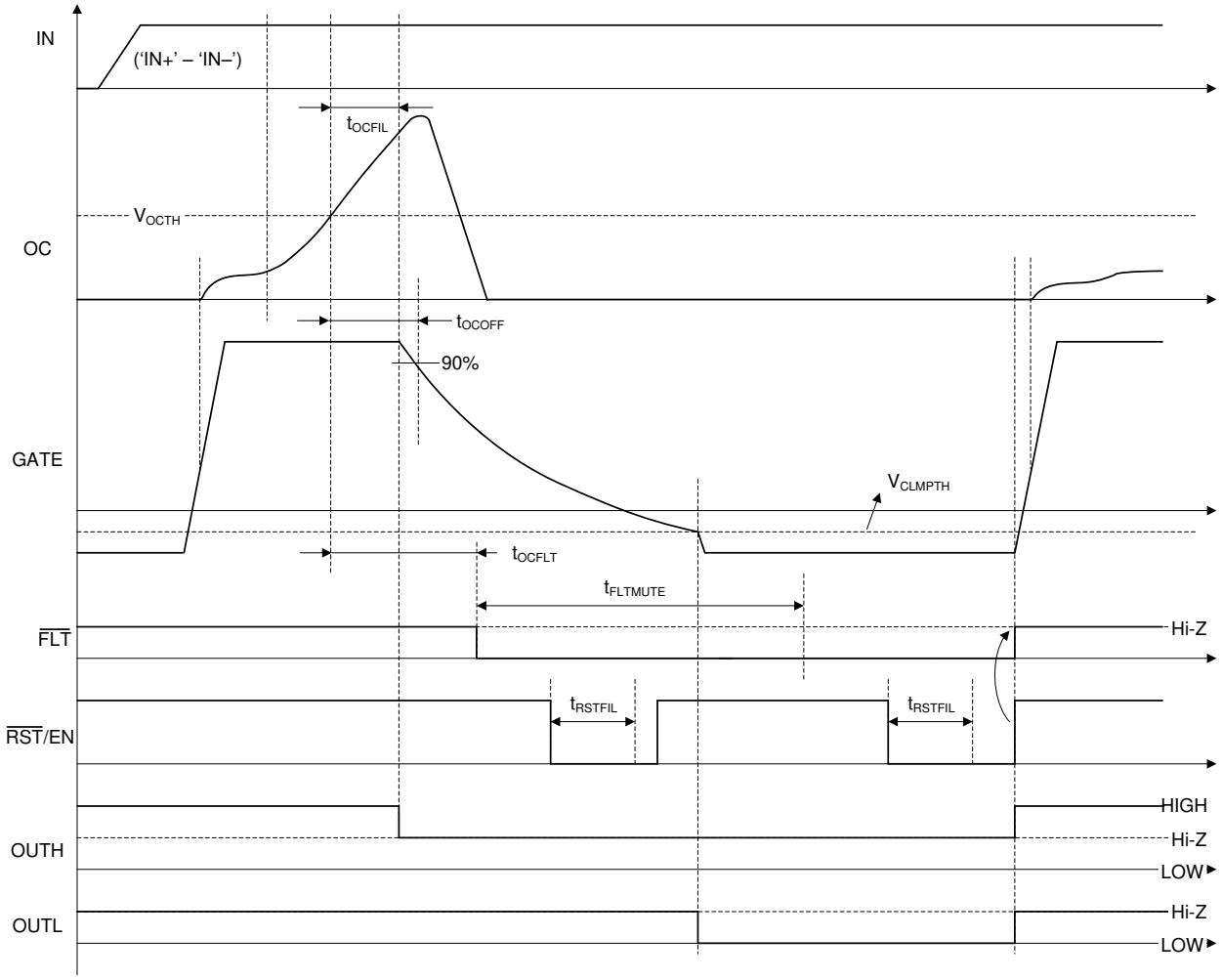


图 6-10. 具有软关断功能的 OC 保护

Copyright © 2026 Texas Instruments Incorporated

7 详细说明

7.1 概述

UCC21711-Q1 器件是一款先进的隔离式栅极驱动器，具备尖端的保护和检测功能，适用于 SiC MOSFET 和 IGBT。该器件基于 SiC MOSFET 和 IGBT，可支持高达 2121V 的直流工作电压，适用于 10kW 以上的应用，如 HEV/EV 牵引逆变器、电机驱动、车载和车外电池充电器、太阳能逆变器等。电隔离采用电容隔离技术实现，可在低压 DSP/MCU 与高压侧之间建立可靠的强化隔离。

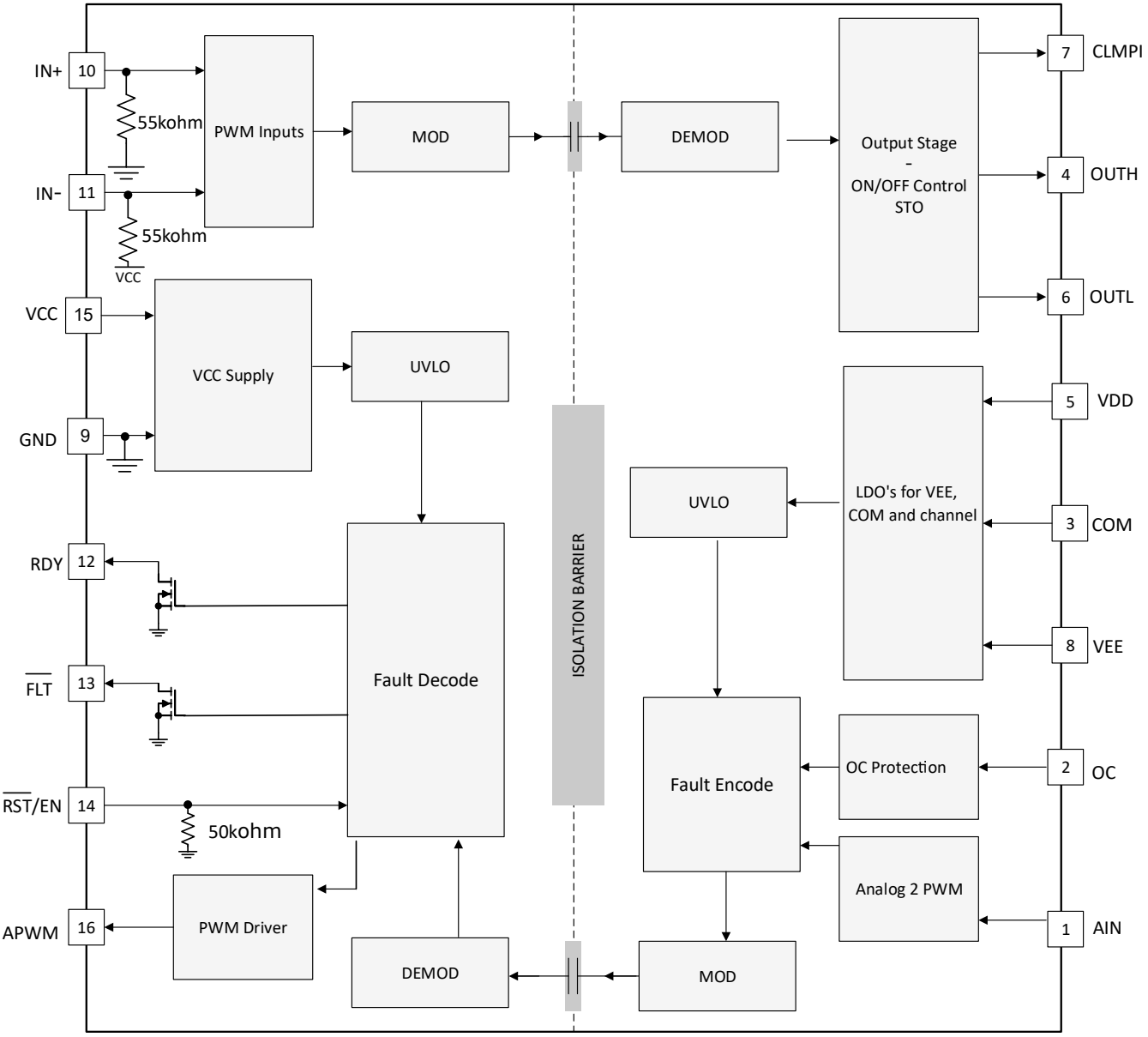
UCC21711-Q1 的 ±10A 峰值灌电流和拉电流可以直接驱动 SiC MOSFET 模块和 IGBT 模块，而无需额外的缓冲器。该驱动器也可配合外部缓冲级驱动更高功率模块或并联模块。输入侧与输出侧通过基于电容隔离技术的强化隔离屏障实现隔离。该器件可支持高达 $1.5kV_{RMS}$ 的工作电压和 $12.8kV_{PK}$ 的浪涌抗扰度，隔离栅寿命超过 40 年。强驱动强度有助于快速开关器件并减少开关损耗，而 150V/ns 的最小 CMTI 确保系统在高速切换时仍保持可靠性。该器件具有较小的传播延迟和器件间时序偏差，可最大限度缩短死区时间设置，从而降低导通损耗。

该器件包含全面的保护和监控功能，可提升基于 SiC MOSFET 和 IGBT 系统的可靠性与稳健性。12V 输出侧电源 UVLO 适用于栅极电压 ≥15V 的开关。有源米勒钳位功能可防止在快速开关期间由米勒电容引起的误导通。可以使用外部米勒钳位 FET，为系统设计提供更多的多功能性。该器件具有先进的过流和短路检测时间和故障报告功能，可以向低压侧 DSP/MCU 报告。当检测到过流或短路障时触发软关断，从而更大限度地减少短路能量，同时降低开关上的过冲电压。

隔离式模拟转换成 PWM 的传感器可用于开关温度检测、直流母线电压检测和辅助电源检测等场景。PWM 信号可以直接馈送到 DSP/MCU，或经低通滤波器转换为模拟信号输出。

Copyright © 2026 Texas Instruments Incorporated

7.2 功能方框图



7.3 特性说明

7.3.1 电源

输入侧电源 VCC 可支持 3V 至 5.5V 的宽范围电压。该器件在输出侧支持单极和双极电源，VDD 至 VEE 电压范围宽广，覆盖 13V 至 33V。通常采用相对于开关源极或发射极的负电源，以避免相桥臂中另一开关导通时的误导通现象。负电压由于开关速度快，对 SiC MOSFET 尤其重要。

7.3.2 驱动器级

UCC21711-Q1 具有 ±10A 的峰值驱动强度，适用于高功率应用。高驱动强度可以直接驱动 SiC MOSFET 模块、IGBT 模块或并联分立式器件，而无需额外的缓冲级。UCC21711-Q1 也可用于通过额外的缓冲级来驱动更高功率的模块或并联模块。无论 VDD 的值如何，峰值灌电流和拉电流都能保持在 10A。该驱动器具有一项重要的安全功能，借助该功能，当输入引脚处于悬空状态时，OUTH/OUTL 会保持在低电平状态。驱动器级的分离输出如 图 7-1 所示。该驱动器采用混合上拉结构实现轨到轨输出，将一个 P 沟道 MOSFET 与一个 N 沟道 MOSFET 进行并

Copyright © 2026 Texas Instruments Incorporated

联，同时搭配一个 N 沟道 MOSFET 用于下拉。上拉 NMOS 与下拉 NMOS 相同，因此导通电阻 R_{NMOS} 与 R_{OL} 相同。该混合上拉结构在功率半导体导通瞬态的米勒台阶电压区域期间，能够在需要时提供峰值拉电流。图 7-1 中的 R_{OH} 表示上拉 P 沟道 MOSFET 的导通电阻。但是，有效上拉电阻远小于 R_{OH}。由于上拉 N 沟道 MOSFET 的导通电阻远小于 P 沟道 MOSFET，因此在 OUTH 引脚上的电压降至比 VDD 电压低约 3V 之前，上拉 N 沟道 MOSFET 在大多数导通瞬态中占主导地位。在此期间，混合上拉结构的有效电阻约为 2 × R_{OL}。然后，P 沟道 MOSFET 将 OUTH 电压上拉至 VDD 轨电平。低阻抗使导通瞬态期间产生强驱动强度，从而缩短功率半导体的输入电容的充电时间并降低导通开关损耗。

驱动器级的下拉结构仅由一个下拉 N 沟道 MOSFET 实现。该 MOSFET 可以确保 OUTL 电压被下拉至 VEE 轨电平。低下拉阻抗不仅会产生高灌电流，进而缩短关断时间，还有助于提高抗噪性（考虑到米勒效应）。

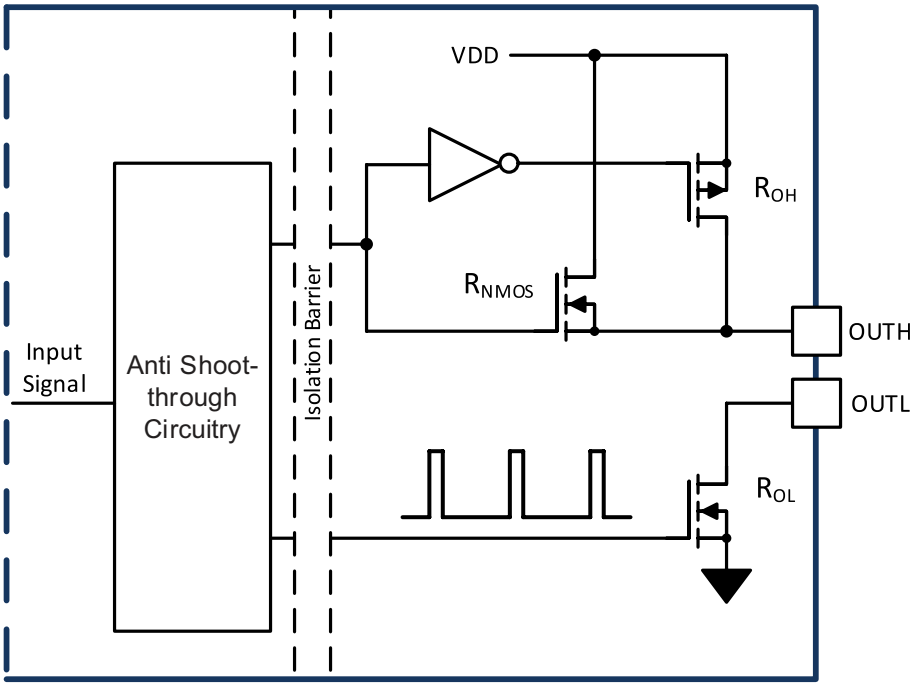


图 7-1. 栅极驱动器输出级

7.3.3 VCC 和 VDD 欠压锁定 (UVLO)

UCC21711-Q1 为输入和输出电源 VCC 和 VDD 实现内部 UVLO 保护功能。当电源电压低于阈值电压时，驱动器输出保持低电平。仅当 VCC 和 VDD 都脱离 UVLO 状态时，输出才会变为高电平。UVLO 保护功能不但能在低电源电压条件下降低驱动器本身的功耗，还可以提高功率级的效率。对于 SiC MOSFET 和 IGBT，导通电阻会随着栅源极电压或栅射极电压的升高而降低。如果功率半导体导通时 VDD 值很低，则导通损耗会显著增加，并可能导致热问题和功率级效率降低。UCC21711-Q1 可实现 12V 的 VDD UVLO 阈值电压，迟滞电压为 800mV。该阈值电压适用于 SiC MOSFET 和 IGBT。

UVLO 保护块具有迟滞功能和去扰滤波器，有助于提高电源的抗噪性。在导通和关断开关瞬态期间，驱动器会从电源拉取和灌入峰值瞬态电流，从而使电源突然产生压降。借助迟滞功能和 UVLO 抗尖峰脉冲滤波器，内部 UVLO 保护块将忽略正常开关瞬态期间的小噪声。

VCC 和 VDD 的 UVLO 功能的时序图如 图 7-8 和图 7-9 所示。输入侧的 RDY 引脚用于指示电源是否处于正常状态。RDY 引脚为开漏。在 UVLO 条件下，RDY 引脚保持在低电平状态并与 GND 相连。通常，该引脚电压通过外部上拉至 VCC，以指示电源处于正常状态。AIN-APWM 功能在 UVLO 状态期间停止工作。输入侧的 APWM 引脚将保持低电平。

Copyright © 2026 Texas Instruments Incorporated

7.3.4 有源下拉

UCC21711-Q1 实现了有源下拉特性，以确保在 VDD 开路时 OUTH/OUTL 引脚钳位到 VEE。当 VDD 断开时，OUTH/OUTL 引脚处于高阻抗状态，主动下拉特性可防止器件恢复受控前输出错误导通。

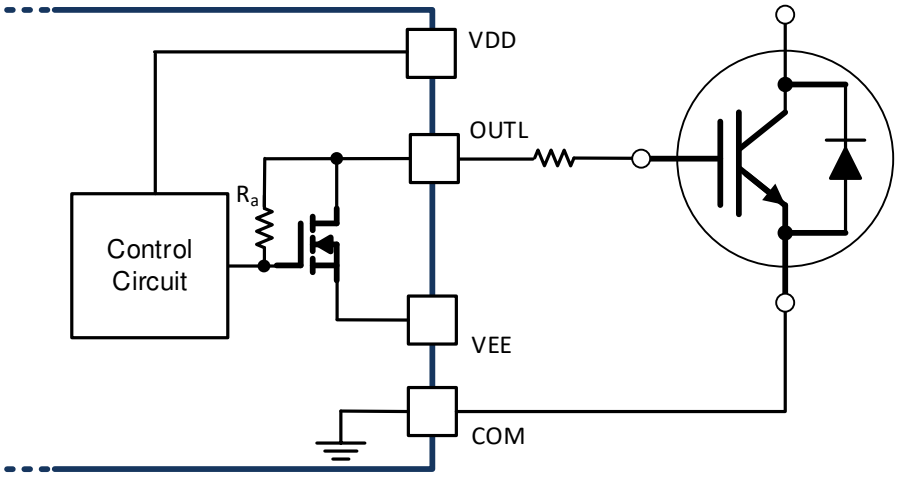


图 7-2. 有源下拉

7.3.5 短路钳位

在短路情况下，由于高 dV/dt，米勒电容会导致电流灌入 OUTH/OUTL 引脚，并提高 OUTH/OUTL 电压。UCC21711-Q1 的短路钳位功能可将 OUTH/OUTL 引脚电压钳位至略高于 VDD 的水平，从而保护功率半导体免受栅源和栅极-发射极过压击穿的影响。该功能通过内部二极管实现，该二极管连接 OUTH/OUTL 引脚与 VDD 之间。

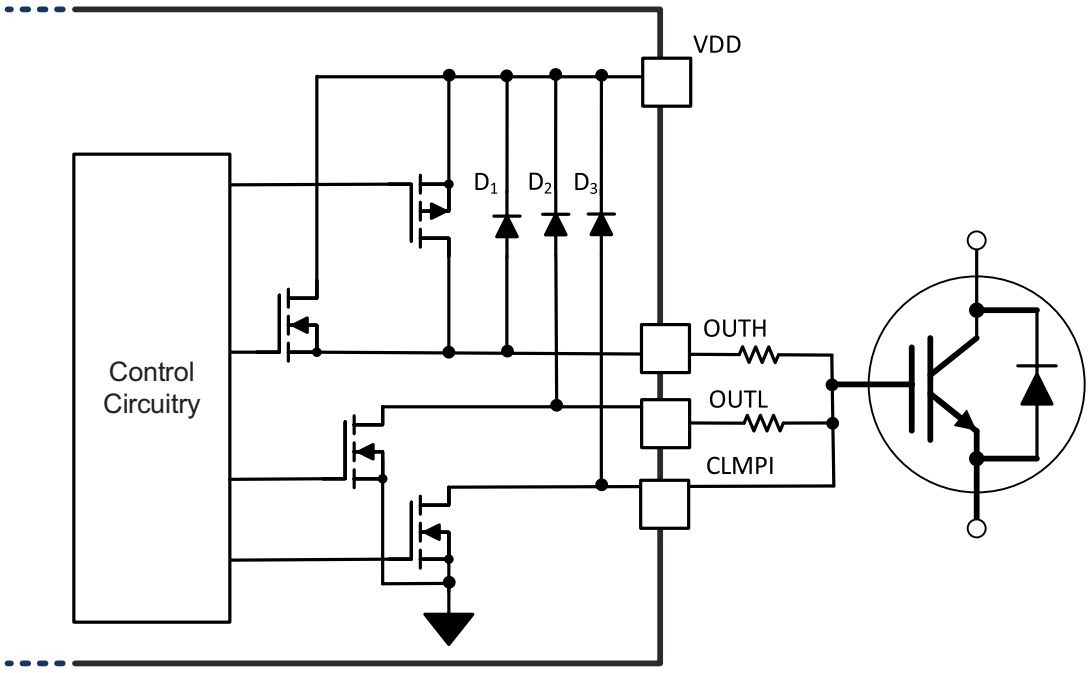


图 7-3. 短路钳位

Copyright © 2026 Texas Instruments Incorporated

7.3.6 内部有源米勒钳位

有源米勒钳位特性对于防止驱动器处于关断状态时的误导通至关重要。在器件可能处于同步整流模式的应用中，当器件处于关断状态时，体二极管会在死区时间导通电流。此时漏源或集电极 - 发射极电压保持不变，而当相桥臂中另一个功率半导体导通时会产生 dV/dt。UCC21711-Q1 的低内部下拉阻抗可提供强下拉电阻以将 OUTL 保持在 VEE。然而，通常采用外部栅极电阻来限制 dV/dt。另一个功率半导体导通瞬态期间的米勒效应会导致外部栅极电阻器上出现压降，从而提高栅源极或栅极 — 发射极电压。如果 V_{GS} 或 V_{GE} 上的电压高于功率半导体的阈值电压，则可能会发生击穿并导致灾难性损坏。UCC21711-Q1 凭借其有源米勒钳位功能，驱动与器件栅极相连接的内部 MOSFET。当栅极电压低于 V_{CLMPTH} 但比 VEE 高 2V 时，会触发内部 MOSFET，并创建一条低阻抗路径以避免误导通问题。

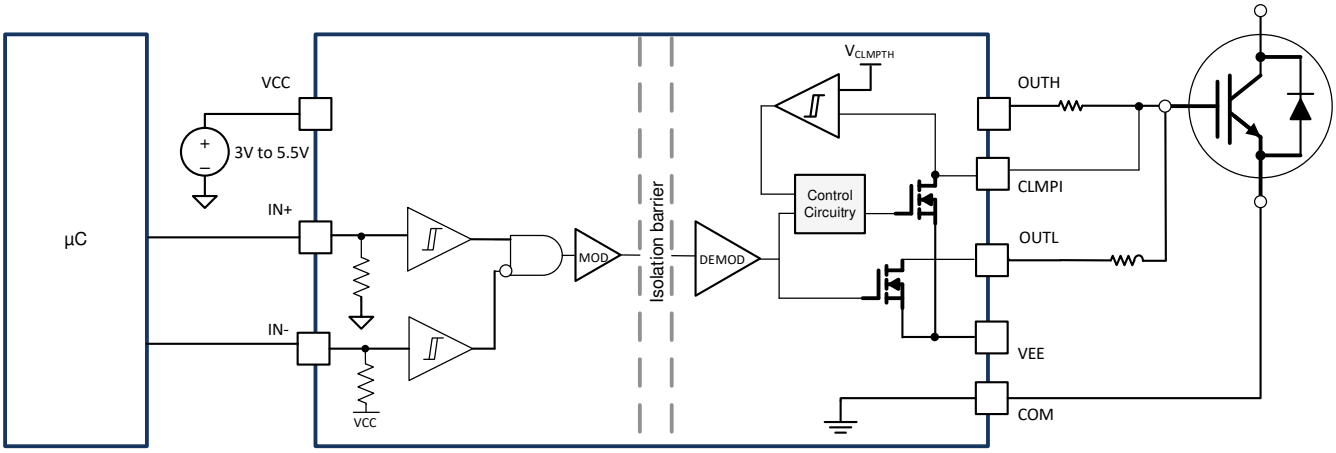


图 7-4. 有源米勒钳位

7.3.7 过流和短路保护

UCC21711-Q1 实现了快速过流和短路保护功能，可保护 SiC MOSFET 或 IGBT 在故障期间免受灾难性击穿的影响。器件的 OC 引脚相对于 COM、功率半导体的源极或发射极具有典型的 0.7V 阈值。当输入处于悬空状态或输出保持在低电平状态时，OC 引脚由内部 MOSFET 下拉并保持在低电平状态，从而防止误触发过流和短路故障。当输出处于高电平状态时，OC 引脚处于高阻抗状态，这意味着仅在功率半导体处于导通状态时过流和短路保护功能才有效。当功率半导体关断时，内部下拉 MOSFET 有助于使 OC 引脚的电压放电。

过流和短路保护特性可用于具有 SenseFET 的 SiC MOSFET 模块或 IGBT 模块、传统的去饱和电路以及与低功耗应用的电源环路串联的分流电阻器，如 图 7-5 所示。对于 SiC MOSFET 模块或具有 SenseFET 的 IGBT 模块来说，模块中集成的 SenseFET 可以降低漏极电流或集电极电流。借助外部高精度检测电阻，可以精确测量漏极电流或集电极电流。如果检测到检测电阻的电压高于过流阈值 V_{OCTH}，则启动软关断。故障将报告给 DSP/MCU 的输入侧 $\overline{FLT}$ 引脚。检测到故障后，输出会保持低电平，只能通过 $\overline{RST}$/EN 引脚复位。先进的过流和短路检测时间有助于确保缩短 SiC MOSFET 和 IGBT 的停机时间。

过流和短路保护特性也可与去饱和电路和分流电阻配合使用。在这种情况下，可以对 DESAT 阈值进行编程，从而提高器件的多功能性。去饱和电路和分流电阻的详细应用图将在过流和短路保护中提供。

- 过流和短路故障期间的大电流和高 dI/dt 可能会导致分流电阻器的寄生电感和电路板布局寄生元件上出现电压反弹，从而导致 OC 引脚误触发。在这种方法中，必须使用高精度、低 ESL 和小阻值的电阻器。
- 对于高功率应用和低功耗应用的短路保护，不建议使用分流电阻器方法。

应用和实现部分将讨论过流和短路功能的详细应用。

Copyright © 2026 Texas Instruments Incorporated

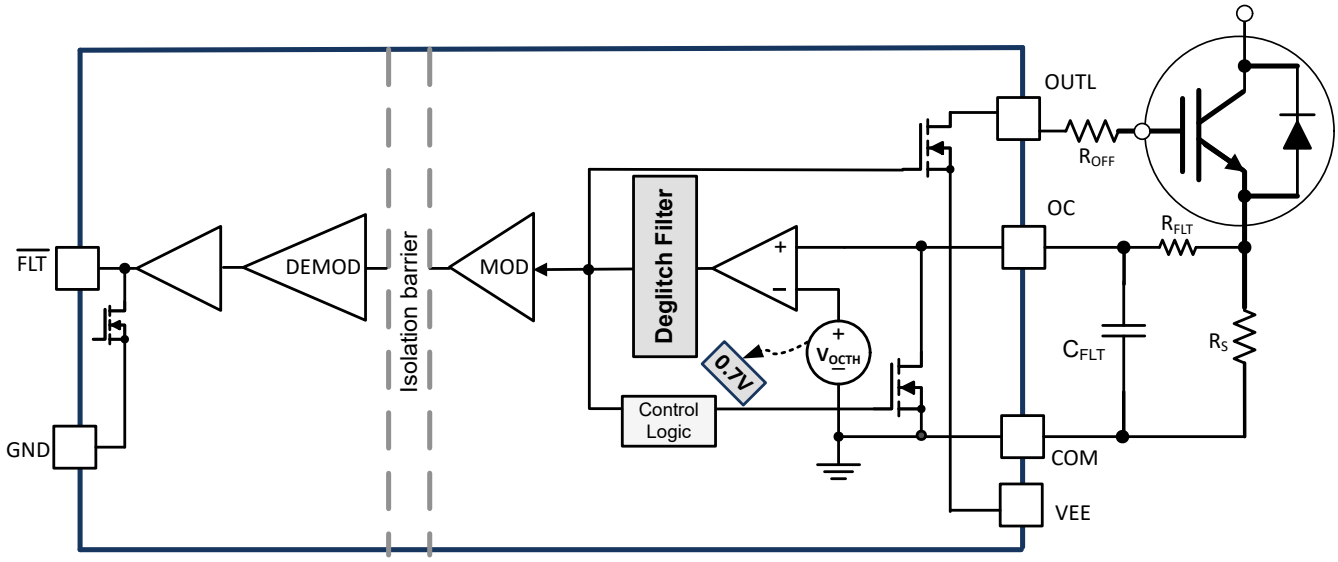


图 7-5. 过流和短路保护

7.3.8 软关断

UCC21711-Q1 在触发过流和短路保护时启动软关断。当发生过流和短路故障时，功率半导体会非常快速地从线性区域转换到饱和区域。通道电流由栅极电压控制。通过使用软关断电流拉低栅极电压，通道电流的 dI/dt 由栅极电压控制并以软方式降低，因此功率半导体的过冲受到限制、并防止过压击穿。软关断的时序图如图 7-10 所示。

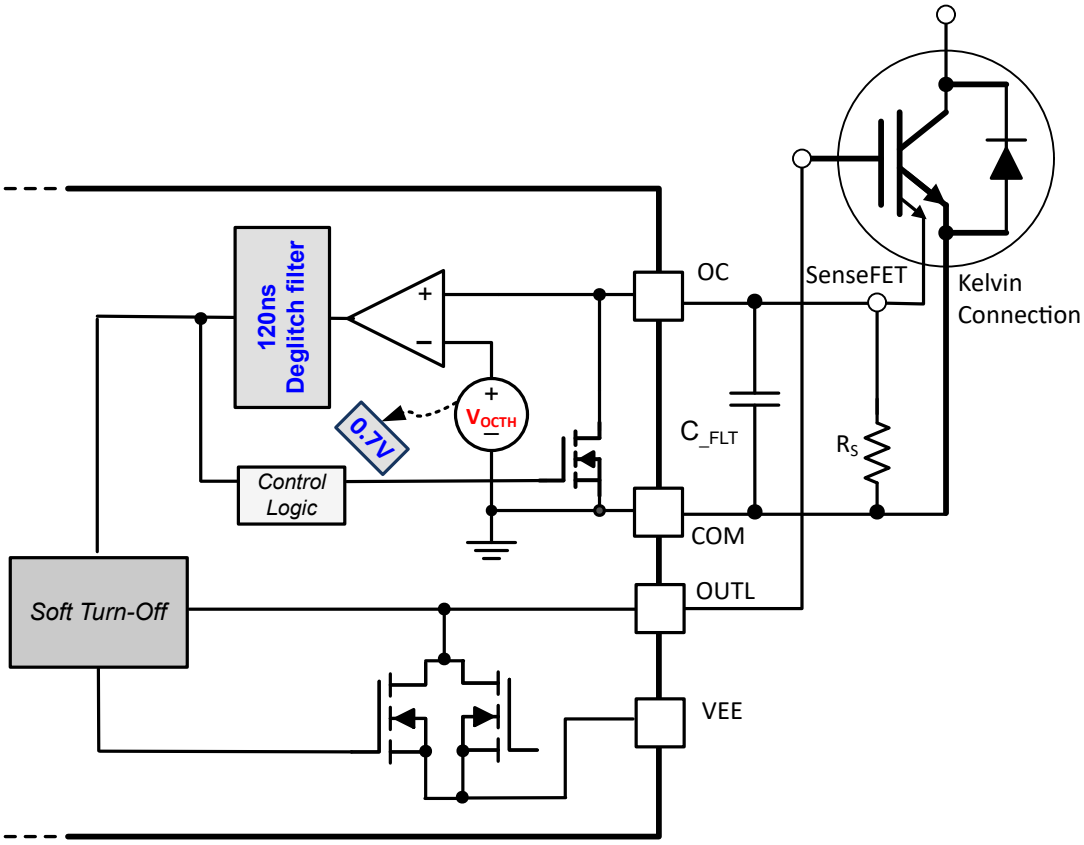


图 7-6. 软关断

Copyright © 2026 Texas Instruments Incorporated

7.3.9 故障（$\overline{FLT}$、复位和启用 ($\overline{RST}$/EN）

UCC21711-Q1 的 $\overline{FLT}$ 引脚为开漏输出，当通过 OC 引脚检测到故障时，可向 DSP/MCU 发送故障信号。在检测到故障后，$\overline{FLT}$ 引脚将下拉至 GND，并保持低电平，直至接收到 $\overline{RST}$/EN 的复位信号。器件具有故障静音时间 $t_{FLTMUTE}$，在此期间将忽略任何复位信号。

$\overline{RST}$/EN 由 50kΩ 电阻器在内部下拉，因此当此引脚悬空时，默认禁用。必须从外部将其上拉，才能启用驱动器。此引脚有两个用途：

- 重置 $\overline{FLT}$ 引脚。重置时需将 $\overline{RST}$/EN 引脚拉低；若在静音时间 $t_{FLTMUTE}$ 结束后，该引脚持续保持低电平超过 t_{RSTFIL} 时长，则故障信号将被重置。当 $\overline{RST}$/EN 引脚的输入信号上升沿出现时，$\overline{FLT}$ 将恢复至高阻抗状态。
- 启用和关断器件。如果 $\overline{RST}$/EN 引脚拉低的时间超过 t_{RSTFIL}，驱动器将禁用并激活 OUTL 以下拉 IGBT 或 SiC MOSFET 的栅极。必须从外部上拉该引脚才能启用器件，否则默认情况下会禁用该器件。

7.3.10 隔离式模拟至 PWM 信号功能

UCC21711-Q1 在 AIN 至 APWM 引脚间具备隔离式模拟转换为 PWM 信号的功能，可实现隔离式温度检测和高压直流母线电压检测等应用。该器件内置了一个连接至 AIN 引脚的内部电流源 I_{AIN}，用于为外部的热二极管或温度检测电阻提供偏置。UCC21711-Q1 将电压信号 V_{AIN} 编码为 PWM 信号，通过增强型隔离屏障传输，并输出至输入侧的 APWM 引脚。PWM 信号既可以直接传输到 DSP/MCU 以计算占空比，也可以通过简单的 RC 滤波器作为模拟信号进行滤波。AIN 电压输入范围为 0.6V 至 4.5V，APWM 输出的相应占空比范围为 88% 至 10%。占空比呈线性变化，从 10% 增加至 88%，而 AIN 电压从 4.5V 降低至 0.6V。其对应于负温度系数 (NTC) 电阻器和热敏二极管的温度系数。当 AIN 悬空时，AIN 电压为 5V，APWM 以 400kHz 的频率运行，占空比约为 10%。在无一次性校准的情况下，在整个温度范围，占空比精度为 ±3%。通过校准可提升精度。在整个温度范围内，内部电流源 I_{AIN} 的精度为 ±3%。

隔离式模拟转换为 PWM 信号的功能还可以支持其他模拟信号检测，例如高压直流母线电压等。在设计分压器以检测高电压时，必须考虑内部电流源 I_{AIN} 的影响。

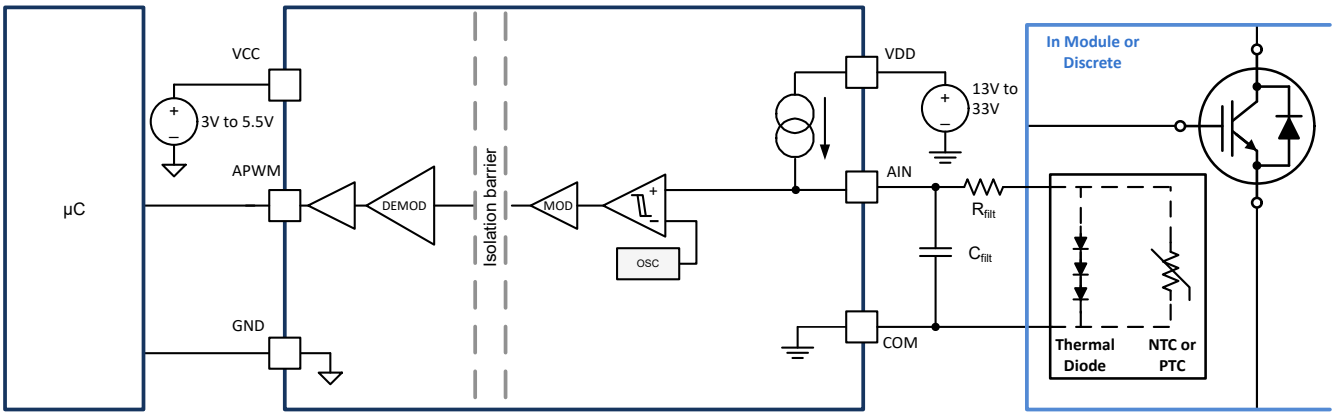


图 7-7. 隔离式模拟转换为 PWM 信号

7.4 器件功能模式

表 7-1 列出了多种器件功能。

表 7-1. 功能表

输入							输出				
VCC	VDD	VEE	IN+	IN-	$\overline{RST}$/EN	AIN	RDY	$\overline{FLT}$	OUTH/ OUTL	CLMPI	APWM
PU	PD	PU	X	X	X	X	低	HiZ	低	低	低
PD	PU	PU	X	X	X	X	低	HiZ	低	低	低
PU	PU	PU	X	X	低	X	HiZ	HiZ	低	低	低
PU	开路	PU	X	X	X	X	低	HiZ	HiZ	HiZ	HiZ
PU	PU	开路	X	X	X	X	低	HiZ	低	低	低
PU	PU	PU	低	X	高	X	HiZ	HiZ	低	低	P*
PU	PU	PU	X	高	高	X	HiZ	HiZ	低	低	P*
PU	PU	PU	高	高	高	X	HiZ	HiZ	低	低	P*
PU	PU	PU	高	低	高	X	HiZ	HiZ	高	HiZ	P*

PU：上电（VCC≥2.85V、VDD≥13.1V、VEE≤0V）；PD：断电（VCC≤2.35V、VDD≤9.9V）；X：不相关；P*：PWM 脉冲；HiZ：高阻态

Copyright © 2026 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

UCC21711-Q1 器件用途非常广泛，因为其具有强大的驱动强度、很宽的输出电源范围、很高的隔离等级和 CMTI 以及出色的保护和检测功能。1.5kVRMS 工作电压和 12.8kVPK 浪涌抗扰度可支持直流母线电压高达 2121V 的 SiC MOSFET 和 IGBT 模块。该器件适用于低功率和高功率应用场景，例如 HEV/EV 牵引逆变器、车载充电器及充电桩、电机驱动器、太阳能逆变器、工业电源等。该器件采用图腾柱结构的 NPN/PNP 双极晶体管，可直接驱动大功率 SiC MOSFET 模块、IGBT 模块或并联分立器件，无需外部缓冲驱动电路，从而增强对功率半导体的控制能力，并节省电路板设计成本与空间。UCC21711-Q1 亦可通过外置缓冲级驱动超高功率模块或并联模块。输入侧支持 3.3V 至 5V 电源及微控制器信号，该器件通过增强型隔离栅将信号电平转换至输出端。该器件具有 13V 至 33V 宽输出电源范围，并支持宽范围的负电源。这样该驱动器就可用于 SiC MOSFET、IGBT 及其他多种应用场景。12V UVLO 可降低功率半导体的导通损耗，提升系统效率。作为增强型隔离单通道驱动器，该器件可驱动低侧或高侧驱动器。

UCC21711-Q1 器件具备全面的保护与监控功能，可监测、报告并保护系统免受各类故障影响。

- 快速检测和保护过流和短路故障。在分离源 SiC MOSFET 模块或分离发射极 IGBT 模块中，该特性较为实用。对于没有集成电流镜或并联分立半导体的模块，可修改传统的去饱和电路以实现短路保护。当检测到故障时，半导体关断，并将 $\overline{\text{FLT}}$ 引脚下拉，指示故障检测状态。除非从 $\overline{\text{RST}}$/EN 引脚接收到复位信号，否则器件会被锁存。
- 软关断功能可保护功率半导体在过流和短路故障期间免受灾难性击穿影响。关断能量可控，同时限制功率半导体的过冲幅度。
- UVLO 检测能保护半导体免受过多导通损耗的影响。检测到器件处于 UVLO 模式后，随即将输出拉低，RDY 引脚指示电源丢失。在电源脱离 UVLO 状态后，器件将自动回归常规工作模式。电源正常状态可通过 RDY 引脚进行监测。
- 模拟信号检测功能，具备隔离式模拟转 PWM 信号的特性。此特性使器件能够通过热敏二极管或温度检测电阻器，检测半导体温度，或通过电阻分压器检测直流母线电压。在低压侧生成 PWM 信号，并实现与高压侧的强化隔离。信号可以反馈到微控制器以进行温度监控和电压监控等。
- 有源米勒钳位功能可通过驱动外部 MOSFET 来保护功率半导体免受误导通的影响。此功能可实现灵活的电路板布局布线和米勒钳位 FET 的下拉强度。
- 通过 $\overline{\text{RST}}$/EN 引脚启用和禁用功能。
- 短路钳位。
- 有源下拉。

8.2 典型应用

图 8-1 显示了使用两个 UCC21711-Q1 隔离式栅极驱动器的半桥典型应用。半桥是各种电力电子应用中的基本元件，例如 HEV/EV 中的牵引逆变器。其作用是将电动汽车电池的直流电流转换为交流电流，以驱动推进系统中的电机。该拓扑结构也可用于电机驱动应用，用于控制交流电机的运行速度和转矩。

Copyright © 2026 Texas Instruments Incorporated

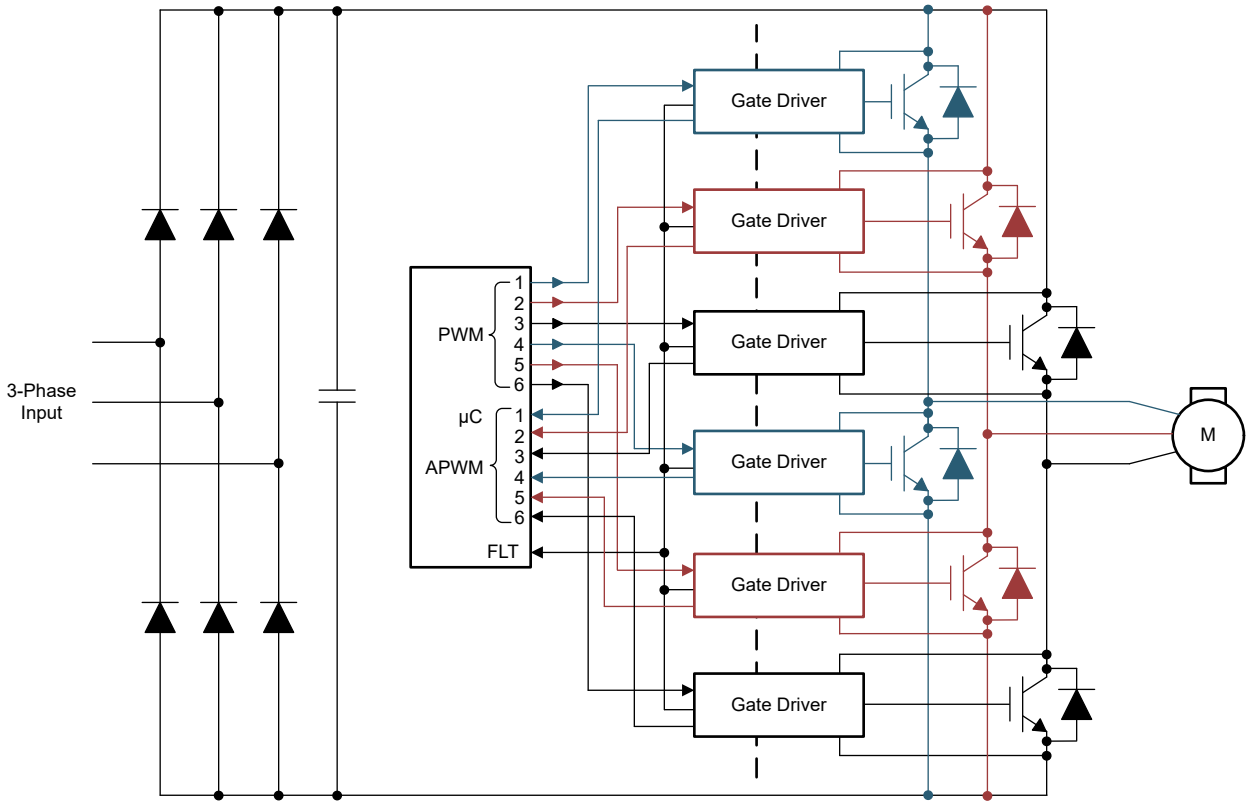


图 8-1. 典型应用原理图

8.2.1 设计要求

在设计终端设备电源系统时，应考虑一些设计要求，确保 UCC21711-Q1 在整个负载范围内可靠运行。设计注意事项包括峰值拉电流和灌电流、功率耗散、过流和短路保护及用于模拟信号检测情况的 AIN-APWM 功能等。

本小节给出了基于 IGBT 的半桥电路设计示例。表 8-1 中显示了设计参数。

表 8-1. 设计参数

参数	值
输入电源电压	5V
IN-OUT 配置	同相
正输出电压 VDD	15V
负输出电压 VEE	-5V
直流总线电压	800V
峰值漏极电流	300A
开关频率	50kHz
开关类型	IGBT 模块

8.2.2 详细设计过程

8.2.2.1 IN+、IN – 和 $\overline{\text{RST}}$/EN 的输入滤波器

在牵引逆变器或电机驱动器的应用中，功率半导体处于硬开关模式。凭借 UCC21711-Q1，的强驱动强度，dV/dt 可能很高，在 SiC MOSFET 中更是如此。噪声不仅会因寄生电感耦合至栅极电压，还会因非理想 PCB 布局及耦合电容耦合至输入端。

Copyright © 2026 Texas Instruments Incorporated

UCC21711-Q1 配置了一个能用于 IN+、IN – 和 $\overline{\text{RST}}$/EN 引脚的 40ns 内部抗尖峰脉冲滤波器。任何小于 40ns 的信号都可以从输入引脚滤除。在有噪声的系统中，可以在外部将外部低通滤波器添加到输入引脚上。在 IN+、IN – 和 $\overline{\text{RST}}$/EN 引脚上添加低通滤波器可以有效地提高抗噪性并提高信号完整性。在不使用时，IN+、IN – 和 $\overline{\text{RST}}$/EN 引脚不应悬空。若仅使用 IN+ 端作为非反相输入至输出的配置，IN – 端应与 GND 连接。低通滤波器的用途是滤除布局寄生效应产生的高频噪声。在选择低通滤波电阻器和电容器时，应根据系统要求考虑抗噪效应和延迟时间。

8.2.2.2 IN+ 和 IN – 的 PWM 互锁

UCC21711-Q1 的 IN+ 和 IN – 引脚具备 PWM 互锁功能，可用于防止相脚击穿问题。如 表 7-1 所示，输出为逻辑低电平，而 IN+ 和 IN- 均为逻辑高电平。当仅使用 IN+ 时，IN- 可连接至 GND。要使用 PWM 互锁功能，相桥臂中另一个开关的 PWM 信号可以发送到 IN – 引脚。如 图 8-2 所示，PWM_T 是顶部开关的 PWM 信号，PWM_B 是底部开关的 PWM 信号。对于顶侧栅极驱动器，PWM_T 信号接入 IN+ 引脚，而 PWM_B 信号接入 IN- 引脚；对于底侧栅极驱动器，PWM_B 信号接入 IN+ 引脚，而 PWM_T 信号接入 IN- 引脚。当 PWM_T 和 PWM_B 信号均为高电平时，两个栅极驱动器的输出均为逻辑低电平，以防止击穿情况。

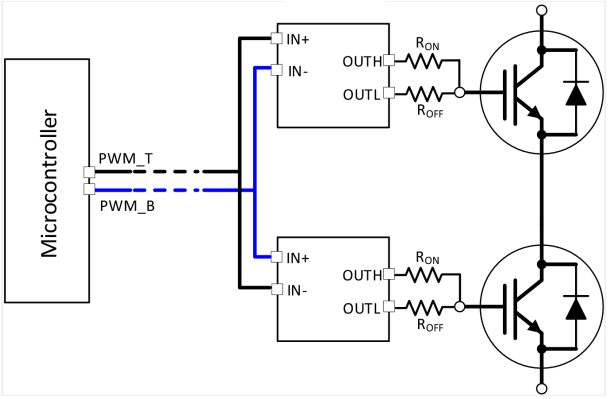


图 8-2. 半桥的 PWM 互锁

8.2.2.3 $\overline{\text{FLT}}$、RDY 和 $\overline{\text{RST}}$/EN 引脚电路

$\overline{\text{FLT}}$ 和 RDY 是开漏输出。$\overline{\text{RST}}$/EN 引脚具有一个 50kΩ 内部下拉电阻器，因此如果未从外部上拉 $\overline{\text{RST}}$/EN 引脚，驱动器将处于关断状态。5kΩ 电阻器用作 $\overline{\text{FLT}}$、RDY 和 $\overline{\text{RST}}$/EN 引脚的上拉电阻器。

为了提高寄生耦合和共模噪声引起的抗噪性能，可以在 $\overline{\text{FLT}}$、RDY 和 $\overline{\text{RST}}$/EN 引脚与微控制器之间加装低通滤波器。可以加装一个 100pF 至 300pF 的滤波电容器。

Copyright © 2026 Texas Instruments Incorporated

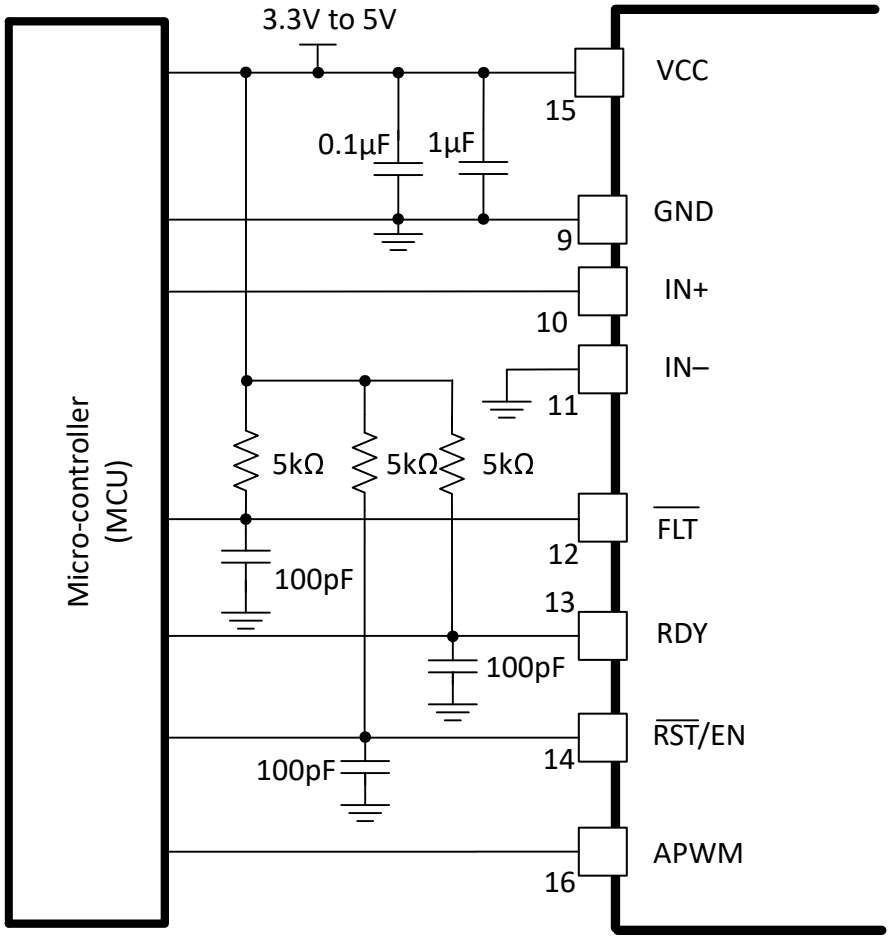


图 8-3. FLT、RDY 和 RST/EN 引脚电路

8.2.2.4 RST/EN 引脚控制

RST/EN 引脚具有两个功能。其可用于启用或关断驱动器的输出，并在检测到 OC 后，将 FLT 引脚上发出的故障信号复位。需上拉 RST/EN 引脚以启用器件；下拉该引脚时，器件处于禁用状态。默认情况下，该引脚上的内部 50kΩ 下拉电阻器会禁用该驱动器。

如果在检测到过流或短路故障后，锁存驱动器、FLT 引脚和输出会锁存为低电平，则需通过 RST/EN 引脚复位。故障后，微控制器必须向 RST/EN 引脚发送信号，才能将驱动器复位。只有在静音时间 $t_{FLTMUTE}$ 之后，驱动器才将会响应。在静音时间之后，复位信号保持低电平的时长至少为 t_{RSTFIL}。

此引脚也可用于自动复位驱动器。连续输入信号 IN+或 IN- 可应用于 RST/EN 引脚。以这种方式配置驱动器时，微控制器不会输出独立的复位信号。如果 PWM 施加到非反相输入 IN+，则 IN+也可以连接到 RST/EN 引脚。如果将 PWM 施加到反相输入 IN－，则微控制器的 PWM 信号和 RST/EN 引脚之间需接入非门逻辑电路。使用任一配置都会导致驱动器在每个开关周期内复位，而无需从连接到 RST/EN 引脚的微控制器发出额外的控制信号。必须确保 PWM 关断时间大于 t_{RSTFIL}，才能在导致 OC 故障的情况下将驱动器复位。

Copyright © 2026 Texas Instruments Incorporated

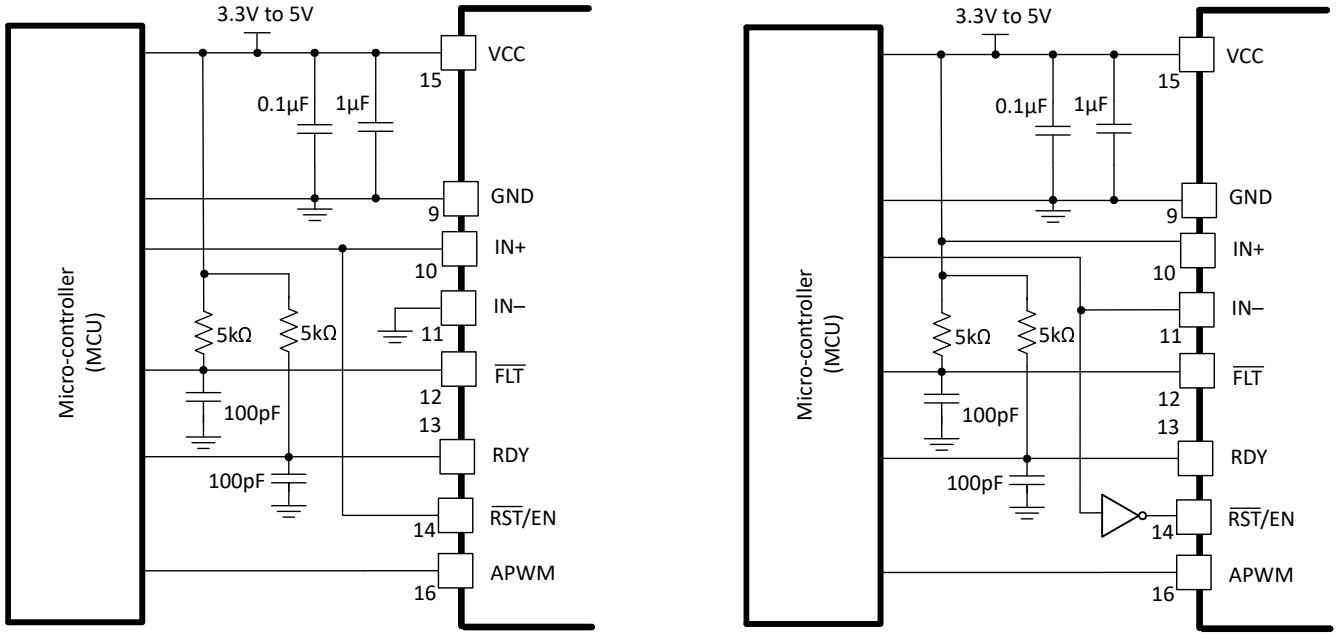


图 8-4. 自动复位控制

8.2.2.5 导通和关断栅极电阻器

UCC21711-Q1 具有分离输出 OUTH 和 OUTL，能够独立控制导通或关断开关速度。导通和关断电阻决定了峰值拉电流和灌电流，从而反过来控制开关速度。同时，应考虑栅极驱动器中的功率耗散，以确保器件处于热限制状态。首先，峰值拉电流和灌电流的计算公式如下：

$$I_{source_pk} = \min(10A, \frac{VDD - VEE}{R_{OH_EFF} + R_{ON} + R_{G_Int}})$$

$$I_{sink_pk} = \min(10A, \frac{VDD - VEE}{R_{OL} + R_{OFF} + R_{G_Int}}) \quad (1)$$

其中

- R_{OH_EFF} 是混合上拉结构的有效内部上拉电阻，约为 2 × R_{OL}，也就是 0.7Ω 左右
- R_{OL} 是内部下拉电阻，约为 0.3Ω
- R_{ON} 是外部导通栅极电阻
- R_{OFF} 是外部关断栅极电阻
- R_{G_Int} 是 SiC MOSFET 或 IGBT 模块的内部电阻

Copyright © 2026 Texas Instruments Incorporated

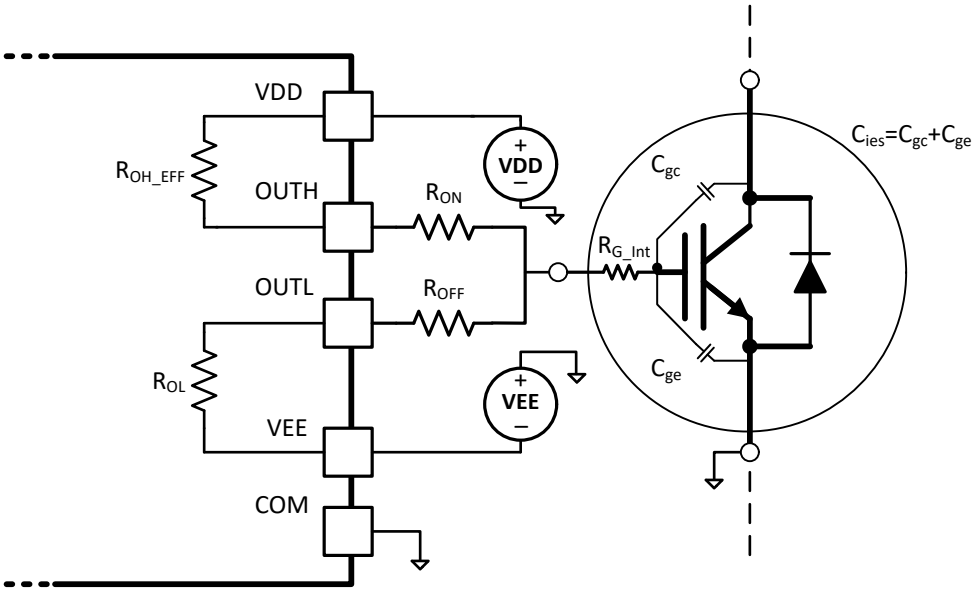


图 8-5. 用于计算峰值栅极电流的输出模型

例如，对于具有以下参数的基于 IGBT 模块的系统：

- Q_g = 3300nC
- R_{G_Int} = 1.7Ω
- R_{ON}=R_{OFF}= 1 Ω

这种情况下的峰值拉电流和灌电流为：

$$I_{source_pk} = \min(10A, \frac{VDD - VEE}{R_{OH_EFF} + R_{ON} + R_{G_Int}}) \approx 5.9A$$
$$I_{sink_pk} = \min(10A, \frac{VDD - VEE}{R_{OL} + R_{OFF} + R_{G_Int}}) \approx 6.7A \quad (2)$$

因此，使用 1 Ω 外部栅极电阻后，峰值拉电流为 5.9A，峰值灌电流为 6.7A。导通开关瞬态期间的集电极至发射极 dV/dt 由米勒台阶电压下的栅极电流决定。混合上拉结构可确保在米勒台阶电压下提供峰值拉电流，除非导通栅极电阻过高。集电极到发射极的电压 V_{ce} 上升至 V_{DC} 的速度越快，导通开关损耗就越小。dV/dt 可以估算为 Q_{gc}/I_{source_pk}。对于关断开关瞬态，除非关断栅极电阻过高，否则漏源 dV/dt 由负载电流决定。V_{ce} 达到直流母线电压后，功率半导体处于饱和模式，通道电流由 V_{ge} 控制。峰值灌电流决定了 dI/dt，而后者则相应地决定了 V_{ce} 电压过冲。如果使用相对较大的关断栅极电阻，则可以限制 V_{ce} 过冲。该过冲可以通过以下公式进行估算：

$$\Delta V_{ce} = L_{stray} \cdot I_{load} / ((R_{OFF} + R_{OL} + R_{G_Int}) \cdot C_{ies} \cdot \ln(V_{plat} / V_{th})) \quad (3)$$

其中

- L_{stray} 是功率开关环路中的杂散电感，如 图 8-6 所示
- I_{load} 是负载电流，也是功率半导体的关断电流
- C_{ies} 是功率半导体的输入电容
- V_{plat} 是功率半导体的台阶电压
- V_{th} 是功率半导体的阈值电压

Copyright © 2026 Texas Instruments Incorporated

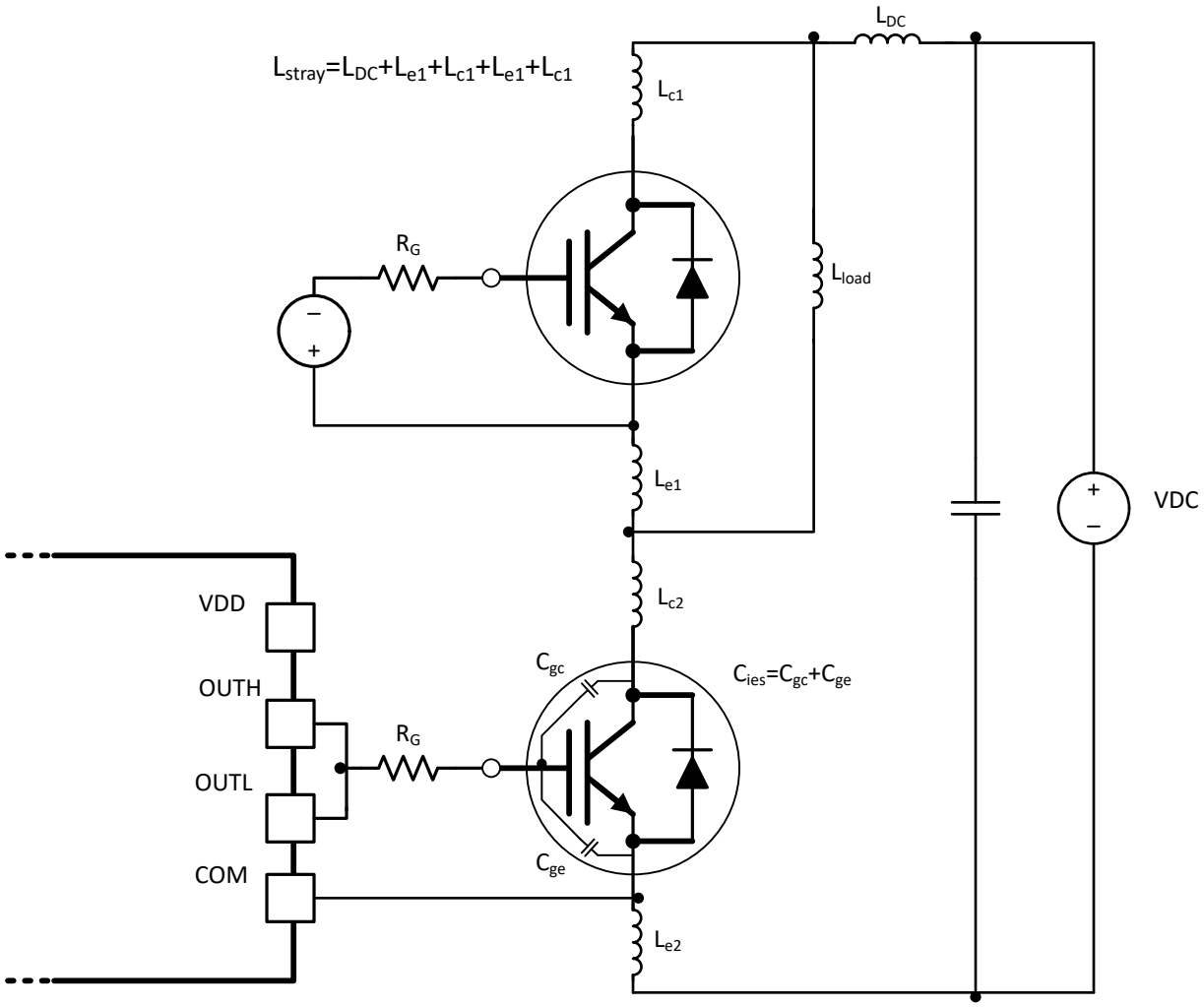


图 8-6. 半桥配置中 IGBT 的杂散寄生电感

应考虑功率耗散，以使栅极驱动器保持在热限制范围内。栅极驱动器的功率损耗包括静态损耗和开关损耗，且计算公式如下：

$$P_{DR} = P_Q + P_{SW} \tag{4}$$

P_Q 是驱动器的静态功率损耗，即 I_q x (VDD-VEE) = 5mA × 20V = 0.100W。静态功率损耗是当驱动器在 VDD 和 VEE 偏置电压下开关动作时，输入级、参考电压、逻辑电路、保护电路等内部电路消耗的功率，以及驱动器开关工作时内部电路的充放电电流所消耗的功率。驱动器开关工作时的功率耗散可使用以下公式计算：

$$P_{SW} = \frac{1}{2} \cdot \left(\frac{R_{OH_EFF}}{R_{OH_EFF} + R_{ON} + R_{G_Int}} + \frac{R_{OL}}{R_{OL} + R_{OFF} + R_{G_Int}} \right) \cdot (VDD - VEE) \cdot f_{sw} \cdot Q_g \tag{5}$$

其中

- Q_g 是在工作点将栅极电压从 VEE 完全充电至 VDD 所需的栅极电荷
- f_{sw} 是开关频率

Copyright © 2026 Texas Instruments Incorporated

在本示例中，可以使用以下公式计算 P_{SW}：

$$P_{SW} = \frac{1}{2} \cdot \left(\frac{R_{OH_EFF}}{R_{OH_EFF} + R_{ON} + R_{G_Int}} + \frac{R_{OL}}{R_{OL} + R_{OFF} + R_{G_Int}} \right) \cdot (VDD - VEE) \cdot f_{sw} \cdot Q_g = 0.505W \quad (6)$$

因此，总功率损耗为：

$$P_{DR} = P_Q + P_{SW} = 0.10W + 0.505W = 0.605W \quad (7)$$

当电路板温度为 125°C 时，结温可通过以下公式进行估算：

$$T_j = T_b + \psi_{jb} \cdot P_{DR} \approx 150^\circ C \quad (8)$$

因此，对于本示例中的应用，在电路板温度为 125°C 时，为使栅极驱动器保持在热限制内，最大开关频率应控制到 50kHz 左右。如果使用较低的开关频率或增加外部栅极电阻，则栅极驱动器可在更高的开关频率下运行。

8.2.2.6 过流和短路保护

对于保护 SiC MOSFET 和 IGBT 模块的灾难性击穿和提升系统可靠性来说，快速可靠的过流和短路保护至关重要。UCC21711-Q1 具有先进的过流和短路保护功能，可通过各种检测电路应用于 SiC MOSFET 和 IGBT 模块。

8.2.2.6.1 基于具有集成 SenseFET 的电源模块的保护

过流和短路保护功能适用于具有集成 SenseFET 的 SiC MOSFET 和 IGBT 模块。SenseFET 可降低主电源环路电流，并使用电源模块的专用引脚输出电流。使用外部高精度检测电阻器，可以测量按比例降低的电流并计算主电源环路电流。检测电阻器 R_S 的值能设置主电流的保护阈值。例如，当集成电流镜的比率为 1:N = 1:50000 时，若采用将 20Ω 的 R_S，阈值保护电流为：

$$I_{OC_TH} = \frac{V_{OCTH}}{R_S} \cdot N = 1750A \quad (9)$$

基于集成式 SenseFET 的过流和短路保护具有高精度，这是因为它能直接检测电流。该方法的精度与两个因素有关：主电源回路电流与 SenseFET 的缩放比以及检测电阻器的精度。由于电流通过与主电源回路隔离的 SenseFET 进行检测，且电流经显著缩放后 dI/dt 大幅降低，因此检测回路具有良好的抗噪性能。为了进一步提高抗噪性能，可以添加一个低通滤波器。可以添加 100pF 至 10nF 滤波电容器。在设计保护电路时，还应考虑低通滤波器引起的延迟时间。

Copyright © 2026 Texas Instruments Incorporated

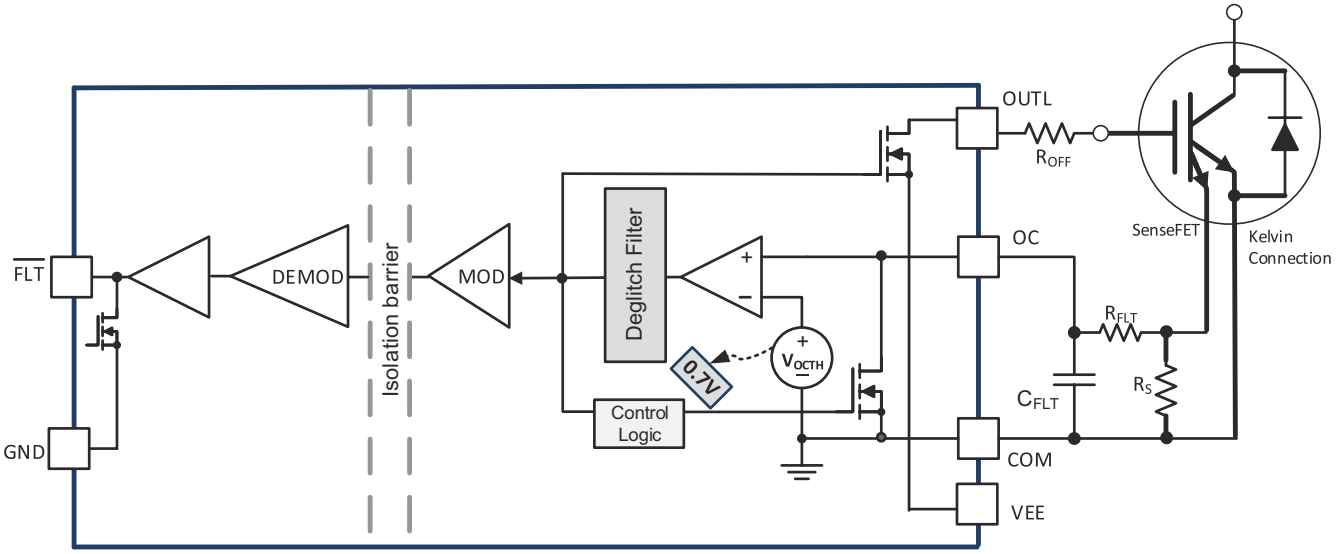


图 8-7. 基于配有 SenseFET 的 IGBT 模块过流与短路保护方案

8.2.2.6.2 基于去饱和电路的保护

对于没有 SenseFET 的 SiC MOSFET 和 IGBT 模块，去饱和 (DESAT) 电路常用于过流和短路保护。该电路由一个电流源、一个电阻器、一个消隐电容器和一个二极管组成。通常情况下，电流源由栅极驱动器提供。当器件导通时，电流源会对消隐电容进行充电，同时使二极管正向偏置。在正常工作期间，该电容器电压由开关管的 V_{CE} 电压箝位。发生短路时，电容器电压会快速充电至阈值电压，从而触发器件关断。对于 UCC21711-Q1，OC 引脚不具有内部电流源。电流源应由输出电源从外部生成。当 UCC21711-Q1 处于关断状态时，OC 引脚由内部 MOSFET 下拉，进而在 OC 引脚上产生失调电压。若选择明显高于内部 MOSFET 的下拉电阻的 R1 和 R2，则可忽略失调电压。当 UCC21711-Q1 处于导通状态时，OC 引脚为高阻抗。电流源由输出电源 VDD 和外部电阻分压器 R1、R2 和 R3 生成。IGBT 的过流检测阈值电压为：

$$V_{DET} = V_{OCTH} \cdot \frac{R_2 + R_3}{R_3} - V_F \tag{10}$$

检测电路的消隐时间为：

$$t_{BLK} = -\frac{R_1 + R_2}{R_1 + R_2 + R_3} \cdot R_3 \cdot C_{BLK} \cdot \ln\left(1 - \frac{R_1 + R_2 + R_3}{R_3} \cdot \frac{V_{OCTH}}{V_{DD}}\right) \tag{11}$$

其中：

- V_{OCTH} 是栅极驱动器的检测阈值电压
- R_1、R_2 和 R_3 是分压器的电阻
- C_{BLK} 是消隐电容器
- V_F 是高压二极管 D_{HV} 的正向电压

改进后的去饱和电路具有传统去饱和电路的所有优势。这种电路的功率损耗可忽略不计，而且很容易实现。IGBT 的检测阈值电压和消隐时间可由外部元件进行编程设置。与传统去饱和电路不同，IGBT 的过流检测阈值电压可改至任意电压等级，既能高于驱动器的检测阈值电压，也可低于该电压。可以在 OC 引脚和 COM 引脚之间接入一个并联的肖特基二极管，以防止有噪声系统中 OC 引脚上出现负电压。去饱和电路测量 IGBT 的 V_{CE} 或 SiC MOSFET 的 V_{DS}，而不是直接测量电流，因此其保护精度不及基于 SenseFET 的保护方法。在这种保护方法中无法准确控制电流阈值。

Copyright © 2026 Texas Instruments Incorporated

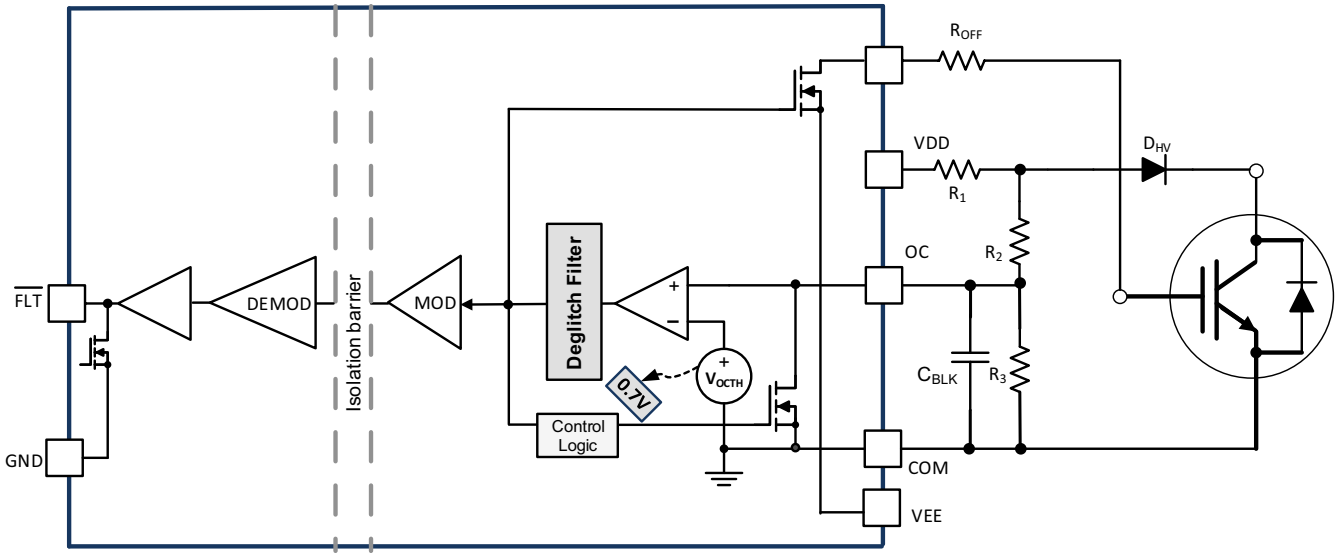


图 8-8. 基于去饱和电路的过流和短路保护

8.2.2.6.3 基于电源环路中分流电阻器的保护

在低功耗应用中，为了简化电路并降低成本，可在电源环路中串联一个分流电阻器并直接测量电流。该电阻器在电源环路中串联，因此它能直接测量电流，并且可通过使用高精度电阻器实现高精度。电阻值需保持较低以减少功率损耗，同时应具备足够大的电压分辨率以满足保护要求。由于检测电阻器也串联在栅极驱动回路中，其压降会导致 IGBT 或 SiC MOSFET 模块的栅极电压出现压降。检测回路中检测电阻器与 PCB 布线的寄生电感，在开关瞬态期间还会形成噪声电压源，导致栅极电压振荡。因此，该方法不适用于高功率应用或 dI/dt 较高的场景。若用于低功率应用，分流电阻环路应经过优化设计，以实现最佳压降并最大限度减少对栅极环路的噪声注入。

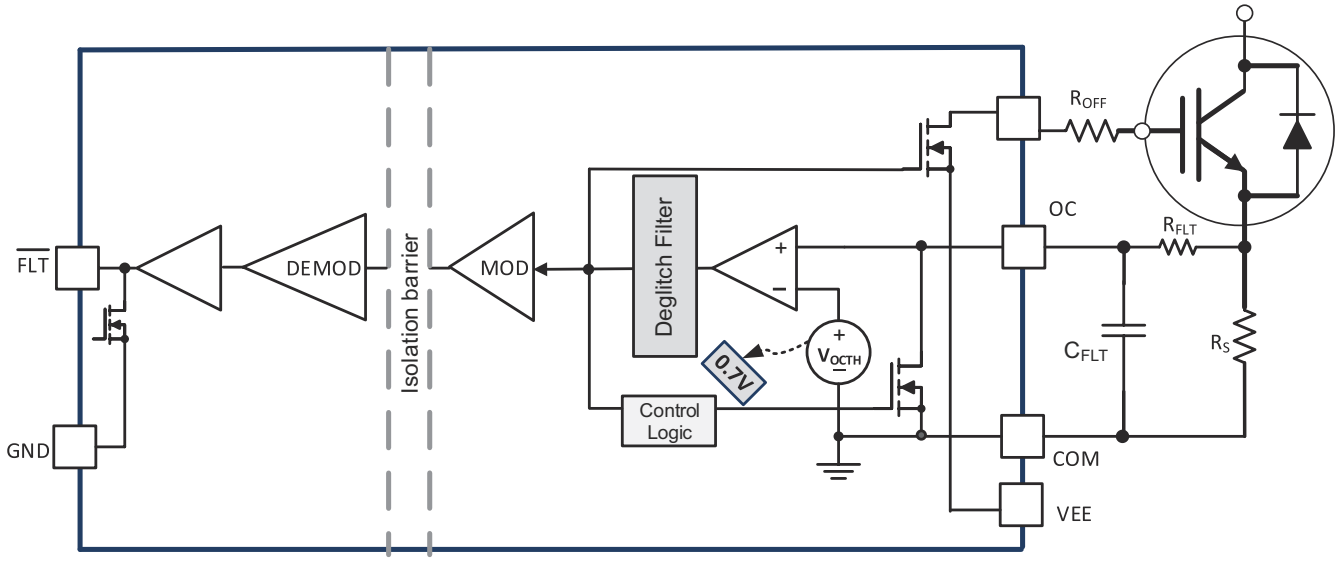


图 8-9. 基于分流电阻器的过流和短路保护

8.2.2.7 隔离式模拟信号感测

隔离式模拟信号检测功能为隔离式温度检测、电压检测等提供了简易的隔离通道。该功能的一个典型应用是功率半导体的温度监测。热敏二极管或温度检测电阻器集成在靠近裸片的 SiC MOSFET 或 IGBT 模块中，用于监控结温。UCC21711-Q1 内置 200uA 电流源，其精度在温度范围内为 ±3%，可对热二极管施加正向偏压或在温度传感

Copyright © 2026 Texas Instruments Incorporated

电阻器上产生电压降。AIN 引脚上检测到的电压通过隔离栅传递到输入侧，并转换为 PWM 信号。当 AIN 电压从 4.5V 变为 0.6V 时，PWM 的占空比呈线性变化，从 10% 变为 88%，可以使用 方程式 12 表示。

$$D_{APWM}(\%) = -20 * V_{AIN} + 100 \quad (12)$$

8.2.2.7.1 隔离式温度感测

图 8-10 中显示了一个典型应用电路。为了检测温度，AIN 引脚连接至热敏二极管或热敏电阻，热敏电阻可为独立元件或集成于功率模块内。建议在 AIN 输入端配置低通滤波器。由于温度信号带宽不高，该低通滤波器主要用于滤除功率器件开关产生的噪声，其传播延迟无需严格控制。C_{filt} 的滤波电容可在 1nF 至 100nF 范围内选择，滤波电阻 R_{filt} 可在 1Ω 至 10Ω 的范围内选择。

APWM 的输出直接连接到微控制器，根据 AIN 处的电压输入，使用 方程式 12，测量占空比。

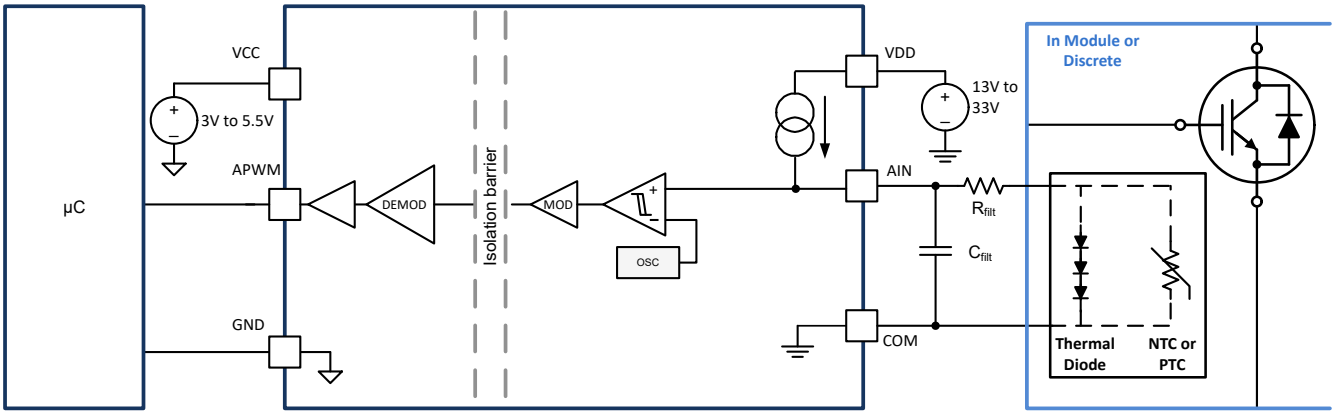


图 8-10. 热敏二极管或热敏电阻温度检测配置

当 UCC21711-Q1 初级侧采用高精度 VCC 电源时，APWM 的占空比输出同样可经滤波处理，并通过微控制器 ADC 输入引脚进行电压测量，如 图 8-11 所示。APWM 的频率为 400kHz，因此 R_{filt_2} 和 C_{filt_2} 的值应使截止频率低于 400kHz。温度不会迅速变化，因此滤波器 RC 常数导致的上升时间不不受严格限制。

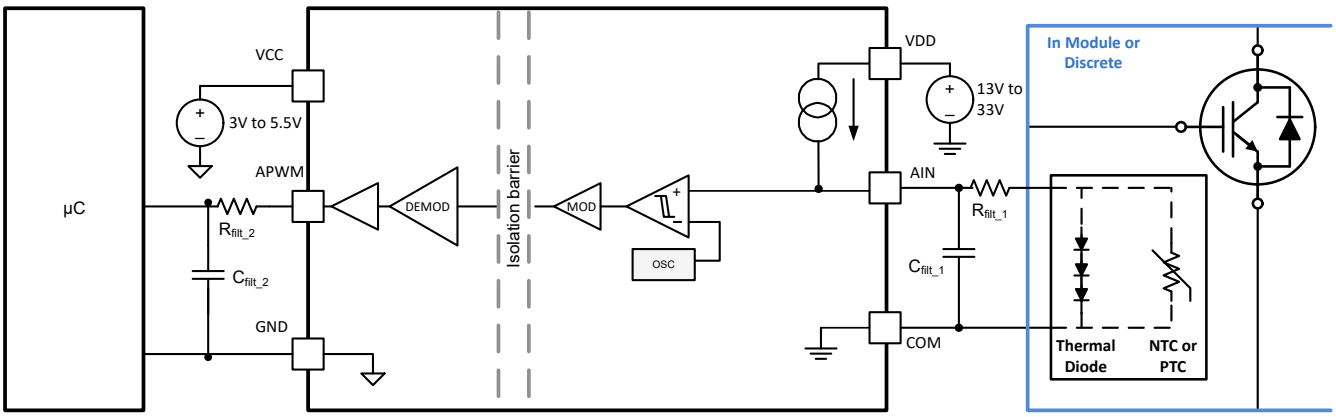


图 8-11. 具有滤波输出的 APWM 通道

下例展示了使用 4.7kΩ NTC（型号 NTCS0805E3472FMT）与 3kΩ 电阻器串联的测量结果，以及采用四只并联连接的 MMBT3904 NPN 晶体管构成的热敏二极管方案。当温度从 25°C 升至 135°C 时，由 4 个串联 MMBT3904 热敏二极管测得的电压范围约为 2.5V 至 1.6V，对应 50% 至 68% 的占空比。与 3kΩ 电阻器串联的 NTC 热敏电阻检测电压在 25°C 至 135°C 范围内约为 1.5V 至 0.6V，对应 70% 至 88% 占空比。两个传感器 VAIN 端电压与 APWM 端对应测得的占空比的关系如 图 8-12 所示。

Copyright © 2026 Texas Instruments Incorporated

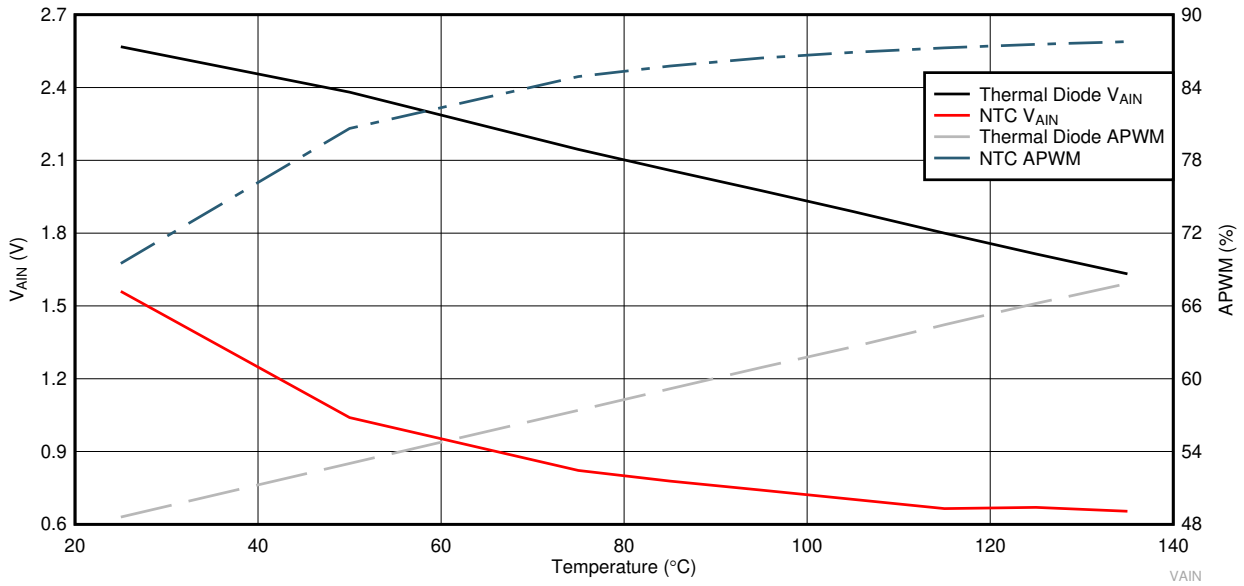


图 8-12. 热敏二极管、NTC V_{AIN} 以及 APWM 处的相应占空比

在不进行任何校准的情况下，占空比输出在整个温度范围内的精度为 ±3%，如 图 8-13 所示。但是，在 25°C 时进行单点校准，占空比精度可提高到 ±1%，如 图 8-14 所示。

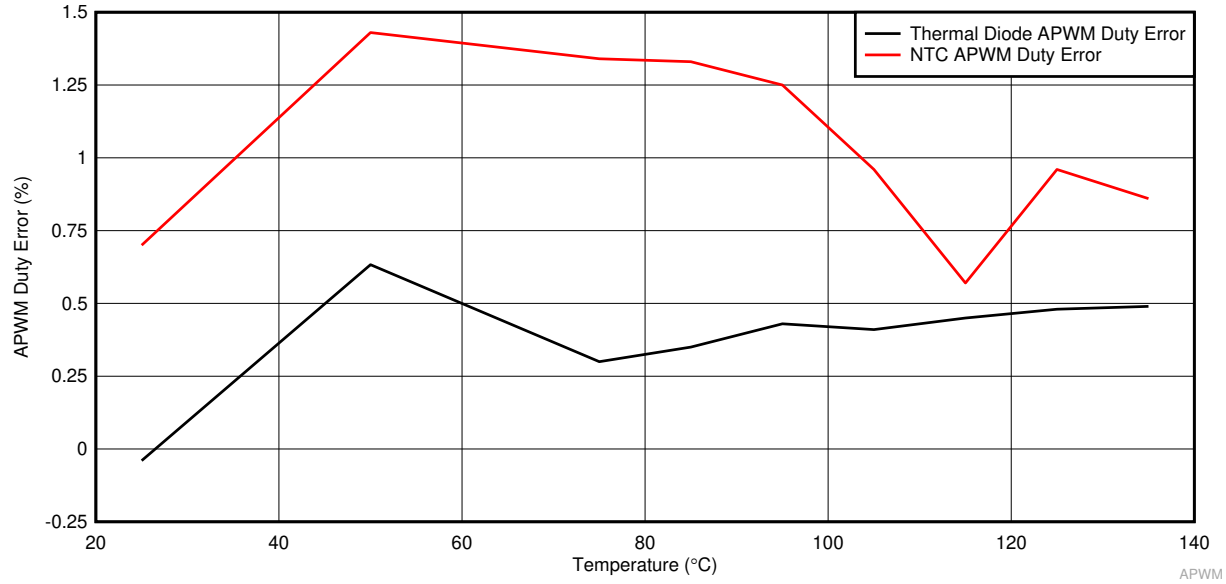


图 8-13. 未经校准的 APWM 占空比误差

Copyright © 2026 Texas Instruments Incorporated

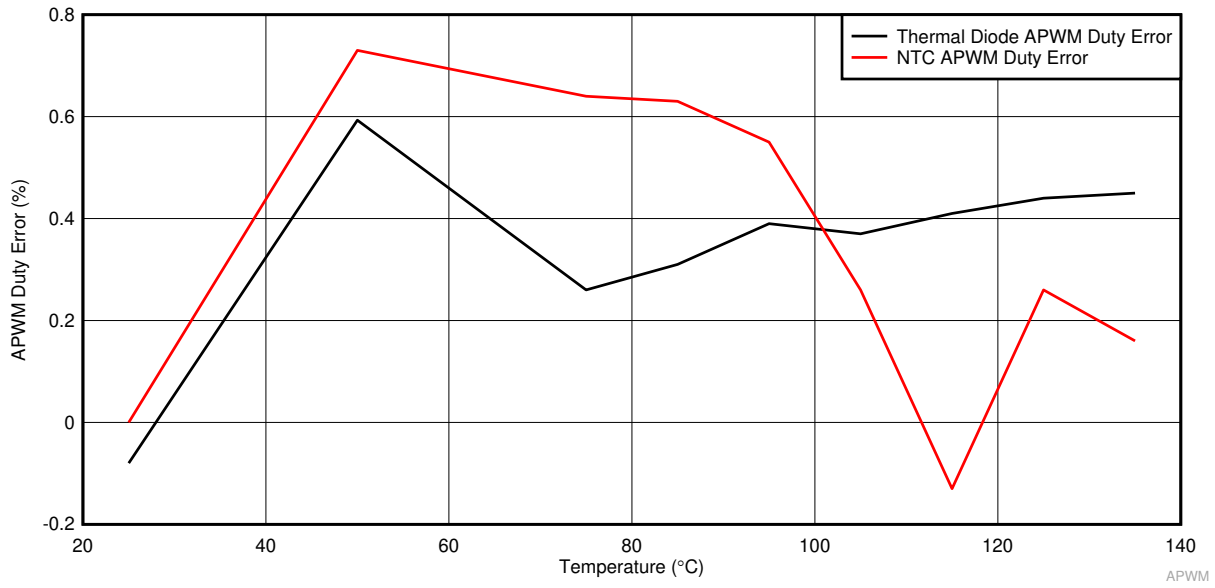


图 8-14. 单点校准后的 APWM 占空比误差

8.2.2.7.2 隔离式直流母线电压感测

AIN 至 APWM 通道可用于其他应用，例如直流链路电压感测，如 图 8-15 所示。在这种情况下，也可以使用上面给出的相同滤波要求。衰减电阻器的数量（R_{atten_1} 到 R_{atten_n}）取决于电阻器的电压等级和额定功率。最终在 R_{LV_DC} 两端测量电压，以监测高压直流链路的降压电压，而且该电压必须处于 0.6V 至 4.5V AIN 的电压范围内。驱动器的参考点应与测量参考点保持一致，因此在下面所示的情况下，UCC21711-Q1 驱动半桥中的下部 IGBT，而直流母线电压的测量则以 COM 为参考点。设计电阻分压器时，应考虑内部电流源 I_{AIN}。AIN 引脚电压为：

$$V_{AIN} = \frac{R_{LV_DC}}{R_{LV_DC} + \sum_{i=1}^{n} R_{atten_i}} \cdot V_{DC} + R_{LV_DC} \cdot I_{AIN} \quad (13)$$

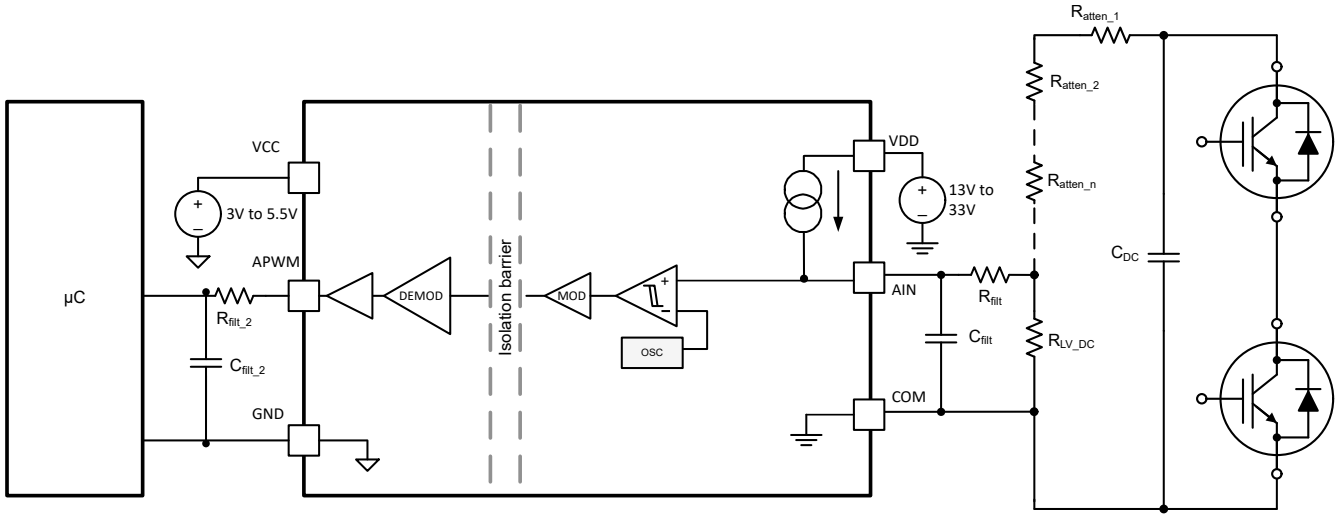


图 8-15. 直流链路电压检测配置

8.2.2.8 使用外部电流缓冲器实现更高的输出电流

要增大 IGBT 栅极驱动电流，可以使用同相电流缓冲器（例如 NPN/PNP 缓冲器，如 图 8-16 中所示）。反相类型与去饱和故障保护电路不兼容，必须避免使用。MJD44H11/MJD45H11 对适用于高达 15A 的峰值电流，D44VH10/D45VH10 对适用于高达 20A 的峰值电流。

在过流检测的情况下，将激活软关断 (STO)。在使用外部缓冲器时，必须添加外部元件以实现 STO，而不是正常关断速度。C_{STO} 设置软关断时序，而 R_{STO} 会将浪涌电流限制在内部 FET 的额定电流 (10A) 以下。R_{STO} 应至少为 (VDD – VEE)/10。软关断时间由 400mA 的内部电流源和电容器 C_{STO} 决定。C_{STO} 的计算公式为 方程式 14。

$$C_{STO} = \frac{I_{STO} \cdot t_{STO}}{VDD - VEE} \tag{14}$$

- I_{STO} 是内部 STO 电流源，400mA
- t_{STO} 是所需的 STO 计时

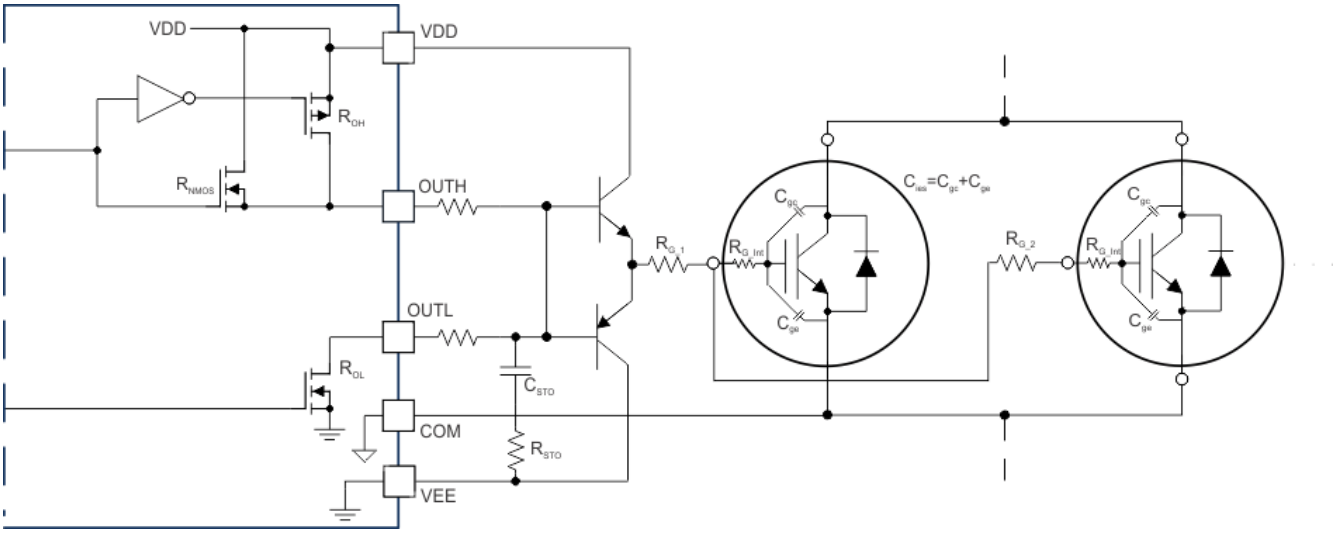


图 8-16. 用于提高驱动强度的电流缓冲器

8.3 电源相关建议

在导通和关断开关瞬态期间，VDD 和 VEE 电源提供峰值拉电流和灌电流。较大的峰值电流可能会漏极 VDD 和 VEE 电压电平并导致电源上出现压降。为了使电源保持稳定并确保可靠运行，建议在电源上使用一组去耦电容器。考虑到 UCC21711-Q1 具有 ±10A 的峰值驱动强度并可以产生高 dV/dt，建议在 VDD 和 COM，VEE 和 COM 之间使用 10μF 旁路电容器。与输出侧电源相比，电流较小，因此建议在 VCC 和 GND 之间使用 1 μ F 旁路电容器。还建议在每个电源中配置一个 0.1 μ F 去耦电容器来滤除高频噪声。去耦电容器必须具有低 ESR 和 ESL，以避免高频噪声，并且应靠近 VCC、VDD 和 VEE 引脚放置，以防止 PCB 布局的系统寄生效应产生噪声耦合。

8.4 布局

8.4.1 布局指南

由于 UCC21711-Q1 具有强大的驱动强度，因此在 PCB 设计中必须仔细考虑。下面是一些要点：

- 应将驱动器放置在尽可能靠近功率半导体的位置，以减小 PCB 引线上栅极环路的寄生电感
- 输入和输出电源的去耦电容器应尽可能靠近电源引脚放置。每个开关瞬态下产生的峰值电流可能会导致 PCB 布线的寄生电感上出现高电流变化率 (dI/dt) 和电压尖峰
- 驱动器 COM 引脚应连接到 SiC MOSFET 源极或 IGBT 发射极的开尔文接线端。如果功率器件没有分离式开尔文源极或发射极，应将 COM 引脚尽可能靠近功率器件封装的源极或发射极端子连接，以将栅极环路与高功率开关环路分开

Copyright © 2026 Texas Instruments Incorporated

- 在输入侧使用接地平面来屏蔽输入信号。输入信号会因输出侧开关瞬态产生的高频噪声而失真。接地平面为返回电流提供低电感滤波器
- 若栅极驱动器用于低侧开关（COM 引脚连接到直流母线负极），请在输出侧使用接地平面来屏蔽输出信号，使其免受开关节点产生的噪声的影响；若栅极驱动器用于高侧开关（COM 引脚连接到开关节点），则不建议使用接地平面
- 如果输出侧未使用接地平面，请将 OC 和 AIN 接地环路的返回路径与具有较大峰值拉电流和灌电流的栅极环路接地分开
- 栅极驱动器下方不允许有 PCB 布线或覆铜。建议将 PCB 开槽，以避免输入和输出侧之间产生任何噪声耦合，进而污染隔离栅

8.4.2 布局示例

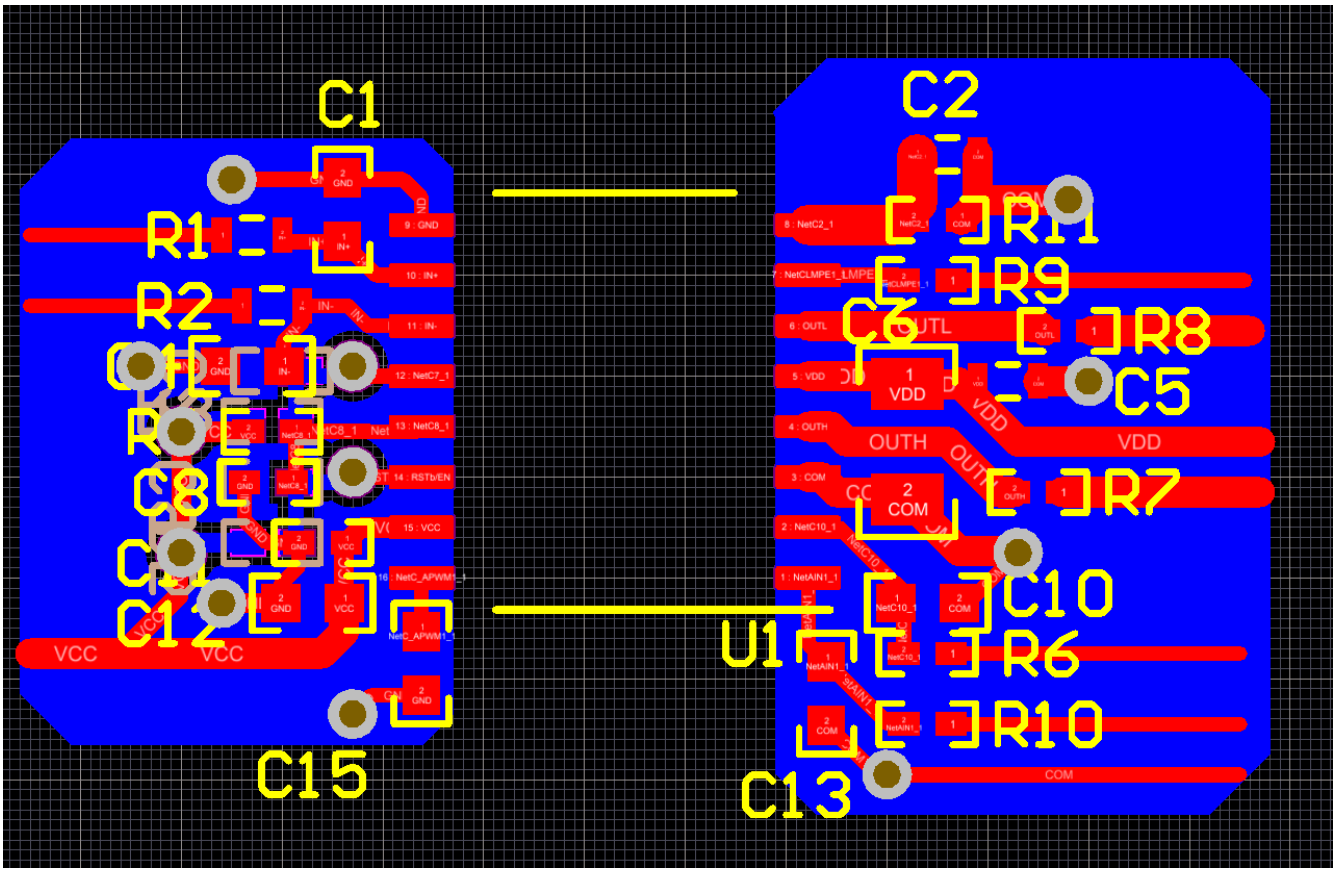


图 8-17. 布局示例

9 器件和文档支持

9.1 器件支持

9.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

9.2 文档支持

9.2.1 相关文档

请参阅以下相关文档：

- *隔离相关术语*

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
December 2025	*	初始发行版

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC21711QDWRQ1	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	-	NIPDAU	Level-3-260C-168 HR	-40 to 125	UCC21711Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

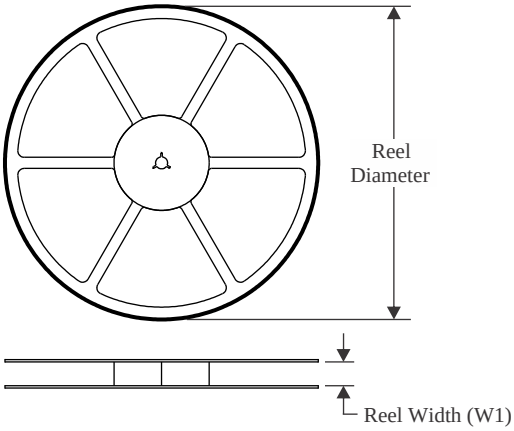
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

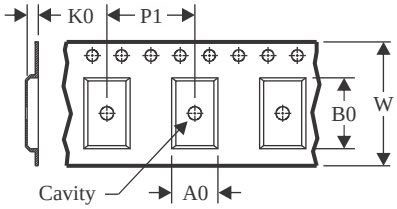
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

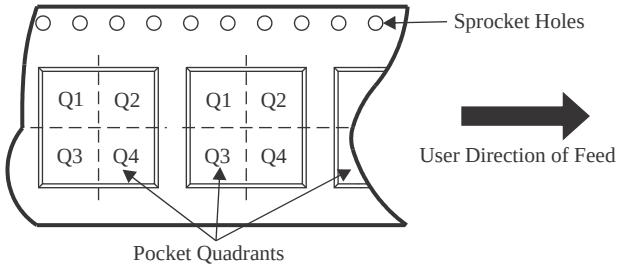


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

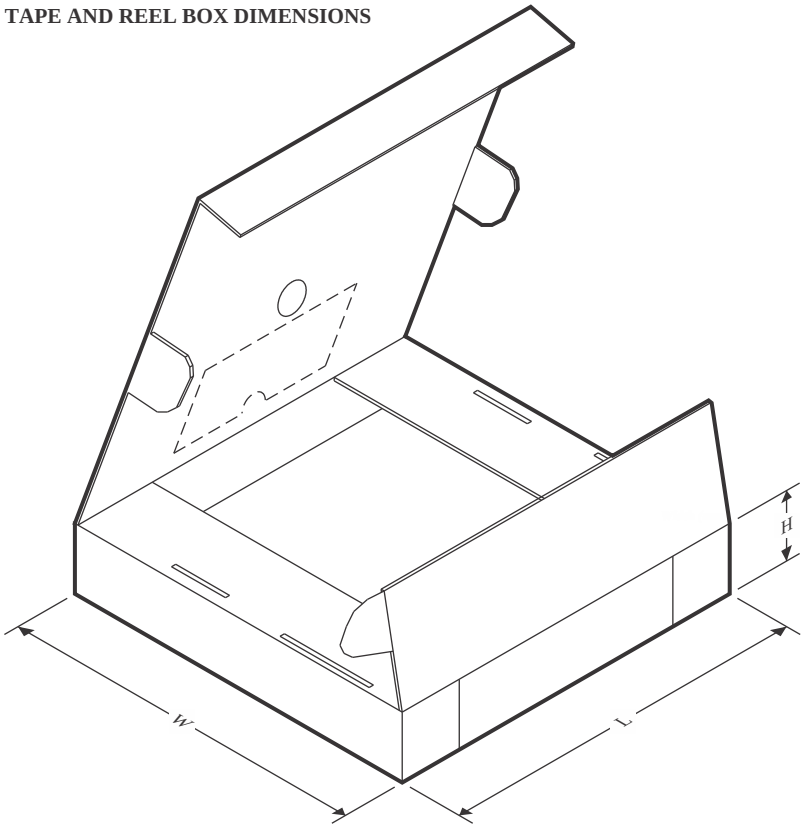
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC21711QDWRQ1	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC21711QDWRQ1	SOIC	DW	16	2000	353.0	353.0	32.0

GENERIC PACKAGE VIEW

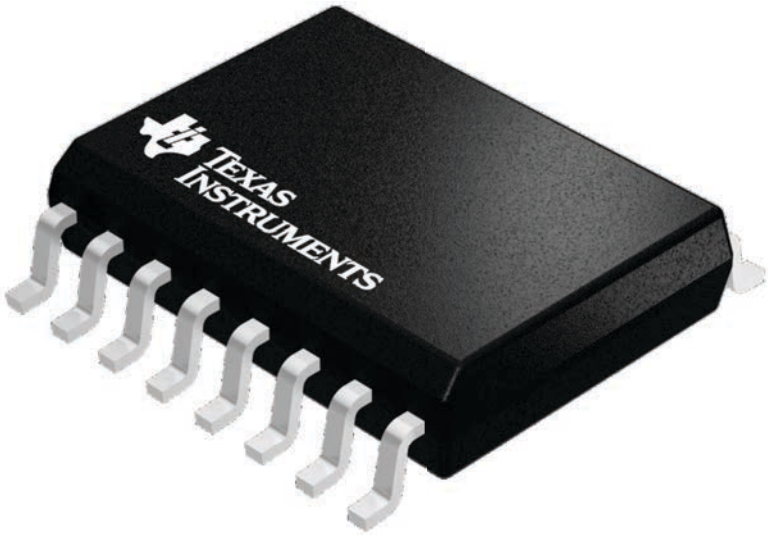
DW 16

SOIC - 2.65 mm max height

7.5 x 10.3, 1.27 mm pitch

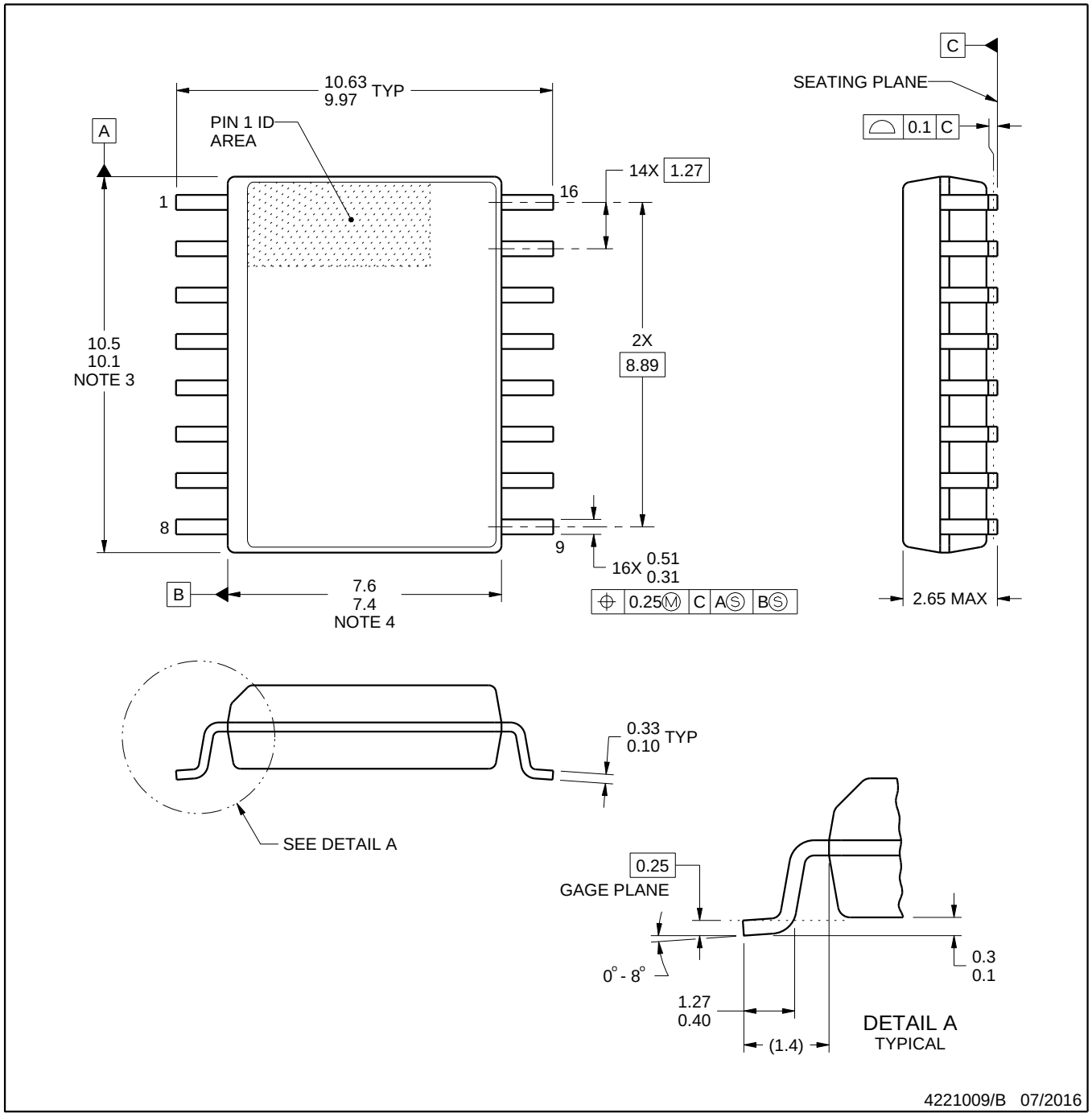
SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



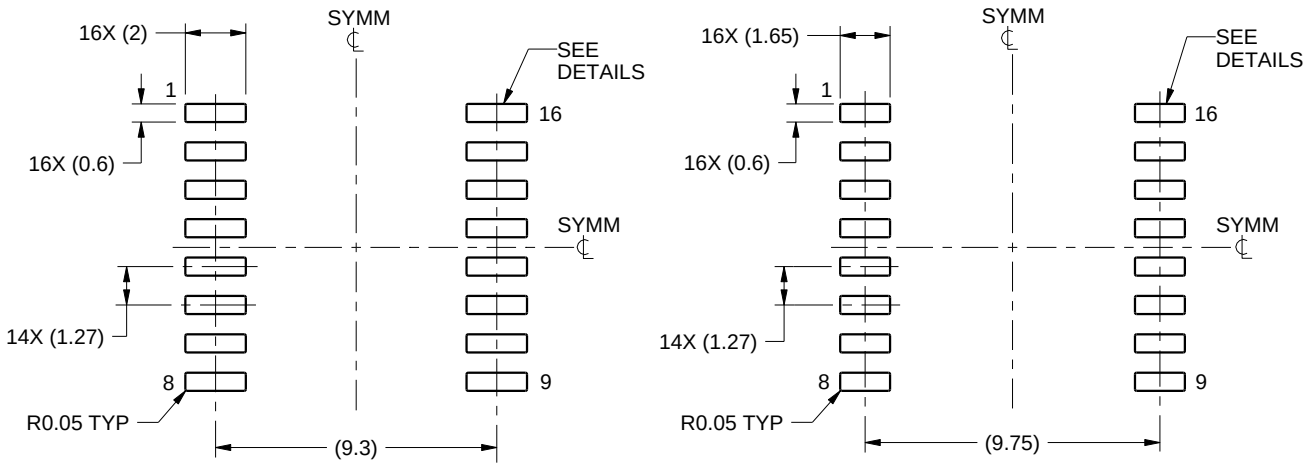
4224780/A

SOIC



NOTES:

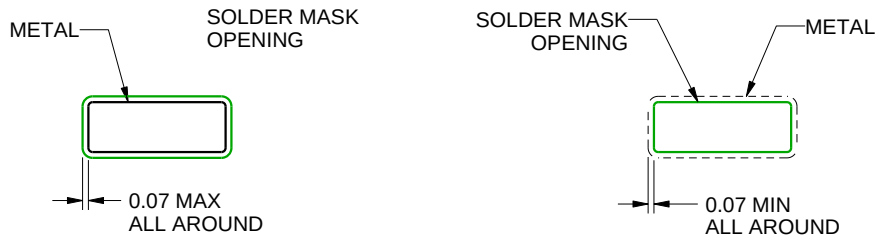
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION
8.1 mm CLEARANCE/CREEPAGE

LAND PATTERN EXAMPLE
SCALE:4X



NON SOLDER MASK DEFINED

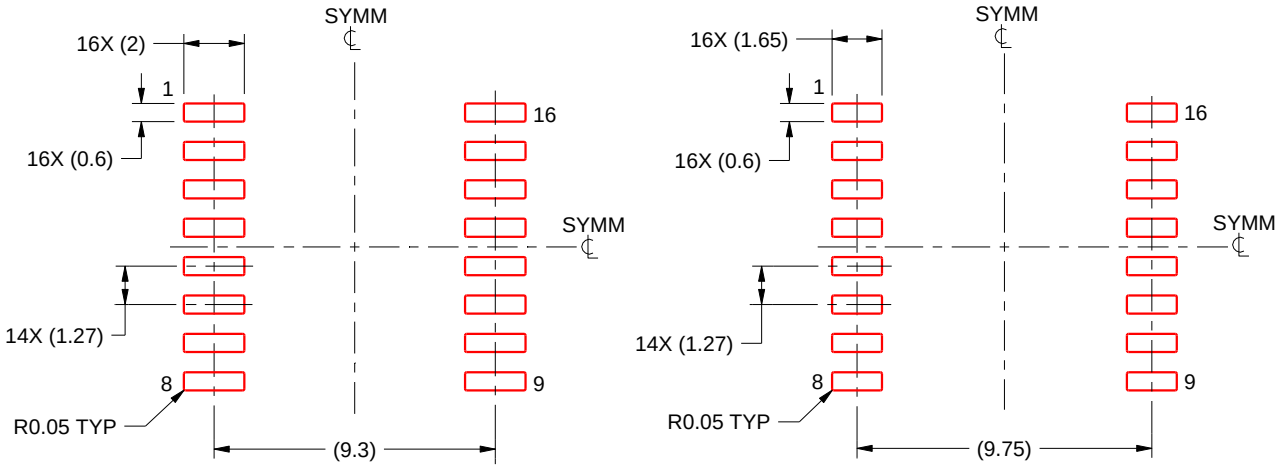
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4221009/B 07/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION
8.1 mm CLEARANCE/CREEPAGE

SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:4X

4221009/B 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月