UCC21540-Q1 具有 3.3mm 通道间距选项的

1 特性

- 具有符合 AEC-Q100 标准的下列特性：
  - 器件温度 1 级
- 功能安全质量管理型
  - 可提供用于功能安全系统设计的文档
- 结温范围：–40°C 至 150°C
- 高达 18V 的 VDD 输出驱动电源
  - 5V 和 8V VDD UVLO 选项
- CMTI 大于 125V/ns
- 开关参数：
  - 33ns 典型传播延迟
  - 6ns 最大脉宽失真
  - 10µs 最大 VDD 上电延迟

2 应用

- HEV 和 EV 电池充电器
- 交流/直流和直流/直流电源中的隔离转换器
- 电机驱动器和逆变器
- 不间断电源 (UPS)

3 说明

UCC21540-Q1 器件是具有可编程死区时间和宽温度范围的隔离式双通道栅极驱动器。该器件在极端温度条件下表现出一致的性能和稳定性。该器件采用 4A 峰值拉电流和 6A 峰值灌电流来驱动功率 MOSFET、IGBT 和 GaN 晶体管。

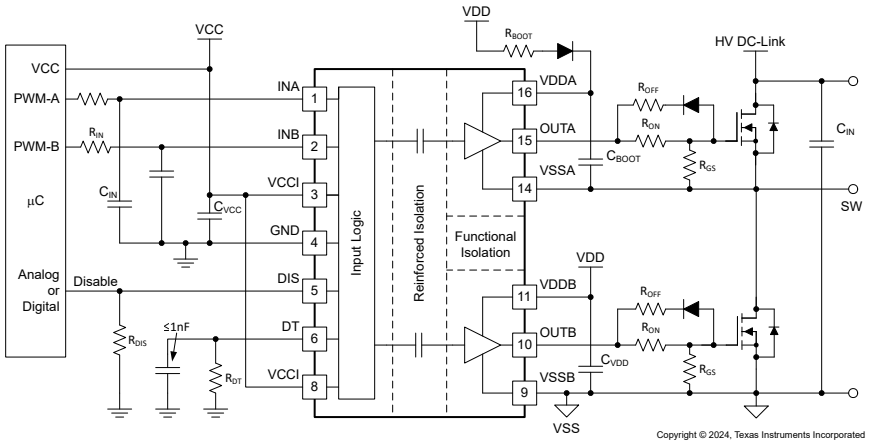
UCC21540-Q1 器件可以配置为两个低侧驱动器、两个高侧驱动器或一个半桥驱动器。输入侧通过一个 5.7kV$_{RMS}$ 隔离栅与两个输出驱动器相隔离，其共模瞬态抗扰度 (CMTI) 的最小值为 125V/ns。

保护功能包括：可通过电阻器编程的死区时间；通过禁用功能同时关闭两路输出；以及在输入引脚上对高达 -5V 的尖峰进行 50ns 的负电压处理。所有电源都有 UVLO 保护。

器件信息 (1)

器件型号	I_{PK}	建议的 VDD 电源最小值	封装
UCC21540QDWKQ1	4.0A/6.0A	9.2V	DWK（SOIC，14）
UCC21540AQDWKQ1	4.0A/6.0A	6.0V	DWK（SOIC，14）

(1) 有关所有可用封装，请参阅节 14。



典型应用

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 器件比较表.....3
5 引脚配置和功能.....3
6 规格.....4
6.1 绝对最大额定值.....4
6.2 ESD 等级.....4
6.3 建议运行条件.....4
6.4 热性能信息.....5
6.5 功率等级.....5
6.6 绝缘规格.....5
6.7 安全限值.....6
6.8 电气特性.....7
6.9 开关特性.....8
6.10 绝缘特性曲线.....9
6.11 典型特性.....10
7 参数测量信息.....13
7.1 最小脉冲.....13
7.2 传播延迟和脉宽失真度.....13
7.3 上升和下降时间.....13
7.4 输入和禁用响应时间.....14
7.5 可编程死区时间.....14
7.6 上电 UVLO 到输出延迟.....14
7.7 CMTI 测试.....16
8 详细说明.....17
8.1 概述.....17
8.2 功能方框图.....17
8.3 特性说明.....18
8.4 器件功能模式.....21
9 应用和实施.....23
9.1 应用信息.....23
9.2 典型应用.....23
10 电源相关建议.....32
11 布局.....33
11.1 布局指南.....33
11.2 布局示例.....34
12 器件和文档支持.....36
12.1 第三方产品免责声明.....36
12.2 文档支持.....36
12.3 接收文档更新通知.....36
12.4 支持资源.....36
12.5 商标.....36
12.6 静电放电警告.....36
12.7 术语表.....36
13 修订历史记录.....36
14 机械、封装和可订购信息.....38

Copyright © 2024 Texas Instruments Incorporated

4 器件比较表

器件选项	UVLO	峰值电流	封装
UCC21540QDWKQ1	8.0V	4A 拉电流，6A 灌电流	SOIC-14
UCC21540AQDWKQ1	5.0V	4A 拉电流，6A 灌电流	SOIC-14

5 引脚配置和功能

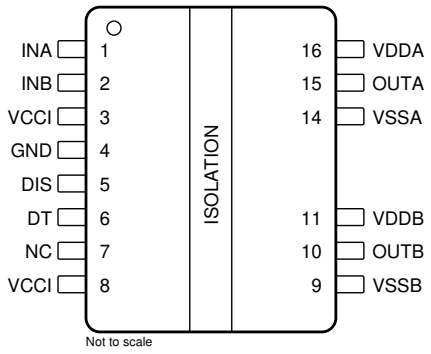


图 5-1. DWK 封装 14 引脚 SOIC 顶视图

表 5-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
DIS	5	I	设置为高电平时会同时禁用两个驱动器输出，而设置为低电平时则会启用输出。为了实现更好的抗噪性能，如果不使用该引脚，则建议将其接地。连接到远距离微控制器时，可靠近 DIS 引脚放置约为 1nF 的低 ESR/ESL 电容器进行旁路。
DT	6	I	DT 引脚配置： • 将 DT 连接到 VCCI 可禁用 DT 功能并允许输出重叠。 • 在 DT 和 GND 之间放置一个电阻器 (R_{DT}) 可根据以下公式调整死区时间：DT (ns) = 10 × R_{DT} (kΩ)。TI 建议靠近 DT 引脚放置一个 ≤1nF 的陶瓷电容器来旁路此引脚，从而实现更佳的抗噪性能。不建议将 DT 引脚悬空。
GND	4	P	初级侧地基准。初级侧的所有信号都以该接地为基准。
INA	1	I	A 通道的输入信号。INA 输入具有兼容 TTL/CMOS 的输入阈值。该引脚在保持开路时在内部被拉至低电平。为了实现更好的抗噪性能，如果不使用该引脚，则建议将其接地。
INB	2	I	B 通道的输入信号。INB 输入具有兼容 TTL/CMOS 的输入阈值。该引脚在保持开路时在内部被拉至低电平。为了实现更好的抗噪性能，如果不使用该引脚，则建议将其接地。
NC	7	—	无内部连接。此引脚可保持悬空、连接至 VCCI 或连接至 GND。
NC	12	—	SOIC-14 DWK 封装中移除了引脚 12 和引脚 13。
	13		
OUTA	15	O	驱动器 A 的输出。连接到 A 通道 FET 或 IGBT 的栅极。
OUTB	10	O	驱动器 B 的输出。连接到 B 通道 FET 或 IGBT 的栅极。
VCCI	3	P	初级侧电源电压。使用尽可能靠近器件的低 ESR/ESL 电容器在本地进行去耦（连接至 GND）。
VCCI	8	P	此引脚在内部短接至引脚 3。 最好选择旁路引脚 3-4，而不是引脚 8-4。
VDDA	16	P	驱动器 A 的次级侧电源。使用尽可能靠近器件的低 ESR/ESL 电容器在本地进行去耦（连接至 VSSA）。
VDDB	11	P	驱动器 B 的次级侧电源。使用尽可能靠近器件的低 ESR/ESL 电容器在本地进行去耦（连接至 VSSB）。
VSSA	14	P	次级侧驱动器 A 接地。次级侧 A 通道的接地参考。
VSSB	9	P	次级侧驱动器 B 接地。次级侧 B 通道的接地参考。

(1) P = 电源，I = 输入，O = 输出

Copyright © 2024 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
输入偏置引脚电源电压	VCCI 至 GND	-0.3	20	V
驱动器辅助电源	VDDA-VSSA、VDDB-VSSB	-0.3	30	V
输出信号电压	OUTA 至 VSSA、OUTB 至 VSSB	-0.3	V_{VDDA}+0.3、V_{VDDB}+0.3	V
	OUTA 至 VSSA、OUTB 至 VSSB、200 ns 瞬态	-2	V_{VDDA}+0.3、V_{VDDB}+0.3	V
输入信号电压	INA、INB、DIS 和 DT 至 GND	-0.3	V_{VCCI}+0.3	V
	INA、INB 瞬态至 GND，50ns	–5	V_{VCCI}+0.3	V
通道间隔离电压	采用 DWK 封装的 |VSSA-VSSB|		1850	V
结温，T_J (2)		-40	150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 超出最大绝对额定值下列出的值的应力可能会对器件造成永久损坏。这些仅为压力额定值，并不表明器件在这些额定值下或者任何其它超过建议工作条件所标明的条件下可正常工作。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 若要保持 T_J 的建议运行条件，请参阅节 6.4。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011	±1000	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	最大值	单位
VCCI	VCCI 输入电源电压		3	18	V
VDDA、VDDB	驱动器输出偏置电源	UCC21540-Q1	9.2	25	
		UCC21540A-Q1	6.5	25	
T_J	结温		-40	150	°C

Copyright © 2024 Texas Instruments Incorporated

6.4 热性能信息

热指标(1)		UCC21540-Q1	单位
		DWK (SOIC)	
$R_{\theta JA}$	结至环境热阻	74.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	34.1	°C/W
$R_{\theta JB}$	结至电路板热阻	32.8	°C/W
ψ_{JT}	结至顶部特征参数	23.7	°C/W
ψ_{JB}	结至电路板特征参数	32.1	°C/W

(1) 有关新旧热性能指标的更多信息，请参阅*半导体和 IC 封装热性能指标* 应用报告 (SPRA953)。

6.5 功率等级

			值	单位
P_D	功率耗散	VCCI = 5.5V，VDDA/B = 12V，INA/B = 3.3V，2.7MHz，50% 占空比，方波，1.0nF 负载	950	mW
P_{DI}	发送器侧的功率耗散		50	mW
P_{DA}、P_{DB}	每个驱动器侧的功率耗散		450	mW

6.6 绝缘规格

参数		测试条件	值	单位
CLR	外部间隙(1)	引脚间的最短空间距离	> 8	mm
CPG	外部爬电距离(1)	引脚间的最短封装表面距离	> 8	mm
DTI	绝缘穿透距离	双重绝缘的最小内部缝隙（内部间隙）(2 × 8.5 µm)	>17	µm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11)；IEC 60112	> 600	V
	材料组	符合 IEC 60664-1	I	
	过压类别（符合 IEC 60664-1）	额定市电电压 ≤ 600V_{RMS}	I-IV	
		额定市电电压 ≤ 1000V_{RMS}	I-III	
DIN EN IEC 60747-17 (VDE 0884-17)(2)				
V_{IORM}	最大重复峰值隔离电压	交流电压（双极）	1414	V_{PK}
V_{IOWM}	最大工作隔离电压	交流电压（正弦波）；时间依赖型电介质击穿 (TDDB) 测试（请参阅图 6-1。）	1000	V_{RMS}
		直流电压	1414	V_{DC}
V_{IMP}	最大脉冲电压	在空气中进行测试，符合 IEC 62368-1 的 1.2/50µs 波形	7692	V_{PK}
V_{IOTM}	最大瞬态隔离电压	$V_{TEST} = V_{IOTM}$，t = 60s（鉴定测试） $V_{TEST} = 1.2 \times V_{IOTM}$，t = 1s（100% 生产测试）	8000	V_{PK}
V_{IOSM}	最大浪涌隔离电压(3)	符合 IEC 62368-1 的测试方法，1.2/50 µs 波形， $V_{TEST} = 1.6 \times V_{IOSM} = 12800V_{PK}$（合格测试）	10000	V_{PK}
q_{pd}	视在电荷(4)	方法 a，I/O 安全测试子组 2/3 后。 $V_{ini} = V_{IOTM}$，t_{ini} = 60s； $V_{pd(m)} = 1.2 \times V_{IORM} = 1697V_{PK}$，$t_m$ = 10s	<5	pC
		方法 a，环境测试子组 1 后。 $V_{ini} = V_{IOTM}$，t_{ini} = 60s； $V_{pd(m)} = 1.6 \times V_{IORM} = 2262V_{PK}$，$t_m$ = 10s	<5	
		方法 b1；常规测试（100% 生产测试）和预调节（类型测试） $V_{ini} = 1.2 \times V_{IOTM}$；$t_{ini}$ = 1s； $V_{pd(m)} = 1.875 \times V_{IORM} = 2651V_{PK}$，$t_m$ = 1s	<5	
C_{IO}	势垒电容，输入至输出(5)	V_{IO} = 0.4 sin (2πft)，f =1MHz	1.2	pF
R_{IO}	隔离电阻，输入至输出(5)	V_{IO} = 500V (T_A = 25°C)	> 10^{12}	Ω
		V_{IO} = 500V (100°C ≤ T_A ≤ 125°C)	> 10^{11}	
		V_{IO} = 500V，T_S = 150°C	> 10^9	

Copyright © 2024 Texas Instruments Incorporated

6.6 绝缘规格（续）

参数		测试条件	值	单位
污染等级			2	
气候类别			40/125/21	
UL 1577				
V_{ISO}	可承受的隔离电压	$V_{TEST} = V_{ISO} = 5700V_{RMS}$，t = 60s（鉴定测试）， $V_{TEST} = 1.2 \times V_{ISO} = 6840V_{RMS}$，t = 1s（100% 生产测试）	5700	V_{RMS}

(1) 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙，从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下，印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上插入坡口或肋或同时应用这两项技术可帮助提高这些规格。
(2) 此耦合器仅适用于安全额定值范围内的安全电气绝缘。应借助合适的保护电路来确保符合安全等级。
(3) 在空气或油中执行测试，以确定隔离栅的固有浪涌抗扰度。
(4) 视在电荷是局部放电 (pd) 引起的电气放电。
(5) 将隔离层每一侧的所有引脚都连在一起，构成一个双引脚器件。

6.7 安全限值

安全限制旨在尽可能地减小在发生输入或输出电路故障时对隔离栅的潜在损害。

参数		测试条件	侧	最小值	典型值	最大值	单位
I_S	安全输出电源电流	θ_{JA} = 74.1°C/W，$V_{VDDA/B}$ = 12V，T_J = 150°C，T_A = 25°C 请参阅 图 6-2	驱动器 A、驱动器 B			66	mA
P_S	安全电源	θ_{JA} = 74.1°C/W，V_{VCCI} = 5.5V，T_J = 150°C，T_A = 25°C 请参阅 图 6-3	输入			50	mW
			驱动器 A			800	
			驱动器 B			800	
			总计			1650	
T_S	安全温度(1)					150	°C

(1) 最高安全温度 T_S 与器件指定的最大结温 T_J 的值相同。I_S 和 P_S 参数分别表示安全电流和安全功率。请勿超出 I_S 和 P_S 的最大限值。这些限值随环境温度 T_A 的变化而变化。
节 6.4 表中的结至空气热阻 $R_{\theta JA}$ 所属器件安装在引线式表面贴装封装对应的高 K 测试板上。可以使用这些公式计算每个参数的值：
$T_J = T_A + R_{\theta JA} \times P$，其中 P 是器件中耗散的功率。
$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$，其中 $T_{J(max)}$ 是允许的最大结温。
$P_S = I_S \times V_I$，其中 V_I 是最大输入电压。

Copyright © 2024 Texas Instruments Incorporated

6.8 电气特性

除非另有说明，否则 V_{VCCI} = 3.3V 或 5.0V，从 VCCI 到 GND 的 0.1µF 电容器，从 VDDA/B 到 VSSA/B 的 1µF 电容器，V_{VDDA} = V_{VDDB} = 15V，从 VDDA 和 VDDB 到 VSSA 和 VSSB 的 1µF 电容器，DT 引脚连接至 VCCI，C_L = 0pF，T_J = –40°C 至 +150°C(1) (2)。

参数		测试条件	最小值	典型值	最大值	单位
电源电流						
I_{VCCI}	VCCI 静态电流	V_{INA} = 0V，V_{INB} = 0V		1.5	2.0	mA
I_{VDDA}，I_{VDDB}	VDDA 和 VDDB 静态电流	V_{INA} = 0V，V_{INB} = 0V		1.0	2.5	mA
I_{VCCI}	VCCI 工作电流	每通道电流（f = 500kHz，50% 占空比）		3.0	3.5	mA
I_{VDDA}，I_{VDDB}	VDDA 和 VDDB 工作电流	每通道电流（f = 500kHz，50% 占空比），C_L = 100pF		2.5	4.2	mA
VCC 电源电压欠压阈值						
V_{VCCI_ON}	UVLO 上升阈值		2.55	2.7	2.85	V
V_{VCCI_OFF}	UVLO 下降阈值		2.35	2.5	2.65	V
V_{VCCI_HYS}	UVLO 阈值迟滞			0.2		V
UCC21540A-Q1 VDD 电源电压欠压阈值						
V_{VDDA_ON}，V_{VDDB_ON}	UVLO 上升阈值		5.7	6.0	6.3	V
V_{VDDA_OFF}，V_{VDDB_OFF}	UVLO 下降阈值		5.4	5.7	6.0	V
V_{VDDA_HYS}，V_{VDDB_HYS}	UVLO 阈值迟滞			0.3		V
UCC21540-Q1 VDD 电源电压欠压阈值						
V_{VDDA_ON}，V_{VDDB_ON}	UVLO 上升阈值		7.7	8.5	8.9	V
V_{VDDA_OFF}，V_{VDDB_OFF}	UVLO 下降阈值		7.2	7.9	8.4	V
V_{VDDA_HYS}，V_{VDDB_HYS}	UVLO 阈值迟滞			0.6		V
INA、INB 和禁用						
V_{INAH}、V_{INBH}、V_{DISH}	输入高电平阈值电压		1.2	1.8	2	V
V_{INAL}、V_{INBL}、V_{DISL}	输入低电平阈值电压		0.8	1	1.2	V
V_{INA_HYS}、V_{INB_HYS}、V_{DIS_HYS}	输入阈值迟滞			0.8		V
输出						
I_{OA+}、I_{OB+}	峰值输出拉电流	C_{VDD} = 10µF，C_{LOAD} = 0.18µF，f = 1kHz，台架测量		4		A
I_{OA-}、I_{OB-}	峰值输出灌电流			6		A
R_{OHA}、R_{OHB}	高电平状态时的输出电阻	I_{OUT} = –10mA，R_{OHA}、R_{OHB} 并不表示驱动上拉性能。详细信息，请参阅 和节 8.3.4 中的 t_{RISE}。		5		Ω
R_{OLA}、R_{OLB}	低电平状态时的输出电阻	I_{OUT} = 10mA		0.55		Ω
V_{OHA}、V_{OHB}	高电平状态时的输出电压	V_{VDDA}、V_{VDDB} = 15V，I_{OUT} = –10mA		14.95		V
V_{OLA}、V_{OLB}	低电平状态时的输出电压	V_{VDDA}、V_{VDDB} = 15V，I_{OUT} = 10mA		5.5		mV
V_{OAPDA}、V_{OAPDB}	驱动器输出（V_{OUTA}、V_{OUTB}）有源下拉	V_{VDDA} 和 V_{VDDB} 未上电，I_{OUTA}、I_{OUTB} = 200mA		1.6	2	V
死区时间和重叠编程						

Copyright © 2024 Texas Instruments Incorporated

6.8 电气特性（续）

除非另有说明，否则 V_{VCCI} = 3.3V 或 5.0V，从 VCCI 到 GND 的 0.1µF 电容器，从 VDDA/B 到 VSSA/B 的 1µF 电容器，V_{VDDA} = V_{VDDB} = 15V，从 VDDA 和 VDDB 到 VSSA 和 VSSB 的 1µF 电容器，DT 引脚连接至 VCCI，C_L = 0pF，T_J = –40°C 至 +150°C(1) (2)。

参数	测试条件	最小值	典型值	最大值	单位
死区时间 (DT)	DT 引脚连接至 VCCI	由 INA、INB 确定的重叠			-
	R_{DT} = 10kΩ	80	100	120	ns
	R_{DT} = 20kΩ	160	200	240	
	R_{DT} = 50kΩ	400	500	600	

(1) 测试条件中的电流方向定义为进入该引脚的电流为正电流，从指定端子流出的电流为负电流（除非另有说明）
(2) 仅具有典型值的参数仅供参考，不构成 TI 已发布器件规格的一部分用于 TI 产品保修。

6.9 开关特性

除非另有说明，否则 V_{VCCI} = 3.3V 或 5.5V，从 VCCI 到 GND 的 0.1µF 电容器，V_{VDDA} = V_{VDDB} = 15V，从 VDDA 和 VDDB 到 VSSA 和 VSSB 的 1µF 电容器，负载电容 C_{OUT} = 0pF，T_J = –40°C 至 +150°C(1)。

参数		测试条件	最小值	典型值	最大值	单位
t_{RISE}	输出上升时间，请参阅图 7-4	C_{VDD} = 10µF，C_{OUT} = 1.8nF，V_{VDDA}、V_{VDDB} = 12V，f = 1kHz		5	16	ns
t_{FALL}	输出下降时间，请参阅图 7-4	C_{VDD} = 10µF，C_{OUT} = 1.8nF，V_{VDDA}、V_{VDDB} = 12V，f = 1kHz		6	12	ns
t_{PWmin}	传递到输出的最小输入脉宽，请参阅图 7-1 和图 7-2	如果输入信号小于 t_{PWmin}，输出不会改变状态			20	ns
t_{PDHL}	下降沿传播延迟，请参阅图 7-3	INx 高阈值 V_{INH} 到输出的 10%	26	33	45	ns
t_{PDLH}	上升沿传播延迟，请参阅图 7-3	INx 低阈值 V_{INL} 到输出的 90%	26	33	45	ns
t_{PWD}	脉宽失真度	$\lvert t_{PDLHA} - t_{PDHLA} \rvert$、$\lvert t_{PDLHB} - t_{PDHLB} \rvert$ 请参阅图 7-3			6	ns
t_{DM}	双通道驱动器的传播延迟匹配	输入脉宽 = 100ns，500kHz，T_J = -40°C 至 -10°C $\lvert t_{PDLHA} - t_{PDLHB} \rvert$，$\lvert t_{PDHLA} - t_{PDHLB} \rvert$			6.5	ns
		输入脉宽 = 100ns，500kHz，T_J = -10°C 至 +150°C $\lvert t_{PDLHA} - t_{PDLHB} \rvert$，$\lvert t_{PDHLA} - t_{PDHLB} \rvert$			5	ns
$t_{VCCI+ to OUT}$	VCCI 上电延迟时间：UVLO 上升到 OUTA、OUTB，请参阅图 7-7	INA 或 INB 连接到 VCCI			50	µs
$t_{VDD+ to OUT}$	VDDA、VDDB 上电延迟时间：UVLO 上升到 OUTA、OUTB 请参阅图 7-8	INA 或 INB 连接到 VCCI			10	
$\lvert CM_H \rvert$	高电平共模瞬态抗扰度（请参阅节 7.7）	GND 与 VSSA/B 的压摆率，INA 和 INB 都连接到 VCCI；V_{CM}=1000V；	125			V/ns
$\lvert CM_L \rvert$	低电平共模瞬态抗扰度（请参阅节 7.7）	GND 与 VSSA/B 的压摆率，INA 和 INB 都连接到 GND；V_{CM}=1000V；	125			

(1) 仅具有典型值的参数仅供参考，不构成 TI 已发布器件规格的一部分用于 TI 产品保修。

Copyright © 2024 Texas Instruments Incorporated

6.10 绝缘特性曲线

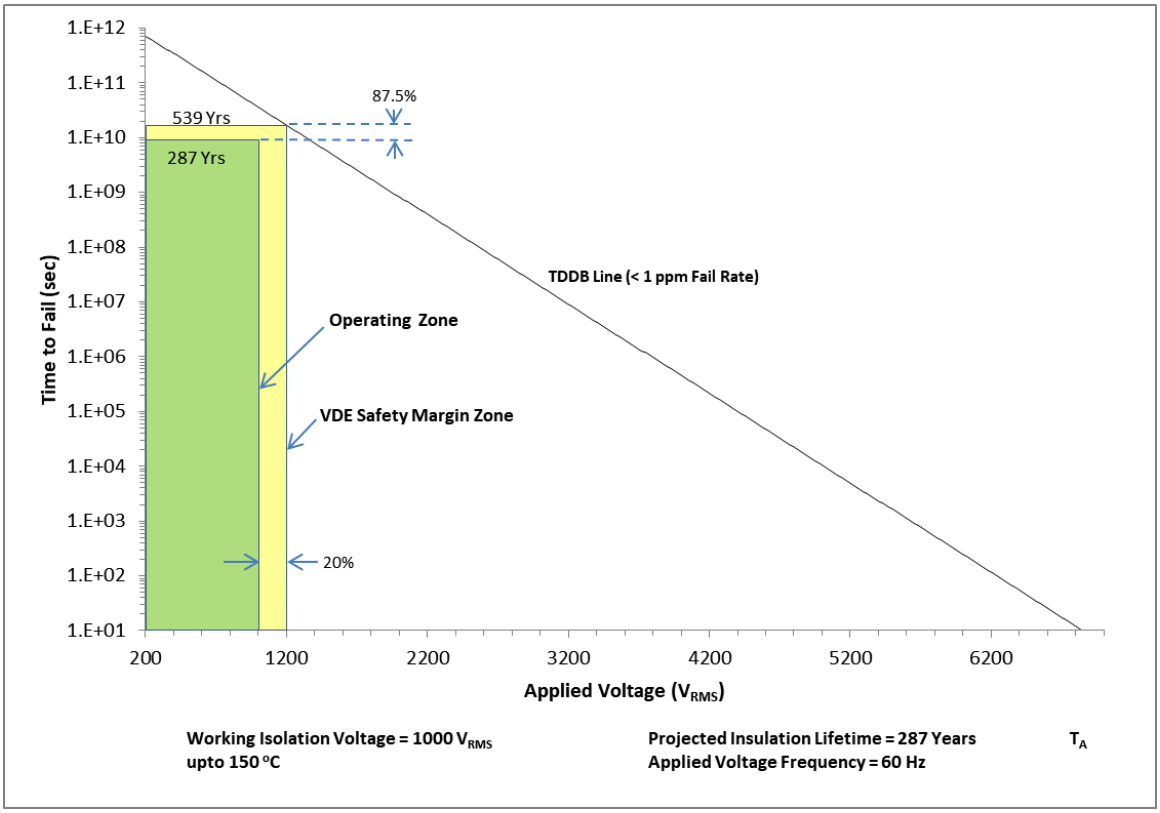
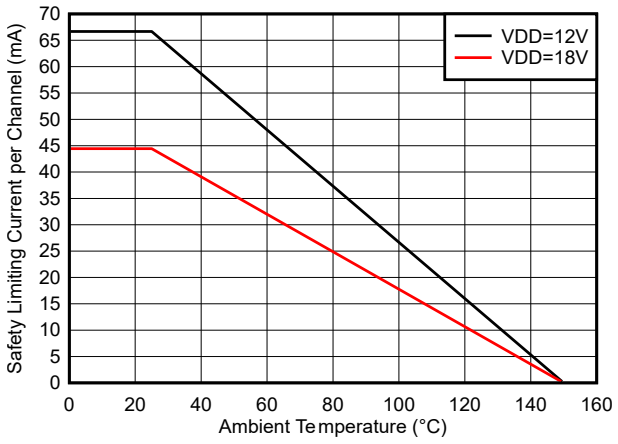


图 6-1. 增强型隔离电容器寿命预测



两个通道同时运行时每个通道内的电流

图 6-2. 限制电流的热降额曲线（符合 VDE）

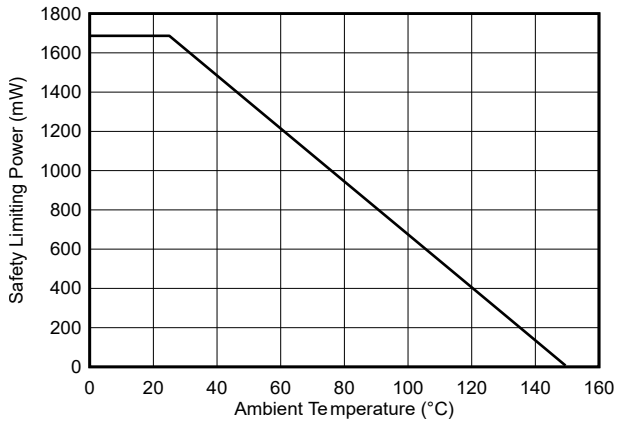
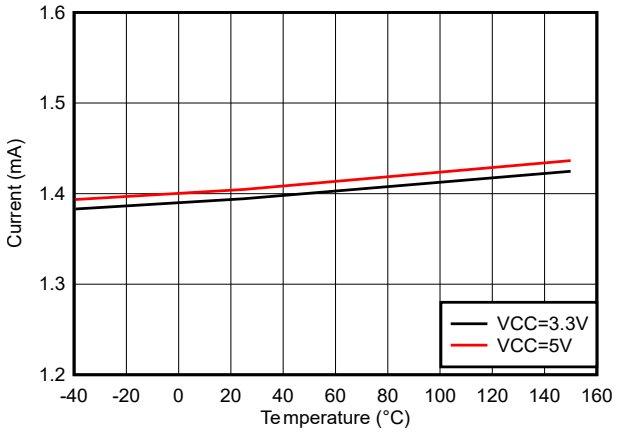


图 6-3. 限制功率的热降额曲线（符合 VDE）

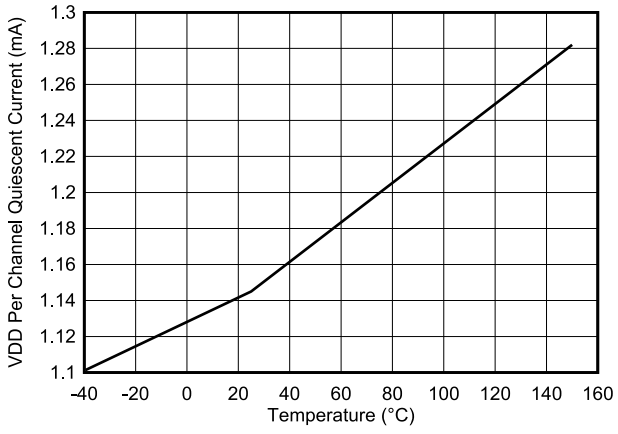
6.11 典型特性

除非另有说明，否则 VDDA = VDDB = 15V，VCCI = 3.3V 或 5.0V，DT 引脚连接到 VCCI，T_A = 25°C，C_L = 0pF。



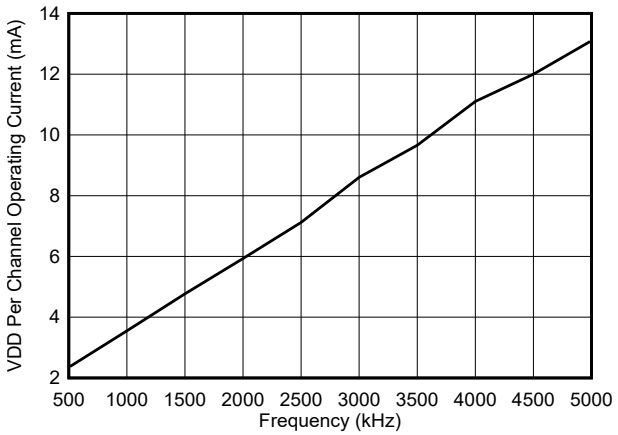
空载　　INA = INB = GND

图 6-4. VCCI 静态电流



空载　　INA = INB = GND

图 6-5. 每通道 VDD 静态电流（I_{VDDA}、I_{VDDB}）



空载

图 6-6. 每通道 VDD 工作电流 - $I_{VDDA/B}$

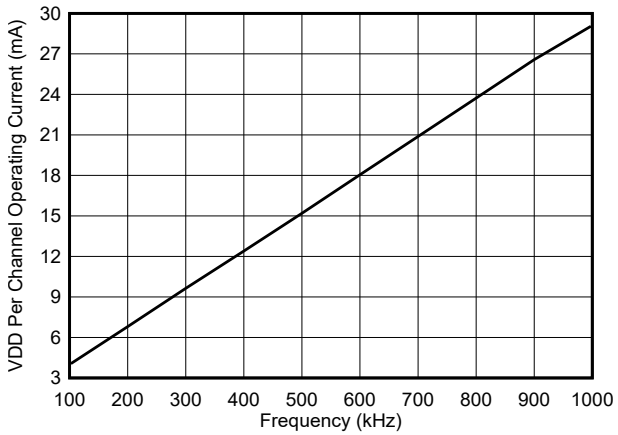


图 6-7. 每通道工作电流（$I_{VDDA/B}$）与频率间的关系，1.8nF 负载

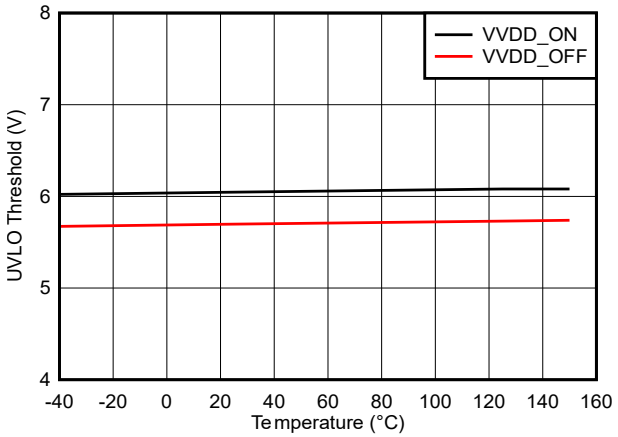


图 6-8. 5V VDD UVLO 阈值电压

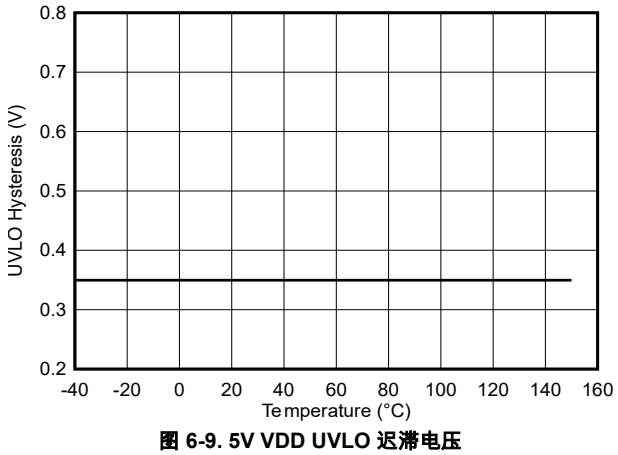


图 6-9. 5V VDD UVLO 迟滞电压

Copyright © 2024 Texas Instruments Incorporated

6.11 典型特性（续）

除非另有说明，否则 VDDA = VDDB = 15V，VCCI = 3.3V 或 5.0V，DT 引脚连接到 VCCI，T_A = 25°C，C_L = 0pF。

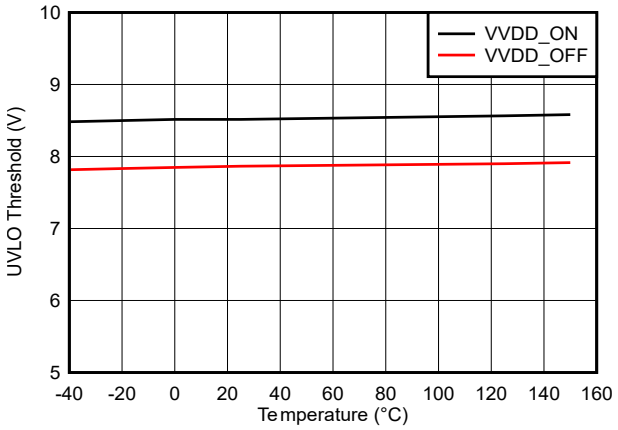


图 6-10. 8V VDD UVLO 阈值电压

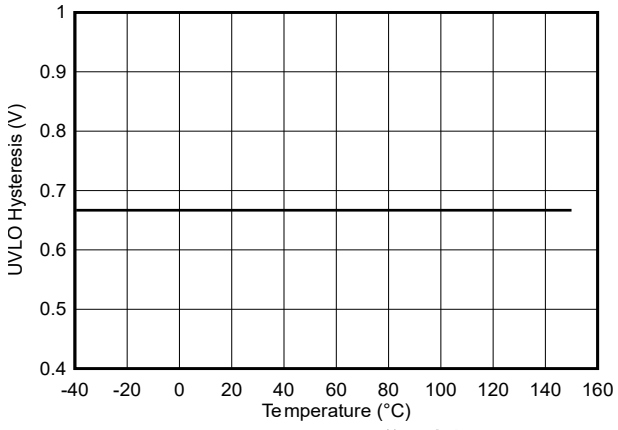


图 6-11. 8V VDD UVLO 阈值迟滞电压

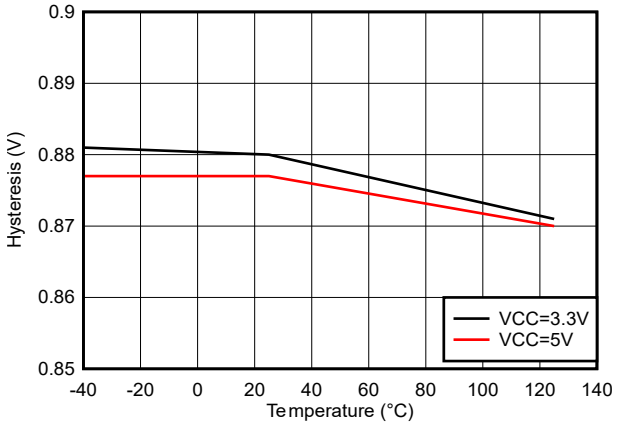


图 6-12. INA/INB/DIS 高和低阈值迟滞

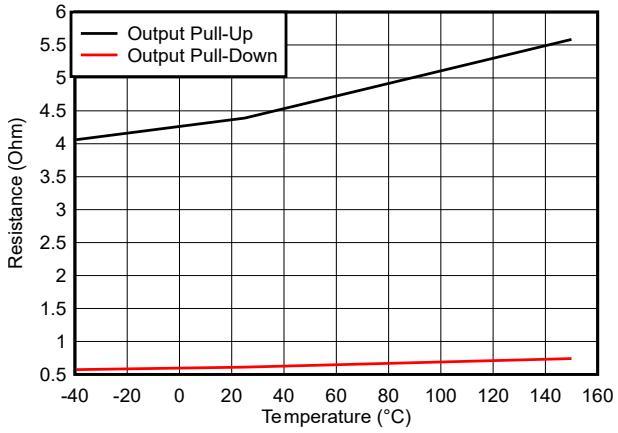


图 6-13. OUT 上拉和下拉电阻

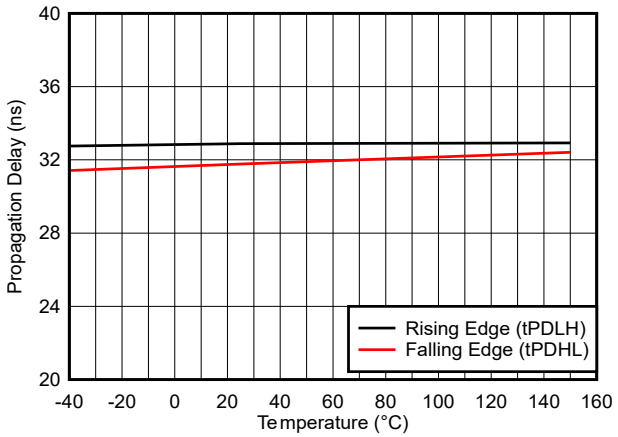


图 6-14. 传播延迟，上升沿和下降沿

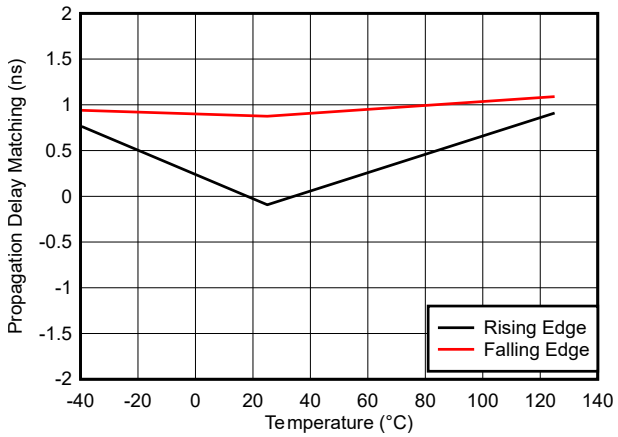


图 6-15. 传播延迟匹配，上升沿和下降沿

Copyright © 2024 Texas Instruments Incorporated

6.11 典型特性（续）

除非另有说明，否则 VDDA = VDDB = 15V，VCCI = 3.3V 或 5.0V，DT 引脚连接到 VCCI，T_A = 25°C，C_L = 0pF。

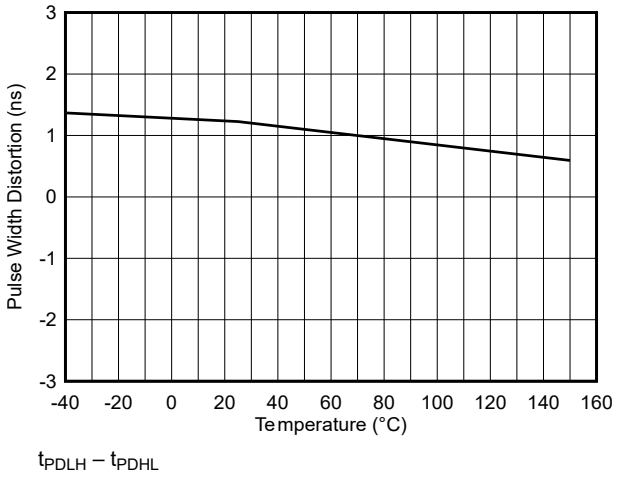


图 6-16. 脉宽失真度

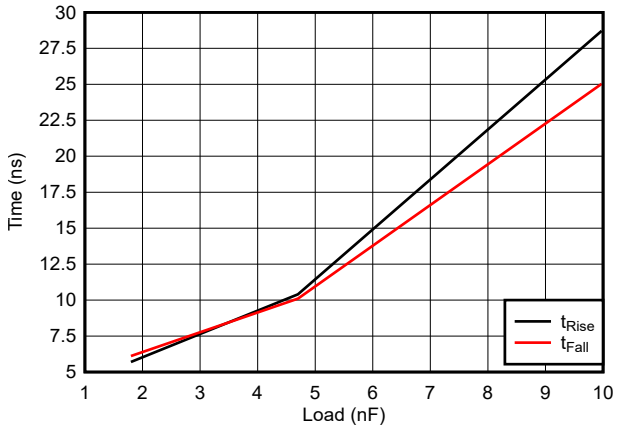


图 6-17. 上升时间和下降时间与负载间的关系

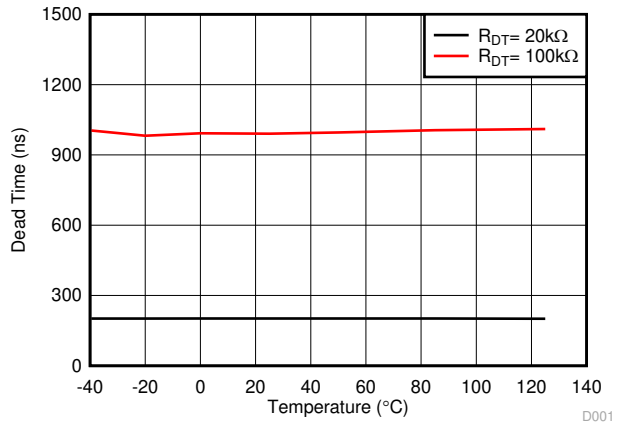


图 6-18. 死区时间温漂

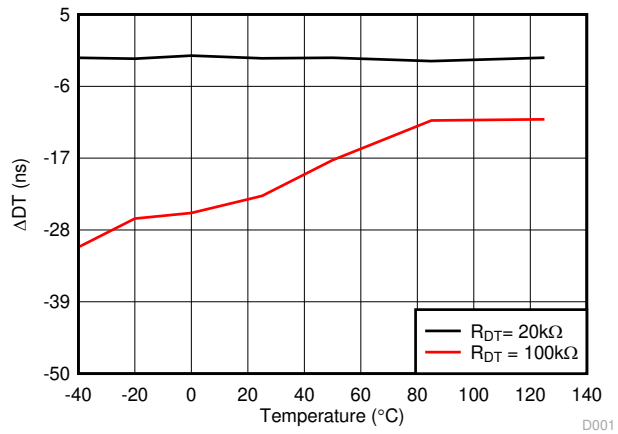


图 6-19. 死区时间匹配

Copyright © 2024 Texas Instruments Incorporated

7 参数测量信息

7.1 最小脉冲

必须在 INA 或 INB 上置位持续时间大于 t_{PWmin}（最大值为 20 ns）的输入脉冲，才能保证 OUTA 或 OUTB 上的输出状态变化。有关抗尖峰脉冲滤波器工作状况的详细信息，请参阅图 7-1 和图 7-2。

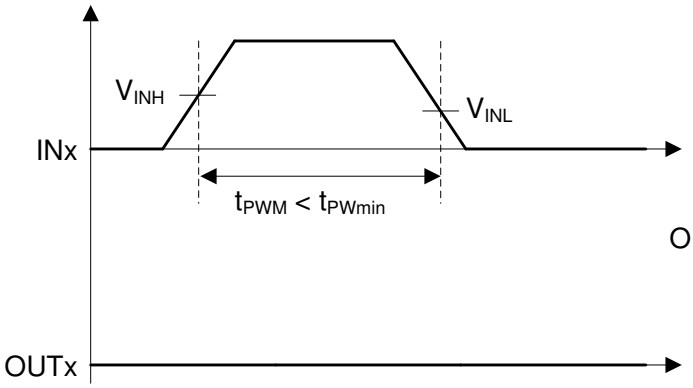


图 7-1. 抗尖峰脉冲滤波器 – 导通

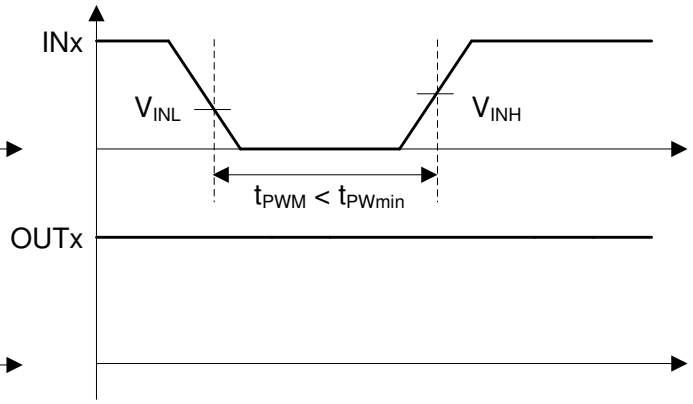


图 7-2. 抗尖峰脉冲滤波器 – 关断

7.2 传播延迟和脉宽失真度

图 7-3 展示了如何根据通道 A 和 B 的传播延迟计算脉宽失真度 (t_{PWD}) 和延迟匹配 (t_{DM})。若要测量延迟匹配，两个输入必须同相，并且 DT 引脚必须短接至 VCCI 以支持输出重叠。

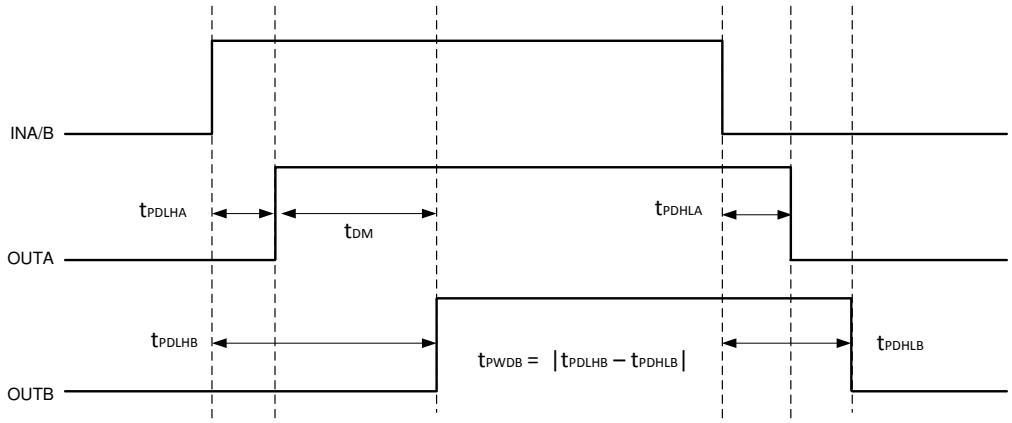


图 7-3. 延迟匹配和脉宽失真度

7.3 上升和下降时间

图 7-4 展示了衡量上升时间 (t_{RISE}) 和下降时间 (t_{FALL}) 的标准。有关如何实现较短上升时间和下降时间的更多信息，请参阅节 8.3.4。

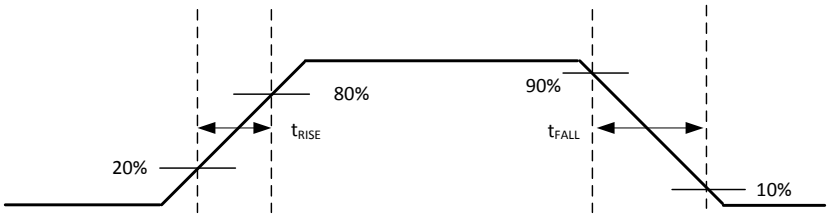


图 7-4. 上升时间和下降时间标准

7.4 输入和禁用响应时间

图 7-5 展示了禁用功能的响应时间。如需了解更多信息，请参阅 节 8.4.1。

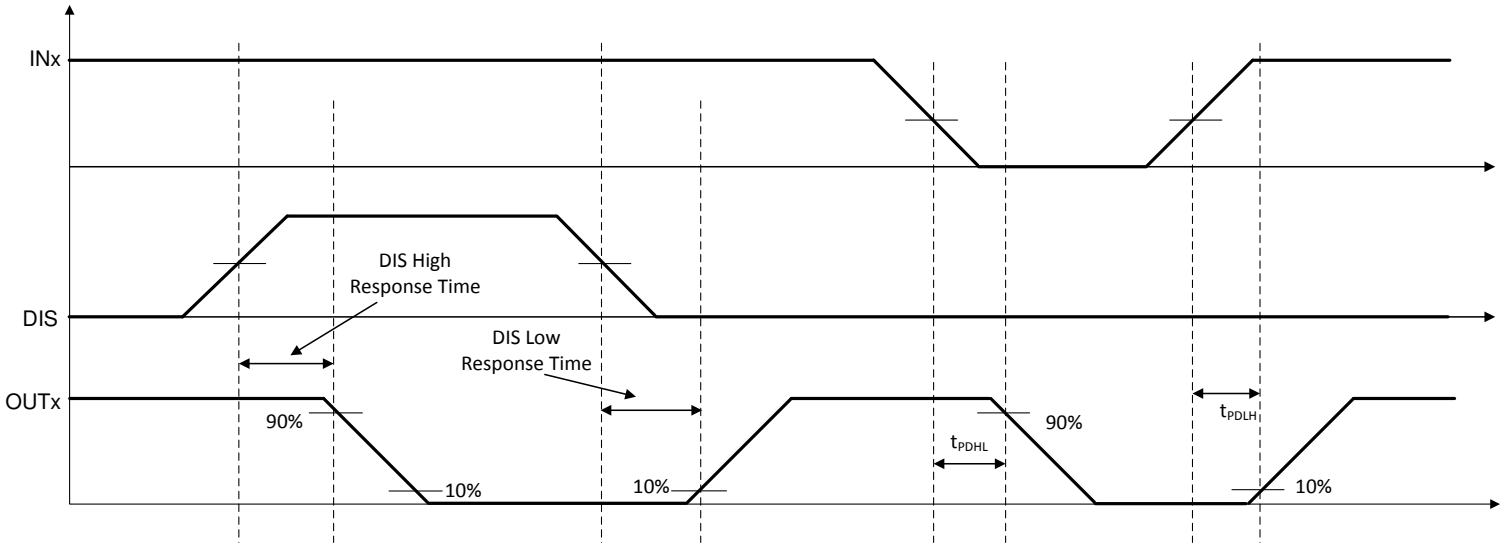


图 7-5. 禁用引脚时序

7.5 可编程死区时间

将 DT 连接到 VCCI 可禁用 DT 功能并允许输出重叠。在 DT 和 GND 之间放置一个电阻器 (R_{DT}) 可根据以下公式调整死区时间：DT (ns) = 10 × R_{DT} (kΩ)。TI 建议靠近 DT 引脚放置一个 ≤1nF 的陶瓷电容器来旁路此引脚，从而实现更佳的抗噪性能。有关死区时间的更多详细信息，请参阅节 8.4.2。

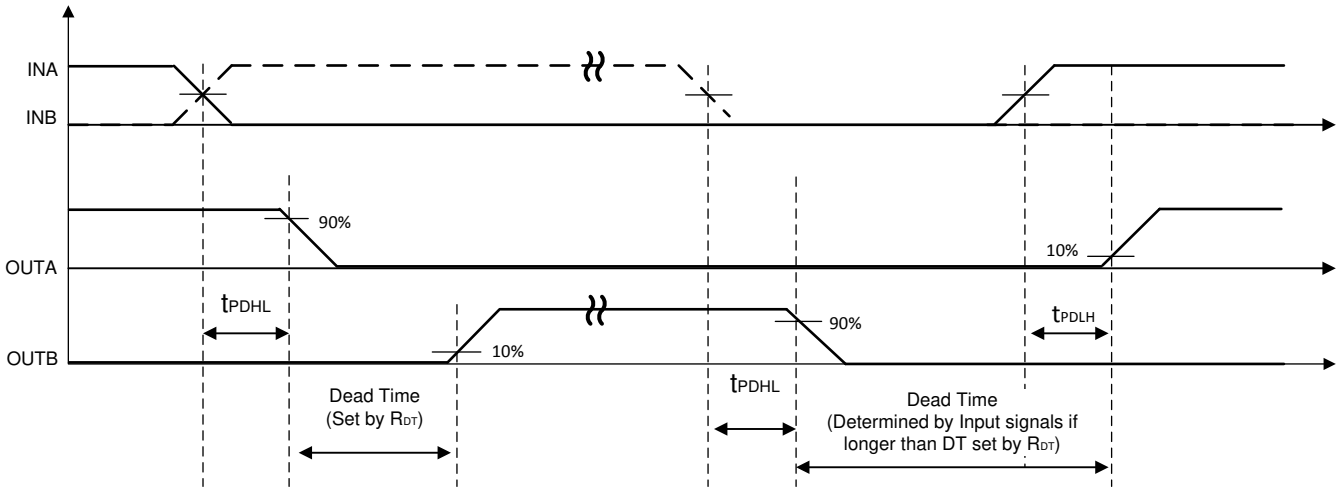


图 7-6. 的死区时间开关参数

7.6 上电 UVLO 到输出延迟

每当电源电压 VCCI 从低于下降阈值 V_{VCCI_OFF} 变为高于上升阈值 V_{VCCI_ON} 时，以及每当电源电压 VDDx 从低于下降阈值 V_{VDDx_OFF} 变为高于上升阈值 V_{VDDx_ON} 时，输出开始响应输入前会存在一些延迟。对于 VCCI UVLO，此延迟定义为 $t_{VCCI+ to OUT}$，最大值为 50µs。对于 VDDx UVLO，此延迟定义为 $t_{VDD+ to OUT}$，最大值为 10µs。TI 建议在驱动输入信号前留出一些裕量，以确保将驱动器 VCCI 和 VDD 偏置电源完全激活。图 7-7 和图 7-8 展示了 VCCI 和 VDD 的加电 UVLO 延迟时序图。

Copyright © 2024 Texas Instruments Incorporated

每当电源电压 VCCI 降至下降阈值 V_{VCCI_OFF} 以下，或者 VDDx 降至下降阈值 V_{VDDx_OFF} 以下时，输出会停止响应输入并在 ≤2μs 内保持低电平。这种不对称延迟旨在确保器件能够在 VCCI 或 VDDx 断电期间安全运行。

当 VCCI 断开，但 VDDx 存在时，输出会保持低电平；当 VDDx 断开时，器件会通过有源下拉功能将输出钳位至低电平。如需更详细的 UVLO 功能说明，请查看 节 8.3.1 部分。

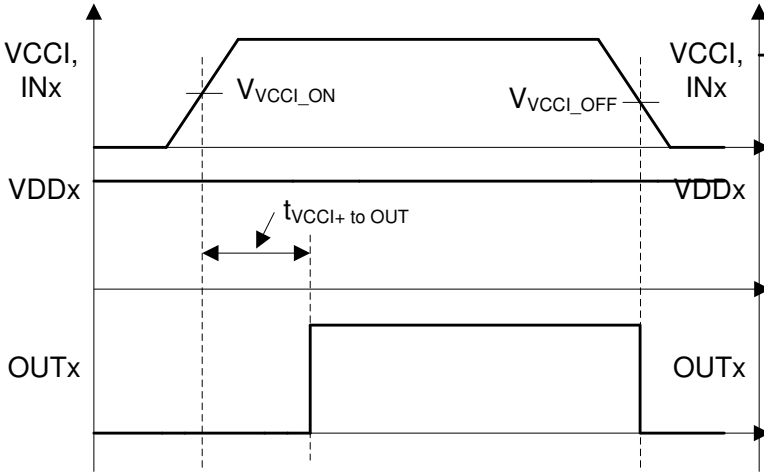


图 7-7. VCCI 上电 UVLO 延迟

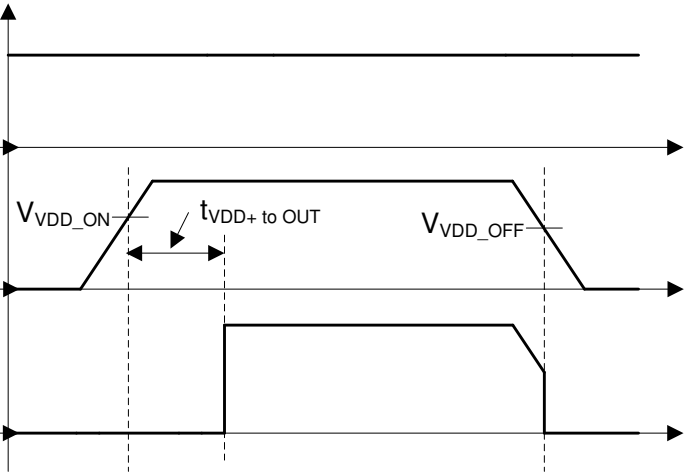


图 7-8. VDDA/B 上电 UVLO 延迟

7.7 CMTI 测试

图 7-9 是 CMTI 测试配置的简单示意图。

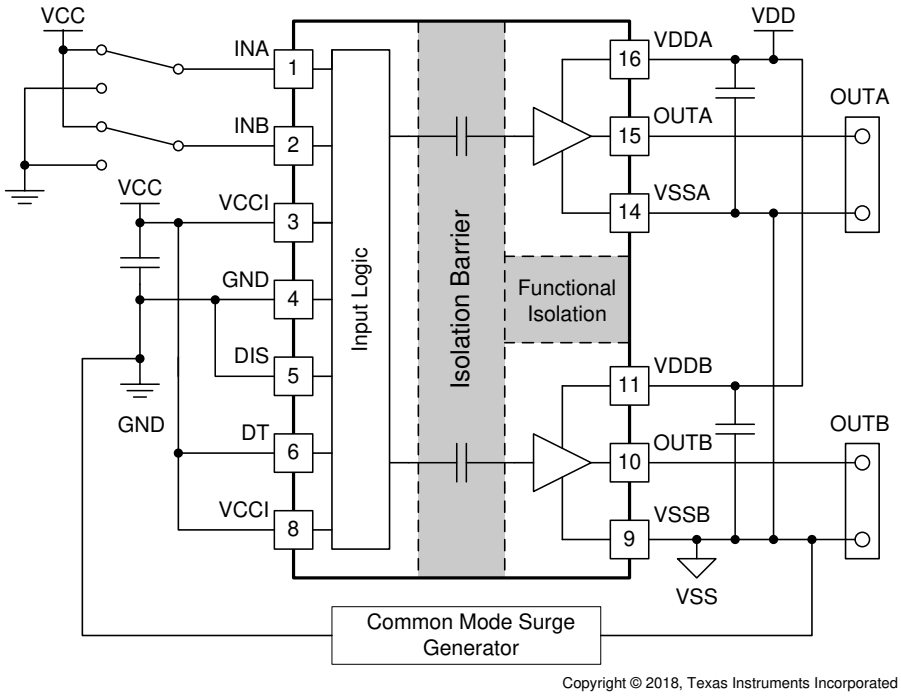


图 7-9. 简化的 CMTI 测试设置

Copyright © 2024 Texas Instruments Incorporated

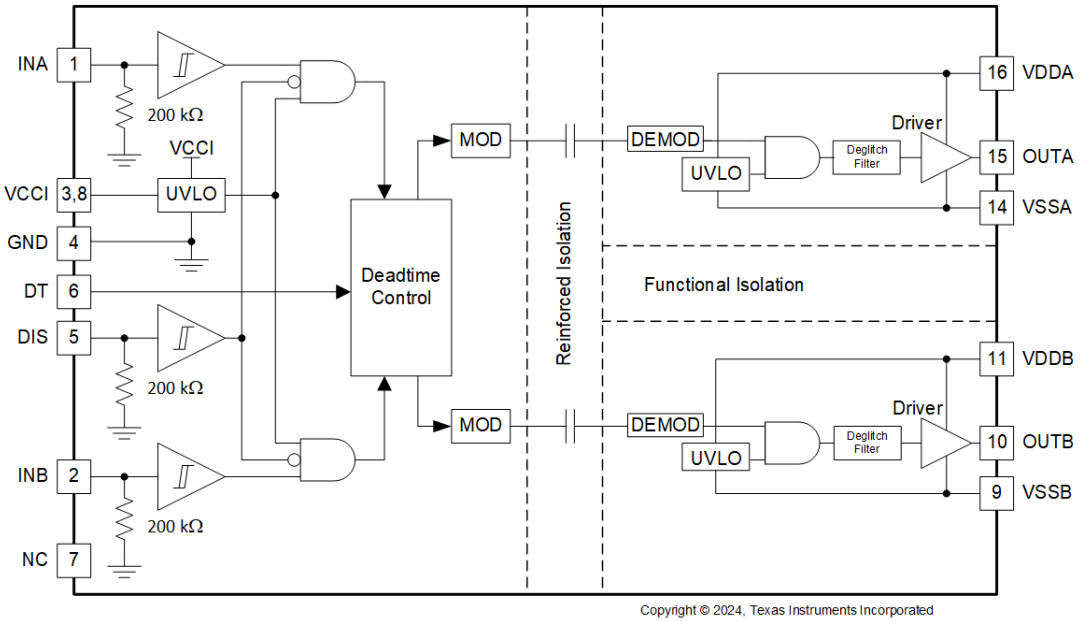
8 详细说明

8.1 概述

为了快速开关功率晶体管并减少开关功率损耗，通常会在控制器件的输出端和功率晶体管的栅极之间放置大电流栅极驱动器。在一些情况下，控制器无法提供足够的电流来驱动功率晶体管的栅极。在使用数字控制器的情况下尤其如此，因为来自数字控制器的输入信号通常是 3.3V 逻辑信号，该信号仅能提供几毫安的电流。

UCC21540-Q1 是一款灵活的双路栅极驱动器，经过配置可支持各种不同的电源和电机驱动拓扑，以及用于驱动多种类型的晶体管。UCC21540-Q1 具有很多特性，能够与控制电路良好集成并能够保护所驱动的栅极，这些特性包括：可通过电阻器编程的死区时间 (DT) 控制、禁用引脚，以及输入和输出电源的欠压锁定 (UVLO)。当输入端保留开路时，或者输入脉冲持续时间过短时，UCC21540-Q1 也会将其输出保持为低电平。驱动器输入端与 CMOS 和 TTL 兼容，能够连接数字和模拟电源控制器等。每个通道均由其各自的输入引脚（INA 和 INB）控制，因此能够完全独立地控制每个输出。

8.2 功能方框图



Copyright © 2024, Texas Instruments Incorporated

8.3 特性说明

8.3.1 VDD、VCCI 和欠压锁定 (UVLO)

UCC21540-Q1 针对两路输出 VDD 和 VSS 引脚之间的每个电源电压提供内部欠压锁定 (UVLO) 保护功能。当 VDD 偏置电压在器件启动后低于 V_{VDD_ON} 或在启动后低于 V_{VDD_OFF} 时，无论输入引脚的状态如何，VDD UVLO 功能都会将相应通道输出保持为低电平。VDDx UVLO 功能会在通道 A 和通道 B 之间独立工作，允许需要低侧输出的自举系统在高侧偏置前能够进行充电。

当驱动器的输出级处于未偏置或 UVLO 状态时，驱动器输出通过限制驱动器输出上电压上升的有源钳位电路保持低电平（如图 8-1 所示）。在这种情况下，上部 PMOS 被 R_{Hi-Z} 阻断，而下部 NMOS 栅极通过 R_{CLAMP} 连接到驱动器输出端。在该配置下，输出被有效地钳位至下部 NMOS 器件的阈值电压，不管是否存在偏置电源，该阈值电压通常约为 1.6V。

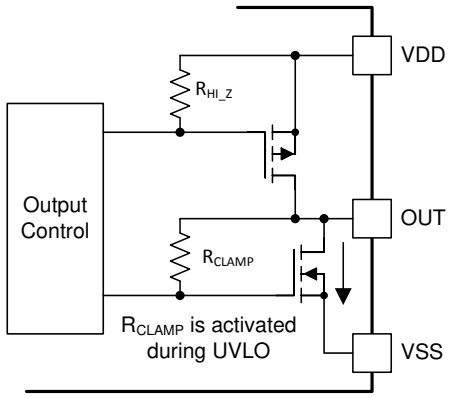


图 8-1. 有源下拉特性的简化表示

VDD UVLO 保护还具有迟滞功能 (V_{VDD_HYS})。当电源存在接地噪声时，该迟滞可防止抖动。得益于此，该器件还可以接受偏置电压小幅下降，这种情况常见于器件开始开关和工作电流消耗突然增加时。

UCC21540-Q1 的输入端还具有内部欠压锁定 (UVLO) 保护功能。除非电源电压 VCCI 在启动时超过 V_{VCCI_ON}，否则输入不会影响输出。当电源电压 VCCI 在启动后降至 V_{VCCI_OFF} 以下时，输出会保持低电平，并且无法响应输入。与用于 VDD 的 UVLO 相似，这里存在迟滞 (V_{VCCI_HYS}) 以确保稳定运行。

表 8-1. VCCI UVLO 功能逻辑 (1)

条件	输入		输出	
	INA	INB	OUTA	OUTB
器件启动期间 VCCI-GND < V_{VCCI_ON}	H	L	L	L
器件启动期间 VCCI-GND < V_{VCCI_ON}	L	H	L	L
器件启动期间 VCCI-GND < V_{VCCI_ON}	H	H	L	L
器件启动期间 VCCI-GND < V_{VCCI_ON}	L	L	L	L
器件启动后 VCCI-GND < V_{VCCI_OFF}	H	L	L	L
器件启动后 VCCI-GND < V_{VCCI_OFF}	L	H	L	L
器件启动后 VCCI-GND < V_{VCCI_OFF}	H	H	L	L
器件启动后 VCCI-GND < V_{VCCI_OFF}	L	L	L	L

(1) VDDx > VDD_ON。

Copyright © 2024 Texas Instruments Incorporated

表 8-2. VDDx UVLO 功能逻辑 (1)

条件	INA	INB	OUTA	OUTB
	输入		输出	
器件启动期间 VDD-VSS < V_{VDD_ON}	H	L	L	L
器件启动期间 VDD-VSS < V_{VDD_ON}	L	H	L	L
器件启动期间 VDD-VSS < V_{VDD_ON}	H	H	L	L
器件启动期间 VDD-VSS < V_{VDD_ON}	L	L	L	L
器件启动后 VDD-VSS < V_{VDD_OFF}	H	L	L	L
器件启动后 VDD-VSS < V_{VDD_OFF}	L	H	L	L
器件启动后 VDD-VSS < V_{VDD_OFF}	H	H	L	L
器件启动后 VDD-VSS < V_{VDD_OFF}	L	L	L	L

(1) VCCI > VCCI_ON。

8.3.2 输入和输出逻辑表

表 8-3. 输入/输出逻辑表 (1) (2)

假设 VCCI、VDDA 和 VDDB 均已上电（有关各个 UVLO 工作模式的更多信息，请参阅节 8.3.1）。表 8-3 展示了 INA、INB 和 DIS 以及相应输出状态下的工作状况。

输入		DIS	输出		备注
INA	INB		OUTA	OUTB	
L	L	L	L	L	如果使用死区时间功能，则死区时间结束后会发生输出转换。请参阅节 8.4.2。
L	H	L	L	H	
H	L	L	H	L	
H	H	L	L	L	DT 使用 R_{DT} 进行编程。
H	H	L	H	H	DT 引脚会被拉高至 VCCI
保留开路	保留开路	L	L	L	
X	X	H	L	L	连接到远距离微控制器时，可靠近 DIS 引脚放置不小于 1 nF 的低 ESR/ESL 电容器进行旁路。

(1) “X”表示 L、H 或保留开路。
(2) 为了提高抗噪性能，TI 建议在不使用时将 INA、INB 和 DIS 引脚连接到 GND 并将 DT 引脚连接到 VCCI。

8.3.3 输入级

UCC21540-Q1 的输入引脚（INA、INB 和 DIS）基于兼容 TTL 和 CMOS 的输入阈值逻辑，该逻辑与输出通道的 VDD 电源完全隔离。 UCC21540-Q1 具有典型值为 1.8V 的高电平阈值 (V_{INAH}) 和典型值为 1V 的低电平阈值，并且随温度变化很小（请参阅 和），因此可以使用逻辑电平控制信号（例如来自 3.3V 微控制器）轻松地驱动输入引脚。由于具有 0.8V 的宽迟滞 (V_{INA_HYS})，该器件具有出色的抗噪性能并且运行稳定。如果任何输入保持开路，内部下拉电阻器会强制将对应引脚置于低电平。对于 INA/B 和 DIS，这些电阻器通常为 200kΩ（请参阅节 8.2）。TI 建议将任何未用的输入接地。

施加于输入的任何信号在振幅方面都不得超过 VCCI 引脚上的电压。UCC21540-Q1 无法使用输出电压大于 VCCI 电压的模拟控制器来驱动。

Copyright © 2024 Texas Instruments Incorporated

8.3.4 输出级

UCC21540-Q1 输出级采用上拉结构，能够在最需要的时候提供最高的峰值拉电流：在电源开关导通转换的米勒平坦区期间（此时电源开关漏极或集电极电压经历 dV/dt）。输出级上拉结构具备一个 P 沟道 MOSFET 与一个额外的*上拉* N 沟道 MOSFET（并联）。N 沟道 MOSFET 的功能是使峰值拉电流短暂提升，从而实现快速导通。这是通过在输出状态从低电平变为高电平时，在短时间内短暂导通 N 沟道 MOSFET 来实现的。

R_{OH} 参数是直流测量值，仅代表 P 沟道器件的导通电阻。这是因为*上拉* N 沟道器件在直流条件下保持在关断状态，并且仅在输出状态从低电平变为高电平时短暂导通。因此，在该短暂导通阶段， UCC21540-Q1 上拉级的有效电阻远低于 R_{OH} 参数所表示的值。

UCC21540-Q1 的下拉结构包含一个 N 沟道 MOSFET。R_{OL} 参数也是一项直流测量值，其表示器件中下拉状态下的阻抗。在轨至轨运行期间，输出电压在 VDD 和 VSS 之间波动。

为了确保栅极驱动器稳健可靠地运行，请特别注意最小脉冲宽度。电气特性表中显示的最小脉冲宽度描述了在空载驱动器中传递到输出的最小输入脉冲。这是由驱动器 IC 中存在的抗尖峰脉冲滤波器决定的。需要比最大规格更长的输入开启或关闭脉冲宽度，才能保证输出状态改变并避免潜在的击穿。对于施加了负载的驱动器，必须采取额外的预防措施以确保系统稳健运行。在栅极开关期间，如果输出状态在驱动器完成每次转换之前发生变化，则会发生非零电流开关事件。与布局寄生效应相结合，非零电流开关可能会导致内部电源轨过冲和栅极驱动器的 EOS 损坏。因此，需要最小输出宽度来确保系统可靠运行。该最小输出脉冲宽度取决于多个因素：栅极电容、VDD 电源电压、栅极电阻和 PCB 布局寄生效应。稳健运行的最小脉冲宽度可能大于电气特性表中显示的最小脉冲宽度。应进行系统级研究，以确定每个系统所需的最小输出脉冲宽度。

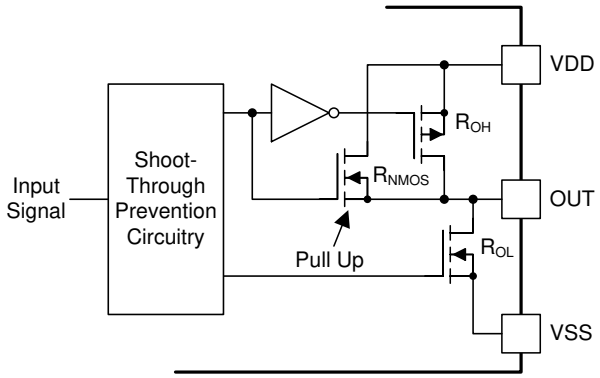


图 8-2. 输出级

8.3.5 UCC21540-Q1 中的二极管结构

图 8-3 展示了 ESD 保护元件中涉及的多个二极管。这提供了器件的绝对最大额定值的图形表示。

Copyright © 2024 Texas Instruments Incorporated

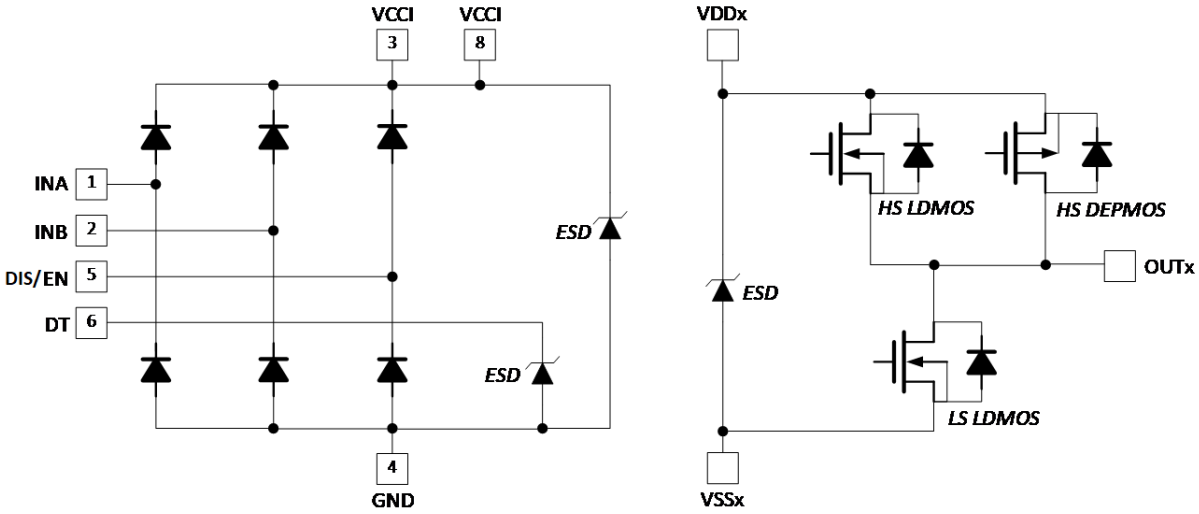


图 8-3. ESD 结构

8.4 器件功能模式

8.4.1 禁用引脚

当 DIS 引脚设为高电平时，两个输出同时关断。当 DIS 引脚设为低电平时，UCC21540-Q1 正常运行。连接到远距离微控制器时，可靠近 DIS 引脚放置约 1 nF 的低 ESR/ESL 电容器进行旁路。DIS 电路逻辑结构与 INA 或 INB 相似。只有当 VCCI 保持在 UVLO 阈值以上时，DIS 引脚才起作用并且是必需的。如果不使用 DIS 引脚，建议将此引脚连接至 GND，以实现更佳的抗噪性能。

8.4.2 可编程死区时间 (DT) 引脚

UCC21540-Q1 使用户能够通过以下方式调整死区时间 (DT)：

8.4.2.1 DT 引脚连接至 VCCI

输出与输入完全匹配，因此不会置位最小死区时间。这允许将输出重叠。如果不使用该引脚，TI 建议将其直接连接至 VCCI，以实现更佳的抗噪性能。

8.4.2.2 在 DT 和 GND 引脚之间连接编程电阻器

通过在 DT 引脚和 GND 之间放置一个电阻器 R_{DT} 来对 t_{DT} 编程。TI 建议靠近 DT 引脚放置一个 ≤1nF 的陶瓷电容器来旁路此引脚，从而实现更佳的抗噪性能。可以根据以下公式确定合适的 R_{DT} 值：

$$t_{DT} \approx 10 \times R_{DT} \quad (1)$$

其中

- t_{DT} 是已编程设定的死区时间，单位为纳秒。
- R_{DT} 是 DT 引脚和 GND 之间的电阻值，单位为千欧。

R_{DT} 对此引脚上的小电流进行编程，用于设置死区时间。随着 R_{DT} 值的增加，DT 引脚提供上的电流减小。当 R_{DT} = 100kΩ 时，DT 引脚电流将小于 10μA。对于更大的 R_{DT} 值，TI 建议尽可能靠近 DT 引脚放置 R_{DT} 和一个 ≤1nF 的陶瓷电容器，从而实现更佳的抗噪性能并在两个通道之间实现更好的死区时间匹配。

一个输入信号的下降沿会启动已编程设定的另一个信号的死区时间。已编程设定的死区时间是驱动器将两个输出保持低电平的最短强制持续时间。如果 INA 和 INB 信号包含的死区持续时间长于已编程设定的最短时间，则输出保持低电平的持续时间也会长于已编程设定的死区时间。如果两个输入同时都处于高电平，则两个输出都将立即被设为低电平。此特性用于在半桥应用中防止击穿，并且它并不影响正常运行所需的已编程设定的死区时间。下图显示并说明了各种驱动器死区时间逻辑工作条件。

Copyright © 2024 Texas Instruments Incorporated

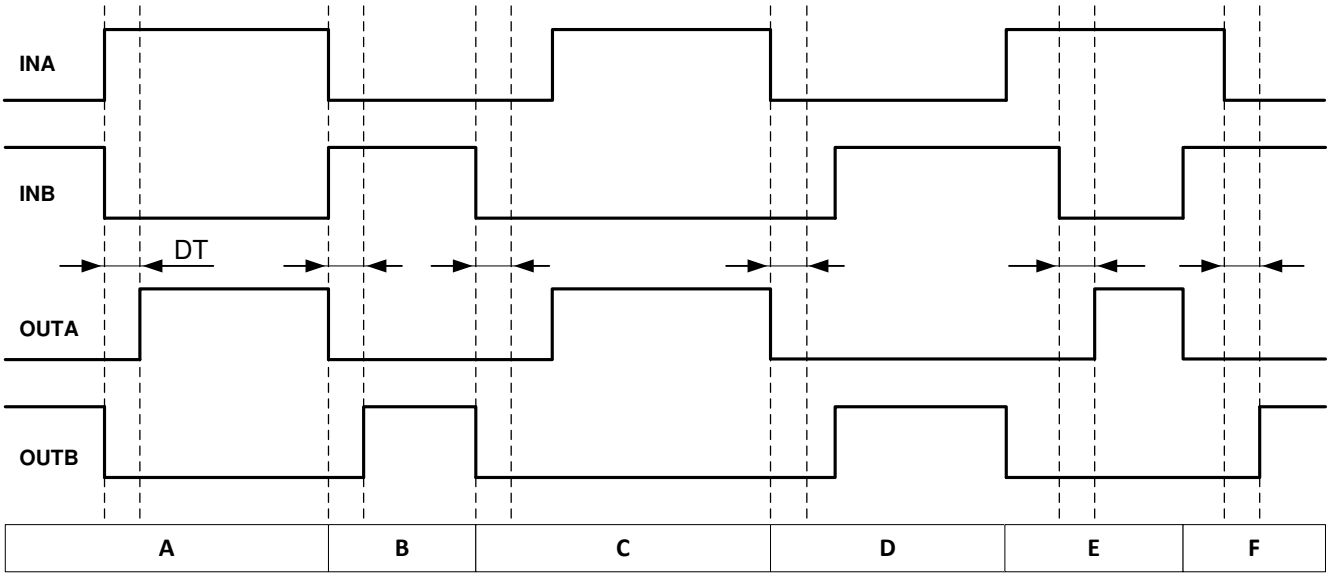


图 8-4. 各种输入信号条件下输入与输出逻辑之间的关系

条件 A：INB 变为低电平，INA 变为高电平。INB 立即将 OUTB 设为低电平并将已编程设定的死区时间分配给 OUTA。在已编程设定的死区时间后，OUTA 能够变为高电平。

条件 B：INB 变为高电平，INA 变为低电平。INA 现在立即将 OUTA 设为低电平并将已编程设定的死区时间分配给 OUTB。在已编程设定的死区时间后，OUTB 能够变为高电平。

条件 C：INB 变为低电平，INA 仍为低电平。INB 立即将 OUTB 设为低电平并为 OUTA 分配已编程死区时间。在这种情况下，输入信号死区时间长于已编程设定的死区时间。当 INA 在输入信号死区时间后变为高电平时，它立即将 OUTA 设为高电平。

条件 D：INA 变为低电平，INB 仍为低电平。INA 立即将 OUTA 设为低电平并将已编程设定的死区时间分配给 OUTB。在这种情况下，输入信号死区时间长于已编程设定的死区时间。当 INB 在输入信号死区时间后变为高电平时，它立即将 OUTB 设为高电平。

条件 E：INA 变为高电平，而 INB 和 OUTB 仍为高电平。为了避免过冲，OUTB 被立即拉至低电平。一段时间后，OUTB 变为低电平并将已编程设定的死区时间分配给 OUTA。OUTB 已经为低电平。在已编程设定的死区时间后，OUTA 能够变为高电平。

条件 F：INB 变为高电平，而 INA 和 OUTA 仍为高电平。为了避免过冲，OUTA 被立即拉至低电平。一段时间后，OUTA 变为低电平并将已编程设定的死区时间分配给 OUTB。OUTA 已经为低电平。在已编程设定的死区时间后，OUTB 能够变为高电平。

Copyright © 2024 Texas Instruments Incorporated

9 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

UCC21540-Q1 有效地将隔离功能和缓冲器驱动功能结合在一起。 UCC21540-Q1（具有高达 5.5V 的 VCCI 和 18V 的 VDDA/VDDB）具有灵活而通用的功能，这使得该器件能够用作 MOSFET、IGBT 或 GaN 晶体管的低侧、高侧、高侧/低侧或半桥驱动器。UCC21540-Q1 具有集成组件、高级保护功能（UVLO、死区时间和禁用）和经过优化的开关性能，使设计人员可以为企业、电信、汽车和工业应用打造更小、更强大的设计并缩短产品上市时间。

9.2 典型应用

图 9-1 中的电路展示了采用 UCC21540-Q1 驱动典型半桥配置的参考设计，该参考设计可以用在多种常见的电源转换器拓扑中，例如同步降压、同步升压、半桥/全桥隔离式拓扑以及三相电机驱动应用。

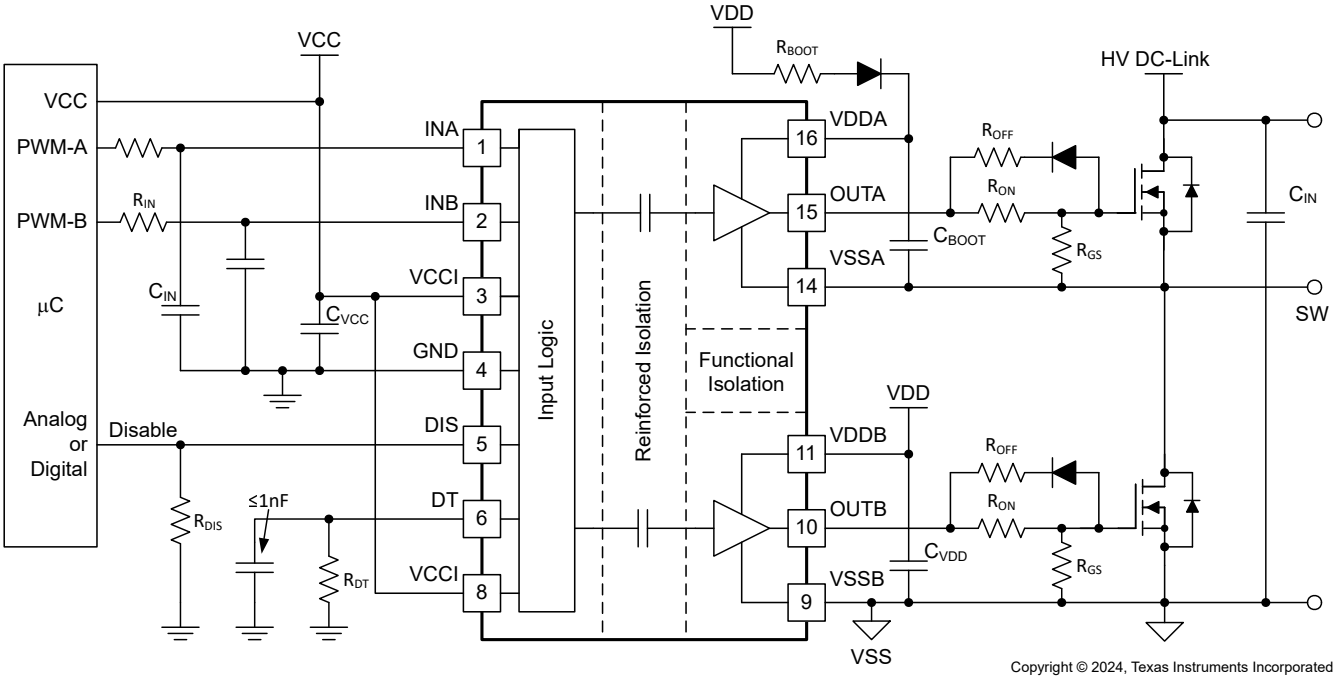


图 9-1. 典型应用原理图

9.2.1 设计要求

表 9-1 列出了示例应用的参考设计参数：UCC21540-Q1 驱动采用高侧/低侧配置的 650V MOSFET。

表 9-1. UCC21540-Q1 设计要求

参数	值	单位
功率晶体管	650V，150 mΩ R_{DS_ON} 且 12V V_{GS}	—
VCC	5.0	V
VDD	12	V
输入信号振幅	3.3	V
开关频率 (f_s)	100	kHz
死区时间	200	ns
直流链路电压	400	V

9.2.2 详细设计过程

9.2.2.1 设计 INA/INB 输入滤波器

建议用户不要通过对输入栅极驱动器的信号进行整形来尝试减慢（或延迟）输出端的信号。不过，可以使用小输入 R_{IN}-C_{IN} 滤波器来滤除非理想布局或长 PCB 迹线引入的振铃。

此类滤波器应当使用 0Ω 至 100Ω 范围内的 R_{IN} 和 10 pF 和 100 pF 之间的 C_{IN}。在示例中，R_{IN} = 51Ω 且 C_{IN} = 33 pF，而转折频率约为 100 MHz。

在选择这些元件时，一定要注意在出色抗噪性能与传播延迟之间进行权衡。

9.2.2.2 选择死区时间电阻器和电容器

方程式 1 中选择了一个 20kΩ 电阻器来将死区时间设置为 200ns。在 DT 引脚附近并联了一个 ≤1nF 电容器来提高抗噪性能。

9.2.2.3 选择外部自举二极管及其串联电阻

每个周期，当低侧晶体管导通时，自举电容器会由 VDD 通过外部自举二极管进行充电。为电容器充电涉及到高峰值电流，因此自举二极管上的瞬态功率耗散可能会非常大。导通损耗还取决于二极管的正向压降。栅极驱动器电路中的总损耗包括二极管导通损耗和反向恢复损耗。

选择外部自举二极管时，TI 建议选择高电压、快速恢复二极管或者具有低正向压降和低结电容的 SiC 肖特基二极管，以尽可能地减少反向恢复和相关接地噪声反弹引入的损耗。本例中，直流链路电压为 400 V_{DC}。自举二极管的电压等级应该大于直流链路电压并保留充分的裕度。因此，本例中选择了 600V 超快速二极管 MURA160T3G。

自举电阻器 R_{BOOT} 用于减少每个开关周期内 D_{BOOT} 中的浪涌电流并限制 VDDA-VSSA 电压的斜升压摆率，尤其是 VSSA(SW) 引脚具有过大的负瞬态电压时。R_{BOOT} 的建议值在 1Ω 和 20Ω 之间，具体取决于所用的二极管。本例中选择了一个 2.7Ω 限流电阻器来限制自举二极管中的浪涌电流。在最坏的情况下，流经 D_{Boot} 的峰值电流估计如下：

$$I_{DBoot(pk)} = \frac{V_{DD} - V_{BDF}}{R_{Boot}} = \frac{12V - 1.5V}{2.7\Omega} \approx 4A \quad (2)$$

其中

- V_{BDF} 是 4A 条件下自举二极管上的预计正向压降。

如不能将 VDDx-VSSx 的电压限制在 FET 和 UCC21540-Q1 的绝对最大额定值以下，在某些情况下可能对器件造成永久损坏。

9.2.2.4 栅极驱动器输出电阻器

外部栅极驱动器电阻器 R_{ON}/R_{OFF} 用于：

- 限制寄生电感/电容引起的振铃。

Copyright © 2024 Texas Instruments Incorporated

- 限制高电压/电流开关 dv/dt、di/dt 和体二极管反向恢复引起的振铃。
- 微调栅极驱动强度，即峰值灌电流和拉电流，以优化开关损耗。
- 降低电磁干扰 (EMI)。

如节 8.3.4 中所述， UCC21540-Q1 具有包含并联 P 沟道 MOSFET 和额外*上拉* N 沟道 MOSFET 的上拉结构。组合峰值拉电流为 4A。因此，可使用以下公式来预测峰值拉电流：

$$I_{OA+} = \min\left(4A, \frac{V_{DD} - V_{BDF}}{R_{NMOS} \,||\, R_{OH} + R_{ON} + R_{GFET_Int}}\right) \tag{3}$$

$$I_{OB+} = \min\left(4A, \frac{V_{DD}}{R_{NMOS} \,||\, R_{OH} + R_{ON} + R_{GFET_Int}}\right) \tag{4}$$

其中

- R_{ON}：外部导通电阻。
- R_{GFET_INT}：功率晶体管内部栅极电阻（见于功率晶体管数据表）。
- I_{O+} = 峰值拉电流 – 4A、栅极驱动器峰值拉电流和根据栅极驱动回路电阻计算出的值中的最小值。

在本例中：

$$I_{OA+} = \frac{V_{DD} - V_{BDF}}{R_{NMOS} \,||\, R_{OH} + R_{ON} + R_{GFET_Int}} = \frac{12V - 0.8V}{1.47\Omega \,||\, 5\Omega + 2.2\Omega + 1.5\Omega} \approx 2.3A \tag{5}$$

$$I_{OB+} = \frac{V_{DD}}{R_{NMOS} \,||\, R_{OH} + R_{ON} + R_{GFET_Int}} = \frac{12V}{1.47\Omega \,||\, 5\Omega + 2.2\Omega + 1.5\Omega} \approx 2.5A \tag{6}$$

因此，高侧和低侧峰值拉电流分别为 2.3A 和 2.5A。类似地，可以使用以下公式来计算峰值灌电流：

$$I_{OA-} = \min\left(6A, \frac{V_{DD} - V_{BDF} - V_{GDF}}{R_{OL} + R_{OFF} \,||\, R_{ON} + R_{GFET_Int}}\right) \tag{7}$$

$$I_{OB-} = \min\left(6A, \frac{V_{DD} - V_{GDF}}{R_{OL} + R_{OFF} \,||\, R_{ON} + R_{GFET_Int}}\right) \tag{8}$$

其中

- R_{OFF}：在本例中，外部关断电阻 R_{OFF} 为 0；
- V_{GDF}：与 R_{OFF} 串联的反向并联二极管正向压降。本例中的二极管为 MSS1P4。
- I_{O-}：峰值灌电流 – 6A、栅极驱动器峰值灌电流和根据栅极驱动回路电阻计算出的值中的最小值。

在本例中：

$$I_{OA-} = \frac{V_{DD} - V_{BDF} - V_{GDF}}{R_{OL} + R_{OFF} \,||\, R_{ON} + R_{GFET_Int}} = \frac{12V - 0.8V - 0.85V}{0.55\Omega + 0\Omega + 1.5\Omega} \approx 5.0A \tag{9}$$

Copyright © 2024 Texas Instruments Incorporated

$$I_{OB-} = \frac{V_{DD} - V_{GDF}}{R_{OL} + R_{OFF} \,||\, R_{ON} + R_{GFET_Int}} = \frac{12V - 0.85V}{0.55\Omega + 0\Omega + 1.5\Omega} \approx 5.4A \quad (10)$$

因此，高侧和低侧峰值灌电流分别为 5.0A 和 5.4A。

重要的是，估算的峰值电流也受 PCB 布局和负载电容的影响。栅极驱动器环路中的寄生电感可以减慢峰值栅极驱动电流并导致过冲和下冲。因此，强烈建议最大限度地缩小栅极驱动器环路。另一方面，当功率晶体管的负载电容 (C_{ISS}) 非常小（通常小于 1 nF）时，峰值拉电流/灌电流取决于环路寄生效应，因为上升和下降时间太短，接近于寄生振铃周期。

如果不能将 OUTx 电压控制在数据表中的绝对最大额定值以下（包括瞬态），在某些情况下可能对器件造成永久损坏。若要减少过多的栅极振铃，建议在 FET 栅极附近放置一个铁氧体磁珠。存在扩展的过冲/下冲时，也可以使用外部钳位二极管，以便将 OUTx 电压钳位至 VDDx 和 VSSx 电压。

9.2.2.5 栅极至源极电阻器选择

当栅极驱动器输出未上电并处于不确定的状态时，建议使用栅极至源极电阻器 RGS 将栅极下拉至源极电压。此电阻器还有助于在栅极驱动器能够导通并主动拉至低电平之前，降低米勒电流导致的由 dv/dt 引起的导通风险。该电阻器的大小通常介于 5.1 kΩ 和 20 kΩ 之间，具体取决于功率器件的 Vth 和 CGD 与 CGS 之比。

9.2.2.6 估算栅极驱动器功率损耗

栅极驱动器子系统中的总损耗 P_G 包括 UCC21540-Q1 (P_{GD}) 的功率损耗和外围电路（如外部栅极驱动电阻器）中的功率损耗。自举二极管损耗并未包含在 P_G 中，本节中也不对其进行讨论。

P_{GD} 是关键功率损耗，它决定了 UCC21540-Q1 的热安全相关限值，可以通过计算几个分量产生的损耗来对其进行估算。

第一个分量是静态功率损耗 P_{GDQ}，其中包括以特定开关频率工作时驱动器上的静态功率损耗以及驱动器的自身功耗。P_{GDQ} 是在给定 VCCI、VDDA/VDDB、开关频率和环境温度下，在无负载连接到 OUTA 和 OUTB 时在工作台上测量。 和 展示了无负载条件下工作电流消耗与工作频率之间的关系。在本例中，V_{VCCI} = 5V 且 V_{VDD} = 12V。当 INA/INB 以 100 kHz 频率从 0V 切换至 3.3V 时，测得每个电源上的电流 I_{VCCI} ≈ 2.5 mA 且 I_{VDDA} = I_{VDDB} ≈ 1.5 mA。因此，可以通过以下公式计算 P_{GDQ}：

$$P_{GDQ} = V_{VCCI} \times I_{VCCI} + V_{VDDA} \times I_{DDA} + V_{VDDB} \times I_{DDB} = 50mW \quad (11)$$

第二个分量是开关操作损耗 P_{GDO}，此时具有给定的负载电容，驱动器在每个开关周期中对其进行充电和放电。负载开关产生的总动态损耗 P_{GSW} 可以通过以下公式进行估算：

$$P_{GSW} = 2 \times V_{DD} \times Q_G \times f_{SW} \quad (12)$$

其中

- Q_G 是功率晶体管的栅极电荷。

如果使用分离轨进行开启和关闭，则 VDD 将等于正电源轨和负电源轨之差。

因此，在本应用示例中：

$$P_{GSW} = 2 \times 12V \times 100nC \times 100kHz = 240mW \quad (13)$$

Q_G 表示功率晶体管在以数据表中所提供的 14A 电流和 480V 电压进行开关时的总栅极电荷，该电荷随测试条件的变化而变化。输出级上的 UCC21540-Q1 栅极驱动器损耗 P_{GDO} 是 P_{GSW} 的一部分。如果外部栅极驱动器电阻为 0Ω，则 P_{GDO} 将等于 P_{GSW}，并且所有栅极驱动器损耗都将在 UCC21540-Q1 内耗散。如果存在外部导通和关断电阻，则总损耗将分布在栅极驱动器上拉/下拉电阻和外部栅极电阻之间。重要的是，如果拉电流/灌电流未达到

Copyright © 2024 Texas Instruments Incorporated

4 A/6 A 饱和值，则上拉/下拉电阻是线性的固定电阻，但是，如果拉电流/灌电流达到饱和，它将是非线性的。因此，P_{GDO} 在这两种情形下是不同的。

情况 1 - 线性上拉/下拉电阻器：

$$P_{GDO} = \frac{P_{GSW}}{2} \times \left(\frac{R_{OH} \,||\, R_{NMOS}}{R_{OH} \,||\, R_{NMOS} + R_{ON} + R_{GFET_Int}} + \frac{R_{OL}}{R_{OL} + R_{OFF} \,||\, R_{ON} + R_{GFET_Int}} \right) \tag{14}$$

在此设计示例中，所有预测的拉电流/灌电流均小于 4A/6A，因此可以使用以下公式来估算 UCC21540-Q1 栅极驱动器损耗：

$$P_{GDO} = \frac{240mW}{2} \times \left(\frac{5\Omega \,||\, 1.47\Omega}{5\Omega \,||\, 1.47\Omega + 2.2\Omega + 1.5\Omega} + \frac{0.55\Omega}{0.55\Omega + 0\Omega + 1.5\Omega} \right) \approx 60mW \tag{15}$$

情况 2 - 非线性上拉/下拉电阻器：

$$P_{GDO} = 2 \times f_{SW} \times \left[4A \times \int_{0}^{T_{R_Sys}} \left(V_{DD} - V_{OUTA/B}(t) \right) dt + 6A \times \int_{0}^{T_{F_Sys}} V_{OUTA/B}(t) dt \right] \tag{16}$$

其中

- $V_{OUTA/B}(t)$ 为栅极驱动器 OUTA 和 OUTB 引脚在导通和关断瞬变期间的电压，它可以简化为恒流源（在导通时为 4A，在关断时为 6A）对负载电容器进行充电或放电。因此，$V_{OUTA/B}(t)$ 波形将是线性的，可以轻松地预测 T_{R_Sys} 和 T_{F_Sys}。

对于某些情形，如果只有一个上拉或下拉电路饱和，而另一个不饱和，则 P_{GDO} 是情况 1 和情况 2 的组合，可以根据上面的论述轻松地识别上拉和下拉的方程。因此，栅极驱动器 UCC21540-Q1 中的总栅极驱动器损耗 P_{GD} 为：

$$P_{GD} = P_{GDQ} + P_{GDO} \tag{17}$$

在本设计示例中该值等于 127 mW。

9.2.2.7 估算结温

UCC21540 UCC21540-Q1 的结温可以通过以下公式进行估算：

$$T_J = T_C + \Psi_{JT} \times P_{GD} \tag{18}$$

其中

- T_J 是结温。
- T_C 是用热电偶或其他仪器测得的 UCC21540-Q1 外壳温度。
- Ψ_{JT} 是来自节 6.4 表的结至顶特征参数。

使用结至顶特征参数 (Ψ_{JT}) 代替结至外壳热阻 ($R_{\Theta JC}$) 可以极大地提高结温估算的准确性。大多数 IC 的大部分热能通过封装引线释放到 PCB 中，而总能量中仅有一小部分通过外壳顶部（通常在此处进行热电偶测量）进行释放。只有在大部分热能通过外壳释放时（例如采用金属封装或对 IC 封装应用散热器时），才能有效地使用 $R_{\Theta JC}$ 电阻。在所有其他情况下，使用 $R_{\Theta JC}$ 将无法准确地估算真实的结温。Ψ_{JT} 是通过假设通过 IC 顶部的能量在测试环境和应用环境中相似而通过实验得出的。只要遵循建议的布局指南，就可以准确地进行结温估算，将误差限制在几摄氏度内。更多信息，请参阅节 11.1 和《半导体和 IC 封装热指标》应用报告。

Copyright © 2024 Texas Instruments Incorporated

9.2.2.8 选择 VCCI、VDDA/B 电容器

VCCI、VDDA 和 VDDB 的旁路电容器对于实现可靠的性能至关重要。TI 建议选择具有足够额定电压、温度系数和电容容差的低 ESR 和低 ESL、表面贴装型多层陶瓷电容器 (MLCC)。重要的是，MLCC 上的直流偏置会影响实际电容值。例如，当施加 15V_{DC} 的直流偏置时，测得 25V、1μF X7R 电容器的电容仅为 500 nF。

9.2.2.8.1 选择 VCCI 电容器

连接到 VCCI 的旁路电容器支持初级逻辑所需的瞬态电流以及总电流消耗，后者仅为几 mA。因此，该应用建议使用 100 nF 以上的 25V MLCC。如果偏置电源输出与 VCCI 引脚的距离相对较长，则应使用值大于 1 μF 的钽或电解电容器与 MLCC 并联。

9.2.2.8.2 选择 VDDA（自举）电容器

VDDA 电容器在自举电源配置中也被称为*自举电容器*，用于支持高达 4A（拉电流峰值电流）的栅极驱动电流瞬变并需要为功率晶体管维持稳定的栅极驱动电压。

每个开关周期所需的总电荷可以通过以下公式进行估算：

$$Q_{Total} = Q_G + \frac{I_{VDD}@100kHz(No\ Load)}{f_{SW}} = 100nC + \frac{1.5mA}{100kHz} = 115nC \tag{19}$$

其中

- Q_{Total}：所需总电荷
- Q_G：功率晶体管的栅极电荷。
- I_{VDD}：100 kHz、空载条件下通道自身的电流消耗。
- f_{SW}：栅极驱动器的开关频率

因此，所需的 C_{Boot} 绝对最小值如下：

$$C_{Boot} = \frac{Q_{Total}}{\Delta V_{VDDA}} = \frac{115nC}{0.5V} = 230nF \tag{20}$$

其中

- ΔV_{VDDA} 是 VDDA 处的电压纹波，在本例中为 0.5V。

在实践中，C_{Boot} 的值要大于计算所得的值。这样便允许存在直流偏置电压导致的电容变化，以及支持功率级原本会因负载瞬态而跳过一些脉冲的情况。因此，建议在 C_{Boot} 值中包含一定的裕量，并将该电容器尽可能靠近 VDD 和 VSS 引脚放置。本例中选择了一个 50V、1 μF 电容器。

$$C_{Boot} = 1\mu F \tag{21}$$

选择自举电容器时，应注意确保 VDD 至 VSS 的电压不会降至第 6.3 节中所建议的最低工作电平以下。应相应地调整自举电容器的值，使其可以提供初始电荷来开关功率器件，然后在高侧导通期间持续提供栅极驱动器静态电流。

如果高侧电源电压降至 UVLO 下降阈值以下，高侧栅极驱动器输出将关断并会关闭功率器件。如果以不受控的方式硬开关功率器件，则会导致驱动器输出端出现高 di/dt 和高 dv/dt 瞬态，并可能对器件造成永久损坏。

若要进一步降低宽频率范围内的交流阻抗，建议靠近 VDDx - VSSx 引脚放置具有低 ESL/ESR 的旁路电容器。本例中将一个 100 nF、X7R 陶瓷电容器与 C_{Boot} 并联来优化瞬态性能。

Copyright © 2024 Texas Instruments Incorporated

备注

使用过大的 C_{BOOT} 不见得好。在前几个周期内，C_{BOOT} 可能并不会充电，而 V_{BOOT} 会保持在 UVLO 以下。因此，高侧 FET 并不会跟随输入信号命令。另外在初始 C_{BOOT} 充电周期期间，自举二极管具有最高的反向恢复电流和损耗。

9.2.2.8.3 选择 VDDB 电容器

通道 B 具有与通道 A 相同的电流要求，因此需要 VDDB 电容器（在图 9-1 中显示为 C_{VDD}）。在这个采用自举配置的示例中，VDDB 电容器还通过自举二极管为 VDDA 供电。这里为 C_{VDD} 选择了一个 50V、10 µF MLCC 和一个 50V、220 nF MLCC。如果偏置电源输出与 VDDB 引脚的距离相对较长，则应使用电容值大于 10 µF 的钽或电解电容器与 C_{VDD} 并联。

9.2.2.9 具有输出级负偏置的应用电路

当非理想 PCB 布局和长封装引线（例如 TO-220 和 TO-247 型封装）引入寄生电感时，高 di/dt 和 dv/dt 开关期间功率晶体管的栅极源驱动电压会出现振铃。如果振铃超过阈值电压，则存在意外导通风险，甚至会发生击穿。为了将此类振铃保持在阈值以下，一种常见的方式是在栅极驱动上施加负偏置。下面是实现负栅极驱动偏置的几个例子。

图 9-2 展示了通过在隔离式电源输出级使用齐纳二极管来在通道 A 驱动器上生成负偏置关断的第一个例子。负偏置由齐纳二极管电压设置。如果隔离式电源 V_A 等于 17V，则关断电压为 –5.1V，导通电压为 17V – 5.1V ≈ 12V。通道 B 驱动器电路与通道 A 的相同，因此该配置需要两个用于半桥配置的电源，并且 R_Z 上存在稳态功耗。

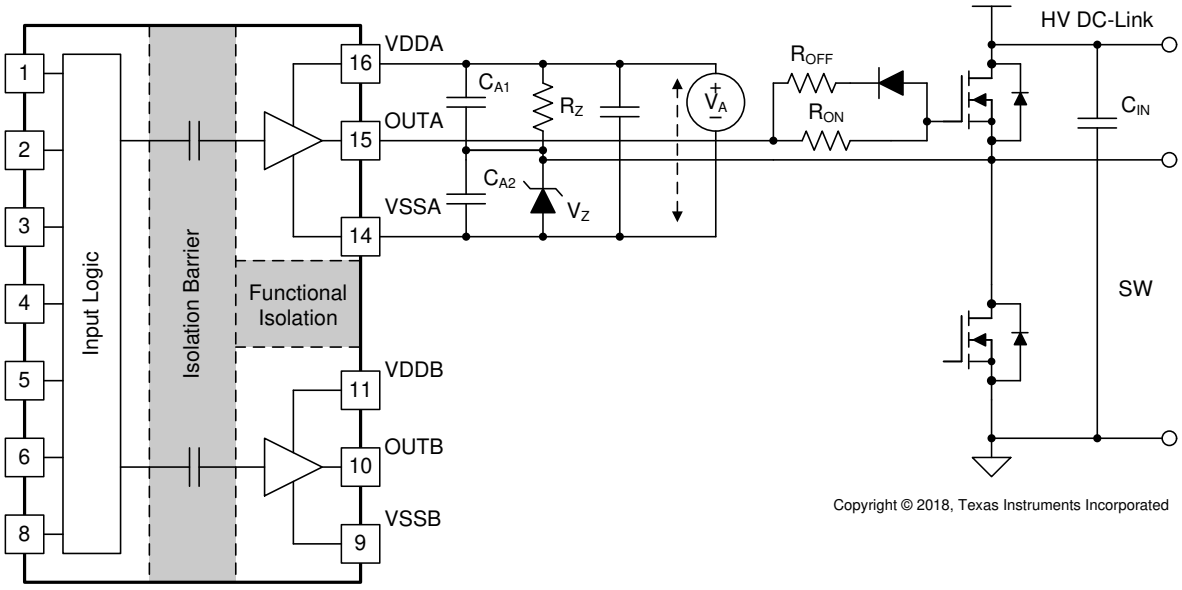


图 9-2. 利用 ISO 偏置电源输出上的齐纳二极管生成负偏置

图 9-3 展示了采用两个电源（或单输入双输出电源）的另一个例子。电源 V_{A+} 决定正驱动输出电压，而 $V_{A–}$ 决定负关断电压。通道 B 的配置与通道 A 的相同。此解决方案所需的电源数量要比第一个例子中的多，不过它在设置正负电源轨电压时提供了更大的灵活性。

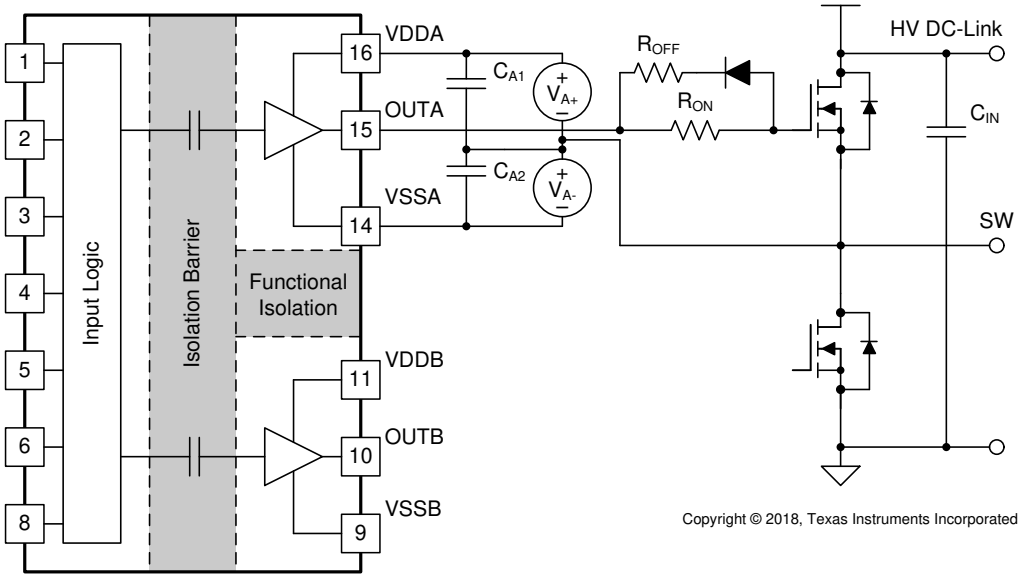


图 9-3. 利用两个 LSO 偏置电源生成负偏置

如图 9-4 所示，最后一个例子是单电源配置，并通过栅极驱动环路中的齐纳二极管来生成负偏置。此解决方案的优势是，它仅使用一个电源，并且自举电源可用于高侧驱动。在这三种解决方案中，此设计的成本最低，所需设计工作量也最少。不过，此解决方案有以下局限性：

1. 负栅极驱动偏置不仅取决于齐纳二极管，而且还取决于占空比，这意味着当占空比变化时，负偏置电压也会变化。因此，在此解决方案中，使用变频谐振转换器或相移转换器等具有固定占空比 (~50%) 的转换器比较有利。
2. 高侧 VDDA-VSSA 必须维持足够的电压来保持在建议的电源电压范围内，这意味着在每个开关周期的一段时间内低侧开关必须导通或在体（或反向并联）二极管上存在续流电流，以便刷新自举电容器。因此，除非高侧使用专用电源，如另外两个示例电路中那样，否则高侧无法实现 100% 占空比。

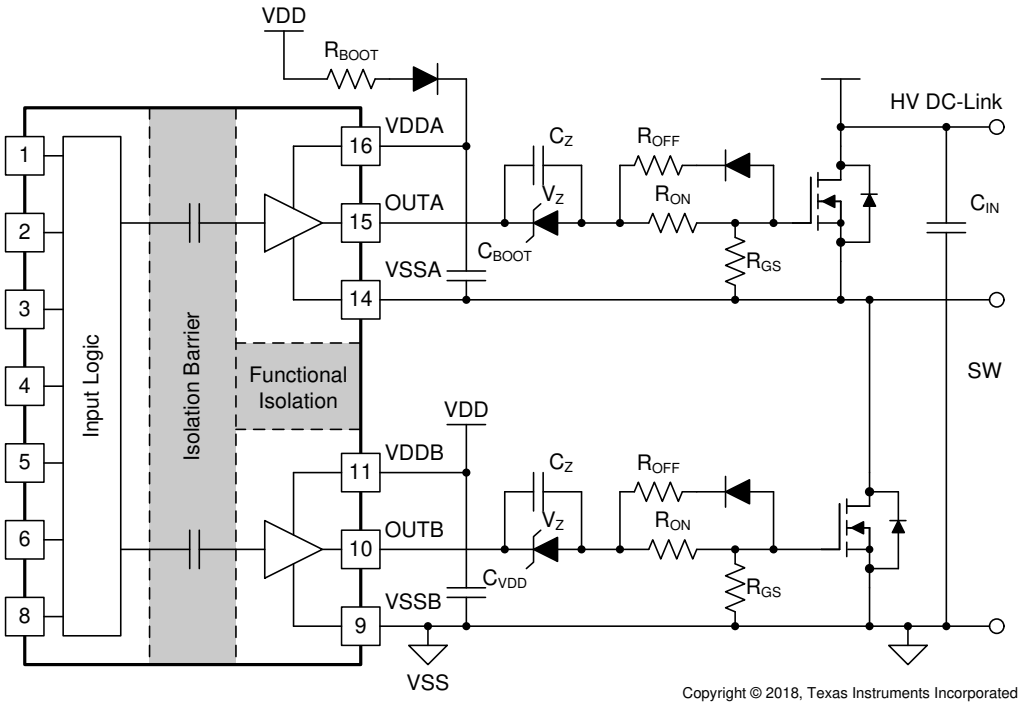


图 9-4. 利用单电源和栅极驱动路径上的齐纳二极管产生负偏置

Copyright © 2024 Texas Instruments Incorporated

9.2.3 应用曲线

图 9-5 和图 9-6 展示了以下条件下图 9-1 所示设计示例的基准测试波形：VCC = 5.0V、VDD = 12V、f_{SW} = 100 kHz 且 $V_{DC-Link}$ = 400V。

通道 1（蓝色）：高侧功率晶体管上的栅极源信号。

通道 2（青色）：低侧功率晶体管上的栅极源信号。

通道 3（粉色）：INA 引脚信号。

通道 4（绿色）：INB 引脚信号。

在 图 9-5 中，通过 INA 和 INB 发送互补的 3.3V、20%/80% 占空比信号。功率晶体管上的栅极驱动信号具有 200 ns 死区时间，并且直流链路上存在 400V 高压，如图 9-5 的测量部分所示。请注意，存在高电压时，需要使用带宽较小的差分探头，而这会限制测量可达到的精度。

图 9-6 展示了 图 9-5 波形的放大图，其中提供了传播延迟和死区时间的测量数据。重要的是，输出波形是在功率晶体管的栅极和源极引脚之间测得的，而不是直接在驱动器 OUTA 和 OUTB 引脚上测得的。

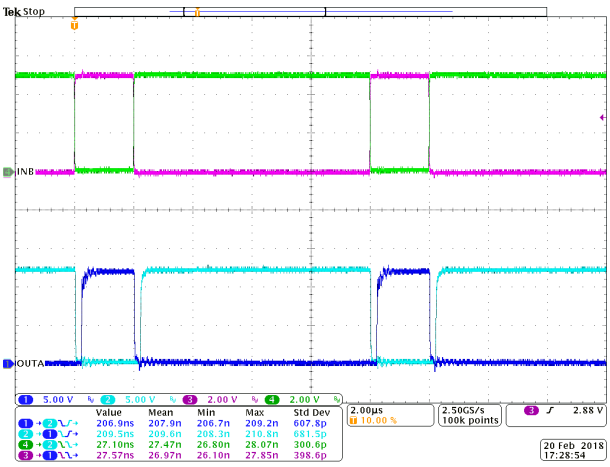


图 9-5. INA/B 和 OUTA/B 的基准测试波形

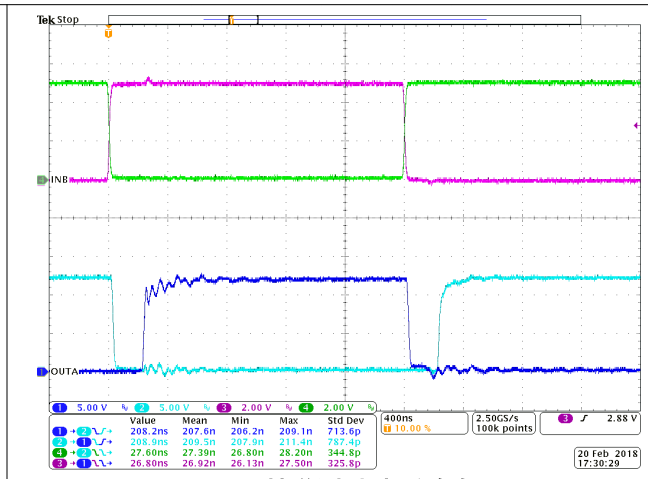


图 9-6. 基准测试波形放大图

Copyright © 2024 Texas Instruments Incorporated

10 电源相关建议

UCC21540-Q1 的建议输入电压 (VCCI) 介于 3V 和 5.5V 之间。输出偏置电源电压 (VDDA/VDDB) 位于 6.0V 到 18V 范围内。该偏置电源电压范围的下限由每个器件内置的欠压锁定 (UVLO) 保护功能进行控制。正常运行期间，VDD 和 VCCI 不得低于其各自的 UVLO 阈值。（有关 UVLO 的更多信息，请参阅节 8.3.1）。VDDA/VDDB 范围的上限取决于由 UCC21540-Q1 驱动的功率器件的最大栅极电压。建议的 VDDA/VDDB 最大值为 18V。

应当在 VDD 和 VSS 引脚之间放置一个本地旁路电容器，以便在输出变为高电平时向容性负载供电。该电容应尽可能靠近器件放置，以最大限度地减少寄生阻抗。建议使用低 ESR 陶瓷表面贴装电容器。如果旁路电容器阻抗过大，电阻和电感寄生效应会导致 IC 引脚上的电源电压意外降至 UVLO 阈值以下。若要滤除 VDD 和 VSS 之间的高频噪声，可以再添加一个在较高频率下具有较低阻抗的电容器。例如，初级旁路电容器可以为 1 µF，而次级高频旁路电容器为 100 nF。

类似地，还应在 VCCI 和 GND 引脚之间放置一个旁路电容器。假设 UCC21540-Q1 输入侧逻辑电路汲取的电流很小，那么该旁路电容器可以使用 100 nF 的建议最小值。

Copyright © 2024 Texas Instruments Incorporated

11 布局

11.1 布局指南

为了实现 UCC21540-Q1 的最佳性能，应考虑这些 PCB 布局指南。

11.1.1 元件放置注意事项

- 必须在 VCCI 和 GND 引脚之间以及 VDD 和 VSS 引脚之间靠近器件的位置连接低 ESR 和低 ESL 电容器，以在外部功率晶体管导通时支持高峰值电流。
- 为了避免桥接配置中开关节点 VSSA (HS) 引脚上产生较大的负瞬态，必须尽可能地减小顶部晶体管源极和底部晶体管源极之间的寄生电感。
- 为了改进从远距离微控制器或高阻抗源驱动 DIS 引脚时的抗噪性能，TI 建议在 DIS 引脚和 GND 之间添加一个小型旁路电容器 (≥ 1000pF)。
- 如果使用死区时间功能，TI 建议靠近 UCC21540-Q1 的 DT 引脚放置编程电阻器 R_{DT} 和旁路电容器，以防噪声意外耦合到内部死区时间电路上。该电容器应 ≤ 1nF。

11.1.2 接地注意事项

- 务必要将对晶体管栅极进行充电和放电的高峰值电流限制在最小的物理环路区域内。这样将会降低环路电感并最大限度地降低晶体管栅极端子上的噪声。栅极驱动器必须尽可能靠近晶体管放置。
- 注意高电流路径，其中包含自举电容器、自举二极管、局部接地参考旁路电容器和低侧晶体管体二极管/反并联二极管。自举电容器由 VDD 旁路电容器通过自举二极管逐周期进行重新充电。这种重新充电行为发生在较短的时间间隔内，需要高峰值电流。尽可能减小印刷电路板上的环路长度和面积对于确保可靠运行至关重要。

11.1.3 高电压注意事项

- 为确保初级侧和次级侧之间的隔离性能，请避免在驱动器器件下方放置任何 PCB 迹线或覆铜。建议使用 PCB 切口，以防止发生可能影响隔离性能的污染。
- 对于半桥或高侧/低侧配置，应最大限度地增加 PCB 布局中高侧和低侧 PCB 迹线之间的间隙距离。DWK 封装中移除了引脚 12 和引脚 13，并具有 3.3mm 的最小爬电距离，这样可以获得更高的总线电压。

11.1.4 散热注意事项

- 如果驱动电压较高，负载较重或开关频率较高，那么 UCC21540-Q1 可能会耗散较大的功率（更多详细信息，请参阅节 9.2.2.6）。适当的 PCB 布局有助于将器件产生的热量散发到 PCB，并最大限度地降低结到电路板的热阻抗 (θ_{JB})。
- 建议增加连接到 VDDA、VDDB、VSSA 和 VSSB 引脚的 PCB 覆铜，并优先考虑最大限度地增加到 VSSA 和 VSSB 的连接（请参阅图 11-2 和图 11-3）。不过，必须考虑前面提及的高电压 PCB 注意事项。
- 如果系统有多个层，则还建议通过具有足够尺寸的通孔将 VDDA、VDDB、VSSA 和 VSSB 引脚连接到内部接地平面或电源平面。确保不要重叠来自不同高电压平面的迹线或覆铜。

Copyright © 2024 Texas Instruments Incorporated

11.2 布局示例

图 11-1 展示了一个 2 层 PCB 布局示例，其中标出了 SOIC-14 DW 封装的信号和关键元件，并移除了引脚 12 和引脚 13。更多详细信息，请参阅 UCC21540EVM 设计 -“使用 UCC21540EVM - TI”

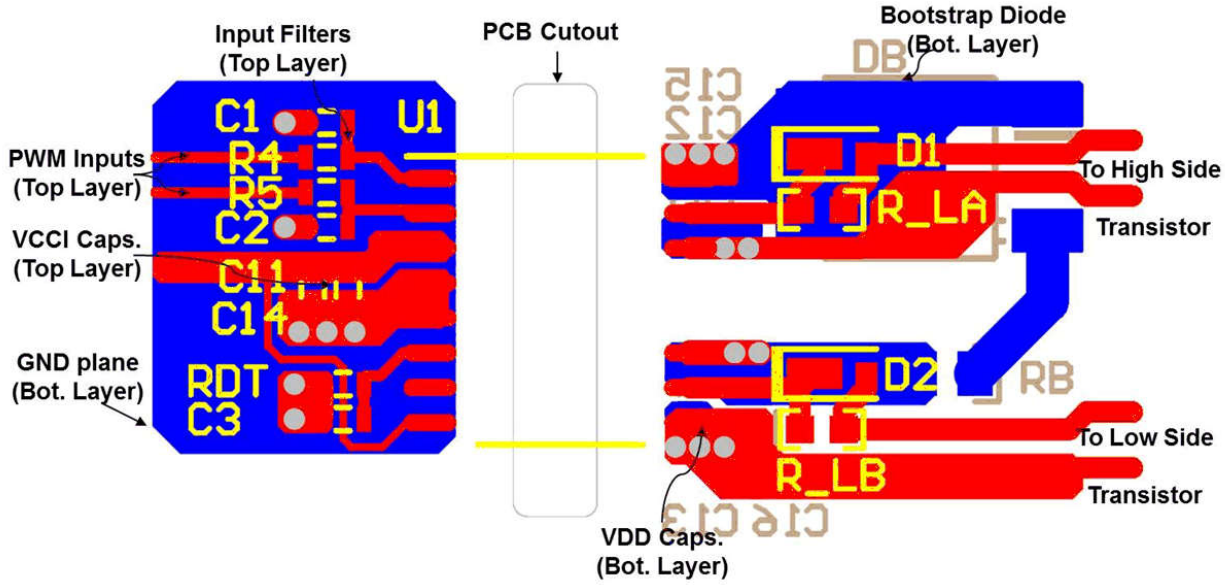


图 11-1. 布局示例

图 11-2 和图 11-3 展示了顶层和底层迹线和覆铜。

备注

初级侧和次级侧之间没有 PCB 迹线或覆铜，从而确保了隔离性能。

输出级中高侧和低侧栅极驱动器之间的 PCB 迹线有所增加，有助于最大限度地扩大高压运行的爬电距离，同时还将更大限度地减少开关节点 VSSA (SW)（可能存在高 dv/dt）和低侧栅极驱动器之间由寄生电容耦合导致的串扰。

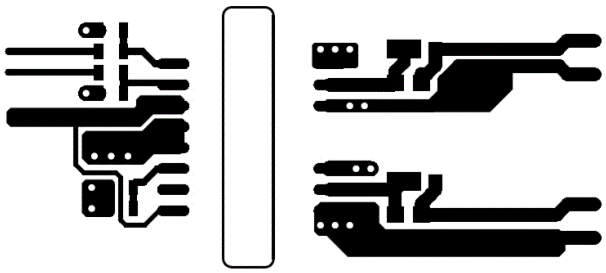


图 11-2. 顶层迹线和覆铜

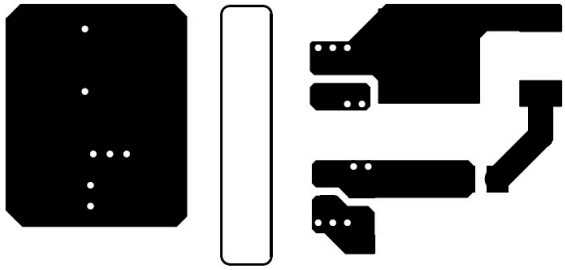


图 11-3. 底层迹线和覆铜（翻转）

Copyright © 2024 Texas Instruments Incorporated

图 11-4 和 图 11-5 分别是 3D 布局的顶视图和底视图。

备注

初级侧和次级侧之间的 PCB 切口位置（确保了隔离性能）。

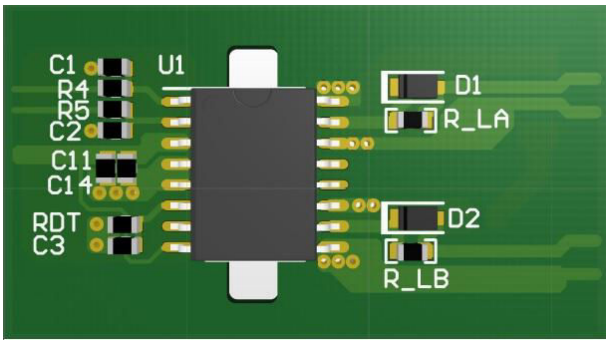


图 11-4. 3D PCB 顶视图

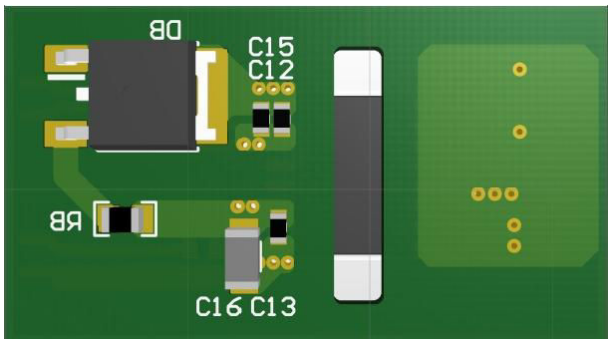


图 11-5. 3D PCB 底视图

12 器件和文档支持

12.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

12.2 文档支持

12.2.1 相关文档

如需相关文档，请参阅隔离相关术语

12.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知*进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

12.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

12.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

12.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

13 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (February 2021) to Revision D (August 2024)	Page
• 从“特性”中删除了 HBM 和 CDM ESD 分类等级	1
• 将 CMTI 从大于 100V/ns 更改为大于 125V/ns	1
• 将传播延迟从 40ns（最大值）更改为 33ns（典型值）	1
• 删除了关于 5ns 最大延迟匹配的要点	1
• 将最大脉宽失真从 5.5ns 更改为 6ns	1
• 将 VDD 上电延迟最大值 35us 更改为 10us 最大值	1
• 删除了关于认证和认证中的要点	1
• 将 CMTI 最小值从 100V/ns 更改为 125V/ns	1
• 删除了关于抑制短于 5ns 的输入瞬变的句子	1
• 将输入引脚的负电压处理能力从 -2V（持续 200ns）更改为 -5V（持续 50ns）	1
• 将原理图 DT 电容器大小从 >= 2.2nF 更改为 <=1nF	1
• 更改了建议的 DT 引脚条件和 DT 引脚上的电容器大小	3
• 将 VCCI absmax 从 6V 更改为 20V	4
• 将 VDDA-VSSA 和 VDDB-VSSB absmax 从 20V 更改为 30V	4
• 将所有 -0.5V 最小值更改为 -0.3V，以与新发布的数据表保持一致	4

Copyright © 2024 Texas Instruments Incorporated

- 将所有绝对最大值从 +0.5V 电源更改为 +0.3V 电源，以与新发布的数据表保持一致 4
- 将输入信号电压瞬态测试条件更改为 50ns 并将绝对最小值更改为 -5V 4
- 将 ESD 规格从“HBM = ±4000”和“CDM = ±1500”更新为“HBM = ±2000”和“CDM = ±1000”，以便符合 ESD 行业标准 4
- 将 VCCI 建议最大值从 5.5V 更改为 18V 4
- 将 VDDA-VSSA 和 VDDB-VSSB 的建议最大值从 18V 更改为 25V 4
- 将 5V-UVLO 建议的 VDDA/B 电压最小值从 6V 更改为 6.5V 4
- 删除了环境温度规格 4
- 将 RθJA = 69.7°C/W、RθJC(top) = 33.1°C/W、RθJB = 29.0°C/W、ψJT = 20.0°C/W、ψJB = 28.3°C/W 值更新至 RθJA = 74.1°C/W、RθJC(top) = 34.1°C/W、RθJB = 32.8°C/W、ψJT = 23.7°C/W、ψJB = 32.1°C/W 5
- 将 PD = 915mW、PDI = 15mW、PDA/PDB = 450mW 更新为 PD = 950mW、PDI = 50mW、PDA/PDB = 450mW 5
- 添加了 VIMP = 7692Vpk，并根据最新的绝缘标准将 Viosm 从 8000V 更改为 10000V 5
- 删除了“安全相关认证”部分 5
- 将值从 IS = 73mA、PS = 15mW/880mW/880mW/1775mW 更新为 IS = 66mA、PS = 50mW/800mW/1650mW 6
- 将测试条件从 VDDA = VDDB = 12V 更改为 VDDA = VDDB = 15V 7
- 将 IVDDA/IVDDB 静态电流规格最大值从 1.8mA 更新为 2.5mA 7
- 将 IVCCI 工作电流典型值从 2.5mA 更新为 3.0mA，并添加了最大值 3.5mA 7
- 添加了 IVDDA/IVDDB 工作电流最大值 4.2mA 7
- 将上升阈值最小值 5.0V、典型值 5.5V、最大值 5.9V 更新为最小值 5.7V、典型值 6.0V、最大值 6.3V 7
- 将下降阈值最小值 4.7V、典型值 5.2V、最大值 5.6V 更新为最小值 5.4V、典型值 5.7V、最大值 6.0V 7
- 将 8V UVLO 迟滞典型值从 0.5V 更新为 0.6V 7
- 将上升阈值最小值 8V、典型值 8.5V、最大值 9V 更新为最小值 7.7V、典型值 8.5V、最大值 8.9V 7
- 将上升阈值最小值 7.5V、典型值 8V、最大值 8.5V 更新为最小值 7.2V、典型值 7.9V、最大值 8.4V 7
- 将输入高电平阈值最小值从 1.6V 更新为 1.2V 7
- 将输入低电平阈值最大值从 1.25V 更新至 1.2V 7
- 删除了峰值电流最小值 7
- 删除了输出电阻最大值 7
- 删除了高电平状态时的输出电压最小值。将典型值从 11.95V 更改为 14.95V。将测试条件从 VDD = 12V 更改为 VDD = 15V。 7
- 删除了低电平状态的输出电压最大值。将测试条件从 VDD = 12V 更改为 VDD = 15V。 7
- 将驱动器有源下拉典型值从 1.75V 更改为 1.6V，并将最大值从 2.1V 更改为 2V。 7
- 删除了死区时间匹配行 7
- 将测试条件从 VDDA = VDDB = 12V 更改为 VDDA = VDDB = 15V 8
- 删除了最小脉宽典型值 8
- 将传播延迟 TPDHL 和 TPDLH 从典型值 28ns、最大值 40ns 更改为最小值 26ns、典型值 33ns、最大值 45ns 8
- 将脉宽失真最大值从 5.5ns 更改为 6ns 8
- 将传播延迟匹配从 TJ = -40C 至 -10C 时最大值 = 6.5ns 更改为 TJ = -10C 至 150C 时最大值= 5ns 8
- 删除了 VCCI 上电延迟（典型值为 40us），并将最大值从 59us 更改为 50us 8
- 删除了 VDD 上电延迟（典型值为 23us），并将最大值从 35us 更改为 10us 8
- 将 CMTI 最小值从 100V/ns 更新至 125V/ns 8
- 更新了热曲线以匹配更新后的特性 9
- 更新了典型特性图以显示器件特性 10
- 删除了关于抗尖峰脉冲滤波器的措辞。将最小脉宽从 10ns（典型值）更改为 20ns（最大值）。 13
- 将建议放置的去耦电容器从 2.2nF 或更高更改为 ≤1nF 14
- 更改了 UVLO 延迟时间 14
- 更新了功能方框图 17
- 将钳位电压典型值从 1.75V 更改为 1.6V 18
- 将 DIS 下拉电阻器大小从 50kΩ 更改为 200kΩ 19
- 向“输出级”部分添加了关于最小脉宽的段落 20
- 更新了 ESD 二极管结构 20

Copyright © 2024 Texas Instruments Incorporated

- 删除了由于数据表草稿错误而导致的不完整句子 21
- 将 DT 电容建议从 >=2.2nF 更改为 <=1nF 21
- 删除了关于 DT 引脚稳态电压的句子 21
- 更改了应用原理图中的 DT 电容器大小 23
- 将 DT 电容器大小从 2.2nF 更改为 <=1nF 24
- 将 DT 电容建议从 >=2.2nF 更改为 <=1nF 33

Changes from Revision B (February 2021) to Revision C (February 2021) **Page**

- 更新了“增强型隔离电容器寿命预测”图 9

Changes from Revision A (July 2020) to Revision B (February 2021) **Page**

- 向特性列表添加了功能安全质量管理型 1
- 更改了“特性”、“应用”和“说明”部分 1
- 添加了 UCC21540A-Q1 器件的初始发行版。 1
- 添加了 UCC21540A-Q1 UVLO 阈值 7
- 添加了 UCC21540A-Q1 UVLO 阈值图 10

Changes from Revision * (May 2020) to Revision A (July 2020) **Page**

- 将销售状态从“预告信息”更改为“初始发行版” 1

14 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC21540AQDWKRQ1	Last Time Buy	Production	SOIC (DWK) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	UCC21540AQ
UCC21540AQDWKRQ1.A	Last Time Buy	Production	SOIC (DWK) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	UCC21540AQ
UCC21540QDWKRQ1	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	UCC21540Q
UCC21540QDWKRQ1.A	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	UCC21540Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UCC21540-Q1, UCC21540A-Q1 :

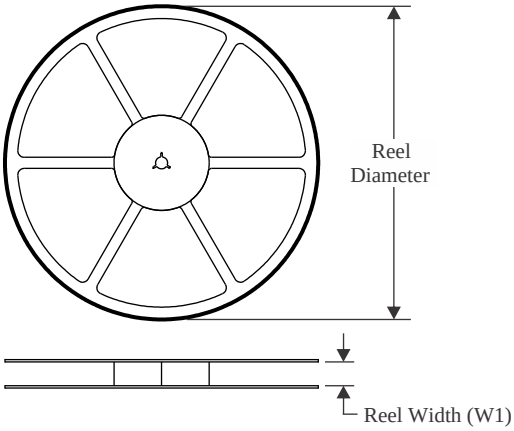
- Catalog : UCC21540, UCC21540A

NOTE: Qualified Version Definitions:

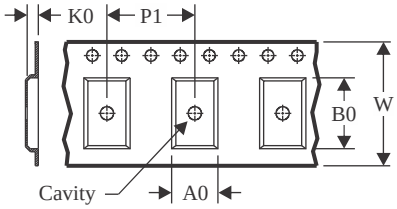
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

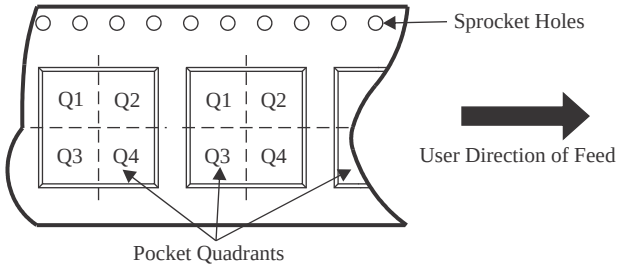


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

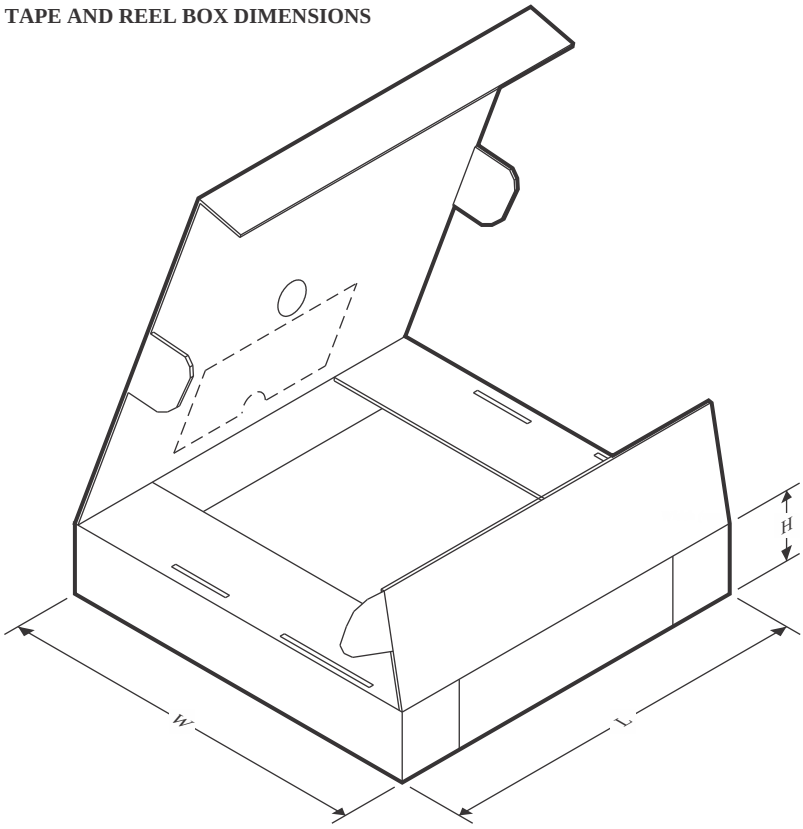
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC21540AQDWKRQ1	SOIC	DWK	14	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
UCC21540AQDWKRQ1	SOIC	DWK	14	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
UCC21540QDWKRQ1	SOIC	DWK	14	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

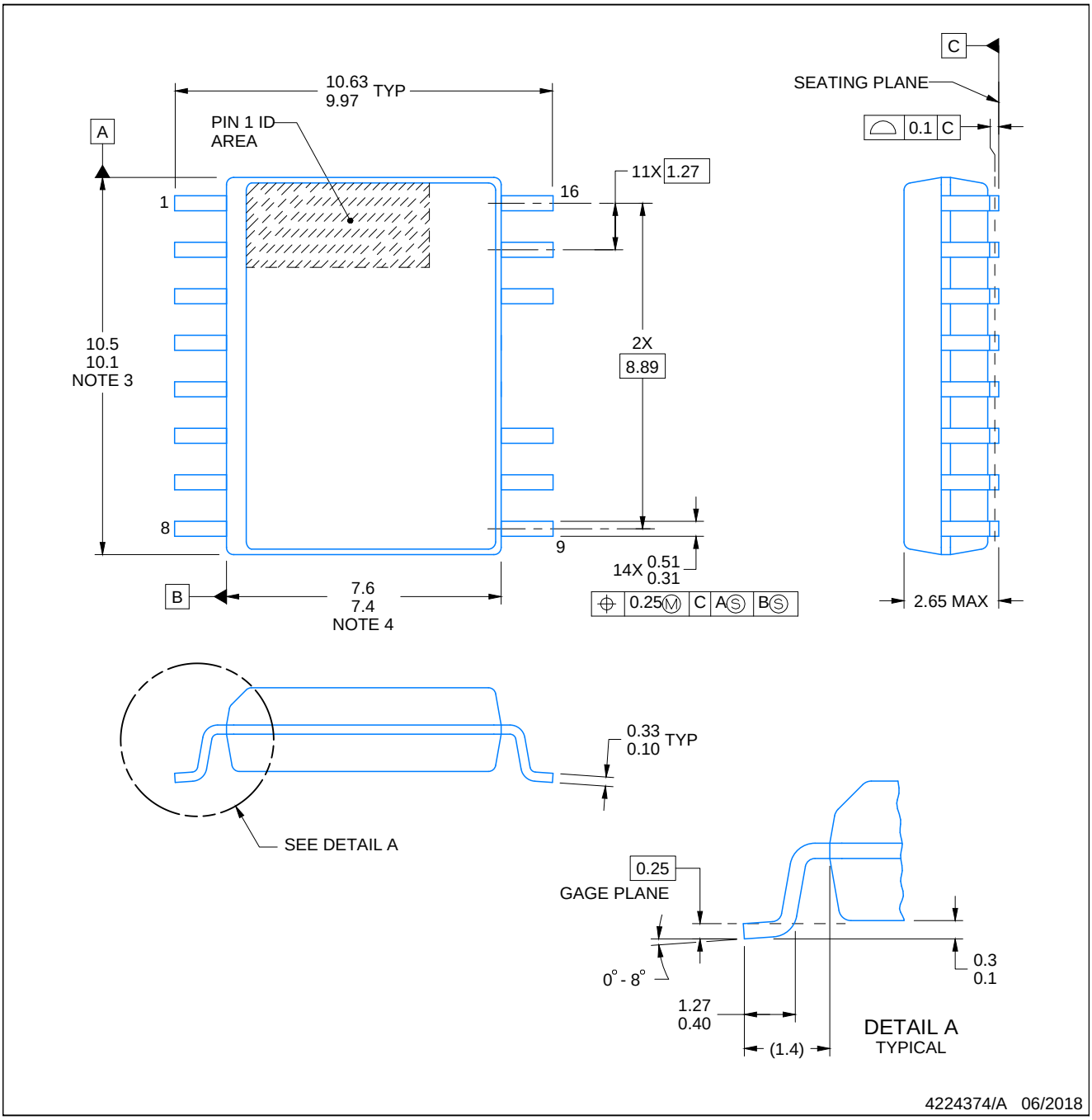
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC21540AQDWKRQ1	SOIC	DWK	14	2000	350.0	350.0	43.0
UCC21540AQDWKRQ1	SOIC	DWK	14	2000	353.0	353.0	32.0
UCC21540QDWKRQ1	SOIC	DWK	14	2000	353.0	353.0	32.0

PACKAGE OUTLINE

DWK0014A

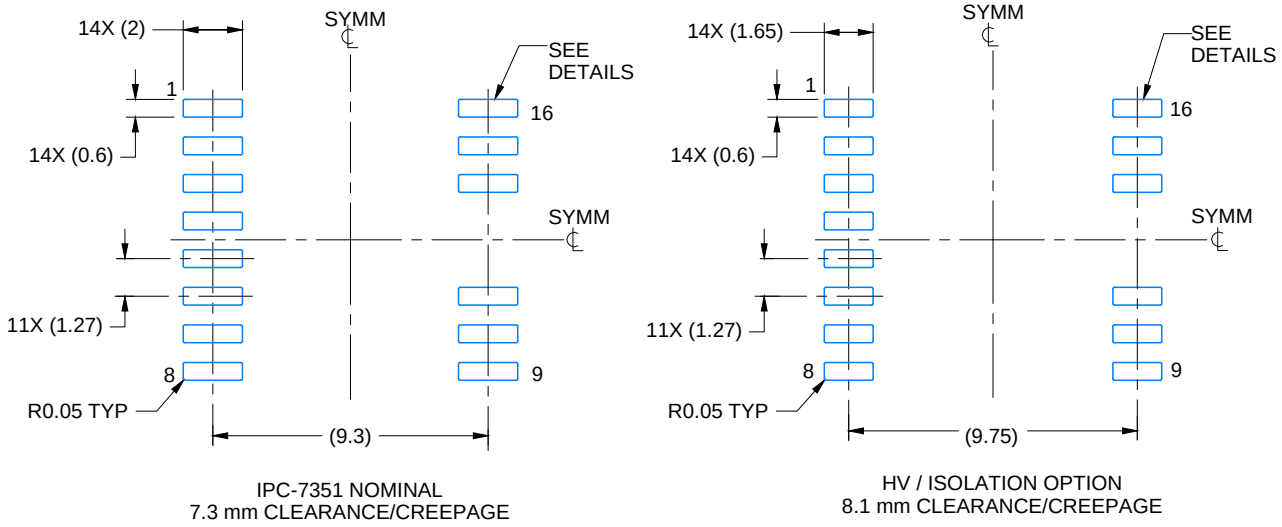
SOIC - 2.65 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

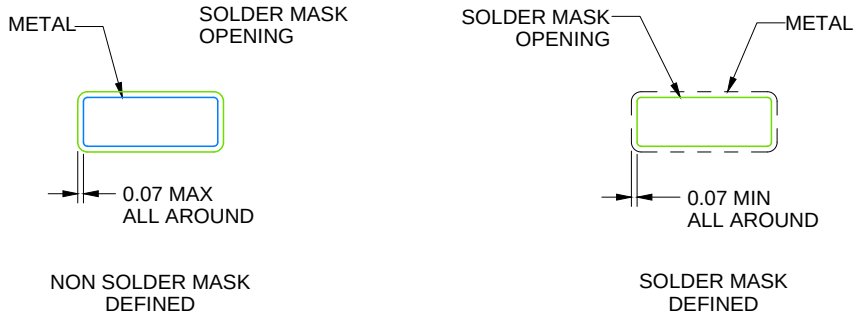


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:4X

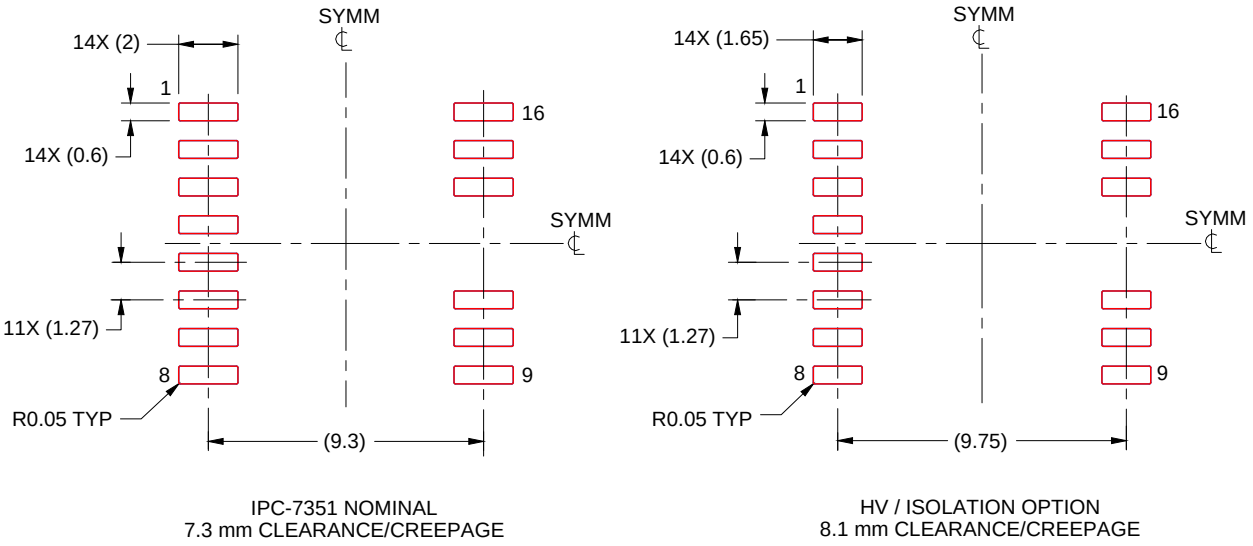


SOLDER MASK DETAILS

4224374/A 06/2018

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION
8.1 mm CLEARANCE/CREEPAGE

SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:4X

4224374/A 06/2018

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月