

TXE8124-Q1 具有中断输出、复位输入和 I/O 配置寄存器的汽车级 24 位 SPI 总线 I/O 扩展器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
 - 温度等级 1：-40°C 至 +125°C，T_A
- 功能安全型
 - 可提供用于功能安全系统设计的文档
- 工作电源电压范围为 1.65V 至 5.5V
- 具有 2.3μA (典型值) 的低待机电流消耗
- SPI SCLK 频率
 - 10MHz 从 3.3V 至 5.5V
 - 5MHz 从 1.65V 至 5.5V
- 支持 SPI 菊花链
- 突发模式下的 SPI 读取和写入
- 用于同时配置多个端口的多端口 SPI 命令
- I_{OFF} 支持的输入端口引脚
- 低电平有效复位输入 (RESET)
- 开漏低电平有效中断输出 (INT)
- 每个 I/O 的中断屏蔽和状态
 - 每个端口的中断状态
- 内置失效防护 I/O 功能
- 单独 I/O 配置
 - 输入和输出功能
 - 极性反转
 - 输出推挽和开漏选择
 - 集成上拉/下拉选择
 - 用于保持最后 I/O 状态的总线保持功能
 - 干扰滤波器使能选择
- 可湿性侧面 VQFN 封装
- 具有 10mA 驱动能力的锁存输出，用于直接驱动 LED
- 闩锁性能超过 100mA，符合 AEC Q100-004 规范
- ESD 保护超出 AEC - Q100 的要求
 - 2000V 人体放电模型 (AEC - Q100-002)
 - 1000V 充电器件模型 (AEC - Q100-011)

2 应用

- 汽车显示屏
- 音响主机和数字驾驶舱
- 车辆仪表组
- 高性能计算
- 区域和车身域控制器
- 汽车车身电机
- 采用 GPIO 受限处理器的产品

3 说明

TXE8124-Q1 器件为四线串行外设接口 (SPI) 协议提供通用并行输入/输出 (I/O) 扩展功能，并可在 1.65V 至 5.5V V_{CC} 电压范围内工作。TXE8124-Q1 支持标准点对点通信以及多个器件的菊花链。

该器件在 3.3V 至 5.5V 电压下支持 10MHz，在 1.65V 至 5.5V 电压下支持 5MHz。当开关、传感器、按钮、LED 和风扇需要额外使用 I/O 时，I/O 扩展器 (如 TXE8124-Q1) 可派上用场。

TXE8124-Q1 器件的 3 I/O 端口各有 8 个 IO，可提供旨在增强 I/O 速度、功耗和灵活性的附加特性。此类附加特性包括：每个 I/O 可编程开漏或推挽输出、可编程上拉与下拉电阻器、带总线保持功能的可锁存输入、可屏蔽中断、中断状态寄存器、干扰滤波器，以及由 FAIL-SAFE 引脚使能的失效防护寄存器模式。

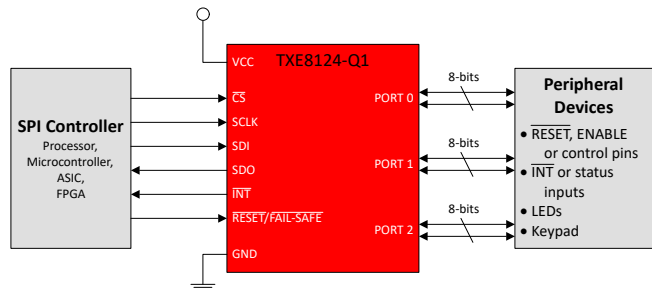
封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TXE8124-Q1	(VSSOP, 32)	8mm × 5mm
	(VQFN, 32) ⁽³⁾	5mm × 5mm

(1) 有关更多信息，请参阅节 11。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。

(3) VQFN 处于预发布状态，后续可能会更改。



简化版原理图



内容

1 特性	1	7.3 特性说明	18
2 应用	1	7.4 器件功能模式	22
3 说明	1	7.5 编程	22
4 引脚配置和功能	3	7.6 TXE8124 寄存器	29
5 规格	5	8 应用和实施	55
5.1 绝对最大额定值.....	5	8.1 应用信息.....	55
5.2 ESD 等级.....	5	8.2 典型应用.....	55
5.3 建议运行条件.....	5	8.3 电源相关建议.....	56
5.4 热性能信息.....	6	8.4 布局.....	57
5.5 电气特性.....	7	9 器件和文档支持	59
5.6 时序要求.....	9	9.1 接收文档更新通知.....	59
5.7 SPI 总线时序要求.....	10	9.2 支持资源.....	59
5.8 开关特性.....	11	9.3 商标.....	59
6 参数测量信息	12	9.4 静电放电警告.....	59
7 详细说明	17	9.5 术语表.....	59
7.1 概述.....	17	10 修订历史记录	60
7.2 功能方框图.....	17	11 机械、封装和可订购信息	60

4 引脚配置和功能

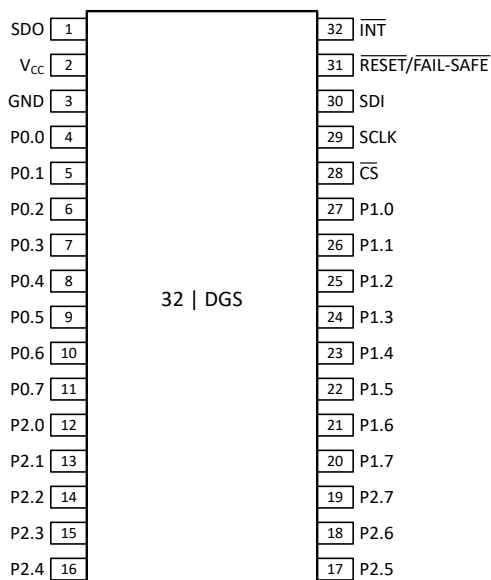


图 4-1. TXE8124-Q1 DGS (VSSOP) 封装，32 引脚
(顶视图)

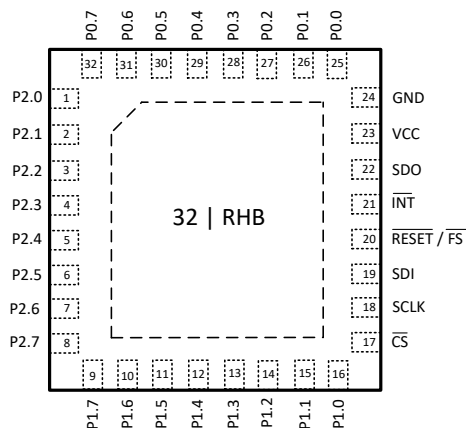


图 4-2. TXE8124-Q1 RHB (VQFN) 封装，32 引脚 (顶视图)

表 4-1. 引脚功能

名称	引脚		类型 ⁽¹⁾	
	DGS (VSSOP32)	RHB (VQFN)		
P2.0	12	1	I/O	P 端口输入/输出。上电时，端口 2 - IO #0 配置为输入
P2.1	13	2	I/O	P 端口输入/输出。上电时，端口 2 - IO #1 配置为输入
P2.2	14	3	I/O	P 端口输入/输出。上电时，端口 2 - IO #2 配置为输入
P2.3	15	4	I/O	P 端口输入/输出。上电时，端口 2 - IO #3 配置为输入
P2.4	16	5	I/O	P 端口输入/输出。上电时，端口 2 - IO #4 配置为输入
P2.5	17	6	I/O	P 端口输入/输出。上电时，端口 2 - IO #5 配置为输入
P2.6	18	7	I/O	P 端口输入/输出。上电时，端口 2 - IO #6 配置为输入
P2.7	19	8	I/O	P 端口输入/输出。上电时，端口 2 - IO #7 配置为输入
P1.7	20	9	I/O	P 端口输入/输出。上电时，端口 1 - IO #7 配置为输入
P1.6	21	10	I/O	P 端口输入/输出。上电时，端口 1 - IO #6 配置为输入
P1.5	22	11	I/O	P 端口输入/输出。上电时，端口 1 - IO #5 配置为输入
P1.4	23	12	I/O	P 端口输入/输出。上电时，端口 1 - IO #4 配置为输入
P1.3	24	13	I/O	P 端口输入/输出。上电时，端口 1 - IO #3 配置为输入
P1.2	25	14	I/O	P 端口输入/输出。上电时，端口 1 - IO #2 配置为输入
P1.1	26	15	I/O	P 端口输入/输出。上电时，端口 1 - IO #1 配置为输入
P1.0	27	16	I/O	P 端口输入/输出。上电时，端口 1 - IO #0 配置为输入
$\overline{CS}$	28	17	I	SPI 芯片选择输入。内部上拉电阻器
SCLK	29	18	I	SPI 串行时钟输入。内部下拉电阻器
SDI	30	19	I	SPI 串行数据输入。
复位/失效防护	31	20	I	低电平有效复位或失效防护输入。一个外部上拉电阻连接到 V _{CC} 。

表 4-1. 引脚功能 (续)

引脚			类型 ⁽¹⁾	
名称	DGS (VSSOP32)	RHB (VQFN)		
INT	32	21	O	开漏中断输出。一个外部上拉电阻连接到 V_{CC} 。
SDO	1	22	O	SPI 串行数据输出。推挽输出
VCC	2	23	P	电源电压
GND	3	24	G	接地
P0.0	4	25	I/O	P 端口输入/输出。上电时，端口 0 - IO #0 配置为输入
P0.1	5	26	I/O	P 端口输入/输出。上电时，端口 0 - IO #1 配置为输入
P0.2	6	27	I/O	P 端口输入/输出。上电时，端口 0 - IO #2 配置为输入
P0.3	7	28	I/O	P 端口输入/输出。上电时，端口 0 - IO #3 配置为输入
P0.4	8	29	I/O	P 端口输入/输出。上电时，端口 0 - IO #4 配置为输入
P0.5	9	30	I/O	P 端口输入/输出。上电时，端口 0 - IO #5 配置为输入
P0.6	10	31	I/O	P 端口输入/输出。上电时，端口 0 - IO #6 配置为输入
P0.7	11	32	I/O	P 端口输入/输出。上电时，端口 0 - IO #7 配置为输入

(1) I = 输入, O = 输出, I/O = 输入或输出, G = 地, P = 电源

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

			最小值	最大值	单位
V _{CC}	电源电压		-0.5	6.5	V
V _I	输入电压 ⁽²⁾		-0.5	6.5	V
V _O	输出电压 ⁽²⁾		-0.5	6.5	V
I _{IK}	输入钳位电流	RESET、SCLK、SDI、CS	V _I < 0	-20	mA
I _{OK}	输出钳位电流	INT、SDO	V _O < 0	-20	mA
I _{IOK}	输入-输出钳位电流	P0.0 - P2.7	V _O < 0 或 V _O > V _{CC}	±20	mA
I _{OL}	持续输出低电平电流		V _O = 0 至 V _{CC}	50	mA
I _{OH}	持续输出高电平电流		V _O = 0 至 V _{CC}	-50	mA
I _{CC}	通过 GND 的持续电流 ⁽³⁾			-200	mA
I _{CC}	通过 V _{CC} 的持续电流 ⁽³⁾			160	mA
T _J	结温		-40	150	°C
T _{stg}	贮存温度		-40	150	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 如果遵守输入和输出电流额定值，则允许超出输入负电压和输出电压额定值。
- (3) 总电流限制了能够以满负载运行的通道数量。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准，所有引脚 ⁽¹⁾	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011，所有引脚	±1000	

- (1) AEC Q100-002 指示必须按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

			最小值	最大值	单位
V _{CC}	电源电压		1.65	5.5	V
V _{IH}	高电平输入电压	P 端口	0.7 * V _{CC}	V _{CC}	V
		SCLK、SDI、CS、RESET	0.7 * V _{CC}	V _{CC}	V
V _{IL}	低电平输入电压	P 端口	-0.5	0.3 * V _{CC}	V
		SCLK、SDI、CS、RESET	-0.5	0.3 * V _{CC}	V
I _{OH}	高电平输出电流 (V _{CC} ≥ 2.3V)	P 端口		-10	mA
	高电平输出电流 (V _{CC} < 2.3V)			-5	mA
I _{OL}	低电平输出电流 (V _{CC} ≥ 2.97V)			15	mA
	低电平输出电流 (V _{CC} ≥ 2.3V)			10	mA
	低电平输出电流 (V _{CC} < 2.3V)			5	mA
T _A	环境温度		-40	130	°C

5.4 热性能信息

热指标 ⁽¹⁾		封装		单位
		DGS (VSSOP)	RHB (VQFN)	
		32 引脚	32 引脚	
$R_{\theta JA}$	结至环境热阻	80.1	44.1	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	35.4	35.6	°C/W
$R_{\theta JB}$	结至电路板热阻	44.1	25.0	°C/W
Ψ_{JT}	结至顶部特征参数	2.0	2.7	°C/W
Ψ_{JB}	结至电路板特征参数	43.7	24.9	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	14.2	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体](#)和[IC 封装热指标](#)应用手册。

5.5 电气特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数			测试条件	V _{CC}	最小值	典型值	最大值	单位
V _{IK}	输入二极管钳位电压		I _I = -18mA		-1.2			V
V _{PORR}	上电复位电压, V _{CC} 上升		V _I = V _{CC} 或 GND, I _O = 0				1.35	V
V _{PORF}	上电复位电压, V _{CC} 下降				1.05			V
V _{OH}	高电平输出电压	P 端口	I _{OH} = -4mA	V _{CC} = 1.65V	1.27			V
			I _{OH} = -8mA	V _{CC} = 2.3V	1.73			V
				V _{CC} = 3V	2.4			V
				V _{CC} = 4.5V	4.0			V
				V _{CC} = 5.5V	4.95			V
			I _{OH} = -10mA	V _{CC} = 3.3V	2.53			V
				V _{CC} = 5V	4.3			V
				V _{CC} = 5.5V	4.85			V
		SDO	I _{OH} = -3mA		V _{CC} - 0.4			V
V _{OL}	低电平输出电压	P 端口	I _{OL} = 4mA	V _{CC} = 1.65V		0.24		V
			I _{OL} = 8mA	V _{CC} = 2.3V		0.36		V
				V _{CC} = 3V		0.25		V
				V _{CC} = 4.5V		0.17		V
				V _{CC} = 5.5V		0.15		V
			I _{OL} = 10mA	V _{CC} = 3.3V		0.40		V
				V _{CC} = 5V		0.33		V
				V _{CC} = 5.5V		0.32		V
		SDO	I _{OL} = 3mA			0.4		V
I _{OL}	低电平输出电流	INT	V _{OL} = 0.4V		4			mA
I _I	输入漏电流	P 端口	V _I = V _{CC} 或 GND			±1		μA
			V _I = 3.6V	V _{CC} = 0V		±1		
		SDI、RESET	V _I = V _{CC} 或 GND			±1		
		SCLK	V _I = GND			±1		μA
			V _I = V _{CC}			±65		μA
		CS	V _I = V _{CC}			±1		μA
			V _I = GND			±65		μA

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数			测试条件	V _{CC}	最小值	典型值	最大值	单位
I _{CC}	静态电流	待机模式	SDI, $\overline{\text{CS}}$ 和 $\overline{\text{RESET}} = V_{\text{CC}}$, P 端口 = V _{CC} 或 GND, I/O = 输入, I _O = 0mA f _{SCLK} = 0MHz, - 40°C < T _A ≤ 85°C, I/O 电阻器 已禁用	V _{CC} = 5.5V		2.3	8	μA
				V _{CC} = 3.6V		2	7.5	μA
				V _{CC} = 2.7V		1.8	7.2	μA
				V _{CC} = 1.65V 至 1.95V		1.7	7	μA
			SDI, $\overline{\text{CS}}$ 和 $\overline{\text{RESET}} = V_{\text{CC}}$, P 端口 = V _{CC} 或 GND, I/O = 输入, I _O = 0mA f _{SCLK} = 0MHz, - 40°C < T _A ≤ 125°C, I/O 电阻器 已禁用	V _{CC} = 5.5V		2.3	26	μA
				V _{CC} = 3.6V		2	24	μA
				V _{CC} = 2.7V		1.8	23.6	μA
				V _{CC} = 1.65V 至 1.95V		1.7	23.4	μA
	有效电流	工作模式 (5MHz)	SDI, $\overline{\text{CS}}$ 和 $\overline{\text{RESET}} = V_{\text{CC}}$, P 端口 = V _{CC} 或 GND, I/O = 输入, I _O = 0mA f _{SCLK} = 5MHz, SDO 上的负载为 100pF - 40°C < T _A ≤ 125°C, I/O 电阻器 已禁用	V _{CC} = 5.5V		150	170	μA
				V _{CC} = 3.6V		132	140	μA
				V _{CC} = 2.7V		127	135	μA
				V _{CC} = 1.65V 至 1.95V		124	130	μA
		工作模式 (10MHz)	SDI, $\overline{\text{CS}}$ 和 $\overline{\text{RESET}} = V_{\text{CC}}$, P 端口 = V _{CC} 或 GND, I/O = 输入, I _O = 0mA f _{SCLK} = 10MHz, SDO 上的负载为 100pF - 40°C < T _A ≤ 125°C, I/O 电阻器 已禁用	V _{CC} = 5.5V		292	350	μA
				V _{CC} = 3.6V		257	285	μA
				V _{CC} = 2.7V		240	270	μA
				V _{CC} = 1.65V 至 1.95V		242	260	μA
I _{BHL}	总线保持低持续电流	将 V _I 从 0 斜升至 0.3 × V _{CC}	V _{CC} = 1.65V			42	uA	
			V _{CC} = 2.3V			62	uA	
			V _{CC} = 3V			82	uA	
			V _{CC} = 4.5V			125	uA	
I _{BHH}	总线保持高持续电流	将 V _I 从 V _{CC} 斜升至 0.7 × V _{CC}	V _{CC} = 1.65V			-32	uA	
			V _{CC} = 2.3V			-52	uA	
			V _{CC} = 3V			-72	uA	
			V _{CC} = 4.5V			-115	uA	
I _{BHLO}	总线保持低过驱电流	将 V _I 从 0 斜升至 V _{CC}	V _{CC} = 1.95V	170			uA	
			V _{CC} = 2.7V	260			uA	
			V _{CC} = 3.6V	340			uA	
			V _{CC} = 5.5V	500			uA	
I _{BHHO}	总线保持高过驱电流	将 V _I 从 V _{CC} 斜升至 0	V _{CC} = 1.95V	-170			uA	
			V _{CC} = 2.7V	-260			uA	
			V _{CC} = 3.6V	-340			uA	
			V _{CC} = 5.5V	-500			uA	
R _{pu(int)}	内部上拉电阻	$\overline{\text{CS}}$			70	100	140	k Ω
		P 端口			70	100	140	k Ω
R _{pd(int)}	内部下拉电阻	P 端口			70	100	140	k Ω
		SCLK			70	100	140	k Ω

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数			测试条件	V _{CC}	最小值	典型值	最大值	单位
C _I	输入引脚电容	SCLK	V _I = V _{CC} 或 GND				8	pF
		SDI					8	pF
		CS					8	pF
		RESET					8	pF
C _{IO}	输入-输出引脚电容	P 端口	V _{IO} = V _{CC} 或 GND				8.5	pF

5.6 时序要求

在自然通风条件下的工作温度范围内测得 (除非另有说明)

			最小值	最大值	单位
RESET					
t _w	复位脉冲持续时间, SDO C _{LOAD} = 100pF (图 6-1)		100		ns
t _{REC}	复位恢复时间, SDO C _{LOAD} = 100pF (图 6-1)			100	ns
t _{RESET}	复位时间, SDO C _{LOAD} = 100pF (图 6-1)			80	ns
上电复位					
t _{FT}	下降速率 (图 8-3) (图 8-4)		0.1	2000	ms
t _{RT}	上升速率 (图 8-3) (图 8-4)		0.1	2000	ms
t _{TRR_GND}	重新开始斜坡的时间 (当 V _{CC} 降至 GND 时) (图 8-3)		1		μs
t _{TRR_POR50}	重新开始斜坡的时间 (当 V _{CC} 降至 V _{POR_MIN} - 50mV 时) (图 8-4)		40		μs
V _{CC_GH}	当 t _{VCC_GW} = 1μs 时, V _{CC} 可能会受到干扰但不会导致功能中断的电平 (图 8-5)			1.2	V
t _{VCC_GW}	当 V _{CC_GH} = 0.5 × V _{CC} 时, 不会导致功能中断的干扰宽度 (图 8-5)			10	μs
失效防护 IO					
f _{SEN}	失效防护 IO 启用时间 (100pF 负载) (图 6-2)	正常模式下输出高电平, 失效防护模式下输出低电平		100	ns
		正常模式下输出低电平, 失效防护模式下输出高电平		100	ns
		正常模式下输出高电平, 失效防护模式下为输入状态 (500Ω 下拉负载)		70	ns
		正常模式下输出低电平, 失效防护模式下为输入状态 (500Ω 下拉负载)		70	ns

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	最大值	单位
f _{SDIS}	失效防护 IO 禁用时间 (100pF 负载) (图 6-2)	正常模式下输出高电平，失效防护模式下输出低电平	100	ns	
		正常模式下输出低电平，失效防护模式下输出高电平	100	ns	
		正常模式下为输入状态，失效防护模式下输出高电平 (500Ω 下拉负载)	110	ns	
		正常模式下为输入状态，失效防护模式下输出低电平 (500Ω 下拉负载)	90	ns	
数字 IO					
T _{GW}	数字干扰滤波器宽度		70	230	ns

5.7 SPI 总线时序要求

在自然通风条件下的工作温度范围内测得，SDO C_{LOAD} = 100pF（除非另有说明）（请参阅（图 6-3））

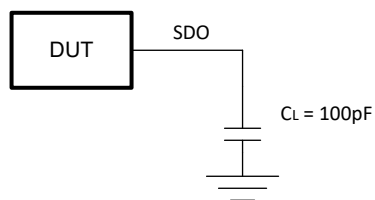
		最小值	最大值	单位
SPI 总线 - 10MHz				
f _{SCLK}	SPI 时钟频率；3.3V < V _{CC} < 5.5V		10	MHz
t _{CSS}	$\overline{\text{CS}}$ 到 SCLK 上升建立时间	50		ns
t _{CSH}	SCLK 下降至 $\overline{\text{CS}}$ 使无效保持时间	50		ns
t _{CSD}	$\overline{\text{CS}}$ 禁用时间	50		ns
t _{DS}	SDI 至 SCLK 设置时间	10		ns
t _{DH}	SDI 至 SCLK 保持时间	10		ns
t _{LOW}	SCLK 低电平时间	45		ns
t _{HIGH}	SCLK 高电平时间	45		ns
t _{V(SDO)}	SDO 有效时间		27	ns
t _{DIS(SDO)}	SDO 禁用时间		50	ns
SPI 总线 - 5MHz				
f _{SCLK}	SPI 时钟频率；1.65V < V _{CC} < 5.5V		5	MHz
t _{CSS}	$\overline{\text{CS}}$ 到 SCLK 上升建立时间	50		ns
t _{CSH}	SCLK 下降至 $\overline{\text{CS}}$ 使无效保持时间	100		ns
t _{CSD}	$\overline{\text{CS}}$ 禁用时间	100		ns
t _{DS}	SDI 至 SCLK 设置时间	10		ns
t _{DH}	SDI 至 SCLK 保持时间	10		ns
t _{LOW}	SCLK 低电平时间	90		ns
t _{HIGH}	SCLK 高电平时间	90		ns
t _{V(SDO)}	SDO 有效时间		54	ns
t _{DIS(SDO)}	SDO 禁用时间		100	ns

5.8 开关特性

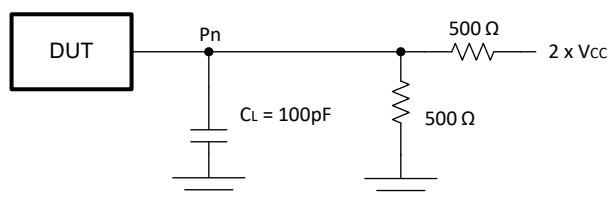
在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		从 (输入)	至 (输出)	最小值	典型值	最大值	单位
t_{iv}	中断有效时间, INT $C_{LOAD} = 100pF$ 且 $R_{PU} = 4.7k\Omega$ (图 6-4)	P 端口	INT			0.2	μs
t_{ir}	中断复位延迟时间, INT $C_{LOAD} = 100pF$ 且 $R_{PU} = 4.7k\Omega$ (图 6-4)	SCLK	INT			0.4	μs
t_{pv}	输出数据有效时间, SDO $C_{LOAD} = 100pF$ (图 6-5)	SCLK	P 端口			100	ns
t_{ps}	输入数据建立时间, SDO $C_{LOAD} = 100pF$ (图 6-5)	P 端口	SCLK	26			ns
t_{ph}	输入数据保持时间, SDO $C_{LOAD} = 100pF$ (图 6-5)	SCLK	P 端口	2.5			ns

6 参数测量信息



SDO LOAD CONFIGURATION



P-PORT LOAD CONFIGURATION

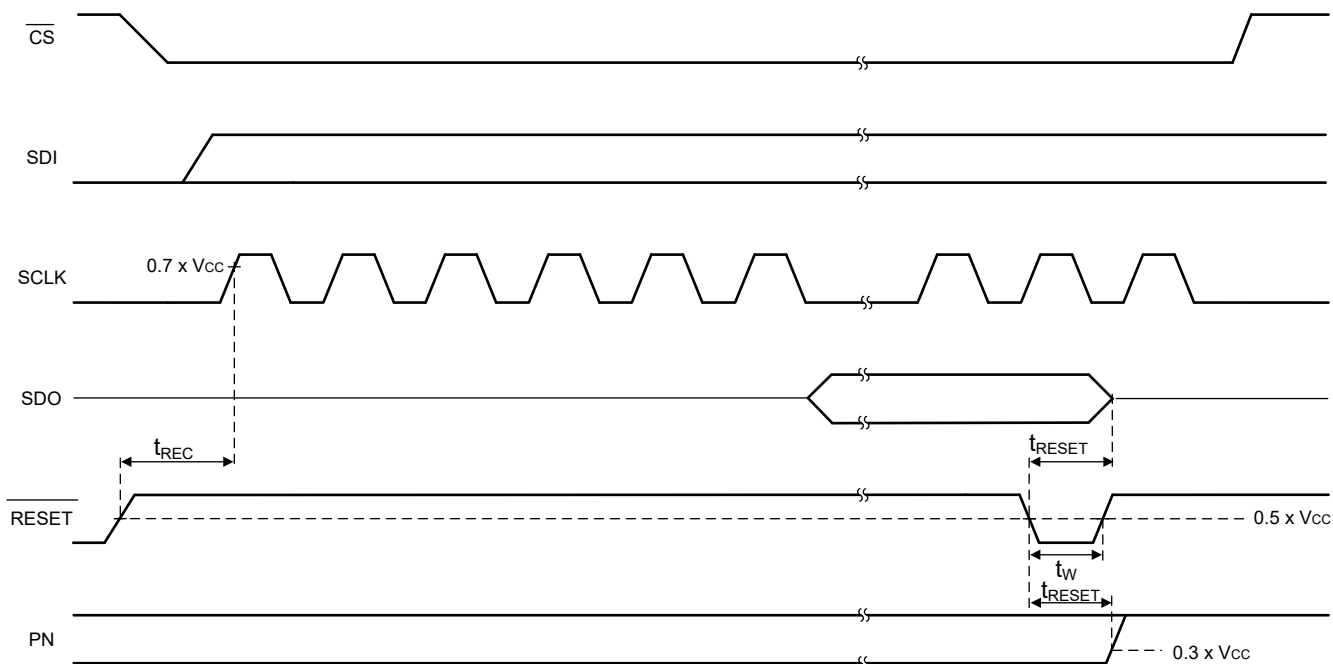


图 6-1. 复位加载配置

- A.
1. C_L 包括探头和夹具电容。
 2. 所有输入均由具有以下特性的发生器供电：PRR $\leq 10\text{MHz}$ ； $Z_o = 50\Omega$ ； $t_r/t_f \leq 10\text{ns}$ 。
 3. 并非所有参数和波形都适用于所有器件。

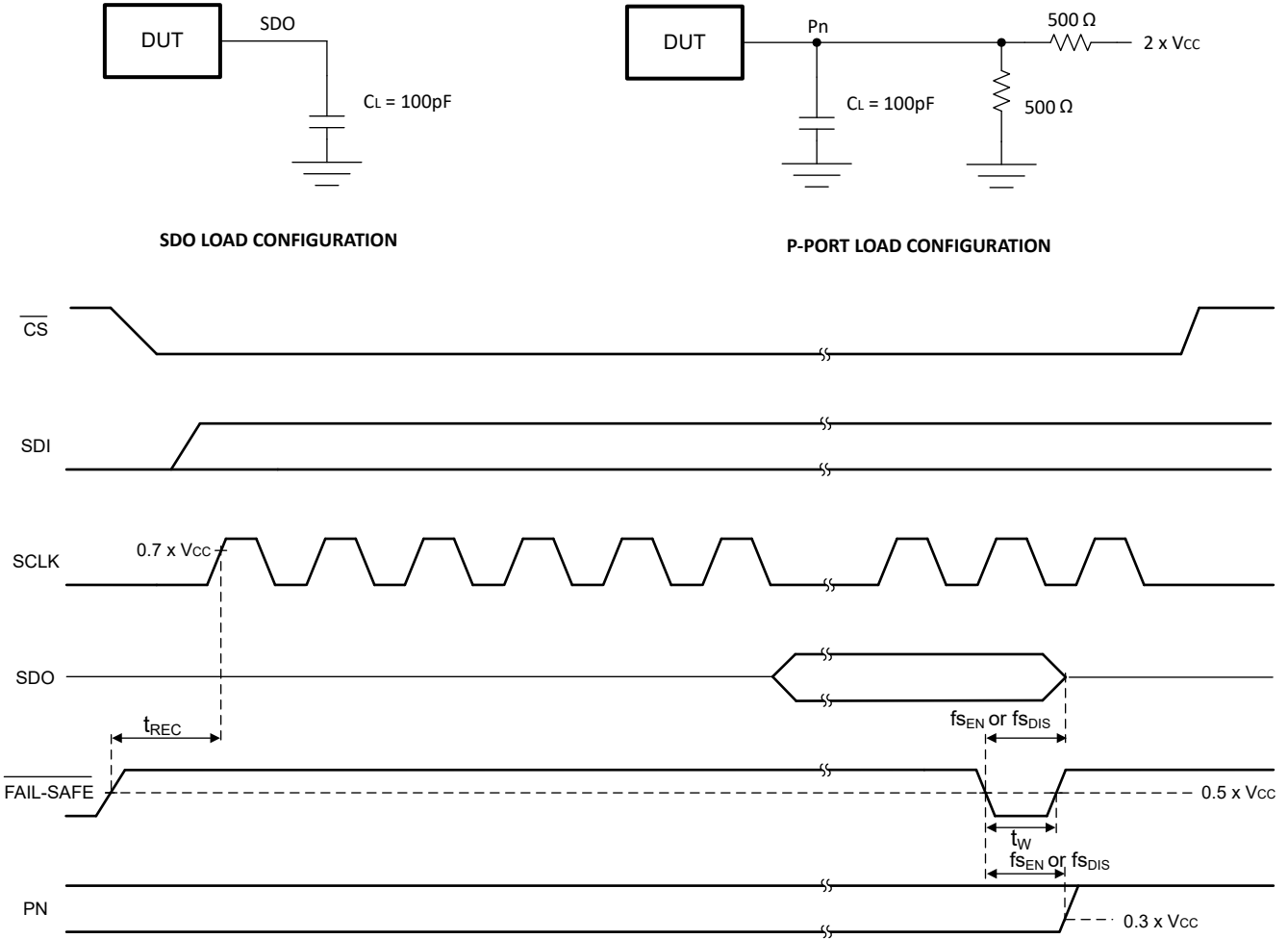
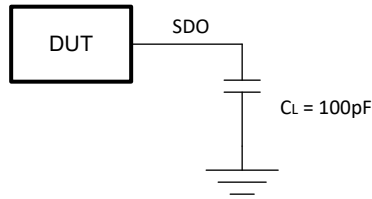


图 6-2. 失效防护加载配置

- A.
1. C_L 包括探头和夹具电容。
 2. 所有输入均由具有以下特性的发生器供电： $PRR \leq 10\text{MHz}$ ； $Z_o = 50\Omega$ ； $t_r/t_f \leq 10\text{ns}$ 。
 3. 失效防护引脚是与复位引脚共用的引脚。
 4. 并非所有参数和波形都适用于所有器件。



SDO LOAD CONFIGURATION

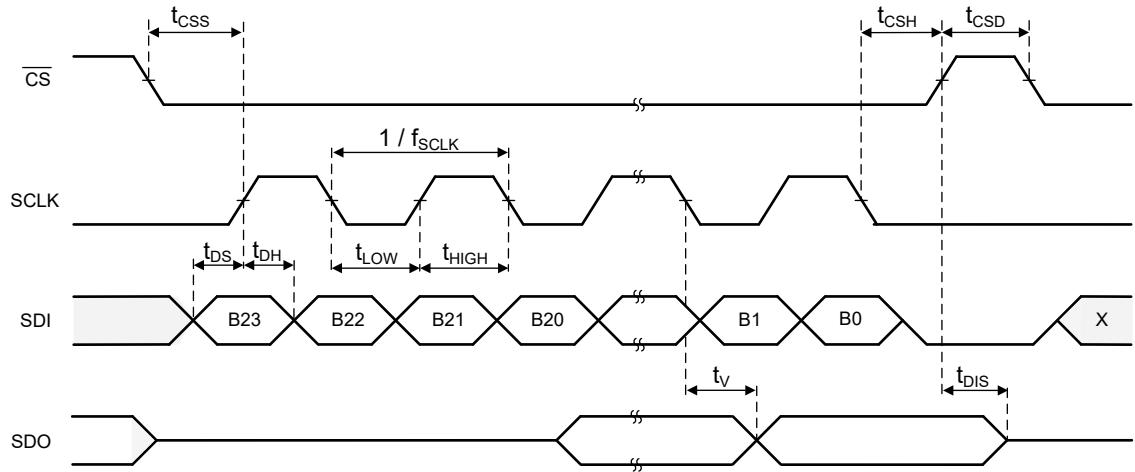


图 6-3. SPI 时序图 - 输入

A. C_L 包括探头和夹具电容。

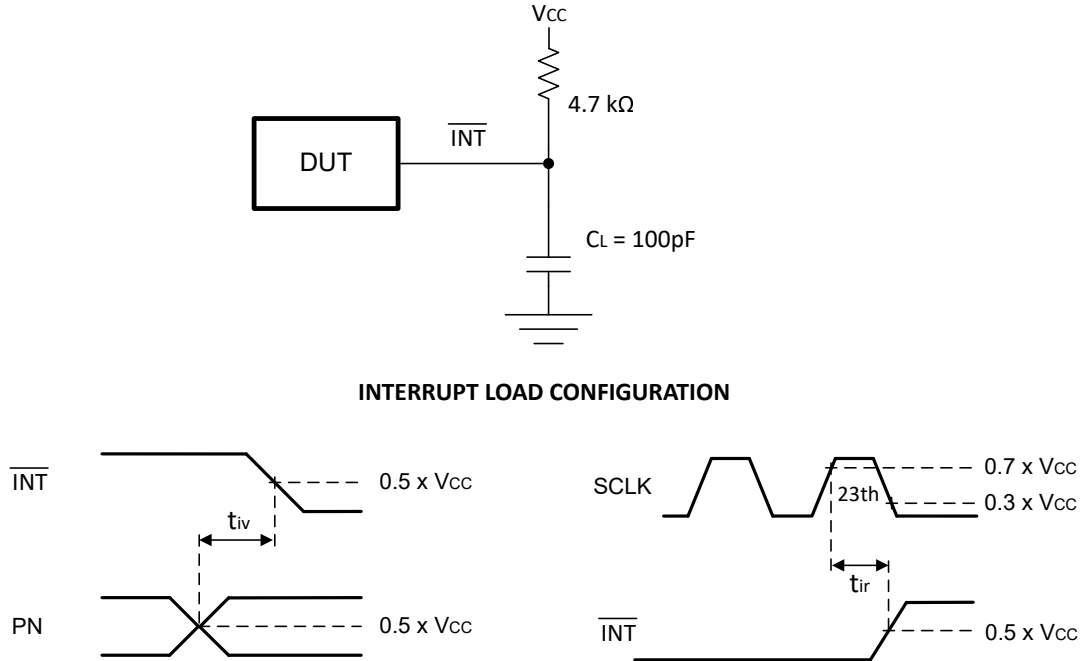
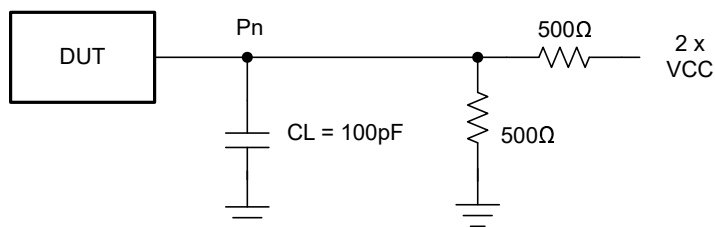
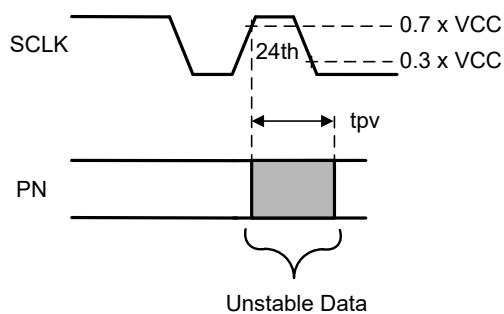


图 6-4. 中断加载配置

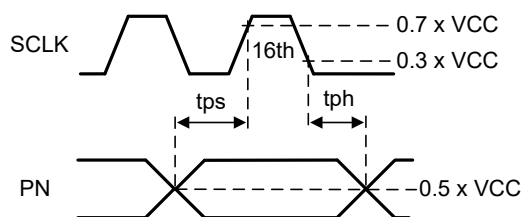
- A.
1. C_L 包括探头和夹具电容。
 2. 所有输入均由具有以下特性的发生器供电： $PRR \leq 10\text{MHz}$ ； $Z_o = 50\Omega$ ； $t_r/t_f \leq 10\text{ns}$ 。



P-PORT LOAD CONFIGURATION



WRITE MODE ($R/\overline{W} = 0$)



READ MODE ($\overline{R}/W = 1$)

图 6-5. P 端口负载配置和时序波形

- A. 1. C_L 包括探头和夹具电容。
2. t_{pv} 的测量范围为 $0.7 \times SCLK$ 上的 V_{CC} 到 50% 的 I/O (Pn) 输出。
3. 所有输入均由具有以下特性的发生器供电： $PRR \leq 10MHz$ ； $Z_o = 50\Omega$ ； $tr/tf \leq 10ns$ 。

7 详细说明

7.1 概述

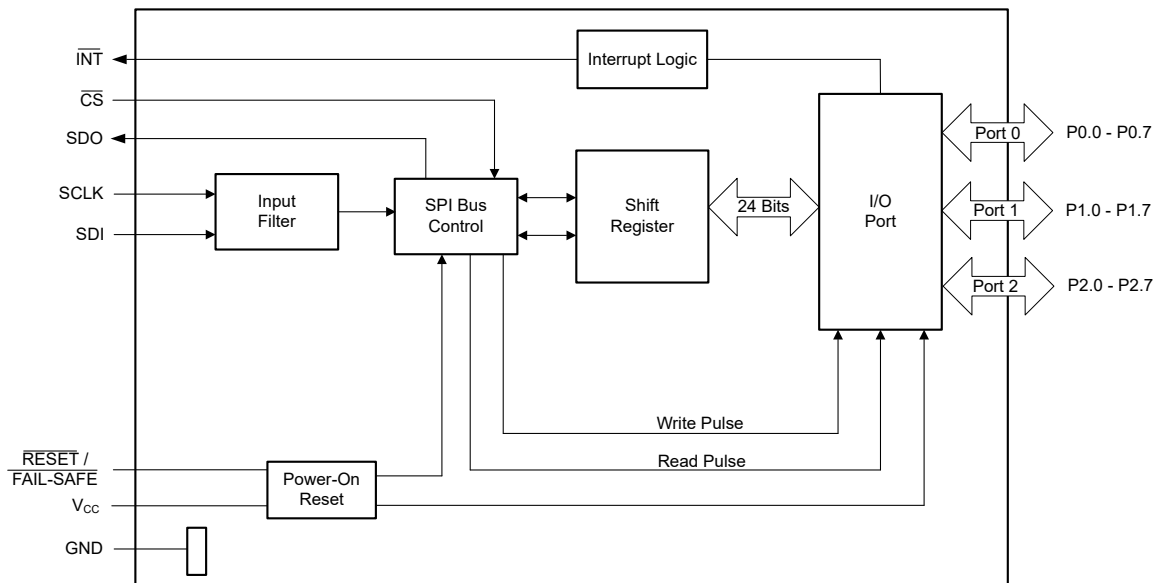
TXE8124-Q1 数字内核由 8 位寄存器组成，允许用户配置 I/O 端口特性。在上电或复位后，I/O 被配置为输入。但是，系统控制器可以通过写入方向配置寄存器，将 I/O 配置为输入或输出。每个输入或输出的数据都保存在相应的输入端口或输出端口寄存器中。输入端口寄存器的极性可由极性反转寄存器转换。软件复位寄存器之外的所有寄存器均可由系统控制器读取。

TXE8124-Q1 还具有专门用于增强 I/O 端口的可配置 I/O 功能。可配置 I/O 特性和寄存器包括使能或禁用上拉和下拉电阻器、带总线保持功能的可锁存输入、可屏蔽中断、中断状态寄存器，以及单个可编程开漏或推挽输出。这些配置寄存器通过增加灵活性并允许用户优化功耗和速度的设计来改善 I/O。

该器件的其他功能包括每当输入端口改变状态时，都会在 $\overline{\text{INT}}$ 引脚上生成中断。通过向 $\overline{\text{RESET}}$ 引脚施加低逻辑电平，发出软件复位命令，或通过循环对器件供电并导致上电复位，可以将器件重置为默认状态。当任何输入状态与最后读取的状态不同时，TXE8124-Q1 开漏中断 ($\overline{\text{INT}}$) 输出会被激活，并用于向系统控制器指示输入状态已更改。 $\overline{\text{INT}}$ 引脚可以连接到处理器的中断输入。通过在这条线路上发送一个中断信号，该器件可通知处理器在远程 I/O 端口上是否存在输入数据，而无须通过 SPI 总线进行通信。该器件仍为简单的目标器件。

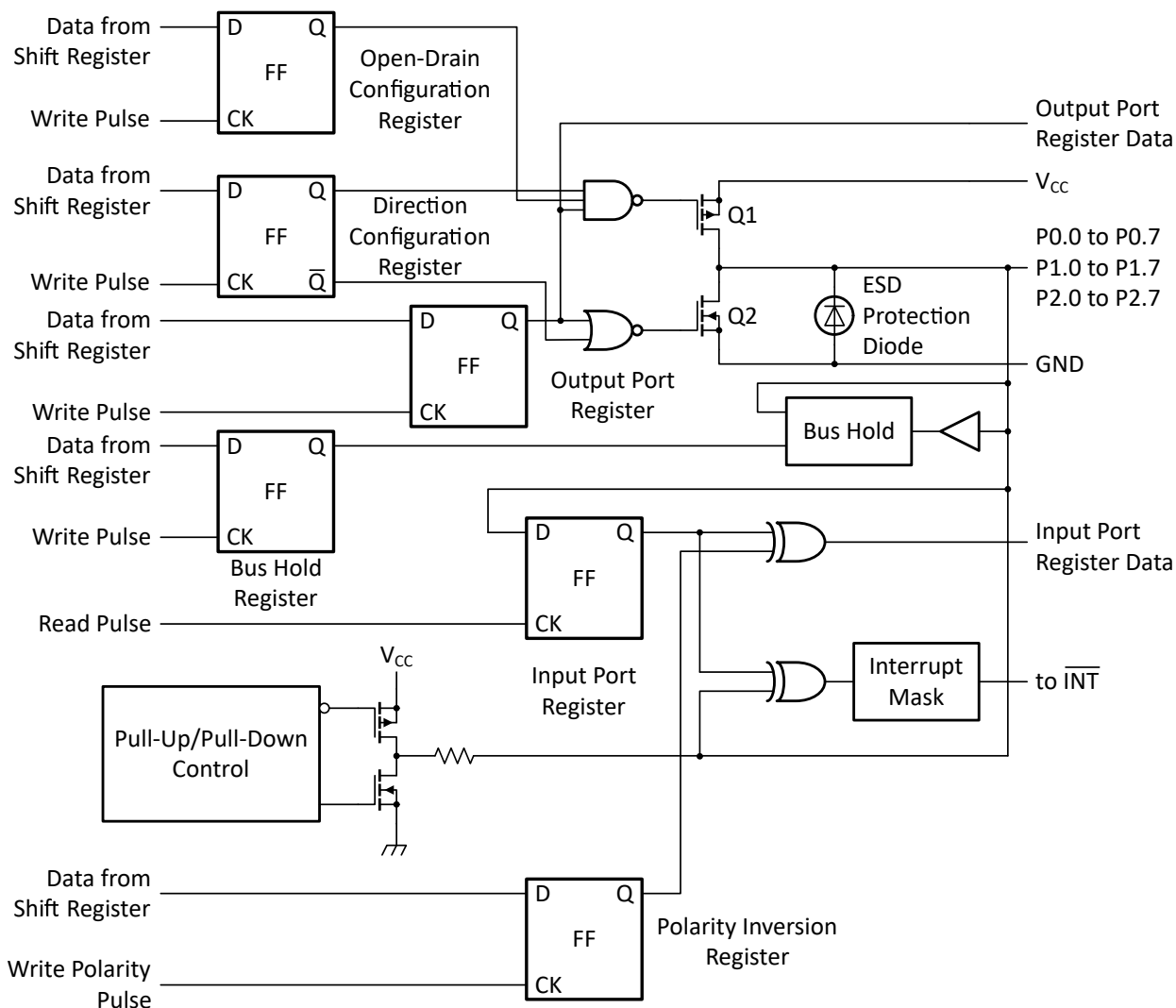
在发生超时或其他不正确操作时，系统控制器可以通过在 $\overline{\text{RESET}}$ 输入引脚上置为低电平，或通过电源循环至 V_{CC} 引脚并导致通电复位 (POR) 来重置器件。复位会将寄存器置于其默认状态，并初始化 SPI 状态机。 $\overline{\text{RESET}}$ 功能和 POR 会导致发生相同的重置/初始化，但 $\overline{\text{RESET}}$ 功能无需关闭器件电源即可实现此操作。

7.2 功能方框图



A. 所有 I/O 在复位时都设置为输入。

图 7-1. 逻辑图



A. 上电或复位时，所有寄存器都恢复为默认值。

图 7-2. P0.0 至 P2.7 的简化版原理图

7.3 特性说明

7.3.1 I/O 端口

当 I/O 配置为输入时，FET Q1 和 Q2 处于关闭状态（请参阅图 7-2），从而创建一个高阻抗输入。

如果 I/O 配置为输出，则将启用 Q1 或 Q2，具体取决于输出端口寄存器的状态。在这种情况下，I/O 引脚和电源或 GND 之间存在低阻抗路径。要确保正常运行，施加到此 I/O 引脚的外部电压不应超过推荐电压值。

7.3.2 中断输出 ($\overline{INT}$)

TXE8124-Q1 器件会在输入 I/O 的任何上升沿或下降沿生成中断，只要该 I/O 的中断未被屏蔽。当输入引脚状态不同于输入读取寄存器状态时，相应的中断标志位被置位，并且 $\overline{INT}$ 输出被置为有效。 $\overline{INT}$ 为漏极开路引脚，若要使用中断功能，则需将外部上拉电阻器连接到 V_{CC} ，否则该引脚可以保持悬空。

配置为输出的 I/O 不会生成中断。如果实际引脚电平与存储的输入端口寄存器值不匹配，则将引脚从输出切换到输入可能会产生故障中断。如果 I/O 端口此前处于输入状态，并在切换到输出时检测到中断，该操作不会清除中断标志。该操作只会屏蔽中断引脚。然后，当端口重新配置为输入时，中断将再次出现。

在以下条件下，可以清除中断状态位并取消置位 $\overline{\text{INT}}$ 引脚。

- 从 $\overline{\text{RESET}}$ 引脚进行硬件复位 — 当 POR 正要中断置为有效时，这会暂时将中断置为无效
- 进入失效防护模式 — 该模式会禁用中断并将其置为无效
- 读取中断标志状态寄存器
- 将中断屏蔽寄存器中的相应位设置为 1

TXE8124-Q1 中有四种中断源：

1. **智能输入引脚中断**：通过设置智能中断寄存器中相应的端口位，在 I/O 端口级别启用或禁用智能中断。如果启用了智能中断（相应的寄存器位为 0）并且生成了中断，则一旦 I/O 状态返回到初始逻辑状态或者中断读取了中断标志状态寄存器，中断将清除。有关不同的中断清除场景，请参阅表 7-1。为避免由于错误 IO 切换而错过中断清除功能，TI 强烈建议在输入干扰滤波器使能寄存器中启用干扰滤波器使能。
2. **常规输入引脚中断**：当智能中断寄存器中的智能中断被禁用（相应的寄存器位为 1）时，I/O 状态返回到初始逻辑状态无法清除中断，只有读取中断标志状态寄存器才会清除中断。

表 7-1. 智能中断的中断标志清除场景

智能中断	IO 输入发生变化时的 $\overline{\text{CS}}$ 状态	中断标志清除
禁用	$\overline{\text{CS}}$ = 高电平	$\overline{\text{CS}}$ 为低电平且 SPI 读取中断标志状态寄存器
禁用	$\overline{\text{CS}}$ = 低电平	读取中断标志状态寄存器
启用	$\overline{\text{CS}}$ = 高电平	a. IO 状态返回到初始状态。 b. $\overline{\text{CS}}$ 为低电平且 SPI 读取中断标志状态寄存器。
启用	$\overline{\text{CS}}$ = 低电平	a. 当 IO 状态恢复到初始状态时，应在 $\overline{\text{CS}}$ 变为高电平后至少 30ns 自动清除中断标志。 b. 读取中断标志状态寄存器。

3. **POR 中断**：故障状态寄存器中的 POR 故障位在每次 POR 恢复时置位，这也会生成中断。仅当读取故障状态寄存器时，中断才会被清除。
4. **失效防护冗余故障中断**：当启用失效防护冗余校验时，如果发生任何失效防护冗余校验失败，则故障状态寄存器中的失效防护同步故障位会置位。该操作也会产生中断。仅当读取故障状态寄存器时，中断才会被清除。

中断屏蔽

默认情况下，来自所有输入 I/O 的中断未被屏蔽。要屏蔽中断，需要在中断屏蔽寄存器中设置相应的 I/O 位。POR 恢复时生成的中断无法被屏蔽。

如果输入 I/O 的状态发生了改变，并且中断屏蔽寄存器中的相应位设置为 1，则屏蔽中断并且 $\overline{\text{INT}}$ 引脚不会置为有效。中断标志状态寄存器中的相应位也保持为 0，并被中断屏蔽位阻止。

如果失效防护冗余校验使能位为 0，则失效防护冗余校验失败时生成的中断将被禁用。

可以使用多端口命令同时对多个端口进行中断屏蔽配置。

7.3.3 复位输入 ($\overline{\text{RESET}}$)

$\overline{\text{RESET}}$ 可置为有效输入以初始化系统，同时保持 V_{CC} 电源在其工作电平。将 $\overline{\text{RESET}}$ 引脚保持在低电平至少 t_{W} ，可实现复位。TXE8124-Q1 寄存器和 SPI 状态机在 $\overline{\text{RESET}}$ 设置为低电平后更改为默认状态。当 $\overline{\text{RESET}}$ 设置为高电平时，可从外部或通过控制器更改 P 端口的 I/O 电平。如果未使用有效连接，该输入需要将一个上拉电阻器连接到 V_{CC} 。当 $\overline{\text{RESET}}$ 被切换时，会更新输入端口寄存器以反映 GPIO 引脚的状态。

7.3.4 总线保持

TXE8124-Q1 支持所有输入 I/O 上的均总线保持 (总线保持器) 功能, 当系统必须进入低功耗或待机状态时, 这非常有用, 因为不再需要连接到低功耗状态的外部上拉或下拉电阻。该功能默认被禁用, 必须通过软件编程启用。

启用总线保持功能后, I/O 会保持 I/O 上最后已知的有效电平。如果外部器件驱动逻辑 1, 则 TXE8124-Q1 会激活内部总线保持上拉电阻。当控制器进入低功耗状态, 使输出引脚处于高阻抗状态时, 内部总线保持上拉电阻将 I/O 保持在高电平, 从而避免输入悬空。当外部器件驱动逻辑 0 时也是如此, TXE8124-Q1 会激活内部总线保持下拉电阻。这还可确保 TXE8124-Q1 不会由于悬空输入上的噪声而产生中断, 因为器件保持在最后已知状态。

当启用总线保持功能后, 外部驱动器必须确保由于电路板上的漏电流或其他电路而导致的灌电流或拉电流 (由规范上的 + 或 - 符号指示) 必须满足持续电流或覆盖电流的要求。例如, 如果在高电平状态下激活总线保持功能, 则线路上的外部器件不得从 TXE8124-Q1 中拉出超过 $I_{BHH(MAX)}$ 限制的电流。如果超出该限值, 电压可能会降至相应端口引脚上的 $V_{IL(MAX)}$ 以下并触发总线保持下拉。同样, 如果总线保持必须过载, 则外部器件必须能够从 TXE8124-Q1 中吸收 $I_{BHO(MIN)}$ 电流, 以确保器件释放总线保持。

软件必须确保上拉或下拉选择不能与总线保持功能一起使用, 以避免器件中出现额外的漏电流。

7.3.5 失效防护模式

SPI 控制器可将 TXE8124-Q1 设置为失效防护状态, 方法是对失效防护使能寄存器进行编程, 以启用该功能并将引脚功能从复位更改为失效防护。

该寄存器在 POR 事件或其他故障情况下会被清除。每次如果有故障情况会向 SPI 控制器生成中断, SPI 控制器都必须重新写入此寄存器。在中断生成后, SPI 控制器可以读取故障状态寄存器以了解中断源。

失效防护使能寄存器中的位 0 必须为 1, 才能将 TXE8124-Q1 配置为失效防护模式。

必须写入两个器件配置寄存器才能对 I/O 配置进行编程, 以确保冗余。如果这些寄存器中任何一个损坏, 并且内容不匹配, 则会生成一个中断。

例如, 如果在失效防护模式下将 I/O 引脚 P0.1 设置为输出和高电平, 则按照以下顺序配置失效防护模式:

1. 将失效防护使能寄存器 1 的位 0 配置为 1
2. 将失效防护使能寄存器 2 的位 0 配置为 1
3. 将端口 0 失效防护方向配置寄存器 1 的端口 0 中的位 1 (P0.1) 设为 1
4. 将端口 0 失效防护方向配置寄存器 2 的端口 0 中的位 1 (P0.1) 设为 1
5. 将端口 0 失效防护输出寄存器 1 的端口 0 中的位 1 (P0.1) 设为 1
6. 将端口 0 失效防护输出寄存器 2 的端口 0 中的位 1 (P0.1) 设为 1
7. 将失效防护冗余校验寄存器的位 0 设为 1
8. 将 $\overline{RESET}/FAIL-SAFE$ 引脚置为有效

7.3.6 软件复位广播

软件复位调用是针对 TXE8124-Q1 器件的 SPI 总线事务, 用于写入软件复位寄存器, 指示器件复位为上电默认状态。此操作使得客户应用能够复位器件, 而无需对器件下电上电或将 $\overline{RESET}$ 引脚置为有效/取消置位。如果在失效防护模式下使用 $\overline{RESET}$ 引脚, 这将特别有用。

7.3.7 菊花链

多个 TXE8124-Q1 器件可采用菊花链配置连接, 以增加支持的 I/O 端口数量, 如示例实现方案图 7-3 所示。在菊花链操作模式下, 控制器的 SDO 连接到第一个 TXE8124-Q1 的 SDI。第一个 TXE8124-Q1 的 SDO 接着连接到下一个 TXE8124-Q1 的 SDI。此连接直至最后一个 TXE8124-Q1 完成, 其中 SDO 连接到控制器的 SDI。在以菊花链方式连接器件时, 对末端器件的 SDO 进行采样可能需要降低 SCLK 频率, 因为链中每个器件的数据有效时间会累加, 同时还需考虑 SCLK 到达最远端器件的传播延迟。

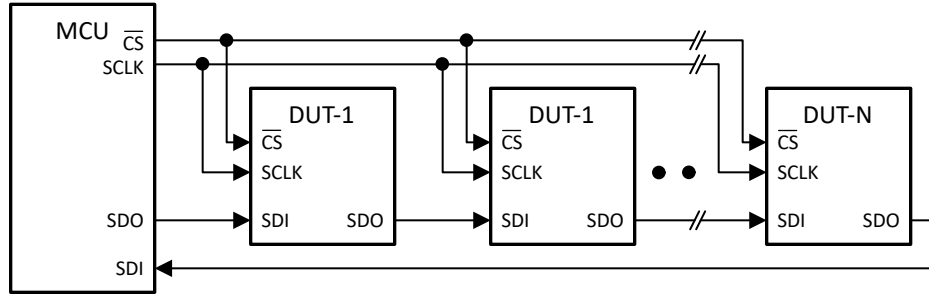


图 7-3. SPI 菊花链示意图

控制器发送一个标头来自动配置菊花工作链，后跟链中各器件的寄存器地址，首先是链中最远器件（距离控制器 SDI 最远且最靠近控制器 SDO 的器件）的寄存器地址。数据在地址之后传输，最远器件的数据在前。接收来自最远设备的数据时，首先接收数据。

有关菊花链事务的帧，请参阅图 7-4。在整个链路上重复相同的序列，直至到达最终器件。

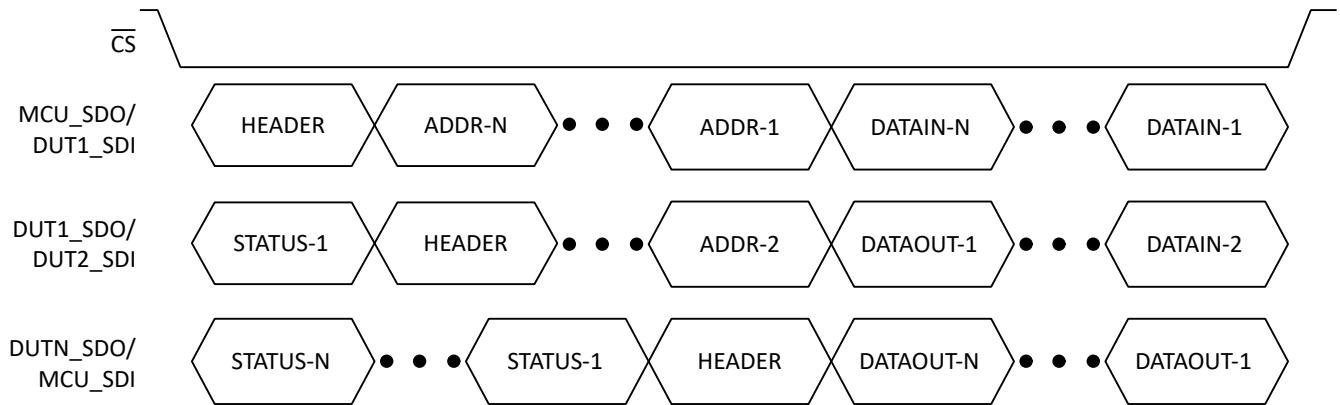


图 7-4. SPI 菊花链数据输出

报头段

标头分段中的位 15 和 14 是标头 ID，器件控制器使用此 ID 来检测是否正在接收标头分段。标头 ID 位的值为 01，用于指示这是标头分段。

位 13 至 5 被保留，位 4 至 0 表示链中的器件数量。可进行菊花链连接的器件数量上限为 31 个。

地址段（寄存器地址）

位 15 表示 SPI 工作模式（1 = 读取操作，0 = 写入操作）。有关寄存器地址，请参阅图 7-5 中的第一和第二字节。

状态段

位 15 和位 14 指示状态分段，设置为 11 以指示状态分段。位 13 至位 8 指示故障状态寄存器，位 7 至位 0 始终作为 0 发送。

7.3.8 多端口

第二个字节的 LSB 会启用多端口功能，如节 7.5.2 所示。当该位为 1 时，SDI 上的后续写入数据字节的每个位对应各个端口。所以，LSB 位 B0 对应 P0 端口，B1 对应 P1 端口，B2 对应 P2 端口。使用多端口编程时，特定端口中的所有 I/O 都将具有相同的配置。在多端口访问期间，SDO 将输出第一个带有故障状态寄存器值的字节，后跟数据字节的 0。

7.3.9 功能寄存器映射

TXE8124-Q1 器件寄存器实现为寄存器组，其中端口的实际寄存器地址是通过连接功能地址 0 和端口号形成的，如 图 7-5 所示。这使客户软件能够通过突发传输来更有效地配置或读取所有端口的特定功能。

表 7-2 根据特性地址和多端口支持列出了寄存器。

表 7-2. TXE8124-Q1 功能映射

功能地址					寄存器名称	多端口	ACCESS
B20	B19	B18	B17	B16			
0	0	0	0	0	暂存寄存器	否	RW
0	0	0	0	1	Device_ID	否	R
0	0	0	1	0	输入端口寄存器	是	R
0	0	0	1	1	输出端口寄存器	是	RW
0	0	1	0	0	方向配置寄存器	是	RW
0	0	1	0	1	极性反转寄存器	是	RW
0	0	1	1	0	推挽/漏极开路选择寄存器	是	RW
0	1	0	0	0	上拉或下拉使能寄存器	是	RW
0	1	0	0	1	上拉或下拉选择寄存器	是	RW
0	1	0	1	0	总线保持器寄存器	是	RW
0	1	0	1	1	智能中断寄存器	否	RW
0	1	1	0	0	中断屏蔽寄存器	是	RW
0	1	1	0	1	输入干扰滤波器使能寄存器	否	RW
0	1	1	1	0	中断标志状态寄存器	否	R
0	1	1	1	1	中断端口状态寄存器	否	R
1	0	0	1	0	失效防护使能寄存器 1	否	RW
1	0	0	1	1	失效防护使能寄存器 2	是	RW
1	0	1	0	0	失效防护方向配置寄存器 1	是	RW
1	0	1	0	1	失效防护方向配置寄存器 2	是	RW
1	0	1	1	0	失效防护输出寄存器 1	是	RW
1	0	1	1	1	失效防护输出寄存器 2	是	RW
1	1	0	0	0	失效防护冗余校验寄存器	否	RW
1	1	0	0	1	故障状态寄存器	否	R
1	1	0	1	0	软件复位寄存器	否	WO

7.4 器件功能模式

7.4.1 上电复位

从 0V 为器件充电至 V_{CC} 时，内部上电复位会将 TXE8124-Q1 保持在复位状态，直到电源达到 V_{POR} 。届时，复位条件会被释放，并且 TXE8124-Q1 寄存器和 SPI 状态机初始化为其默认状态。该操作之后，必须将 V_{CC} 降至低于 V_{PORF} ，持续时间 $t_{TRR_POR_50}$ ，并恢复到工作电压以完成电源复位周期。

7.5 编程

7.5.1 SPI

TXE8124-Q1 器件采用 SPI 设置器件配置、运行参数和读取诊断信息。SPI 协议使用三个输入和一个输出：串行时钟 (SCLK)、低电平有效芯片选择 ($\overline{CS}$)、串行数据输入 (SDI) 和串行数据输出 (SDO)。在时钟脉冲和数据进入器件之前，必须将 $\overline{CS}$ 驱动为低电平。当 $\overline{CS}$ 为高电平时，器件将忽略 SCLK 和 SDI 上的所有活动。

TXE8124-Q1 器件支持 SPI 模式 0 (CPOL = 0, CPHA = 0)。空闲时, 时钟 (SCLK) 为低电平。数据会在 SCLK 的上升沿进行采样, 并在下降沿改变。

除了具有独立芯片选择的 SPI 总线外, TXE8124-Q1 还支持菊花链配置。菊花链配置允许多个外设串联, 一个器件的输出馈入为下一个器件的输入。菊花链的优势在于可减少 $\overline{CS}$ 线路数量, 整个链路仅需一条 CS 线。在每个时钟周期内, 数据通过链中的所有器件移位。

7.5.2 SPI 数据格式

TXE8124-Q1 SPI 数据字的长度为 $[16 + (N \times 8)]$ 位 (N 是要写入的数据字节数)。对于单字节写入或读取, 会先发送 24 位数据并优先接收 MSB。SPI 数据必须在 SCLK 采时的上升沿期间保持稳定。

图 7-5 显示了从控制器到 TXE8124-Q1 的 SDI 引脚上的数据格式。

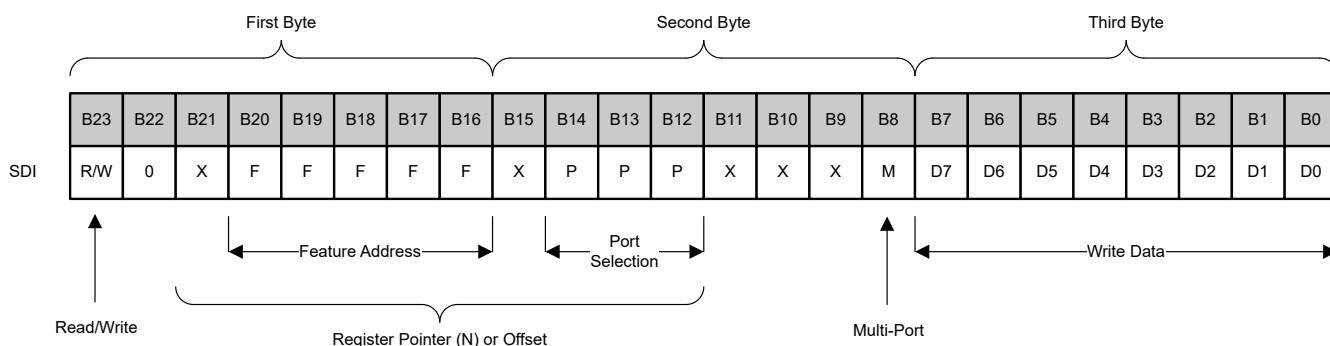


图 7-5. TXE8124-Q1 SPI SDI 数据帧格式

第一个字节和第二个字节是帧的强制部分。SDI 帧中的 B23 位为 $\overline{R/W}$, 其中 1 表示读取操作, 0 表示写入操作。对于点对点连接 (非菊花链拓扑), B22 位始终为 0。B20 到 B16 对应于端口的功能寄存器。B14 至 B12 用于选择端口。B8 位用于多端口运行, 仅在使用多端口功能时必须设置为 1。位 B21 至 B12 被称为器件的寄存器指针 (或寄存器表中的偏移量)。

第三个字节之后, 8 位写入数据会移入并写入到由寄存器指针指示的寄存器。对于单次传输, $N = 1$; 而对于突发模式, $N > 1$ 。对于突发传输, 寄存器指针在内部递增, 并将移位的数据写入更新后的内部寄存器指针。为了实现未来兼容性, 该帧中未定义的任何位都必须发送为 0。

从 TXE8124-Q1 到控制器的 SDO 引脚上的数据格式如 图 7-6 所示。

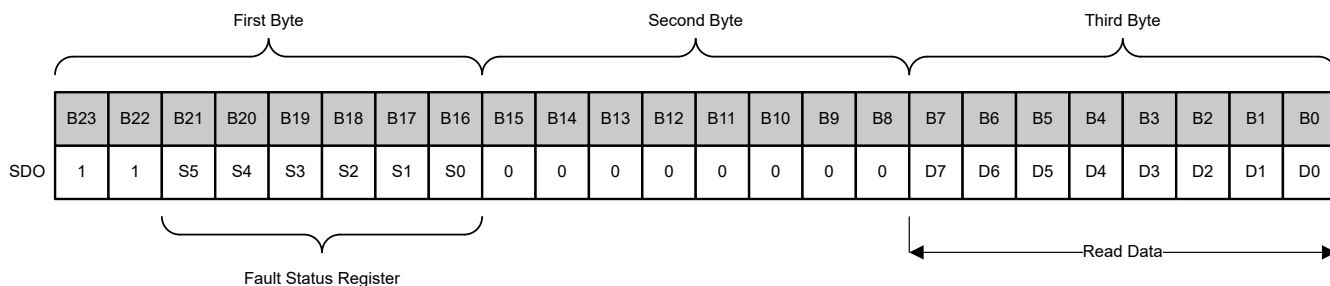


图 7-6. SPI SDO 数据格式

第一个字节和第二个字节是任何 SPI 总线通信操作的标准字节。B23 和 B22 设置为 1 以指示有效状态。B21 至 B16 是故障状态寄存器中的状态位。第二个字节始终设为 0。第三个字节之后, 针对移入 SDI 引脚上器件的寄存器指针, 8 位读取被移出。对于突发传输 ($N > 1$), 寄存器指针在内部递增, 数据移出。

7.5.3 突发模式

在突发模式事务中，初始寄存器指针由控制器器件指定并发送至外设。对于后续访问，寄存器指针会自动递增至下一端口对应的有效地址（第二地址字节）。只要 CS 保持低电平有效并且外设器件接收到 SCLK 脉冲，这种地址自动递增机制就会持续运行。

当突发模式事务按顺序继续时，寄存器指针自动前进至地址。如果没有与更新后的寄存器指针相对应的有效寄存器或寄存器是只读类型，则写入的数据将被忽略。类似地，在 SDO 上，对于未映射到器件地址空间的寄存器，外设输出 0。

TI 强烈建议在同时为多个端口配置或访问同一寄存器时使用突发模式，以提高 SPI 总线上的有效数据吞吐量。

7.5.4 SPI 写入

SPI 写入操作用于将数据从控制器器件发送到外设器件。SPI 写入可以是单字节写入（如 图 7-7 所示）或突发写入（如 图 7-8 所示），其中可以向器件写入多个字节。此操作通过 SPI 总线执行，由控制器器件驱动 $\overline{CS}$ 低电平、生成串行时钟 (SCLK) 并将数据发送到外设。SPI 写入通常用于配置外设、发送控制命令或传输数据。在 SPI 单次写入期间，器件发送寄存器指针指示的寄存器中的最后一个数据。在 SPI 突发写入时，地址自动递增，并且器件发送来自更新后的寄存器指针的最后一个数据。

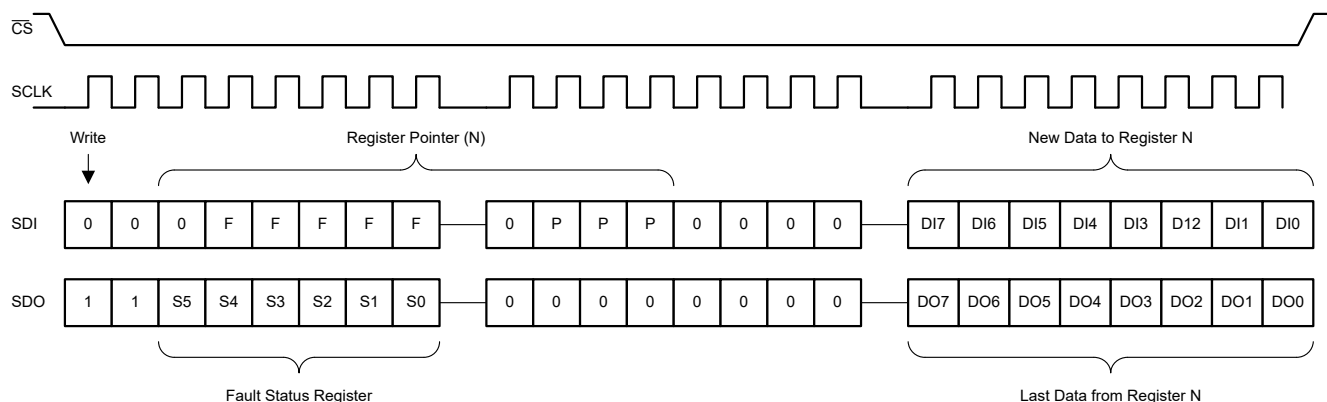


图 7-7. SPI 单次写入

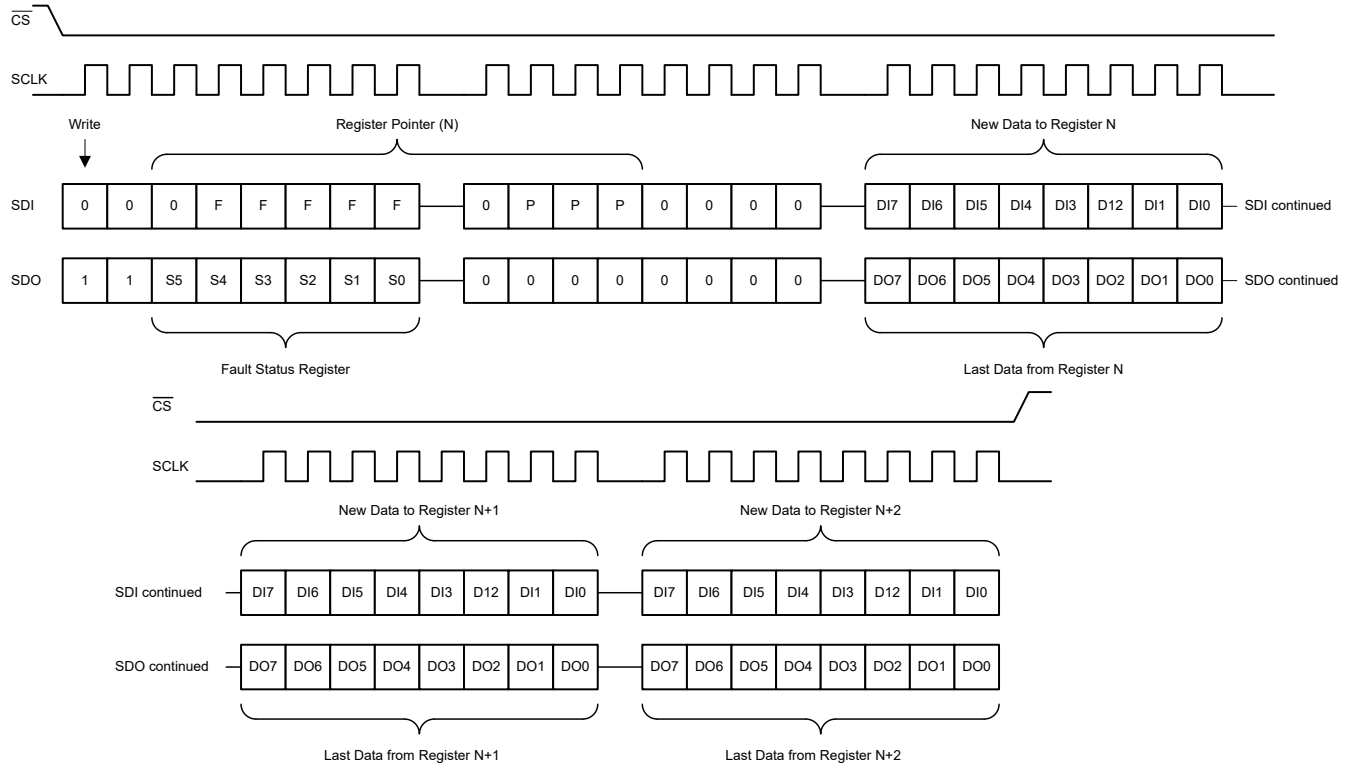


图 7-8. SPI 突发写入

SPI 写入步骤：

1. 将 $\overline{CS}$ 驱动为低电平。此操作将启用内部移位寄存器。
2. 以 MSB 优先的方式将 24 位数据移入器件，MSB 位。数据在 SCLK 的上升沿必须稳定。
3. MSB 位必须为“0”，表示这是写入操作。
4. 在 SDO 引脚上，器件会将前 2 位发送为 2'b11（指示状态段）。故障状态寄存器的位 5 至 0 后跟 6 位。接下来的 8 位都是 0，后跟寄存器指针选择的寄存器中的 8 位电流数据。
5. 在传输最后一位数据后，如果没有更多数据要传输，则将 SCLK 驱动为低电平。
6. 在 SDI 驱动数据字节的同时，寄存器的原有内容会通过 SDO 发送。
7. 将 $\overline{CS}$ 置为无效（驱动为高电平），结束写入周期。

7.5.5 SPI 读取

TXE8124-Q1 的 SPI 读取操作用于在单次读取模式下从特定寄存器检索数据（如 图 7-9 所示），或在突发模式下从顺序寄存器检索数据（如 图 7-10 所示）。

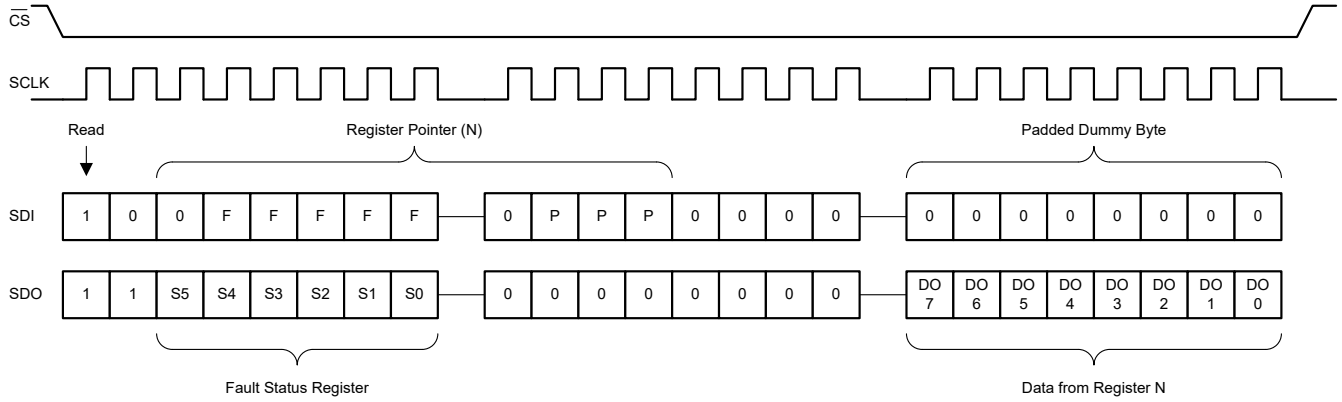


图 7-9. SPI 单次读取

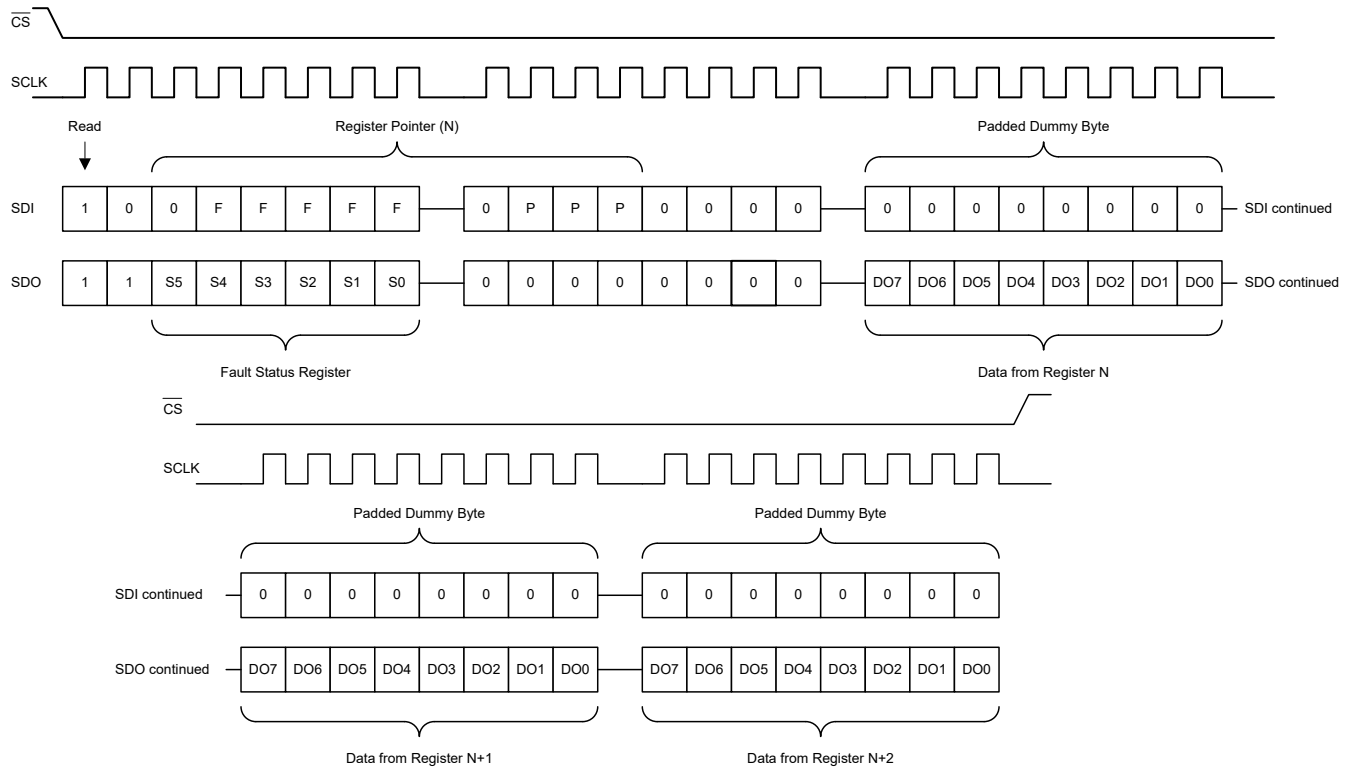


图 7-10. SPI 突发读取

SPI 读取操作步骤：

1. 将 $\overline{CS}$ 驱动为低电平。此操作将启用内部移位寄存器。
2. 以 MSB 优先的方式将 24 位数据移入器件。数据在 SCLK 的上升沿必须稳定
3. MSB 位必须为“1”，表示这是一个只读传输。
4. 第三个数据字节是 NOP (无操作)，即虚拟数据字节。
5. 在 SDO 引脚上，器件会将前 2 位发送为 2'b11 (指示状态分段)，后跟 6 位，这些位是故障状态寄存器的位 5 至 0。接下来的 8 位都是 0，后跟寄存器指针选择的寄存器中的 8 位电流数据。
6. 在传输最后一位数据后，如果没有更多数据要传输，则将 SCLK 驱动为低电平。
7. 将 $\overline{CS}$ 置为无效 (驱动为高电平)，结束读取周期。

7.5.6 SPI 菊花链

在菊花链运行模式下，控制器的 SPI 事务由三种类型的分段组成：标头（16 位）、地址（Nx16 位）和数据（Nx8 位）。当 TXE8124-Q1 接收到相同的数据并将其传输到链中的下一个器件时，该器件将状态（16 位）附加到事务中，同时删除地址段并替换与其在链中的位置相对应的数据分段。

图 7-11 显示了菊花链中两个器件的菊花链写入示例。标头字节以链长度 (CL) 值 2 发送，后跟 DUT2、DUT1 的地址，然后是 DUT2、DUT1 的 8 位数据输入。当第一个器件移出数据时，该器件会发送其状态分段，然后是原始标头、DUT2 地址、DUT1 数据输出和 DUT2 数据输入。链中的最后一个器件会发送状态，后跟 DUT1 的状态，最后发送 DUT2 和 DUT1 的数据输出。

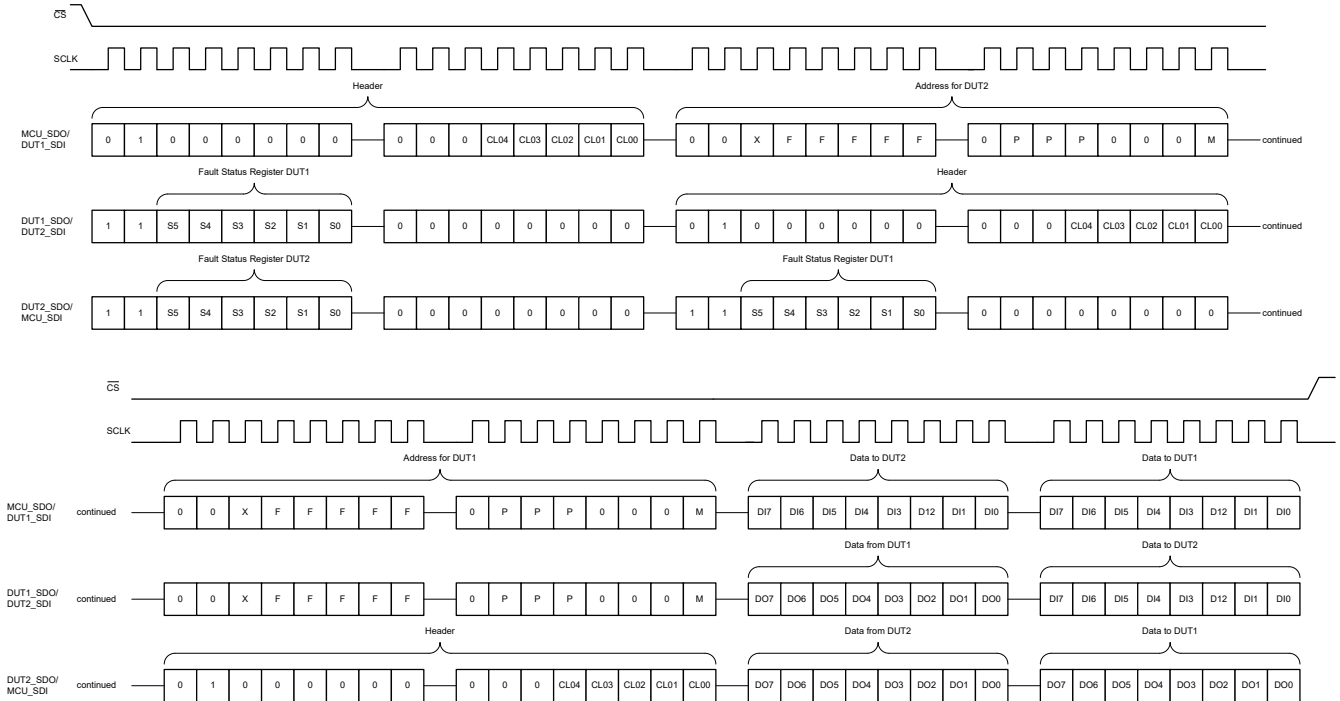


图 7-11. SPI 菊花链写入

图 7-12 显示了菊花链中两个器件的菊花链读取示例。发送标头字节时，链长度 (CL) 值为 2，后跟 DUT2、DUT1 的地址，然后是 DUT2、DUT1 的 8 位虚拟数据输入。当第一个器件移出数据时，该器件会发送其状态分段，然后是原始标头、DUT2 地址、DUT1 数据输出和 DUT2 虚拟数据输入。链中的最后一个器件会发送状态，后跟 DUT1 的状态，最后发送 DUT2 和 DUT1 的数据输出。

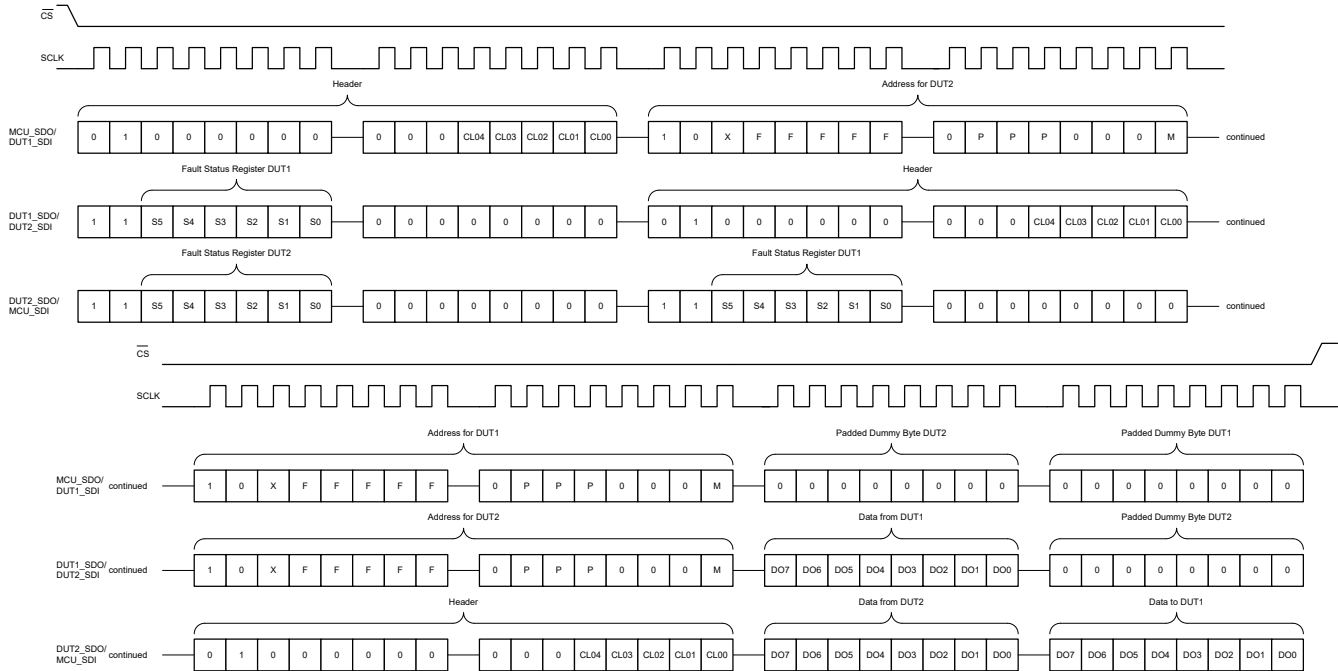


图 7-12. SPI 菊花链读取

7.6 TXE8124 寄存器

表 7-3 列出了 TXE8124 寄存器的存储器映射寄存器。表 7-3 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-3. TXE8124 寄存器

偏移	首字母缩写词	寄存器名称	部分
0h	Scratch_Register	暂存寄存器	节 7.6.1
10h	Device_ID_Register	器件 ID 寄存器	节 7.6.2
20h + 公式	Input_Port_Register_y	输入端口寄存器	节 7.6.3
30h + 公式	Output_Port_Register_y	输出端口寄存器	节 7.6.4
40h + 公式	Direction_Configuration_Register_y	方向配置寄存器	节 7.6.5
50h + 公式	Polarity_Inversion_Register_y	极性反转寄存器	节 7.6.6
60h + 公式	Push_Pull/ Open_Drain_Selection_Register_y	推挽/漏极开路选择寄存器	节 7.6.7
80h + 公式	Pull-up/Pull-down_Enable_Register_y	上拉/下拉使能寄存器	节 7.6.8
90h + 公式	Pull-up/Pull-down_Selection_Register_y	上拉或下拉选择寄存器	节 7.6.9
A0h + 公式	Bus_Holder_Register_y	总线保持器寄存器	节 7.6.10
B0h	Smart_Interrupt_Register	智能中断寄存器	节 7.6.11
C0h + 公式	Interrupt_Mask_Register_y	中断屏蔽寄存器	节 7.6.12
D0h + 公式	Interrupt_Glitch_Filter_Enable_Register_y	中断干扰滤波器使能寄存器	节 7.6.13
E0h + 公式	Interrupt_Flag_Status_Register_y	中断标志状态寄存器	节 7.6.14
F0h	Interrupt_Port_Status_Register	中断端口状态寄存器	节 7.6.15
120h	Fail-Safe_Enable_Register-1	失效防护使能寄存器 -1	节 7.6.16
130h	Fail-Safe_Enable_Register-2	失效防护使能寄存器 -2	节 7.6.17
140h + 公式	Fail-Safe_Direction_Configuration_Register-1_y	失效防护方向配置寄存器 -1	节 7.6.18
150h + 公式	Fail-Safe_Direction_Configuration_Register-2_y	失效防护方向配置寄存器 -2	节 7.6.19
160h + 公式	Fail-Safe_Output_Register-1_y	失效防护输出寄存器 -1	节 7.6.20
170h + 公式	Fail-Safe_Output_Register-2_y	失效防护输出寄存器 -2	节 7.6.21
180h	Fail-Safe_Redundancy_Check_Register	失效防护冗余校验寄存器	节 7.6.22
190h	Fault_Status_Register	故障状态寄存器	节 7.6.23
1A0h	Software_Reset_Register	软件复位寄存器	节 7.6.24

复杂的位访问类型经过编码可适应小型表单元。表 7-4 展示了适用于此部分中访问类型的代码。

表 7-4. TXE8124 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
W1S	W 1S	写入 1 以进行设置
复位或默认值		
-n		复位后的值或默认值

表 7-4. TXE8124 访问类型代码（续）

访问类型	代码	说明
寄存器数组变量		
i、j、k、l、m、n		当这些变量用于寄存器名称、偏移或地址时，它们指的是寄存器数组的值，其中寄存器是一组重复寄存器的一部分。寄存器组构成分层结构，数组用公式表示。
y		当该变量用于寄存器名称、偏移或地址时，它指的是寄存器数组的值。

7.6.1 Scratch_Register (偏移 = 0h) [复位 = 00h]

图 7-13 展示了 Scratch_Register，表 7-5 中对此进行了介绍。

返回到[汇总表](#)。

暂存寄存器是一种测试寄存器，用于从空白寄存器读取代码/向空白寄存器写入代码，并解决任何编码问题。

图 7-13. Scratch_Register

7	6	5	4	3	2	1	0
Scratch_Value							
R/W-0h							

表 7-5. Scratch_Register 字段说明

位	字段	类型	复位	说明
7-0	Scratch_Value	R/W	0h	8 位暂存值

7.6.2 Device_ID_Register (偏移 = 10h) [复位 = 01h]

图 7-14 展示了 Device_ID_Register，表 7-6 中对此进行了介绍。

返回到[汇总表](#)。

具有器件 ID 的器件标识寄存器。

图 7-14. Device_ID_Register

7	6	5	4	3	2	1	0
Device_ID							
R-1h							

表 7-6. Device_ID_Register 字段说明

位	字段	类型	复位	说明
7-0	Device_ID	R	1h	器件标识 0 : TXE8116 1 : TXE8124

7.6.3 Input_Port_Register_y (偏移 = 20h + 公式) [复位 = XXh]

图 7-15 展示了 Input_Port_Register_y，表 7-7 中对此进行了介绍。

返回到[汇总表](#)。

将引脚配置为输入时，输入端口寄存器反映端口引脚的输入逻辑电平。配置为输出时，相应的引脚读数为 0。输入端口寄存器为只读。写入这些寄存器不产生影响。外部应用的逻辑电平决定默认值。

偏移 = 20h + (y * 1h)；其中 y = 0h 至 2h

图 7-15. Input_Port_Register_y

7	6	5	4	3	2	1	0
IPy.7	IPy.6	IPy.5	IPy.4	IPy.3	IPy.2	IPy.1	IPy.0
R-Xh	R-Xh	R-Xh	R-Xh	R-Xh	R-Xh	R-Xh	R-Xh

表 7-7. Input_Port_Register_y 字段说明

位	字段	类型	复位	说明
7	IPy.7	R	Xh	Py.7 输入引脚值
6	IPy.6	R	Xh	Py.6 输入引脚值
5	IPy.5	R	Xh	Py.5 输入引脚值
4	IPy.4	R	Xh	Py.4 输入引脚值
3	IPy.3	R	Xh	Py.3 输入引脚值
2	IPy.2	R	Xh	Py.2 输入引脚值
1	IPy.1	R	Xh	Py.1 输入引脚值
0	IPy.0	R	Xh	Py.0 输入引脚值

7.6.4 Output_Port_Register_y (偏移 = 30h + 公式) [复位 = 00h]

图 7-16 展示了 Output_Port_Register_y，表 7-8 中对此进行了介绍。

返回到[汇总表](#)。

输出端口寄存器反映了由方向配置寄存器定义为输出的 引脚 Py.0 至 Py.7 的输出逻辑电平。该寄存器中的位值对定义为输入的引脚没有影响。从该寄存器读取的值反映了寄存器中的值，而不是实际的引脚值。

偏移 = 30h + (y * 1h)；其中 y = 0h 至 2h

图 7-16. Output_Port_Register_y

7	6	5	4	3	2	1	0
OPy.7	OPy.6	OPy.5	OPy.4	OPy.3	OPy.2	OPy.1	OPy.0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-8. Output_Port_Register_y 字段说明

位	字段	类型	复位	说明
7	OPy.7	R/W	0h	Py.7 输出值
6	OPy.6	R/W	0h	Py.6 输出值
5	OPy.5	R/W	0h	Py.5 输出值
4	OPy.4	R/W	0h	Py.4 输出值
3	OPy.3	R/W	0h	Py.3 输出值
2	OPy.2	R/W	0h	Py.2 输出值
1	OPy.1	R/W	0h	Py.1 输出值
0	OPy.0	R/W	0h	Py.0 输出值

7.6.5 Direction_Configuration_Register_y (偏移 = 40h + 公式) [复位 = 00h]

图 7-17 展示了 Direction_Configuration_Register_y，表 7-9 中对此进行了介绍。

返回到[汇总表](#)。

方向配置寄存器配置 I/O 引脚的方向。如果该寄存器中的某个位设置为 0，则相应端口引脚被启用为高阻抗输入。如果该寄存器中的某个位设置为 1，则相应端口引脚被启用为输出。

偏移 = 40h + (y * 1h)；其中 y = 0h 至 2h

图 7-17. Direction_Configuration_Register_y

7	6	5	4	3	2	1	0
DIRy.7	DIRy.6	DIRy.5	DIRy.4	DIRy.3	DIRy.2	DIRy.1	DIRy.0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-9. Direction_Configuration_Register_y 字段说明

位	字段	类型	复位	说明
7	DIRy.7	R/W	0h	Py.7 配置 0：引脚处于输入模式 1：引脚处于输出模式
6	DIRy.6	R/W	0h	Py.6 配置 0：引脚处于输入模式 1：引脚处于输出模式
5	DIRy.5	R/W	0h	Py.5 配置 0：引脚处于输入模式 1：引脚处于输出模式
4	DIRy.4	R/W	0h	Py.4 配置 0：引脚处于输入模式 1：引脚处于输出模式
3	DIRy.3	R/W	0h	Py.3 配置 0：引脚处于输入模式 1：引脚处于输出模式
2	DIRy.2	R/W	0h	Py.2 配置 0：引脚处于输入模式 1：引脚处于输出模式
1	DIRy.1	R/W	0h	Py.1 配置 0：引脚处于输入模式 1：引脚处于输出模式
0	DIRy.0	R/W	0h	Py.0 配置 0：引脚处于输入模式 1：引脚处于输出模式

7.6.6 Polarity_Inversion_Register_y (偏移 = 50h + 公式) [复位 = 00h]

图 7-18 展示了 Polarity_Inversion_Register_y，表 7-10 中对此进行了介绍。

返回到[汇总表](#)。

极性反转寄存器允许对方向配置寄存器定义为输入的引脚 Py.0 至 Py.7 进行极性反转。如果对该寄存器中的某个位进行设置，则相应引脚的极性会反转。如果该寄存器中的某个位被清除，则相应引脚的极性会保留。

偏移 = 50h + (y * 1h)；其中 y = 0h 至 2h

图 7-18. Polarity_Inversion_Register_y

7	6	5	4	3	2	1	0
Ply.7	Ply.6	Ply.5	Ply.4	Ply.3	Ply.2	Ply.1	Ply.0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-10. Polarity_Inversion_Register_y 字段说明

位	字段	类型	复位	说明
7	Ply.7	R/W	0h	Py.7 极性反转 0：极性不变 1：极性反转
6	Ply.6	R/W	0h	Py.6 极性反转 0：极性不变 1：极性反转
5	Ply.5	R/W	0h	Py.5 极性反转 0：极性不变 1：极性反转
4	Ply.4	R/W	0h	Py.4 极性反转 0：极性不变 1：极性反转
3	Ply.3	R/W	0h	Py.3 极性反转 0：极性不变 1：极性反转
2	Ply.2	R/W	0h	Py.2 极性反转 0：极性不变 1：极性反转
1	Ply.1	R/W	0h	Py.1 极性反转 0：极性不变 1：极性反转
0	Ply.0	R/W	0h	Py.0 极性反转 0：极性不变 1：极性反转

7.6.7 Push_Pull/Open_Drain_Selection_Register_y (偏移 = 60h + 公式) [复位 = 00h]

图 7-19 展示了 Push_Pull/Open_Drain_Selection_Register_y，表 7-11 中对此进行了介绍。

返回到[汇总表](#)。

推挽/开漏选择寄存器用于选择引脚为推挽或开漏。设置该位时，相应的引脚配置为开漏 (Q1 被禁用、Q2 处于活动状态)。该位清零后，相应的引脚配置为推挽 (Q1 和 Q2 处于活动状态)。

偏移 = 60h + (y * 1h)；其中 y = 0h 至 2h

图 7-19. Push_Pull/Open_Drain_Selection_Register_y

7	6	5	4	3	2	1	0
PPODy.7	PPODy.6	PPODy.5	PPODy.4	PPODy.3	PPODy.2	PPODy.1	PPODy.0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-11. Push_Pull/Open_Drain_Selection_Register_y 字段说明

位	字段	类型	复位	说明
7	PPODy.7	R/W	0h	Py.7 输出配置位 0：引脚配置为输出推挽输出 1：引脚配置为输出开漏
6	PPODy.6	R/W	0h	Py.6 输出配置位 0：引脚配置为输出推挽输出 1：引脚配置为输出开漏
5	PPODy.5	R/W	0h	Py.5 输出配置位 0：引脚配置为输出推挽输出 1：引脚配置为输出开漏
4	PPODy.4	R/W	0h	Py.4 输出配置位 0：引脚配置为输出推挽输出 1：引脚配置为输出开漏
3	PPODy.3	R/W	0h	Py.3 输出配置位 0：引脚配置为输出推挽输出 1：引脚配置为输出开漏
2	PPODy.2	R/W	0h	Py.2 输出配置位 0：引脚配置为输出推挽输出 1：引脚配置为输出开漏
1	PPODy.1	R/W	0h	Py.1 输出配置位 0：引脚配置为输出推挽输出 1：引脚配置为输出开漏
0	PPODy.0	R/W	0h	Py.0 输出配置位 0：引脚配置为输出推挽输出 1：引脚配置为输出开漏

7.6.8 Pull-up/Pull-down_Enable_Register_y (偏移 = 80h + 公式) [复位 = 00h]

图 7-20 展示了 Pull-up/Pull-down_Enable_Register_y，表 7-12 中对此进行了介绍。

返回到[汇总表](#)。

上拉/下拉使能寄存器允许用户启用或禁用 GPIO 引脚上的上拉/下拉电阻器。通过设置该位，可以选择引脚上的上拉/下拉电阻器。将该位清零会断开上拉/下拉电阻器与引脚的连接。

偏移 = 80h + (y * 1h)；其中 y = 0h 至 2h

图 7-20. Pull-up/Pull-down_Enable_Register_y

7	6	5	4	3	2	1	0
PEy.7	PEy.6	PEy.5	PEy.4	PEy.3	PEy.2	PEy.1	PEy.0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-12. Pull-up/Pull-down_Enable_Register_y 字段说明

位	字段	类型	复位	说明
7	PEy.7	R/W	0h	Py.7 上拉/下拉使能 0：禁用引脚上的上拉/下拉 1：启用引脚上的上拉/下拉
6	PEy.6	R/W	0h	Py.6 上拉/下拉使能 0：禁用引脚上的上拉/下拉 1：启用引脚上的上拉/下拉
5	PEy.5	R/W	0h	Py.5 上拉/下拉使能 0：禁用引脚上的上拉/下拉 1：启用引脚上的上拉/下拉
4	PEy.4	R/W	0h	Py.4 上拉/下拉使能 0：禁用引脚上的上拉/下拉 1：启用引脚上的上拉/下拉
3	PEy.3	R/W	0h	Py.3 上拉/下拉使能 0：禁用引脚上的上拉/下拉 1：启用引脚上的上拉/下拉
2	PEy.2	R/W	0h	Py.2 上拉/下拉使能 0：禁用引脚上的上拉/下拉 1：启用引脚上的上拉/下拉
1	PEy.1	R/W	0h	Py.1 上拉/下拉使能 0：禁用引脚上的上拉/下拉 1：启用引脚上的上拉/下拉
0	PEy.0	R/W	0h	Py.0 上拉/下拉使能 0：禁用引脚上的上拉/下拉 1：启用引脚上的上拉/下拉

7.6.9 Pull-up/Pull-down_Selection_Register_y (偏移 = 90h + 公式) [复位 = 00h]

图 7-21 展示了 Pull-up/Pull-down_Selection_Register_y，表 7-13 中对此进行了介绍。

返回到[汇总表](#)。

上拉/下拉选择寄存器允许用户配置每个 GPIO 引脚，以具有上拉或下拉电阻器。设置该位将启用引脚上的上拉电阻器。将该位清零会启用引脚上的下拉电阻器。如果上拉/下拉功能禁用，则写入该寄存器不会产生影响。

偏移 = 90h + (y * 1h)；其中 y = 0h 至 2h

图 7-21. Pull-up/Pull-down_Selection_Register_y

7	6	5	4	3	2	1	0
PUDy.7	PUDy.6	PUDy.5	PUDy.4	PUDy.3	PUDy.2	PUDy.1	PUDy.0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-13. Pull-up/Pull-down_Selection_Register_y 字段说明

位	字段	类型	复位	说明
7	PUDy.7	R/W	0h	Py.7 上拉/下拉选择 0：启用引脚上的下拉电阻器 1：启用引脚上的上拉电阻器
6	PUDy.6	R/W	0h	Py.6 上拉/下拉选择 0：启用引脚上的下拉电阻器 1：启用引脚上的上拉电阻器
5	PUDy.5	R/W	0h	Py.5 上拉/下拉选择 0：启用引脚上的下拉电阻器 1：启用引脚上的上拉电阻器
4	PUDy.4	R/W	0h	Py.4 上拉/下拉选择 0：启用引脚上的下拉电阻器 1：启用引脚上的上拉电阻器
3	PUDy.3	R/W	0h	Py.3 上拉/下拉选择 0：启用引脚上的下拉电阻器 1：启用引脚上的上拉电阻器
2	PUDy.2	R/W	0h	Py.2 上拉/下拉选择 0：启用引脚上的下拉电阻器 1：启用引脚上的上拉电阻器
1	PUDy.1	R/W	0h	Py.1 上拉/下拉选择 0：启用引脚上的下拉电阻器 1：启用引脚上的上拉电阻器
0	PUDy.0	R/W	0h	Py.0 上拉/下拉选择 0：启用引脚上的下拉电阻器 1：启用引脚上的上拉电阻器

7.6.10 Bus_Holder_Register_y (偏移 = A0h + 公式) [复位 = 00h]

图 7-22 展示了 Bus_Holder_Register_y，表 7-14 中对此进行了介绍。

返回到[汇总表](#)。

总线保持寄存器可启用或禁用 GPIO 引脚的总线保持或总线保持器功能。该功能仅在引脚配置为输入引脚时可用。当寄存器位被置位时，驱动该引脚的器件悬空其输出时，相应的输入引脚状态会将线路保持在其最后已知的逻辑状态。

偏移 = A0h + (y * 1h)；其中 y = 0h 至 2h

图 7-22. Bus_Holder_Register_y

7	6	5	4	3	2	1	0
BHy.07	BHy.6	BHy.5	BHy.4	BHy.3	BHy.2	BHy.1	BHy.0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-14. Bus_Holder_Register_y Field 字段说明

位	字段	类型	复位	说明
7	BHy.07	R/W	0h	Py.7 总线保持配置 0：禁用引脚上的总线保持 1：启用引脚上的总线保持
6	BHy.6	R/W	0h	Py.6 总线保持配置 0：禁用引脚上的总线保持 1：启用引脚上的总线保持
5	BHy.5	R/W	0h	Py.5 总线保持配置 0：禁用引脚上的总线保持 1：启用引脚上的总线保持
4	BHy.4	R/W	0h	Py.4 总线保持配置 0：禁用引脚上的总线保持 1：启用引脚上的总线保持
3	BHy.3	R/W	0h	Py.3 总线保持配置 0：禁用引脚上的总线保持 1：启用引脚上的总线保持
2	BHy.2	R/W	0h	Py.2 总线保持配置 0：禁用引脚上的总线保持 1：启用引脚上的总线保持
1	BHy.1	R/W	0h	Py.1 总线保持配置 0：禁用引脚上的总线保持 1：启用引脚上的总线保持
0	BHy.0	R/W	0h	Py.0 总线保持配置 0：禁用引脚上的总线保持 1：启用引脚上的总线保持

7.6.11 Smart_Interrupt_Register (偏移 = B0h) [复位 = 00h]

图 7-23 展示了 Smart_Interrupt_Register，表 7-15 中对此进行了介绍。

返回到[汇总表](#)。

该寄存器用于启用或禁用智能中断功能。当该位设置为 0 (智能中断已启用) 时，任何输入引脚的状态变化都会生成中断，如果输入返回到其初始状态，则会清除中断。

当该位设置为 1 (智能中断已禁用) 时，任何输入引脚的状态变化都会生成中断，并且如果输入返回到其初始状态，则不会清除中断。读取中断状态标志寄存器将清除中断。

此功能仅在端口级别启用。

图 7-23. Smart_Interrupt_Register

7	6	5	4	3	2	1	0
RESERVED					SI.P2	SI.P1	SI.P0
R-0h					R/W-0h	R/W-0h	R/W-0h

表 7-15. Smart_Interrupt_Register 字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R	0h	请勿使用
2	SI.P2	R/W	0h	端口 2 的智能中断 0：启用 1：禁用
1	SI.P1	R/W	0h	端口 1 的智能中断 0：启用 1：禁用
0	SI.P0	R/W	0h	端口 0 的智能中断 0：启用 1：禁用

7.6.12 Interrupt_Mask_Register_y (偏移 = C0h + 公式) [复位 = FFh]

图 7-24 展示了 Interrupt_Mask_Register_y，表 7-16 中对此进行了介绍。

返回到[汇总表](#)。

中断屏蔽寄存器可以启用或禁用来自引脚的中断生成。如果设置了屏蔽寄存器位，并且引脚的输入状态发生变化，则不会将中断置为有效。如果屏蔽寄存器位被清除，并且引脚的输入状态发生变化，则会将中断置为有效。

偏移 = C0h + (y * 1h)；其中 y = 0h 至 2h

图 7-24. Interrupt_Mask_Register_y

7	6	5	4	3	2	1	0
IMy.7	IMy.6	IMy.5	IMy.4	IMy.3	IMy.2	IMy.1	IMy.0
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h

表 7-16. Interrupt_Mask_Register_y 字段说明

位	字段	类型	复位	说明
7	IMy.7	R/W	1h	Py.7 中断屏蔽位 0：引脚状态变化时未屏蔽中断 1：引脚状态变化时屏蔽中断
6	IMy.6	R/W	1h	Py.6 中断屏蔽位 0：引脚状态变化时未屏蔽中断 1：引脚状态变化时屏蔽中断
5	IMy.5	R/W	1h	Py.5 中断屏蔽位 0：引脚状态变化时未屏蔽中断 1：引脚状态变化时屏蔽中断
4	IMy.4	R/W	1h	Py.4 中断屏蔽位 0：引脚状态变化时未屏蔽中断 1：引脚状态变化时屏蔽中断
3	IMy.3	R/W	1h	Py.3 中断屏蔽位 0：引脚状态变化时未屏蔽中断 1：引脚状态变化时屏蔽中断
2	IMy.2	R/W	1h	Py.2 中断屏蔽位 0：引脚状态变化时未屏蔽中断 1：引脚状态变化时屏蔽中断
1	IMy.1	R/W	1h	Py.1 中断屏蔽位 0：引脚状态变化时未屏蔽中断 1：引脚状态变化时屏蔽中断
0	IMy.0	R/W	1h	Py.0 中断屏蔽位 0：引脚状态变化时未屏蔽中断 1：引脚状态变化时屏蔽中断

7.6.13 Interrupt_Glitch_Filter_Enable_Register_y (偏移 = D0h + 公式) [复位 = 00h]

图 7-25 展示了 Interrupt_Glitch_Filter_Enable_Register_y，表 7-17 中对此进行了介绍。

返回到[汇总表](#)。

中断干扰滤波器寄存器启用或禁用 I/O 上的干扰滤波器。如果该位设置为 1，则会启用相应引脚的干扰滤波器。如果该位设置为 0，则会禁用相应引脚的干扰滤波器。

偏移 = D0h + (y * 1h)；其中 y = 0h 至 2h

图 7-25. Interrupt_Glitch_Filter_Enable_Register_y

7	6	5	4	3	2	1	0
GFy.7	GFy.6	GFy.5	GFy.4	GFy.3	GFy.2	GFy.1	GFy.0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-17. Interrupt_Glitch_Filter_Enable_Register_y 字段说明

位	字段	类型	复位	说明
7	GFy.7	R/W	0h	Py.7 干扰滤波器使能位 0：禁用干扰滤波器 1：启用干扰滤波器
6	GFy.6	R/W	0h	Py.6 干扰滤波器使能位 0：禁用干扰滤波器 1：启用干扰滤波器
5	GFy.5	R/W	0h	Py.5 干扰滤波器使能位 0：禁用干扰滤波器 1：启用干扰滤波器
4	GFy.4	R/W	0h	Py.4 干扰滤波器使能位 0：禁用干扰滤波器 1：启用干扰滤波器
3	GFy.3	R/W	0h	Py.3 干扰滤波器使能位 0：禁用干扰滤波器 1：启用干扰滤波器
2	GFy.2	R/W	0h	Py.2 干扰滤波器使能位 0：禁用干扰滤波器 1：启用干扰滤波器
1	GFy.1	R/W	0h	Py.1 干扰滤波器使能位 0：禁用干扰滤波器 1：启用干扰滤波器
0	GFy.0	R/W	0h	Py.0 干扰滤波器使能位 0：禁用干扰滤波器 1：启用干扰滤波器

7.6.14 Interrupt_Flag_Status_Register_y (偏移 = E0h + 公式) [复位 = 00h]

图 7-26 展示了 Interrupt_Flag_Status_Register_y，表 7-18 中对此进行了介绍。

返回到[汇总表](#)。

中断状态寄存器是用于标识中断源的只读寄存器位。读取时，逻辑 1 表示相应的输入引脚是中断源。逻辑 0 表示输入引脚不是中断源。当中断屏蔽寄存器中的相应位设置为 1 (已屏蔽) 时，中断状态位将返回逻辑 0。

偏移 = E0h + (y * 1h) ; 其中 y = 0h 至 2h

图 7-26. Interrupt_Flag_Status_Register_y

7	6	5	4	3	2	1	0
ISy.7	ISy.6	ISy.5	ISy.4	ISy.3	ISy.2	ISy.1	ISy.0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 7-18. Interrupt_Flag_Status_Register_y 字段说明

位	字段	类型	复位	说明
7	ISy.7	R	0h	Py.7 中断状态位 0：引脚不是中断源 1：引脚是中断源
6	ISy.6	R	0h	Py.6 中断状态位 0：引脚不是中断源 1：引脚是中断源
5	ISy.5	R	0h	Py.5 中断状态位 0：引脚不是中断源 1：引脚是中断源
4	ISy.4	R	0h	Py.4 中断状态位 0：引脚不是中断源 1：引脚是中断源
3	ISy.3	R	0h	Py.3 中断状态位 0：引脚不是中断源 1：引脚是中断源
2	ISy.2	R	0h	Py.2 中断状态位 0：引脚不是中断源 1：引脚是中断源
1	ISy.1	R	0h	Py.1 中断状态位 0：引脚不是中断源 1：引脚是中断源
0	ISy.0	R	0h	Py.0 中断状态位 0：引脚不是中断源 1：引脚是中断源

7.6.15 Interrupt_Port_Status_Register (偏移 = F0h) [复位 = 00h]

图 7-27 展示了 Interrupt_Port_Status_Register，表 7-19 中对此进行了介绍。

返回到[汇总表](#)。

该寄存器用于标识中断源的 IO 端口。如果该位的值为 1，则表示中断源来自相应的 IO 端口。如果该值为 0，则表示 IO 端口中的输入引脚都没有生成中断。

图 7-27. Interrupt_Port_Status_Register

7	6	5	4	3	2	1	0
RESERVED					IPS.P2	IPS.P1	IPS.P0
R-0h					R/W-0h	R/W-0h	R/W-0h

表 7-19. Interrupt_Port_Status_Register 字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R	0h	请勿使用
2	IPS.P2	R/W	0h	端口 2 的中断状态 0：没有来自端口 2 的中断 1：来自端口 2 的中断
1	IPS.P1	R/W	0h	端口 1 的中断状态 0：没有来自端口 1 的中断 1：来自端口 1 的中断
0	IPS.P0	R/W	0h	端口 0 的中断状态 0：没有来自端口 0 的中断 1：来自端口 0 的中断

7.6.16 Fail-Safe_Enable_Register-1 (偏移 = 120h) [复位 = 00h]

图 7-28 展示了 Fail-Safe_Enable_Register-1，表 7-20 中对此进行了介绍。

返回到[汇总表](#)。

该寄存器将复位引脚重新配置为失效防护引脚。该寄存器在 POR 或故障情况下被清除，如故障状态寄存器中所述。

器件中有两个失效防护寄存器，必须写入这些寄存器才能使用内置冗余对 I/O 配置进行编程。如果两个寄存器中的值不匹配，将产生一个中断，并相应地设置故障状态。

图 7-28. Fail-Safe_Enable_Register-1

7	6	5	4	3	2	1	0
RESERVED							FS1EN
R-0h							R/W-0h

表 7-20. Fail-Safe_Enable_Register-1 字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R	0h	请勿使用
0	FS1EN	R/W	0h	失效防护使能位 0：禁用 1：启用

7.6.17 Fail-Safe_Enable_Register-2 (偏移 = 130h) [复位 = 00h]

图 7-29 展示了 Fail-Safe_Enable_Register-2，表 7-21 中对此进行了介绍。

返回到[汇总表](#)。

该寄存器将复位引脚重新配置为失效防护引脚。该寄存器在 POR 或故障情况下被清除，如故障状态寄存器中所述。

器件中有两个失效防护寄存器，必须写入这些寄存器才能使用内置冗余对 I/O 配置进行编程。如果两个寄存器中的值不匹配，将产生一个中断，并相应地设置故障状态。

图 7-29. Fail-Safe_Enable_Register-2

7	6	5	4	3	2	1	0
RESERVED							FS2EN
R-0h							R/W-0h

表 7-21. Fail-Safe_Enable_Register-2 字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R	0h	请勿使用
0	FS2EN	R/W	0h	失效防护使能位 0：禁用 1：启用

7.6.18 Fail-Safe_Direction_Configuration_Register-1_y (偏移 = 140h + 公式) [复位 = 00h]

图 7-30 展示了 Fail-Safe_Direction_Configuration_Register-1_y，表 7-22 中对其进行了介绍。

返回到[汇总表](#)。

当器件进入失效防护状态时，失效防护方向配置寄存器 1 会配置 I/O 引脚的方向。如果这些寄存器中的某个位设置为 0，则相应 IO 引脚在失效防护模期间启用为高阻抗输入。如果某个位设置为 1，则相应的 IO 引脚在失效防护模式下被启用为输出。

每个端口都有两个寄存器，必须写入它们才能对 I/O 配置进行编程以确保冗余。如果寄存器不匹配，将产生一个中断，并相应地设置故障状态。

偏移 = 140h + (y * 1h)；其中 y = 0h 至 2h

图 7-30. Fail-Safe_Direction_Configuration_Register-1_y

7	6	5	4	3	2	1	0
FS1DIRy.7	FS1DIRy.6	FS1DIRy.5	FS1DIRy.4	FS1DIRy.3	FS1DIRy.2	FS1DIRy.1	FS1DIRy.0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-22. Fail-Safe_Direction_Configuration_Register-1_y 字段说明

位	字段	类型	复位	说明
7	FS1DIRy.7	R/W	0h	Py.7 失效防护配置位 0：引脚配置为输入模式 1：引脚配置为输出模式
6	FS1DIRy.6	R/W	0h	Py.6 失效防护配置位 0：引脚配置为输入模式 1：引脚配置为输出模式
5	FS1DIRy.5	R/W	0h	Py.5 失效防护配置位 0：引脚配置为输入模式 1：引脚配置为输出模式
4	FS1DIRy.4	R/W	0h	Py.4 失效防护配置位 0：引脚配置为输入模式 1：引脚配置为输出模式
3	FS1DIRy.3	R/W	0h	Py.3 失效防护配置位 0：引脚配置为输入模式 1：引脚配置为输出模式
2	FS1DIRy.2	R/W	0h	Py.2 失效防护配置位 0：引脚配置为输入模式 1：引脚配置为输出模式
1	FS1DIRy.1	R/W	0h	Py.1 失效防护配置位 0：引脚配置为输入模式 1：引脚配置为输出模式
0	FS1DIRy.0	R/W	0h	Py.0 失效防护配置位 0：引脚配置为输入模式 1：引脚配置为输出模式

7.6.19 Fail-Safe_Direction_Configuration_Register-2_y (偏移 = 150h + 公式) [复位 = 00h]

图 7-31 展示了 Fail-Safe_Direction_Configuration_Register-2_y，表 7-23 中对其进行了介绍。

返回到汇总表。

当器件进入失效防护状态时，失效防护方向配置寄存器 2 会配置 I/O 引脚的方向。如果这些寄存器中的某个位设置为 0，则相应 IO 引脚在失效防护模期间启用为高阻抗输入。如果某个位设置为 1，则相应的 IO 引脚在失效防护模式下被启用为输出。

每个端口都有两个寄存器，必须写入它们才能对 I/O 配置进行编程以确保冗余。如果寄存器不匹配，将产生一个中断，并相应地设置故障状态。

偏移 = 150h + (y * 1h)；其中 y = 0h 至 2h

图 7-31. Fail-Safe_Direction_Configuration_Register-2_y

7	6	5	4	3	2	1	0
FS2DIRy.7	FS2DIRy.6	FS2DIRy.5	FS2DIRy.4	FS2DIRy.3	FS2DIRy.2	FS2DIRy.1	FS2DIRy.0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-23. Fail-Safe_Direction_Configuration_Register-2_y 字段说明

位	字段	类型	复位	说明
7	FS2DIRy.7	R/W	0h	Py.7 失效防护配置位 0：引脚配置为输入模式 1：引脚配置为输出模式
6	FS2DIRy.6	R/W	0h	Py.6 失效防护配置位 0：引脚配置为输入模式 1：引脚配置为输出模式
5	FS2DIRy.5	R/W	0h	Py.5 失效防护配置位 0：引脚配置为输入模式 1：引脚配置为输出模式
4	FS2DIRy.4	R/W	0h	Py.4 失效防护配置位 0：引脚配置为输入模式 1：引脚配置为输出模式
3	FS2DIRy.3	R/W	0h	Py.3 失效防护配置位 0：引脚配置为输入模式 1：引脚配置为输出模式
2	FS2DIRy.2	R/W	0h	Py.2 失效防护配置位 0：引脚配置为输入模式 1：引脚配置为输出模式
1	FS2DIRy.1	R/W	0h	Py.1 失效防护配置位 0：引脚配置为输入模式 1：引脚配置为输出模式
0	FS2DIRy.0	R/W	0h	Py.0 失效防护配置位 0：引脚配置为输入模式 1：引脚配置为输出模式

7.6.20 Fail-Safe_Output_Register-1_y (偏移 = 160h + 公式) [复位 = 00h]

图 7-32 展示了 Fail-Safe_Output_Register-1_y，表 7-24 中对其进行了介绍。

返回到[汇总表](#)。

失效防护输出寄存器 1 用于配置由失效防护方向配置寄存器定义为输出的引脚的输出电平。寄存器中的位值对定义为输入的引脚没有影响。

每个端口有两个寄存器，必须使用相同的输出值写入这些寄存器以确保冗余。如果寄存器不匹配，将产生一个中断，并相应地设置故障状态。

偏移 = 160h + (y * 1h)；其中 y = 0h 至 2h

图 7-32. Fail-Safe_Output_Register-1_y

7	6	5	4	3	2	1	0
FS1OPy.7	FS1OPy.6	FS1OPy.5	FS1OPy.4	FS1OPy.3	FS1OPy.2	FS1OPy.1	FS1OPy.0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-24. Fail-Safe_Output_Register-1_y 字段说明

位	字段	类型	复位	说明
7	FS1OPy.7	R/W	0h	Py.7 失效防护输出值
6	FS1OPy.6	R/W	0h	Py.6 失效防护输出值
5	FS1OPy.5	R/W	0h	Py.5 失效防护输出值
4	FS1OPy.4	R/W	0h	Py.4 失效防护输出值
3	FS1OPy.3	R/W	0h	Py.3 失效防护输出值
2	FS1OPy.2	R/W	0h	Py.2 失效防护输出值
1	FS1OPy.1	R/W	0h	Py.1 失效防护输出值
0	FS1OPy.0	R/W	0h	Py.0 失效防护输出值

7.6.21 Fail-Safe_Output_Register-2_y (偏移 = 170h + 公式) [复位 = 00h]

图 7-33 展示了 Fail-Safe_Output_Register-2_y，表 7-25 中对其进行了介绍。

返回到[汇总表](#)。

失效防护输出寄存器 2 用于配置由失效防护方向配置寄存器定义为输出的引脚的输出电平。寄存器中的位值对定义为输入的引脚没有影响。

每个端口有两个寄存器，必须使用相同的输出值写入这些寄存器以确保冗余。如果寄存器不匹配，将产生一个中断，并相应地设置故障状态。

偏移 = 170h + (y * 1h)；其中 y = 0h 至 2h

图 7-33. Fail-Safe_Output_Register-2_y

7	6	5	4	3	2	1	0
FS2OPy.7	FS2OPy.6	FS2OPy.5	FS2OPy.4	FS2OPy.3	FS2OPy.2	FS2OPy.1	FS2OPy.0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-25. Fail-Safe_Output_Register-2_y 字段说明

位	字段	类型	复位	说明
7	FS2OPy.7	R/W	0h	Py.7 失效防护输出值
6	FS2OPy.6	R/W	0h	Py.6 失效防护输出值
5	FS2OPy.5	R/W	0h	Py.5 失效防护输出值
4	FS2OPy.4	R/W	0h	Py.4 失效防护输出值
3	FS2OPy.3	R/W	0h	Py.3 失效防护输出值
2	FS2OPy.2	R/W	0h	Py.2 失效防护输出值
1	FS2OPy.1	R/W	0h	Py.1 失效防护输出值
0	FS2OPy.0	R/W	0h	Py.0 失效防护输出值

7.6.22 Fail-Safe_Redundancy_Check_Register (偏移= 180h) [复位= 00h]

图 7-34 展示了 Fail-Safe_Redundancy_Check_Register , 表 7-26 中对此进行了介绍。

返回到[汇总表](#)。

失效防护冗余校验寄存器用于启用对失效防护冗余寄存器 (失效防护使能寄存器、失效防护方向配置寄存器和失效防护输出寄存器) 的检查。

图 7-34. Fail-Safe_Redundancy_Check_Register

7	6	5	4	3	2	1	0
RESERVED							FSCHECKEN
R-0h							R/W-0h

表 7-26. Fail-Safe_Redundancy_Check_Register 字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R	0h	请勿使用
0	FSCHECKEN	R/W	0h	失效防护检查使能位 0 : 禁用 1 : 启用

7.6.23 Fault_Status_Register (偏移 = 190h) [复位 = 01h]

图 7-35 展示了 Fault_Status_Register，表 7-27 中对此进行了介绍。

返回到[汇总表](#)。

故障状态寄存器在故障情况下设置。位 0 设置为 1 以进行 POR 恢复。当冗余寄存器不匹配时设置位 1。当器件处于失效防护模式时，设置位 2。即使故障条件消失，也不会清除这些标志。只能通过读取故障状态寄存器来清除它们。

图 7-35. Fault_Status_Register

7	6	5	4	3	2	1	0
RESERVED					FSMODEACTIV E	REGMISMATC H	POR
R-0h					R-0h	R-0h	R-1h

表 7-27. Fault_Status_Register Field 字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R	0h	请勿使用
2	FSMODEACTIVE	R	0h	失效防护功能处于激活状态
1	REGMISMATCH	R	0h	由于寄存器不匹配而清除失效防护功能
0	POR	R	1h	POR 恢复状态

7.6.24 Software_Reset_Register (偏移 = 1A0h) [复位 = 00h]

图 7-36 展示了 Software_Reset_Register，表 7-28 中对此进行了介绍。

返回到[汇总表](#)。

该寄存器用于触发器件的软件复位。当进入复位状态时，该寄存器自动清零。

图 7-36. Software_Reset_Register

7	6	5	4	3	2	1	0
RESERVED						Register_Reset	Device_Reset
R-0h						R/W1S-0h	R/W1S-0h

表 7-28. Software_Reset_Register 字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R	0h	请勿使用
1	Register_Reset	R/W1S	0h	设置该位会触发对所有寄存器进行复位
0	Device_Reset	R/W1S	0h	设置该位会触发整个器件的复位

8 应用和实施

备注

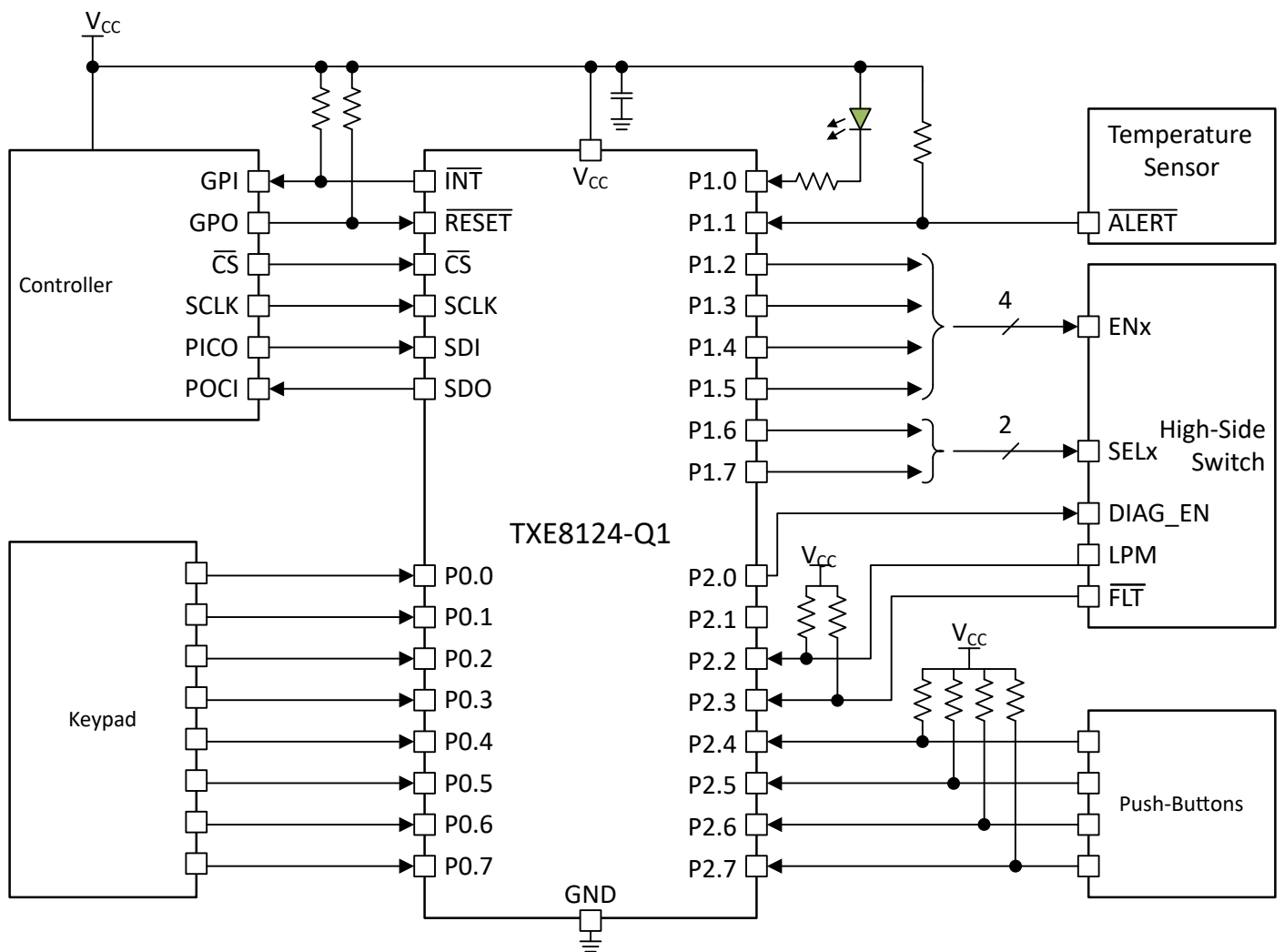
以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

TXE8124-Q1 的应用是将该器件作为目标器件连接至 SPI 控制器（处理器），且 SPI 总线上可包含任意数量的其他目标器件。TXE8124-Q1 位于远离控制器的远程位置，靠近控制器需要监视或控制的 GPIO。

8.2 典型应用

图 8-1 展示了可以使用 TXE8124-Q1 器件的应用。



备注

P0.0 - P0.7、P1.0、P1.1、P2.2 - P2.7 配置为输入。

备注

P1.2 - P1.7、P2.0、P2.1 配置为输出。

备注

可能浮动的输入 (在 P 端口上) 需要电阻器。如果输入的驱动器不会让输入浮动, 则不需要电阻器。输出 (在 P 端口中) 不需要上拉电阻器。

图 8-1. 典型应用原理图

下面显示了可以用于访问器件的示例应用程序代码示例。

```
uint32_t SPIExchangeData(uint32_t transmitData)
{
    uint32_t receiveData=0x0;
    for(int i = 23; i >= 0; i--)
    {
        // Shift out MSB first
        SPISendBit((transmitData >> i) & 0x01);
        receiveData |= SPIGetBit() << i;
    }
    return(receiveData);
}

uint32_t SPITransmitReceive(uint32_t RnW, uint32_t regPointer, uint32_t multiPort, uint32_t transmitData)
{
    uint32_t regWrData=0x0;
    uint32_t regRdData=0x0;

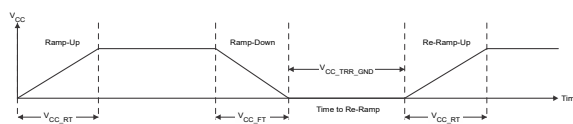
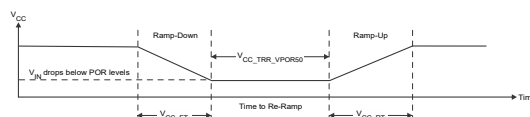
    regWrData = RnW << 23 | \
                regPointer << 12 | \
                multiPort << 8 | \
                transmitData << 0;

    regRdData = SPIExchangeData(regWrData);
    return(regRdData);
}
```

8.3 电源相关建议**8.3.1 上电复位要求**

如果发生干扰或数据损坏, 可以使用上电复位功能将 TXE8124-Q1 复位为默认状态。上电复位要求器件经过下电上电后才能完全复位。当器件在应用中首次上电时, 也会发生此复位。

图 8-2 和 图 8-3 显示了两种类型的上电复位。

**图 8-2. 将 V_{CC} 降至 0V, 然后上升****图 8-3. 将 V_{CC} 降至低于 POR 阈值, 然后重新斜升**

电源中的干扰也会影响此器件的上电复位性能。干扰宽度 (t_{VCC_GW}) 和高度 (V_{CC_GH}) 相互依赖。旁路电容、源阻抗和器件阻抗是影响上电复位性能的因素。图 8-4 提供了有关如何测量这些规格的更多信息。

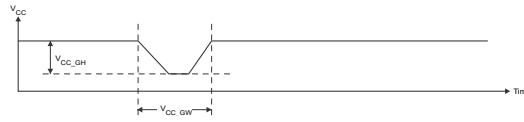


图 8-4. 干扰宽度和干扰高度

V_{POR} 对上电复位至关重要。达到 V_{POR} 这一电压电平时，系统会释放复位条件，并将所有寄存器和 SPI 状态机初始化为默认状态。 V_{POR} 的值可能不同，具体取决于 V_{CC} 是下降至 0 还是从 0 开始上升。图 8-5 提供了有关此规格的更多详细信息。

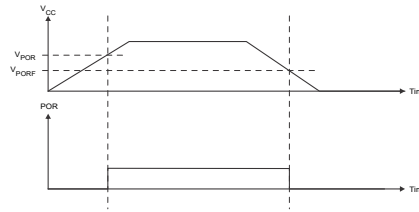


图 8-5. V_{POR}

8.4 布局

8.4.1 布局指南

对于 TXE8124-Q1 的印刷电路板 (PCB) 布局，必须遵循常见的 PCB 布局实践，但与高速数据传输相关的其他问题（例如匹配阻抗和差分对）对 SPI 信号速度而言不是问题。

在所有 PCB 布局中，最佳实践是：避免信号布线呈直角，在离开集成电路 (IC) 附近时让信号布线呈扇形彼此散开，并使用较粗的布线来承载通常会经过电源和接地布线的更大的电流。旁路电容器和去耦电容器通常用于控制电源引脚上的电压，使用较大的电容器可在发生短暂电源干扰时提供额外电能，使用较小的电容器则能滤除高频纹波。这些电容器必须尽可能靠近 TXE8124-Q1 放置。布局示例中显示了这些最佳实践。

对于布局示例中提供的布局示例，可以将顶层用于信号布线，将底层用作电源和接地 (GND) 的分割平面，从而制造只有 2 层的 PCB。但是，对于信号布线密度更大的电路板，最好使用 4 层电路板。在 4 层 PCB 上，通常在顶层和底层上进行信号布线，将一个内部层专门用作接地平面，并将另一个内部层专门用作电源平面。在使用平面或分割平面作为电源和接地平面的电路板布局布线中，通孔直接放置在需要连接到电源或 GND 的表面贴装元件焊盘旁边，并且通孔以电气方式连接到内部层或电路板的另一侧。如果需要将信号走线排布到电路板的另一侧，也要使用通孔，但布局示例未演示该技术。

8.4.2 布局示例

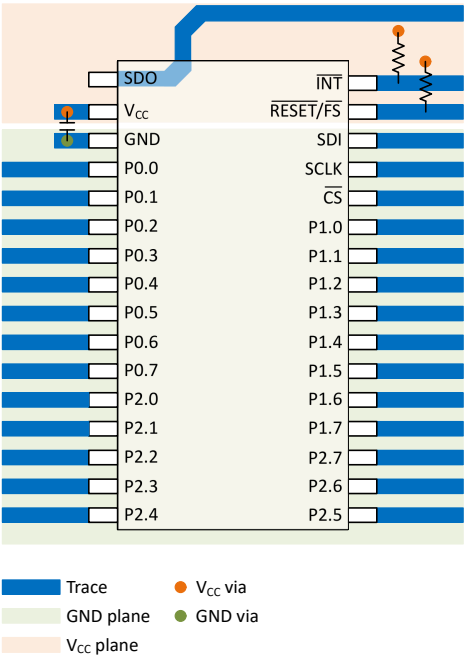


图 8-6. TXE8124-Q1 布局

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (September 2025) to Revision B (July 2026)	Page
• 删除了 TXE8116 并发布在单独的数据表中.....	1
• 更新了 TXE8116-Q1 数据表中的 VQFN 封装引脚排列.....	3
• 在 ROC 表中将 IOL 最大值更新为 10mA.....	5
• 删除了 ROC 表中冗余的结温.....	5
• 更新了 1.65V 时的 VOH 和 VOL 限值.....	7
• 更正了总线保持持续电流的限值.....	7
• 更新了总线保持持续电流的测试条件.....	7
• 修正了 IBHLO 和 IBHLO 的说明.....	7
• 阐明了清除 INT 行为.....	18
• 添加了总线保持功能说明.....	20
• 更新了功能寄存器映射说明.....	22
• 添加了 SPI SDO 数据帧格式.....	23
• 添加了单次和突发 SPI 写入的事务图.....	24
• 添加了单次和突发 SPI 读取的事务图.....	25
• 添加了用于 SPI 写入和读取的伪代码.....	55

Changes from Revision * (May 2025) to Revision A (September 2025)	Page
• 通篇添加了 VQFN 封装信息.....	1
• 在 ROC 表中将 VCC 的 IOL 最大值更新为 $\geq 2.97V$	5

日期	修订版本	注释
2025 年 5 月	*	初始发行版

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTXE8124QDGSRQ1	Active	Preproduction	VSSOP (DGS) 32	250 LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTXE8124QWRHBRQ1	Active	Preproduction	VQFN (RHB) 32	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
TXE8124QDGSRQ1	Active	Production	VSSOP (DGS) 32	5000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TE8124Q

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TXE8124-Q1 :

- Catalog : [TXE8124](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

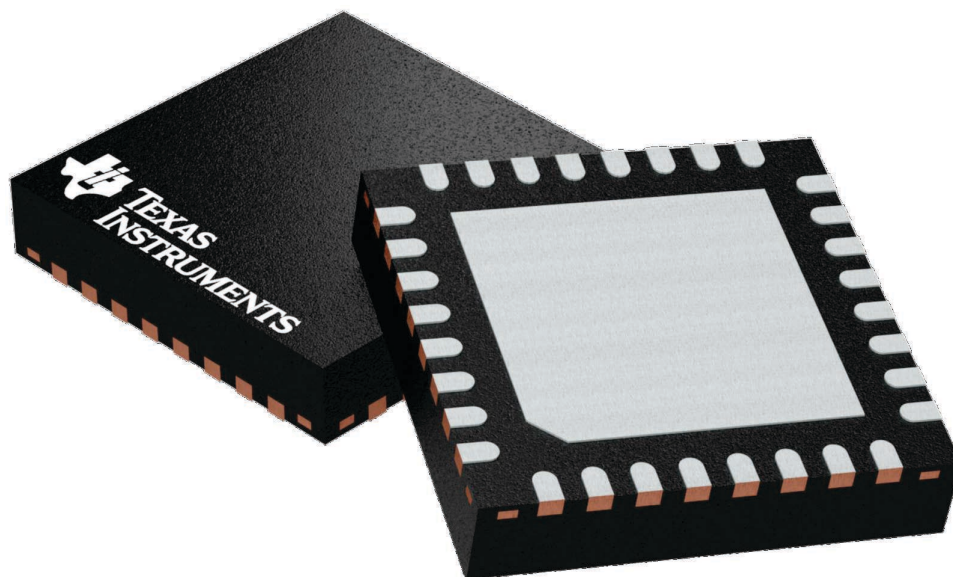
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

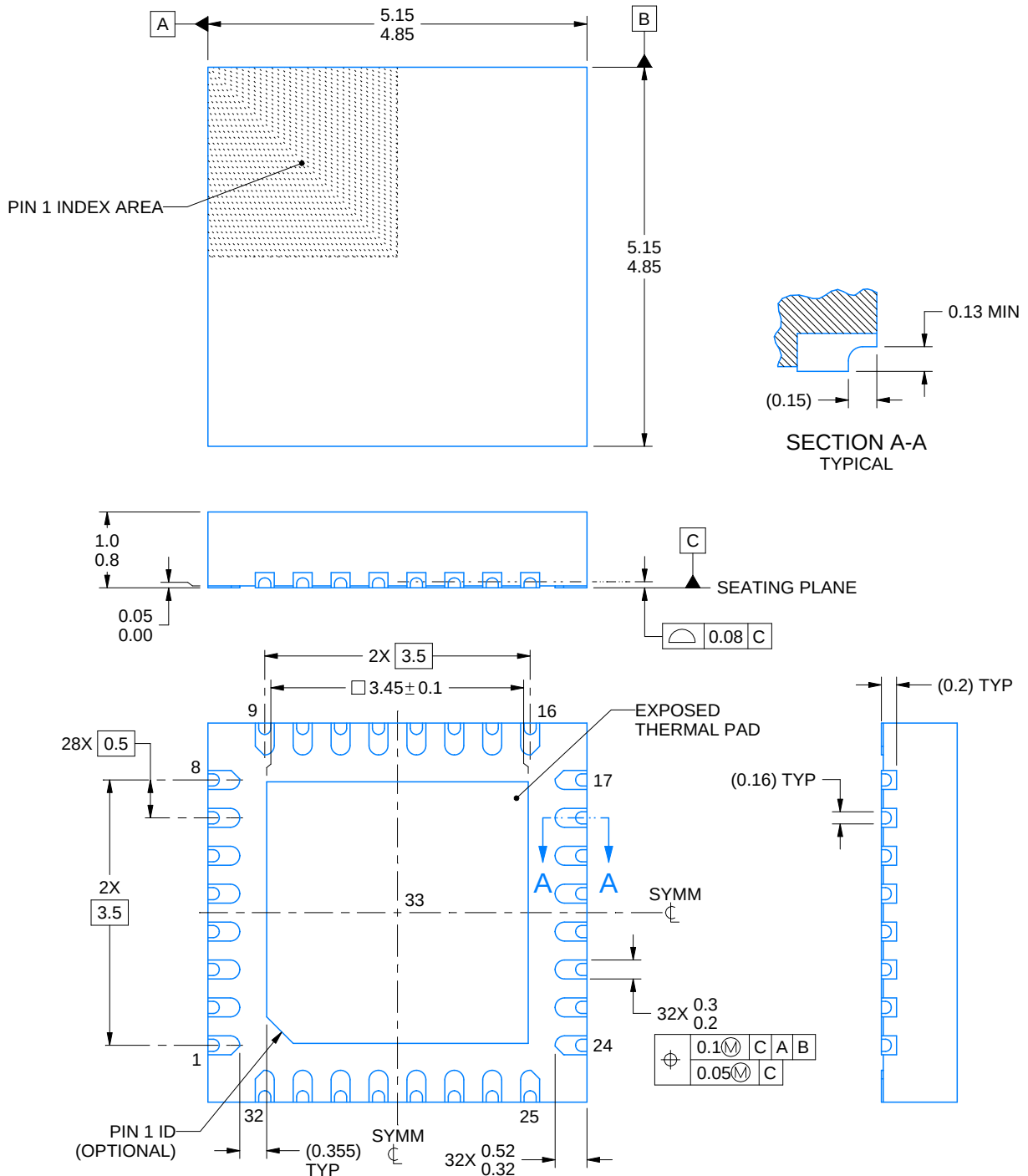
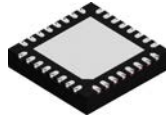
5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224745/A



4224744/A 01/2019

NOTES:

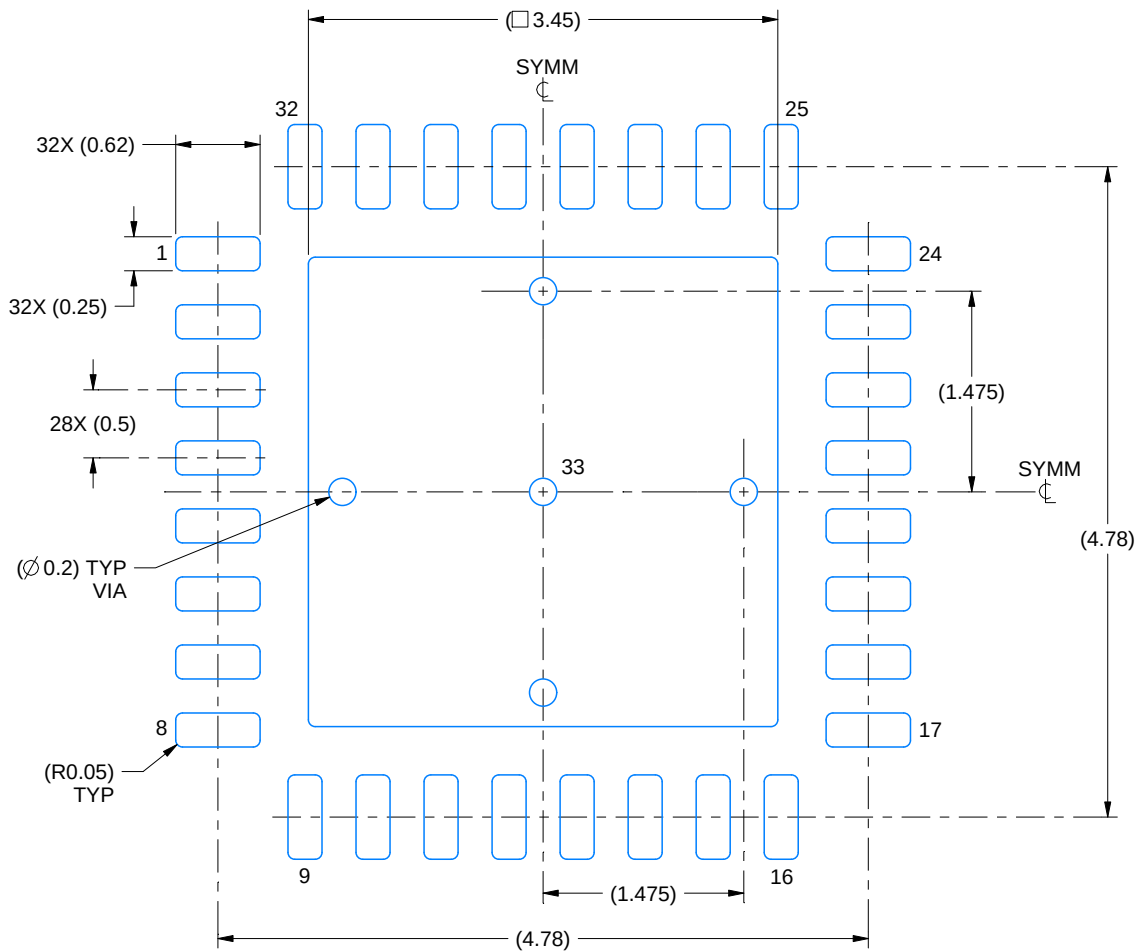
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

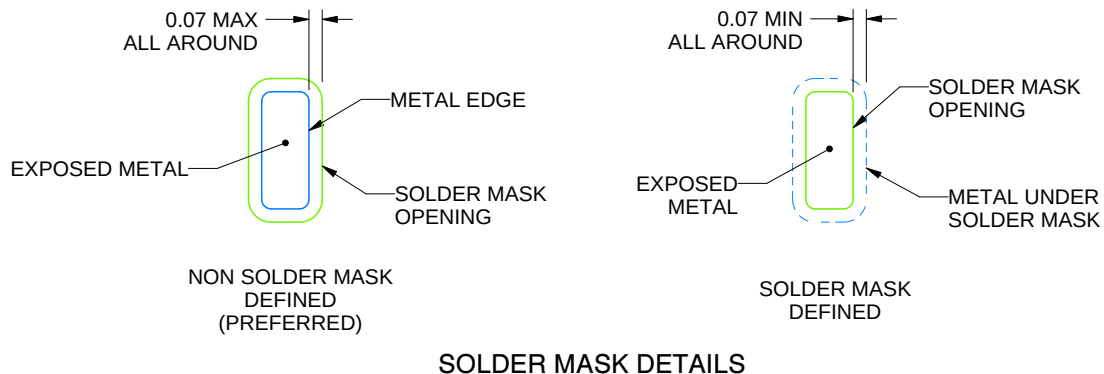
RHB0032T

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4224744/A 01/2019

NOTES: (continued)

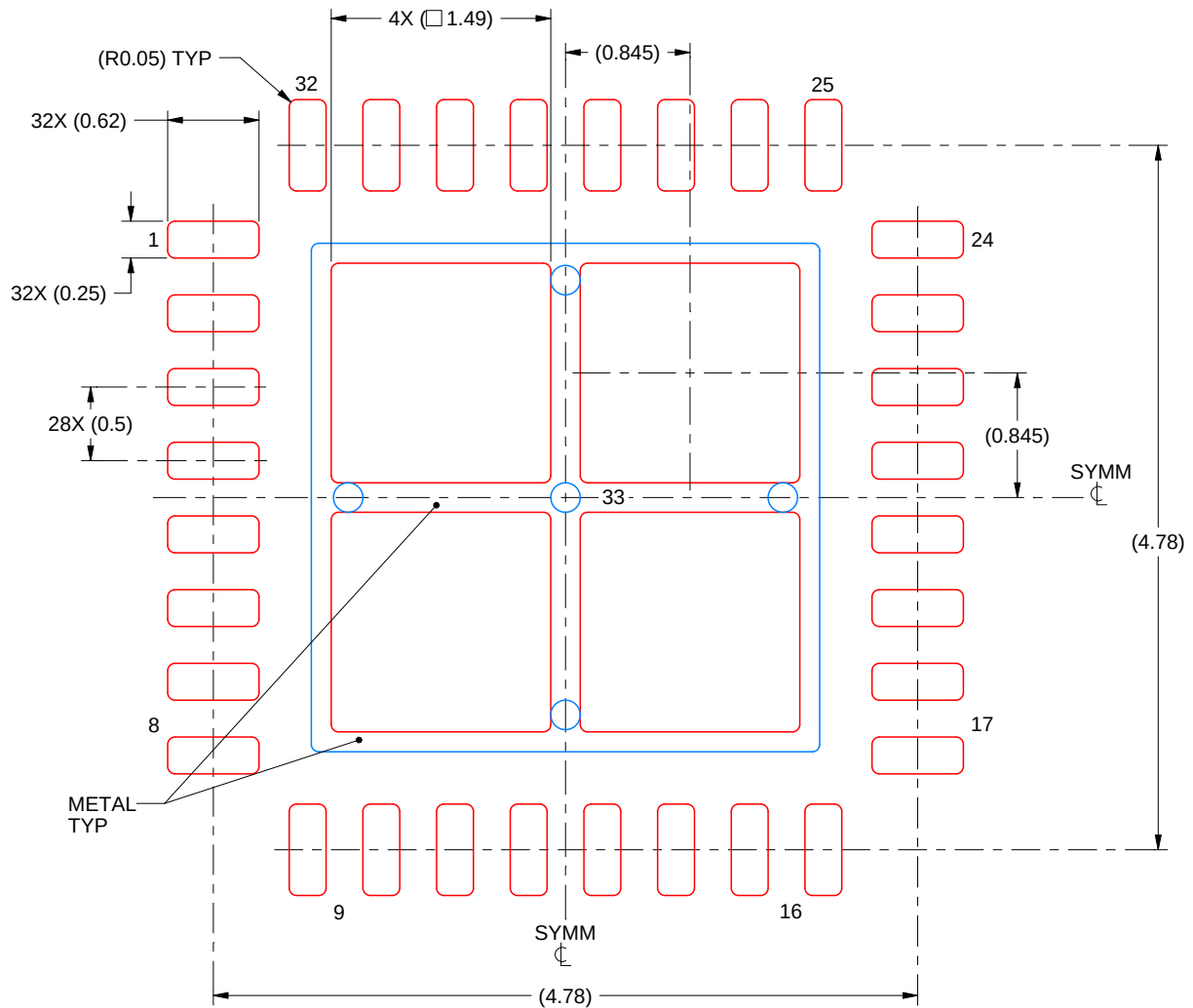
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHB0032T

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



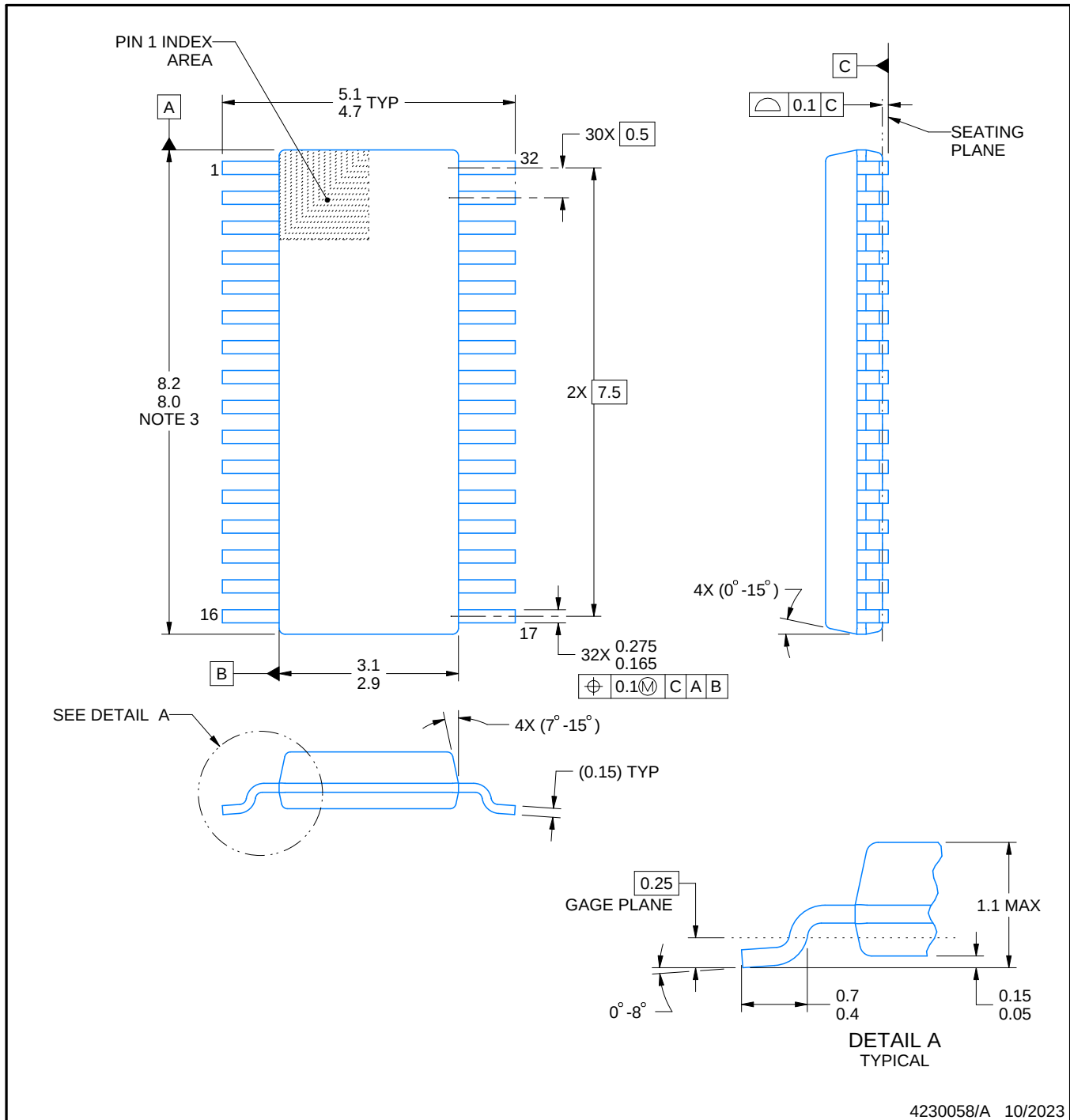
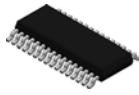
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4224744/A 01/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



4230058/A 10/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

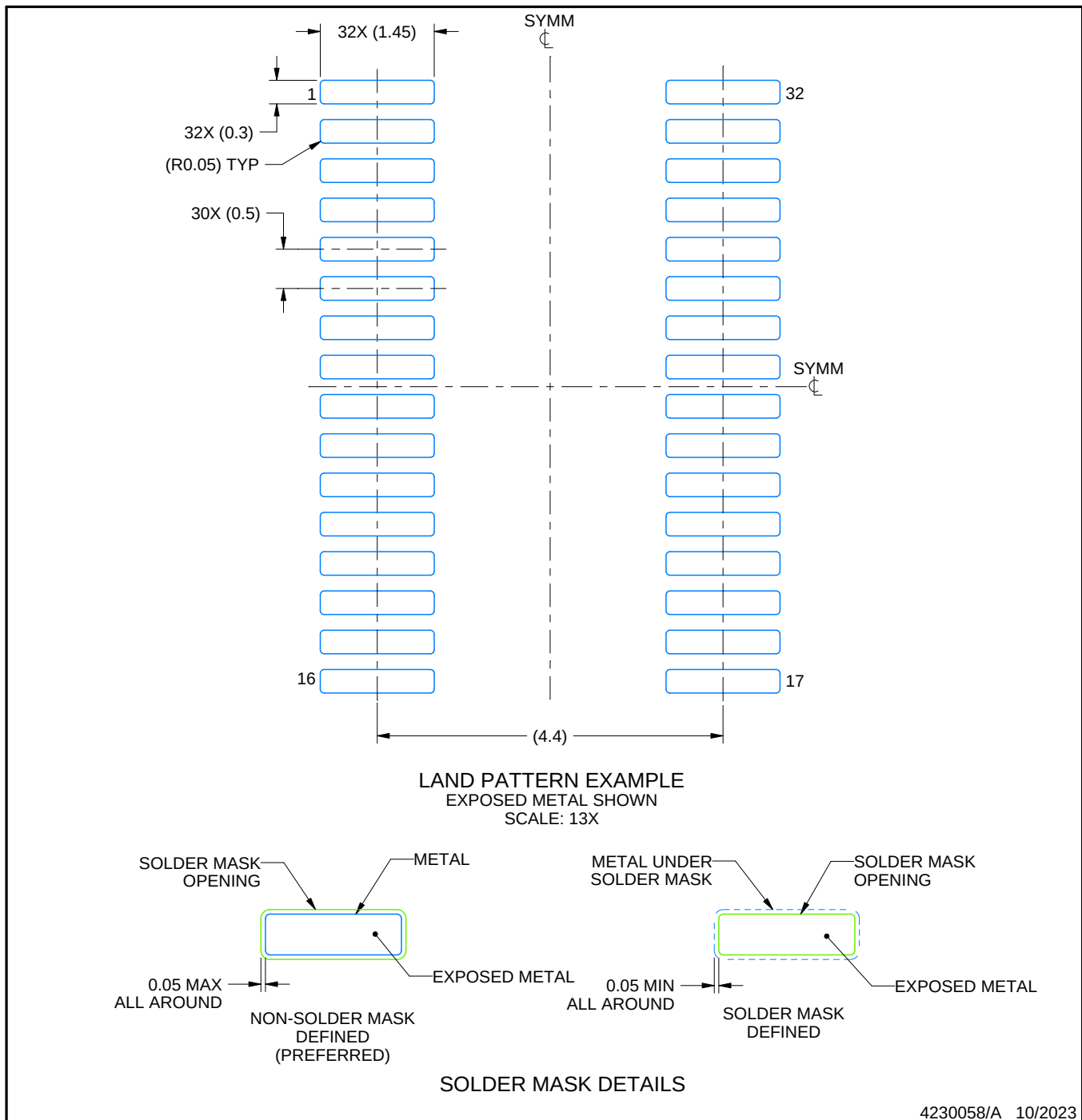
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DGS0032A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4230058/A 10/2023

NOTES: (continued)

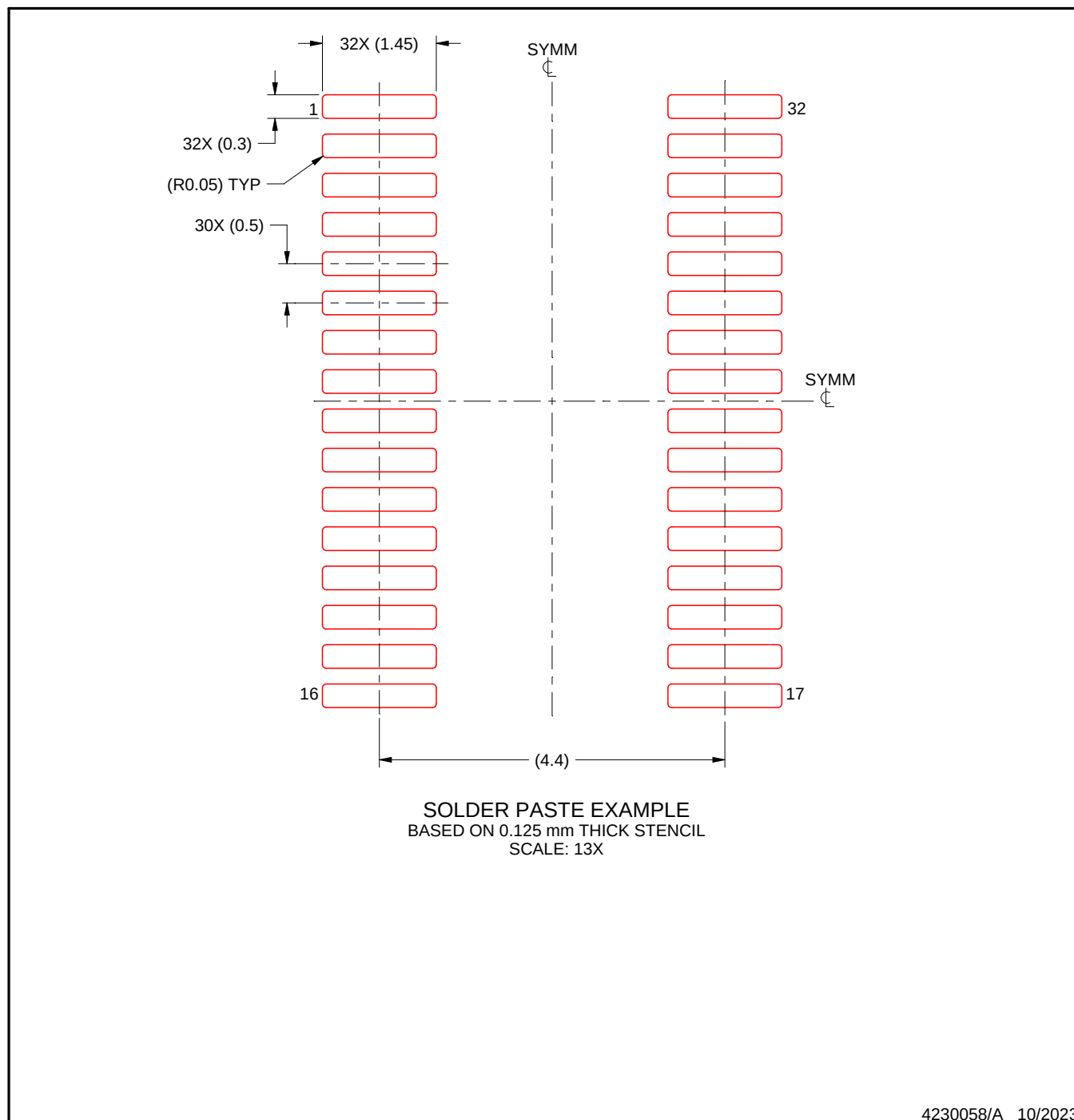
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DGS0032A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4230058/A 10/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月