

TUSB1044A USB TYPE-C® 10Gbps 多协议双向线性转接驱动器

1 特性

- 支持高达 10Gbps 数据速率的协议无关正反两用式 4 通道线性转接驱动器
 - 以 USB 3.2 第 2 代 x2 和 DisplayPort™ 2.1 作为交替模式的 USB Type-C®
- 支持集成有 USB 3.2 和 DisplayPort™ 多路复用器的处理器，适用于 Type-C 应用
- 支持 Type-C 线缆内部信号调节
- 适用于 SBU 信号的交叉点多路复用器
- 频率为 4.05GHz 时，支持高达 11dB 的线性均衡功能
- 用于通道方向和均衡的 GPIO 和 I²C 控制
- 通过监控 USB 功耗状态和嗅探 DP 链路训练实现高级电源管理
- 可通过 GPIO 或 I²C 进行配置
- 支持热插拔
- 单 3.3V 电源
- 工业温度：- 40°C 至 85°C (TUSB1044AI)
- 商用温度：0°C 至 70°C (TUSB1044A)
- 6mm × 4mm、0.4mm 间距、40 引脚 QFN 封装

2 应用

- 平板电脑
- 笔记本电脑
- 台式机
- 扩展坞

3 说明

TUSB1044A 是一款支持高达 10Gbps 数据速率的 USB Type-C® 交替模式转接驱动器开关。这款线性转接驱动器不依赖协议，能够支持 USB Type-C® 交替模式接口（包括 DisplayPort™）。

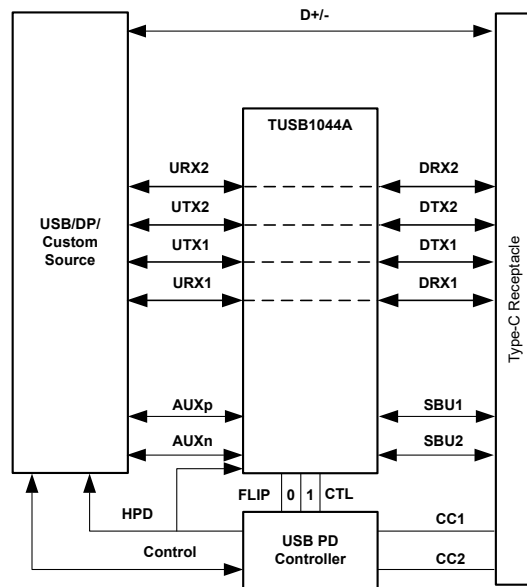
TUSB1044A 提供有多个接收线性均衡级别，用于补偿由于线缆或电路板走线损耗产生的码间串扰 (ISI)。该器件由 3.3V 单电源供电运行，支持商业级温度范围和工业级温度范围。

TUSB1044A 的全部四个通道均为正反两用式，这种设计使这款器件成为可用于诸多应用的多用途信号调节器。

封装信息 (1)

器件型号	温度 (°C)	封装	封装尺寸(2)
TUSB1044A	T _A = 0°C 至 70°C	RNQ (WQFN , 40)	6mm × 4mm
TUSB1044AI	T _A = -40°C 至 85°C	RNQ (WQFN , 40)	6mm × 4mm

- 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
- 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图



内容

1 特性	1	7.5 编程.....	37
2 应用	1	8 寄存器映射	39
3 说明	1	8.1 TUSB1044A 寄存器.....	39
4 引脚配置和功能	3	9 应用和实施	45
5 规格	6	9.1 应用信息.....	45
5.1 绝对最大额定值.....	6	9.2 典型应用.....	45
5.2 ESD 等级.....	6	9.3 系统示例.....	49
5.3 建议运行条件.....	6	9.4 电源相关建议.....	56
5.4 热性能信息.....	6	9.5 布局.....	56
5.5 电气特性.....	7	10 器件和文档支持	58
5.6 时序要求.....	10	10.1 文档支持.....	58
5.7 开关特性.....	10	10.2 接收文档更新通知.....	58
5.8 典型特性.....	11	10.3 支持资源.....	58
6 参数测量信息	15	10.4 商标.....	58
7 详细说明	19	10.5 静电放电警告.....	58
7.1 概述.....	19	10.6 术语表.....	58
7.2 功能方框图.....	20	11 修订历史记录	58
7.3 特性说明.....	21	12 机械、封装和可订购信息	58
7.4 器件功能模式.....	23		

4 引脚配置和功能

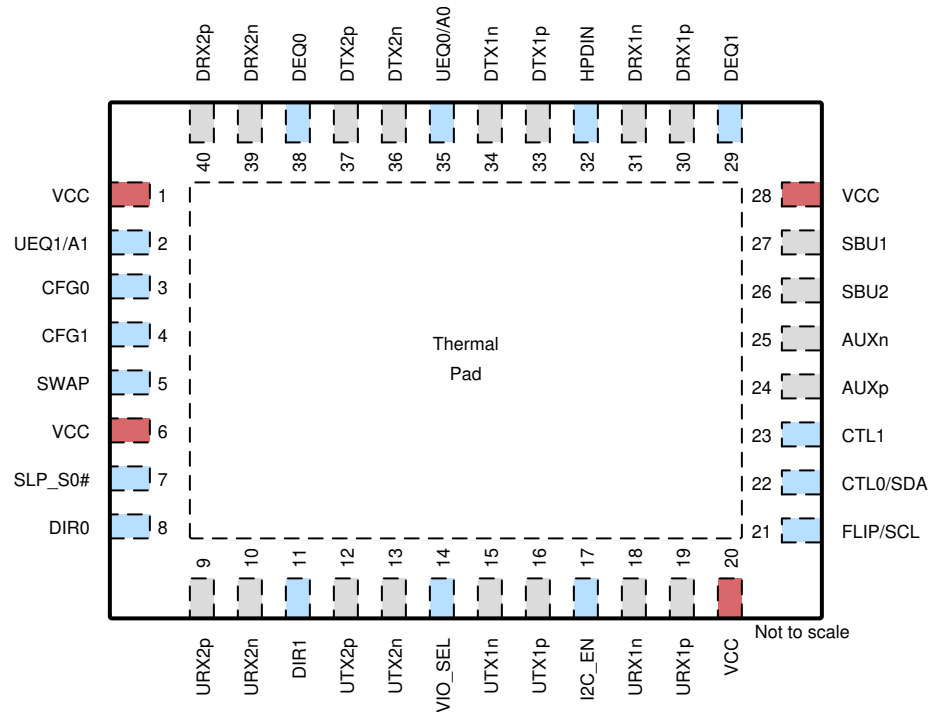


图 4-1. RNQ 封装 40 引脚 (WQFN) 顶视图

引脚功能

引脚		类型	说明
编号	名称		
1	VCC	P	3.3V 电源
2	UEQ1/A1	四电平输入	此引脚与 UEQ0 一起为上行 URX1、URX2、UTX1、UTX2 接收器设置高频均衡器增益。处于 I ² C 模式时，该引脚还设置 TUSB1044A I ² C 地址。另请参阅表 7-10。
3	CFG0	四电平输入	CFG0。此引脚与 CFG1 一起为所有下行和上行通道选择 VOD 线性范围和直流增益。有关 VOD 线性范围和直流增益选项，请参阅表 7-9。
4	CFG1	四电平输入	CFG1。此引脚与 CFG0 一起为所有下行和上行通道选择 VOD 线性范围和直流增益。有关 VOD 线性范围和直流增益选项，请参阅表 7-9。
5	SWAP	两电平输入 (PD)	该引脚交换下行和上行数据路径输入的所有通道方向和 EQ 设置。 0 - 不交换通道方向和 EQ 设置 (默认) 1 - 交换通道方向和 EQ 设置。
6	VCC	P	3.3V 电源
7	SLP_S0#	两电平输入 (PD)	该引脚在置为有效低电平时会禁用接收器检测功能。当此引脚为低电平且 TUSB1044A 处于 U2/U3 状态时，TUSB1044A 禁用 LOS 和 LFPS 检测电路，且两个通道的 RX 终止功能保持开启状态。如果该引脚为低电平且 TUSB1044A 处于断开状态，则禁用 RX 检测功能，且两个通道的 RX 终止功能处于禁用状态。 0 - RX 检测功能禁用 1 - RX 检测功能启用 (默认)
8	DIR0	两电平输入 (PD)	此引脚与 DIR1 一同设置数据路径信号方向格式。请参阅表 7-5，了解信号方向格式。 0 - 源侧 (DFP) 交替模式格式 1 - 接收侧 (UFP) 交替模式格式
9	URX2p	差分输入/输出	上行 RX2 端口的差分正输入/输出。
10	URX2n	差分输入/输出	上行 RX2 端口的差分负输入/输出。
11	DIR1	双电平输入/输出 (PD)	此引脚与 DIR0 一同设置数据路径信号方向格式。请参阅表 7-5，了解信号方向格式。 0 - DisplayPort 交替模式格式 1 - 自定义交替模式格式
12	UTX2p	差分输入/输出	上行 TX2 端口的差分正输入/输出。
13	UTX2n	差分输入/输出	上行 TX2 端口的差分负输入/输出。

引脚功能（续）

引脚		类型	说明
编号	名称		
14	VIO_SEL	4 电平输入/输出	该引脚为 2 电平 GPIO 配置引脚和 I ² C 接口选择输入/输出电压电平： 0 = 3.3V 配置输入/输出电压，3.3V I ² C 接口（默认） R = 3.3V 配置输入/输出电压，1.8V I ² C 接口 F = 1.8V 配置输入/输出电压，3.3V I ² C 接口 1 = 1.8V 配置输入/输出电压，1.8V I ² C 接口。
15	UTX1n	差分输入/输出	上行 TX1 端口的差分负输入/输出。
16	UTX1p	差分输入/输出	上行 TX1 端口的差分正输入/输出。
17	I ² C_EN	四电平输入	I ² C 编程模式或引脚搭接编程选择。 0 = GPIO 模式，AUX 监测已启用（I ² C 已禁用） R = TI 测试模式（I ² C 已启用） F = GPIO 模式，AUX 监测已禁用（I ² C 已禁用） 1 = I ² C 已启用。
18	URX1n	差分输入/输出	上行 RX1 端口的差分负输入/输出。
19	URX1p	差分输入/输出	上行 RX1 端口的差分正输入/输出。
20	VCC	P	3.3V 电源
21	FLIP/SCL	2 电平 I (PD) (故障安全)	在 GPIO 模式下，此为翻转控制引脚。否则，此引脚为 I ² C 时钟。
22	CTL0/SDA	2 电平 I (PD) (故障安全)	在 GPIO 模式下，此为 USB3.2 开关控制引脚。否则，此引脚为 I ² C 数据。
23	CTL1	两电平输入 (PD)	DP 交替模式开关控制引脚。处于 GPIO 模式时，此引脚可以启用或禁用 DisplayPort 功能。否则，通过 I ² C 寄存器启用和禁用 DisplayPort 功能。 L = DisplayPort 已禁用。 H = DisplayPort 已启用。 处于 I ² C 模式时，该引脚不会由 TUSB1044A 使用。
24	AUXp	I/O、CMOS	AUXp。DisplayPort AUX 正输入/输出通过交流耦合电容器连接到 DisplayPort 源侧或接收侧。除交流耦合电容器外，如果在 DisplayPort 源侧使用 TUSB1044A，该引脚还需要一个连接到交流耦合电容器和 AUXp 引脚之间 GND 的 100k Ω 电阻器，如果在 DisplayPort 接收侧使用 TUSB1044A，则该引脚还需要一个连接到交流耦合电容器和 AUXp 引脚之间的 DP_PWR (3.3V) 的 1M Ω 电阻器。此引脚与 AUXn 一起由 TUSB1044A 用于 AUX 监测并根据 Type-C 插头的方向路由到 SBU1/2。
25	AUXn	I/O、CMOS	AUXn。DisplayPort AUX 负输入/输出通过交流耦合电容器连接到 DisplayPort 源侧或接收侧。除交流耦合电容器外，如果在 DisplayPort 源侧使用 TUSB1044A，该引脚还需要一个连接到交流耦合电容器和 AUXn 引脚之间 DP_PWR (3.3V) 的 100k Ω 电阻器，如果在 DisplayPort 接收侧使用 TUSB1044A，则该引脚还需要一个连接到交流耦合电容器和 AUXn 引脚之间 GND 的 1M Ω 电阻器。此引脚与 AUXp 一起由 TUSB1044A 用于 AUX 监测并根据 Type-C 插头的方向路由到 SBU1/2。
26	SBU2	I/O、CMOS	SBU2。在 DisplayPort 源侧使用 TUSB1044A 时，直流将此引脚耦合到 Type-C 插座的 SBU2 引脚。在 DisplayPort 接收侧使用 TUSB1044A 时，直流将此引脚耦合到 Type-C 插座的 SBU1 引脚。还建议把一个 2M Ω 电阻器接地。
27	SBU1	I/O、CMOS	SBU1。在 DisplayPort 源侧使用 TUSB1044A 时，直流将此引脚耦合到 Type-C 插座的 SBU1 引脚。在 DisplayPort 接收侧使用 TUSB1044A 时，直流将此引脚耦合到 Type-C 插座的 SBU2 引脚。还建议把一个 2M Ω 电阻器接地。
28	VCC	P	3.3V 电源
29	DEQ1	四电平输入	此引脚与 DEQ0 一起为下行 DRX1、DRX2、DTX1、DTX2 接收器设置高频均衡器增益。
30	DRX1p	差分输入/输出	下行 RX1 端口的差分正输入/输出。
31	DRX1n	差分输入/输出	下行 RX1 端口的差分负输入/输出。
32	HPDIN	两电平输入 (PD)	此引脚是从 DisplayPort 接收端接收的热插拔检测输入。当 HPDIN 处于低电平的时间超过 2ms 时，所有 DisplayPort 通道将被禁用，且 AUX 至 SBU 开关将保持关闭状态。当 HPDIN 为高电平时，来自 AUX 监测或寄存器的已启用的 DisplayPort 通道处于活动状态。
33	DTX1p	差分输入/输出	下行 TX1 端口的差分正输入/输出。
34	DTX1n	差分输入/输出	下行 TX1 端口的差分负输入/输出。
35	UEQ0/A0	四电平输入	此引脚与 UEQ1 一起为上行 URX1、URX2、UTX1、UTX2 接收器设置高频均衡器增益。处于 I ² C 模式时，该引脚还设置 TUSB1044A I ² C 地址。另请参阅表 7-10。
36	DTX2n	差分输入/输出	下行 TX2 端口的差分负输入/输出。
37	DTX2p	差分输入/输出	下行 TX2 端口的差分正输入/输出。
38	DEQ0	四电平输入	此引脚与 DEQ1 一起为下行 URX1、URX2、UTX1、UTX2 接收器设置高频均衡器增益。

引脚功能（续）

引脚		类型	说明
编号	名称		
39	DRX2n	差分输入/输出	下行 RX2 端口的差动负输入/输出。
40	DRX2p	差分输入/输出	下行 RX2 端口的差动正输入/输出。
散热焊盘		GND	接地

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
V_{CC}	电源电压范围	-0.3	4	V
V_{IN_DIFF}	差动输入引脚端的差分电压。		± 2.5	V
V_{IN_SE}	差动输入引脚端的单端输入电压。	-0.5	4	V
V_{IN_CMOS}	CMOS 输入端的输入电压	-0.3	4	V
T_{stg}	贮存温度	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚 ⁽¹⁾	± 5000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚 ⁽²⁾	± 1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{CC}	电源电压	3	3.3	3.6	V
V_{I2C}	SDA 和 SCL 也被上拉的外部电源	1.7		3.6	V
V_{PSN}	V_{CC} 上的电源噪声			100	mV
T_A	TUSB1044A 环境温度	0		70	°C
	TUSB1044AI 环境温度	-40		85	°C
T_J	TUSB1044A 结温			105	°C
	TUSB1044AI 结温			125	°C

5.4 热性能信息

热指标 ⁽¹⁾		器件	单位
		RNQ (WQFN)	
		40 引脚	
$R_{\theta JA}$	结至环境热阻	37.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	20.7	°C/W
$R_{\theta JB}$	结至电路板热阻	9.5	°C/W
Ψ_{JT}	结至顶部特征参数	0.2	°C/W
Ψ_{JB}	结至电路板特征参数	9.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	2.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用报告。

5.5 电气特性

在自然通风条件下的工作温度范围和电压范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源						
P _{USB-ACTIVE}	为仅 USB 3.2x1 模式配置时的平均功率。	链路处于 U0 且采用 GEN2 数据传输；EQ 控制引脚 = NC；10Gbps 时的 K28.5 模式；V _{ID} = 1000mVp-p；V _{OD} 线性 = 900mVp-p；CTL1 = L；CTL0 = H		297		mW
P _{USB-DP-ACTIVE}	为 USB 3.2x1 和双通道 DP 配置时的平均功率。	链路处于 U0 且采用 GEN2 数据传输，且 DP 处于活动状态；EQ 控制引脚 = NC；10Gbps 时的 K28.5 模式；V _{ID} = 1000mVp-p；V _{OD} 线性 = 900mVp-p；CTL1 = H；CTL0 = H		578		mW
P _{CUSTOM-ACTIVE}	为 USB 3.2x2 配置时的平均功率	链路处于 U0 且采用 GEN2 数据传输；EQ 控制引脚 = NC；10Gbps 时的 K28.5 模式；V _{ID} = 1000mVp-p；V _{OD} 线性 = 900mVp-p；		578		mW
P _{CUSTOM-ACTIVE}	为 USB 3.2x1 和双通道自定义交替模式配置时的平均功率。	链路处于 U0 且采用 GEN2 数据传输，且自定义交替模式处于活动状态；EQ 控制引脚 = NC；10Gbps 时的 K28.5 模式；V _{ID} = 1000mVp-p；V _{OD} 线性 = 900mVp-p；CTL1 = H；CTL0 = H		578		mW
P _{4DP-ACTIVE}	为四个 DP 通道配置时的平均功率	四个处于活动状态的 DP 通道；EQ 控制引脚 = NC；10Gbps 时的 K28.5 模式；V _{ID} = 1000mVp-p；V _{OD} 线性 = 900mVp-p；CTL1 = H；CTL0 = L		564		mW
P _{USB-NC}	仅针对 USB3.2x1 进行配置并且不将任何器件连接到 TXP/N 引脚时的平均功率。	未连接 USB3 器件；CTL1 = L；CTL0 = H		2.5		mW
P _{USB-U2U3}	仅针对 USB3.2x1 进行配置并且链路处于 U2 或 U3 状态时的平均功率。	链路处于 U2 或 U3 状态；CTL1 = L；CTL0 = H		2		mW
P _{SHUTDOWN}	器件处于关断状态时的平均功率	CTL1 = L；CTL0 = L；I2C_EN = 0；		0.65		mW
4 态 CMOS 输入 (UEQ[1:0];DEQ[1:0];CFG[1:0];A[1:0];I2C_EN、VIO_SEL)						
I _{IH}	高电平输入电流	V _{CC} = 3.6V；VIN = 3.6V	20		80	μA
I _{IL}	低电平输入电流	V _{CC} = 3.6V；VIN = 0V	-160		-40	μA
四电平 V _{TH}	阈值 0/R	V _{CC} = 3.3V		0.55		V
	阈值 R/悬空	V _{CC} = 3.3V		1.65		V
	阈值悬空/1	V _{CC} = 3.3V		2.7		V
R _{PU}	内部上拉电阻			46		kΩ
R _{PD}	内部下拉电阻			95		kΩ
2 态 CMOS 输入 (CTL0、CTL1、FLIP、HPDIN、SLP_S0#、SWAP、DIR[1:0])。						
V _{IH-3.3V}	高电平输入电压	V _{CC} = 3.3V；VIO_SEL = “0”或“R”；	2		3.6	V
V _{IL-3.3V}	低电平输入电压	V _{CC} = 3.3V；VIO_SEL = “0”或“R”；	0		0.8	V
V _{IH-1.8V}	高电平输入电压	V _{CC} = 3.3V；VIO_SEL = “F”或“1”；	1.2		3.6	V
V _{IL-1.8V}	低电平输入电压	V _{CC} = 3.3V；VIO_SEL = “F”或“1”；	0		0.4	V
R _{PD_CTL1}	CTL1、CTL0、DIR0、DIR1、FLIP、SLP_S0# 的内部下拉电阻			500		kΩ
R _{PD_HPDI N}	HPDIN 的内部下拉电阻			400		kΩ
R _{PD_SWA P}	SWAP 的内部下拉电阻			200		kΩ

在自然通风条件下的工作温度范围和电压范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
I _{IH}	高电平输入电流	V _{IN} = 3.6V	-25		25	μA
I _{IL}	低电平输入电流	V _{IN} = GND, V _{CC} = 3.6V	-25		25	μA
I2C 控制引脚 SCL、SDA						
V _{IH-3.3V}	高电平输入电压	V _{CC} = 3.3V ; VIO_SEL = “0” 或 “F” ; 已启用 I2C 模式 ;	2		3.6	V
V _{IL-3.3V}	低电平输入电压	V _{CC} = 3.3V ; VIO_SEL = “0” 或 “F” ; 已启用 I2C 模式 ;	0		0.8	V
V _{IH-1.8V}	高电平输入电压	V _{CC} = 3.3V ; VIO_SEL = “R” 或 “1” ; 已启用 I2C 模式 ;	1.2		3.6	V
V _{IL-1.8V}	低电平输入电压	V _{CC} = 3.3V ; VIO_SEL = “R” 或 “1” ; 已启用 I2C 模式 ;	0		0.4	V
V _{OL}	低电平输出电压	I2C_EN ! = “0” ; I _{OL} = 3mA	0		0.4	V
I _{OL}	低电平输出电流	I2C_EN ! = “0” ; V _{OL} = 0.4V	20			mA
I _{I_I2C}	SDA 引脚上的输入电流	0.1 × V _{I2C} < 输入电压 < 3.3V	-10		10	μA
C _{I_I2C}	输入电容		0.5		5	pF
USB Gen 2 差动接收器 (UTX1P/N、UTX2P/N、DRX1P/N、DRX2P/N)						
V _{RX-DIFF-PP}	输入差动峰峰值电压摆幅动态范围	通过基准通道在 CTLE 后测得的交流耦合差分峰峰值信号		2000		mVpp
V _{RX-DC-CM}	接收器中的共模电压偏置 (直流)			0		V
R _{RX-DIFF-DC}	差分输入阻抗 (直流)	在 TXP/TXN 上检测到 GEN 2 器件后显示	72		120	Ω
R _{RX-CM-DC}	接收器直流共模阻抗	在 TXP/TXN 上检测到 GEN 2 器件后显示	18		30	Ω
Z _{RX-HIGH-IMP-DC-POS}	禁用具有终端时的共模输入阻抗 (直流)	在 TXP/TXN 上未检测到 GEN 2 器件时显示。在相对于 GND 的 0V 至 500mV 范围内测得。	25			kΩ
V _{SIGNAL-DET-DIFF-PP}	输入差分峰峰值信号检测置位电平	10Gbps PRBS7 模式 ; 低损耗输入通道 ;		80		mV
V _{RX-IDLE-DET-DIFF-PP}	输入差分峰峰值信号检测置为无效电平	10Gbps PRBS7 模式 ; 低损耗输入通道 ;		60		mV
V _{RX-LFPS-DET-DIFF-PP}	低频率周期性信令 (LFPS) 检测阈值	低于最小静噪值。	100		300	mV
C _{RX}	RX 输入电容至 GND	在 5GHz 时			0.3	pF
RL _{RX-DIFF}	差分回波损耗	90 Ω 下 50MHz 至 2.5GHz		-13		dB
RL _{RX-DIFF}	差分回波损耗	90 Ω 下 5GHz		-12		dB
RL _{RX-CM}	共模回波损耗	90 Ω 下 50MHz 至 5GHz		-10.5		dB
EQ _{SSP}	最大设置时的接收器均衡	5GHz 时的 UEQ[1:0] 和 DEQ[1:0]。		10		dB
USB Gen 2 差动发送器 (DTX1P/N、DTX2P/N、URX1P/N、URX2P/N)						
V _{TX-DIFF-PP}	发送器动态差动电压摆幅范围			1500		mVpp
V _{TX-RCV-DETECT}	接收器检测期间允许的电压变化量	在 3.3V 时			600	mV
V _{TX-CM-IDLE-DELTA}	处于 U2/U3 且未主动发送 LFPS 时的发送器空闲共模电压变化	在具有 50 Ω 负载的交流耦合电容器的连接器侧测得	-600		600	mV

在自然通风条件下的工作温度范围和电压范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$V_{TX-DC-CM}$	发送器中的共模电压偏置（直流）			1.75	2.3	V
$V_{TX-CM-AC-PP-ACTIVE}$	TX 交流共模电压有源	Rx EQ 设置与输入通道损耗匹配；时间和振幅的 $T_{xp} + T_{xn}$ 最大失配；-40°C 至 85°C；			100	mVpp
$V_{TX-IDLE-DIFF-AC-PP}$	交流电气空闲差分峰值输出电压	在封装引脚处	0		10	mV
$V_{TX-IDLE-DIFF-DC}$	直流电气空闲差分输出电压	位于低通滤波器之后的封装引脚处，以消除交流分量	0		14	mV
$R_{TX-DIFF}$	驱动器的差分阻抗		75		120	Ω
$C_{AC-COUPLING}$	交流耦合电容器		75		265	nF
R_{TX-CM}	驱动器的共模阻抗	在相对于交流地的 0V 至 500mV 范围内测得	18		30	Ω
$I_{TX-SHORT}$	TX 短路电流	TX +/- 短接至 GND			74	mA
$RL_{TX-DIFF}$	差分回波损耗	90 Ω 下 50MHz 至 2.5GHz		-13		dB
$RL_{TX-DIFF}$	差分回波损耗	90 Ω 下 5GHz		-10.5		dB
RL_{TX-CM}	共模回波损耗	90 Ω 下 50MHz 至 5GHz		-10		dB
交流特性						
串扰	TX 和 RX 信号对之间的差动串扰	在 5GHz 时		-30		dB
G_{LF}	采用 0dB 设置时的低频电压增益。	在 100MHz 时；200mVpp < V_{ID} < 2000mVpp；0dB DC 增益；	-1	0	1	dB
CP_1 dB-LF-1100	低频率 -1dB 压缩点	在 100MHz 时；200mVpp < V_{ID} < 2000mVpp；1100mVpp 线性设置；		1100		mVpp
CP_1 dB-HF-1100	高频率 -1dB 压缩点	在 5GHz 时；200mVpp < V_{ID} < 2000mVpp；1100mVpp 线性设置；		1200		mVpp
f_{LF}	低频率截止	200mVpp < V_{ID} < 2000mVpp		22	50	kHz
D_J	TX 输出确定性抖动	200mVpp < V_{ID} < 2000mVpp，PRBS7，10Gbps		0.07		UIpp
D_J	TX 输出确定性抖动	200mVpp < V_{ID} < 2000mVpp，PRBS7，8.1Gbps		0.07		UIpp
T_J	TX 输出总抖动	200mVpp < V_{ID} < 2000mVpp，PRBS7，10Gbps		0.11		UIpp
T_J	TX 输出总抖动	200mVpp < V_{ID} < 2000mVpp，PRBS7，8.1Gbps		0.11		UIpp
DisplayPort 接收器 (UTX1P/N、UTX2P/N、URX1P/N、URX2P/N)						
V_{ID_PP}	峰峰值输入差分动态电压范围			1500		V
V_{IC}	输入共模电压			0		V
C_{AC}	交流耦合电容		75		265	nF
EQ_{DP}	接收器均衡器	4.05GHz 时为 DPEQ1、DPEQ0		9.5		dB
d_R	数据速率	UHBR10			10.0	Gbps
R_{ti}	输入终端电阻		80	100	120	Ω
DisplayPort 发送器 (DTX1P/N、DTX2P/N、DRX1P/N、DRX2P/N)						
$V_{TX-DIFFPP}$	VOD 动态范围			1500		mV
AUXP/N 和 SBU1/2						
R_{ON}	输出导通电阻	$V_{CC} = 3.3V$ ；对于 AUXP， $V_I = 0V$ 至 0.4V；对于 AUXN， $V_I = 2.7V$ 至 3.6V		5	12	Ω

在自然通风条件下的工作温度范围和电压范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
ΔR_{ON}	对内导通电阻不匹配	$V_{CC} = 3.3V$ ；对于 AUXP， $V_I = 0V$ 至 $0.4V$ ；对于 AUXN， $V_I = 2.7V$ 至 $3.6V$			2.0 Ω
R_{ON_FLAT}	在相同 V_{CC} 和温度下测得的导通电阻平坦度（ R_{ON} 最大值 - R_{ON} 最小值）	$V_{CC} = 3.3V$ ；对于 AUXP， $V_I = 0V$ 至 $0.4V$ ；对于 AUXN， $V_I = 2.7V$ 至 $3.6V$			1.0 Ω
$V_{AUXP_DC_CM}$	AUXP 和 SBU1 的 AUX 通道直流共模电压。	$V_{CC} = 3.3V$			0 V
$V_{AUXN_DC_CM}$	AUXN 和 SBU2 的 AUX 通道直流共模电压	$V_{CC} = 3.3V$			2.7 V
				3.6	V

5.6 时序要求

		最小值	标称值	最大值	单位
I²C 时序					
f_{SCL}	I ² C 时钟频率			1	MHz
t_{BUF}	启动条件和停止条件之间的总线空闲时间	0.5			μs
t_{HDSTA}	重复启动条件后的保持时间。在这段时间后，第一个时钟脉冲被生成。	0.26			μs
t_{LOW}	I ² C 时钟的低电平周期	0.5			μs
t_{HIGH}	I ² C 时钟的高电平周期	0.26			μs
t_{SUSTA}	重复 START 条件的建立时间	0.26			μs
t_{HDDAT}	数据保持时间	0			μs
t_{SUDAT}	数据建立时间	50			ns
t_R	SDA 和 SCL 信号的上升时间			120	ns
t_F	SDA 和 SCL 信号的下降时间	$20 \times (V_{I2C}/5.5V)$		120	ns
t_{SUSTO}	STOP 条件的建立时间	0.26			μs
C_{BUS}	每个总线的容性负载			100	pF
HPDIN 和 CTL1					
$t_{CTL1_DEBO_UNCE}$	从 H 切换到 L 时的 CTL1 和 HPDIN 去抖时间。如果低电平大于最小值，则禁用 DP 通道。	2.5			ms
USB3.1 和 DisplayPort 模式转换要求 GPIO 模式					
$t_{GP_USB_4D_P}$	从仅 USB 3.1 模式转换到 4 通道 DisplayPort 模式（或相反方向的转换）时，CTL0 和 CTL1 的最小重叠	4			μs
上电时序					
t_{d_pg}	$V_{CC(MIN)}$ 至内部电源正常状态置为高电平有效			500	μs
t_{cfg_su}	CFG 引脚设置	350			μs
t_{cfg_hd}	CFG 引脚保持	10			μs
t_{ctl_db}	CTL[1:0] 和 FLIP 引脚去抖			16	ms
t_{VCC_RAMP}	VCC 电源斜坡要求	0.1		100	ms

5.7 开关特性

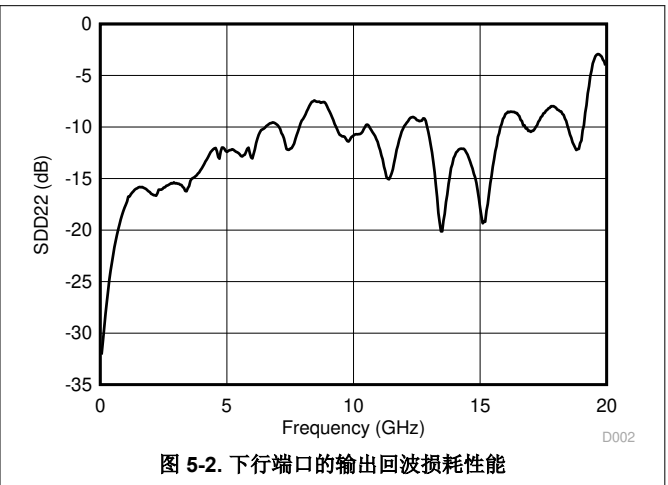
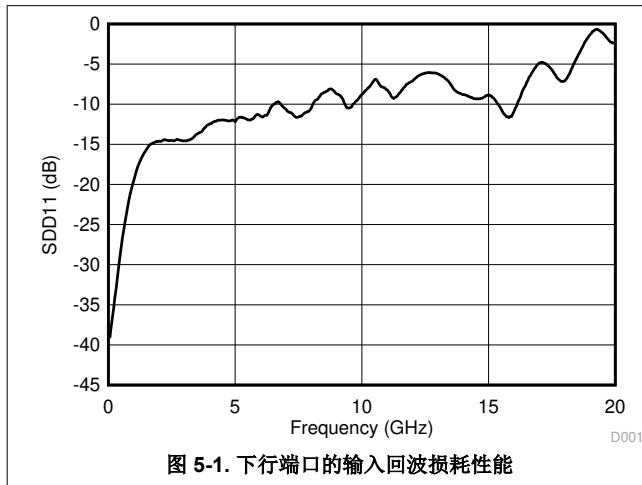
在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
USB 3.1					
$t_{IDLEEntry}$	从 U0 到电气空闲的延迟		0.16		ns

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t _{IDLEExit_U1}	U1 退出时间：电气空闲中断到传输 LFPS		0.16			ns
t _{IDLEExit_U2U3}	U2/U3 退出时间：电气空闲中断到传输 LFPS		5			μs
t _{RXDET_INTVL}	在断开中的 RX 检测间隔		12			ms
t _{IDLEExit_DISC}	断开退出时间		12			ms
t _{Exit_SHTDN}	关断退出时间	CTL0 = Vcc/2 至 U2U3	0.5			ms
t _{DIFF_DLY}	差分传播延迟		300			ps
t _{PWRUPACTIVE}	Vcc 达到 70% 器件工作时的时间		1			ms
t _{R/F}	输出上升/下降时间	在距输出引脚 1.7 英寸处测得的差动电压的 20% 至 80%；输入信号上升/下降速度超过 35ps；	35			ps
t _{RF-MM}	输出上升/下降时间不匹配	在距输出引脚 1.7 英寸处测得的差动电压的 20% 至 80%	2.6			ps
AUXP/N 和 SBU1/2						
t _{AUX_PD}	开关传播延迟		1050			ps
t _{AUX_SW_OFF}	CTL1 到开关断开的开关时间		500			ns
t _{AUX_SW_ON}	CTL1 到开关导通的开关时间		500			ns
t _{AUX_INTRA}	对内输出偏斜		100			ps

5.8 典型特性



5.8 典型特性 (续)

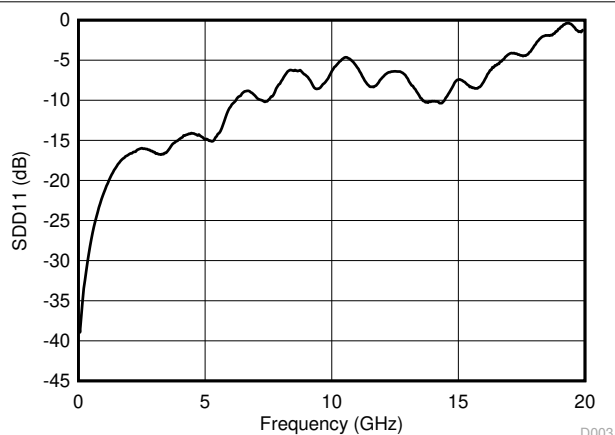


图 5-3. 上行端口的输入回波损耗性能

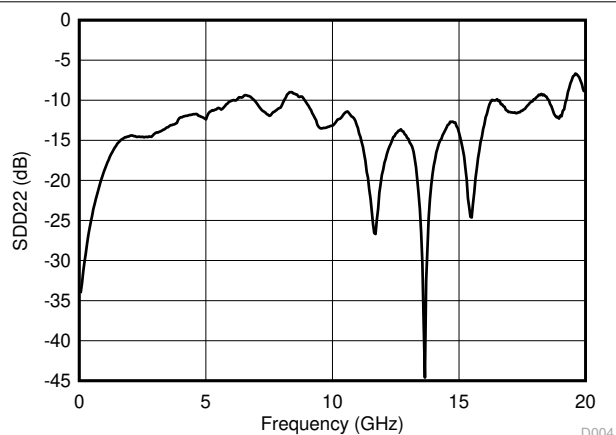


图 5-4. 上行端口的输出回波损耗性能

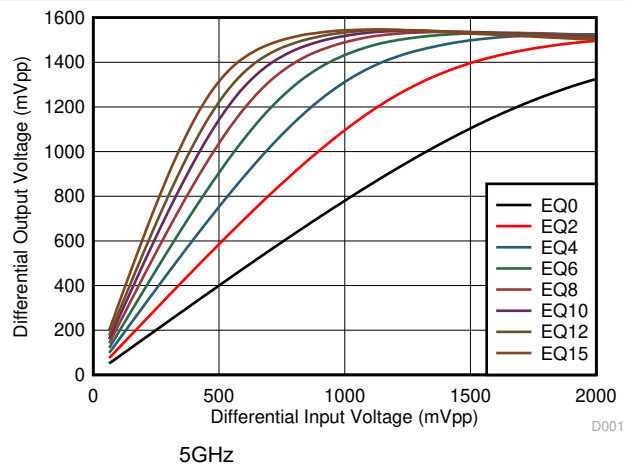


图 5-5. 5GHz 时的下行至上行线性性能

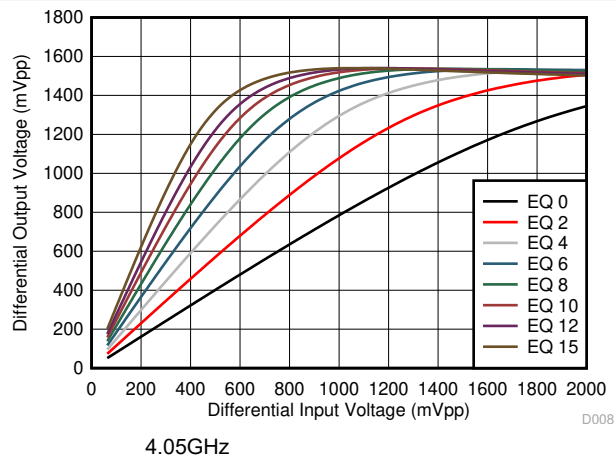


图 5-6. 4.05GHz 时的下行至上行线性性能

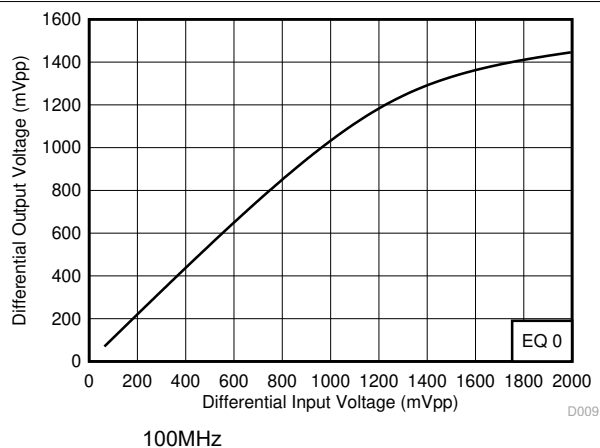


图 5-7. 100MHz 时的下行至上行线性性能

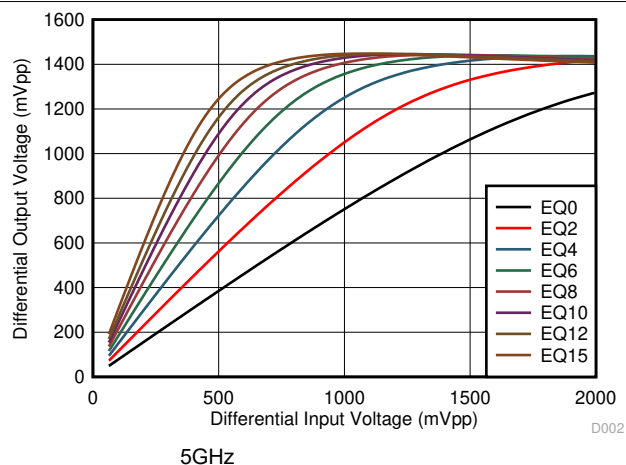


图 5-8. 5GHz 时的上行至下行线性性能

5.8 典型特性 (续)

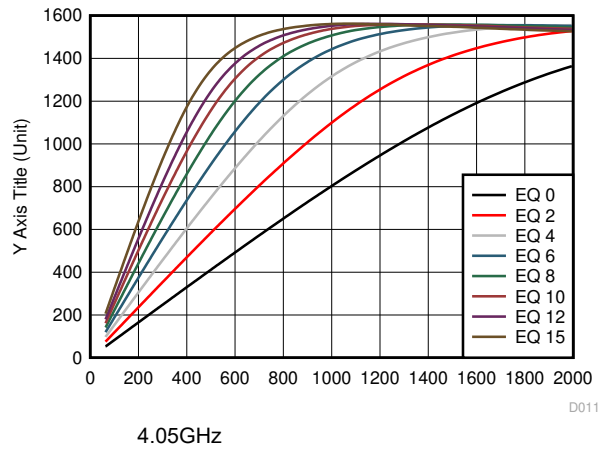


图 5-9. 4.05GHz 时的上行至下行线性性能

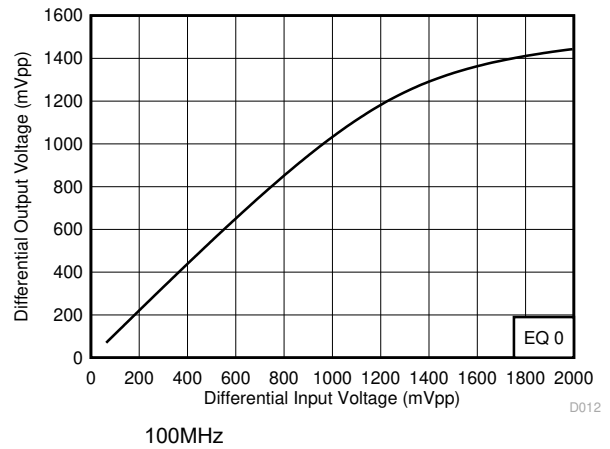
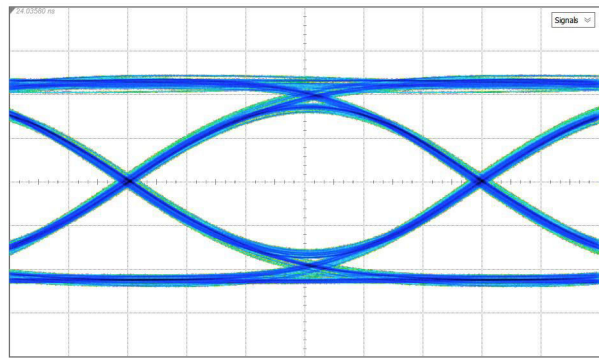
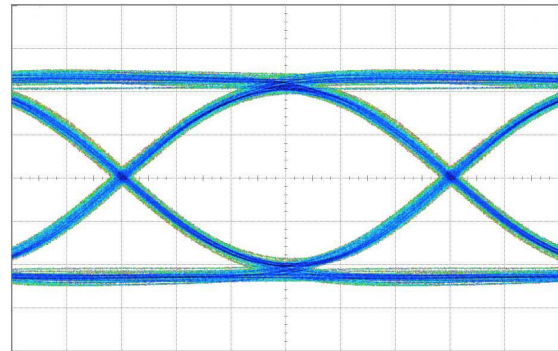


图 5-10. 100MHz 时的上行至下行线性性能



源：数据速率：10Gbps；数据模式：PRBS7；摆幅：1Vpp
通道：上行至下行、12 英寸 6mil 输入 PCB 通道
设置：EQ 设置：8；直流增益设置：0dB；线性范围设置：1100mVpp

图 5-11. 10Gbps 时的输出眼图性能



源：数据速率：8.1Gbps；数据模式：PRBS7；摆幅：1Vpp
通道：上行至下行、12 英寸 6mil 输入 PCB 通道
设置：EQ 设置：7；直流增益设置：0dB；线性范围设置：1100mVpp

图 5-12. 8.1Gbps 时的输出眼图性能

5.8 典型特性 (续)

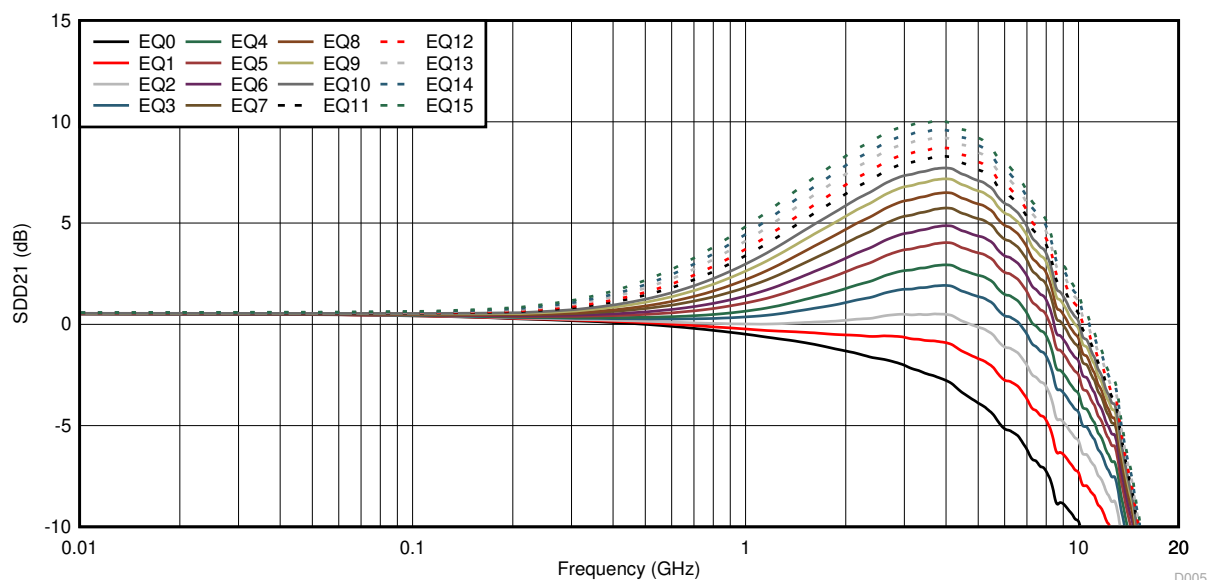


图 5-13. 上行至下行 EQ 设置曲线

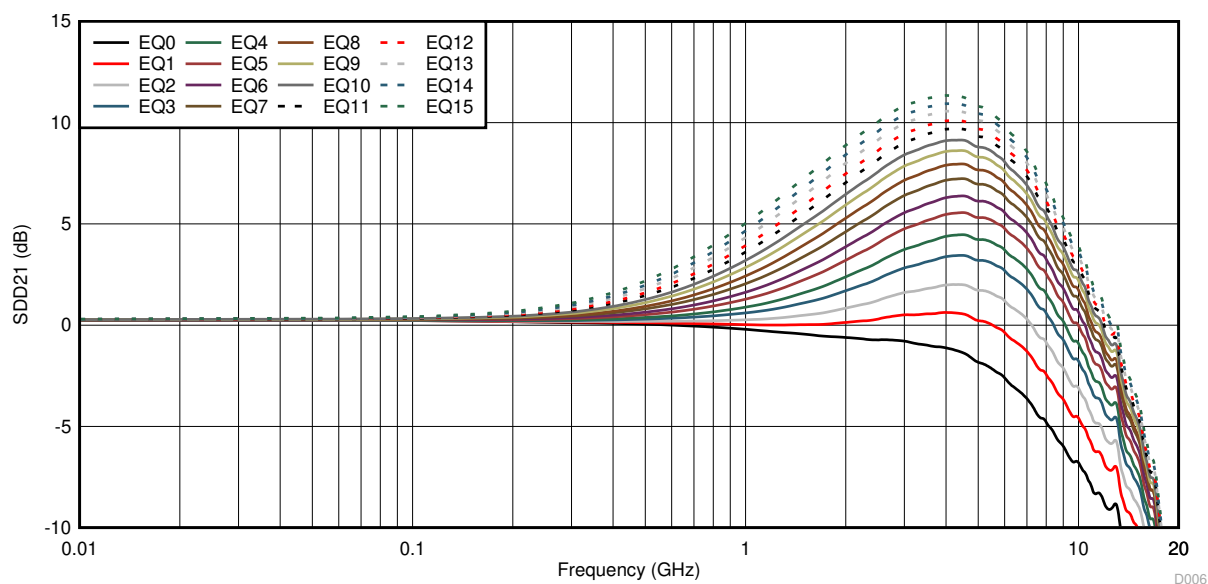


图 5-14. 下行至上行 EQ 设置曲线

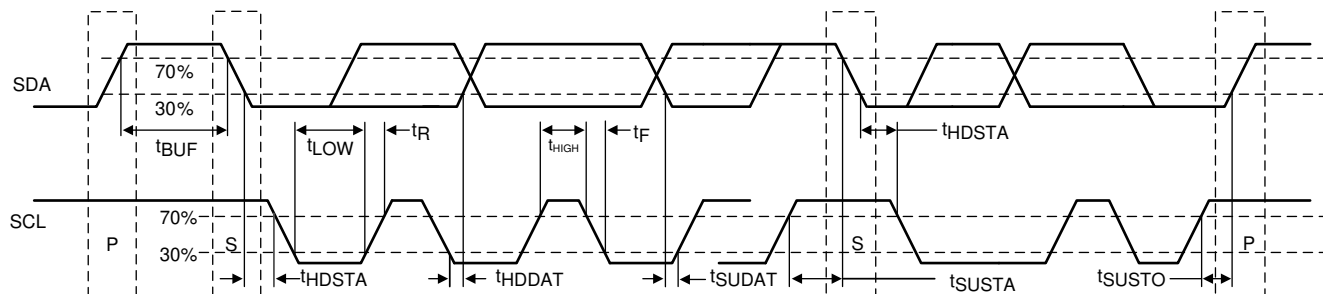


图 6-1. I²C 时序图定义

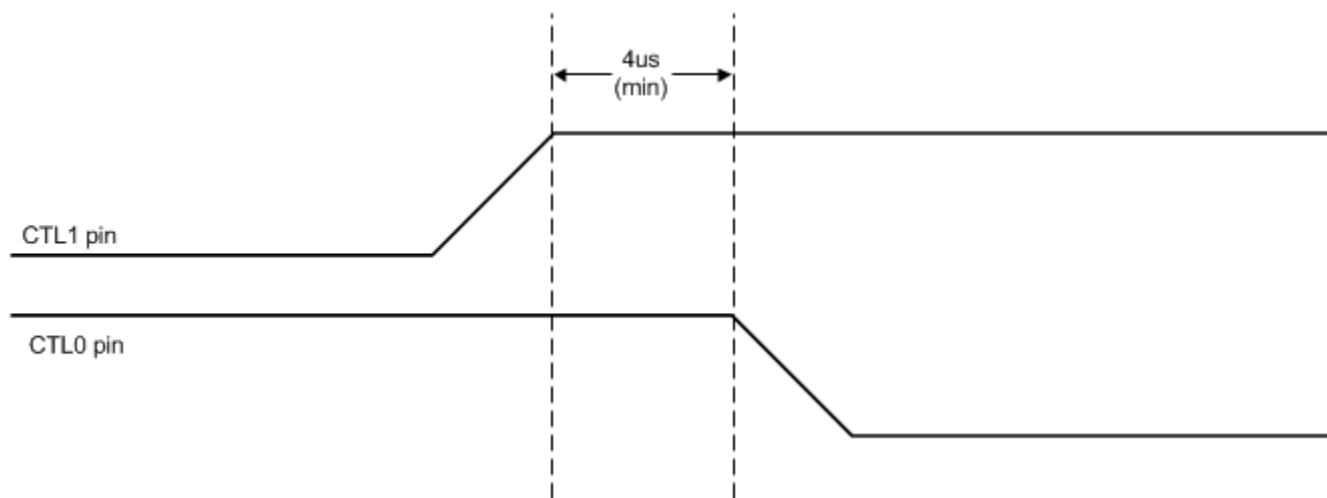


图 6-2. GPIO 模式下 USB3.2 转 4 通道 DisplayPort

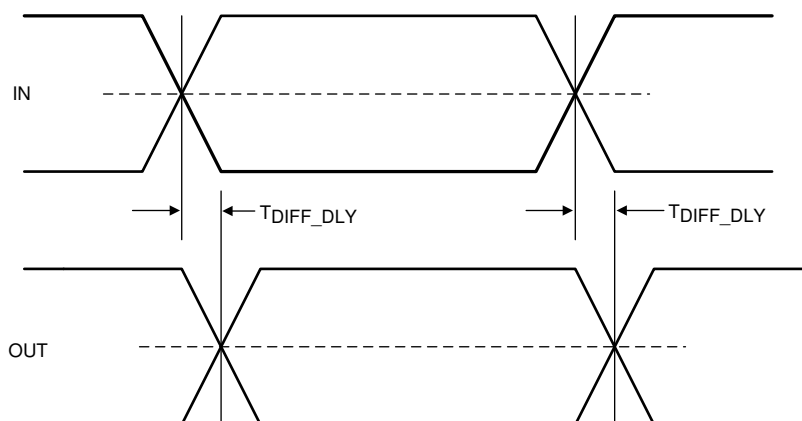


图 6-3. 传播延迟

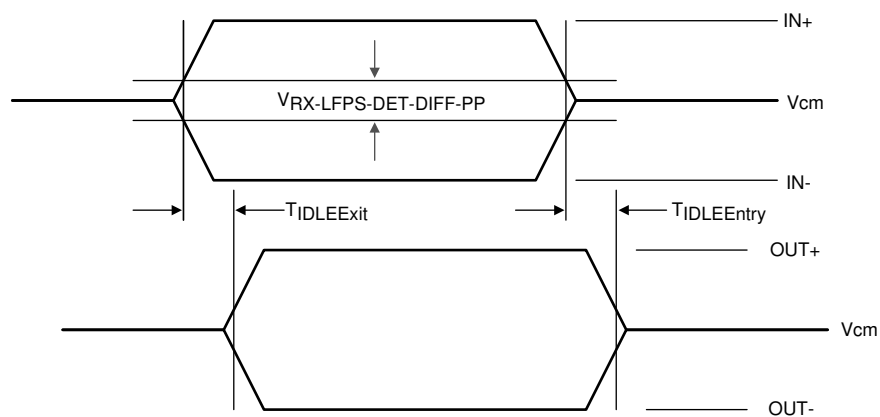


图 6-4. 电气空闲模式退出和进入延迟

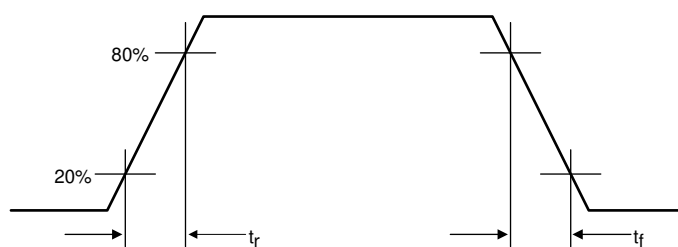
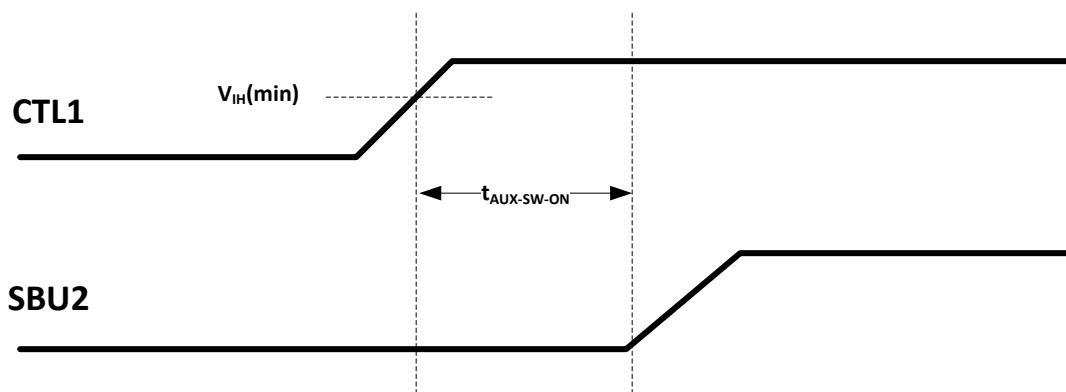
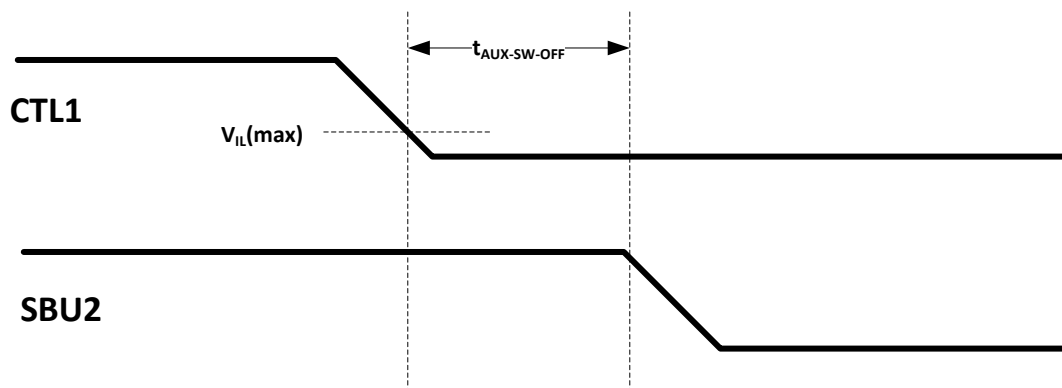


图 6-5. 输出上升和下降时间



Copyright © 2017, Texas Instruments Incorporated

图 6-6. AUX 至 SBU 开关导通时序图



Copyright © 2017, Texas Instruments Incorporated

图 6-7. AUX 至 SBU 开关断开时序图

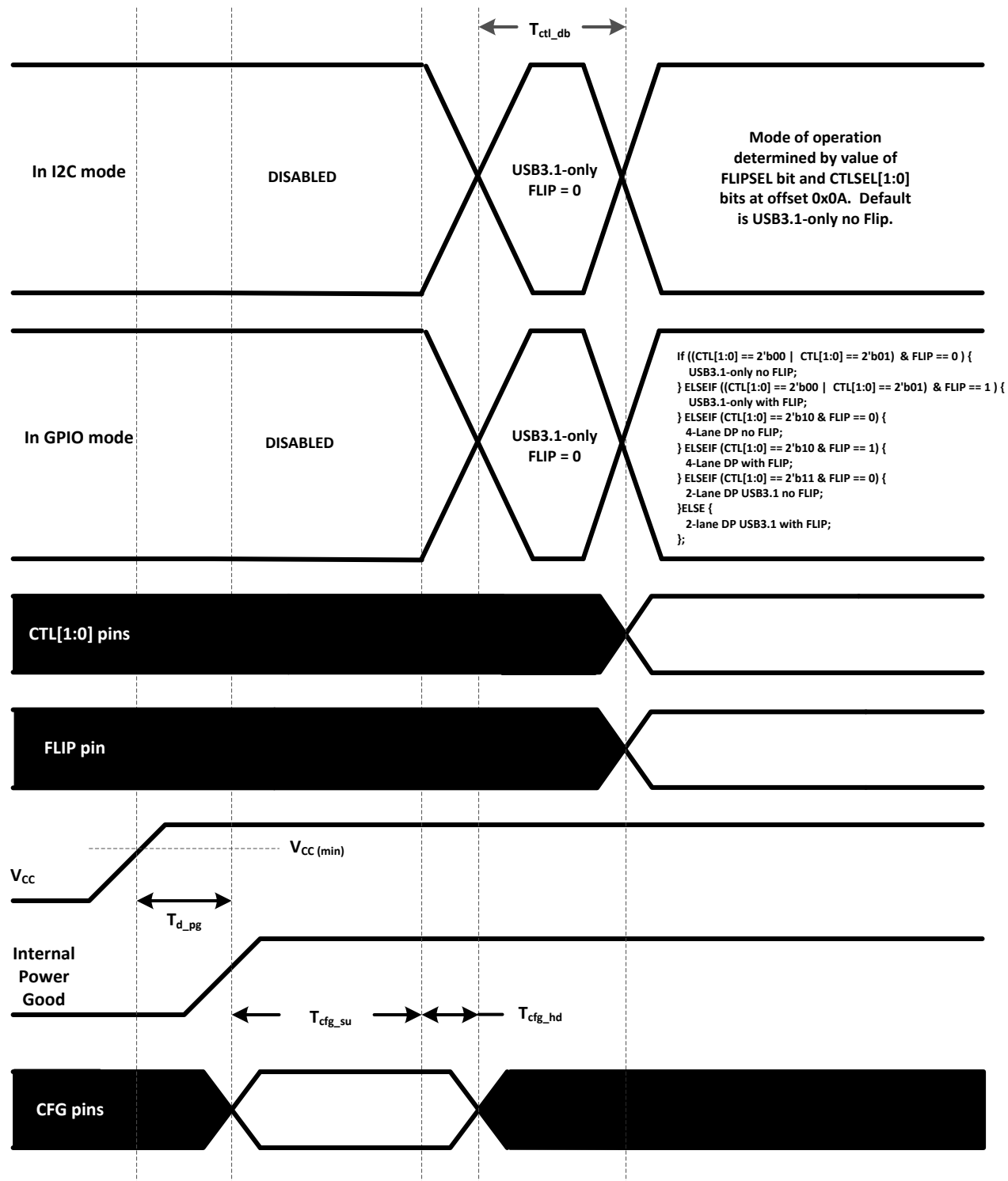


图 6-8. 上电计时示意图

7 详细说明

7.1 概述

TUSB1044A 是一款支持高达 10.0Gbps 数据速率的 USB Type-C 交替模式转接驱动器开关。此器件实施了第 5 代 USB 转接驱动器技术。此器件根据 USB Type-C 上的 VESA® DisplayPort™ 交替模式标准，用于配置 C、D、E 和 F。还可以将此器件配置为支持自定义 USB Type-C 交替模式。

TUSB1044A 提供多个接收均衡等级，可以补偿当 USB 3.2 第 2 代或 DisplayPort (或其他替代模式) 信号通过 PCB 或线缆时，因符号间干扰 (ISI) 造成的线缆和电路板布线损耗。此器件需要 3.3V 电源。该器件适用于在商用温度范围和工业温度范围下工作。

对于主机 (源) 或器件 (接收) 应用，TUSB1044A 使系统能够同时通过 USB 3.2 第 2 代和 DisplayPort 版本 2.1 UHBR10 的传送器合规性测试和接收器抖动容差测试。转接驱动器通过采用补偿通道损耗的均衡来恢复传入的数据，并且使用一个高差分电压来向外驱动信号。每个通道有一个具有可选增益设置的接收器均衡器。上行和下行端口的均衡控制可以分别使用 UEQ[1:0] 和 DEQ[1:0] 引脚或通过 I²C 接口进行设置。

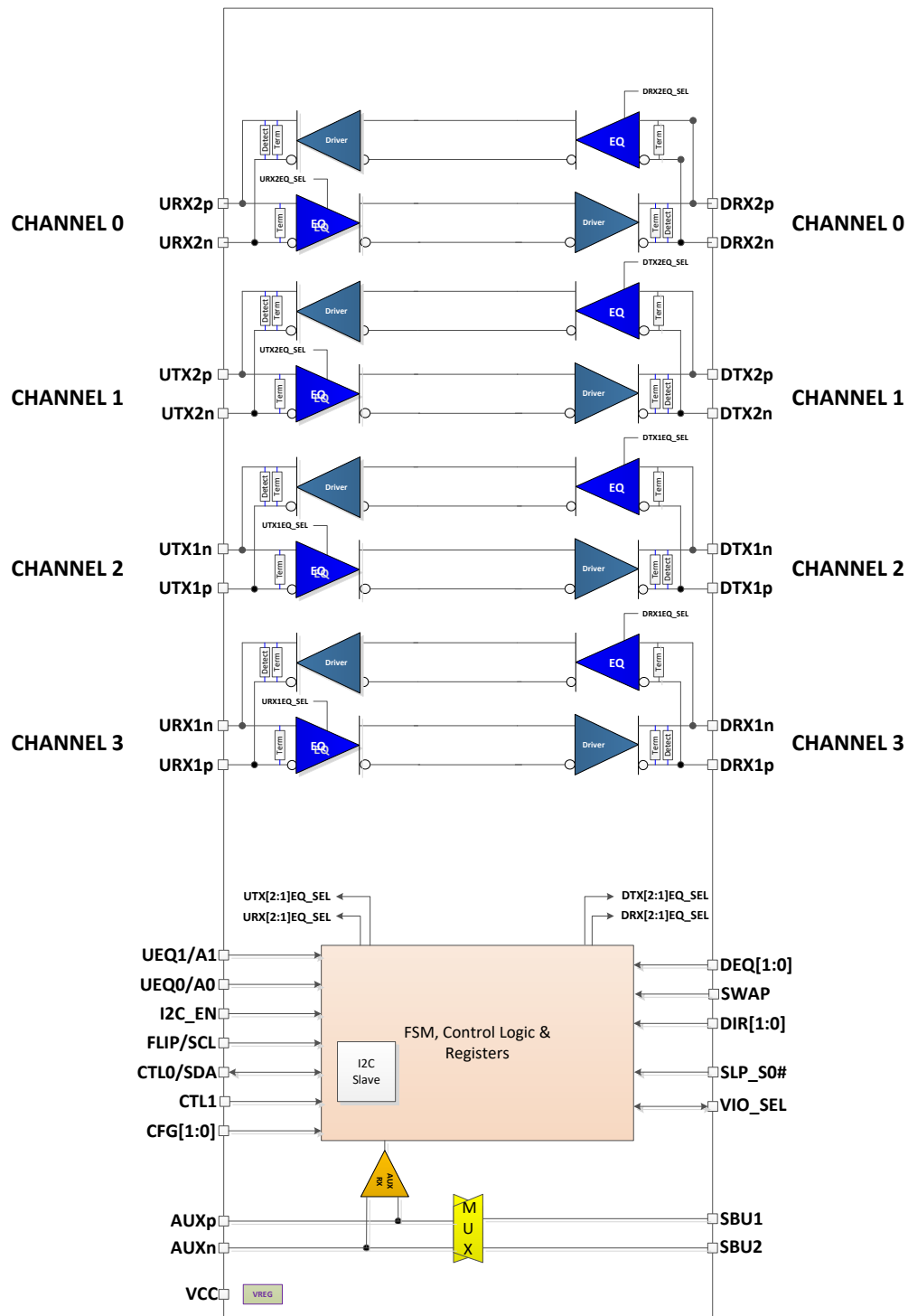
此外，CFG[1:0] 或等效 I²C 寄存器可控制所有通道的 EQ 直流增益和电压线性范围 (另请参阅表 7-9)。这种灵活的控制能力允许用户设置器件，以满足各种标准合规性要求。

TUSB1044A 高级状态机使得该器件对于主机和设备是透明的。上电后，TUSB1044A 在 TX 对上定期执行接收器检测。如果器件检测到 USB 3.2 接收器，则启用 RX 终端，并且 TUSB1044A 准备好进行转接驱动。

TUSB1044A 使用 CTL[1:0]、FLIP、DIR[1:0] 和 SWAP 引脚或通过 I²C 接口提供极其灵活的数据路径信号方向控制。有关输入到输出信号引脚映射的详细信息，请参阅表 7-5。

该器件的超低功耗架构在 3.3V 电源下运行，可实现增强的性能。自动 LFPS 去加重功能控制进一步使系统能够符合 USB 3.2 标准。

7.2 功能方框图



7.3 特性说明

7.3.1 USB 3.2

TUSB1044A 在 USB3.2 x2 模式 (USB32_BY2_EN = 1) 下运行时, 支持高达 20Gbps 的 USB 3.2 数据速率, 在 USB3.2 x1 模式 (USB32_BY2_EN = 0) 下运行时, 支持高达 10Gbps 的数据速率。TUSB1044A 支持所有 USB 定义的电源状态 (U0、U1、U2 和 U3)。TUSB1044A 是一款线性转接驱动器, 因此 TUSB1044A 不能解码 USB3.2 物理层流量。TUSB1044A 监控接收器终止、电气空闲、LFPS 和超高速信令速率等实际物理层条件, 以确定 USB3.2 接口的 USB 功率状态。

TUSB1044A 具有智能低频率周期性信令 (LFPS) 检测器。LFPS 检测器自动感测低频率信号, 并禁用接收器均衡功能。当未接收到 LFPS 时, TUSB1044A 基于 UEQ[1:0] 和 DEQ[1:0] 引脚或 UEQ[3:0]_SEL 和 DEQ[3:0]_SEL 寄存器中的编程值来启用接收器均衡。

7.3.2 USB 3.2 x2 说明

为 USB 3.2 x2 模式配置的 TUSB1044A 可确定链路是在 USB 3.2 x2 模式还是在 USB 3.2 x1 模式下运行。如果链路处于 USB 3.2 x2 模式, 则 TUSB1044A 会将一个端口用作 USB 3.2 x1 端口, 剩余的端口按照另一个端口的模式运行。充当 USB 3.2 x1 端口的端口称为配置通道。配置通道的确定完全基于 Type-C 方向。对于正常方向 (FLIP = L), 端口 1 是配置通道。对于翻转的方向 (FLIP = H), 端口 2 是配置通道。

在 USB 3.2 x2 中, 配置通道用作标准 USB 3.2 x1 端口。在所有 USB 低功耗状态 (断开、U1、U2 和 U3) 下, 非配置通道会被禁用以节省电力。这些低功耗状态的进入和退出完全由配置通道决定。如果配置通道检测到退出低功耗状态, 则会启用非配置。

表 7-1. 配置通道选择

DIR0 引脚或 DIR0 寄存器	FLIP 引脚或 FLIP_SEL 寄存器	配置通道	非配置通道
0 (源)	0	DRX1 -> URX1	DRX2 -> URX2
		UTX1 -> DTX1	UTX2 -> DTX2
	1	DRX2 -> URX2	DRX1 -> URX1
		UTX2 -> DTX2	UTX1 -> DTX1
1 (接收)	0	DRX2 -> URX2	DRX1 -> URX1
		UTX2 -> DTX2	UTX1 -> DTX1
	1	DRX1 -> URX1	DRX2 -> URX2
		UTX1 -> DTX1	UTX2 -> DTX2

备注

在 GPIO 模式下, 当满足以下所有条件时, 则会在 USB3.2 x2 模式下启用 TUSB1044A: DIR1 引脚 = H, DIR0 引脚 = L 或 H, CTL0 引脚 = H 且 CTL1 引脚 = H。

在 I²C 模式下, 默认禁用 USB3.2 x2 模式。如果满足以下任一条件, 则在 I²C 模式下启用 USB3.2 x2:

- 在偏移量 0xA 处, USB32_BY2_EN 位 = 1'b1, 且 CTLSEL_1:0 位 = 2'b01。
- 在偏移量 0xA 处, CTLSEL_1:0 位 = 2'b11, 在偏移量 0xC 处, DIR_SEL 位 = 2'b10 或 2'b11

7.3.3 DisplayPort

TUSB1044A 支持多达四个数据速率高达 10.0 Gbps (UHBR10) 的 DisplayPort 通道。配置为 DisplayPort 模式时, TUSB1044A 会监控 DisplayPort 源侧与 DisplayPort 接收侧之间的本机 AUX 流量。为了降低功耗, TUSB1044A 会根据 AUX 事务的内容来管理活动 DisplayPort 通道的数量。TUSB1044A 会监测对 DisplayPort 接收端的 DPCD 寄存器 00101h (LANE_COUNT_SET) 和 00600h (SET_POWER_STATE) 的本机 AUX 写入。TUSB1044A 会根据写入 LANE_COUNT_SET 的值禁用或启用各通道。当 SET_POWER_STATE 位于 D3 中时, TUSB1044A 会禁用所有通道。否则, 活动通道基于 LANE_COUNT_SET 的值。

默认情况下，DisplayPort AUX 监测处于启用状态，但可以通过更改 AUX_SNOOP_DISABLE 寄存器来禁用。禁用 AUX 监测时，可通过各种配置寄存器控制对 TUSB1044A DisplayPort 通道的管理。

7.3.4 四电平输入

TUSB1044A 具有 (I2C_EN、UEQ[1:0]、DEQ[1:0]、CFG[1:0] 和 A[1:0]) 4 电平输入引脚，用于控制均衡增益、电压线性范围并将 TUSB1044A 置于不同的运行模式中。这些四电平输入使用电阻分压器来帮助设置四个有效电平并提供更广泛的控制设置。有内部上拉和下拉电阻。这些电阻器与外部电阻器连接相互结合，可实现所需电压电平。

表 7-2. 四电平控制引脚设置

等级	设置
0	选项 1：将 1K Ω 5% 连接至 GND。 选项 2：直接连接到 GND。
R	将 20K Ω 5% 连接至 GND。
F	悬空 (使引脚保持开路状态)
1	选项 1：将 1K Ω 5% 连接到 V _{CC} 。 选项 2：直接连接到 V _{CC} 。

备注

在内部复位的上升沿上，锁存所有四电平输入。在 T_{cfg_hd} 之后，隔离内部上拉和下拉电阻器以降低功耗。

7.3.5 接收器线性均衡

接收器均衡旨在补偿通道插入损耗和系统内的符号间干扰。接收器通过相对于高频分量来衰减信号的低频分量，从而克服上述损耗。选择适当的增益设置以匹配通道插入损耗。两个四电平输入引脚可实现多达 16 个可能的均衡设置。上游路径和下游路径各有两个用于均衡设置的 4 电平输入，分别为 UEQ[1:0] 和 DEQ[1:0]。TUSB1044A 还可以通过 I²C 寄存器 URX[2:1]EQ_SEL、UTX[2:1]EQ_SEL、DRX[2:1]EQ_SEL 和 DTX[2:1]EQ_SEL，针对每个单独通道和每个方向（上行或下行）灵活调整均衡设置。

7.4 器件功能模式

7.4.1 GPIO 模式下的器件配置

当 I2C_EN = 0 或 I2C_EN = F 时，TUSB1044A 采用 GPIO 配置。TUSB1044A 支持 USB 与两种不同 Type-C 交替模式的操作组合。一种组合包括 USB 和交替模式 DisplayPort，另一种组合包括 USB 和自定义交替模式。对于每种操作组合，可以使用 DIR[1:0] 引脚或通过 I²C 进一步设置数据路径方向，以使器件能够在源侧或接收侧运行。另请参阅表 7-3。

当器件设置为在 USB 和交替模式 DisplayPort 下运行时，可以进一步设定以下配置：仅 USB3.2、两个 DisplayPort 通道 + USB3.2 或四个 DisplayPort 通道（无 USB3.2）。CTL1 引脚控制是否启用 DisplayPort 模式。CTL1 与 CTL0 的组合可在仅 USB3.2、两个 DisplayPort 通道或四个 DisplayPort 通道之间选择，详见表 7-3。AUXP/N 到 SBU1/2 映射根据表 7-4 进行控制。

当器件设置为在 USB 和自定义交替模式下运行时，可以进一步设定以下配置：仅 USB3.2、两个自定义交替模式 + USB3.2 通道或四个自定义交替模式（无 USB3.2）的通道。CTL1 引脚控制是否启用自定义交替模式。CTL1 与 CTL0 的组合可在仅 USB3.2、两个自定义交替模式通道或四个自定义交替模式通道之间选择，详见表 7-3。AUXP/N 到 SBU1/2 映射根据表 7-4 进行控制。

可使用 SWAP 引脚，进一步控制数据路径方向。设为高电平时，SWAP 引脚会反转所有通道上的数据路径方向，并交换上行和下行输入端口的均衡设置。此引脚可用于 TUSB1044A 仅安装在一端的有源线缆应用。可以根据插入源侧或接收侧插座的线缆端来设置 SWAP 引脚

上电后（V_{VCC} 从 0V 到 3.3V），TUSB1044A 默认为 USB3.2 模式。USB PD 控制器在检测到没有器件连接到 Type-C 端口或者连接的器件不需要进行 USB3.2 操作时，必须通过将 CTL0 引脚从 L 转换为 H 再返回到 L 来让 TUSB1044A 退出 USB3.1 模式。

表 7-3. GPIO 配置控制

DIR1 PIN	DIR0 PIN	CTL1 PIN	CTL0 PIN	FLIP 引脚	TUSB1044A 配置	VESA® DisplayPort™ 交替模 式 DFP_D 配置
USB + DisplayPort 交替模式（源侧）						
L	L	L	L	L	断电	—
L	L	L	L	H	断电	—
L	L	L	H	L	单端口 USB 3.2 - 无翻转	—
L	L	L	H	H	单端口 USB 3.2 - 带翻转	—
L	L	H	L	L	4 通道 DP - 无翻转	C 和 E
L	L	H	L	H	4 通道 DP - 带翻转	C 和 E
L	L	H	H	L	单端口 USB 3.2 + 双通道 DP - 无翻转	D 和 F
L	L	H	H	H	单端口 USB 3.2 + 双通道 DP - 带翻转	D 和 F
USB + DisplayPort 交替模式（接收侧）						
L	H	L	L	L	断电	-
L	H	L	L	H	断电	-
L	H	L	H	L	单端口 USB 3.2 - 无翻转	-
L	H	L	H	H	单端口 USB 3.2 - 带翻转	-

表 7-3. GPIO 配置控制 (续)

DIR1 PIN	DIR0 PIN	CTL1 PIN	CTL0 PIN	FLIP 引脚	TUSB1044A 配置	VESA® DisplayPort™ 交替模 式 DFP_D 配置
L	H	H	L	L	4 通道 DP - 无翻转	C 和 E
L	H	H	L	H	4 通道 DP - 带翻转	C 和 E
L	H	H	H	L	单端口 USB 3.2 + 双通道 DP - 无翻转	D 和 F
L	H	H	H	H	单端口 USB 3.2 + 双通道 DP - 带翻转	D 和 F
USB + 自定义交替模式 (源侧)						
H	L	L	L	L	断电	-
H	L	L	L	H	断电	-
H	L	L	H	L	单端口 USB 3.2 - 无翻转	-
H	L	L	H	H	单端口 USB 3.2 - 带翻转	-
H	L	H	L	L	4 通道自定义交替模式 - 无翻转	-
H	L	H	L	H	4 通道自定义交替模式 - 带翻转	-
H	L	H	H	L	USB 3.2 x2 - 无翻转	-
H	L	H	H	H	USB 3.2 x2 - 带翻转	-
USB + 自定义交替模式 (接收侧)						
H	H	L	L	L	断电	-
H	H	L	L	H	断电	-
H	H	L	H	L	单端口 USB 3.2 - 无翻转	-
H	H	L	H	H	单端口 USB 3.2 - 带翻转	-
H	H	H	L	L	4 通道自定义交替模式 - 无翻转	-
H	H	H	L	H	4 通道自定义交替模式 - 带翻转	-
H	H	H	H	L	USB 3.2 x2 - 无翻转	-
H	H	H	H	H	USB 3.2 x2 - 带翻转	-

表 7-4. GPIO AUXP/N 到 SBU1/2 映射

CTL1 引脚	FLIP 引脚	映射
H	L	AUXP -> SBU1 AUXN -> SBU2
H	H	AUXP -> SBU2 AUXN -> SBU1
L > 2ms	X	开路

表 7-5 详细说明了 TUSB1044A 多路复用器路由。此表对 GPIO 模式有效。如果 CH_SWAP_SEL = 4'b0000 或 4'b1111，则此表对 I²C 模式也有效。

表 7-5. 输入到输出映射

					SWAP = L			SWAP = H		
					自	自	至	自	自	至
DIR1 PIN	DIR0 PIN	CTL1 PIN	CTL0 PIN	FLIP 引脚	RX EQ 控制 引脚	输入 引脚	输出 引脚	RX EQ 控制 引脚	输入 引脚	输出 引脚
USB + DisplayPort™ 交替模式 (源侧)										
禁用										
L	L	L	L	L	不适用	不适用	不适用	不适用	不适用	不适用
L	L	L	L	H	不适用	不适用	不适用	不适用	不适用	不适用
仅 USB3.2 正常方向										
L	L	L	H	L	DEQ[1:0]	DRX1P	URX1P (SSRXP)	DEQ[1:0]	URX1P (SSTXP)	DRX1P
					DEQ[1:0]	DRX1N	URX1N (SSRXN)	DEQ[1:0]	URX1N (SSTXN)	DRX1N
					UEQ[1:0]	UTX1P (SSTXP)	DTX1P	UEQ[1:0]	DTX1P	UTX1P (SSRXP)
					UEQ[1:0]	UTX1N (SSTXN)	DTX1N	UEQ[1:0]	DTX1N	UTX1N (SSRXN)
仅 USB3.2 翻转方向										
L	L	L	H	H	DEQ[1:0]	DRX2P	URX2P (SSRXP)	DEQ[1:0]	URX2P (SSTXP)	DRX2P
					DEQ[1:0]	DRX2N	URX2N (SSRXN)	DEQ[1:0]	URX2N (SSTXN)	DRX2N
					UEQ[1:0]	UTX2P (SSTXP)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (SSRXP)
					UEQ[1:0]	UTX2N (SSTXN)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (SSRXN)
4 通道 DP 正常方向										
L	L	H	L	L	UEQ[1:0]	URX2P (DP0P)	DRX2P	UEQ[1:0]	DRX2P	URX2P (DP0P)
					UEQ[1:0]	URX2N (DP0N)	DRX2N	UEQ[1:0]	DRX2N	URX2N (DP0N)
					UEQ[1:0]	UTX2P (DP1P)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (DP1P)
					UEQ[1:0]	UTX2N (DP1N)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (DP1N)
					UEQ[1:0]	UTX1P (DP2P)	DTX1P	UEQ[1:0]	DTX1P	UTX1P (DP2P)
					UEQ[1:0]	UTX1N (DP2N)	DTX1N	UEQ[1:0]	DTX1N	UTX1N (DP2N)
					UEQ[1:0]	URX1P (DP3P)	DRX1P	UEQ[1:0]	DRX1P	URX1P (DP3P)
					UEQ[1:0]	URX1N (DP3N)	DRX1N	UEQ[1:0]	DRX1N	URX1N (DP3N)
4 通道 DP 翻转方向										

表 7-5. 输入到输出映射 (续)

					SWAP = L			SWAP = H		
					自	自	至	自	自	至
DIR1 PIN	DIR0 PIN	CTL1 PIN	CTL0 PIN	FLIP 引脚	RX EQ 控制 引脚	输入 引脚	输出 引脚	RX EQ 控制 引脚	输入 引脚	输出 引脚
L	L	H	L	H	UEQ[1:0]	URX1P (DP0P)	DRX1P	UEQ[1:0]	DRX1P	URX1P (DP0P)
					UEQ[1:0]	URX1N (DP0N)	DRX1N	UEQ[1:0]	DRX1N	URX1N (DP0N)
					UEQ[1:0]	UTX1P (DP1P)	DTX1P	UEQ[1:0]	DTX1P	UTX1P (DP1P)
					UEQ[1:0]	UTX1N (DP1N)	DTX1N	UEQ[1:0]	DTX1N	UTX1N (DP1N)
					UEQ[1:0]	UTX2P (DP2P)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (DP2P)
					UEQ[1:0]	UTX2N (DP2N)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (DP2N)
					UEQ[1:0]	URX2P (DP3P)	DRX2P	UEQ[1:0]	DRX2P	URX2P (DP3P)
					UEQ[1:0]	URX2N (DP3N)	DRX2N	UEQ[1:0]	DRX2N	URX2N (DP3N)
USB3.2 + 双通道 DP 正常方向										
L	L	H	H	L	DEQ[1:0]	DRX1P	URX1P (SSRXP)	DEQ[1:0]	URX1P (SSTXP)	DRX1P
					DEQ[1:0]	DRX1N	URX1N (SSRXN)	DEQ[1:0]	URX1N (SSTXN)	DRX1N
					UEQ[1:0]	UTX1P (SSTXP)	DTX1P	UEQ[1:0]	DTX1P	UTX1P (SSRXP)
					UEQ[1:0]	UTX1N (SSTXN)	DTX1N	UEQ[1:0]	DTX1N	UTX1N (SSRXN)
					UEQ[1:0]	URX2P (DP0P)	DRX2P	UEQ[1:0]	DRX2P	URX2P (DP0P)
					UEQ[1:0]	URX2N (DP0N)	DRX2N	UEQ[1:0]	DRX2N	URX2N (DP0N)
					UEQ[1:0]	UTX2P (DP1P)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (DP1P)
					UEQ[1:0]	UTX2N (DP1N)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (DP1N)
USB3.2 + 双通道 DP 翻转方向										

表 7-5. 输入到输出映射 (续)

					SWAP = L			SWAP = H		
					自	自	至	自	自	至
DIR1 PIN	DIR0 PIN	CTL1 PIN	CTL0 PIN	FLIP 引脚	RX EQ 控制 引脚	输入 引脚	输出 引脚	RX EQ 控制 引脚	输入 引脚	输出 引脚
L	L	H	H	H	DEQ[1:0]	DRX2P	URX2P (SSRXP)	DEQ[1:0]	URX2P (SSTXP)	DRX2P
					DEQ[1:0]	DRX2N	URX2N (SSRXN)	DEQ[1:0]	URX2N (SSTXN)	DRX2N
					UEQ[1:0]	UTX2P (SSTXP)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (SSRXP)
					UEQ[1:0]	UTX2N (SSTXN)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (SSRXN)
					UEQ[1:0]	URX1P (DP0P)	DRX1P	UEQ[1:0]	DRX1P	URX1P (DP0P)
					UEQ[1:0]	URX1N (DP0N)	DRX1N	UEQ[1:0]	DRX1N	URX1N (DP0N)
					UEQ[1:0]	UTX1P (DP1P)	DTX1P	UEQ[1:0]	DTX1P	UTX1P (DP1P)
					UEQ[1:0]	UTX1N (DP1N)	DTX1N	UEQ[1:0]	DTX1N	UTX1N (DP1N)
USB + DisplayPort 交替模式 (接收侧)										
禁用										
L	H	L	L	L	不适用	不适用	不适用	不适用	不适用	不适用
L	H	L	L	H	不适用	不适用	不适用	不适用	不适用	不适用
仅 USB3.2 正常方向										
L	H	L	H	L	UEQ[1:0]	UTX2P	DTX2P (SSRXP)	UEQ[1:0]	DTX2P (SSTXP)	UTX2P
					UEQ[1:0]	UTX2N	DTX2N (SSRXN)	UEQ[1:0]	DTX2N (SSTXN)	UTX2N
					DEQ[1:0]	DRX2P (SSTXP)	URX2P	DEQ[1:0]	URX2P	DRX2P (SSRXP)
					DEQ[1:0]	DRX2N (SSTXN)	URX2N	DEQ[1:0]	URX2N	DRX2N (SSRXN)
仅 USB3.2 翻转方向										
L	H	L	H	H	UEQ[1:0]	UTX1P	DTX1P (SSRXP)	UEQ[1:0]	DTX1P (SSTXP)	UTX1P
					UEQ[1:0]	UTX1N	DTX1N (SSRXN)	UEQ[1:0]	DTX1N (SSTXN)	UTX1N
					DEQ[1:0]	DRX1P (SSTXP)	URX1P	DEQ[1:0]	URX1P	DRX1P (SSRXP)
					DEQ[1:0]	DRX1N (SSTXN)	URX1N	DEQ[1:0]	URX1N	DRX1N (SSRXN)
4 通道 DP 正常方向										

表 7-5. 输入到输出映射 (续)

					SWAP = L			SWAP = H		
					自	自	至	自	自	至
DIR1 PIN	DIR0 PIN	CTL1 PIN	CTL0 PIN	FLIP 引脚	RX EQ 控制 引脚	输入 引脚	输出 引脚	RX EQ 控制 引脚	输入 引脚	输出 引脚
L	H	H	L	L	UEQ[1:0]	URX2P	DRX2P (DP3P)	UEQ[1:0]	DRX2P (DP3P)	URX2P
					UEQ[1:0]	URX2N	DRX2N (DP3N)	UEQ[1:0]	DRX2N (DP3N)	URX2N
					UEQ[1:0]	UTX2P	DTX2P (DP2P)	UEQ[1:0]	DTX2P (DP2P)	UTX2P
					UEQ[1:0]	UTX2N	DTX2N (DP2N)	UEQ[1:0]	DTX2N (DP2N)	UTX2N
					UEQ[1:0]	UTX1P	DTX1P (DP1P)	UEQ[1:0]	DTX1P (DP1P)	UTX1P
					UEQ[1:0]	UTX1N	DTX1N (DP1N)	UEQ[1:0]	DTX1N (DP1N)	UTX1N
					UEQ[1:0]	URX1P	DRX1P (DP0P)	UEQ[1:0]	DRX1P (DP0P)	URX1P
					UEQ[1:0]	URX1P	DRX1N (DP0P)	UEQ[1:0]	DRX1N (DP0N)	URX1N
4 通道 DP 翻转方向										
L	H	H	L	H	UEQ[1:0]	URX1P	DRX1P (DP3P)	UEQ[1:0]	DRX1P (DP3P)	URX1P
					UEQ[1:0]	URX1N	DRX1N (DP3N)	UEQ[1:0]	DRX1N (DP3N)	URX1N
					UEQ[1:0]	UTX1P	DTX1P (DP2P)	UEQ[1:0]	DTX1P (DP2P)	UTX1P
					UEQ[1:0]	UTX1N	DTX1N (DP2N)	UEQ[1:0]	DTX1N (DP2N)	UTX1N
					UEQ[1:0]	UTX2P	DTX2P (DP1P)	UEQ[1:0]	DTX2P (DP1P)	UTX2P
					UEQ[1:0]	UTX2N	DTX2N (DP1N)	UEQ[1:0]	DTX2N (DP1N)	UTX2N
					UEQ[1:0]	URX2P	DRX2P (DP0P)	UEQ[1:0]	DRX2P (DP0P)	URX2P
					UEQ[1:0]	URX2N	DRX2N (DP0N)	UEQ[1:0]	DRX2N (DP0N)	URX2N
USB3.2 + 双通道 DP 正常方向										

表 7-5. 输入到输出映射 (续)

					SWAP = L			SWAP = H		
					自	自	至	自	自	至
DIR1 PIN	DIR0 PIN	CTL1 PIN	CTL0 PIN	FLIP 引脚	RX EQ 控制 引脚	输入 引脚	输出 引脚	RX EQ 控制 引脚	输入 引脚	输出 引脚
L	H	H	H	L	DEQ[1:0]	DRX2P (SSRXP)	URX2P	DEQ[1:0]	URX2P	DRX2P (SSRXP)
					DEQ[1:0]	DRX2N (SSRXN)	URX2N	DEQ[1:0]	URX2N	DRX2N (SSRXN)
					UEQ[1:0]	UTX2P	DTX2P (SSTXP)	UEQ[1:0]	DTX2P (SSTXP)	UTX2P
					UEQ[1:0]	UTX2N	DTX2N (SSTXN)	UEQ[1:0]	DTX2N (SSTXN)	UTX2N
					UEQ[1:0]	URX1P	DRX1P (DP0P)	UEQ[1:0]	DRX1P (DP0P)	URX1P
					UEQ[1:0]	URX1N	DRX1N (DP0N)	UEQ[1:0]	DRX1N (DP0N)	URX1N
					UEQ[1:0]	UTX1P	DTX1P (DP1P)	UEQ[1:0]	DTX1P (DP1P)	UTX1P
					UEQ[1:0]	UTX1N	DTX1N (DP1N)	UEQ[1:0]	DTX1N (DP1N)	UTX1N
USB3.2 + 双通道 DP 翻转方向										
L	H	H	H	H	DEQ[1:0]	DRX1P (SSRXP)	URX1P	DEQ[1:0]	URX1P	DRX1P (SSRXP)
					DEQ[1:0]	DRX1N (SSRXN)	URX1N	DEQ[1:0]	URX1N	DRX1N (SSRXN)
					UEQ[1:0]	UTX1P	DTX1P (SSTXP)	UEQ[1:0]	DTX1P (SSTXP)	UTX1P
					UEQ[1:0]	UTX1N	DTX1N (SSTXN)	UEQ[1:0]	DTX1N (SSTXN)	UTX1N
					UEQ[1:0]	URX2P	DRX2P (DP0P)	UEQ[1:0]	DRX2P (DP0P)	URX2P
					UEQ[1:0]	URX2N	DRX2N (DP0N)	UEQ[1:0]	DRX2N (DP0N)	URX2N
					UEQ[1:0]	UTX2P	DTX2P (DP1P)	UEQ[1:0]	DTX2P (DP1P)	UTX2P
					UEQ[1:0]	UTX2N	DTX2N (DP1N)	UEQ[1:0]	DTX2N (DP1N)	UTX2N
USB + 自定义交替模式 (源侧)										
禁用										
H	L	L	L	L	不适用	不适用	不适用	不适用	不适用	不适用
H	L	L	L	H	不适用	不适用	不适用	不适用	不适用	不适用
仅 USB3.2 正常方向										
H	L	L	H	L	DEQ[1:0]	DRX1P	URX1P (SSRXP)	DEQ[1:0]	URX1P (SSTXP)	DRX1P
					DEQ[1:0]	DRX1N	URX1N (SSRXN)	DEQ[1:0]	URX1N (SSTXN)	DRX1N
					UEQ[1:0]	UTX1P (SSTXP)	DTX1P	UEQ[1:0]	DTX1P	UTX1P (SSRXP)
					UEQ[1:0]	UTX1N (SSTXN)	DTX1N	UEQ[1:0]	DTX1N	UTX1N (SSRXN)
仅 USB3.2 翻转方向										

表 7-5. 输入到输出映射 (续)

					SWAP = L			SWAP = H		
					自	自	至	自	自	至
DIR1 PIN	DIR0 PIN	CTL1 PIN	CTL0 PIN	FLIP 引脚	RX EQ 控制 引脚	输入 引脚	输出 引脚	RX EQ 控制 引脚	输入 引脚	输出 引脚
H	L	L	H	H	DEQ[1:0]	DRX2P	URX2P (SSRXP)	DEQ[1:0]	URX2P (SSTXP)	DRX2P
					DEQ[1:0]	DRX2N	URX2N (SSRXN)	DEQ[1:0]	URX2N (SSTXN)	DRX2N
					UEQ[1:0]	UTX2P (SSTXP)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (SSRXP)
					UEQ[1:0]	UTX2N (SSTXN)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (SSRXN)
4 通道自定义正常方向										
H	L	H	L	L	DEQ[1:0]	DRX2P	URX2P (LN1RXP)	DEQ[1:0]	URX2P (LN1RXP)	DRX2P
					DEQ[1:0]	DRX2N	URX2N (LN1RXN)	DEQ[1:0]	URX2N (LN1RXN)	DRX2N
					UEQ[1:0]	UTX2P (LN1TXP)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (LN1TXP)
					UEQ[1:0]	UTX2N (LN1TXN)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (LN1TXN)
					UEQ[1:0]	UTX1P (LN0TXP)	DTX1P	UEQ[1:0]	DTX1P	UTX1P (LN0TXP)
					UEQ[1:0]	UTX1N (LN0TXN)	DTX1N	UEQ[1:0]	DTX1N	UTX1N (LN0TXN)
					DEQ[1:0]	DRX1P	URX1P (LN0RXP)	DEQ[1:0]	URX1P (LN0RXP)	DRX1P
					DEQ[1:0]	DRX1N	URX1N (LN0RXN)	DEQ[1:0]	URX1N (LN0RXN)	DRX1N
4 通道自定义翻转方向										
H	L	H	L	H	DEQ[1:0]	DRX1P	URX1P (LN1RXP)	DEQ[1:0]	URX1P (LN1RXP)	DRX1P
					DEQ[1:0]	DRX1N	URX1N (LN1RXN)	DEQ[1:0]	URX1N (LN1RXN)	DRX1N
					UEQ[1:0]	UTX1P (LN1TXP)	DTX1P	UEQ[1:0]	DTX1P	UTX1P (LN1TXP)
					UEQ[1:0]	UTX1N (LN1TXN)	DTX1N	UEQ[1:0]	DTX1N	UTX1N (LN1TXN)
					UEQ[1:0]	UTX2P (LN0TXP)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (LN0TXP)
					UEQ[1:0]	UTX2N (LN0TXN)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (LN0TXN)
					DEQ[1:0]	DRX2P	URX2P (LN0RXP)	DEQ[1:0]	URX2P (LN0RXP)	DRX2P
					DEQ[1:0]	DRX2N	URX2N (LN0RXN)	DEQ[1:0]	URX2N (LN0RXN)	DRX2N
USB3.2 x 2 正常方向										

表 7-5. 输入到输出映射 (续)

					SWAP = L			SWAP = H		
					自	自	至	自	自	至
DIR1 PIN	DIR0 PIN	CTL1 PIN	CTL0 PIN	FLIP 引脚	RX EQ 控制 引脚	输入 引脚	输出 引脚	RX EQ 控制 引脚	输入 引脚	输出 引脚
H	L	H	H	L	DEQ[1:0]	DRX1P	URX1P (SSRXP)	DEQ[1:0]	URX1P (SSTXP)	DRX1P
					DEQ[1:0]	DRX1N	URX1N (SSRXN)	DEQ[1:0]	URX1N (SSTXN)	DRX1N
					UEQ[1:0]	UTX1P (SSTXP)	DTX1P	UEQ[1:0]	DTX1P	UTX1P (SSRXP)
					UEQ[1:0]	UTX1N (SSTXN)	DTX1N	UEQ[1:0]	DTX1N	UTX1N (SSRXN)
					UEQ[1:0]	UTX2P (LN0TXP)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (LN0TXP)
					UEQ[1:0]	UTX2N (LN0TXN)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (LN0TXN)
					DEQ[1:0]	DRX2P	URX2P (LN0RXP)	DEQ[1:0]	URX2P (LN0RXP)	DRX2P
					DEQ[1:0]	DRX2N	URX2N (LN0RXN)	DEQ[1:0]	URX2N (LN0RXN)	DRX2N
USB3.2 x 2 翻转方向										
H	L	H	H	H	DEQ[1:0]	DRX2P	URX2P (SSRXP)	DEQ[1:0]	URX2P (SSTXP)	DRX2P
					DEQ[1:0]	DRX2N	URX2N (SSRXN)	DEQ[1:0]	URX2N (SSTXN)	DRX2N
					UEQ[1:0]	UTX2P (SSTXP)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (SSRXP)
					UEQ[1:0]	UTX2N (SSTXN)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (SSRXN)
					UEQ[1:0]	UTX1P (LN0TXP)	DTX1P	UEQ[1:0]	DTX1P	UTX1P (LN0TXP)
					UEQ[1:0]	UTX1N (LN0TXN)	DTX1N	UEQ[1:0]	DTX1N	UTX1N (LN0TXN)
					DEQ[1:0]	DRX1P	URX1P (LN0RXP)	DEQ[1:0]	URX1P (LN0RXP)	DRX1P
					DEQ[1:0]	DRX1N	URX1N (LN0RXN)	DEQ[1:0]	URX1N (LN0RXN)	DRX1N
USB + 自定义交替模式 (接收侧)										
禁用										
H	H	L	L	L	不适用	不适用	不适用	不适用	不适用	不适用
H	H	L	L	H	不适用	不适用	不适用	不适用	不适用	不适用
仅 USB3.2 正常方向										
H	H	L	H	L	UEQ[1:0]	UTX2P	DTX2P (SSRXP)	UEQ[1:0]	DTX2P (SSTXP)	UTX2P
					UEQ[1:0]	UTX2N	DTX2N (SSRXN)	UEQ[1:0]	DTX2N (SSTXN)	UTX2N
					DEQ[1:0]	DRX2P (SSTXP)	URX2P	DEQ[1:0]	URX2P	DRX2P (SSRXP)
					DEQ[1:0]	DRX2N (SSTXN)	URX2N	DEQ[1:0]	URX2N	DRX2N (SSRXN)
仅 USB3.2 翻转方向										

表 7-5. 输入到输出映射 (续)

					SWAP = L			SWAP = H		
					自	自	至	自	自	至
DIR1 PIN	DIR0 PIN	CTL1 PIN	CTL0 PIN	FLIP 引脚	RX EQ 控制 引脚	输入 引脚	输出 引脚	RX EQ 控制 引脚	输入 引脚	输出 引脚
H	H	L	H	H	UEQ[1:0]	UTX1P	DTX1P (SSRXP)	UEQ[1:0]	DTX1P (SSTXP)	UTX1P
					UEQ[1:0]	UTX1N	DTX1N (SSRXN)	UEQ[1:0]	DTX1N (SSTXN)	UTX1N
					DEQ[1:0]	DRX1P (SSTXP)	URX1P	DEQ[1:0]	URX1P	DRX1P (SSRXP)
					DEQ[1:0]	DRX1N (SSTXN)	URX1N	DEQ[1:0]	URX1N	DRX1N (SSRXN)
4 通道自定义正常方向										
H	H	H	L	L	DEQ[1:0]	DRX2P	URX2P (LN1TXP)	DEQ[1:0]	URX2P (LN1TXP)	DRX2P
					DEQ[1:0]	DRX2N	URX2N (LN1TXN)	DEQ[1:0]	URX2N (LN1TXN)	DRX2N
					UEQ[1:0]	UTX2P (LN1RXP)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (LN1RXP)
					UEQ[1:0]	UTX2N (LN1RXN)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (LN1RXN)
					UEQ[1:0]	UTX1P (LN0RXP)	DTX1P	UEQ[1:0]	DTX1P	UTX1P (LN0RXP)
					UEQ[1:0]	UTX1N (LN0RXN)	DTX1N	UEQ[1:0]	DTX1N	UTX1N (LN0RXN)
					DEQ[1:0]	DRX1P	URX1P (LN0RXP)	DEQ[1:0]	URX1P (LN0RXP)	DRX1P
					DEQ[1:0]	DRX1N	URX1N (LN0RXN)	DEQ[1:0]	URX1N (LN0RXN)	DRX1N
4 通道自定义翻转方向										
H	H	H	L	H	DEQ[1:0]	DRX2P	URX2P (LN0RXP)	DEQ[1:0]	URX2P (LN0RXP)	DRX2P
					DEQ[1:0]	DRX2N	URX2N (LN0RXN)	DEQ[1:0]	URX2N (LN0RXN)	DRX2N
					UEQ[1:0]	UTX2P (LN0RXP)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (LN0RXP)
					UEQ[1:0]	UTX2N (LN0RXN)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (LN0RXN)
					UEQ[1:0]	UTX1P (LN0RXP)	DTX1P	UEQ[1:0]	DTX1P	UTX1P (LN0RXP)
					UEQ[1:0]	UTX1N (LN0RXN)	DTX1N	UEQ[1:0]	DTX1N	UTX1N (LN0RXN)
					DEQ[1:0]	DRX1P	URX1P (LN0TXP)	DEQ[1:0]	URX1P (LN0TXP)	DRX1P
					DEQ[1:0]	DRX1N	URX1N (LN0TXN)	DEQ[1:0]	URX1N (LN0TXN)	DRX1N
USB3.2 x 2 正常方向										

表 7-5. 输入到输出映射 (续)

					SWAP = L			SWAP = H		
					自	自	至	自	自	至
DIR1 PIN	DIR0 PIN	CTL1 PIN	CTL0 PIN	FLIP 引脚	RX EQ 控制 引脚	输入 引脚	输出 引脚	RX EQ 控制 引脚	输入 引脚	输出 引脚
H	H	H	H	L	UEQ[1:0]	UTX2P	DTX2P (SSRXP)	UEQ[1:0]	DTX2P (SSTXP)	UTX2P
					UEQ[1:0]	UTX2N	DTX2N (SSRXN)	UEQ[1:0]	DTX2N (SSTXN)	UTX2N
					DEQ[1:0]	DRX2P (SSTXP)	URX2P	DEQ[1:0]	URX2P	DRX2P (SSRXP)
					DEQ[1:0]	DRX2N (SSTXN)	URX2N	DEQ[1:0]	URX2N	DRX2N (SSRXN)
					UEQ[1:0]	UTX1P	DTX1P (LN0RXP)	UEQ[1:0]	DTX1P (LN0RXP)	UTX1P
					UEQ[1:0]	UTX1N	DTX1N(LN0R XN)	UEQ[1:0]	DTX1N(LN0 RXN)	UTX1N
					DEQ[1:0]	DRX1P (LN0TXP)	URX1P	DEQ[1:0]	URX1P	DRX1P (LN0TXP)
					DEQ[1:0]	DRX1N (LN0TXN)	URX1N	DEQ[1:0]	URX1N	DRX1N (LN0TXN)
USB3.2 x 2 翻转方向										
H	H	H	H	H	UEQ[1:0]	UTX1P	DTX1P (SSRXP)	UEQ[1:0]	DTX1P (SSSXP)	UTX1P
					UEQ[1:0]	UTX1N	DTX1N (SSRXN)	UEQ[1:0]	DTX1N (SSSXN)	UTX1N
					DEQ[1:0]	DRX1P (SSTXP)	URX1P	DEQ[1:0]	URX1P	DRX1P (SSRXP)
					DEQ[1:0]	DRX1N (SSTXN)	URX1N	DEQ[1:0]	URX1N	DRX1N (SSRXN)
					DEQ[1:0]	DRX2P	URX2P (LN0TXP)	DEQ[1:0]	URX2P (LN0TXP)	DRX2P
					DEQ[1:0]	DRX2N	URX2N (LN0TXN)	DEQ[1:0]	URX2N (LN0TXN)	DRX2N
					UEQ[1:0]	UTX2P (LN0RXP)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (LN0RXP)
					UEQ[1:0]	UTX2N (LN0RXN)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (LN0RXN)

7.4.2 I²C 模式中的器件配置

当 I2C_EN 等于 1 时，TUSB1044A 处于 I²C 模式。在 GPIO 模式中定义的相同配置也可以在 I²C 模式中使用。TUSB1044A USB3.2、DisplayPort 和自定义交替模式配置根据表 7-6 进行控制。AUXP/N 到 SBU1/2 映射控制基于表 7-6。

表 7-6. I²C 配置控制

寄存器						TUSB1044A 配置	VESA® DisplayPort™ 交替模式 DFP_D 配置
USB32_BY2_EN	DIRSEL1	DIRSEL0	CTLSEL1	CTLSEL0	FLIPSEL		
USB + DisplayPort 交替模式 (源侧)							
X	L	L	L	L	X	断电	-
L	L	L	L	H	L	单端口 USB 3.2x1 - 无翻转	-

表 7-6. I²C 配置控制 (续)

寄存器						TUSB1044A 配置	VESA® DisplayPort™ 交替模式 DFP_D 配置
USB32_BY2_EN	DIRSEL1	DIRSEL0	CTLSEL1	CTLSEL0	FLIPSEL		
L	L	L	L	H	H	单端口 USB 3.2x1 - 带翻转	-
H	L	L	L	H	L	单端口 USB 3.2x2 - 无翻转	-
H	L	L	L	H	H	单端口 USB 3.2x2 - 带翻转	-
X	L	L	H	L	L	4 通道 DP - 无翻转	C 和 E
X	L	L	H	L	H	4 通道 DP - 带翻转	C 和 E
X	L	L	H	H	L	单端口 USB 3.2x1 + 双通道 DP - 无翻转	D 和 F
X	L	L	H	H	H	单端口 USB 3.2x1 + 双通道 DP - 带翻转	D 和 F
USB + DisplayPort 交替模式 (接收侧)							
X	L	H	L	L	X	断电	-
L	L	H	L	H	L	单端口 USB 3.2x1 - 无翻转	-
L	L	H	L	H	H	单端口 USB 3.2x1 - 带翻转	-
H	L	H	L	H	L	单端口 USB 3.2x2 - 无翻转	-
H	L	H	L	H	H	单端口 USB 3.2x2 - 带翻转	-
X	L	H	H	L	L	4 通道 DP - 无翻转	C 和 E
X	L	H	H	L	H	4 通道 DP - 带翻转	C 和 E
X	L	H	H	H	L	单端口 USB 3.2x1 + 双通道 DP - 无翻转	D 和 F
X	L	H	H	H	H	单端口 USB 3.2x1 + 双通道 DP - 带翻转	D 和 F
USB + 自定义交替模式 (源侧)							
X	H	L	L	L	X	断电	-
L	H	L	L	H	L	单端口 USB 3.2x1 - 无翻转	-
L	H	L	L	H	H	单端口 USB 3.2x1 - 带翻转	-
H	H	L	L	H	L	单端口 USB 3.2x2 - 无翻转	-
H	H	L	L	H	H	单端口 USB 3.2x2 - 带翻转	-
X	H	L	H	L	L	4 通道自定义交替模式 - 无翻转	-
X	H	L	H	L	H	4 通道自定义交替模式 - 带翻转	-
X	H	L	H	H	L	单端口 USB 3.2x2 - 无翻转	-
X	H	L	H	H	H	单端口 USB 3.2x2 - 带翻转	-
USB + 自定义交替模式 (接收侧)							

表 7-6. I²C 配置控制 (续)

寄存器						TUSB1044A 配置	VESA® DisplayPort™ 交替模式 DFP_D 配置
USB32_BY2_EN	DIRSEL1	DIRSEL0	CTLSEL1	CTLSEL0	FLIPSEL		
X	H	H	L	L	X	断电	–
L	H	H	L	H	L	单端口 USB 3.2x1 - 无翻转	–
L	H	H	L	H	H	单端口 USB 3.2x1 - 带翻转	–
H	H	H	L	H	L	单端口 USB 3.2x2 - 无翻转	–
H	H	H	L	H	H	单端口 USB 3.2x2 - 带翻转	–
X	H	H	H	L	L	4 通道自定义交替模式 - 无翻转	–
X	H	H	H	L	H	4 通道自定义交替模式 - 带翻转	–
X	H	H	H	H	L	单端口 USB 3.2x2 - 无翻转	–
X	H	H	H	H	H	单端口 USB 3.2x2 - 带翻转	–

表 7-7. I²C AUXP/N 到 SBU1/2 映射

寄存器			映射
AUX_SBU_OVR	CTLSEL1	FLIPSEL	
00	H	L	AUXp -> SBU1 AUXn -> SBU2
00	H	H	AUXp -> SBU2 AUXn -> SBU1
00	L	X	开路
01	X	X	AUXp -> SBU1 AUXn -> SBU2
10	X	X	AUXp -> SBU2 AUXn -> SBU1
11	X	X	开路

7.4.3 DisplayPort 模式

TUSB1044A 支持多达四个数据速率高达 10.0Gbps 的 DisplayPort 通道。TUSB1044A 可通过 GPIO 控制或 I²C 寄存器控制来启用 DisplayPort。处于 GPIO 模式时，基于表 7-3 对 DisplayPort 进行控制。当不处于 GPIO 模式时，DisplayPort 功能通过 I²C 寄存器进行控制。

7.4.4 自定义交替模式

在最高 10Gbps 的数据速率下，TUSB1044A 支持自定义交替模式的通道（或四个通道）。TUSB1044A 可通过 GPIO 控制或 I²C 寄存器控制来为自定义交替模式启用。在禁用 AUX 检测的 GPIO 模式下，不支持自定义交替模式。当处于 GPIO 模式时，自定义交替模式根据表 7-3 进行控制。当不处于 GPIO 模式时，自定义交替模式功能的启用通过 I²C 寄存器进行控制。在 I²C 模式下，该模式的运行需要将 AUX_SNOOP_DISABLE 寄存器 13h 位 7 保留为 0。

7.4.5 线性 EQ 配置

TUSB1044A 接收器通道可控制上行和下行端口的接收器均衡。接收器均衡增益值可通过 I²C 寄存器或通过 GPIO 进行控制。表 7-8 详细说明了 TUSB1044A 在 GPIO 模式下时每个可用组合的增益值。通过更新寄存器

URX[2:1]EQ_SEL、UTX[2:1]EQ_SEL、DRX[2:1]EQ_SEL 和 DTX[2:1]EQ_SEL，这些相同的选项也可用于每个通道以及 I²C 模式下的上行和下行端口。

表 7-8. TUSB1044A 接收器均衡 GPIO 控制

EQ 设置编号	采用 1100mV 线性设置的下行端口				采用 1100mV 线性设置的上行端口			
	DEQ1 引脚电平	DEQ0 引脚电平	EQ 增益 5GHz (dB)	EQ 增益 4.05GHz (dB)	UEQ1 引脚电平	UEQ0 引脚电平	EQ 增益 5GHz (dB)	EQ 增益 4.05GHz (dB)
0	0	0	-2.1	-1.4	0	0	-4.4	-3.3
1	0	R	0	0.4	0	R	-2.2	-1.5
2	0	F	1.5	1.7	0	F	0.7	0.0
3	0	1	3.0	3.2	0	1	0.9	1.4
4	R	0	4.0	4.1	R	0	1.9	2.4
5	R	R	5.0	5.2	R	R	3.0	3.5
6	R	F	5.9	6.1	R	F	3.8	4.3
7	R	1	6.7	6.9	R	1	4.7	5.2
8	F	0	7.4	7.7	F	0	5.4	6.0
9	F	R	8.0	8.3	F	R	6.0	6.6
10	F	F	8.5	8.8	F	F	6.5	7.2
11	F	1	9.0	9.4	F	1	7.1	7.7
12	1	0	9.4	9.8	1	0	7.5	8.1
13	1	R	9.8	10.3	1	R	7.9	8.6
14	1	F	10.1	10.6	1	F	8.3	9.0
15	1	1	10.5	11.0	1	1	8.6	9.4

7.4.6 可调节 VOD 线性范围和直流增益

CFG0 和 CFG1 引脚可用于调节 TUSB1044A 差动输出电压 (VOD) 摆幅线性范围，以及下行和上行数据路径方向的接收器均衡直流增益。表 7-9 详细说明了可用的选项。

表 7-9. VOD 线性范围和直流增益

设置编号	CFG1 引脚电平	CFG0 引脚电平	下行直流增益 (dB)	上行直流增益 (dB)	下行 VOD 线性范围 (mVpp)	上行 VOD 线性范围 (mVpp)
0	0	0	1	0	900	900
1	0	R	0	1	900	900
2	0	F	0	0	900	900
3	0	1	1	1	900	900
4	R	0	0	0	1100	1100
5	R	R	1	0	1100	1100
6	R	F	0	1	1100	1100
7	R	1	2	2	1100	1100
8	F	0	保留	保留	保留	保留
9	F	R	保留	保留	保留	保留
10	F	F	0	0	1300	1300
11	F	1	保留	保留	保留	保留
12	1	0	保留	保留	保留	保留
13	1	R	保留	保留	保留	保留
14	1	F	保留	保留	保留	保留

表 7-9. VOD 线性范围和直流增益 (续)

设置 编号	CFG1 引脚 电平	CFG0 引脚 电平	下行 直流增益 (dB)	上行 直流增益 (dB)	下行 VOD 线性范围 (mVpp)	上行 VOD 线性范围 (mVpp)
15	1	1	保留	保留	保留	保留

7.4.7 USB3.1 模式

TUSB1044A 监控物理层状况，如接收器终止、电气空闲、LFPS 和超高速信令速率，以确定 USB3.1 接口的状态。根据 USB 3.1 接口的状态，当启用 USB 3.1 时 (CTL0 = H 或 CTLSEL0 = 1b1)，TUSB1044A 可处于四种主要运行模式之一：断开、U2/U3、U1 和 U0。

断开模式是指 TUSB1044A 在上行端口 (UFP) 或下行端口 (DFP) 上均未检测到远端终端的状态。断开模式是这四种模式中每种模式的最低功耗模式。TUSB1044A 保持在该模式下，直到在 UFP 和 DFP 上都检测到远端接收器终止。检测到远端终止时，TUSB1044A 立即退出该模式并进入 U0 模式。

在 U0 模式下时，TUSB1044A 转接驱动在 UFP 和 DFP 上接收到的所有流量。U0 是所有 USB3.1 模式的最高功耗模式。TUSB1044A 保持在 U0 模式下，直到 UFP 和 DFP 上都出现电气空闲。在检测到电气空闲时，TUSB1044A 立即切换到 U1。

U1 模式是 U0 模式和 U2/U3 模式之间的中间模式。在 U1 模式下，TUSB1044A UFP 和 DFP 接收器终止功能保持开启状态。UFP 和 DFP 变送器直流共模电压得以保持。U1 中的功耗与 U0 的功耗类似。

除断开模式外，U2 和 U3 模式是下一个最低功耗状态。在此模式下时，TUSB1044A 定期执行远端接收器检测。只要在 UFP 或 DFP 上未检测到远端接收器终止，TUSB1044A 就会退出 U2 和 U3 模式并转换到断开模式。该器件还监控有效 LFPS。检测到有效 LFPS 后，TUSB1044A 立即切换到 U0 模式。在 U2 和 U3 模式下，TUSB1044A 接收器终止功能保持开启状态，但不能保持 TX 直流共模电压。

当 SLP_S0# 置为低电平时，TUSB1044A 会禁用接收器检测功能。当 SLP_S0# 为低电平且 TUSB1044A 处于 U2 和 U3 模式时，TUSB1044A 禁用 LOS 和 LFPS 检测电路，并且两个通道的 RX 终止功能保持开启状态。这样可以在 TUSB1044A 处于 U2 和 U3 模式时进一步降低其功耗。如果 SLP_S0# 置为高电平，TUSB1044A 就会再次开始执行远端接收器检测并监控 LFPS，这样该器件就会知道何时退出 U2 和 U3 模式。

当 SLP_S0# 置为低电平且 TUSB1044A 处于断开模式时，TUSB1044A 将保持在断开模式，并且始终不执行远端接收器检测。这样就可以在 TUSB1044A 处于断开模式时进一步降低其功耗。在 SLP_S0# 置为高电平时，TUSB1044A 会再次开始执行远端接收器检测，以便该器件知道何时退出断开模式。

7.5 编程

为了实现进一步的可编程性，可使用 I²C 来控制 TUSB1044A。SCL 和 SDA 终端分别用于 I²C 时钟和 I²C 数据。

表 7-10. I²C 目标地址

TUSB1044A I ² C 目标地址									
UEQ1/A1 引脚电平	UEQ0/A0 引脚电平	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (W/R)
0	0	1	0	0	0	1	0	0	0/1
0	R	1	0	0	0	1	0	1	0/1
0	F	1	0	0	0	1	1	0	0/1
0	1	1	0	0	0	1	1	1	0/1
R	0	0	1	0	0	0	0	0	0/1
R	R	0	1	0	0	0	0	1	0/1
R	F	0	1	0	0	0	1	0	0/1
R	1	0	1	0	0	0	1	1	0/1
F	0	0	0	1	0	0	0	0	0/1
F	R	0	0	1	0	0	0	1	0/1

表 7-10. I²C 目标地址 (续)

TUSB1044A I ² C 目标地址									
UEQ1/A1 引脚电平	UEQ0/A0 引脚电平	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (W/R)
F	F	0	0	1	0	0	1	0	0/1
F	1	0	0	1	0	0	1	1	0/1
1	0	0	0	0	1	1	0	0	0/1
1	R	0	0	0	1	1	0	1	0/1
1	F	0	0	0	1	1	1	0	0/1
1	1	0	0	0	1	1	1	1	0/1

7.5.1 用于写入 TUSB1044A I²C 寄存器的程序：

1. 控制器通过生成启动条件 (S) 以及 TUSB1044A 7 位地址和一个用以指示写入周期的零值 W/R 位来启动写入操作。
2. TUSB1044A 确认地址周期。
3. 控制器提供要写入的子地址 (TUSB1044A 中的 I²C 寄存器)，其中包含一个字节的的数据，MSB 在前。
4. TUSB1044A 确认子地址周期。
5. 控制器提供要写入 I²C 寄存器的数据的第一个字节。
6. TUSB1044A 确认字节传输。
7. 控制器可以继续提供要写入的额外字节的数据，每个字节传输都在 TUSB1044A 发出确认后完成。
8. 控制器通过生成停止条件 (P) 来终止写入操作。

7.5.2 用于读取 TUSB1044A I²C 寄存器的程序：

1. 控制器通过生成启动条件 (S) 以及 TUSB1044A 7 位地址和一个用以指示读取周期的单值 W/R 位来启动读取操作。
2. TUSB1044A 确认地址周期。
3. TUSB1044A 从寄存器 00h 或上次读取的子地址 +1 处开始传输存储器寄存器的内容，MSB 优先。如果写入 I²C 寄存器发生在读取之前，则 TUSB1044A 应该从写入中指定的子地址开始。
4. 在每次字节传输后，TUSB1044A 会等待控制器发出确认 (ACK) 或不确认 (NACK)；I²C 控制器确认接收到传输的每个数据字节。
5. 如果接收到 ACK，TUSB1044A 将传输下一个字节的数据。
6. 控制器通过生成停止条件 (P) 来终止读取操作。

7.5.3 为 I²C 读取设置起始子地址的程序：

1. 控制器通过生成启动条件 (S) (后跟 TUSB1044A 7 位地址和一个用以指示写入周期的零值 “W/R” 位) 来启动写入操作。
2. TUSB1044A 确认地址周期。
3. 控制器提供要写入的子地址 (TUSB1044A 中的 I²C 寄存器)，其中包含一个字节的的数据，MSB 在前。
4. TUSB1044A 确认子地址周期。
5. 控制器通过生成停止条件 (P) 来终止写入操作。

备注

如果读取过程不包含子寻址，则读取操作从寄存器偏移 00h 开始并逐字节继续，直到 I²C 控制器终止读取操作为止。如果 I²C 地址写入发生在读取之前，则读取操作从地址写入指定的子地址开始。

8 寄存器映射

8.1 TUSB1044A 寄存器

表 8-1 列出了 TUSB1044A 寄存器的存储器映射寄存器。表 8-1 中未列出的所有寄存器偏移地址都应视为保留的存储单元，并且不应修改寄存器内容。

表 8-1. TUSB1044A 寄存器

偏移	首字母缩写词	寄存器名称	部分
Ah	General_1	通用寄存器 1	转到
Bh	General_2	通用寄存器 2	转到
Ch	General_3	通用寄存器 3	转到
10h	UFP2_EQ	UFP2 EQ 控制	转到
11h	UFP1_EQ	UFP1 EQ 控制	转到
12h	DisplayPort_1	AUX 监测状态	转到
13h	DisplayPort_2	DP 通道启用/禁用控制	转到
20h	DFP2_EQ	DFP2 EQ 控制	转到
21h	DFP1_EQ	DFP1 EQ 控制	转到
22h	USB3_MISC	其他 USB3 控制	转到
23h	USB3_LOS	USB3 LOS 阈值控制	转到

复杂的位访问类型经过编码可适应小型表单元。表 8-2 展示了适用于此部分中访问类型的代码。

表 8-2. TUSB1044A 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
RH	R H	读取 由硬件置位或清零
写入类型		
W	W	写入
WS	W	写入
复位或默认值		
-n		复位后的值或默认值

8.1.1 General_1 寄存器 (偏移 = Ah) [复位 = 00h]

General_1 如 表 8-3 所示。

返回到[汇总表](#)。

表 8-3. General_1 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	USB32_BY2_EN	R/W	0h	设置此字段以启用 USB3.2 x2 模式。USB3.2 x2 模式允许器件在高达 20Gbps 的数据速率下运行。当该字段为零时，器件限制为 10Gbps 0h = USB3.2 x2 禁用 1h = USB3.2 x2 启用
5	SWAP_SEL	R/W	0h	设置该字段即可在所有通道上执行全局方向交换。 0h = 通道方向和 EQ 设置均处于正常模式 1h = 反转所有通道方向和输入端口的 EQ 设置。

表 8-3. General_1 寄存器字段说明 (续)

位	字段	类型	复位	说明
4	EQ_OVERRIDE	R/W	0h	设置此字段允许软件使用寄存器中的 EQ 设置，而非引脚的采样值。 0h = 基于 EQ 引脚的采样状态的 EQ 设置。 1h = 基于每个 EQ 寄存器的编程值的 EQ 设置。
3	HPDIN_OVERRIDE	R/W	0h	覆盖 HPDIN 引脚状态。 0h = 基于 HPD_IN 引脚的 HPD_IN。 1h = HPD_IN 高电平。
2	FLIP_SEL	R/W	0h	FLIPSEL 0h = 正常方向 1h = 翻转方向。
1-0	CTLSEL_1:0	R/W	0h	控制 DP 模式和 USB 模式。 0h = 禁用。USB3 和 DisplayPort 的所有 RX 和 TX 都被禁用。 1h = 仅 USB3.2 启用。 2h = DisplayPort 的四通道启用。 3h = USB3.2 和两个 DisplayPort 通道。

8.1.2 General_2 寄存器 (偏移 = Bh) [复位 = 00h]

General_2 如表 8-4 所示。

返回到[汇总表](#)。

表 8-4. General_2 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R	0h	保留
3-0	CH_SWAP_SEL	R/W	0h	交换各通道的方向 (TX 到 RX 和 RX 到 TX) 和 EQ 设置。引脚编号为从 0 到 3。每个通道一位。 0h = 通道和 EQ 设置均为正常。 1h = 反转通道方向和 EQ 设置。

8.1.3 General_3 寄存器 (偏移 = Ch) [复位 = 00h]

General_3 如表 8-5 所示。

返回到[汇总表](#)。

表 8-5. General_3 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	VOD_DCGAIN_OVERRIDE	R/W	0h	设置该字段即可允许软件使用寄存器的 VOD 线性范围和直流增益设置，而非从引脚采样的值 0h = 基于采样的 CFG[2:1] 引脚的 VOD 线性范围和直流增益设置。1b = 基于每个 VOD 线性范围和直流增益寄存器编程值的 EQ 设置。
5-2	VOD_DCGAIN_SEL	R/W	0h	此字段为所有通道和所有方向选择 VOD 线性范围和直流增益。当 VOD_DCGAIN_OVERRIDE = 0b 时，此字段反映 CFG[1:0] 引脚的采样状态。当 VOD_DCGAIN_OVERRIDE = 1b 时，软件可以根据写入该字段的值，在所有方向上更改所有通道的 VOD 线性范围和直流增益。每个 CFG 是一个 2 位值。寄存器到 CFG1/0 的映射为：[5:2] = {CFG1[1:0], CFG0[1:0]}，其中 CFGx[1:0] 映射为： 0h = 0 1h = R 2h = F 3h = 1

表 8-5. General_3 寄存器字段说明 (续)

位	字段	类型	复位	说明
1-0	DIR_SEL	R/W	0h	设置操作模式。如果该字段为 2h 或 3h，且 CTLSEL[1:0] 为 3h，则器件用作 USB3.2 x2。 0h = USB + DP 交替模式源 1h = USB + DP 交替模式接收。 2h = USB + 自定义或 USB3.2x2 源 3h = USB + 自定义或 USB3.2x2 接收。

8.1.4 UFP2_EQ 寄存器 (偏移 = 10h) [复位 = 00h]

UFP2_EQ 如 [表 8-6](#) 所示。

返回到[汇总表](#)。

表 8-6. UFP2_EQ 寄存器字段说明

位	字段	类型	复位	说明
7-4	UTX2EQ_SEL	R/W	0h	该字段为 UTX2P/N 引脚选择 EQ。当 EQ_OVERRIDE = 0b 时，此字段反映 UEQ[1:0] 引脚的采样状态。当 EQ_OVERRIDE = 1b 时，软件可以基于写入此字段的值来更改 UTX2P/N 引脚的 EQ 设置。
3-0	URX2EQ_SEL	R/W	0h	该字段为 URX2P/N 引脚选择 EQ。当 EQ_OVERRIDE = 0b 时，此字段反映 UEQ[1:0] 引脚的采样状态。当 EQ_OVERRIDE = 1b 时，软件可以基于写入此字段的值来更改 URX2P/N 引脚的 EQ 设置。

8.1.5 UFP1_EQ 寄存器 (偏移 = 11h) [复位 = 00h]

UFP1_EQ 如 [表 8-7](#) 所示。

返回到[汇总表](#)。

表 8-7. UFP1_EQ 寄存器字段说明

位	字段	类型	复位	说明
7-4	UTX1EQ_SEL	R/W	0h	该字段为 UTX1P/N 引脚选择 EQ。当 EQ_OVERRIDE = 0b 时，此字段反映 UEQ[1:0] 引脚的采样状态。当 EQ_OVERRIDE = 1b 时，软件可以基于写入此字段的值来更改 UTX1P/N 引脚的 EQ 设置。
3-0	URX1EQ_SEL	R/W	0h	该字段为 URX1P/N 引脚选择 EQ。当 EQ_OVERRIDE = 0b 时，此字段反映 UEQ[1:0] 引脚的采样状态。当 EQ_OVERRIDE = 1b 时，软件可以基于写入此字段的值来更改 URX1P/N 引脚的 EQ 设置。

8.1.6 DisplayPort_1 寄存器 (偏移 = 12h) [复位 = 00h]

DisplayPort_1 如 [表 8-8](#) 所示。

返回到[汇总表](#)。

表 8-8. DisplayPort_1 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6-5	SET_POWER_STATE	RH	0h	此字段表示 AUX 写入 DPCD 地址 0x00600 的监测值。当 AUX_SNOOP_DISABLE = 0b 时，会根据监测值启用或禁用 DP 通道。当 AUX_SNOOP_DISABLE = 1b 时，DP 通道启用/禁用由 DPx_DISABLE 寄存器的状态决定，其中 x = 0、1、2 或 3。当 CTLSEL1 从 1b 变为 0b 时，通过硬件复位将此字段复位为 0h。

表 8-8. DisplayPort_1 寄存器字段说明 (续)

位	字段	类型	复位	说明
4-0	LANE_COUNT_SET	RH	0h	此字段代表 AUX 写入 DPCD 地址 0x00101 寄存器的监测值。当 AUX_SNOOP_DISABLE = 0b 时, 会启用由监测值指定的 DP 通道。禁用未使用的 DP 通道以降低功耗。当 AUX_SNOOP_DISABLE = 1b 时, DP 通道启用/禁用由 DPx_DISABLE 寄存器决定, 其中 x = 0、1、2 或 3。当 CTLSEL1 从 1b 变为 0b 时, 通过硬件复位将此字段复位为 0h。

8.1.7 DisplayPort_2 寄存器 (偏移 = 13h) [复位 = 00h]

DisplayPort_2 如 表 8-9 所示。

返回到[汇总表](#)。

表 8-9. DisplayPort_2 寄存器字段说明

位	字段	类型	复位	说明
7	AUX_SNOOP_DISABLE	R/W	0h	根据 AUX 监测值或寄存器控制是否启用 DP 通道。 0h = AUX 监测已启用。 1h = AUX 监测已禁用。DP 通道由寄存器控制。
6	RESERVED	R	0h	保留
5-4	AUX_SBU_OVR	R/W	0h	此字段会根据 CTL1 和 FLIP 覆盖 AUXP/N 至 SBU1/2 的连接和断开。通过将此字段更改为 1b, 无论 CTLSEL1 和 FLIPSEL 寄存器的状态如何, 都会使流量通过 AUX 传输到 SBU。 0h = 由 CTLSEL1 和 FLIPSEL 决定的 AUX 至 SBU 连接 1h = AUXP -> SBU1 和 AUXN -> SBU2 2h = AUXP -> SBU2 和 AUXN -> SBU1 3h = AUX 至 SBU 开路。
3	DP3_DISABLE	R/W	0h	当 AUX_SNOOP_DISABLE = 1b 时, 此字段可用于启用或禁用 DP 通道 3。当 AUX_SNOOP_DISABLE = 0b 时, 对此字段的更改对通道 3 功能没有影响。 0h = DP 通道 3 已启用。 1h = DP 通道 3 已禁用。
2	DP2_DISABLE	R/W	0h	当 AUX_SNOOP_DISABLE = 1b 时, 此字段可用于启用或禁用 DP 通道 2。当 AUX_SNOOP_DISABLE = 0b 时, 对此字段的更改对通道 2 功能没有影响。 0h = DP 通道 2 已启用。 1h = DP 通道 2 已禁用。
1	DP1_DISABLE	R/W	0h	当 AUX_SNOOP_DISABLE = 1b 时, 此字段可用于启用或禁用 DP 通道 1。当 AUX_SNOOP_DISABLE = 0b 时, 对此字段的更改对通道 1 功能没有影响。 0h = DP 通道 1 已启用。 1h = DP 通道 1 已禁用。
0	DP0_DISABLE	R/W	0h	当 AUX_SNOOP_DISABLE = 1b 时, 此字段可用于启用或禁用 DP 通道 0。当 AUX_SNOOP_DISABLE = 0b 时, 对此字段的更改对通道 0 功能没有影响。 0h = DP 通道 0 已启用。 1h = DP 通道 0 已禁用。

8.1.8 DFP2_EQ 寄存器 (偏移 = 20h) [复位 = 00h]

DFP2_EQ 如 表 8-10 所示。

返回到[汇总表](#)。

表 8-10. DFP2_EQ 寄存器字段说明

位	字段	类型	复位	说明
7-4	DTX2EQ_SEL	R/W	0h	该字段为 DTX2P/N 引脚选择 EQ。当 EQ_OVERRIDE = 0b 时，此字段反映 DEQ[1:0] 引脚的采样状态。当 EQ_OVERRIDE = 1b 时，软件可以基于写入此字段的值来更改 DTX2P/N 引脚的 EQ 设置。
3-0	DRX2EQ_SEL	R/W	0h	该字段为 DRX2P/N 引脚选择 EQ。当 EQ_OVERRIDE = 0b 时，此字段反映 DEQ[1:0] 引脚的采样状态。当 EQ_OVERRIDE = 1b 时，软件可以基于写入此字段的值来更改 DRX2P/N 引脚的 EQ 设置。

8.1.9 DFP1_EQ 寄存器 (偏移 = 21h) [复位 = 00h]

DFP1_EQ 如 表 8-11 所示。

返回到[汇总表](#)。

表 8-11. DFP1_EQ 寄存器字段说明

位	字段	类型	复位	说明
7-4	DTX1EQ_SEL	R/W	0h	该字段为 DTX1P/N 引脚选择 EQ。当 EQ_OVERRIDE = 0b 时，此字段反映 DEQ[1:0] 引脚的采样状态。当 EQ_OVERRIDE = 1b 时，软件可以基于写入此字段的值来更改 DTX1P/N 引脚的 EQ 设置。
3-0	DRX1EQ_SEL	R/W	0h	该字段为 DRX1P/N 引脚选择 EQ。当 EQ_OVERRIDE = 0b 时，此字段反映 DEQ[1:0] 引脚的采样状态。当 EQ_OVERRIDE = 1b 时，软件可以基于写入此字段的值来更改 DRX1P/N 引脚的 EQ 设置。

8.1.10 USB3_MISC 寄存器 (偏移 = 22h) [复位 = 04h]

USB3_MISC 如 表 8-12 所示。

返回到[汇总表](#)。

表 8-12. USB3_MISC 寄存器字段说明

位	字段	类型	复位	说明
7	CM_ACTIVE	RH	0h	合规模式状态。 0h = 未处于 USB3.2 合规模式。 1h = 处于 USB3.2 合规模式。
6	LFPS_EQ	R/W	0h	控制基于 URX[2:1]EQ_SEL、UTX[2:1]EQ_SEL、DRX[2:1]EQ_SEL 和 DTX[2:1]EQ_SEL 的 EQ 设置是否适用于接收到的 LFPS 信号。 0h = 接收 LFPS 时，EQ 设置为 0 1h = 接收 LFPS 时，EQ 由相关寄存器设置。
5	U2U3_LFPS_DEBOUNCE	R/W	0h	控制传入 LFPS 是否去抖。 0h = 在 U2/U3 退出前 LFPS 无去抖。 1h = 在 U2/U3 退出之前，LFPS 去抖为 200µs。
4	DISABLE_U2U3_RXDET	R/W	0h	控制是否在 U2/U3 状态下执行 Rx.Detect。 0h = 在 U2/U3 中启用 Rx.Detect。 1h = 在 U2/U3 中禁用 Rx.Detect。
3-2	DFP_RXDET_INTERVAL	R/W	1h	此字段控制下行端口 (DTX1P/N 和 DTX2P/N) 的 Rx.Detect 间隔。 0h = 8ms 1h = 12ms 2h = 保留 3h = 保留。
1-0	USB_COMPLIANCE_CTRL	R/W	0h	控制合规模式检测是由 FSM 还是寄存器确定。 0h = 合规模式由 FSM 确定。 1h = 在 DFP 方向上启用合规模式。 2h = 在 UFP 方向上启用合规模式。 3h = 合规模式已禁用。

8.1.11 USB3_LOS 寄存器 (偏移 = 23h) [复位 = 23h]

USB3_LOS 如 表 8-13 所示。

返回到[汇总表](#)。

表 8-13. USB3_LOS 寄存器字段说明

位	字段	类型	复位	说明
7	VCM_LFPS_WAIT	R/W	0h	在通过 LFPS 之前为 TX VCM 稳定增加延迟 0h = 启用 1h = 禁用
6	RESERVED	R	0h	保留
5-3	CFG_LOS_HYST	R/W	4h	控制 LOS 迟滞，后者定义为 $20 \log$ (LOS 置为无效阈值/LOS 置为有效阈值)。 0h = 0.15dB 1h = 0.85dB 2h = 1.45dB 3h = 2.00dB 4h = 2.70dB 5h = 3.00dB 6h = 3.40dB 7h = 3.80dB
2-0	CFG_LOS_VTH	R/W	3h	控制 LOS 置为有效阈值电压 0h = 67mV 1h = 72mV 2h = 79mV 3h = 85mV 4h = 91mV 5h = 97mV 6h = 105mV 7h = 112mV

9 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

TUSB1044A 是一款线性转接驱动器，专门用于补偿因为 PCB 布线和线缆等无源介质导致的信号衰减而引起的符号间干扰 (ISI) 抖动。TUSB1044A 具有四项独立输入，因此可对该器件进行优化，使其通过 16 种不同的均衡选项来校正所有这七项输入的 ISI。用户可以在 USB3.1 主机/DisplayPort 2.1 GPU 和 USB3.1 Type-C 插座之间放置 TUSB1044A，以纠正信号完整性问题，从而使系统更加稳健。

9.2 典型应用

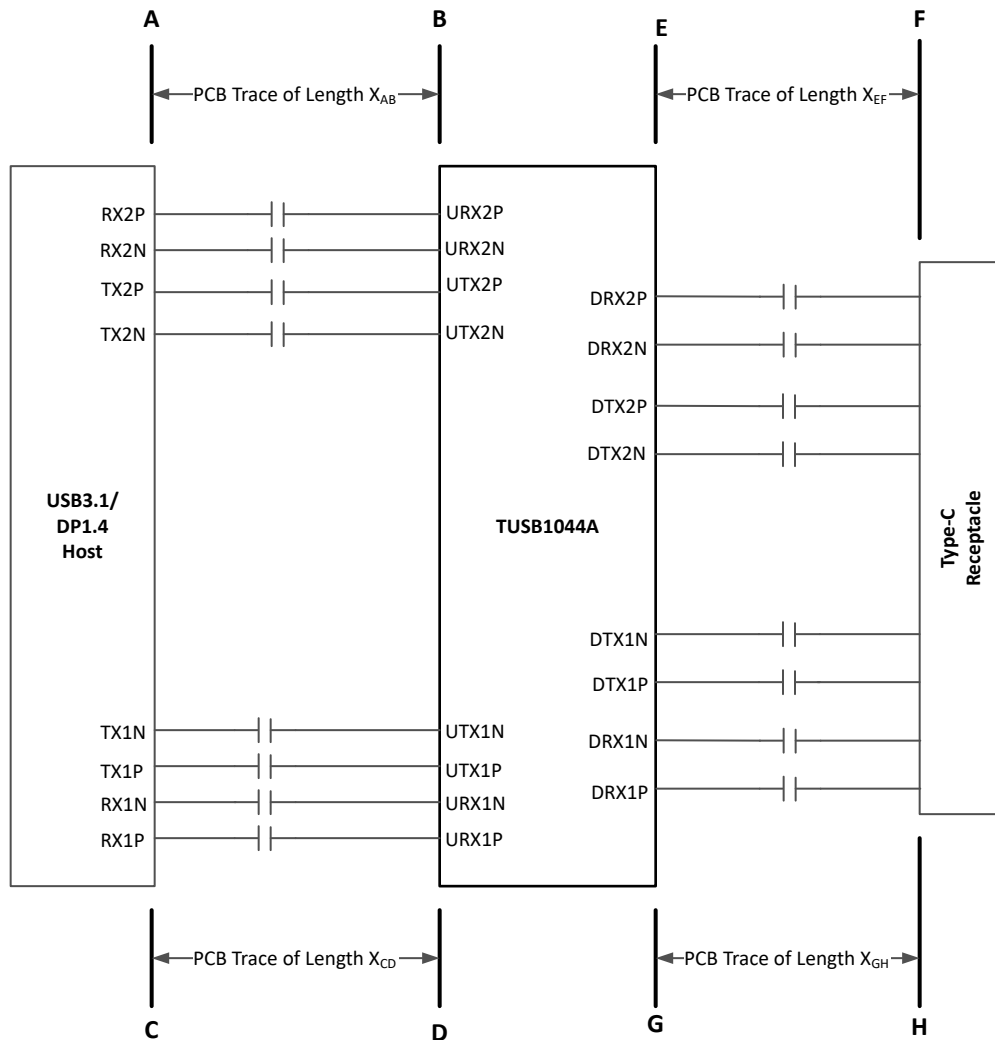


图 9-1. TUSB1044A 在主机应用中

9.2.1 设计要求

对于此设计示例，请使用表 9-1 中显示的参数。

表 9-1. 设计参数

参数	值
A 至 B PCB 布线长度, X_{AB}	8 英寸 (假定 5GHz 时为 1dB/英寸)
C 至 D PCB 布线长度, X_{CD}	8 英寸 (假定 5GHz 时为 1dB/英寸)
E 至 F PCB 布线长度, X_{EF}	1.5 英寸 (假定 5GHz 时为 1dB/英寸)
G 至 H PCB 布线长度, X_{GH}	1.5 英寸 (假定 5GHz 时为 1dB/英寸)
PCB 布线宽度	4 密耳
交流耦合电容器 (75nF 至 265nF)	220nF
VCC 电源 (3V 至 3.6V)	3.3V
I ² C 模式或 GPIO 模式	I ² C 模式
1.8V 或 3.3V I ² C 接口	3.3V _{I2C} 。使用 1K Ω 电阻器将 I2C_EN 引脚上拉至 3.3V

9.2.2 详细设计过程

图 9-2 展示了 TUSB1044A 器件的典型用法。该器件可通过 GPIO 引脚或 I²C 接口进行控制。在图 9-2 中，使用 Type-C PD 控制器通过 I²C 接口来配置该器件。在 I²C 模式下，可以通过 I²C 寄存器独立控制每个接收器的均衡设置。因此，所有均衡引脚 (UEQ[1:0] 和 DEQ[1:0]) 都可保持未连接状态。如果这些引脚未连接，则 TUSB1044A 7 位 I²C 目标地址为 12h，因为 UEQ1/A1 和 UEQ0/A0 都处于引脚电平 F。如果需要不同的 I²C 目标地址，请将 UEQ1/A1 和 UEQ0/A0 引脚设置为可生成所需 I²C 目标地址的电平。

USB3.2 规范的最新 ECN (工程变更声明) 允许在 USB 插座与器件、主机或集线器的 USB3.2 接收器引脚之间使用交流耦合电容器。如图 9-2 中所示，在引脚 DRX2P/N 和 DRX1P/N 上，TUSB1044A 支持额外的交流电容器。确保交流耦合电容器不小于 297nF。建议使用值 330nF。

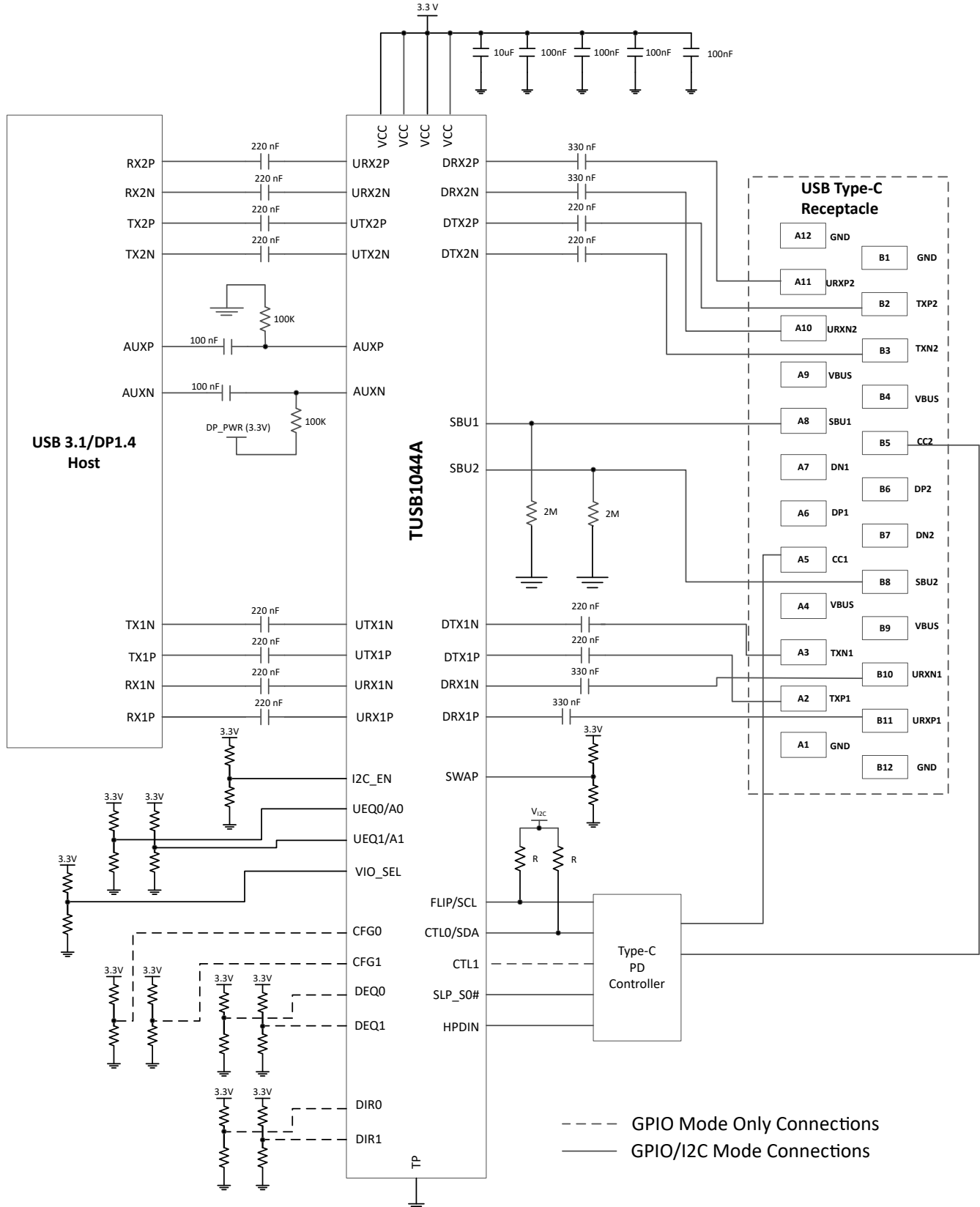


图 9-2. 典型应用电路

9.2.3 ESD 保护

可能需要整合 ESD 元件以保护 TUSB1044A 免受静电放电 (ESD) 的影响。TI 建议遵循表 9-2 中列出的 ESD 保护建议。大于表 9-2 中规定值的钳位电压可能要求在每个差分引脚上设置 R_{ESD} 。TI 建议将 ESD 元件布置在 USB 连接器附近。

表 9-2. ESD 二极管推荐特性

参数	建议
击穿电压	$\geq 3.5V$
I/O 线电容	数据速率 $\leq 5Gbps$: $\leq 0.50pF$
	数据速率 $> 5Gbps$: $\leq 0.35pF$
任何 P 和 N I/O 引脚之间的电容差值	$\leq 0.07pF$
8A I_{PP} IO 至 GND 时的钳位电压 ⁽¹⁾	$\leq 4.5V$
典型动态电阻	$\leq 30m\Omega$

(1) 符合 IEC 61000-4-5 (8/20 μs 电流波形)

表 9-3. 推荐的 ESD 保护元件

制造商	器件型号	R_{ESD} 支持 $\pm 8kV$ 的 IEC 61000-4-2 接触放电
Nexperia	PUSB3FR4	1 Ω
Nexperia	PESD2V8Y1BSF	1 Ω
德州仪器 (TI)	TPD1E04U04DPLR	2 Ω
德州仪器 (TI)	TPD4E02B04DQAR	2 Ω

9.2.4 应用曲线

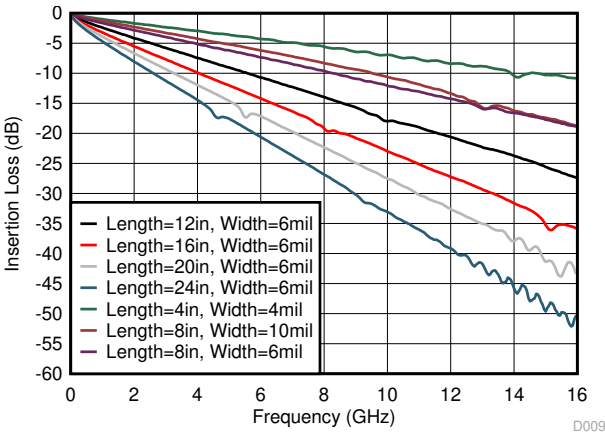


图 9-3. FR4 PCB 布线的插入损耗

9.3 系统示例

9.3.1 仅 USB 3.2 (USB/DP 交替模式)

当 CTL1 引脚为低电平并且 CTL0 引脚为高电平时，TUSB1044A 处于仅 USB3.1 模式。

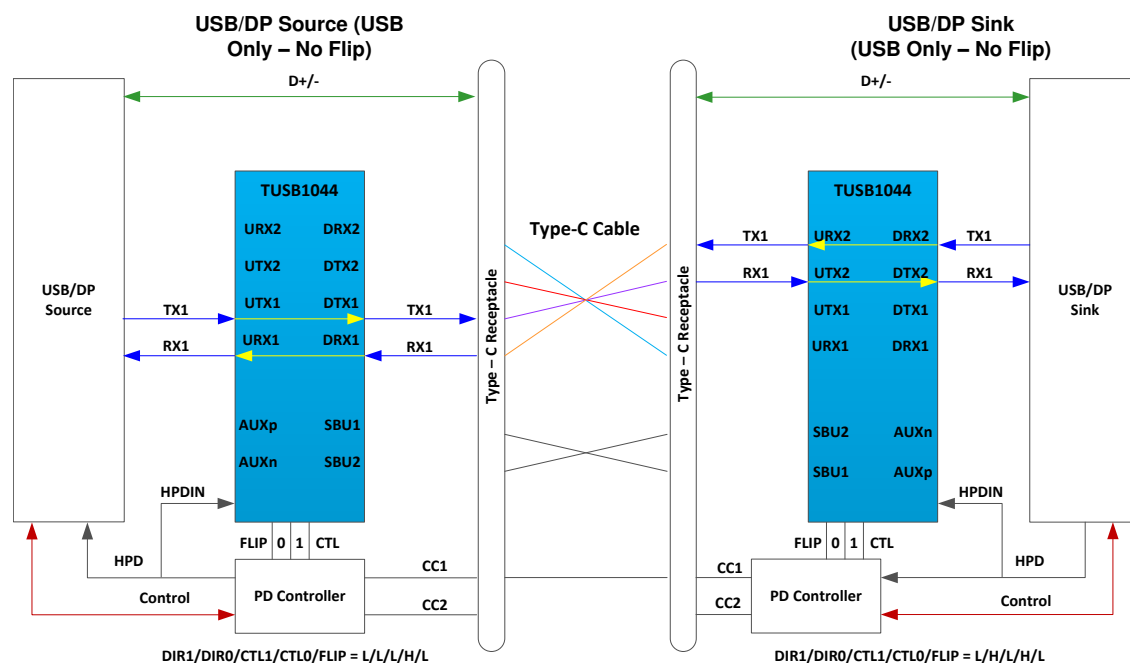


图 9-4. 仅 USB3.2 - 无翻转

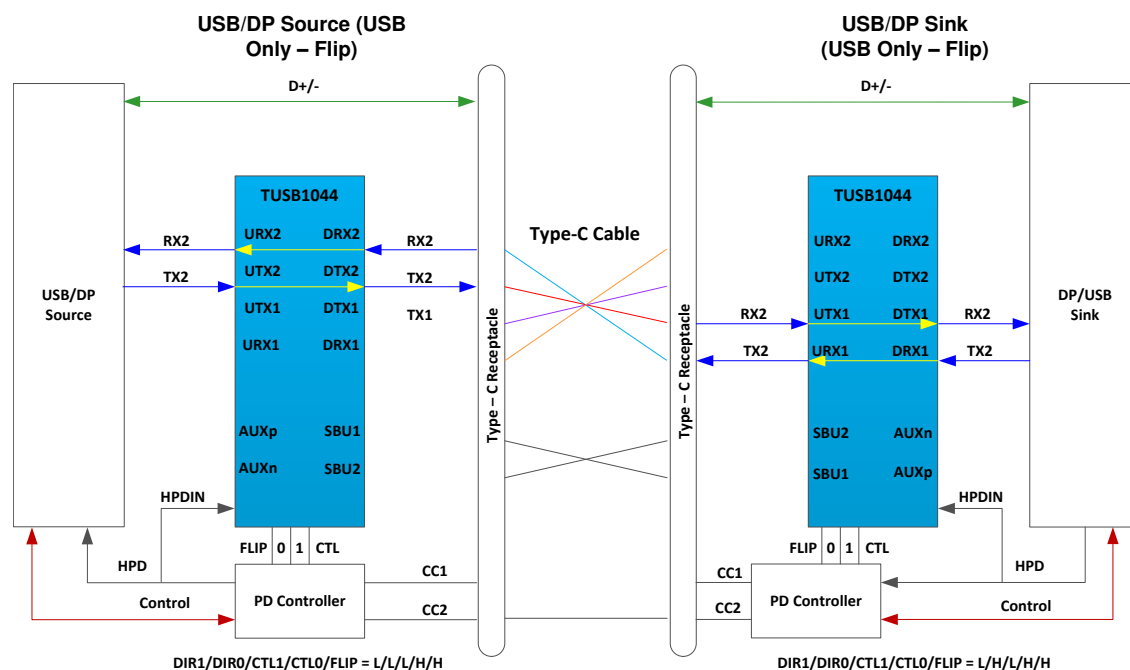


图 9-5. 仅 USB3.1 - 带翻转

9.3.2 USB3.2 和双通道 DisplayPort

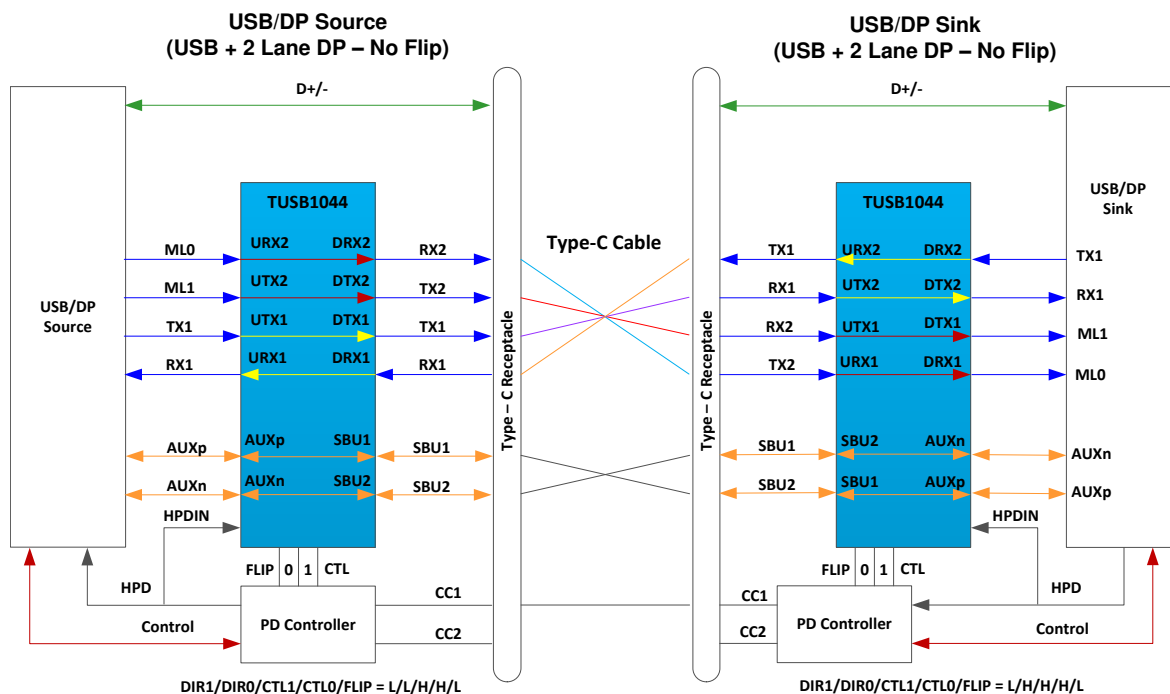


图 9-6. USB3.2 + 双通道 DP - 无翻转

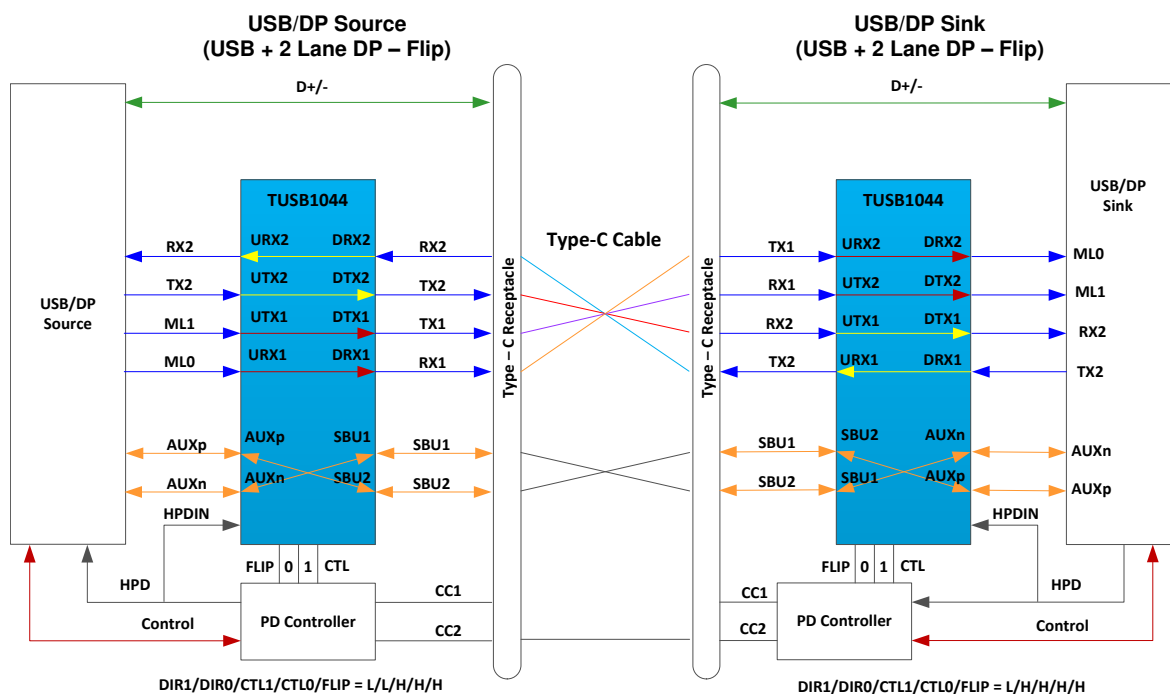


图 9-7. USB3.2 + 双通道 DP - 翻转

9.3.3 仅 DisplayPort

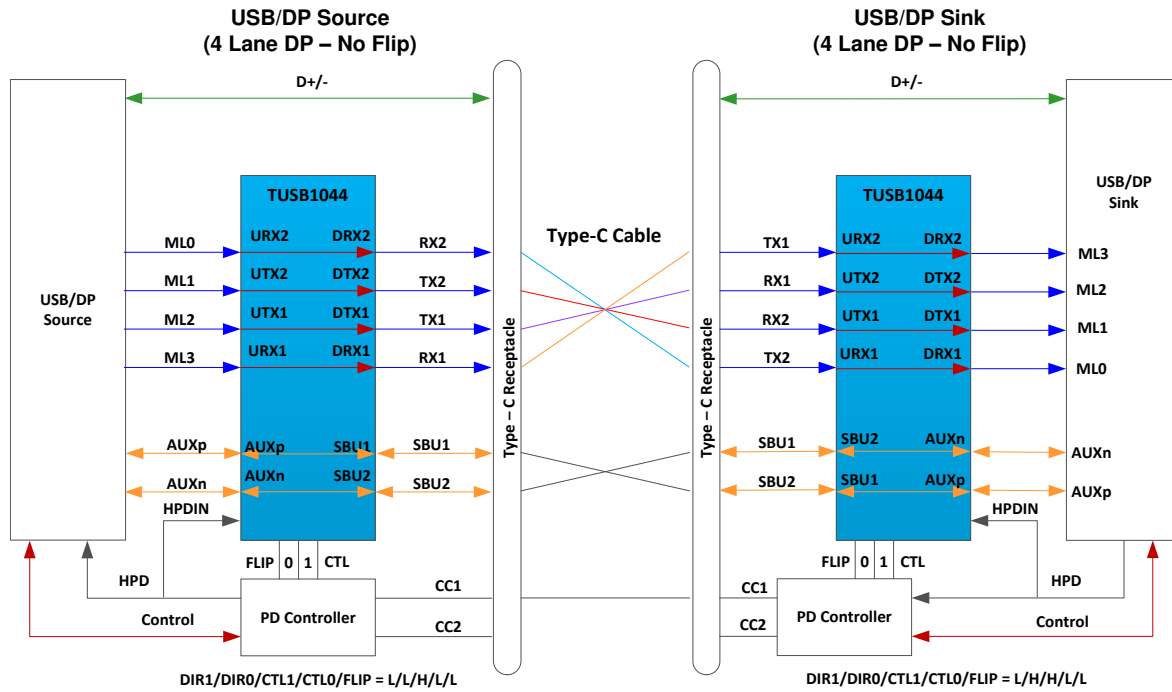


图 9-8. 4 通道 DP - 无翻转

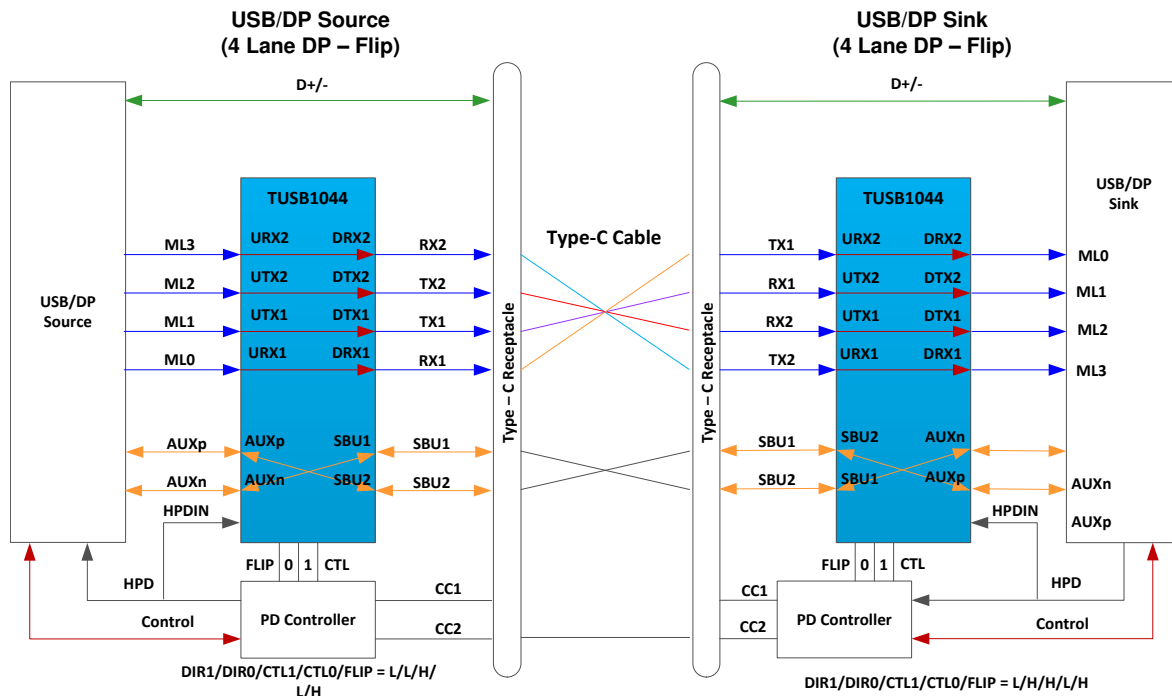


图 9-9. 4 通道 DP - 带翻转

9.3.4 仅 USB3.2 (USB/自定义交替模式)

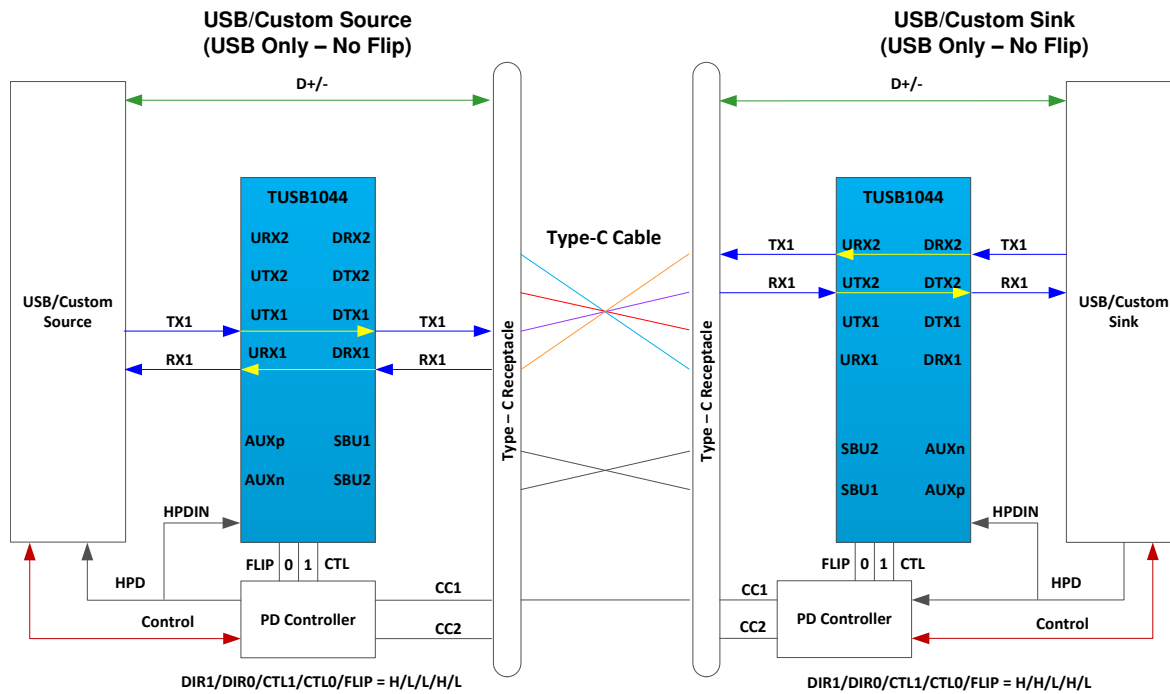


图 9-10. 仅 USB3.2 - 无翻转

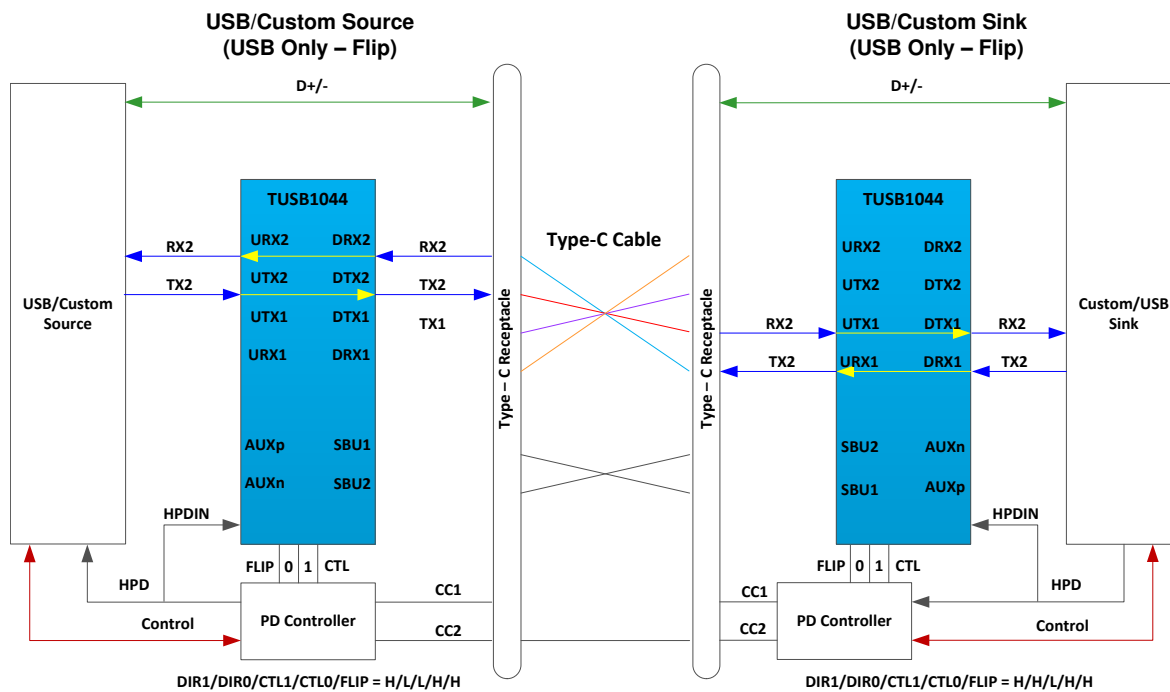


图 9-11. 仅 USB3.2 - 带翻转

9.3.5 USB3.2 和单通道自定义交替模式

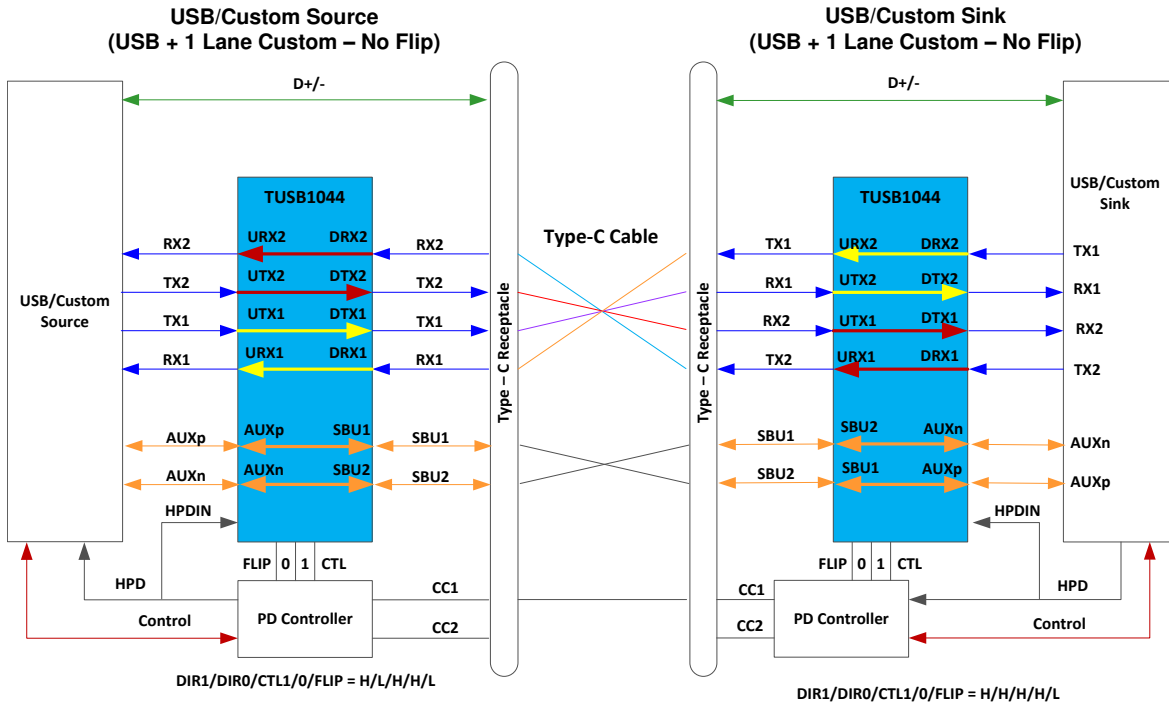


图 9-12. USB3.2 + 单通道自定义交替模式 - 无翻转

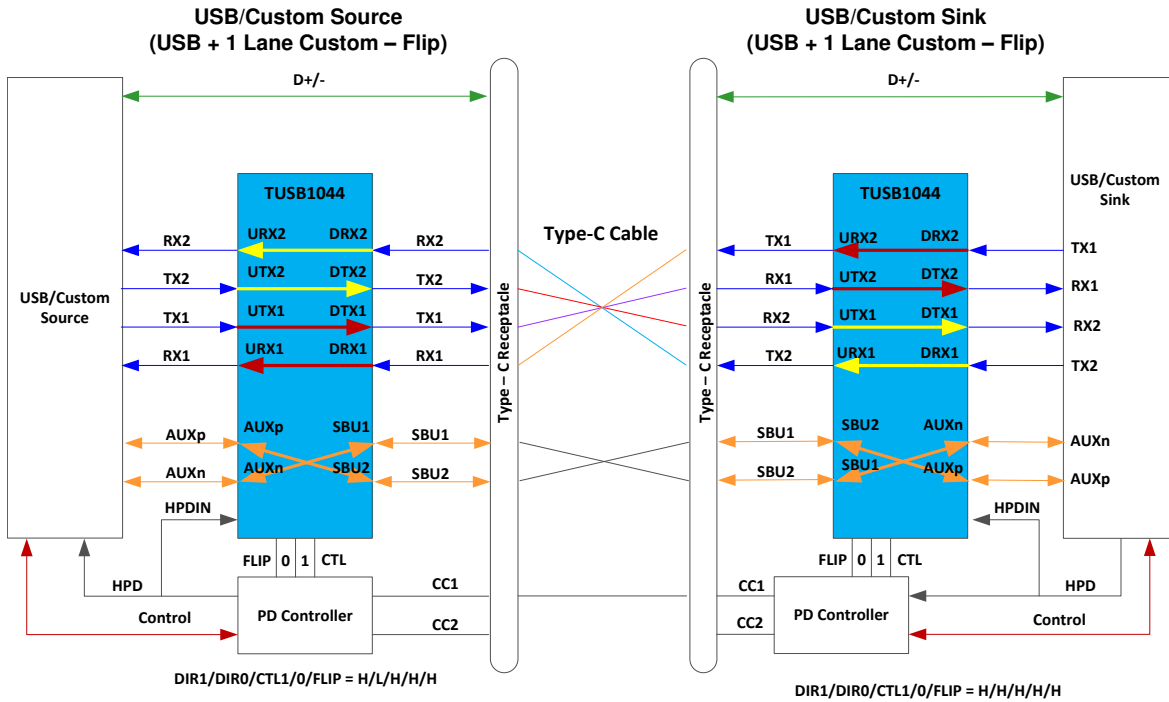


图 9-13. USB 3.2 + 单通道自定义交替模式 - 翻转

9.3.6 USB3.2 和双通道自定义交替模式

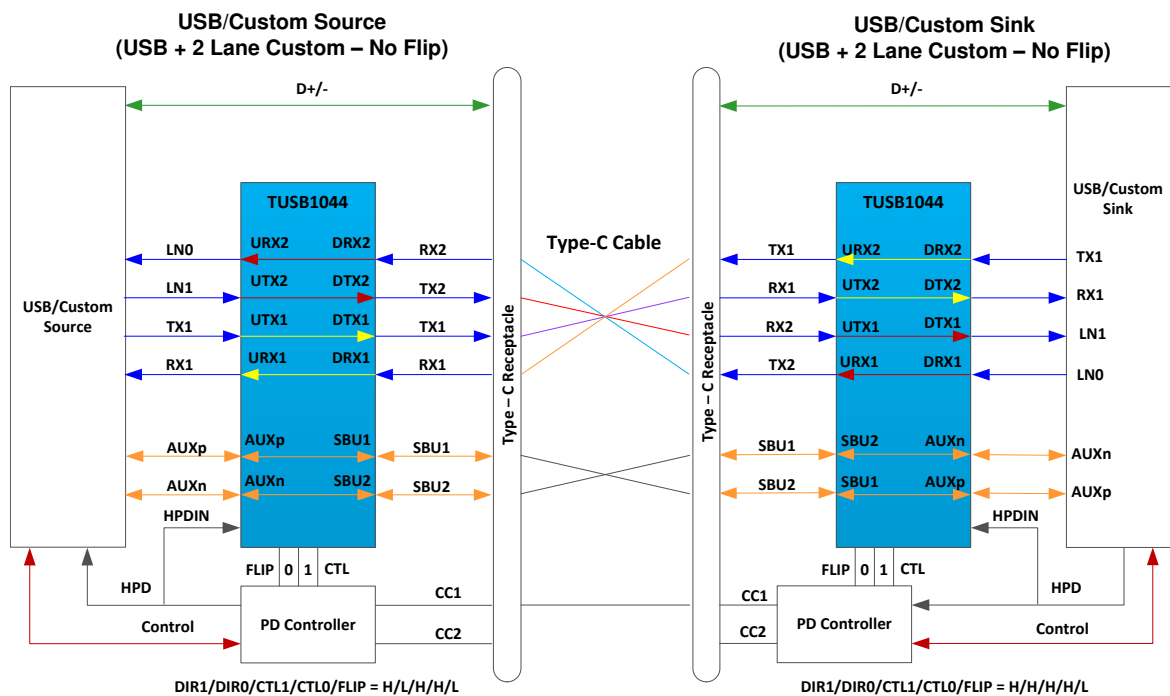


图 9-14. 双通道自定义交替模式 - 无翻转

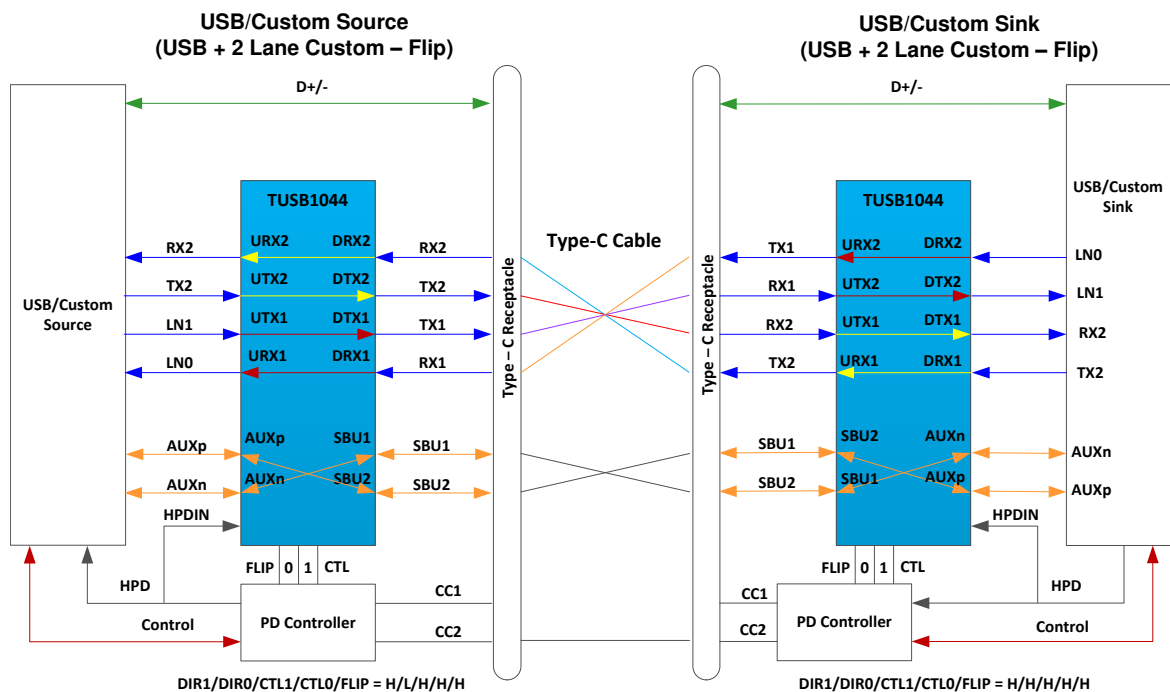


图 9-15. 双通道自定义交替模式 - 带翻转

9.3.7 USB3.2 和自定义交替模式 4 通道

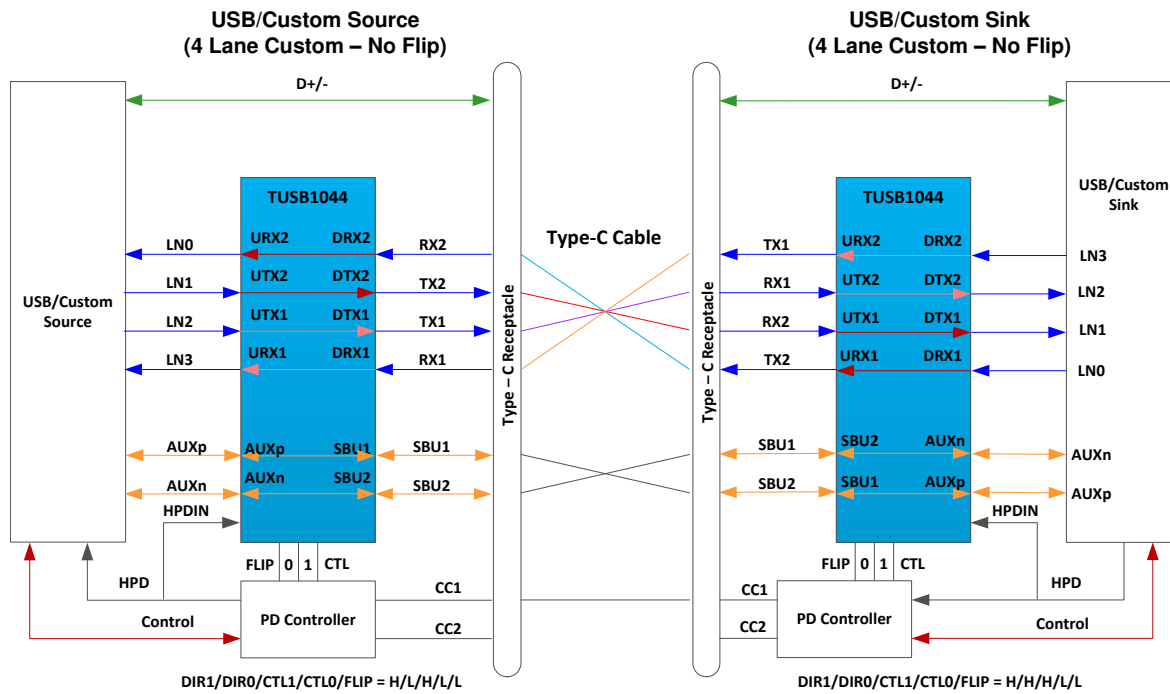


图 9-16. 4 通道自定义交替模式 - 无翻转

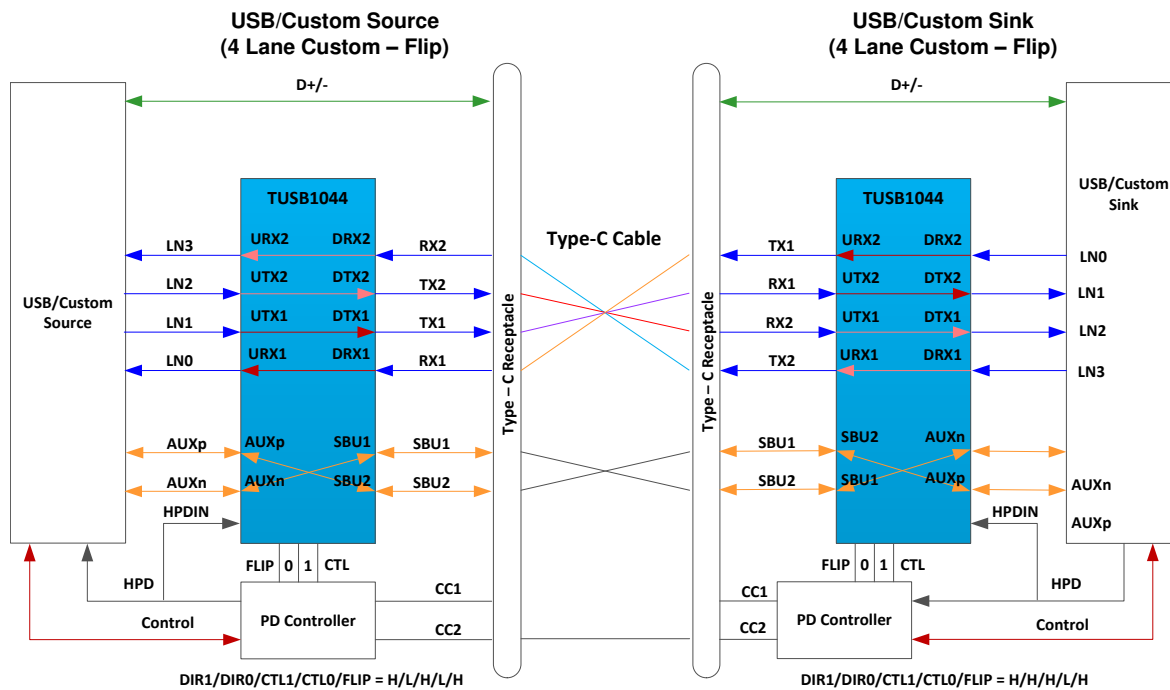


图 9-17. 4 通道自定义交替模式 - 带翻转

9.4 电源相关建议

TUSB1044A 旨在使用 3.3V 电源来运行。不应使用高于 *绝对最大额定值* 表中所列值的电平。如果使用电压较高的系统电源，可以使用电压稳压器将电压降至 3.3V。使用去耦电容器来降低噪声并提高电源完整性。在每个电源引脚上使用 0.1 μ F 电容器。

9.5 布局

9.5.1 布局指南

1. 使用受控 90 Ω 差动阻抗 ($\pm 15\%$) 布线 RXP/N 和 TXP/N 对。
2. 远离其他高速信号。
3. 将对内布线保持在 2mil 以内。
4. 确保长度匹配位于不匹配位置附近。
5. 每对应至少间隔信号布线宽度的 3 倍。
6. 尽量减少使用弯曲的差分布线。使用弯曲时，务必确保左右弯曲数量尽可能相等，弯曲角度 ≥ 135 度。这种设置可以尽可能减少由弯曲引起的任何长度不匹配，从而尽可能降低弯曲对 EMI 造成的影响。
7. 在同一层布线所有差分对。
8. 尽量减少 VIAS 数量。TI 建议，在 TUSB1044A 与 Type-C 连接器之间使用不超过 1 个 VIA，在 TUSB1044A 与 USB 3.1 器件/主机之间使用不超过 1 个 VIA。
9. 在靠近接地平面的层上保留布线。
10. 请勿在任何平面分割点布线差分对。
11. 请记住，添加测试点可能导致阻抗不连续；因此，可能对信号性能产生负面影响。如果使用测试点，应将测试点串联并对称放置。这些测试点的布置方式不得使差分对上产生残桩。
12. 假设 5GHz 时损耗为 1dB/英寸，请确保 TUSB1044A 与 Type-C 连接器之间的布线长度不超过 1.5 英寸。
13. 假设 5GHz 时损耗为 1dB/英寸，请确保 TUSB1044A 与 USB 3.1 主机/器件之间的布线长度不超过 8 英寸。
14. 请谨慎选择 ESD 保护器件和 EMI 抑制器件，确保这些器件在 10Gbps 时具备出色的瞬态性能，并在 ± 650 mV 电压范围内具备平坦的分流电容特性。注意，微小信号插入损耗特性不足以确定非线性器件 (ESD 器件) 在 10Gbps 下的适用性

9.5.2 布局示例

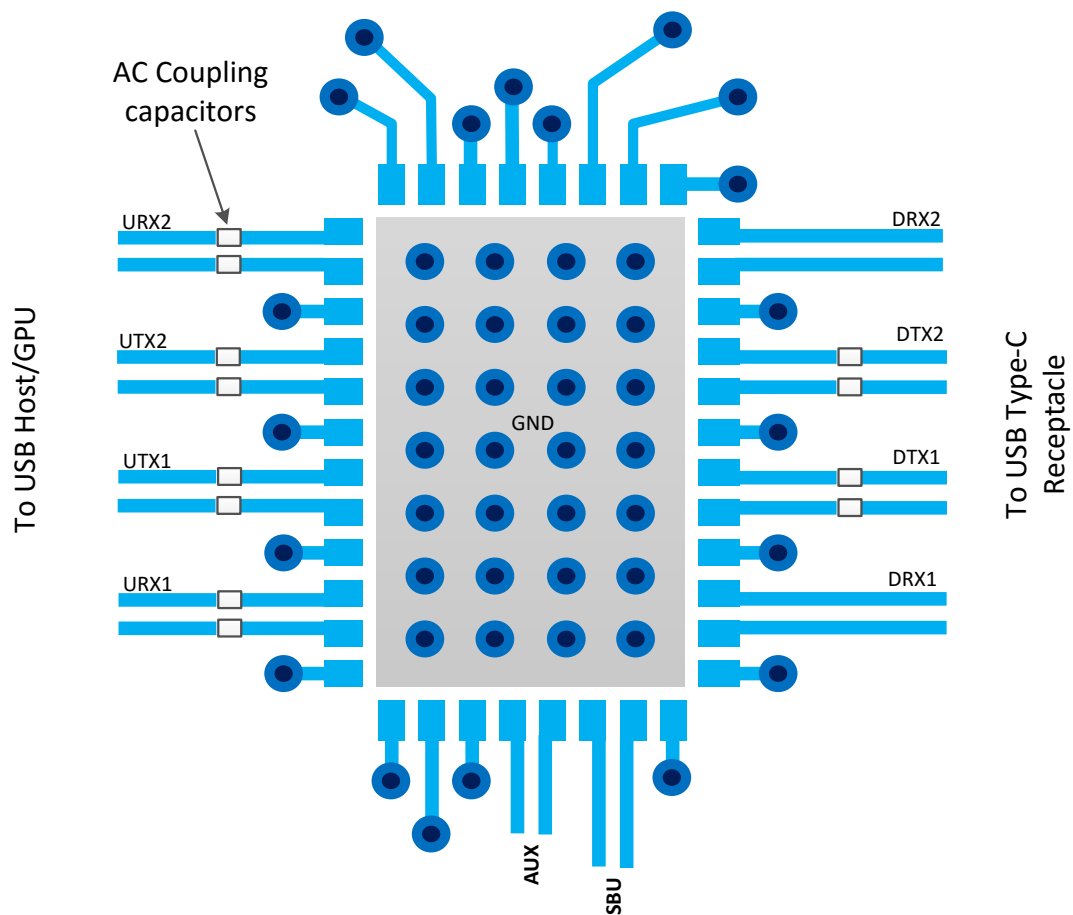


图 9-18. 示例布局

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

本节标识的文档均在本规范中引用。为简化文本，大多数文本参考文档均使用文档标签，标识为 [文档标签]，而不使用完整的文档标题。

请参阅以下相关文档：

- USB Implementers Forum, Inc. , [USB32] [通用串行总线 3.2 规范](#)
- USB Implementers Forum, Inc. , [TYPE-C] [USB Type-C® 电缆和连接器规范](#)

10.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.4 商标

DisplayPort™ is a trademark of VESA.

TI E2E™ is a trademark of Texas Instruments.

USB Type-C® is a registered trademark of USB Implementers Forum.

VESA® is a registered trademark of Video Electronics Standards Association.

所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
March 2025	*	初始发行版

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TUSB1044AIRNQR	Active	Production	WQFN (RNQ) 40	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TUSB44A
TUSB1044AIRNQR.B	Active	Production	WQFN (RNQ) 40	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TUSB44A
TUSB1044AIRNQT	Active	Production	WQFN (RNQ) 40	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TUSB44A
TUSB1044AIRNQT.B	Active	Production	WQFN (RNQ) 40	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TUSB44A
TUSB1044ARNQR	Active	Production	WQFN (RNQ) 40	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TUSB44A
TUSB1044ARNQR.B	Active	Production	WQFN (RNQ) 40	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TUSB44A
TUSB1044ARNQT	Active	Production	WQFN (RNQ) 40	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TUSB44A
TUSB1044ARNQT.B	Active	Production	WQFN (RNQ) 40	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TUSB44A

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

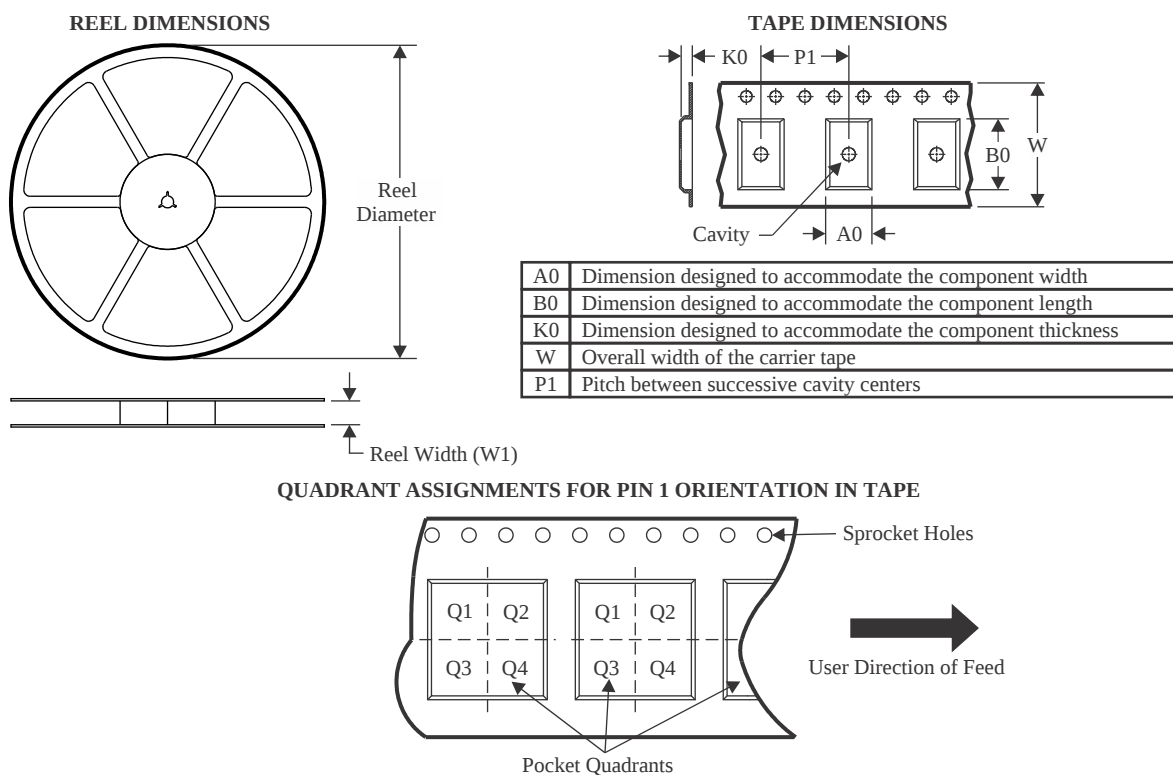
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

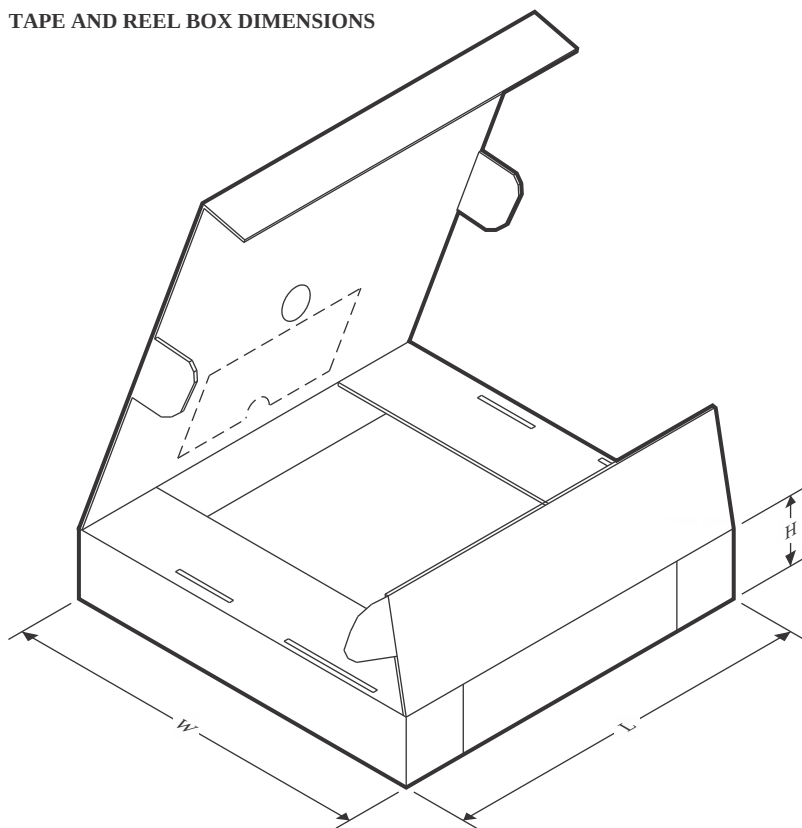
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TUSB1044AIRNQR	WQFN	RNQ	40	3000	330.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2
TUSB1044AIRNQT	WQFN	RNQ	40	250	180.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2
TUSB1044ARNQR	WQFN	RNQ	40	3000	330.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2
TUSB1044ARNQT	WQFN	RNQ	40	250	180.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TUSB1044AIRNQR	WQFN	RNQ	40	3000	360.0	360.0	36.0
TUSB1044AIRNQT	WQFN	RNQ	40	250	210.0	185.0	35.0
TUSB1044ARNQR	WQFN	RNQ	40	3000	360.0	360.0	36.0
TUSB1044ARNQT	WQFN	RNQ	40	250	210.0	185.0	35.0

WQFN - 0.8 mm max height

The drawing illustrates the mechanical specifications of the QFN package across three views:

- Top View:** Shows the overall dimensions of the package. The width is 6.1 mm (5.9 mm minimum), and the height is 4.1 mm (3.9 mm minimum). A "PIN 1 INDEX AREA" is indicated in the top-left corner.
- Side View:** Shows the package height and the "SEATING PLANE". The maximum height is 0.8 mm, with a minimum height of 0.05 mm. A detail view of the seating plane shows a radius of 0.08 mm.
- Bottom View:** Shows the pin configuration and thermal pad. The package has 36 pins (2X 18 pins) with a pitch of 0.4 mm. The thermal pad is 4.7 ± 0.1 mm wide and 2.7 ± 0.1 mm high. The pin 1 ID (optional) is indicated. The package is marked with "40X 0.25 0.15" and "40X 0.5 0.3".

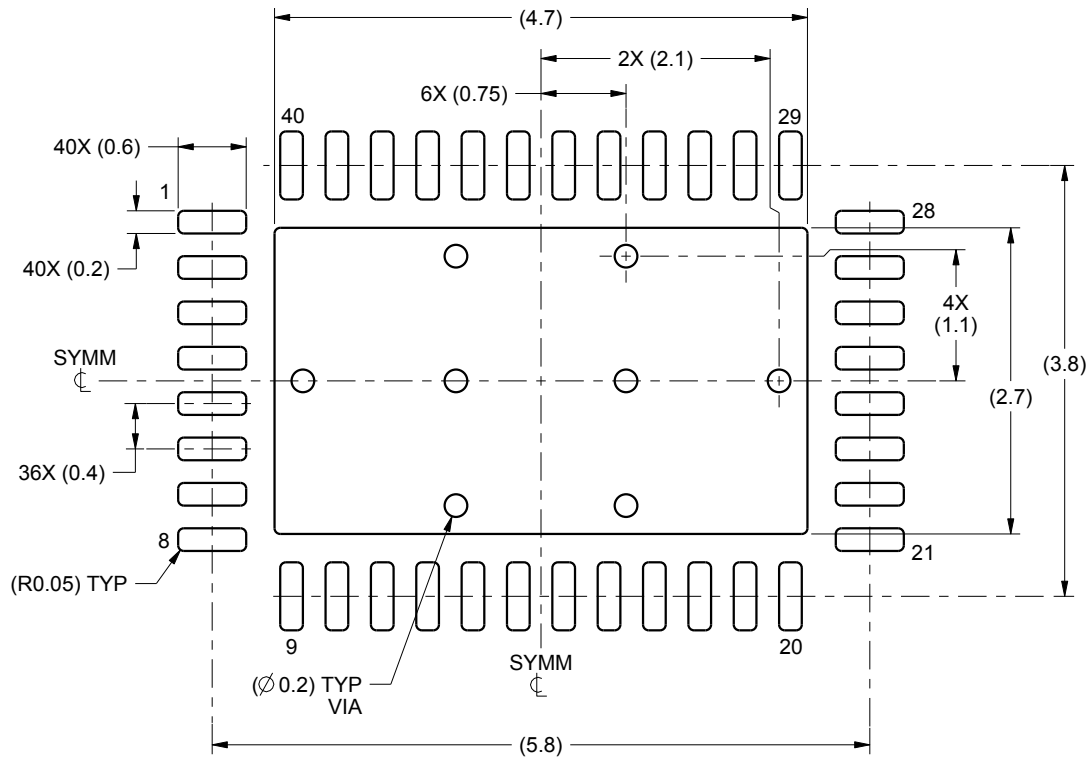
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

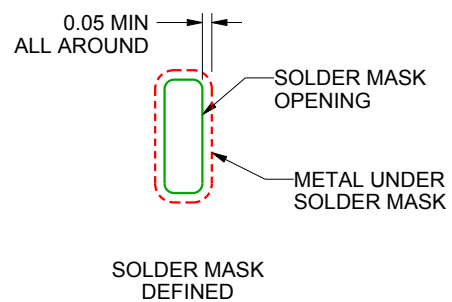
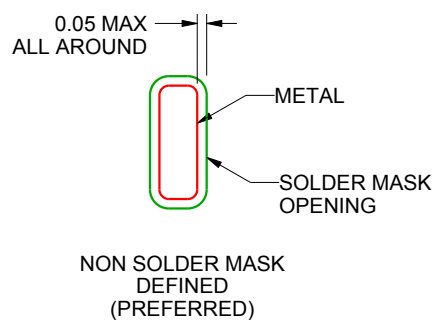
RNQ0040A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:15X



SOLDER MASK DETAILS

4222125/B 01/2016

NOTES: (continued)

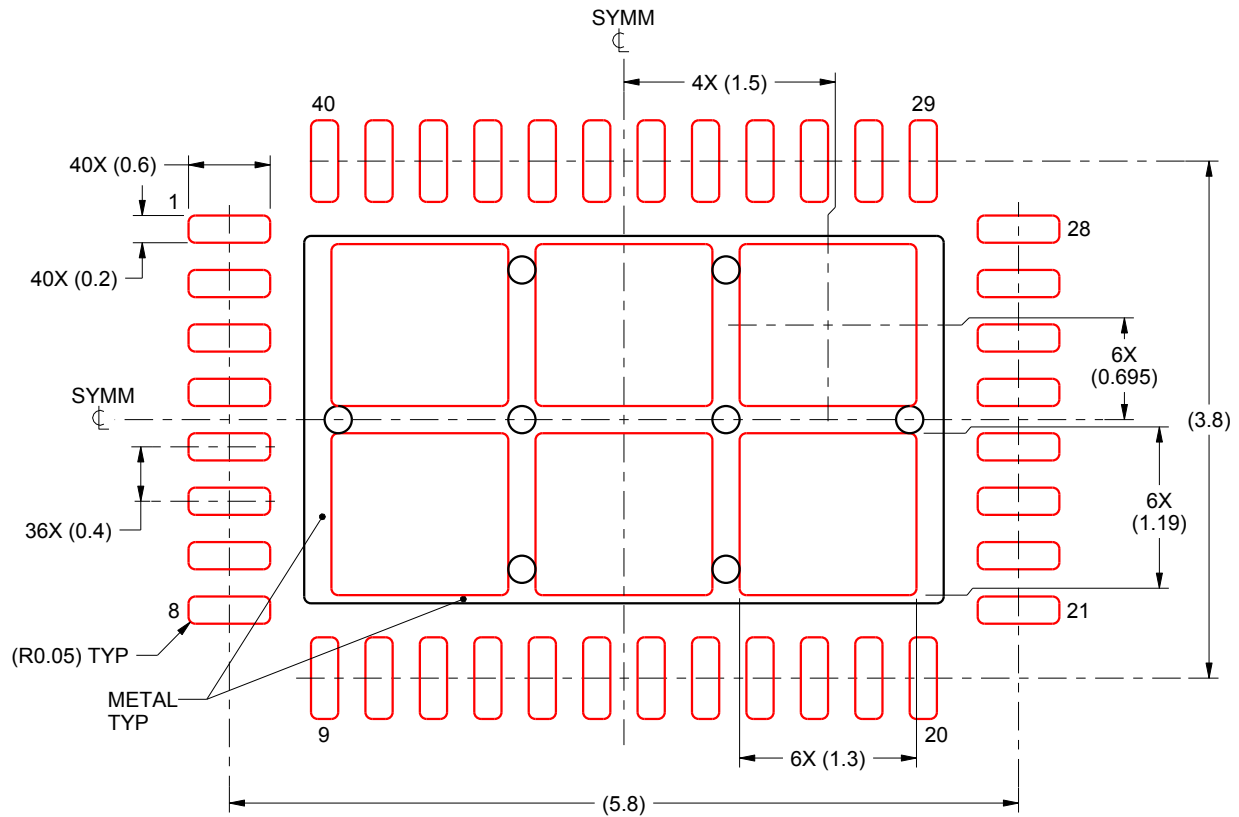
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).

EXAMPLE STENCIL DESIGN

RNQ0040A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD
73% PRINTED SOLDER COVERAGE BY AREA
SCALE:18X

4222125/B 01/2016

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月