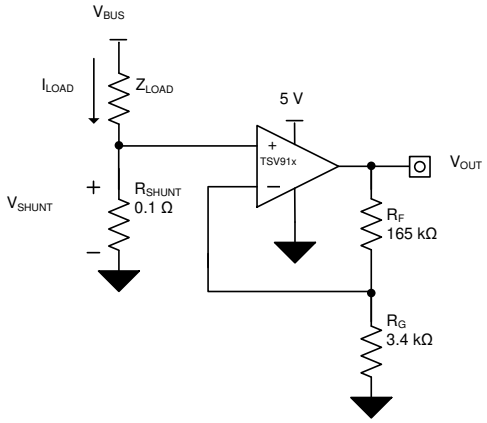
TSV91xA-Q1 汽车类、轨到轨输入或输出、8MHz 运算放大器

1 特性

- 轨至轨输入和输出
- 低噪声：1kHz 时为 18nV/√Hz
- 低功耗：550μA（典型值）
- 高增益带宽：8MHz
- 工作电源电压范围是 2.5V 至 5.5V
- 低输入偏置电流：1pA（典型值）
- 低输入失调电压：1.5mV（最大值）
- 低失调电压漂移：±0.5μV/°C（典型值）
- ESD 内部保护：±4kV 人体放电模型 (HBM)
- 工作温度范围：–40°C 至 125°C

2 应用

- 针对 AEC-Q100 1 级应用进行了优化
- 信息娱乐系统与仪表组
- 被动安全
- 车身电子装置和照明
- 混合动力汽车/电动汽车逆变器和电机控制
- 车载充电器 (OBC) 和无线充电器
- 动力总成电流传感器
- 高级驾驶辅助系统 (ADAS)
- 单电源、低侧、单向电流感应电路



低侧电机控制

3 说明

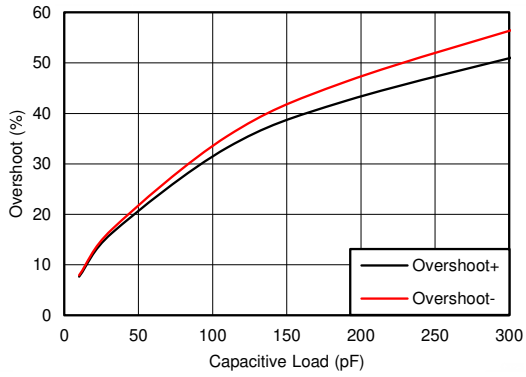
TSV91xA-Q1 系列单通道、双通道和四通道运算放大器专为通用汽车应用而设计。此系列器件具有轨至轨输入和输出 (RRIO) 摆幅、宽带宽 (8MHz) 和低失调电压（0.3mV 典型值）等特性，专为需要在速度与功耗之间实现良好平衡的各种应用而设计。该系列运算放大器的单位增益稳定，具有超低输入偏置电流，这些特性使其适用于具有高源阻抗的应用。该系列器件还具有低输入偏置电流，适用于传感器接口和有源滤波。

TSV91xA-Q1 采用稳健耐用的设计，方便电路设计人员使用。特性包括具有单位增益稳定的集成 RFI-EMI 抑制滤波器，在过驱条件下不会出现反相，以及具有高静电放电 (ESD) 保护（4kV HBM）。

器件信息

器件型号(1)	通道数(2)	封装(1)	封装尺寸(3)
TSV911A-Q1	单通道	DBV（SOT-23，5）	2.90mm x 2.80mm
		DCK（SC70，5）	2.0 mm × 2.20 mm
TSV912A-Q1	双通道	D（SOIC，8）	4.90mm × 6.00mm
		DGK（VSSOP，8）	3.00mm x 4.90mm
		PW（TSSOP，8）	3.00mm × 6.40mm
TSV914A-Q1	四通道	D（SOIC，14）	8.65mm × 6.00mm
		PW（TSSOP，14）	5.00mm x 6.40mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 请参阅*器件比较*表
(3) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



小信号过冲与负载电容间的关系

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 修订历史记录.....2
5 器件比较表.....3
6 引脚配置和功能.....4
7 规格.....7
7.1 绝对最大额定值.....7
7.2 ESD 等级.....7
7.3 建议运行条件.....7
7.4 热性能信息：TSV911A-Q1.....8
7.5 热性能信息：TSV912A-Q1.....8
7.6 热性能信息：TSV914A-Q1.....8
7.7 电气特性.....9
7.8 典型特性.....12
8 详细说明.....18
8.1 概述.....18
8.2 功能方框图.....18
8.3 特性说明.....19
8.4 器件功能模式.....19
9 应用和实施.....20
9.1 应用信息.....20
9.2 典型应用.....20
9.3 电源相关建议.....21
9.4 布局.....22
10 器件和文档支持.....24
10.1 接收文档更新通知.....24
10.2 支持资源.....24
10.3 商标.....24
10.4 静电放电警告.....24
10.5 术语表.....24
11 机械、封装和可订购信息.....24

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (February 2021) to Revision C (June 2023) — **Page**

- 在*器件信息*表中添加了 SC70 封装和 8 引脚 TSSOP 封装.....1
- 删除了*器件信息*表中 SOT-23 封装的预发布标签.....1
- 更新了*器件信息*的格式，以包含封装引线和通道数.....1
- 更新了*器件信息*表以包含较新的封装.....3
- 在*引脚配置和功能*部分中添加了 TSV911A-Q1 的引脚排列图.....4
- 添加了*热性能信息：TSV911A-Q1* 部分.....8
- 将*电气特性*中室温下的输入失调电压从 ±1.5mV 更改为 ±1.85mV.....9
- 删除了*带外露散热焊盘的封装*部分.....19

Changes from Revision A (December 2020) to Revision B (February 2021) — **Page**

- 删除了*器件信息*表中 VSSOP 封装的预览标签.....1
- 更新了*热性能信息：TSV912A-Q1* 表中的 DGK (VSSOP) 热性能信息.....8

Changes from Revision * (June 2020) to Revision A (December 2020) — **Page**

- 更新了整个文档的表、图和交叉参考的编号格式.....1
- 删除了*器件信息*表中 TSSOP 封装的预览标签.....1
- 删除了 TSV914 引脚排列图和*引脚功能*表中的封装预发布说明.....4
- 为*绝对最大额定值*表中的差分输入电压添加了注释 4.....7
- 向*热性能信息：TSV914A-Q1* 表中添加了 TSSOP (14) 的热性能信息.....8

Copyright © 2023 Texas Instruments Incorporated

5 器件比较表

器件	通道数	封装引线				
		DCK	DBV	D	DGK	PW
TSV911A-Q1	1	5	5	—	—	—
TSV912A-Q1	2	—	—	8	8	8
TSV914A-Q1	4	—	—	14	—	14

6 引脚配置和功能

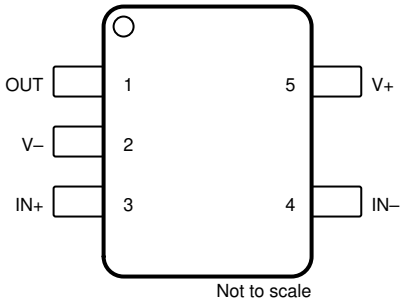


图 6-1. TSV911A-Q1 DBV 封装，5 引脚 SOT-23（顶视图）

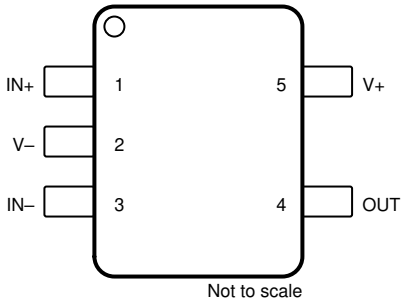


图 6-2. TSV911A-Q1 DCK 封装，5 引脚 SC70（顶视图）

表 6-1. 引脚功能：TSV911A-Q1

引脚			类型[(1)]	说明
名称	SOT-23	SC70		
IN –	4	3	I	反相输入
IN+	3	1	I	同相输入
OUT	1	4	O	输出
V –	2	2	I 或 —	负（低）电源或地（对于单电源供电）
V+	5	5	I	正（高）电源

(1) I = 输入，O = 输出

Copyright © 2023 Texas Instruments Incorporated

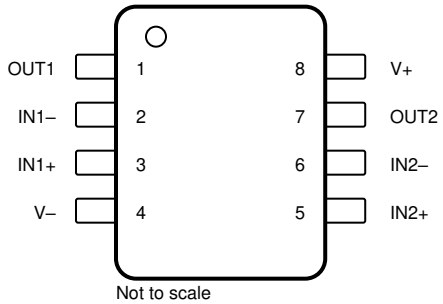


图 6-3. TSV912A-Q1 D、PW 和 DGK 封装，8 引脚 SOIC、TSSOP 和 VSSOP（顶视图）

表 6-2. 引脚功能：TSV912A-Q1

引脚		类型(1)	说明
名称	编号		
–IN A	2	I	反相输入，通道 A
+IN A	3	I	同相输入，通道 A
–IN B	6	I	反相输入，通道 B
+IN B	5	I	同相输入，通道 B
OUT A	1	O	输出，通道 A
OUT B	7	O	输出，通道 B
V–	4	—	负（最低）电源或接地（对于单电源供电）
V+	8	—	正（最高）电源

(1) I = 输入，O = 输出

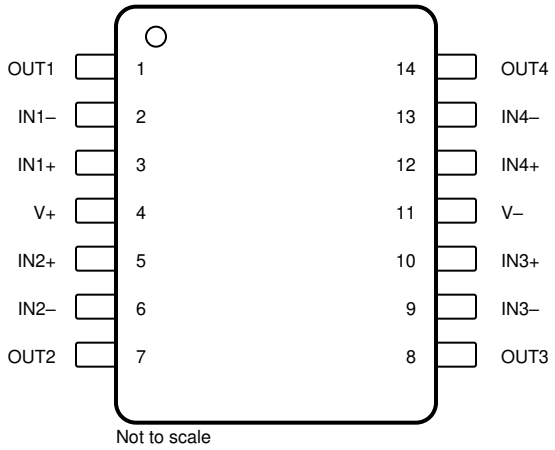


图 6-4. TSV914A-Q1 D 和 PW 封装，14 引脚 SOIC 和 TSSOP（顶视图）

表 6-3. 引脚功能：TSV914A-Q1

引脚		类型[(1)]	说明
名称	编号		
–IN A	2	I	反相输入，通道 A
+IN A	3	I	同相输入，通道 A
–IN B	6	I	反相输入，通道 B
+IN B	5	I	同相输入，通道 B
–IN C	9	I	反相输入，通道 C
+IN C	10	I	同相输入，通道 C
–IN D	13	I	反相输入，通道 D
+IN D	12	I	同相输入，通道 D
OUT A	1	O	输出，通道 A
OUT B	7	O	输出，通道 B
OUT C	8	O	输出，通道 C
OUT D	14	O	输出，通道 D
V–	11	—	负（最低）电源或接地（对于单电源供电）
V+	4	—	正（最高）电源

(1) I = 输入，O = 输出

Copyright © 2023 Texas Instruments Incorporated

7 规格

7.1 绝对最大额定值

在自然通风温度下测得（除非另有说明）[(1)]

			最小值	最大值	单位
电源电压				6	V
信号输入引脚	电压[(2)]	共模	(V–) – 0.5	(V+) + 0.5	V
		差分[(4)]		(V+) – (V–) + 0.2	
	电流[(2)]		-10	10	mA
输出短路[(3)]			连续		mA
额定温度，T_A			-40	125	°C
结温，T_J				150	°C
贮存温度，T_{stg}			-65	150	°C

(1) 应力超出*绝对最大额定值*下所列的值可能会对器件造成损坏。这些仅为压力额定值，并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 输入引脚被二极管钳制至电源轨。对于摆幅能超过电源轨 0.5V 的输入信号，应将其电流限制在 10mA 或者更低。
(3) 接地短路，每个封装对应一个放大器。
(4) 连续施加大于 0.5V 的差分输入电压会导致输入失调电压偏移超过该参数的最大规格。这种影响的幅度随着环境工作温度升高而增大。

7.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准[(1)]	±4000	V
	充电器件模型 (CDM)，符合 AEC Q100-011	±1500	

(1) AEC Q100-002 指示 HBM 应力测试应当符合 ANSI/ESDA/JEDEC JS-001 规范。

7.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
V_S	电源电压	2.5	5.5	V
	额定温度范围	-40	125	°C

7.4 热性能信息：TSV911A-Q1

热指标[1]		TSV911A-Q1		单位
		DBV (SOT-23)	DCK (SC70)	
		5 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	232.5	246.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	131.0	157.5	°C/W
$R_{\theta JB}$	结至电路板热阻	99.6	95.4	°C/W
ψ_{JT}	结至顶部特征参数	66.5	68.8	°C/W
ψ_{JB}	结至电路板特征参数	99.1	95.0	°C/W

7.5 热性能信息：TSV912A-Q1

热指标[1]		TSV912A-Q1			单位
		D (SOIC)	PW (TSSOP)	DGK (VSSOP)	
		8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	157.6	205.1	198.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	104.6	93.7	87.2	°C/W
$R_{\theta JB}$	结至电路板热阻	99.7	135.7	120.3	°C/W
ψ_{JT}	结至顶部特征参数	55.6	25.0	23.8	°C/W
ψ_{JB}	结至电路板特征参数	99.2	134.0	118.7	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

7.6 热性能信息：TSV914A-Q1

热指标[1]		TSV914A-Q1		单位
		D (SOIC)	PW (TSSOP)	
		14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	111.1	133.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	67.6	62.1	°C/W
$R_{\theta JB}$	结至电路板热阻	67	76.9	°C/W
ψ_{JT}	结至顶部特征参数	27.4	13.2	°C/W
ψ_{JB}	结至电路板特征参数	66.6	76.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

Copyright © 2023 Texas Instruments Incorporated

7.7 电气特性

V_S（总电源电压）= (V+) – (V–) = 2.5V 至 5.5V。T_A = 25°C、R_L = 10kΩ 连接至 V_S / 2、V_{CM} = V_S / 2 且 V_{OUT} = V_S / 2（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
V_{OS}	输入失调电压	V_S = 5V		±0.3	±1.85	mV
		V_S = 5V T_A = –40°C 至 125°C			±3	
dV_{OS}/dT	漂移	V_S = 5V T_A = –40°C 至 125°C		±0.5		μV/°C
PSRR	电源抑制比	V_S = 2.5V – 5.5V，V_{CM} = (V–)		±7		μV/V
	通道分离，直流	直流时		100		dB
输入电压范围						
V_{CM}	共模电压范围	V_S = 2.5V 至 5.5V	(V–) – 0.1		(V+)+0.1	V
CMRR	共模抑制比	V_S = 5.5V (V–) – 0.1V < V_{CM} < (V+) – 1.4V T_A = –40°C 至 125°C	80	103		dB
		V_S = 5.5V，V_{CM} = –0.1V 至 5.6V T_A = –40°C 至 125°C	57	75		
		V_S = 2.5V，(V–) – 0.1V < V_{CM} < (V+) – 1.4V T_A = –40°C 至 125°C		88		
		V_S = 2.5V，V_{CM} = –0.1V 至 1.9V T_A = –40°C 至 125°C		70		
输入偏置电流						
I_B	输入偏置电流			±5		pA
I_{OS}	输入失调电流			±5		pA
噪声						
E_n	输入电压噪声（峰峰值）	V_S = 5V，f = 0.1Hz 至 10Hz		4.77		$μV_{PP}$
e_n	输入电压噪声密度	V_S = 5V，f = 10kHz		12		nV/√Hz
		V_S = 5V，f = 1kHz		18		
i_n	输入电流噪声密度	f = 1kHz		23		fA/√Hz
输入电容						
C_{ID}	差分			2		pF
C_{IC}	共模			4		pF
开环增益						
A_{OL}	开环电压增益	V_S = 2.5V，(V–) + 0.04V < V_O < (V+) – 0.04V R_L = 10kΩ		100		dB
		V_S = 5.5V，(V–) + 0.05V < V_O < (V+) – 0.05V R_L = 10kΩ	104	130		
		V_S = 2.5V，(V–) + 0.06V < V_O < (V+) – 0.06V R_L = 2kΩ		100		
		V_S = 5.5V，(V–) + 0.15V < V_O < (V+) – 0.15V R_L = 2kΩ		130		
频率响应						
GBP	增益带宽积	V_S = 5V，G = 1		8		MHz
$Φ_m$	相位裕度	V_S = 5V，G = 1		55		°
SR	压摆率	V_S = 5V，G = 1 R_L = 2kΩ C_L = 100pF		4.5		V/μs
t_S	趋稳时间	精度达到 0.1%，V_S = 5V，2V 阶跃，G = 1 C_L = 100pF		0.5		μs
		精度达到 0.01%，V_S = 5V，2V 阶跃，G = 1 C_L = 100pF		1		

Copyright © 2023 Texas Instruments Incorporated

7.7 电气特性 (continued)

V_S（总电源电压）= (V+) – (V–) = 2.5V 至 5.5V。T_A = 25°C、R_L = 10kΩ 连接至 V_S / 2、V_{CM} = V_S / 2 且 V_{OUT} = V_S / 2（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{OR}	过载恢复时间	V_S = 5V，V_{IN} × 增益 > V_S		0.2		μs
THD + N	总谐波失真 + 噪声(1)	V_S = 5V，V_O = 1V_{RMS}，G = 1，f = 1kHz		0.0008%		

Copyright © 2023 Texas Instruments Incorporated

7.7 电气特性 (continued)

V_S（总电源电压）= (V+) – (V–) = 2.5V 至 5.5V。T_A = 25°C、R_L = 10kΩ 连接至 V_S / 2、V_{CM} = V_S / 2 且 V_{OUT} = V_S / 2（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
输出						
V_O	相对于电源轨的电压输出摆幅	V_S = 5.5V，R_L = 10kΩ			20	mV
		V_S=5.5V，R_L=2kΩ			60	
I_{SC}	短路电流	V_S = 5V		±50		mA
Z_O	开环输出阻抗	V_S = 5V，f = 10MHz		100		Ω
电源						
I_Q	每个放大器的静态电流	V_S = 5.5V，I_O = 0mA		550	750	μA
		V_S = 5.5V，I_O = 0mA，T_A = –40°C 至 125°C			1100	

(1) 三阶滤波器；–3dB 时的带宽 = 80kHz。

7.8 典型特性

T_A = 25°C，V_S = 5.5V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）

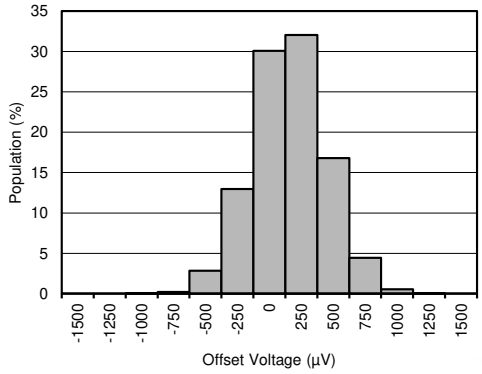
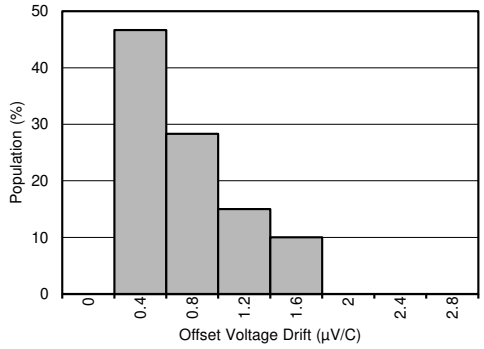


图 7-1. 失调电压生产分配



T_A = –40°C 至 125°C

图 7-2. 失调电压漂移分配

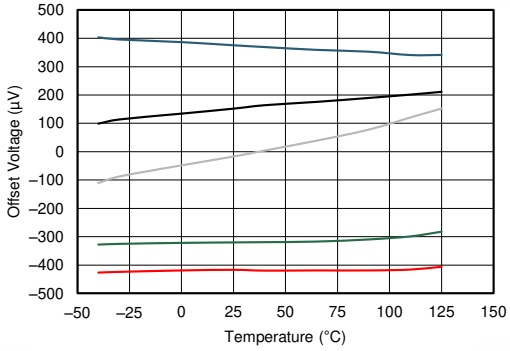
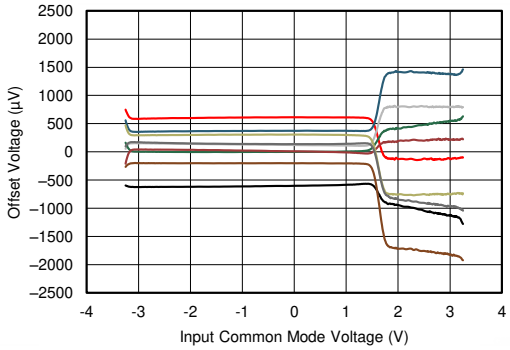
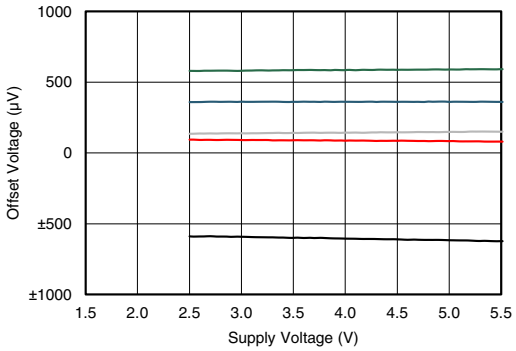


图 7-3. 失调电压与温度间的关系



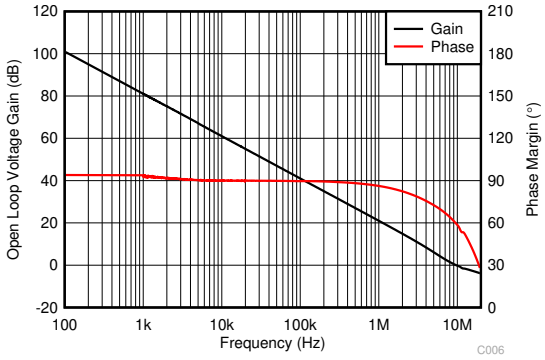
V+ = 2.75V，V– = –2.75V

图 7-4. 失调电压与共模电压间的关系



V_S = 2.5V 至 5.5V

图 7-5. 失调电压与电源间的关系



C_L = 10pF

图 7-6. 开环增益和相位与频率间的关系

Copyright © 2023 Texas Instruments Incorporated

7.8 典型特性 (continued)

T_A = 25°C，V_S = 5.5V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）

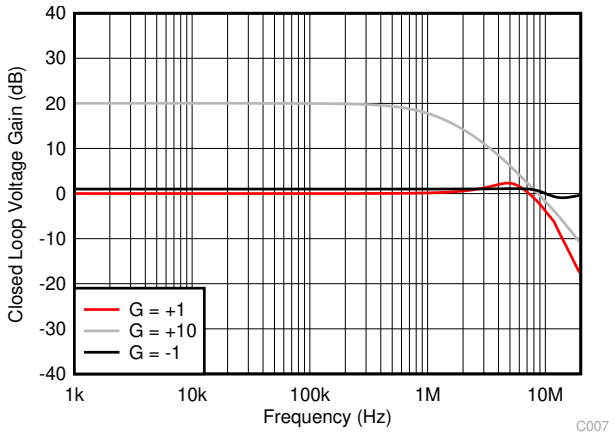


图 7-7. 闭环增益与频率间的关系

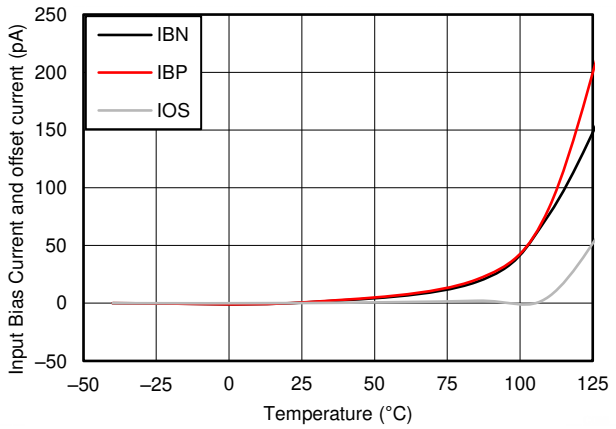
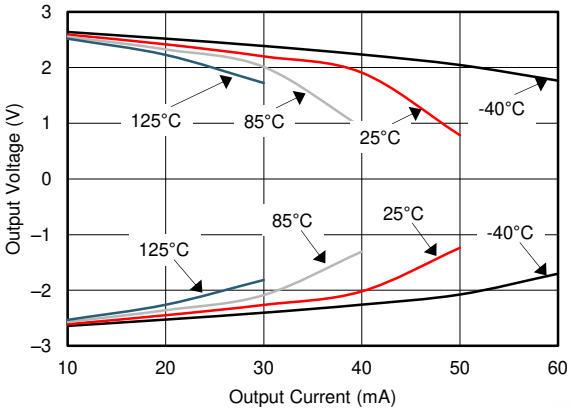


图 7-8. 输入偏置电流与温度间的关系



V+ = 2.75V，V– = –2.75V

图 7-9. 输出电压摆幅与输出电流间的关系

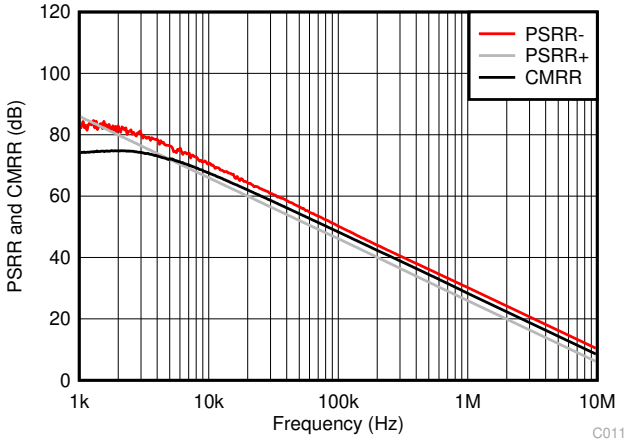
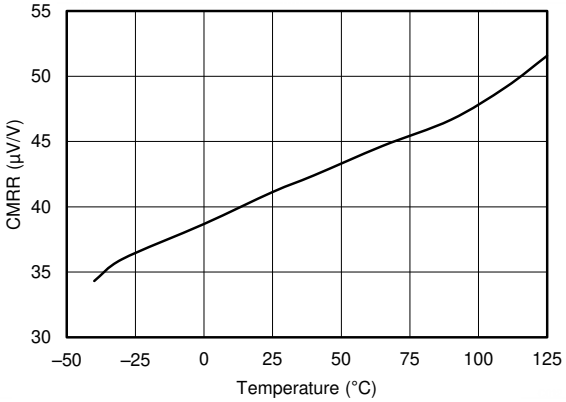


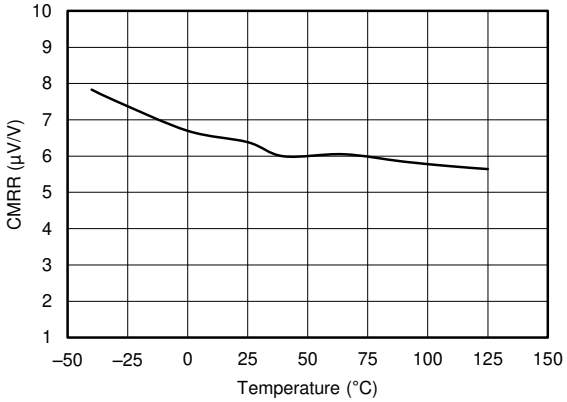
图 7-10. CMRR 和 PSRR 与频率间的关系（以输入为参考）



V_S = 5.5V　V_{CM} = (V–) – 0.1V 至 (V+) + 0.1V　R_L = 10kΩ

T_A = –40°C 至 125°C

图 7-11. CMRR 与温度间的关系



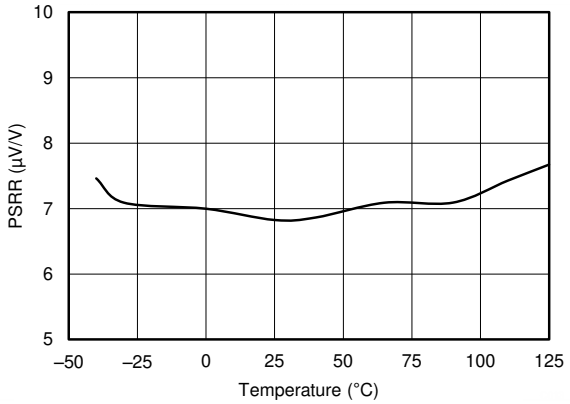
V_S = 5.5V　V_{CM} = (V–) – 0.1V 至 (V+) – 1.4V　R_L = 10kΩ

T_A = –40°C 至 125°C

图 7-12. CMRR 与温度间的关系

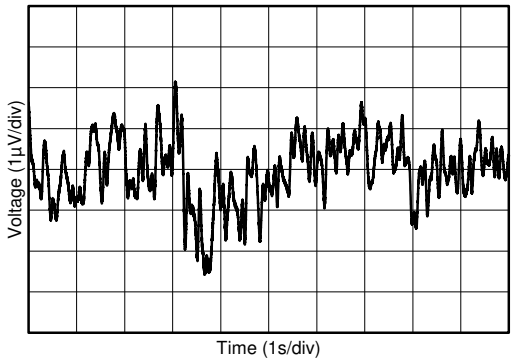
7.8 典型特性 (continued)

T_A = 25°C，V_S = 5.5V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）



V_S = 2.5V 至 5.5V

图 7-13. PSRR 与温度间的关系



V_S = 2.5V 至 5.5V

图 7-14. 0.1Hz 至 10Hz 输入电压噪声

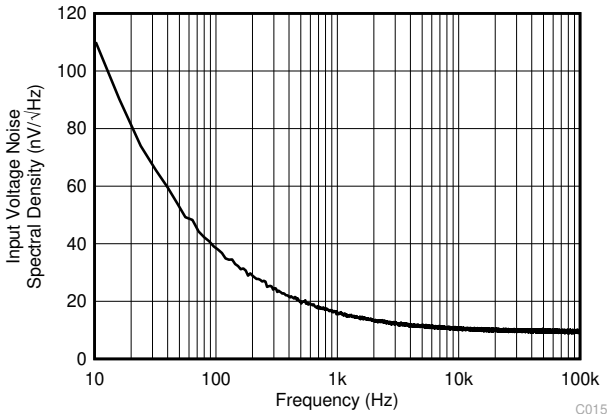
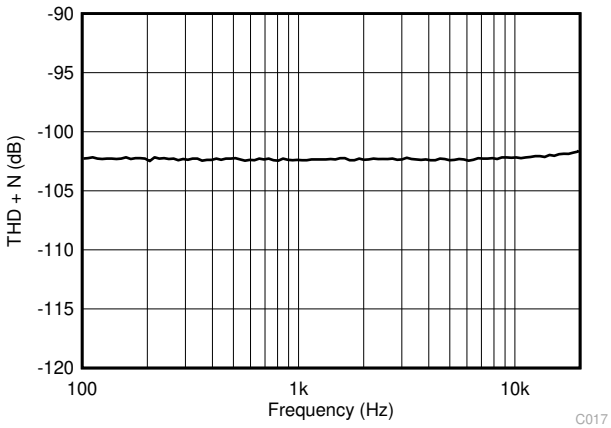
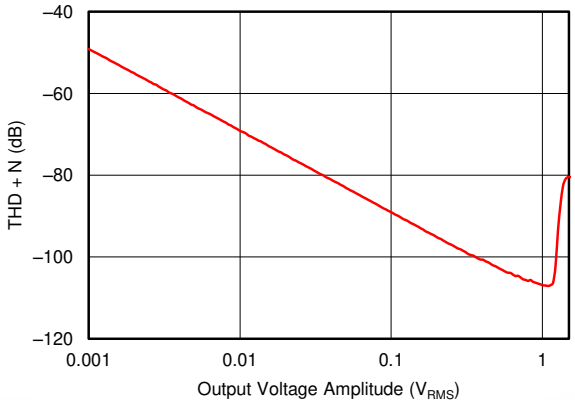


图 7-15. 输入电压噪声频谱密度与频率间的关系



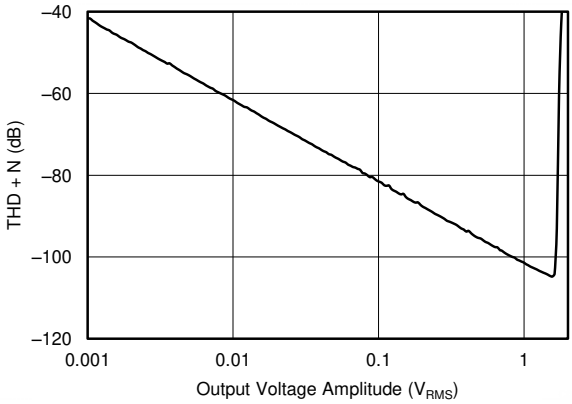
V_S = 5.5V　V_{CM} = 2.5V　R_L = 2kΩ
G = 1　V_{OUT} = 0.5V_{RMS}　BW = 80kHz

图 7-16. THD+N 与频率间的关系



V_S = 5.5V　V_{CM} = 2.5V　R_L = 2kΩ
G = 1　BW = 80kHz　f = 1kHz

图 7-17. THD + N 与幅度间的关系



V_S = 5.5V　V_{CM} = 2.5V　R_L = 2kΩ
G = –1　BW = 80kHz　f = 1kHz

图 7-18. THD + N 与幅度间的关系

Copyright © 2023 Texas Instruments Incorporated

7.8 典型特性 (continued)

T_A = 25°C，V_S = 5.5V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）

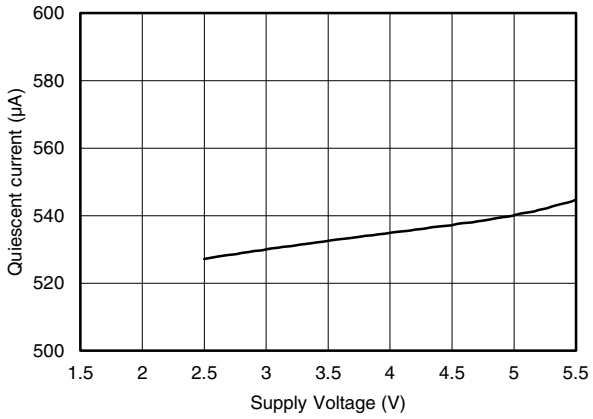


图 7-19. 静态电流与电源电压间的关系

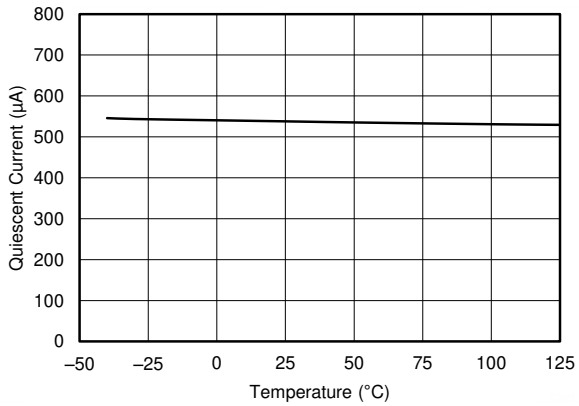


图 7-20. 静态电流与温度间的关系

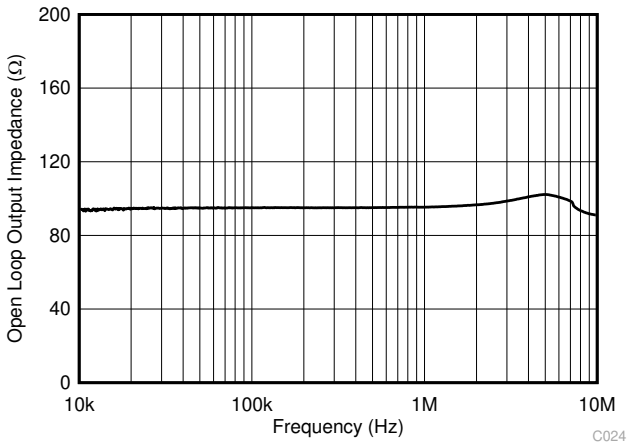
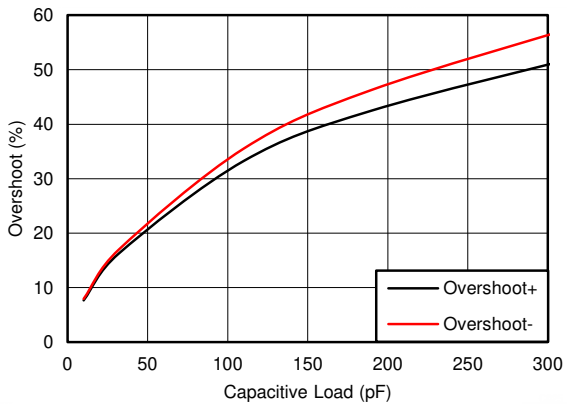


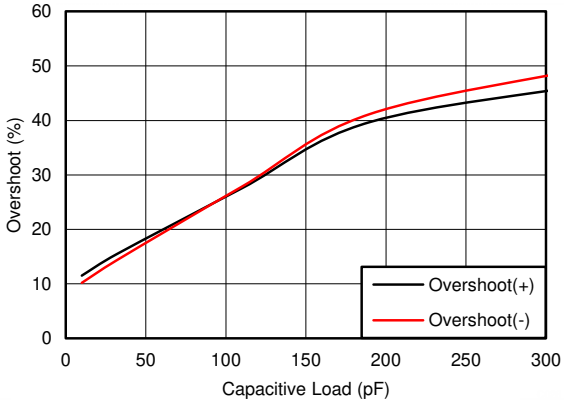
图 7-21. 开环输出阻抗与频率间的关系



V+ = 2.75V　　V– = –2.75V　　G = 1V/V

R_L = 10kΩ　　V_{OUT} 阶跃 = 100mV_{p-p}

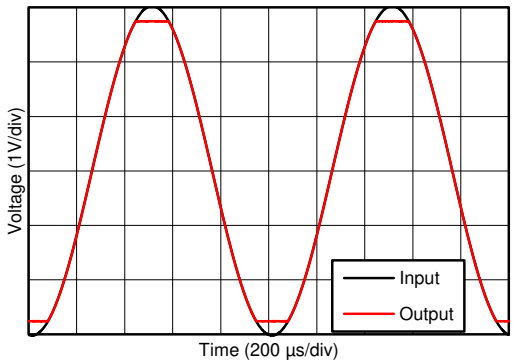
图 7-22. 小信号过冲与负载电容间的关系



V+ = 2.75V　　V– = –2.75V　　R_L = 10kΩ

G = –1V/V　　V_{OUT} 阶跃 = 100mV_{p-p}

图 7-23. 小信号过冲与负载电容间的关系

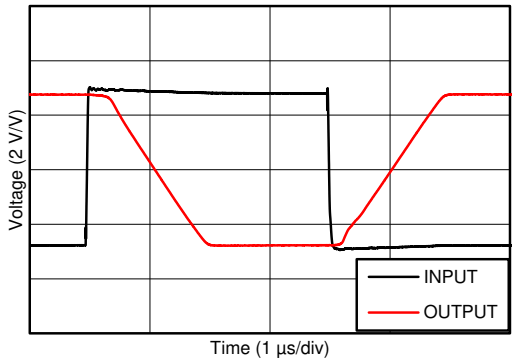


V+ = 2.75V，V– = –2.75V

图 7-24. 无相位反转

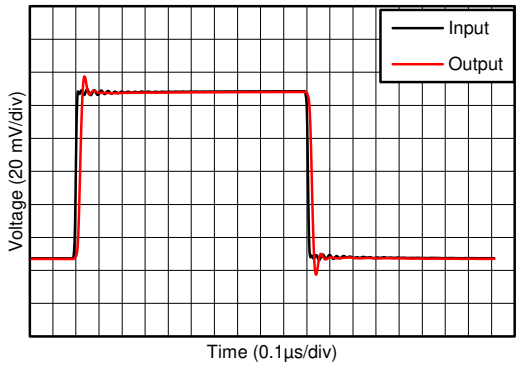
7.8 典型特性 (continued)

T_A = 25°C，V_S = 5.5V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）



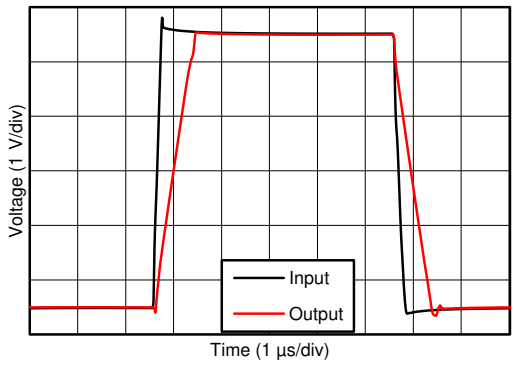
V+ = 2.75V，V– = –2.75V，G = –10V/V

图 7-25. 过载恢复



V+ = 2.75V，V– = –2.75V，G = 1V/V

图 7-26. 小信号阶跃响应



V+ = 2.75V　　V– = –2.75V　　C_L = 100pF
G = 1V/V

图 7-27. 大信号阶跃响应

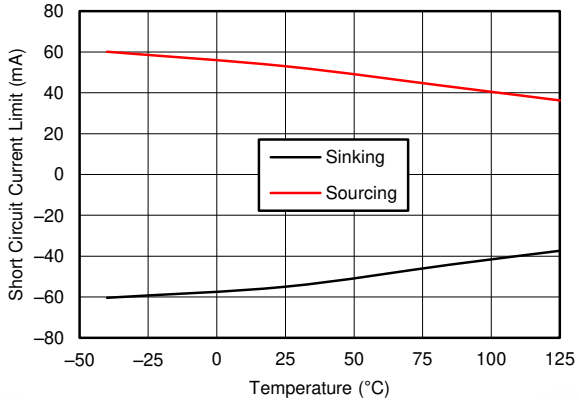
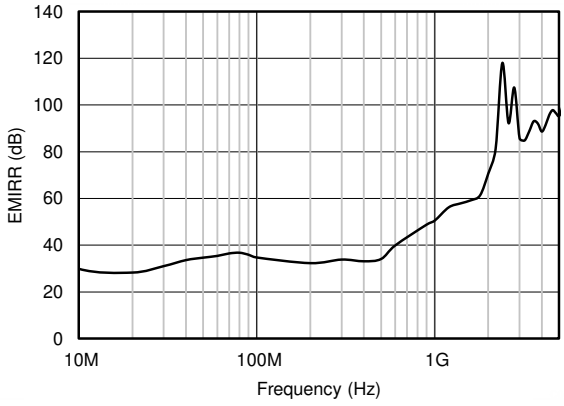
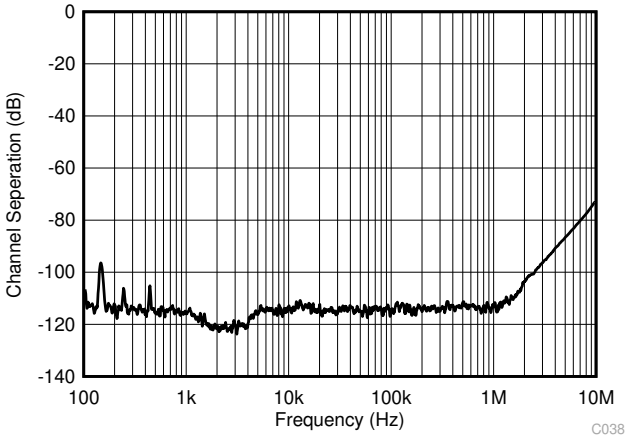


图 7-28. 短路电流与温度间的关系



P_{RF} = –10dBm

图 7-29. 以同相输入为基准的电磁干扰抑制比 (EMIRR+) 与频率间的关系



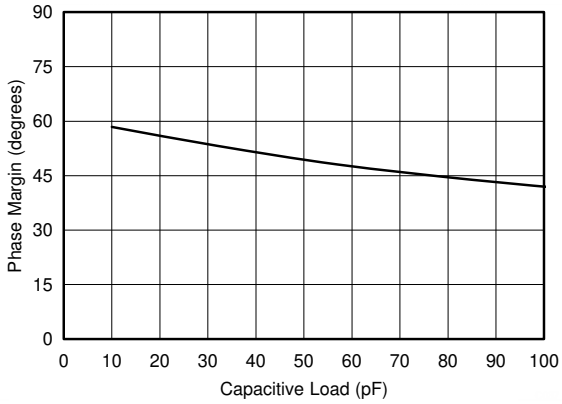
V+ = 2.75V，V– = –2.75V

图 7-30. 通道隔离与频率间的关系

Copyright © 2023 Texas Instruments Incorporated

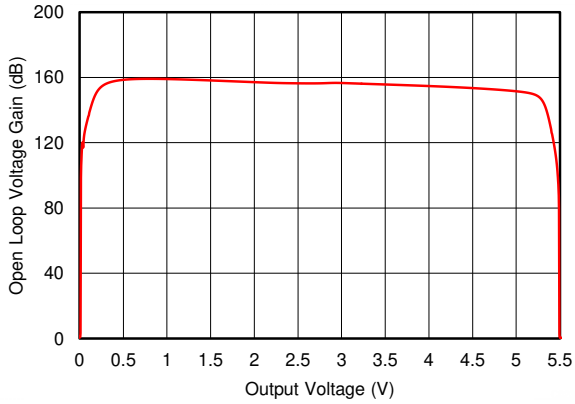
7.8 典型特性 (continued)

T_A = 25°C，V_S = 5.5V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）



V_S = 5.5V

图 7-31. 相位裕度与容性负载间的关系



A. V_S = 5.5V

图 7-32. 开环电压增益与输出电压间的关系

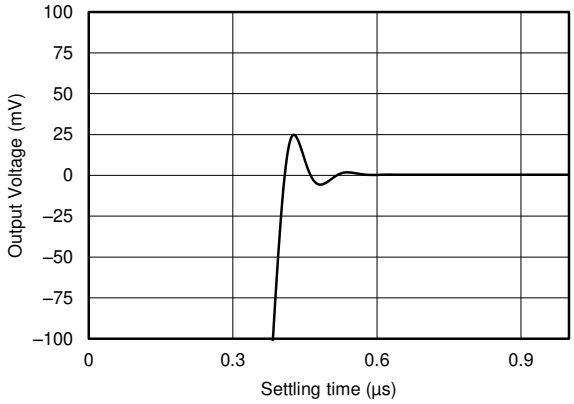


图 7-33. 大信号建立时间（正）

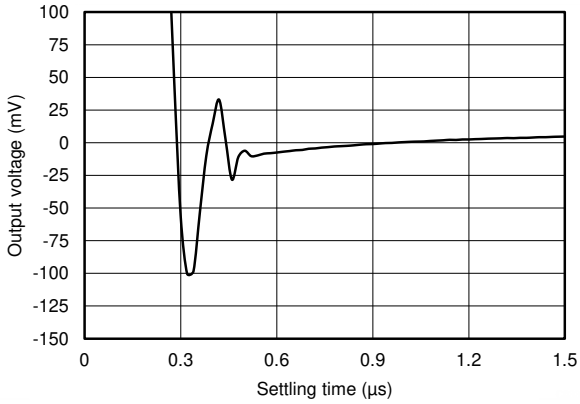


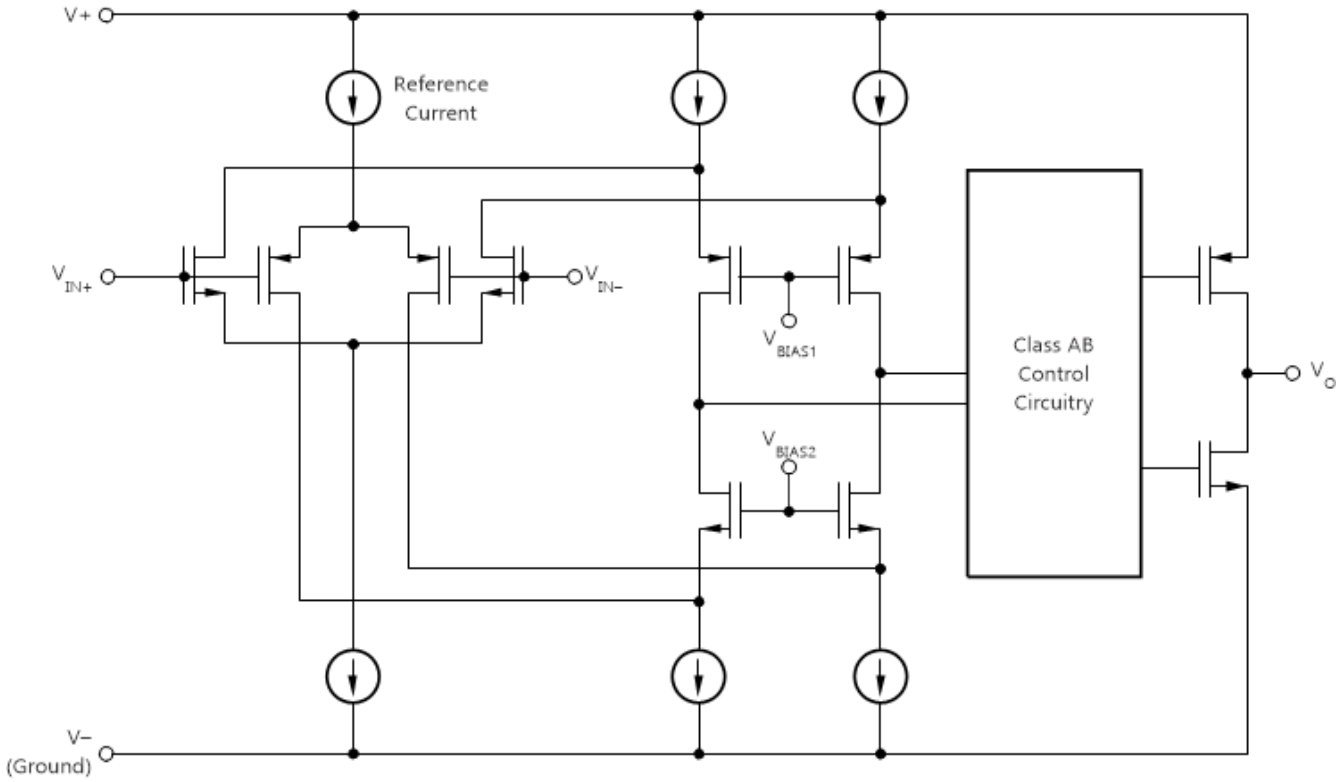
图 7-34. 大信号建立时间（负）

8 详细说明

8.1 概述

TSV91xA-Q1 系列是低功耗、轨到轨输入和输出运算放大器系列。这些器件的工作电压范围为 2.5V 至 5.5V，具有单位增益稳定特性，并且适用于各种通用汽车应用。输入共模电压范围包括两个电源轨，并支持将 TSV91xA-Q1 系列器件用于几乎任何单电源应用。轨对轨输入和输出摆动显著增加了动态范围，特别是在低电源应用中，使其适合驱动采样模数转换器 (ADC)。

8.2 功能方框图



Copyright © 2023 Texas Instruments Incorporated

8.3 特性说明

8.3.1 轨到轨输入

TSV91xA-Q1 系列的输入共模电压范围相对于电源轨向外扩展了 100mV，从而支持 2.5V 至 5.5V 的完整电源电压范围。此性能由一个互补输入级实现：一个 N 沟道输入差分对和一个 P 沟道差分对并联，如*功能方框图*部分所示。当输入电压靠近正轨（通常在 (V+) – 1.4V 到高于正电源电压 100mV 之间）时，N 沟道对有效；而当输入在低于负电源电压 100mV 到大约 (V+) – 1.4V 之间时，P 沟道对有效。通常当介于 (V+) – 1.2V 到 (V+) – 1V 之间的小切换区域内，两个通道对都会打开。此 200mV 转换区域可能会随工艺不同而发生变化，最高可达 200mV。因此，此转换区域（两个级都打开）在低端上的范围介于 (V+) – 1.4V 至 (V+) – 1.2V 之间，而在高端上的范围高达 (V+) – 1V 至 (V+) – 0.8V。在此转换区域内，与器件在该区域外运行相比，PSRR、CMRR、失调电压、温漂和 THD 等性能可能会下降。

8.3.2 轨到轨输出

TSV91xA-Q1 系列器件是一种低功耗、低电压运算放大器，可提供强大的输出驱动能力。一个具有共源晶体管的 AB 类输出级可实现完全的轨到轨输出摆幅功能。对于 10kΩ 的阻性负载，无论施加的电源电压是多少，输出摆幅都在两个电源轨的 15mV 范围内。不同的负载情况会改变放大器在靠近电源轨范围内摆动的能力。

8.3.3 过载恢复

过载恢复定义为运算放大器输出从饱和状态恢复到线性状态所需的时间。当输出电压由于高输入电压或高增益而超过额定工作电压时，运算放大器的输出器件进入饱和区。器件进入饱和区后，输出器件中的电荷载体需要时间回到线性状态。当电荷载体回到线性状态时，器件开始以指定的压摆率进行转换。因此，传播延迟（过载情况下）等于过载恢复时间与转换时间之和。TSV91xA-Q1 系列器件的过载恢复时间大约为 200ns。

8.4 器件功能模式

TSV91xA-Q1 系列具有单功能模式。只要电源电压在 2.5V (±1.25V) 与 5.5V (±2.75V) 之间，这些器件就处于通电状态。

9 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

TSV91xA-Q1 系列具有 8MHz 带宽和 4.5V/μs 压摆率，且每个通道仅消耗 550μA 的电源电流，从而在低功耗的情况下提供良好的交流性能。对于直流应用，该系列在 1kHz 下具有 18nV/√Hz 的低输入噪声电压，并且具有低输入偏置电流和 0.3mV 的典型输入失调电压，从而提供良好的性能。

9.2 典型应用

图 9-1 展示了低侧电机控制应用中配置的 TSV91xA-Q1。

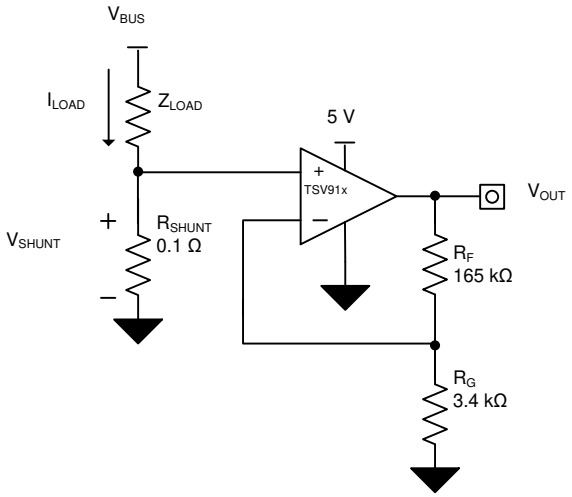


图 9-1. 低侧电机控制应用中的 TSV91xA-Q1

9.2.1 设计要求

针对此设计的设计要求如下：

- 负载电流：0A 至 1A
- 输出电压：4.95 V
- 最大分流电压：100mV

Copyright © 2023 Texas Instruments Incorporated

9.2.2 详细设计过程

图 9-1 中电路的传递函数如方程式 1 所示。

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times Gain \tag{1}$$

负载电流 (I_{LOAD}) 在分流电阻器 (R_{SHUNT}) 上产生压降。负载电流设置为 0A 至 1A。为了在最大负载电流下保持分流电压低于 100mV，方程式 2 中定义了最大分流电阻。

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100\ mV}{1\ A} = 100\ m\Omega \tag{2}$$

根据方程式 2，R_{SHUNT} 为 100mΩ。I_{LOAD} 和 R_{SHUNT} 产生的电压降由 TSV91xA-Q1 放大，从而产生大约 0V 至 4.95V 的输出电压。TSV91xA-Q1 产生必要输出电压时所需的增益根据方程式 3 算出：

$$Gain = \frac{(V_{OUT_MAX} - V_{OUT_MIN})}{(V_{IN_MAX} - V_{IN_MIN})} \tag{3}$$

使用方程式 3 计算出的所需增益为 49.5 V/V，该值由电阻器 R_F 和 R_G 设置。方程式 4 用于调整电阻器 R_F 和 R_G 的大小，从而将 TSV91xA-Q1 的增益设置为 49.5V/V。

$$Gain = 1 + \left(\frac{R_F}{R_G}\right) \tag{4}$$

选择 R_F 为 165kΩ 且 R_G 为 3.4kΩ 可提供约为 49.5V/V 的组合。图 9-2 展示了图 9-1 中所示电路测得的传递函数。

9.2.3 应用曲线

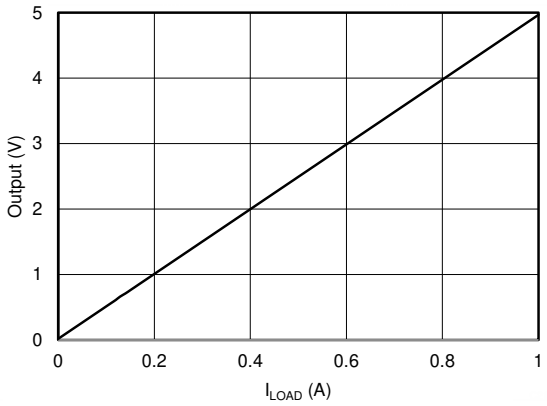


图 9-2. 低侧电流检测传递函数

9.3 电源相关建议

TSV91xA-Q1 系列的额定工作电压范围为 2.5V 至 5.5V（±1.25V 至 ±2.75V）；多种规格适用于 –40°C 至 125°C 的温度范围。*典型特性* 介绍了可能会随工作电压或温度而显著变化的参数。

> **CAUTION**
>
> 电源电压大于 6 V 会对器件造成永久损坏；请参阅*绝对最大额定值*表。

将 0.1μF 旁路电容器置于电源引脚附近，以减少从高噪声电源或高阻抗电源中耦合进来的误差。有关旁路电容器放置位置的详细信息，请参阅*布局示例*。

9.3.1 输入和 ESD 保护

TSV91xA-Q1 系列器件在所有引脚上均整合了内部 ESD 保护电路。对于输入和输出引脚，这种保护包括输入和电源引脚之间连接的导流二极管。只要电流如*绝对最大额定值*表中所示不超过 10mA，这些 ESD 保护二极管就可以提供电路内输入过驱保护。图 9-3 显示了如何通过将串联输入电阻器添加到被驱动的输入端来限制输入电流。添加的电阻器会增加放大器输入端的热噪声，在对噪声敏感的应用中，该值必须保持在最低。

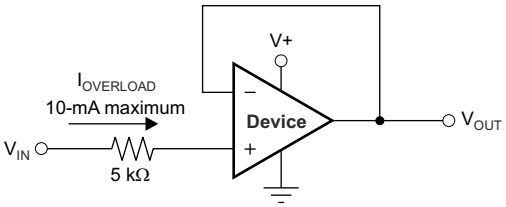


图 9-3. 输入电流保护

9.4 布局

9.4.1 布局指南

为了实现器件的最佳运行性能，应使用良好的印刷电路板 (PCB) 布局规范，包括：

- 噪声可以通过整个电路的电源引脚和运算放大器本身的电源引脚传入模拟电路。旁路电容用于通过为局部模拟电路提供低阻抗电源，以降低耦合噪声。
  - 在每个电源引脚和接地端之间接入低等效串联电阻 (ESR) 0.1μF 陶瓷旁路电容，并尽量靠近器件放置。从 V+ 到接地端之间的单个旁路电容适用于单电源应用。
- 将电路中的模拟部分和数字部分单独接地是最简单最有效的噪声抑制方法之一。多层 PCB 中通常将一层或多层专门作为接地层。接地层有助于散热和降低电磁干扰 (EMI) 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流。
- 为了减少寄生耦合，请让输入走线尽可能远离电源或输出走线。如果这些走线不能保持分离，则敏感走线与有噪声走线垂直相交比平行更好。
- 外部元件应尽量靠近器件放置。如图 9-5 所示，使 RF 和 RG 接近反相输入可最大限度地减小反相输入端的寄生电容。
- 尽可能缩短输入走线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。保护环可以显著减少附近走线在不同电势下产生的泄漏电流。
- 为获得最佳性能，建议在组装 PCB 板后进行清洗。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。请遵循所有的 PCB 水清洁流程，建议将 PCB 组装烘干，以去除清洗时渗入器件封装中的湿气。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。

9.4.2 布局示例

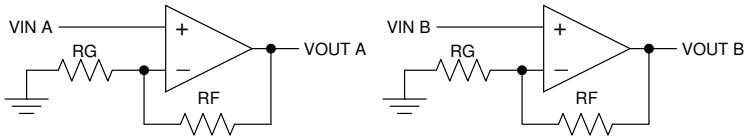


图 9-4. 布局示例的原理图表示

Copyright © 2023 Texas Instruments Incorporated

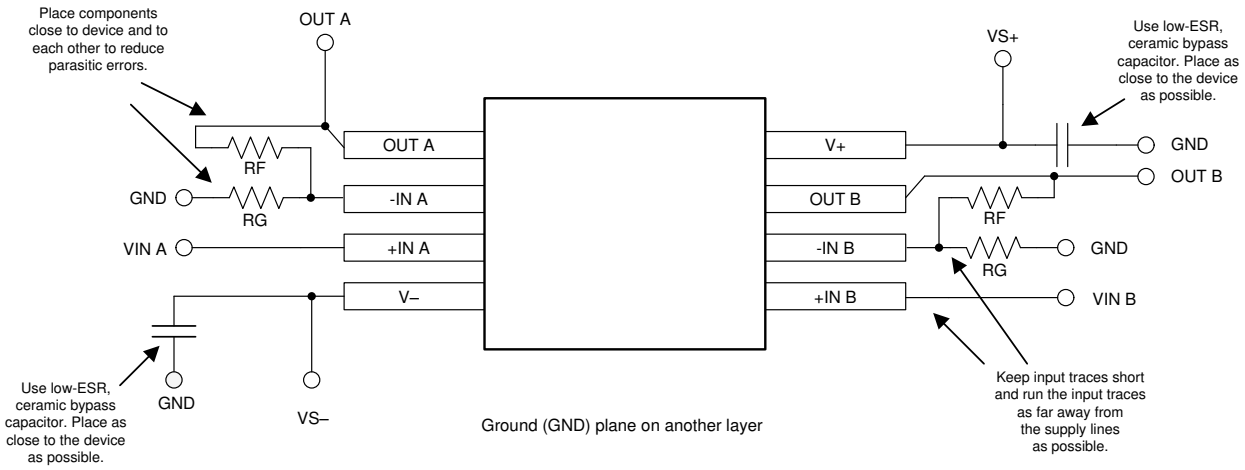

Place components close to device and to each other to reduce parasitic errors.
OUT A
VS+
Use low-ESR, ceramic bypass capacitor. Place as close to the device as possible.
RF
OUT A
V+
GND
OUT B
GND
RG
-IN A
OUT B
RF
VIN A
+IN A
-IN B
GND
RG
V–
+IN B
VIN B
Use low-ESR, ceramic bypass capacitor. Place as close to the device as possible.
GND
VS–
Ground (GND) plane on another layer
Keep input traces short and run the input traces as far away from the supply lines as possible.

图 **9-5.** 布局示例

10 器件和文档支持

10.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.2 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

10.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TSV911AQDBVRQ1	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1N4
TSV911AQDBVRQ1.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1N4
TSV911AQDCKRQ1	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1N6
TSV911AQDCKRQ1.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1N6
TSV912AQDGKRQ1	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	29IT
TSV912AQDGKRQ1.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	29IT
TSV912AQDRQ1	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TS912Q
TSV912AQDRQ1.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TS912Q
TSV912AQPWRQ1	Active	Production	TSSOP (PW) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TSV912
TSV912AQPWRQ1.A	Active	Production	TSSOP (PW) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TSV912
TSV914AQDRQ1	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TSV914AQD
TSV914AQDRQ1.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TSV914AQD
TSV914AQPWRQ1	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	T914AQ
TSV914AQPWRQ1.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T914AQ

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

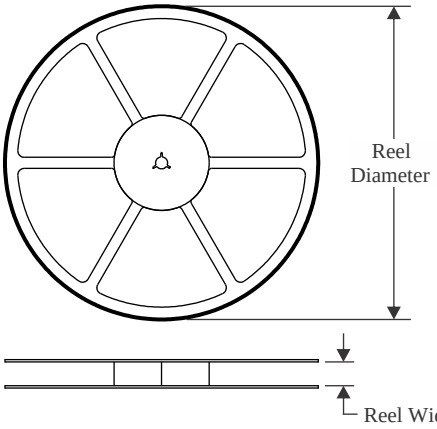
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

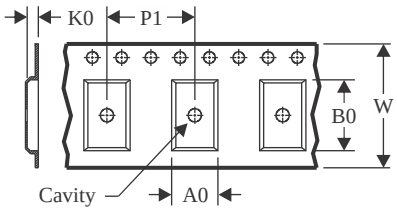
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

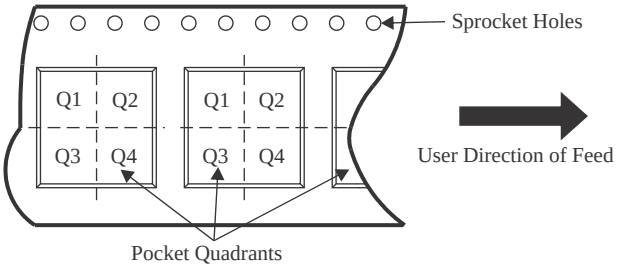


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

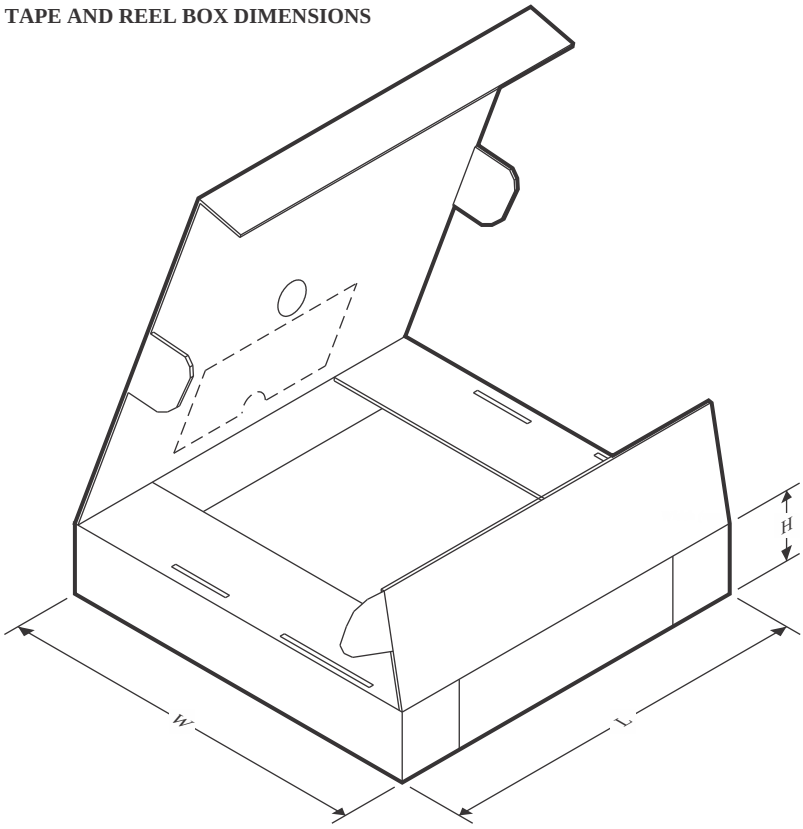
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

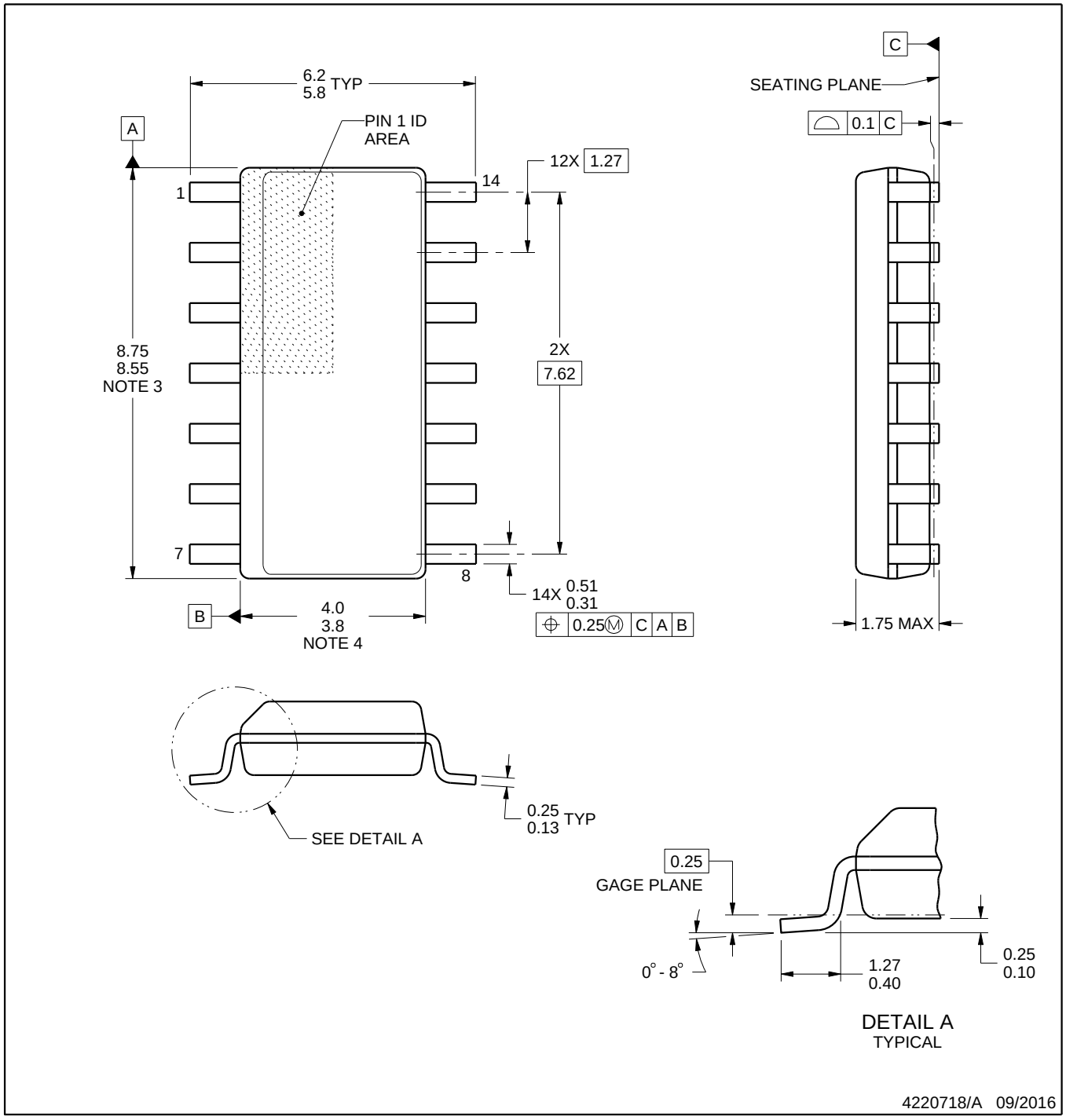
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TSV911AQDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TSV911AQDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TSV911AQDCKRQ1	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TSV912AQDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TSV912AQDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
TSV912AQDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TSV912AQPWRQ1	TSSOP	PW	8	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TSV914AQDRQ1	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TSV914AQPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



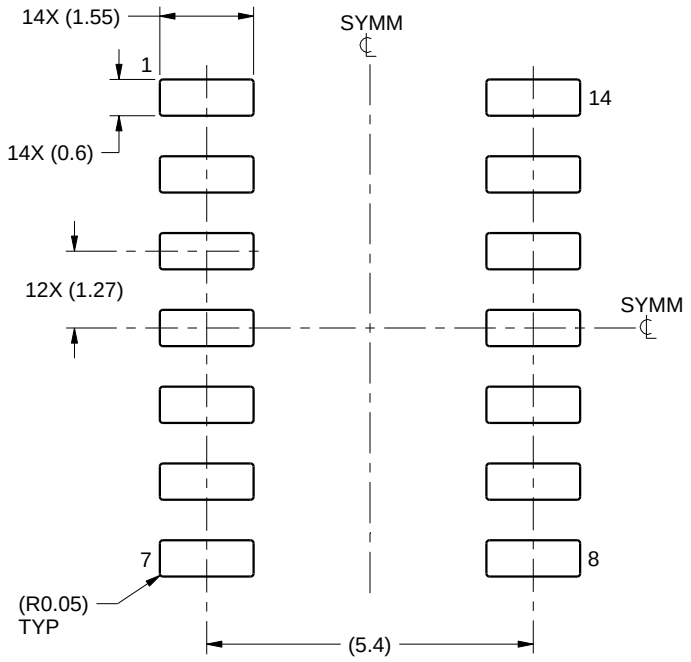
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TSV911AQDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
TSV911AQDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
TSV911AQDCKRQ1	SC70	DCK	5	3000	190.0	190.0	30.0
TSV912AQDGKRQ1	VSSOP	DGK	8	2500	353.0	353.0	32.0
TSV912AQDGKRQ1	VSSOP	DGK	8	2500	366.0	364.0	50.0
TSV912AQDRQ1	SOIC	D	8	2500	353.0	353.0	32.0
TSV912AQPWRQ1	TSSOP	PW	8	3000	353.0	353.0	32.0
TSV914AQDRQ1	SOIC	D	14	2500	353.0	353.0	32.0
TSV914AQPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0

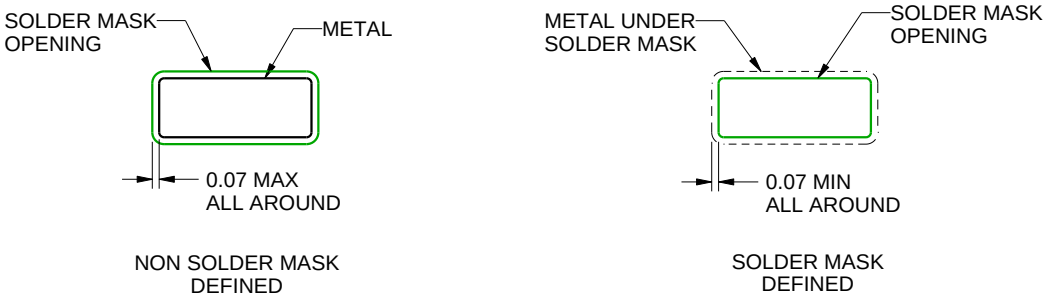


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X

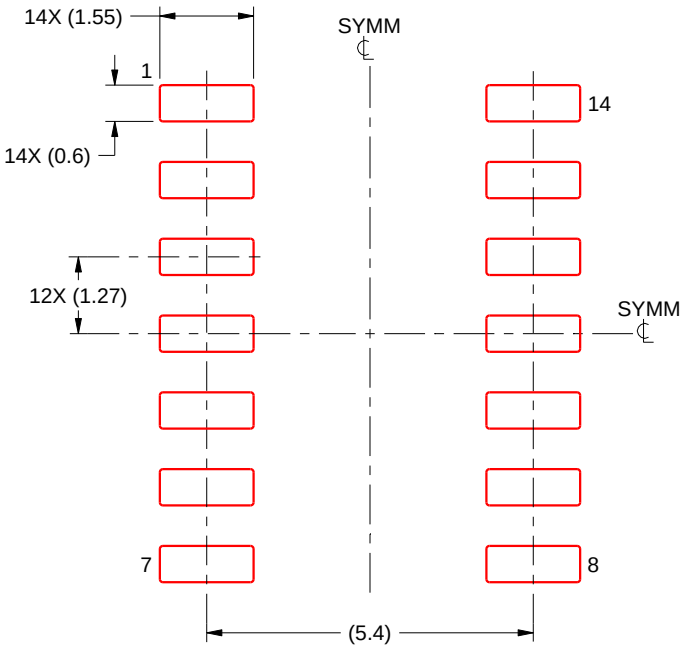


SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

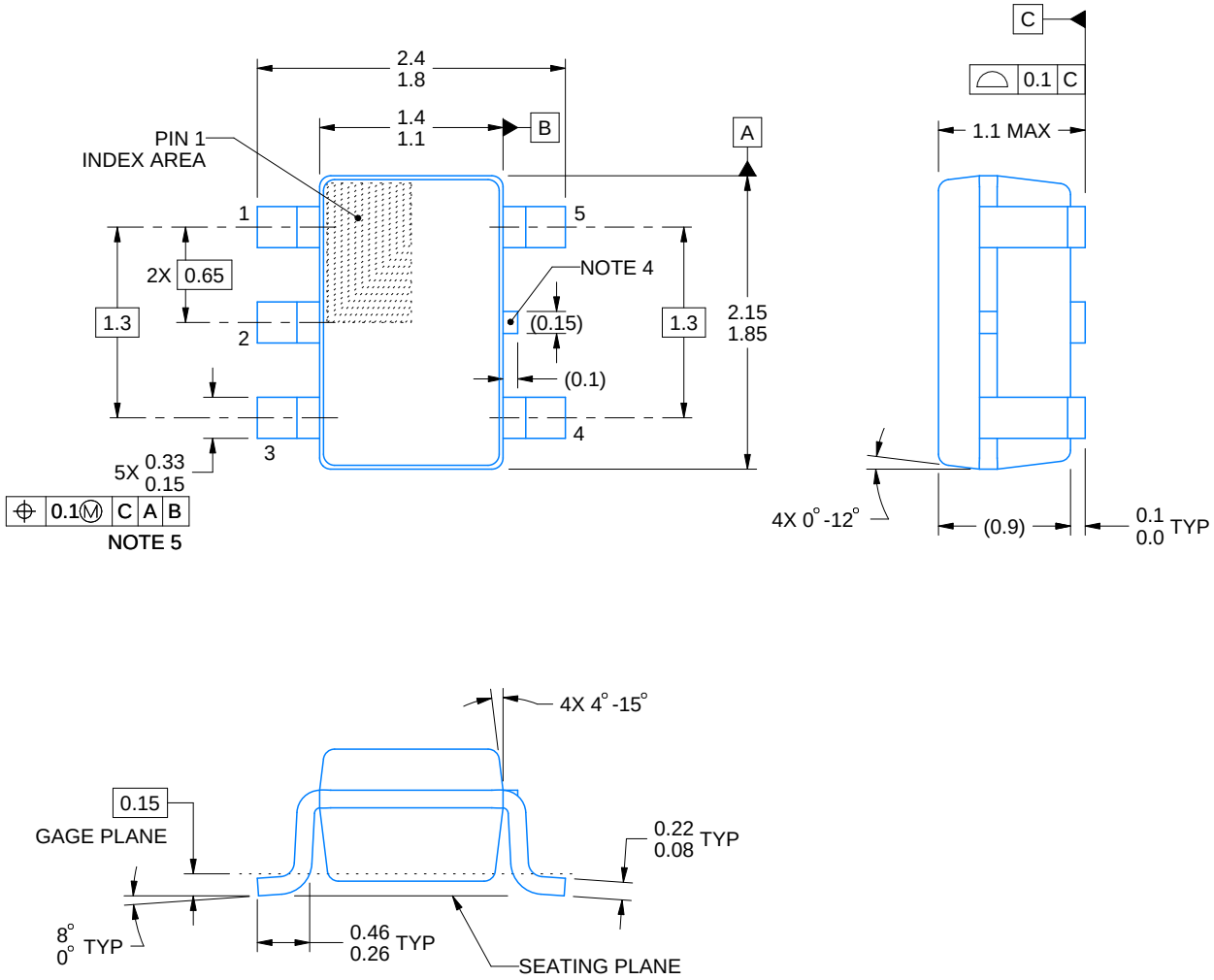


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

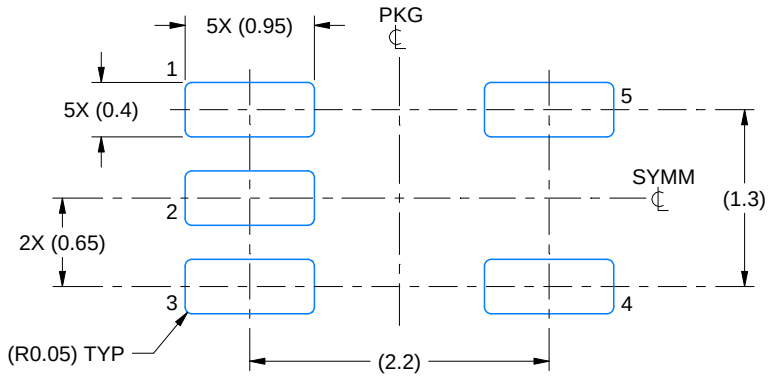
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

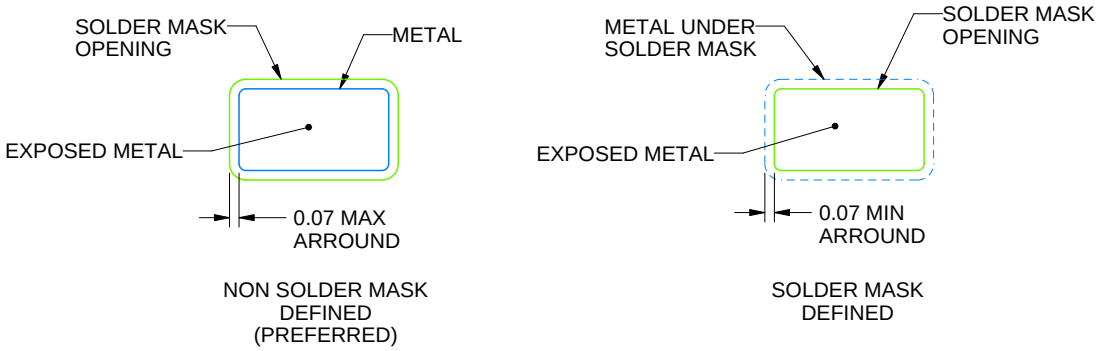


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

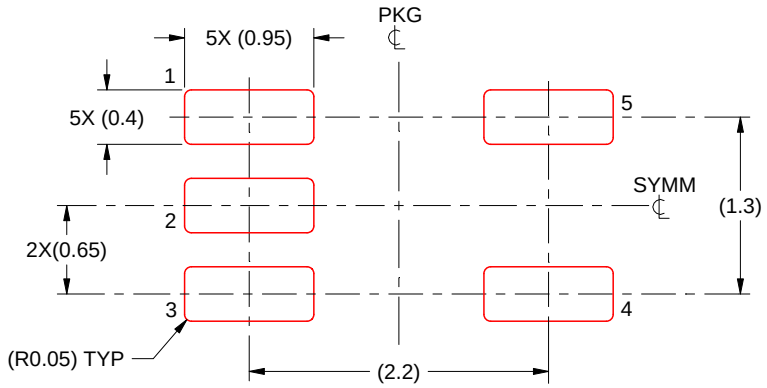


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

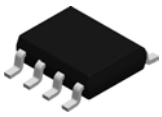


SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

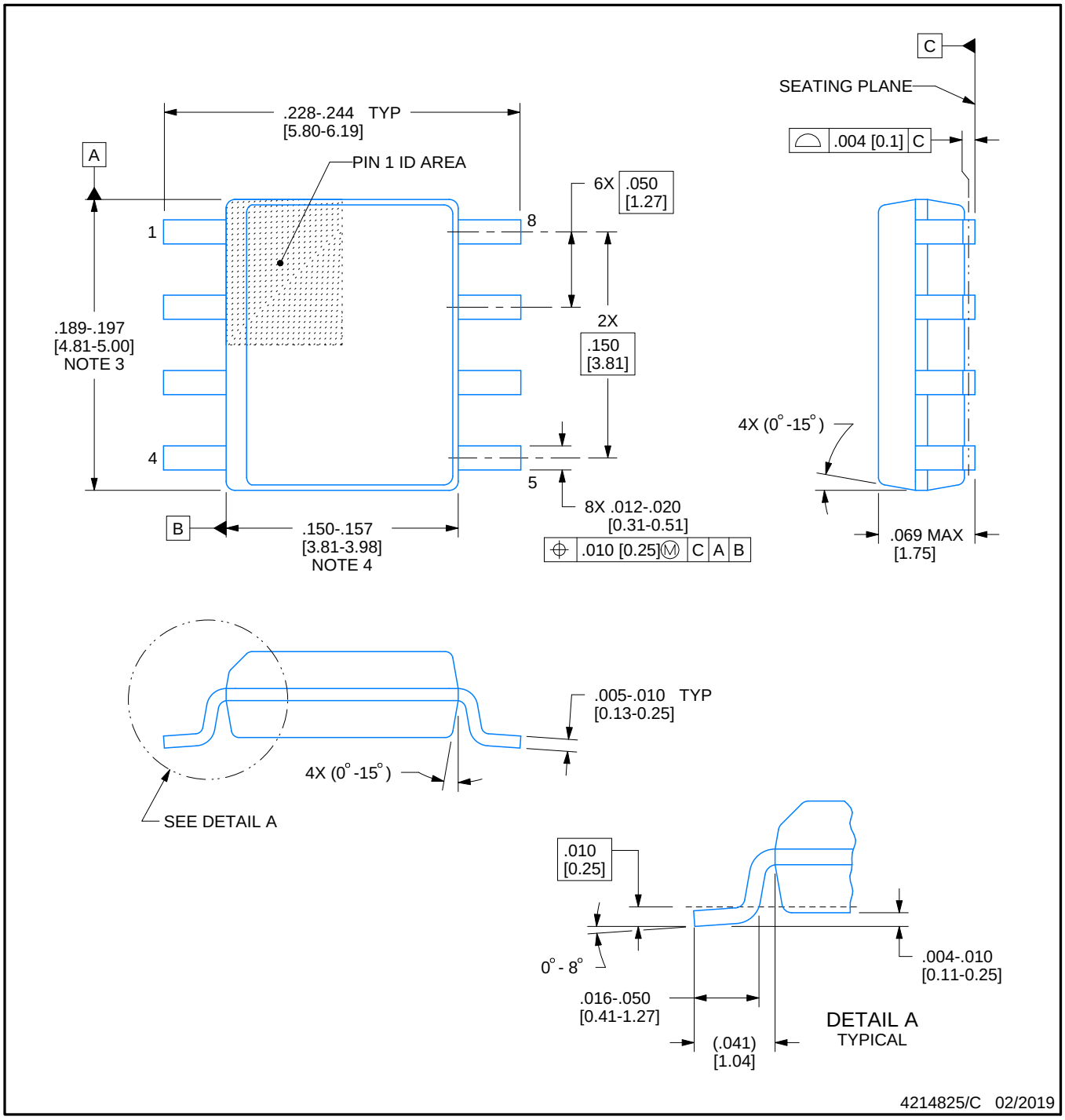


PACKAGE OUTLINE

D0008A

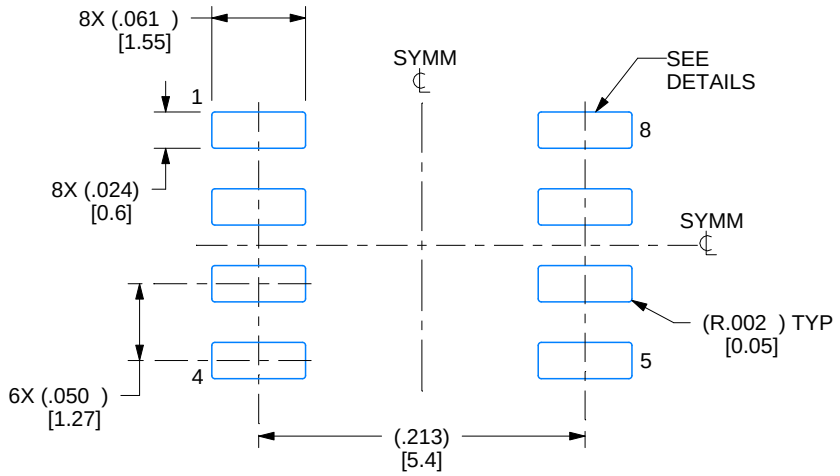
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

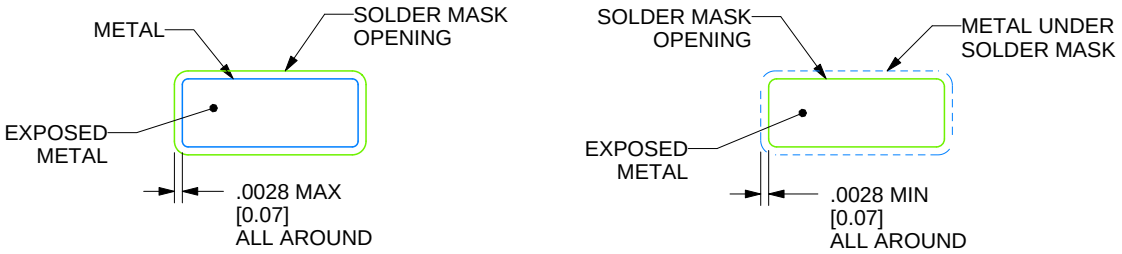


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

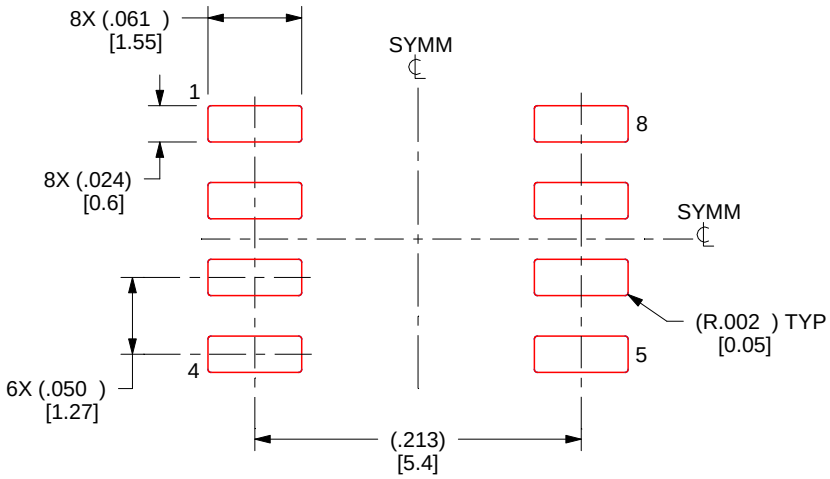


SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



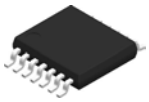
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

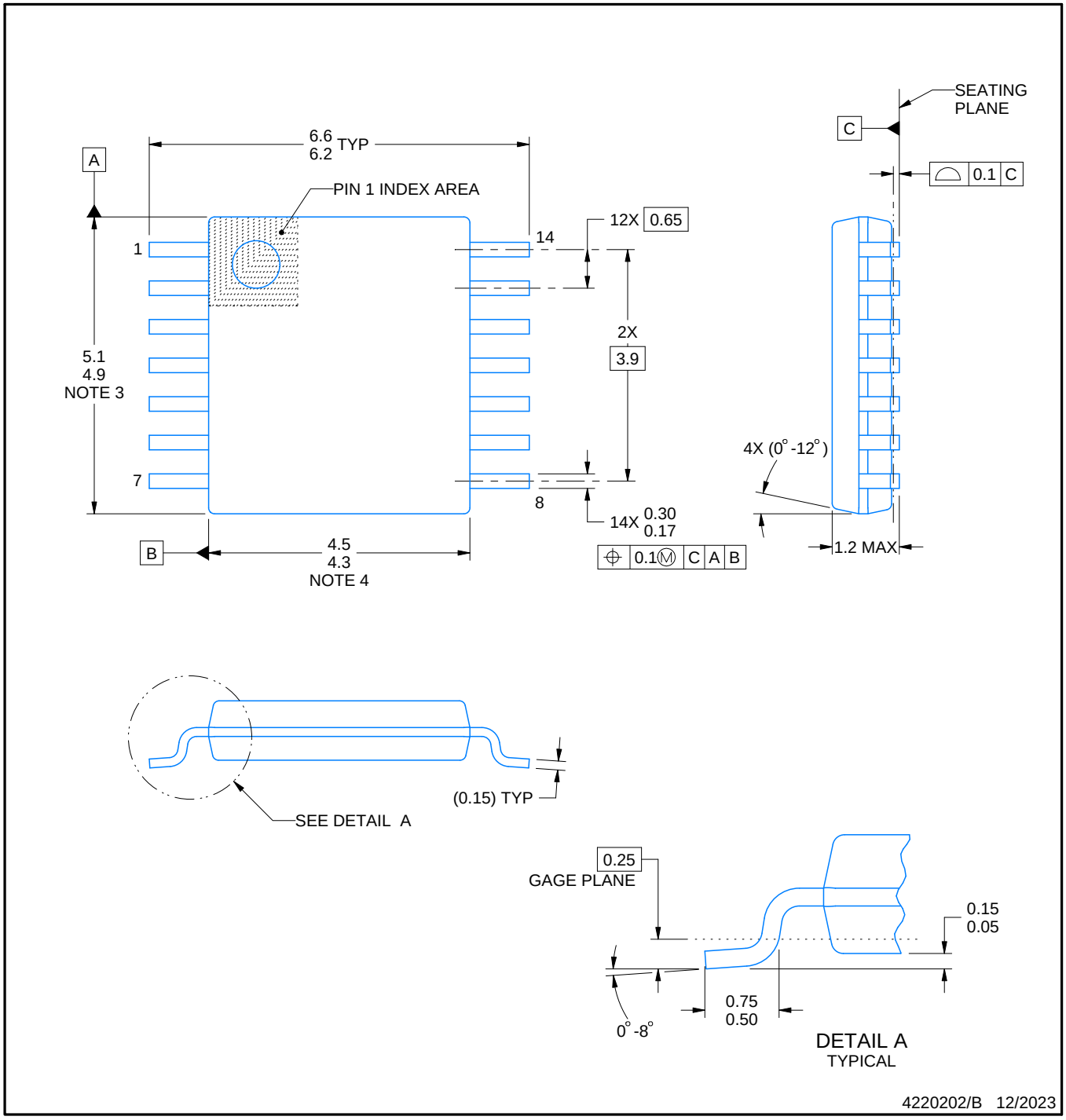
PW0014A



PACKAGE OUTLINE

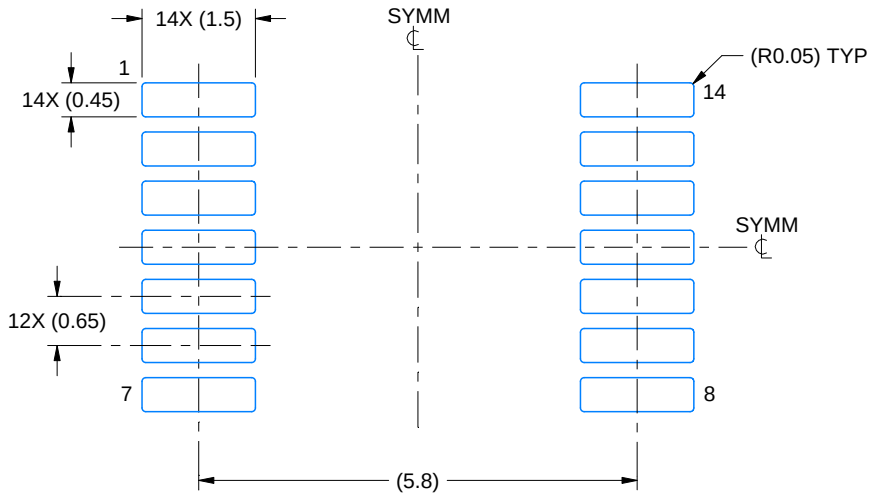
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

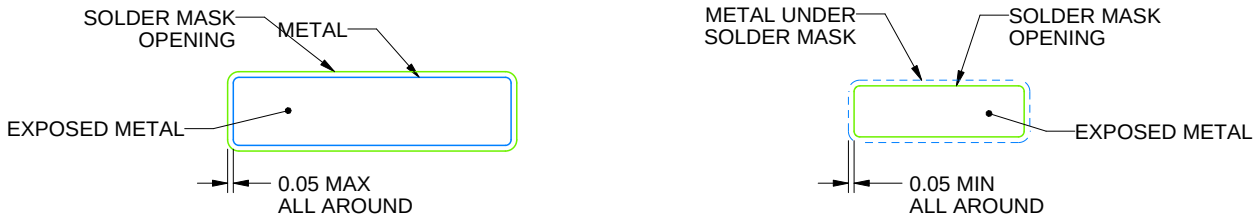


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



NON-SOLDER MASK DEFINED (PREFERRED)

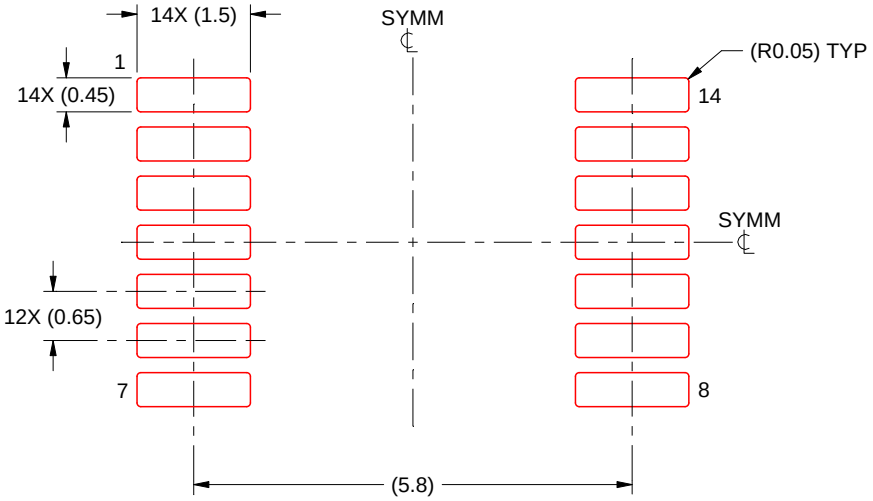
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

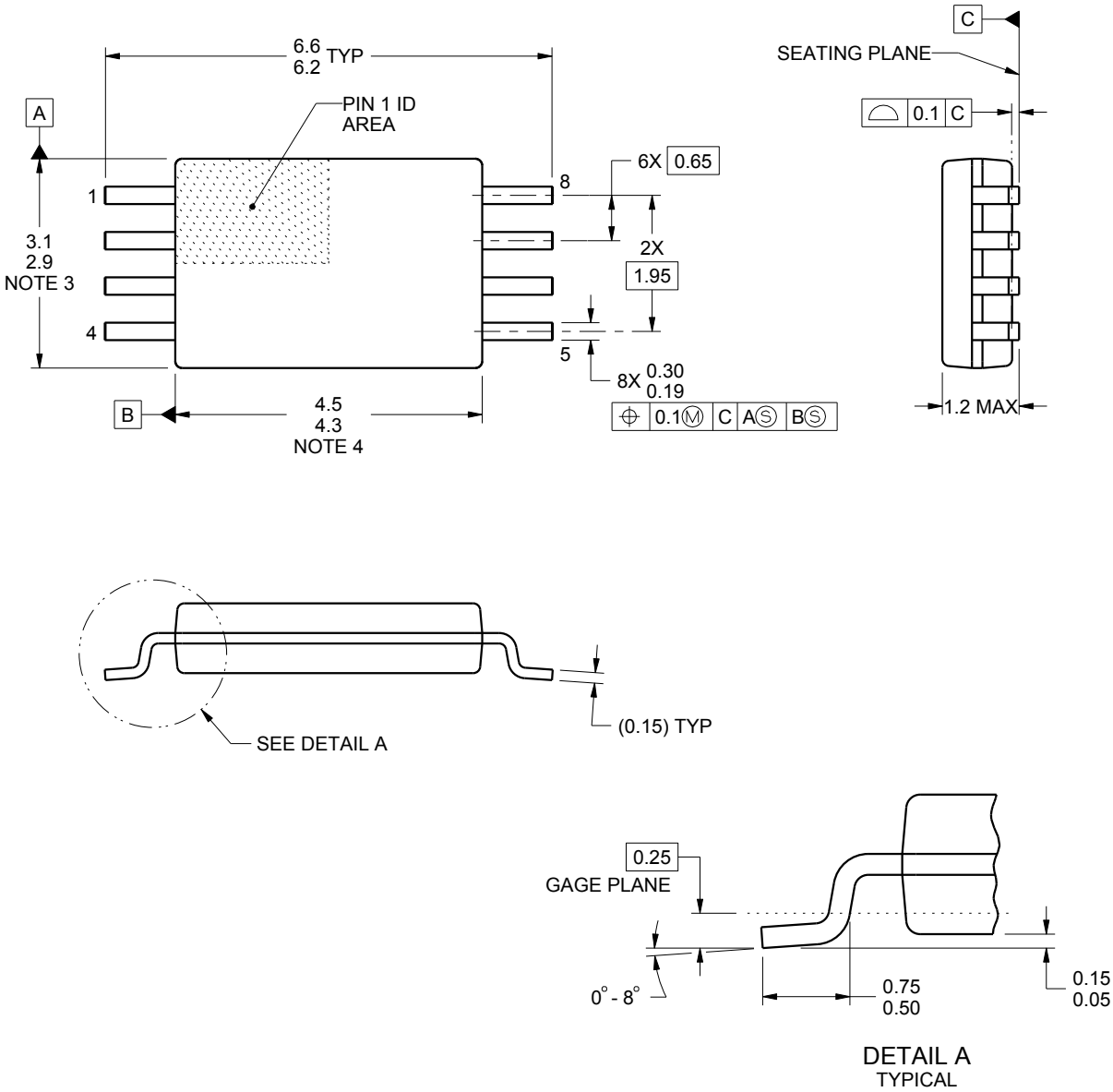


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

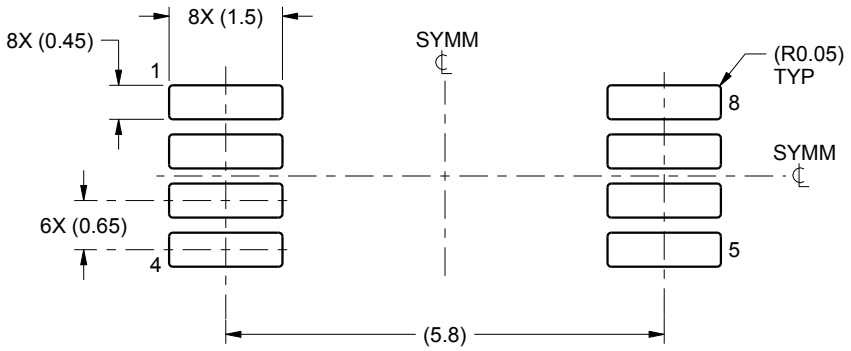
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

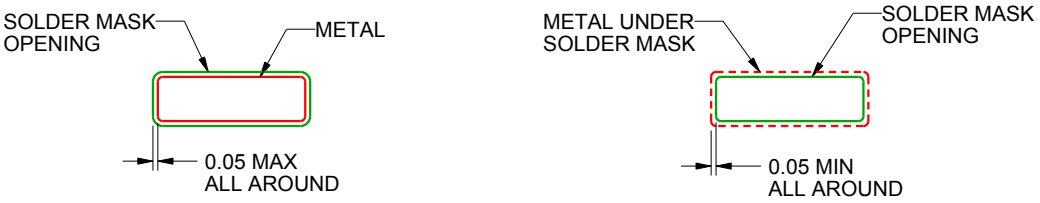


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X



NON SOLDER MASK
DEFINED

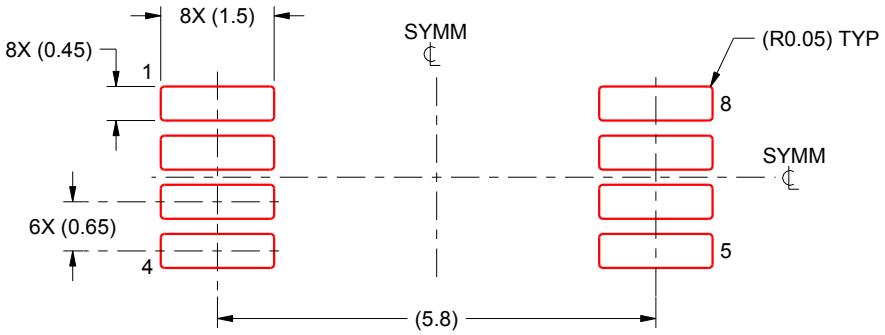
SOLDER MASK
DEFINED

SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

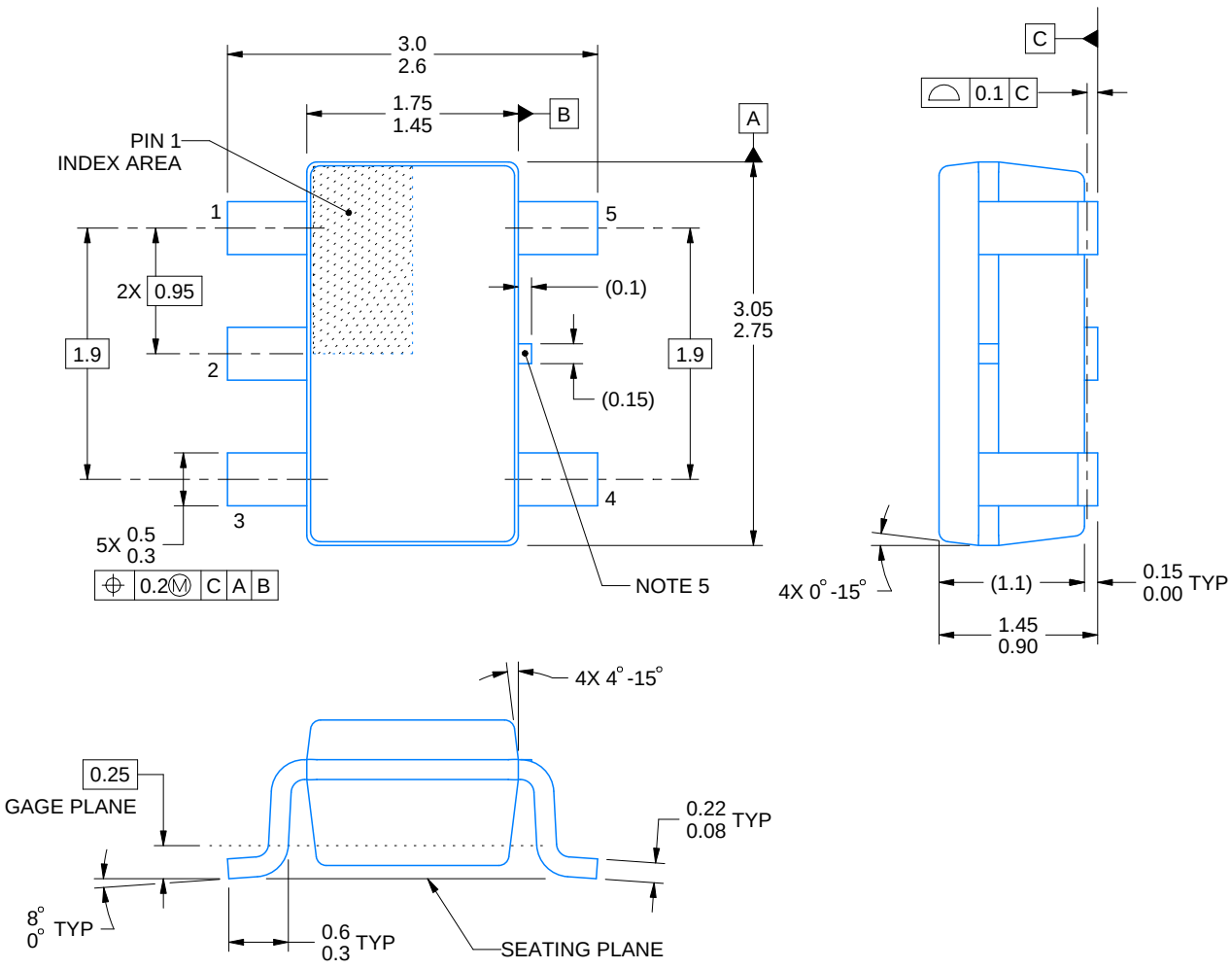


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

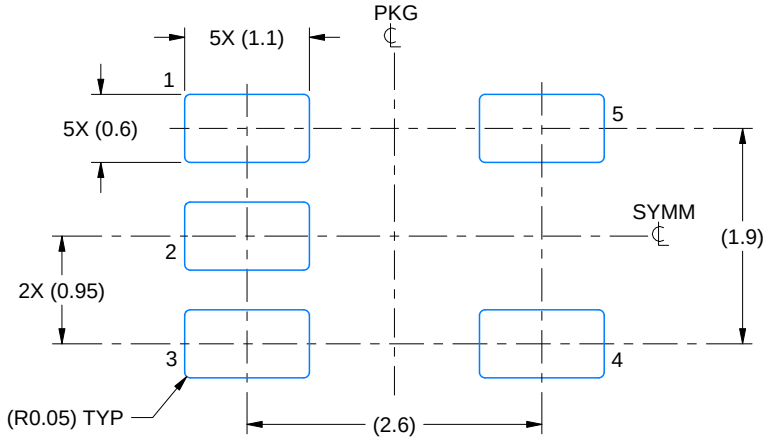
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



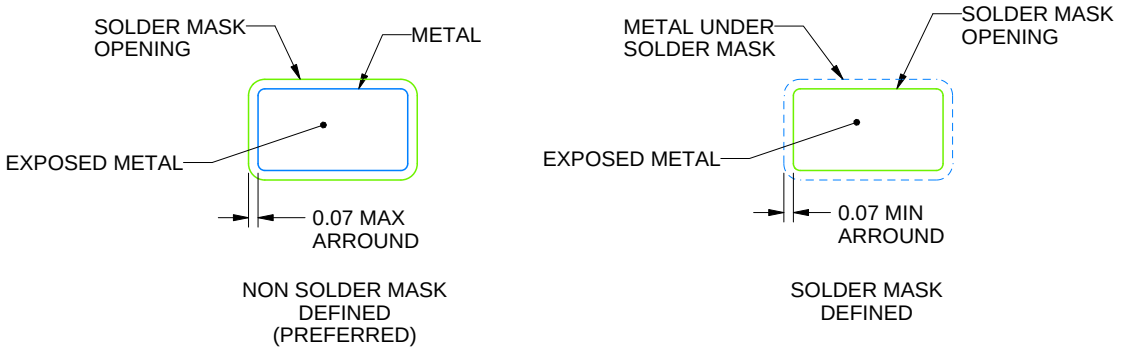
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

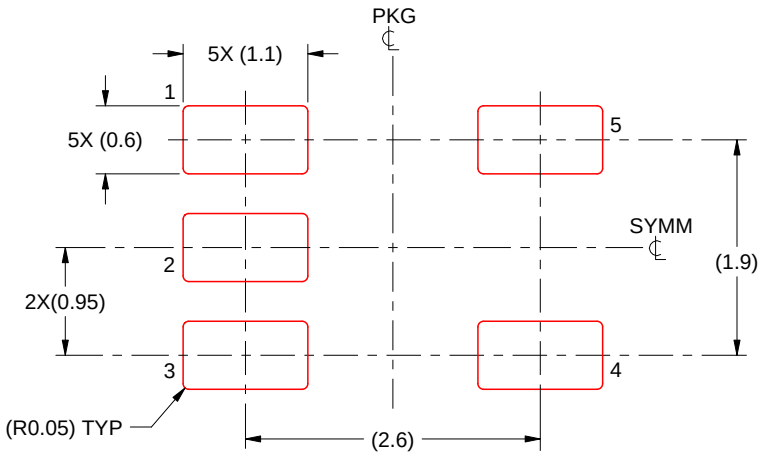


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

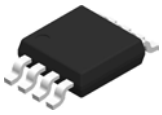
4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

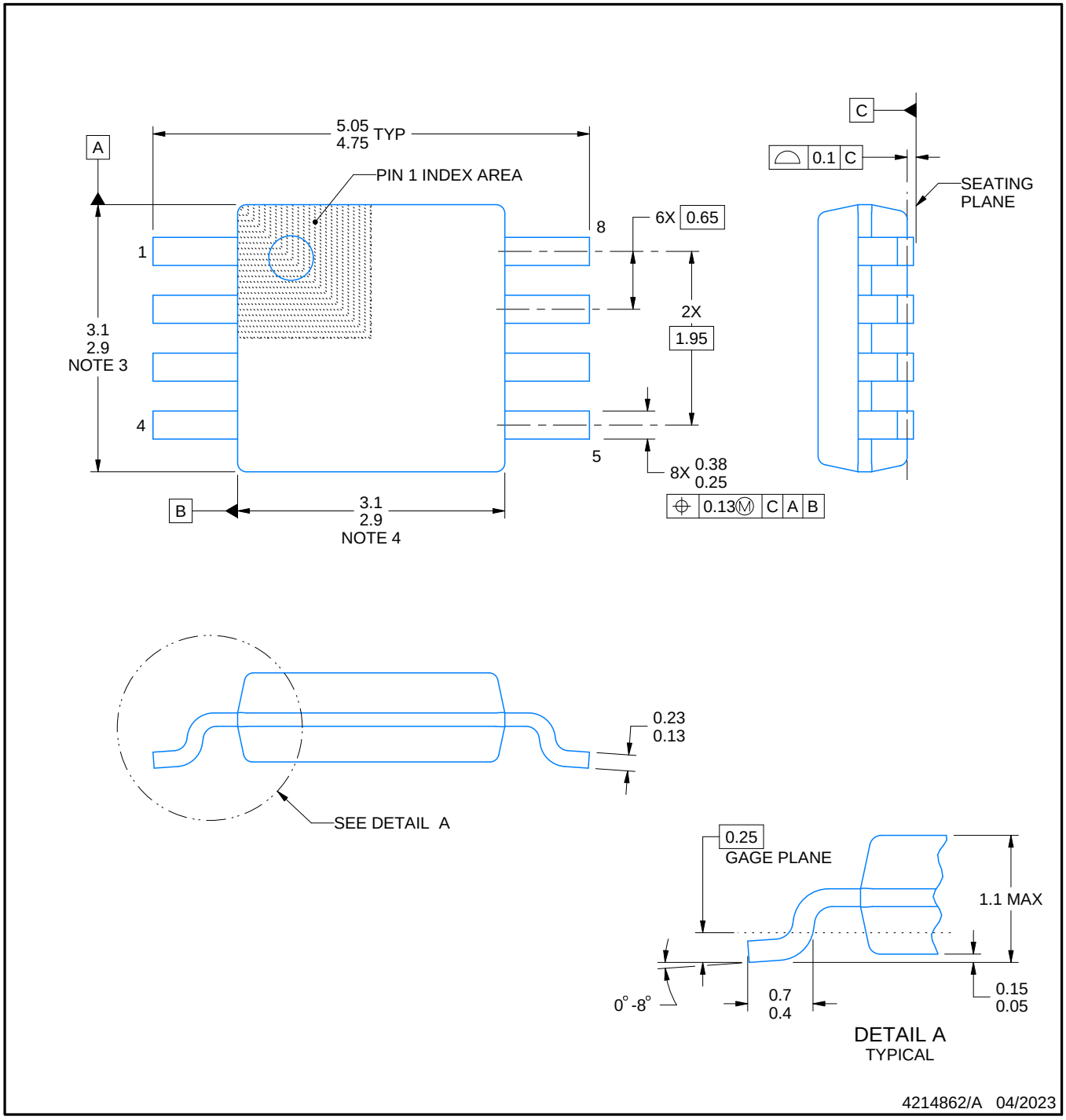
PACKAGE OUTLINE

DGK0008A



VSSOP - 1.1 mm max height

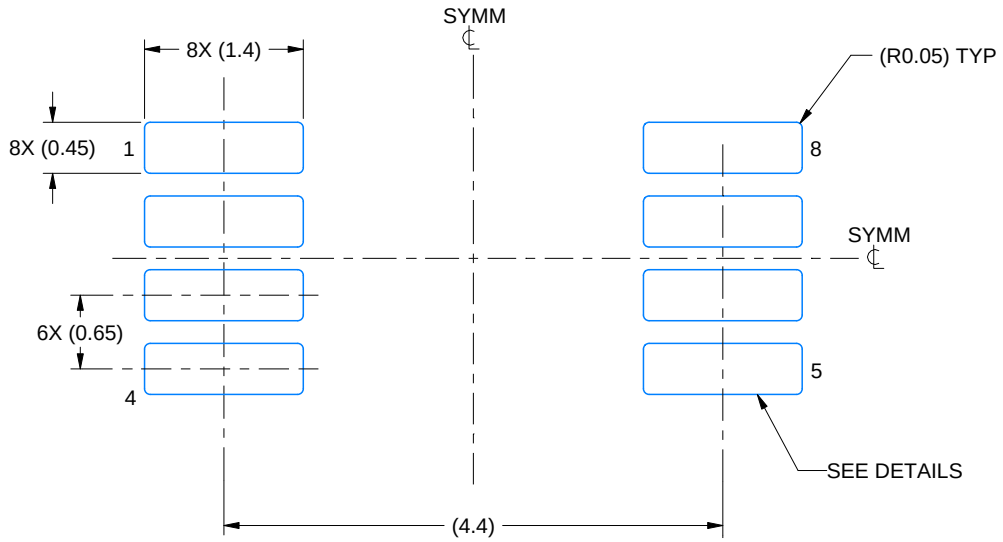
SMALL OUTLINE PACKAGE



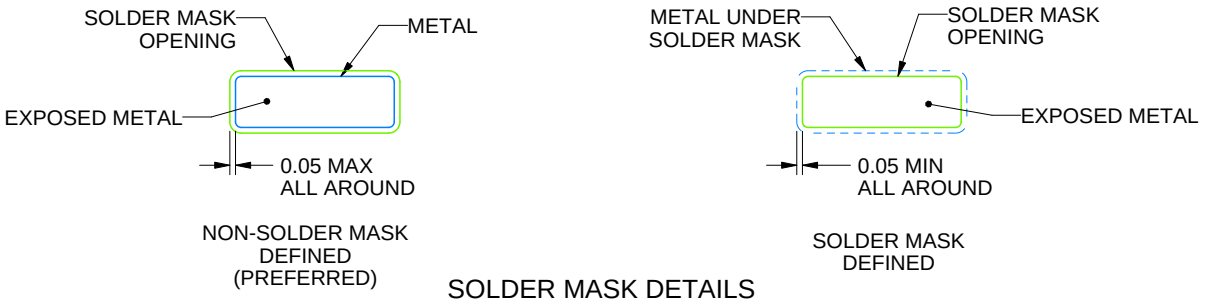
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

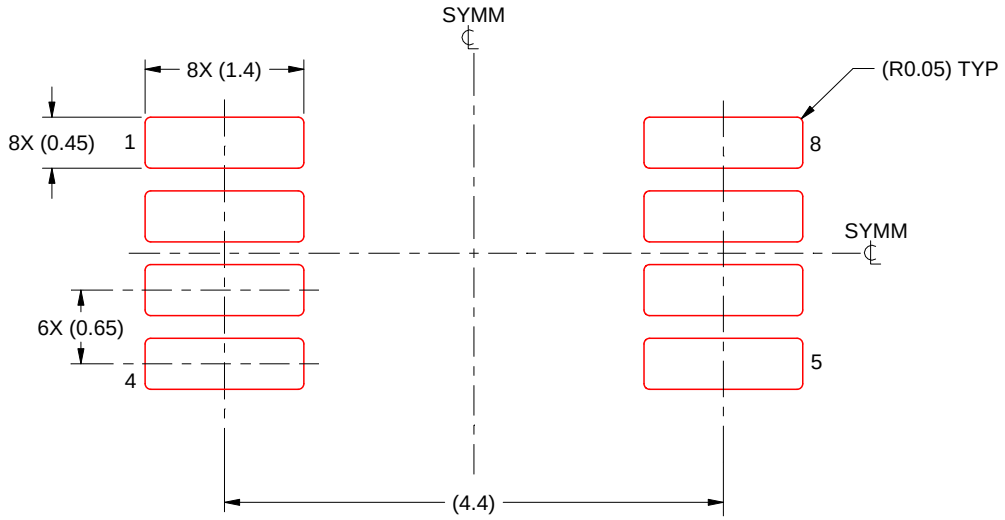


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月