

TPSI3052A-Q1 具有集成 17V 栅极电源的汽车类增强型隔离式开关驱动器

1 特性

- 无需隔离式次级电源
- 驱动外部功率晶体管或 SCR
- 5kV_{RMS} 增强型隔离
- 具有 1.5/2.5A 峰值拉电流及灌电流的 17V 栅极驱动
- 适用于外部辅助电路的高达 40mW 电源
- 支持 AC 或 DC 开关
- 使用三线模式的现有 TPSI305x 器件的直接替代产品
- 自动功率传输调节
- 功能安全型
 - 可提供用于功能安全系统设计的文档
- 符合面向汽车应用的 AEC Q-100 标准：
 - 温度等级 1：-40 至 +125°C，T_A
- 安全相关认证
 - 符合 DIN EN IEC 60747-17 (VDE 0884-17) 的 7071V_{PK} 增强型隔离
 - 符合 UL 1577 标准且长达 1 分钟的 5kV_{RMS} 隔离

2 应用

- 固态继电器 (SSR)
- 电池管理系统
- 车载充电器
- 混合动力、电动和动力总成系统
- 楼宇自动化
- 工厂自动化和控制

3 说明

TPSI3052A-Q1 是一款完全集成的隔离式开关驱动器，与外部电源开关结合使用时，可构成完整的隔离式固态继电器 (SSR)。当标称栅极驱动电压为 17V、峰值拉电流和灌电流为 1.5/2.5A 时，可以选择多种外部电源开关来满足各种应用需求。TPSI3052A-Q1 可通过初级侧电源自行产生次级偏置电源，因此无需隔离式次级电源偏置。而且，TPSI3052A-Q1 可以有选择性地向外围配套电路供电，以满足不同的应用需求。

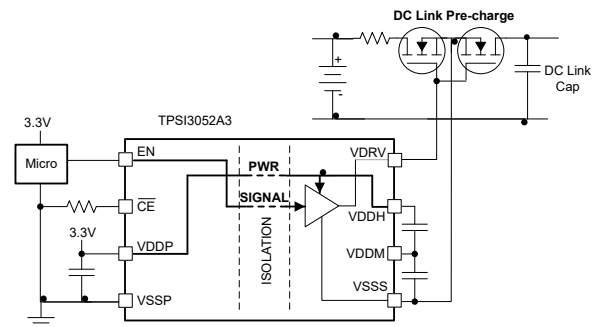
TPSI3052A-Q1 仅在三线模式下可用，采用低辐射技术，因此该器件可在许多应用中通过 [CISPR25 5 类发射标准]。TPSI3052A-Q1 的功率传输通过初级侧和次级侧之间的双向通信自动控制。这使得器件能够仅传输所需的功率，从而进一步降低许多应用中的发射。

次级侧可为驱动多种电源开关提供 17V 的浮动稳压电源轨，无需次级偏置电源。具体用途包括为直流应用驱动单个电源开关，或为交流应用驱动两个背靠背电源开关，以及各种类型的 SCR。TPSI3052A-Q1 集成式隔离保护功能非常稳健，与传统机械继电器和光耦合器相比，其可靠性更高、功耗更低，且温度范围更宽。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TPSI3052A-Q1	SOIC 8 引脚 (DWZ)	7.5mm × 5.85mm

- (1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
- (2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



TPSI3052A-Q1 简化原理图



内容

1 特性	1	8.2 功能方框图	13
2 应用	1	8.3 特性说明	13
3 说明	1	8.4 器件功能模式	14
4 器件比较	3	9 应用和实施	16
5 引脚配置和功能	4	9.1 应用信息.....	16
6 规格	5	9.2 典型应用.....	16
6.1 绝对最大额定值.....	5	9.3 电源相关建议.....	20
6.2 建议运行条件.....	5	9.4 布局.....	20
6.3 热性能信息.....	6	10 器件和文档支持	24
6.4 功率等级.....	6	10.1 相关链接.....	24
6.5 绝缘规格.....	6	10.2 接收文档更新通知.....	24
6.6 安全限值.....	7	10.3 支持资源.....	24
6.7 电气特性.....	7	10.4 商标.....	24
6.8 开关特性.....	9	10.5 静电放电警告.....	24
6.9 绝缘特性曲线.....	11	10.6 术语表.....	24
7 参数测量信息	12	11 修订历史记录	24
8 详细说明	13	12 机械、封装和可订购信息	24
8.1 概述.....	13		

4 器件比较

表 4-1. 器件比较表

型号	说明
TPSI3052A3	3.3V 输入电压
TPSI3052A5	5.0V 输入电压

5 引脚配置和功能

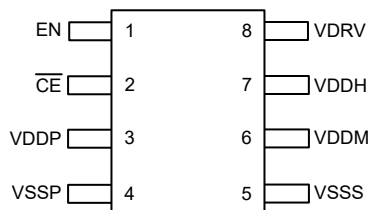


图 5-1. TPSI3052A-Q1、TPSI3052A-Q1 8 引脚 SOIC 顶视图

表 5-1. 引脚功能

引脚		I/O	类型 ⁽¹⁾	说明
编号	名称			
1	EN	I	—	驱动器使能，高电平有效
2	CEbar	I	—	芯片使能，低电平有效
3	VDDP	—	P	初级侧的电源
4	VSSP	—	GND	初级侧的接地电源
5	VSSS	—	GND	次级侧的接地电源
6	VDDM	—	P	生成的中位电压
7	VDDH	—	P	生成的高位电压
8	VDRV	O	—	高电平有效的驱动器输出端

(1) P = 电源，GND = 接地，NC = 无连接

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

参数 ⁽¹⁾		最小值	最大值	单位
初级侧电源 ⁽²⁾	VDDP、EN、 $\overline{\text{CE}}$	-0.3	6	V
次级侧电源 ⁽³⁾	VDRV	-0.3	20	V
	VDDH	-0.3	20	V
	VDDM	-0.3	6	V
	VDDH-VDDM	-0.3	14	V
结温, T_J	结温, T_J	-40	150	°C
贮存温度, T_{stg}		-65	150	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 所有电压值均以 VSSP 为基准。
- (3) 所有电压值均以 VSSS 为基准。

6.2 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
VDDP	初级侧电源电压, A5 ⁽¹⁾	4.5		5.5	V
	初级侧电源电压, A3 ⁽¹⁾	3.0		3.6	V
EN	启用 VDRV, A5 ⁽¹⁾	0		5.5	V
	启用 VDRV, A3 ⁽¹⁾	0		3.6	V
$\overline{\text{CE}}$	芯片使能, A5 ⁽¹⁾	0		5.5	V
	芯片使能, A3 ⁽¹⁾	0		3.6	V
C_{VDDP}	VDDP 和 VSSP 上的去耦电容 ⁽³⁾	1		20	μF
C_{DIV1} ⁽²⁾	VDDH 和 VDDM 之间的去耦电容 ⁽³⁾	0.003		15	μF
C_{DIV2} ⁽²⁾	VDDM 和 VSSS 之间的去耦电容 ⁽³⁾	0.1		40	μF
Q_{TOTAL}	要由 VDRV 驱动的总电荷。			2500	nC
I_{AUX}	来自 VDDM 的辅助电流。	0		8	mA
T_A	环境工作温度	-40		125	°C
T_J	工作结温	-40		150	°C

- (1) 所有电压值均以 VSSP 为基准。
- (2) C_{DIV1} 和 C_{DIV2} 应具有相同的类型和容差。 C_{DIV2} 电容值应至少为 C_{DIV1} 电容值的三倍，即 $C_{\text{DIV2}} \geq 3 \times C_{\text{DIV1}}$ 。
- (3) 所有电容值都是绝对值。必要时应进行降额。

6.3 热性能信息

热指标 ^{(1) (2)}		器件	单位
		DWZ (SOIC)	
		8 引脚	
$R_{\theta JA}$	结至环境热阻	89.3	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	40.3	°C/W
$R_{\theta JB}$	结至电路板热阻	45.2	°C/W
ψ_{JT}	结至顶部特征参数	10.3	°C/W
ψ_{JB}	结至电路板特征参数	44.4	°C/W

(1) 仅估算。

(2) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标 应用手册](#)。

6.4 功率等级

参数	测试条件	最小值	典型值	最大值	单位
P_D	最大功率耗散, VDDP。 $T_A = 25^\circ\text{C}$, $V_{VDDP} = 5.0\text{V}$, $f_{EN} = 1\text{kHz}$ 方波, $C_{VDRV} = 1\text{nF}$			250	mW

6.5 绝缘规格

参数		测试条件	值	单位
爬电距离和起痕				
CLR	外部间隙 ⁽¹⁾	端子间的最短空间距离	≥ 8	mm
CPG	外部爬电距离 ⁽¹⁾	端子间的最短封装表面距离	≥ 8	mm
DTI	绝缘穿透距离	最小内部间隙	> 120	μm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11) ; IEC 60112	> 600	V
	材料组	符合 IEC 60664-1	I	
	过压类别 (符合 IEC 60664-1)	额定市电电压 ≤ 600V _{RMS}	I-IV	
		额定市电电压 ≤ 1000V _{RMS}	I-III	
DIN EN IEC 60747-17 (VDE 0884-17)				
V _{IORM}	最大重复峰值隔离电压	交流电压 (双极)	1697	V _{PK}
V _{IOWM}	最大隔离工作电压	交流电压 (正弦波)	1200	V _{RMS}
		直流电压	1697	V _{DC}
C _{IO}	势垒电容, 输入至输出 ⁽²⁾	V _{IO} = 0.4 × sin (2 π ft) , f = 1MHz	3	pF
R _{IO}	隔离电阻, 输入至输出 ⁽²⁾	V _{IO} = 500V , T _A = 25°C	> 10 ¹²	Ω
		V _{IO} = 500V , 100°C ≤ T _A ≤ 125°C	> 10 ¹¹	
		V _{IO} = 500V , T _S = 150°C	> 10 ⁹	
	污染等级		2	
	气候类别		40/125/21	
UL 1577				

(1) 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙, 从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下, 印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上插入坡口或肋或同时应用这两项技术可帮助提高这些规格。

(2) 将隔离层每一侧的所有引脚都连在一起, 构成一个双引脚器件。

6.6 安全限值

参数 ⁽¹⁾ (2)		测试条件	最小值	典型值	最大值	单位
I _S	安全输入、输出或电源电流	R _{θJA} = 82.5°C/W, V _{VDDP} = 5.5V, T _J = 150°C, T _A = 25°C			275	mA
P _S	安全输入、输出或总功率	R _{θJA} = 82.5°C/W, T _J = 150°C, T _A = 25°C			1.52	W
T _S	最高安全温度				150	°C

- (1) 安全限制旨在最大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。I/O 发生故障时会导致低电阻接地或连接到电源，如果没有限流电路，则会因为功耗过大而导致芯片过热并损坏隔离栅，甚至可能导致辅助系统出现故障。
- (2) 安全限值约束是数据表中指定的最高结温。结温取决于应用硬件中所安装器件的功耗和结至空气热阻。假设节 6.3 表中的结至空气热阻所属器件安装在含引线的表面贴装封装对应的高 K 测试板上。功耗为建议的最大输入电压与电流之积。因此，结温是环境温度加上功耗与结至空气热阻之积。

6.7 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）。T_A = 25°C 时的典型值。C_{VDDP} = 1μF, C_{DIV1} = 47nF, C_{DIV2} = 220nF, C_{VDRV} = 1nF, 。CE 下拉 = 20kΩ

参数		测试条件	最小值	典型值	最大值	单位
COMMON						
CMTI	共模瞬态抗扰度，静态。	V _{CM} = 1000V, V _{EN} = 0V 或 V _{EN} = 5V。	100			V/ns
TSD	关断温度	V _{VDDP} = 5V		173		°C
TSDH	关断温度迟滞	V _{VDDP} = 5V		32		°C
电源						
I _{VDDP_STBY}	待机模式下的 VDDP 电流	V _{VDDP} = 5V, EN = 0V, CE = 0V。 测量平均电流。		20	45	μA
I _{VDDP_LOW_3V3}	稳态下的 VDDP 平均电流	V _{VDDP} = EN = 3.3V, CE = 0V。 I _{VDDM} = I _{VDDH} = 0mA, 25°C V _{VDDH} 达到稳态时， 测量 I _{VDDP} 。		7		mA
I _{VDDP_LOW_5V}	稳态下的 VDDP 平均电流	V _{VDDP} = EN = 5V, CE = 0V。 I _{VDDM} = I _{VDDH} = 0mA, 25°C V _{VDDH} 达到稳态时， 测量 I _{VDDP} 。		8.5		mA
I _{VDDP_HIGH_3V3}	稳态下的 VDDP 平均电流	V _{VDDP} = EN = 3.3V, CE = 0V。 VDDM 短接至 VSSS， 测量 I _{VDDP} 。		32		mA
I _{VDDP_HIGH_5V}	稳态下的 VDDP 平均电流	V _{VDDP} = 5V, EN = 5V, CE = 0V。 VDDM 短接至 VSSS， 测量 I _{VDDP} 。		43		mA
V _{VDDH}	VDDH 输出电压	V _{VDDP} = 3.3V、5V EN = 3.3V、5V, CE = 0V	16	17	18	V
P _{OUT_VDDM}	到 VDDM 的最大功率传输	A3 器件 V _{VDDP} = 3.3V, EN = 0V, CE = 0V。	待定	待定		mW
		A5 器件 V _{VDDP} = 5V, EN = 0V, CE = 0V。	待定	待定		mW

6.7 电气特性 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)。T_A = 25°C 时的典型值。C_{VDDP} = 1μF, C_{DIV1} = 47nF, C_{DIV2} = 220nF, C_{VDRV} = 1nF, 。 $\overline{\text{CE}}$ 下拉 = 20kΩ

参数		测试条件	最小值	典型值	最大值	单位
P _{OUT_VDDH}	到 VDDH 的最大功率传输。	A3 器件 V _{VDDP} = 3.3V, EN = 0V, $\overline{\text{CE}}$ = 0V。	待定	待定		mW
		A5 器件 V _{VDDP} = 5V, EN = 0V, $\overline{\text{CE}}$ = 0V。	待定	待定		mW
V _{VDDM_IAUX}	拉取外部电流时的平均 VDDM 电压。	对于 A5: V _{VDDP} = 5V, EN = 0V, 稳态。 源 I _{AUX} = 5mA (来自 VDD) 对于 A3: V _{VDDP} = 3.3V, EN = 0V, 稳态。 源 I _{AUX} = 2.5mA (来自 VDD) 测量 V _{VDDM} : C _{DIV2} = 1μF	4.7		5.5	V
监控						
V _{VDDP_UV_R}	VDDP 欠压阈值上升	A3 器件	2.71	2.82	2.92	V
		A5 器件	3.9	4.1	4.35	V
V _{VDDP_UV_F}	VDDP 欠压阈值下降	A3 器件	2.67	2.76	2.87	V
		A5 器件	3.8	3.9	4.25	V
V _{VDDP_UV_HYS}	VDDP 欠压阈值迟滞	A3 器件		110		mV
		A5 器件		150		mV
V _{VDDH_UV_R}	VDDH 欠压阈值上升	VDDH 上升。	11.9	13	14.2	V
V _{VDDH_UV_F}	VDDH 欠压阈值下降。	VDDH 下降。	9.6	10.4	11.5	V
V _{VDDH_UV_HYS}	VDDH 欠压阈值迟滞。			2.8		V
V _{VDDM_UV_R}	VDDM 欠压阈值上升	VDDM 上升。	3.4	3.7	3.9	V
V _{VDDM_UV_F}	VDDM 欠压阈值下降。	VDDM 下降。	3.1	3.4	3.7	V
V _{VDDM_UV_HYS}	VDDM 欠压阈值迟滞。			0.5		V
驱动器						
V _{VDRV_H}	被驱动为高电平的 VDRV 输出电压	V _{VDDP} = 5V, EN = 5V。 V _{VDDH} 处于稳态	16	17	18	V
V _{VDRV_L}	被驱动为低电平的 VDRV 输出电压	V _{VDDP} = 5V, EN = 0V, V _{VDDH} 处于稳态, VDRV 灌电流 10mA。			0.1	V
I _{VDRV_PEAK}	VDRV 在上升期间的峰值输出电流	V _{VDDP} = 5V, EN = 0V → 5V, 稳态下的 V _{VDDH} , 测量峰值电流。		1.5		A
	VDRV 在下降期间的峰值输出电流	V _{VDDP} = 5V, EN = 5V → 0V, 稳态下的 V _{VDDH} , 测量峰值电流。		2.5		A
R _{DSON_VDRV}	低电平状态下的驱动器导通电阻。	稳态下的 V _{VDDH}		1.5		Ω
	高电平状态下的驱动器导通电阻。	稳态下的 V _{VDDH}		3.5		Ω
V _{ACT_CLAMP}	接合时的有源钳位电压。	V _{VDDP} = 0V。 灌电流 I _{VDRV} = 300mA。 测量 VDRV。		1.9	2.5	V

6.7 电气特性 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)。T_A = 25°C 时的典型值。C_{VDDP} = 1μF, C_{DIV1} = 47nF, C_{DIV2} = 220nF, C_{VDRV} = 1nF, 。 $\overline{\text{CE}}$ 下拉 = 20kΩ

参数		测试条件	最小值	典型值	最大值	单位
V _{IT_+(EN)}	EN 上的输入阈值电压上升。	A3 器件	1.4	1.6	1.9	V
V _{IT_-(EN)}	EN 上的输入阈值电压下降。		1.1	1.2	1.5	V
V _{IT_HYS(EN)}	EN 上的输入阈值电压迟滞。		0.4		V	
数字输入/输出						
V _{IT_+(EN)}	EN 上的输入阈值电压上升。	A5 器件	2.3	2.5	2.7	V
V _{IT_-(EN)}	EN 上的输入阈值电压下降。		1.7	1.9	2.0	V
V _{IT_HYS(EN)}	EN 上的输入阈值电压迟滞。		0.5		V	
V _{IT_+(CE)}	$\overline{\text{CE}}$ 上的输入阈值电压上升。	A3 器件	1.4	1.6	1.9	V
V _{IT_-(CE)}	$\overline{\text{CE}}$ 上的输入阈值电压上升。		1.1	1.2	1.4	V
V _{IT_HYS(CE)}	CE 上的输入阈值电压迟滞。		0.4		V	
V _{IT_+(CE)}	$\overline{\text{CE}}$ 上的输入阈值电压上升。	A5 器件	2.3	2.5	2.7	V
V _{IT_-(CE)}	$\overline{\text{CE}}$ 上的输入阈值电压下降。		1.7	1.9	2.0	V
V _{IT_HYS(CE)}	CE 上的输入阈值电压迟滞。		0.5		V	
R _{EN_PULLDOWN}	EN 上的内部下拉电阻器。	V _{VDDP} = 5V	340	500	670	kΩ
R _{CE_PULLDOWN}	$\overline{\text{CE}}$ 上的内部下拉电阻器。	V _{VDDP} = 5V	340	500	670	kΩ

6.8 开关特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)。T_A = 25°C 时的典型值。C_{VDDP} = 1μF, C_{DIV1} = 47nF, C_{DIV2} = 220nF, C_{VDRV} = 1nF, 。从 $\overline{\text{CE}}$ 到 VSSP 的 20kΩ 下拉

参数	测试条件	最小值	典型值	最大值	单位
电源和驱动器					
t _{LO_CE}	$\overline{\text{CE}}$ 的低电平时间。	V _{VDDH} , V _{VDDM} = 稳态。	5		μs
t _{LO_EN}	EN 的低电平时间。	V _{VDDH} , V _{VDDM} = 稳态。	5		μs
t _{HI_EN}	EN 的高电平时间。	V _{VDDH} , V _{VDDM} = 稳态。	5		μs
t _{PER_EN}	EN 周期。	V _{VDDH} , V _{VDDM} = 稳态。	10		μs
t _{LH_VDDH}	从 VDDP 上升到 VDDH (处于 50% 电平) 的传播延迟时间。	EN = 0V, 1V/μs 时 V _{VDDP} = 0V → 5V, V _{VDDH} = 7.5V。	120		μs
t _{LH_VDRV}	在 90% 电平从 EN 上升到 VDRV 的传播延迟时间	V _{VDDP} = 5V, V _{VDDH} , V _{VDDM} = 稳态, EN = 0V → 5V, V _{VDRV} = 13.5V。	3	4.5	μs

6.8 开关特性 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)。T_A = 25℃ 时的典型值。C_{VDDP} = 1μF, C_{DIV1} = 47nF, C_{DIV2} = 220nF, C_{VDRV} = 1nF, 。从 $\overline{CE}$ 到 VSSP 的 20kΩ 下拉

参数		测试条件	最小值	典型值	最大值	单位
t _{HL_VDRV}	从 EN 下降到 VDRV (电平为 10%) 的传播延迟时间	V _{VDDP} = 5V, V _{VDDH} , V _{VDDM} = 稳态, EN = 5V → 0V, V _{VDRV} = 1.5V。		2.5	3.0	μs
t _{HL_VDRV_PD}	从 VDDP 下降到 VDRV (电平为 10%) 的传播延迟时间。由于主电源断电导致的超时机制。	EN = 5V, -1V/μs 时 V _{VDDP} = 5V → 0V, V _{VDRV} = 1.5V。		140	210	μs
t _{LH_VDRV_33V}	从 $\overline{CE}$ 下降到 VDRV (电平为 10%) 的传播延迟时间	V _{VDDP} = EN = 3.3V, V _{VDDH} 和 V _{VDDM} 完全放电。V _{VDRV} = 1.5V。 CE 3.3V → 0V		275		μs
t _{LH_VDRV_5V}	从 $\overline{CE}$ 下降到 VDRV (电平为 10%) 的传播延迟时间	V _{VDDP} = EN = 5V, V _{VDDH} 和 V _{VDDM} 完全放电。V _{VDRV} = 1.5V。 CE 5V → 0V		200		μs
t _{HL_VDRV_CE}	在 10% 电平从 $\overline{CE}$ 上升到 VDRV 的传播延迟时间	V _{VDDP} = 5V, V _{VDDH} , V _{VDDM} = 稳态, EN = 5V, $\overline{CE}$ = 0V → 5V, V _{VDRV} = 1.5V。		2.5	3	μs
t _{R_VDRV}	从 EN 上升到 VDRV (电平从 15% 升至 85%) 的 VDRV 上升时间	V _{VDDP} = 5V, V _{VDDH} , V _{VDDM} = 稳态, EN = 0V → 5V, V _{VDRV} = 2.25V 至 12.75V。		15		ns
t _{F_VDRV}	从 EN 下降到 VDRV (电平从 85% 降至 15%) 的 VDRV 下降时间	V _{VDDP} = xV, V _{VDDH} , V _{VDDM} = 稳态, EN = xV → 0V, V _{VDRV} = 12.75V 至 2.25V。		10		ns

6.9 绝缘特性曲线

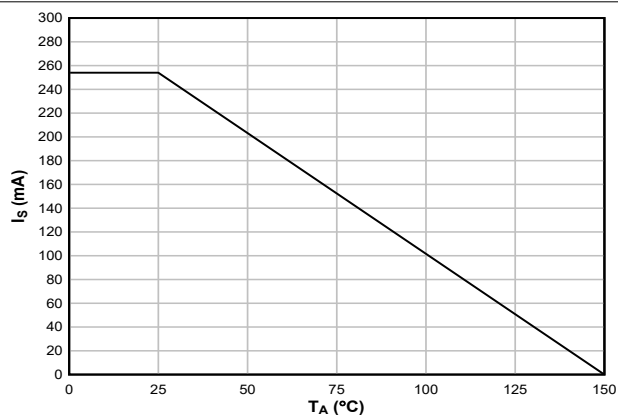


图 6-1. 根据 VDE 和 IEC 标准限制电流的热降额曲线，
三线模式

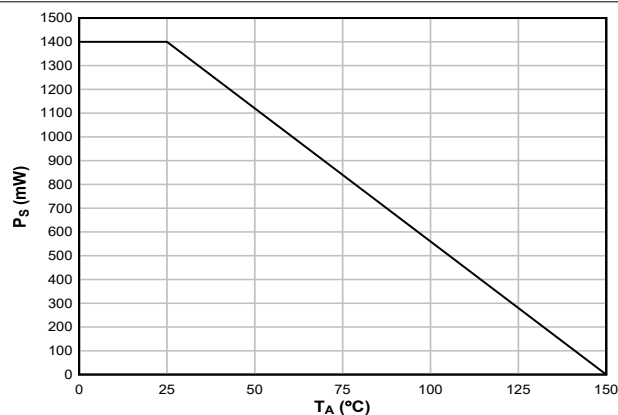


图 6-2. 根据 VDE 和 IEC 标准限制功率的热降额曲线

7 参数测量信息

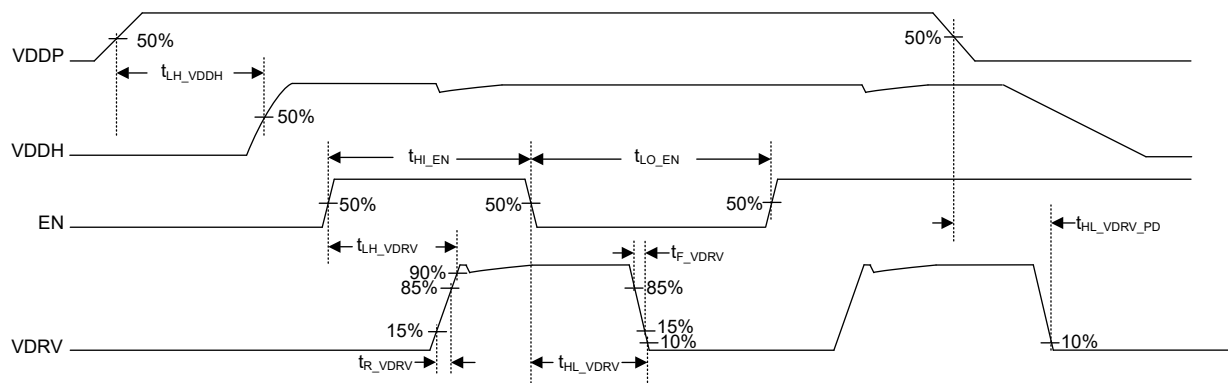


图 7-1. 三线模式时序、标准使能

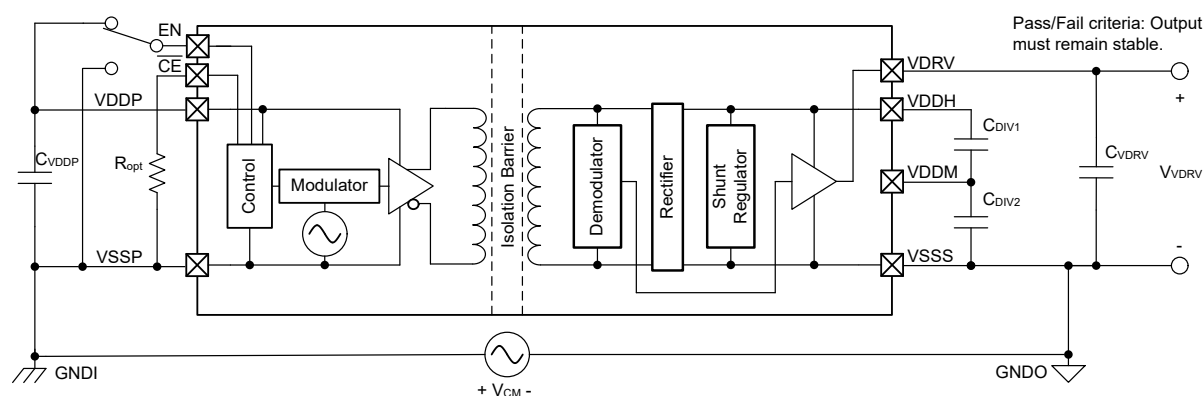


图 7-2. 共模瞬态抗扰度测试电路

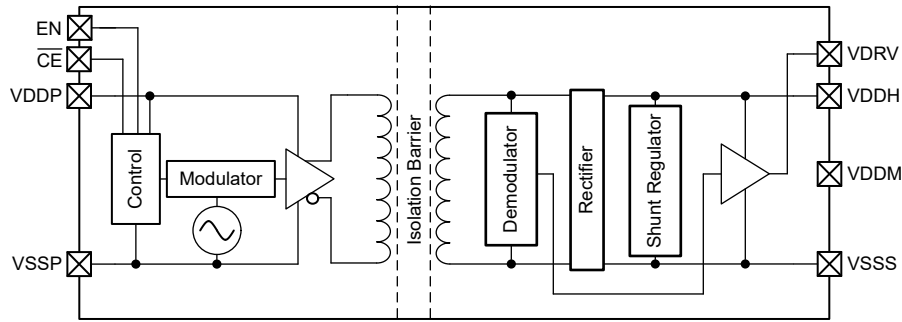
8 详细说明

8.1 概述

TPSI3052A-Q1 是一款完全集成的增强型隔离式电源开关驱动器，与外部电源开关结合使用时，可构成完整的隔离式固态继电器 (SSR)。当标称栅极驱动电压为 17V、峰值拉电流和灌电流为 1.5/3.0A 时，可以选择多种外部电源开关来满足各种应用需求。TPSI3052A-Q1 可通过初级侧电源自行产生次级电源，因此无需隔离式次级偏置电源。

功能方框图 显示初级侧包含一个发送器，该发送器可在启用芯片时将交流电驱动到集成变压器的初级绕组中。该发送器在高频下运行，以最佳方式驱动变压器达到其峰值效率。此外，该发送器利用多项技术，较 TPSI3052-Q1 可显著提高 EMI 性能，使许多应用能够达到 CISPR 25 5 类标准。在传输过程中，数据信息与功率一起传输到次级侧。在次级侧，变压器次级绕组上感应的电压经过整流，并且并联稳压器调节 VDDH 的输出电压电平。最后，解调器对接收到的数据信息进行解码并依据 EN 引脚的逻辑状态将 VDRV 驱动为高电平或低电平。

8.2 功能方框图



8.3 特性说明

8.3.1 使能状态的传输

TPSI3052A-Q1 使用调制方案跨隔离栅传输开关启用状态信息。发送器使用内部生成的高频载波 (典型值 89MHz) 调制 EN 信号，并以差分方式驱动隔离变压器的初级绕组。次级侧的接收器对接收到的信号进行解调，并根据接收到的数据将 VDRV 设置为高电平或低电平。

8.3.2 功率传输

TPSI3052A-Q1 不使用外部隔离式电源供电。次级侧功率是通过隔离变压器传输初级侧输入功率而获得的。调制方案使用多项技术，较之前的器件可进一步提高 EMI 性能，从而帮助应用符合 CISPR 25 5 类标准。这些技术包括优化展频、精密开关、自动功率传输电平和针对 CISPR 25 标准进行优化的 65MHz 中心频率。

8.3.3 栅极驱动器

TPSI3052A-Q1 具有集成栅极驱动器，可提供 17V 标称栅极电压以及 1.5/2.5A 峰值拉电流和灌电流，足以驱动许多功率晶体管或硅控整流器 (SCR)。驱动外部功率晶体管时，TI 建议在 VDDH 和 VDDM 之间以及 VDDM 和 VSSS 之间，使用等效栅极电容的 20 倍旁路电容器 ($C_{DIV2} = 3 * C_{DIV1}$)。

栅极驱动器还包括一个有源钳位禁止电路。此功能有助于在次级电源轨上断电时将驱动器输出 VDRV 保持为低电平，例如 VDDP 电源上的功率损耗可防止功率传输。如果断电，有源钳位保持电路会尝试将 VDRV 的电压相对于 VSSS 钳位至低于 2V。

8.3.4 VDDP、VDDH 和 VDDM 欠压锁定 (UVLO)

TPSI3052A-Q1 为输入和输出电源 (VDDP、VDDH 和 VDDM) 实现内部 UVLO 保护功能。当 VDDP 低于 UVLO 阈值电压时，电源停止传输到 VDDM 和 VDDH 电源轨。随着时间推移，VDDH 和 VDDM 电源轨开始放电。如果

VDDP 上有足够的电荷，则器件会尝试向 VDRV 发送信号以将其置为低电平。如果 VDDP 上没有足够的电荷，则超时机制会确定 VDRV 在达到超时后置为低电平。当 VDDH 或 VDDM 低于各自的 UVLO 阈值时，无论 EN 状态如何，VDRV 都将被置为低电平。UVLO 保护块具有迟滞功能，有助于提高电源的抗噪性。在导通和关断期间，驱动器会拉取和灌入峰值瞬态电流，从而使 VDDH、VDDM 电源产生压降。内部 UVLO 保护块会忽略这些正常开关瞬态期间的相关噪声。

8.3.5 电源、CE 和 EN 时序

TPSI3052A-Q1 包含一个低电平有效芯片使能端 CE。当 CE 被置为低电平并且 VDDP 存在时，器件会进入其有效运行模式，从初级侧到次级侧进行功率传输。当 CE 被置为高电平且 VDDP 存在时，器件会进入待机状态，不会发生从初级侧到次级侧的功率传输，并且 VDRV 将被置为低电平。随着时间的推移，VDDH 和 VDDM 会完全放电，具体取决于这些电源轨上的负载大小。

在上电期间，DC/DC 转换器最初处于禁用状态。一旦 VDDP 达到 $V_{VDDP_UV_R}$ 并且 CE 确定为该值以下，DC/DC 转换器就会启用，以最大速率传输功率，进而快速为 VDDM 和 VDDH 充电。在这段短暂的时间里，VDDP 处的电流为 I_{VDDP_High} 。

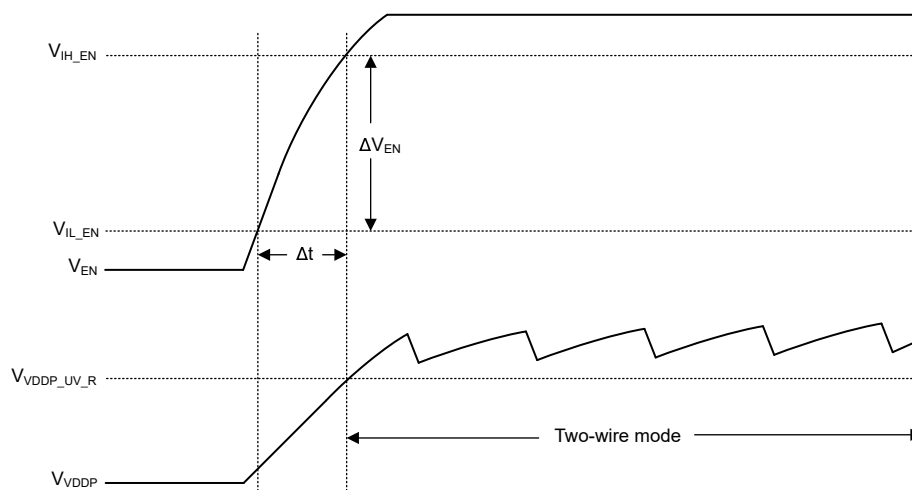


图 8-1. 时序控制

在大多数应用中，会采用相同电压轨和电源为 EN 和 VDDP 供电。建议 V_{EN} 保持低于 V_{IL_EN} ，直到 V_{VDDP} 达到 $V_{VDDP_UV_R}$ 。在某些应用中，也可以将 EN 直接连接到 VDDP 电源。图 8-1 显示了这两种场景。

8.3.6 热关断

此器件包含一个用于监测其本地温度的集成温度传感器。当传感器达到其阈值时，会自动停止从初级侧到次级侧的功率传输。此外，如果 VDDP 上仍然供电，则驱动器自动置为低电平。在本地温度降低到足以重新启动之前，功率传输禁用。

8.4 器件功能模式

表 8-1 总结了 TPSI3052A-Q1 和 TPSI3052A-Q1 的功能模式。

表 8-1. TPSI3052A-Q1、TPSI3052A-Q1 器件功能模式

VDDP ⁽¹⁾	VDDH	EN ⁽¹⁾	nCE ⁽¹⁾	VDRV	注释
已上电 ⁽²⁾	已上电 ⁽³⁾	L	L	L	TPSI3052A-Q1 正常运行： VDRV 输出状态可假设 EN 逻辑状态。
		H	L	H	
		L	L	L	TPSI3052A-Q1 正常运行（仅限三线模式）： EN 的上升沿会导致 VDRV 被单独地脉冲为高电平。EN 必须首先被置为低电平才能将另一脉冲置为有效。
		L → H	L	L → H → L	
已上电 ⁽²⁾	X	X	H	L	禁用的操作： 禁用 VDRV 输出，不向 VDDH 传输电力，应用禁止电路。
已断电 ⁽⁴⁾	已断电 ⁽⁵⁾	X ⁽⁶⁾	X	L	禁用的操作： VDRV 输出被禁用，应用了禁止电路。
已上电 ⁽²⁾	已断电 ⁽⁵⁾	X ⁽⁶⁾	X	L	禁用的操作： VDRV 输出被禁用，应用了禁止电路。
已断电 ⁽⁴⁾	已上电 ⁽³⁾	X ⁽⁶⁾	X	L	禁用的操作： 当 VDDP 断电时，超时后输出驱动器自动禁用，并应用禁止电路。

- (1) 有关其他信息，请参阅 电源、CE 和 EN 时序。
(2) $V_{VDDP} \geq V_{VDDP_UV_R}$ 欠压锁定上升阈值， $V_{VDDP_UV_R}$ 。
(3) $V_{VDDH} \geq V_{VDDH_UV_R}$ 欠压锁定上升阈值， $V_{VDDH_UV_R}$ 。
(4) $V_{VDDP} < V_{VDDP_UV_F}$ 欠压锁定下降阈值， $V_{VDDP_UV_F}$ 。
(5) $V_{VDDH} < V_{VDDH_UV_F}$ 欠压锁定下降阈值， $V_{VDDH_UV_F}$ 。
(6) X：无关。

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

TPSI3052A-Q1 是一款具有集成偏置、完全集成的隔离式开关驱动器，与外部电源开关结合使用时，可构成完整的隔离式固态继电器解决方案。当标称栅极驱动电压为 17V，峰值拉电流和灌电流为 1.5/3.0A 时，可以选择多种外部电源开关（例如 MOSFET、IGBT 或 SCR）来满足各种应用需求。TPSI3052A-Q1 可通过初级侧电源自行产生次级偏置电源，因此无需隔离式次级电源偏置。

次级侧可为驱动多种电源开关提供 17V 的浮动稳压电源轨，无需次级偏置电源。TPSI3052A-Q1 可支持为各种交流或直流应用驱动单电源开关和双背对背并联电源开关。TPSI3052A-Q1 集成式隔离保护功能极其稳健，与使用传统机械继电器和光耦合器的产品相比，其可靠性更高、功耗更低，且温度范围更宽。

9.2 典型应用

图 9-1 中的电路显示了以三线模式驱动硅基 MOSFET 的典型应用。

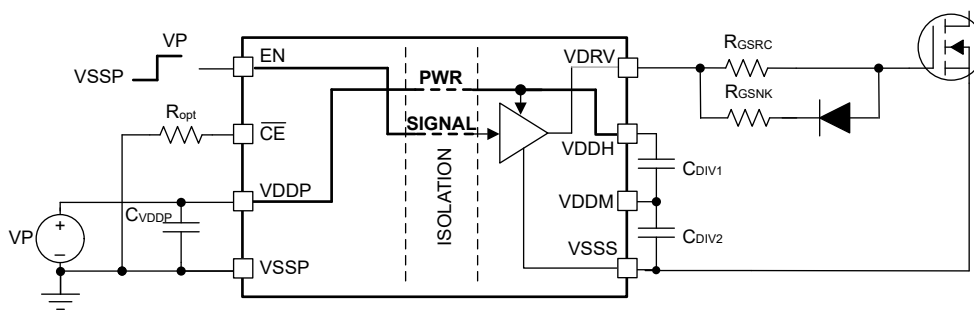


图 9-1. TPSI3052A-Q1 驱动 MOSFET 的三线模式

9.2.1 设计要求

表 9-1 列出了 TPSI3052A-Q1 栅极驱动器的设计要求。

表 9-1. TPSI3052A-Q1 设计要求

设计参数		
总栅极电容		100nC
FET 导通时间		1μs
传播延迟		< 4μs
开关频率		10kHz
电源电压 (VDDP)		5V ± 5%

9.2.2 详细设计过程

9.2.2.1 CDIV1、CDIV2 电容

所需的 C_{DIV1} 和 C_{DIV2} 电容取决于外部负载开关期间 VDDH 轨上可耐受的压降大小。 C_{DIV1} 和 C_{DIV2} 电容上存储的电荷可在开关期间向负载提供电流。在开关期间会发生电荷共享并且 VDDH 上的电压会下降。TI 建议 C_{DIV1} 和 C_{DIV2} 串联组合形成的总电容大小至少应为要开关的总栅极电容的 30 倍。该大小调整会使为 VDRV 信号供电的 VDDH 电源轨出现大约 0.5V 的压降。方程式 1 和 方程式 2 可用于计算指定压降所需的电容大小。

C_{DIV1} 和 C_{DIV2} 必须具有相同的类型和容差。

$$C_{DIV1} = \left(\frac{n+1}{n} \right) \times \frac{Q_{LOAD}}{\Delta V}, n \geq 3.0 \quad (1)$$

$$C_{DIV2} = n \times C_{DIV1}, n \geq 3.0 \quad (2)$$

其中

- n 是大于或等于 3.0 的实数。
- C_{DIV1} 是从 VDDH 到 VDDM 的外部电容。
- C_{DIV2} 是从 VDDM 到 VSSS 的外部电容。
- Q_{LOAD} 是从 VDRV 到 VSSS 的负载总电荷。
- ΔV 是切换负载时 VDDH 上的压降。

备注

C_{DIV1} 和 C_{DIV2} 表示绝对电容，所选的元件必须针对容差和实现所需的电容所需的任何降额进行调节。

可在应用中使用较大的 ΔV 值，但过大的压降可能导致达到 VDDH 欠压锁定下降阈值 (V_{VDDH_UVLO_F})，并导致 VDRV 被置为低电平。请注意，随着 C_{DIV1} 和 C_{DIV2} 串联组合的电容相对于 Q_{LOAD} 增加，VDDH 电源压降会降低，但上电期间 VDDH 电源电压的初始充电会增大。

对于该设计，假设 n = 3 且 ΔV ≅ 0.5V，则

$$C_{DIV1} = \left(\frac{3+1}{3} \right) \times \frac{120 \text{ nC}}{0.5 \text{ V}} = 320 \text{ nF} \quad (3)$$

$$C_{DIV2} = 3 \times 320 \text{ nF} = 960 \text{ nF} \quad (4)$$

对于这个设计，选择了标准电容器值 C_{DIV1} = 330nF 和 C_{DIV2} = 1 μF。

9.2.2.2 C_{VDDP} 电容

此设计需要使用三线模式来满足设计要求。对于三线模式，增大电容 C_{VDDP} 可改善 VDDP 电源上的纹波。该设计将 1 μF 与 100nF 并联。

9.2.2.3 栅极驱动器输出电阻器

可选择部署的外部栅极驱动器电阻器 R_{GSRC} 和 R_{GSNK} 用于：

1. 限制寄生电感和电容引起的振铃。
2. 限制高电压开关 dv/dt、高电流开关 di/dt 和体二极管反向恢复引起的振铃。
3. 针对拉电流和灌电流微调栅极驱动强度
4. 降低电磁干扰 (EMI)

TPSI3052A-Q1 具有采用 P 沟道 MOSFET 的上拉结构，峰值拉电流为 1.5A。因此，可以使用以下公式来预测峰值拉电流：

$$I_{O+} \cong \min \left(1.5 \text{ A}, \frac{V_{VDDH}}{R_{DSON_VDRV} + R_{GSRC} + R_{GFET_INT}} \right) \quad (5)$$

其中

- R_{GSRC}：外部导通电阻。
- R_{DSON_VDRV}：高电平状态下的 TPSI3052A-Q1 驱动器导通电阻。请参阅 *电气特性*。
- V_{VDDH}：VDDH 电压。在本例中假设为 15.1V。
- R_{GFET_INT}：外部功率晶体管内部栅极电阻（见于功率晶体管数据表）。在本示例中假设为 0 Ω。
- I_{O+}：峰值拉电流 1.5A、栅极驱动器峰值拉电流和基于栅极驱动回路电阻计算出的值之间的最小值。

对于本示例，R_{DSON_VDRV} = 2.5 Ω，R_{GSRC} = 10 Ω 且 R_{GFET_INT} = 0 Ω 时会得到：

$$I_{O+} \cong \min\left(1.5 A, \frac{15.1 V}{2.5 \Omega + 10 \Omega + 0 \Omega}\right) = 1.21 A \quad (6)$$

同样，TPSI3052A-Q1 具有采用 N 沟道 MOSFET 的下拉结构，其峰值灌电流为 3.0A。因此，假设 $R_{GFET_INT} = 0 \Omega$ ，可以使用以下公式来预测峰值灌电流：

$$I_{O-} \cong \min\left[3.0 A, (V_{VDDH} \times (R_{GSR} + R_{GSNK}) - R_{GSR} \times V_F) \times \frac{1}{R_{GSR} \times R_{GSNK} + R_{DS(on)} \times (R_{GSR} + R_{GSNK})}\right] \quad (7)$$

其中

- R_{GSR} ：外部导通电阻。
- R_{GSNK} ：外部关断电阻。
- $R_{DS(on)}_{VDRV}$ ：低电平状态下的 TPSI3052A-Q1 驱动器导通电阻。请参阅 [电气特性](#)。
- V_{VDDH} ：VDDH 电压。在本例中假设为 15.1V。
- V_F ：二极管正向压降。在本例中假设为 0.7V。
- I_{O-} ：峰值灌电流。3.0A、栅极驱动器峰值灌电流和基于栅极驱动回路电阻计算出的值之间的最小值。

在本例中，假设 $R_{DS(on)}_{VDRV} = 1.7 \Omega$ 、 $R_{GSR} = 10 \Omega$ 、 $R_{GSNK} = 5.0 \Omega$ 且 $R_{GFET_INT} = 0 \Omega$ ，得出：

$$I_{O-} \cong \min\left[3.0 A, (15.1 V \times (10 \Omega + 5 \Omega) - 10 \Omega \times 0.7 V) \times \frac{1}{10 \Omega \times 5 \Omega + 1.7 \Omega \times (10 \Omega + 5 \Omega)}\right] = 2.91 A \quad (8)$$

重要的是，估算的峰值电流也受到 PCB 布局和负载电容的影响。栅极驱动器环路中的寄生电感可以减慢峰值栅极驱动电流并导致过冲和下冲。因此，TI 强烈建议最大限度地减小栅极驱动器环路。

9.2.2.4 启动时间和恢复时间

如 [节 9.2.2.1](#) 中所述，完全放电的 VDDH 电源轨的启动时间取决于 VDDH 电源上的电容大小。该电容充电的速率取决于从初级侧传输到次级侧的功率。传输到次级电源的功率 (VDDH) 会自动调节。当器件最初启动时，会提供最大功率，然后在 VDDH 和 VDDM 电压达到标称电平后减小，从而更大幅度地缩短总体启动和恢复时间。

9.2.2.5 从 VDDM 提供辅助电流 I_{AUX}

TPSI3052A-Q1 能够通过 VDDM 供电以支持外部辅助电路，如 [图 9-2](#) 所示。在这种情况下，所需的传输功率必须包括 VDDM 电源轨上辅助电路消耗的额外功率。与以前的器件不同，电源传输会自动调节，不再需要 R_{PXF} 。

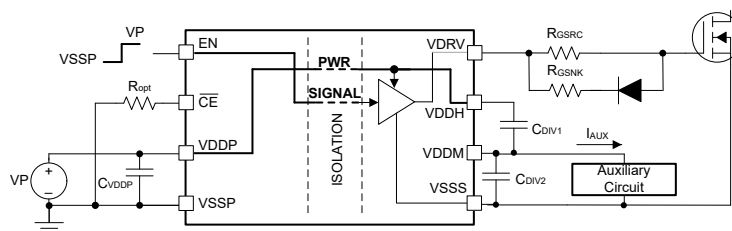


图 9-2. 通过 VDDM 提供辅助电源

9.2.2.6 VDDM 纹波电压

请注意，当通过 VDDM 供电时（即当 $I_{AUX} > 0mA$ 时），VDDM 电源轨上存在额外的电压纹波。可以通过在 VDDM 和 VSSS 之间施加额外的电容来减小此纹波。

9.2.3 应用曲线

9.2.4 绝缘寿命

绝缘寿命预测数据是使用业界通用的时间依赖性电介质击穿 (TDDDB) 测试方法收集的。在该测试中，隔离栅两侧的所有引脚都连在一起，构成了一个双端子器件，并在两侧之间施加高电压；对于 TDDDB 测试设置，请参阅 [图](#)

9-3。绝缘击穿数据是在开关频率为 60Hz 以及各种高电压条件下在整个温度范围内收集的。对于增强型绝缘，VDE 标准要求使用故障率小于 1 ppm 的 TDDb 预测线。尽管额定工作隔离电压条件下的预期最短绝缘寿命为 20 年，但是 VDE 增强认证要求工作电压具有额外 20% 的安全裕度，寿命具有额外 87.5% 的安全裕度，也就是说在工作电压高于额定值 20% 的条件下，所需的最短绝缘寿命为 37.5 年。

图 9-4 所示为隔离栅在整个寿命期内承受高压应力的固有能力和固有绝缘能力为 1000V_{RMS}，寿命为 1184 年。

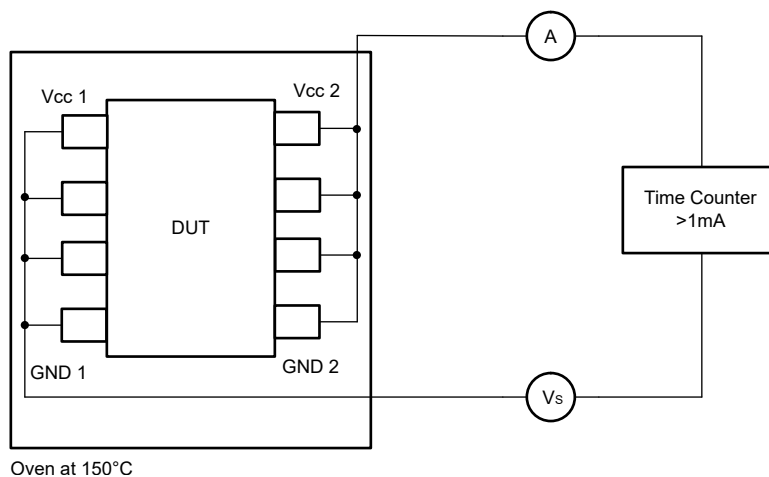


图 9-3. 绝缘寿命测量的测试设置

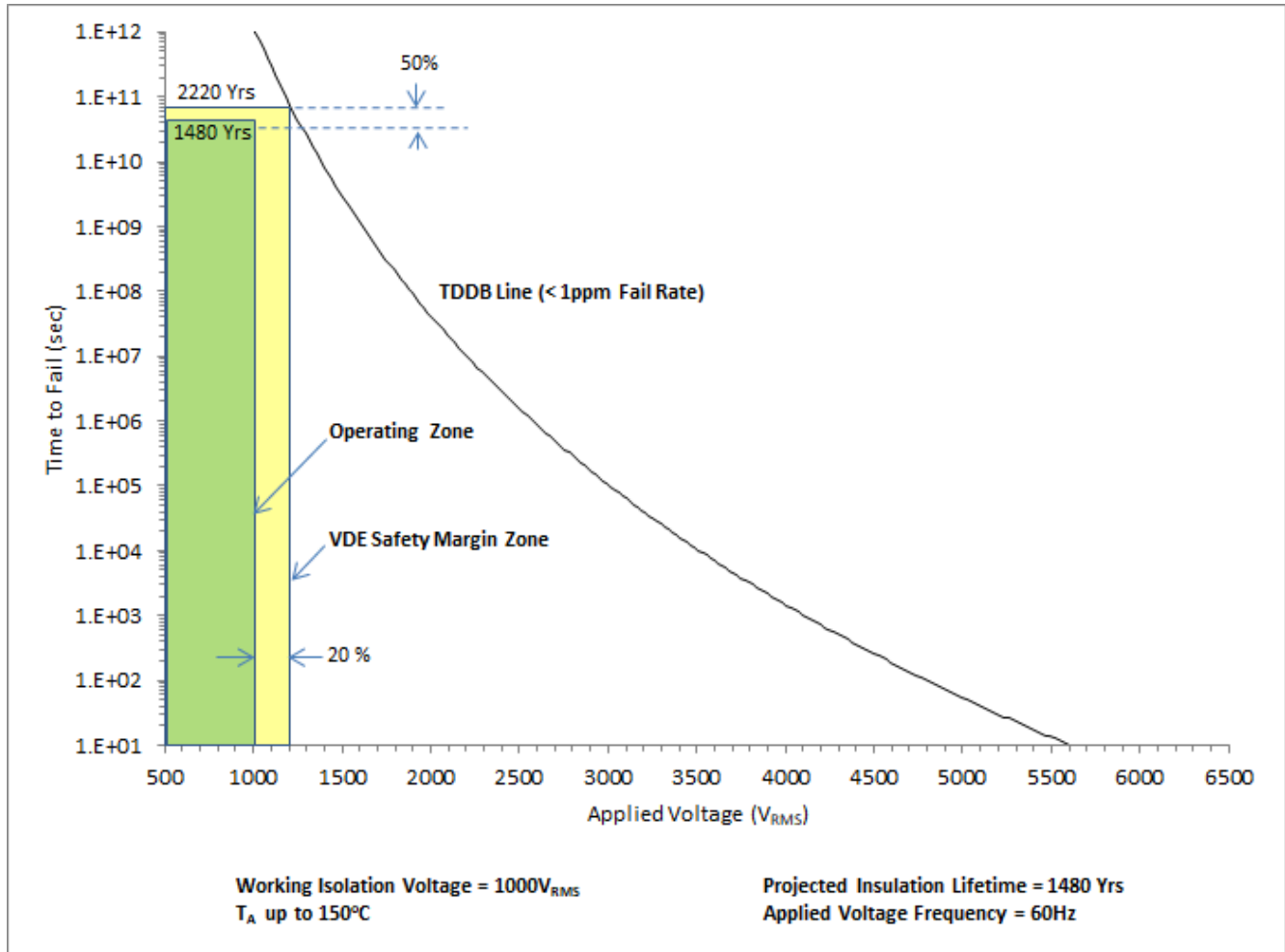


图 9-4. 绝缘寿命预测数据

9.3 电源相关建议

为了帮助实现可靠的电源电压，TI 建议 VDDP 和 VSSP 之间的 C_{VDDP} 电容由一个用于高频去耦的 0.1 μF 旁路电容器与一个用于低频去耦的 1 μF 旁路电容器并联组成。在 VDDP 和 VSSP 引脚之间靠近器件的位置连接具有低 ESR 和低 ESL 的电容器。

9.4 布局

9.4.1 布局指南

设计人员必须密切关注 PCB 布局，以实现 TPSI3052A-Q1 的最佳性能。以下是一些主要的指导准则：

- 组件放置：
 - 将驱动器放置在尽可能靠近功率半导体的位置，以减小 PCB 引线上栅极环路的寄生电感。
 - 在 VDDH 和 VDDM 引脚与 VDDM 和 VSSS 引脚之间靠近器件的位置连接具有低 ESR 和低 ESL 的电容器，以便在导通外部功率晶体管时旁路噪声并支持高峰值电流。
 - 在 VDDP 和 VSSP 引脚之间靠近器件的位置连接具有低 ESR 和低 ESL 的电容器。
- 接地注意事项：
 - 将对晶体管栅极进行充电和放电的高峰值电流限制在最小的物理区域内。该限制可降低环路电感并最大程度地降低晶体管栅极端子上的噪声。栅极驱动器应尽可能靠近晶体管。

- 在驱动器 VSSS 与 MOSFET 源极或 IGBT 发射极之间建立开尔文连接。如果功率器件没有分离式开尔文源极或发射极，请将 VSSS 引脚尽可能靠近功率器件封装的源极或发射极端子连接，以将栅极环路与高功率开关环路分开。
- 高电压注意事项：
 - 为在初级侧和次级侧之间设立隔离性能，请避免在驱动器器件下方放置任何 PCB 迹线或铜。TI 建议使用 PCB 切口或坡口来防止可能影响隔离性能的污染。
- 散热注意事项：
 - 适当的 PCB 布局有助于将器件产生的热量散发到 PCB，并最大限度地降低结到电路板的热阻抗 (θ_{JB})。
 - 如果系统有多个层，TI 还建议通过具有足够尺寸的通孔将 VDDH 和 VSSS 引脚连接到内部接地或电源平面。这些通孔的位置必须靠近 IC 引脚，以更大限度地提高热导率。不过，请记住，不要重叠来自不同高电压平面的迹线或铜。

9.4.2 布局示例

图 9-5 展示了一个 PCB 布局示例，其中标记了信号和主要组件。

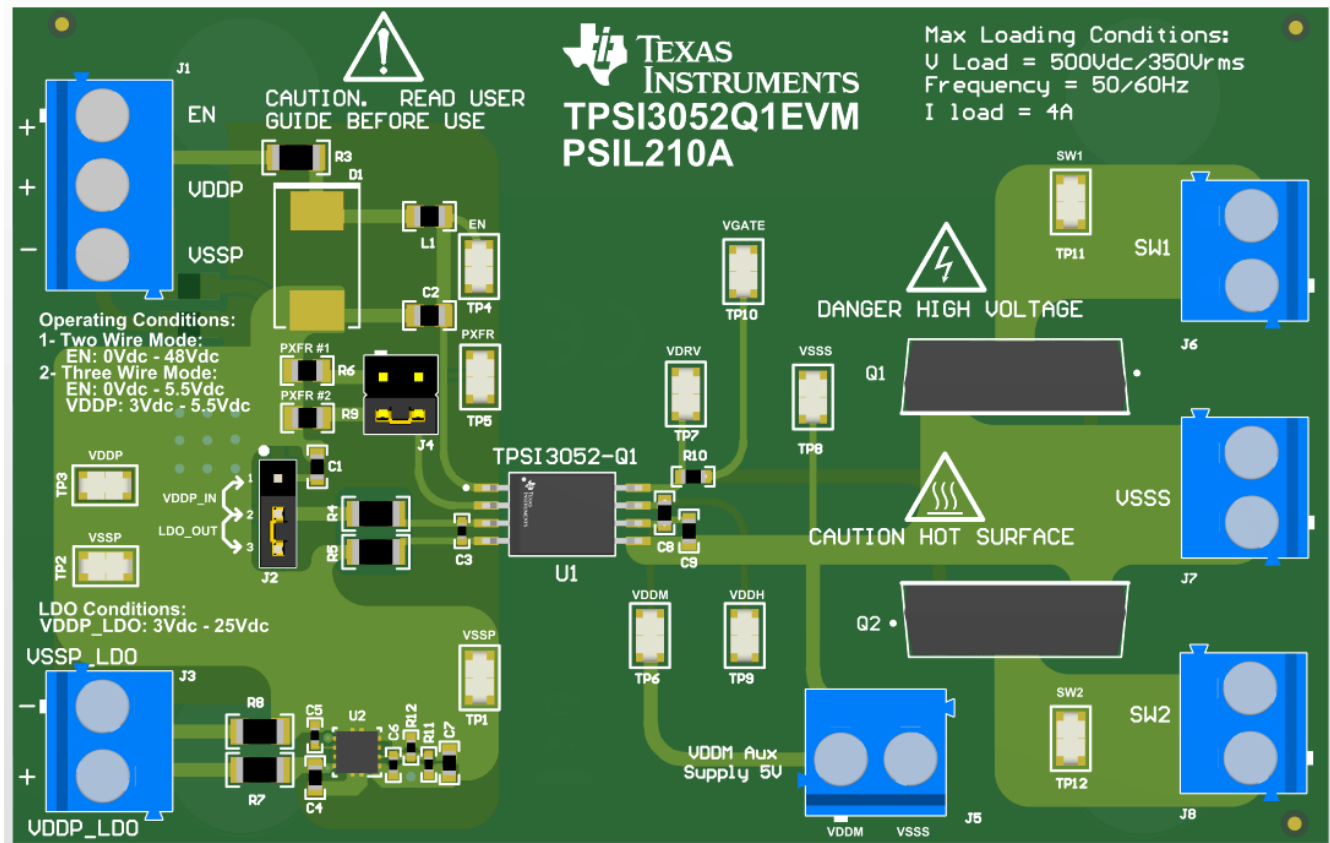


图 9-5. 3D PCB 视图

图 9-6 和图 9-7 展示了顶层和底层布线和覆铜。

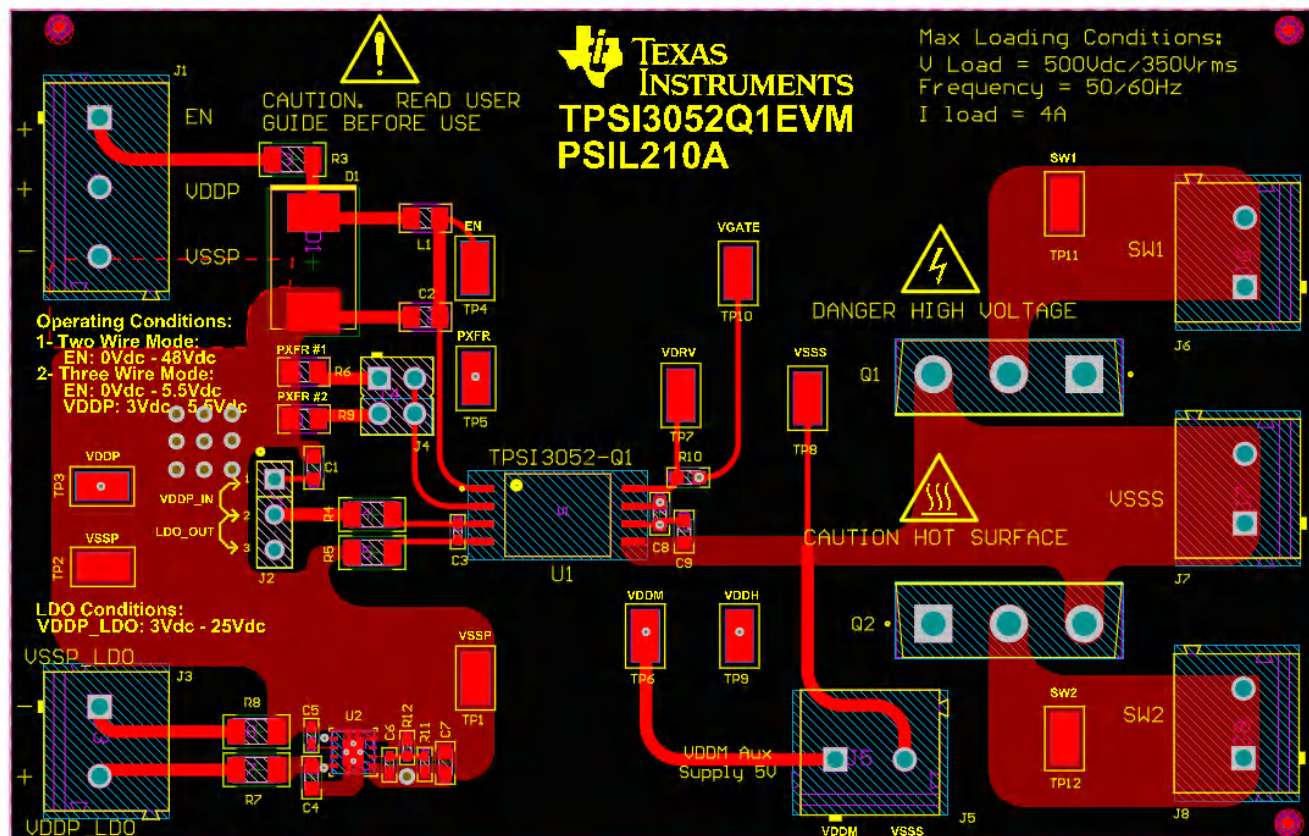


图 9-6. 顶层

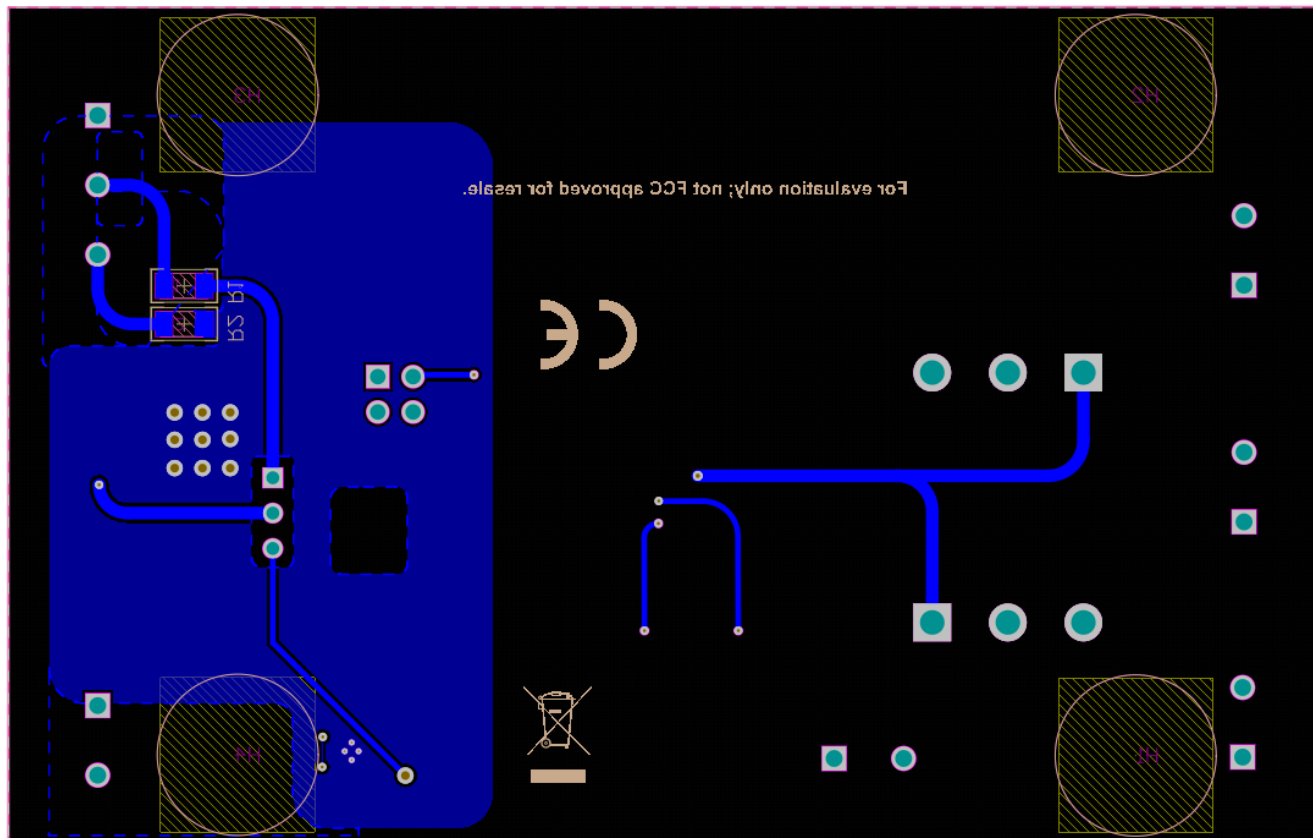


图 9-7. 底层

ADVANCE INFORMATION

10 器件和文档支持

10.1 相关链接

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件，以及立即购买的快速链接。

表 10-1. 相关链接

器件	产品文件夹	立即订购	技术文档	工具和软件	支持和社区
TPSI3052A-Q1	点击此处	点击此处	点击此处	点击此处	点击此处
TPSI3052A-Q1	点击此处	点击此处	点击此处	点击此处	点击此处

10.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
July 2026	*	初始发行版

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPSI3052A3QDWZRQ1	Active	Preproduction	SO-MOD (DWZ) 8	1000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTPSI3052A5QDWZRQ1	Active	Preproduction	SO-MOD (DWZ) 8	1000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

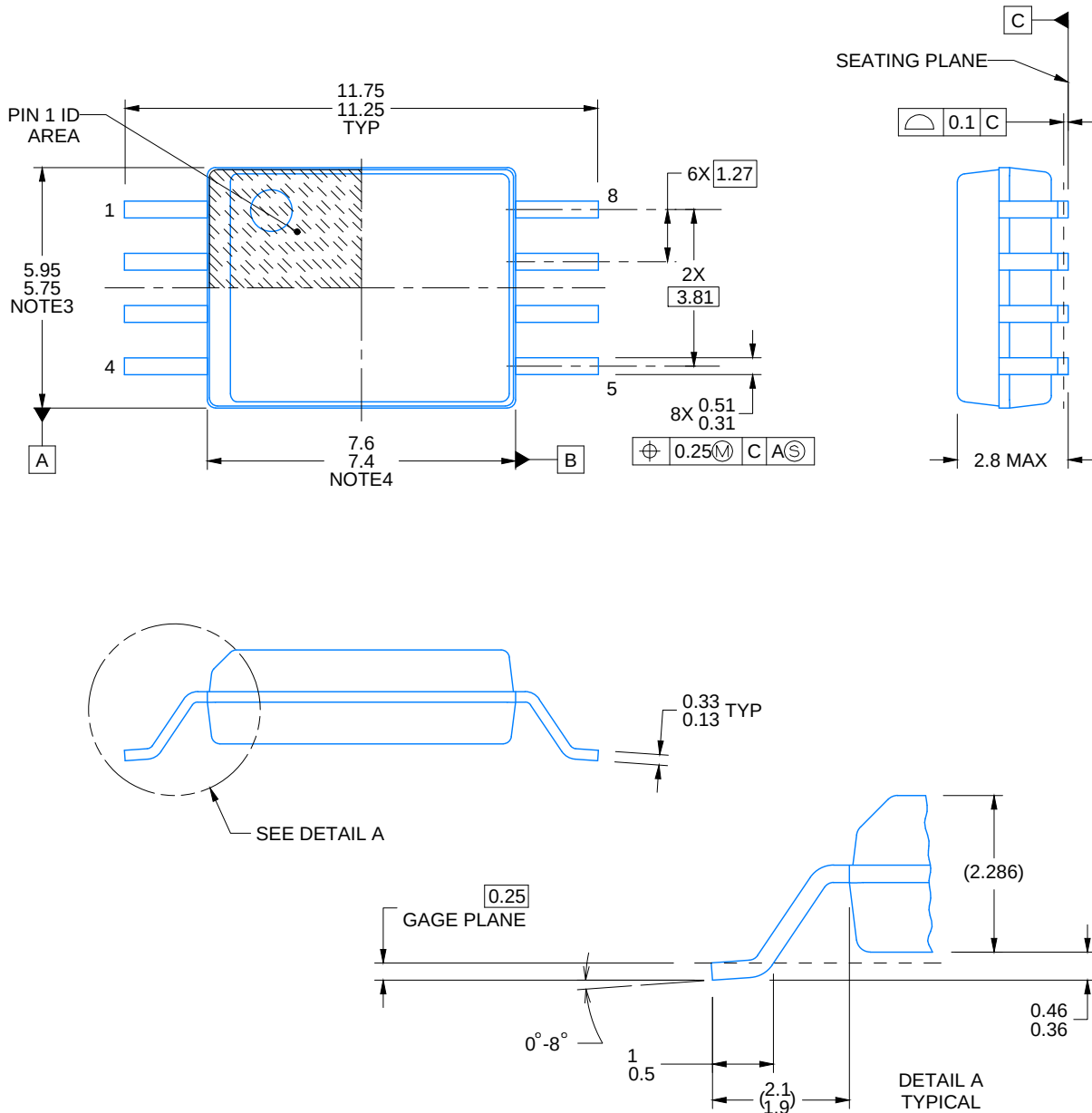
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PACKAGE OUTLINE

DWZ0008A

SOIC - 2.8 mm max height

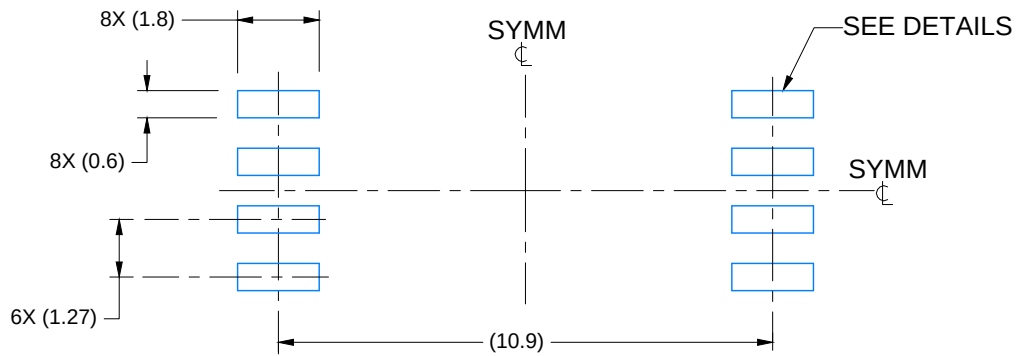
SMALL OUTLINE PACKAGE



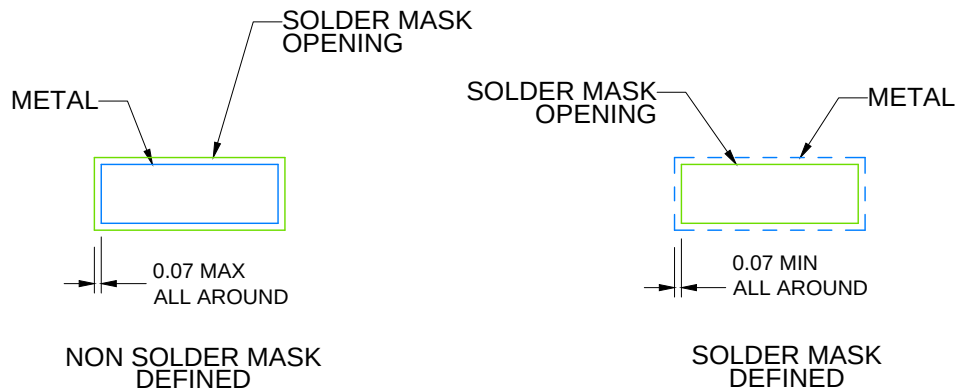
4226306/A 09/2020

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Ref. JEDEC registration MS-013



LAND PATTERN EXAMPLE
9.1 mm NOMINAL CLEARANCE/CREEPAGE
SCALE: 6X

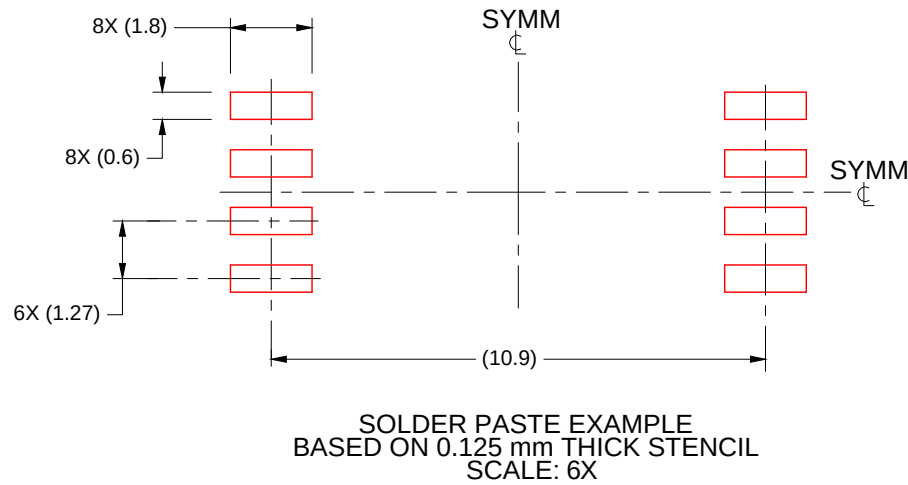


SOLDER MASK DETAILS

4226306/A 09/2020

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



4226306/A 09/2020

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月