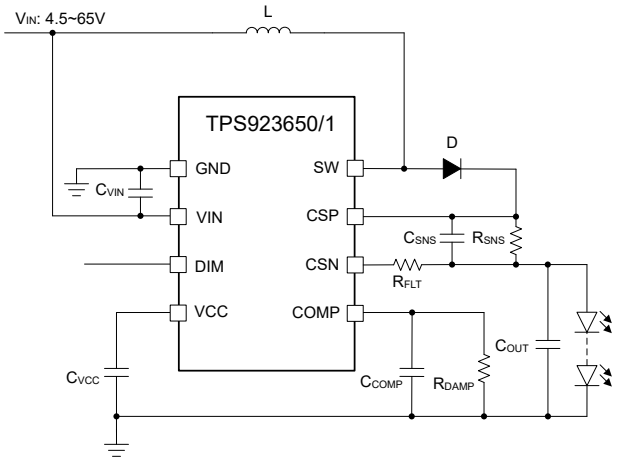
TPS923650/1 具有 PWM/模拟调光功能的 65V 1A/2A 升压或降压/升压 LED 驱动器

1 特性

- 4.5V 至 65V 宽输入范围
- LED 共阴极连接
- 集成的 300mΩ MOSFET：
  - 典型电流限制（1.6A/3.2A）
  - 开关频率（400kHz/1MHz）
- 高级调光选项：
  - 模拟调光 (200:1)
  - 快速 PWM 调光（50ns 脉冲宽度）
- 全面保护特性：
  - LED 开路和短路保护
  - 开关 FET 开路和短路保护
  - 外部元件故障保护
  - 逐周期电流限制
  - 热关断
- 封装：WSON-8、HVSSOP-8、SOT583

2 应用

- 持续照明：
  - 室内外照明
  - 电器照明
  - 冷/暖 WLED 照明
  - 紧急和标牌照明
  - 安全泛光灯
  - LED 灯泡和灯
  - LCD 背光
- 即时照明：
  - 机器视觉和摄像头闪光灯
  - 火警和频闪



简化版原理图

3 说明

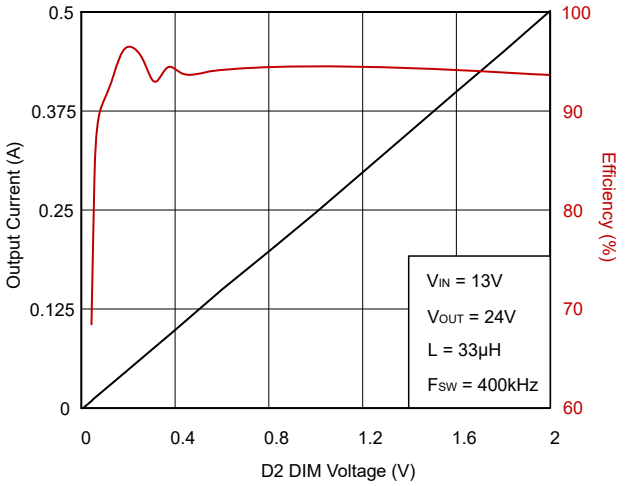
TPS92365x 系列是具有 4.5V 至 65V 宽输入范围的 1A/2A 非同步降压 LED 驱动器。通过集成低侧 NMOS 开关，该器件能够以高功率密度和高效率驱动 LED。该系列还支持常见的阴极连接和单层 PCB 设计。开关频率设置为 400kHz 或 1MHz。

TPS92365x 系列通过 DIM 输入引脚支持 PWM 调光，利用简单的高低电平信号进行配置。TPS92365x 系列还通过 DIM 输入引脚支持模拟调光，使用模拟信号进行配置。该器件采用自适应关断时间电流模式控制，结合智能且精确的采样技术，可实现快速的 PWM 调光，并达到高调光比。

TPS92365x 系列还提供多种系统保护，包括 LED 开路和短路保护、开关 FET 开路和短路保护、检测电阻开路和短路、热关断保护。

器件信息

器件型号	封装	本体尺寸（标称值）
TPS923650 TPS923651	WSON (8)	2.0mm x 2.0mm
	HVSSOP (8)	3.0mm x 3.0mm
TPS923650	SOT583 (8)	2.0mm x 1.2mm



调光线性度和效率

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 器件比较表.....3
5 引脚配置和功能.....4
6 规格.....6
6.1 绝对最大额定值.....6
6.2 ESD 等级.....6
6.3 建议运行条件.....6
6.4 热性能信息.....6
6.5 电气特性.....7
6.6 典型特性.....8
7 详细说明.....10
7.1 概述.....10
7.2 功能方框图.....10
7.3 特性说明.....11
8 应用和实施.....15
8.1 应用信息.....15
8.2 典型应用.....15
8.3 电源相关建议.....25
8.4 布局.....25
9 器件和文档支持.....27
9.1 接收文档更新通知.....27
9.2 支持资源.....27
9.3 商标.....27
9.4 静电放电警告.....27
9.5 术语表.....27
10 修订历史记录.....27
11 机械、封装和可订购信息.....27
11.1 封装选项附录.....27
11.2 卷带包装信息.....29

Copyright © 2024 Texas Instruments Incorporated

4 器件比较表

器件型号	封装	典型电流限制	开关频率	LED 调光	结温
TPS923651D1DSGR	WSON (8)	3A	400kHz	PWM	-40°C 至 125°C
TPS923651D2DSGR	WSON (8)	3A	400kHz	模拟	-40°C 至 125°C
TPS923651D1DGNR	HVSSOP (8)	3A	400kHz	PWM	-40°C 至 125°C
TPS923651D2DGNR	HVSSOP (8)	3A	400kHz	模拟	-40°C 至 125°C
TPS923650D1DSGR	WSON (8)	1.5A	1MHz	PWM	-40°C 至 125°C
TPS923650D2DSGR	WSON (8)	1.5A	1MHz	模拟	-40°C 至 125°C
TPS923650D1DGNR	HVSSOP (8)	1.5A	1MHz	PWM	-40°C 至 125°C
TPS923650D2DGNR	HVSSOP (8)	1.5A	1MHz	模拟	-40°C 至 125°C
TPS923650D1DRLR	SOT583 (8)	1.5A	400kHz	PWM	-40°C 至 125°C
TPS923650D2DRLR	SOT583 (8)	1.5A	400kHz	模拟	-40°C 至 125°C

Copyright © 2024 Texas Instruments Incorporated

5 引脚配置和功能

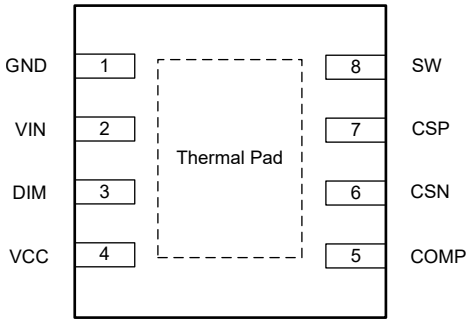


图 5-1. 8 引脚 WSON 顶视图

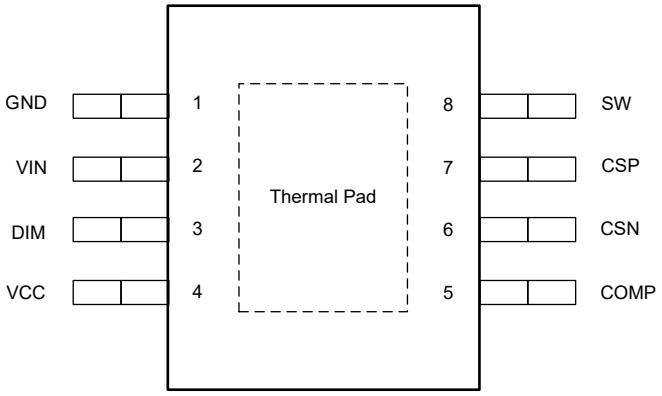


图 5-2. 8 引脚 HVSSOP 顶视图

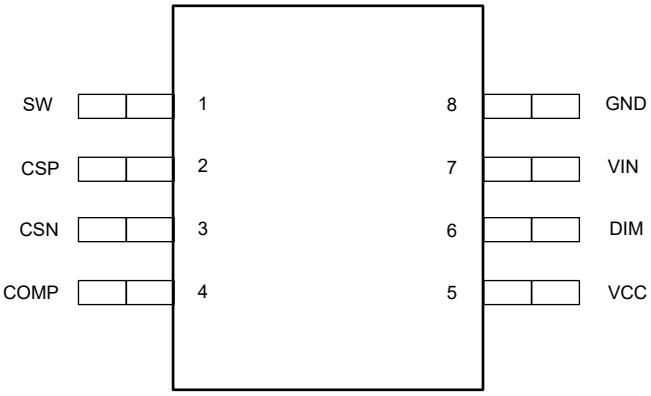


图 5-3. 8 引脚 SOT583 顶视图

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚功能

引脚				类型(1)	说明
名称	WSON 封装	SOP 封装	SOT 封装		
GND	1	1	8	G	接地引脚。
VIN	2	2	7	P	输入电源引脚。
DIM	3	3	6	I	适用于 D1 的 PWM 调光引脚。用于 PWM 调光的输入 PWM 信号。适用于 D2 的模拟调光引脚。用于模拟调光的输入模拟信号。
VCC	4	4	5	P	内部 LDO 输出引脚。将一个 16V、1μF 电容器连接到 GND。
COMP	5	5	4	I/O	误差放大器输出。将电容器连接至 GND。不同的电容值决定了不同的软启动时间和带宽。
CSN	6	6	3	I	LED 电流检测负极引脚。
CSP	7	7	2	I	LED 电流检测正极引脚。
SW	8	8	1	P	开关节点引脚。内部连接到低侧 MOSFET。连接功率电感器和肖特基二极管。
散热焊盘	Y	Y	不适用	NC	无连接。

(1) I = 输入，O = 输出，P = 电源，G = 接地

Copyright © 2024 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
引脚 VIN、CSP、CSN、SW 上的电压		-0.3	65	V
引脚 VCC、DIM、COMP 上的电压		-0.3	5.5	V
T_J	结温	-40	125	°C
T_{stg}	贮存温度	-65	150	°C

(1) 应力超出*绝对最大额定值*下面列出的值可能会对器件造成永久损坏。这些仅仅是应力额定值，并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±500	

(1) JEDEC 文件 JEP155 规定：500V HBM 可实现在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 规定：250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

		最小值	最大值	单位
V_{IN}	电源电压范围	4.5	63	V
V_{SW}	开关节点电压范围	0	63	V
V_{CSP}，V_{CSN}	检测共模电压范围	0	63	V
V_{VCC}	LDO 输出电压范围	0	5	V
V_{DIM}	调光电压范围	0	5	V
V_{COMP}	补偿电容器电压范围	0	5	V
T_A	工作环境温度	-40	85	°C

6.4 热性能信息

热指标(1)		TPS923650/1 WSON 8 引脚	TPS923650/1 HVSSOP 8 引脚	TPS923650 SOT 8 引脚	单位
$R_{\theta JA}$	结至环境热阻	66.9	47.8	113.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	79.2	74.1	41.9	°C/W
$R_{\theta JB}$	结至电路板热阻	31.1	20.4	24.0	°C/W
Ψ_{JT}	结至顶部特征参数	2.2	4.6	1.0	°C/W
Ψ_{JB}	结至电路板特征参数	31.1	20.4	23.6	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告，SPRA953。

Copyright © 2024 Texas Instruments Incorporated

6.5 电气特性

除非另外注明，否则本部分规定的电气额定值适用于本文档的所有规格。这些规格可解释为在该产品的使用寿命范围内，不会导致器件参数或功能规格下降的各项条件。T_J = –40°C 至 +125°C，V_{IN} = 7V（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
输入电源						
V_{VIN_UVLO}	V_{IN} 欠压锁定	上升 V_{IN}	3.0	3.2	3.4	V
		下降 V_{IN}	2.8	3.0	3.2	V
	迟滞			0.2		V
I_{OFF}	来自 V_{IN} 的 PWM 关断静态电流	V_{DIM} = 0V，器件启用		1.0	1.3	mA
I_{OP}	正常工作电流	400kHz 开关频率		2.3		mA
I_{OP}	正常工作电流	1MHz 开关频率		3.5		mA
V_{VCC}	内部 LDO 输出电压	I_{VCC} = 5mA	5.0	5.15	5.3	V
I_{VCC_LIM}	内部 LDO 输出电流限值		15	20	26	mA
调光						
V_{PWM_L}	DIM 低电平输入电压 (D1)				0.4	V
V_{PWM_H}	DIM 高电平输入电压 (D1)		1.2			V
$t_{PWM_OUT_ON}$	PWM 输出最短导通时间 (D1)				100	ns
$t_{PWM_IN_ON}$	PWM 输入最短导通时间 (D1)				100	ns
V_{ADIM}	DIM 输入电压范围 (D2)		0		2.2	V
反馈和误差放大器						
$g_{M(ea)}$	跨导增益	V_{DIM} = 2V，$V_{CSP-CSN}$ = 200mV	205	265	325	μA/V
I_{COMP}	拉电流/灌电流	V_{DIM} = 2V，$V_{CSP-CSN}$ = 200mV ± 200mV	±24	±40	±56	μA
V_{REF}	CSP-CSN 引脚电压	V_{DIM} = 2V	193	200	207	mV
V_{REF}	CSP-CSN 引脚电压	V_{DIM} = 0.2V	18.5	20	21.5	mV
功率级						
R_{DSON}	开关 FET 导通电阻	V_{IN} ≥ 5V		300		mΩ
t_{min_ON}	开关 FET 最短导通时间			140	160	ns
t_{min_OFF}	开关 FET 最短关断时间			140	160	ns
f_{SW}	开关 FET 频率 (TPS923651, TPS923650DRLR)			0.4		MHz
f_{SW}	开关 FET 频率 (TPS923650DSGR, TPS923650DGNR)			1.0		MHz
电流限值						
I_{LIM}	开关 FET 逐周期电流限制 (TPS923650)		1.4	1.6	1.8	A
I_{LIM}	开关 FET 逐周期电流限制 (TPS923651)		2.8	3.2	3.6	A
热保护						
T_{TSD}	热关断温度			165		°C
	迟滞			15		°C

Copyright © 2024 Texas Instruments Incorporated

6.6 典型特性

V_{IN} = 12V，LED 数量 = 12，F_{SW} = 400kHz，L = 33μH（除非另有说明）

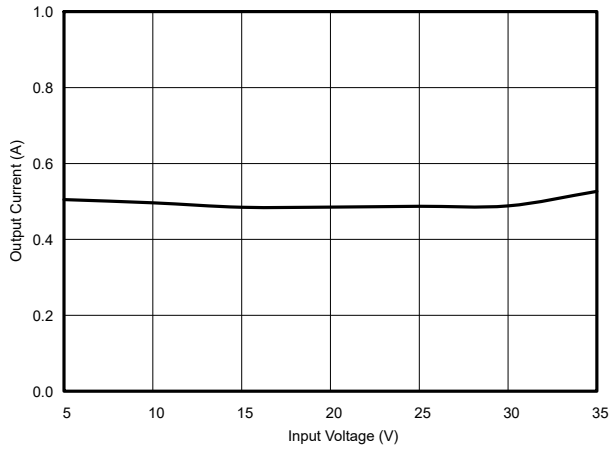


图 6-1. 输出电流与输入电压间的关系

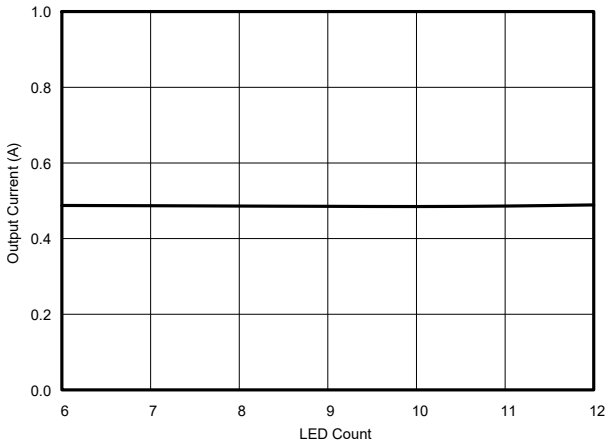


图 6-2. 输出电流与 LED 计数间的关系

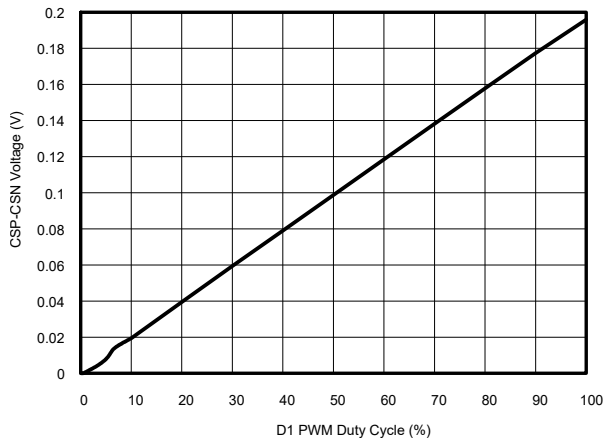


图 6-3. 20kHz PWM 下，D1 PWM 占空比与 CSP-CSN 电压间的关系

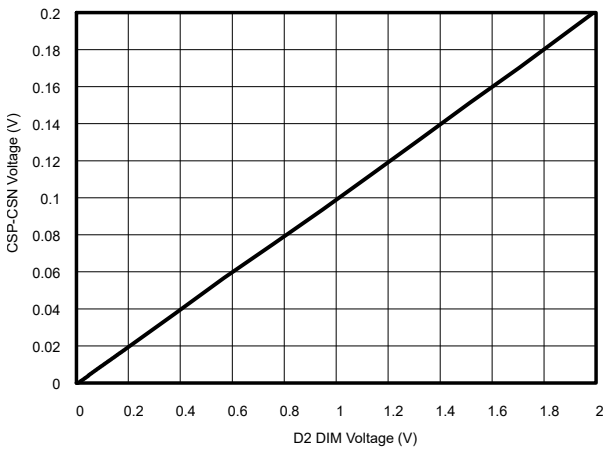


图 6-4. D2 模拟电压与 CSP-CSN 电压间的关系

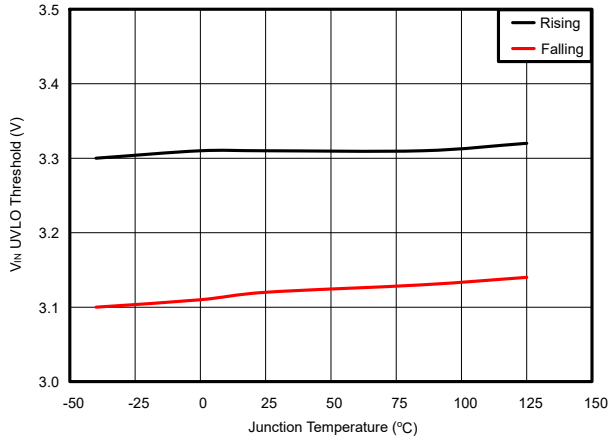


图 6-5. VIN UVLO 阈值与结温间的关系

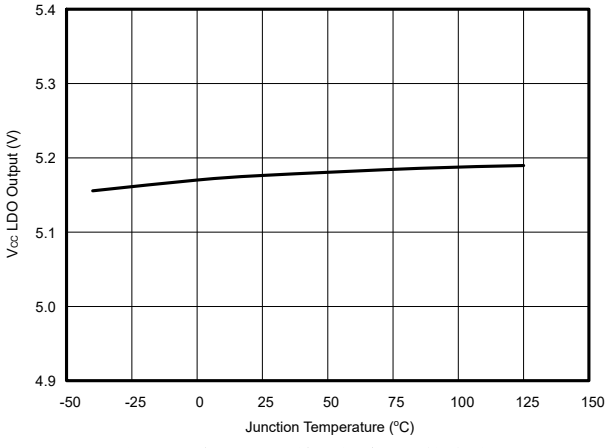


图 6-6. 内部 LDO 输出与结温间的关系

Copyright © 2024 Texas Instruments Incorporated

6.6 典型特性（续）

V_{IN} = 12V，LED 数量 = 12，F_{SW} = 400kHz，L = 33μH（除非另有说明）

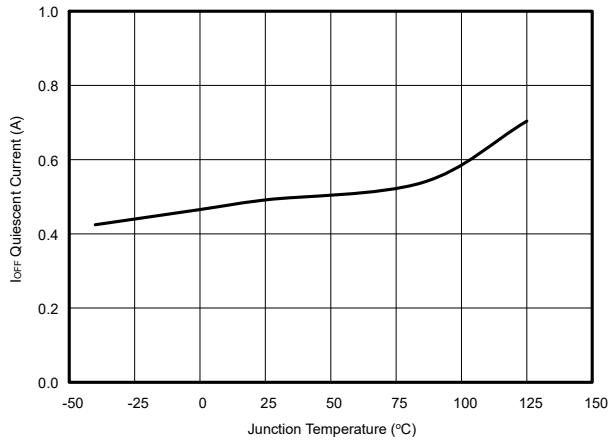


图 6-7. VIN 静态电流与结温间的关系

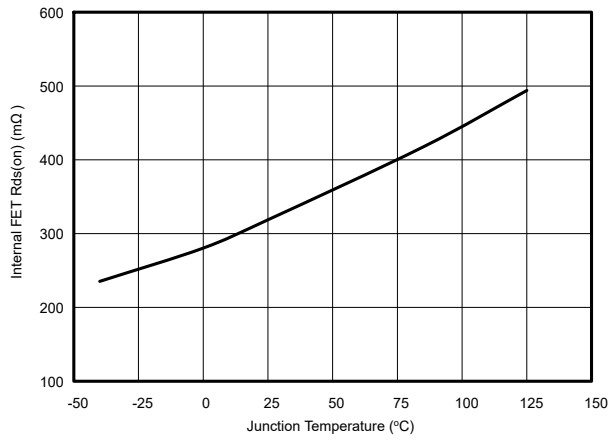


图 6-8. 开关 FET Rdson 与结温间的关系

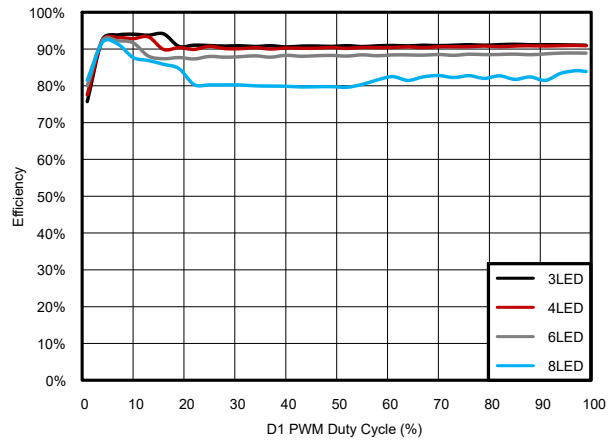


图 6-9. 7V 输入电压、0.5A 输出电流、20kHz PWM 下的 D1 效率

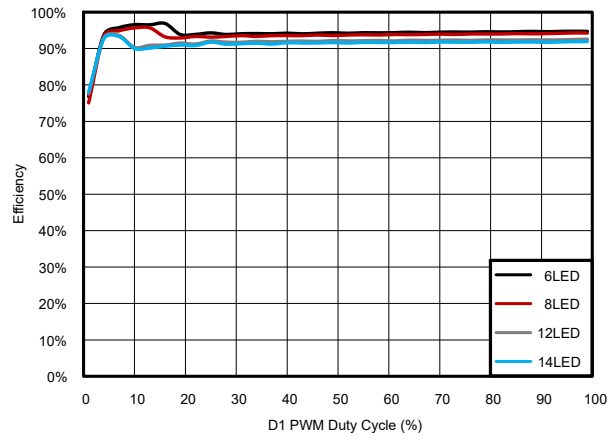


图 6-10. 13V 输入电压、0.5A 输出电流、20kHz PWM 下的 D1 效率

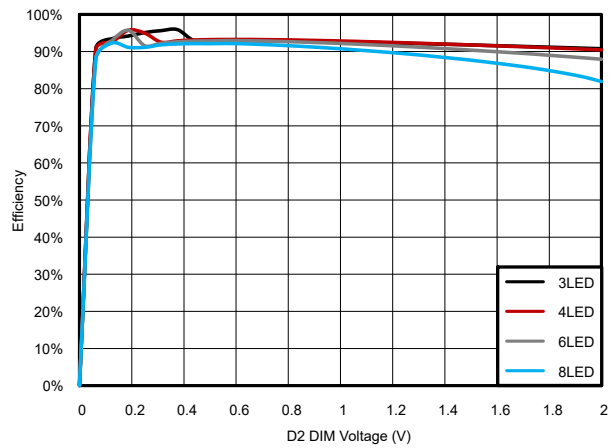


图 6-11. 7V 输入电压、0.5A 输出电流下的 D2 效率

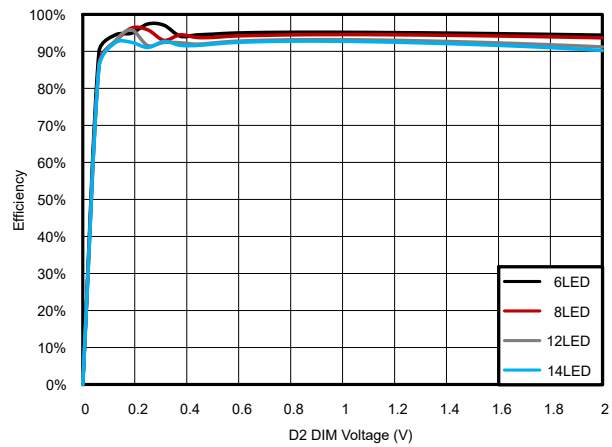


图 6-12. 13V 输入电压、0.5A 输出电流下的 D2 效率

Copyright © 2024 Texas Instruments Incorporated

7 详细说明

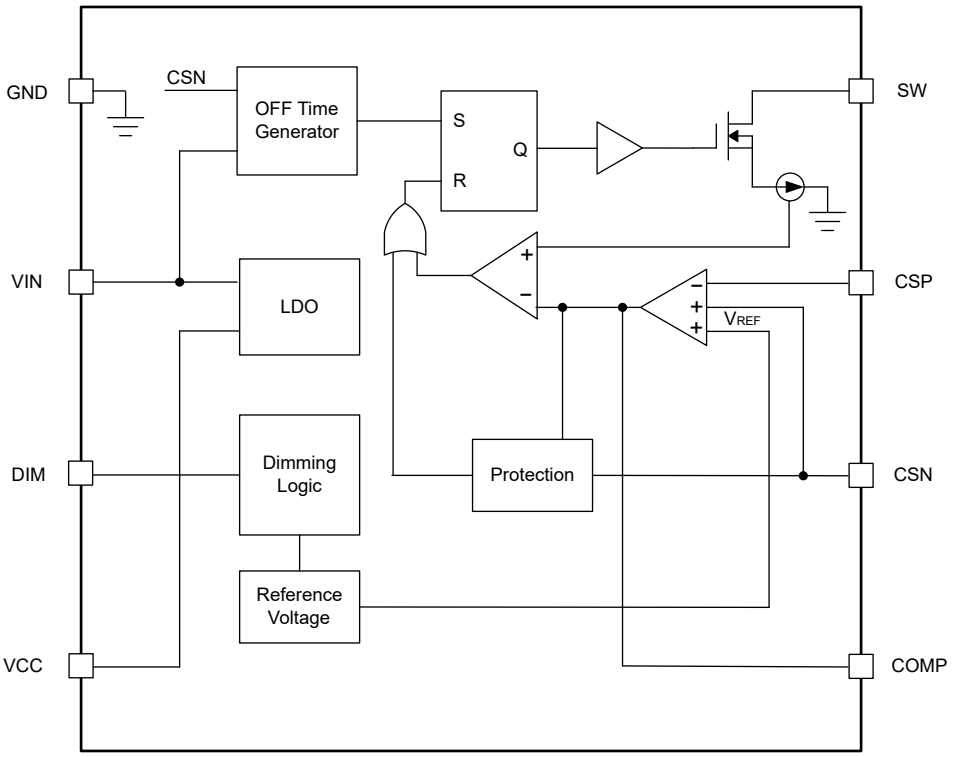
7.1 概述

TPS92365x 系列是具有 4.5V 至 65V 宽输入范围的 1A/2A 非同步升压或降压/升压 LED 驱动器。通过集成提供持续电流控制的低侧 NMOS 开关，该器件能够以高功率密度和高效率驱动 LED。该器件还支持共阴极连接和单层 PCB 设计，从而节省连接器、线束和 PCB 的成本。开关频率为 400kHz 或 1MHz。

TPS92365x 系列通过 DIM 输入引脚支持 PWM 调光，利用简单的高低电平信号进行配置。TPS92365x 系列还通过 DIM 输入引脚支持模拟调光，使用模拟信号进行配置。在 PWM 调光模式下，LED 将根据 DIM 输入引脚上的 PWM 输入信号的开关而亮起和熄灭。PWM 调光模式支持低至 50ns 的超窄脉冲宽度。在模拟调光模式下，LED 电流会根据 DIM 输入引脚上输入信号的模拟电压进行调节。该器件采用自适应关断时间电流模式控制，结合智能且精确的采样技术，可实现快速的 PWM 调光，并达到高调光比。补偿带宽可根据系统要求通过外部电容器进行调节。

为了实现安全和保护，这些器件支持全面的系统保护功能，包括 LED 开路和短路保护、开关 FET 开路和短路保护、检测电阻开路和短路、热关断保护。

7.2 功能方框图



Copyright © 2024 Texas Instruments Incorporated

7.3 特性说明

7.3.1 自适应关断时间电流模式控制

TPS923650/1 器件采用自适应关断时间电流模式控制，可在宽工作范围内支持快速瞬态响应。开关频率设置为 400kHz 或 1MHz。

对于平均输出电流调节，该器件会通过误差放大器将 CSP 和 CSN 引脚之间检测电阻上检测到的电压与内部电压基准 V_{REF} 进行比较。误差放大器的输出 V_{COMP} 通过外部补偿网络，然后与 PWM 比较器的峰值电流反馈进行比较。在每个开关周期中，当内部 NMOS FET 导通时，峰值电流通过内部 FET 检测。当在 PWM 比较器的输入端检测到的峰值电流值达到 V_{COMP} 时，NMOS FET 关断，并且自适应关断时间计数器开始计数。自适应关断时间计数器停止计数后，该计数器将复位，直到 NMOS FET 保持关断。计数时间由连接到 FSET 引脚的外部电阻器和输入/输出前馈决定。因此，该器件能够在稳定状态下保持接近恒定的开关频率，并将输出平均电流调节到所需的值。

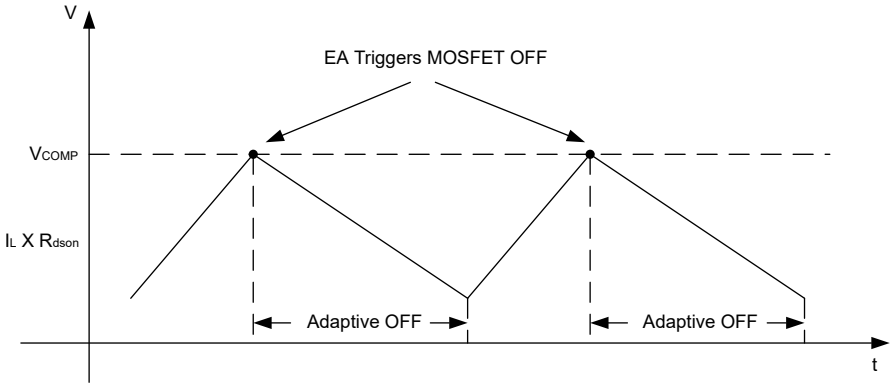


图 7-1. 自适应关断时间电流模式控制方法

7.3.2 设置 LED 电流

LED 电流由 CSP 和 CSN 引脚之间的外部检测电阻设置。对于满量程 LED 电流 (I_{LED_FS})，内部电压基准 V_{REF} 固定为 200mV，检测电阻可以使用下列公式计算得出。

$$R_{SENSE} = \frac{V_{REF}}{I_{LED_FS}} \quad (1)$$

其中

- V_{REF} = 200mV

由于 R_{FLT} 上的压降以及 CSP 和 CSN 引脚的共模漏电流，需要考虑 V_{REF} 上的偏移。

7.3.3 内部软启动

TPS923650/1 系列实现了内部软启动功能。一旦 V_{IN} 升至高于 V_{VIN_MIN}，内部 LDO 就会开始为 V_{CC} 电容器充电。如果在 V_{CC} 引脚上连接 1μF 电容器，则需要大约 800μs，V_{CC} 才能升至高于 V_{VIN_UVLO}。在 V_{CC} 高于 V_{VIN_UVLO} 后立即启用 POR。在这种情况下，如果使用 1μF V_{CC} 电容器，则建议在 V_{IN} 升至高于 V_{VIN_MIN} 后等待 1ms，然后再启动调光模式。

如果在 V_{CC} 升至高于 V_{VIN_UVLO} 后 DIM 引脚开始上升或出现第一个 PWM 脉冲，则器件立即开始开关。对于 D1 版本，开始调光时，DIM 输入引脚处的初始 PWM 脉冲可小至 50ns。

Copyright © 2024 Texas Instruments Incorporated

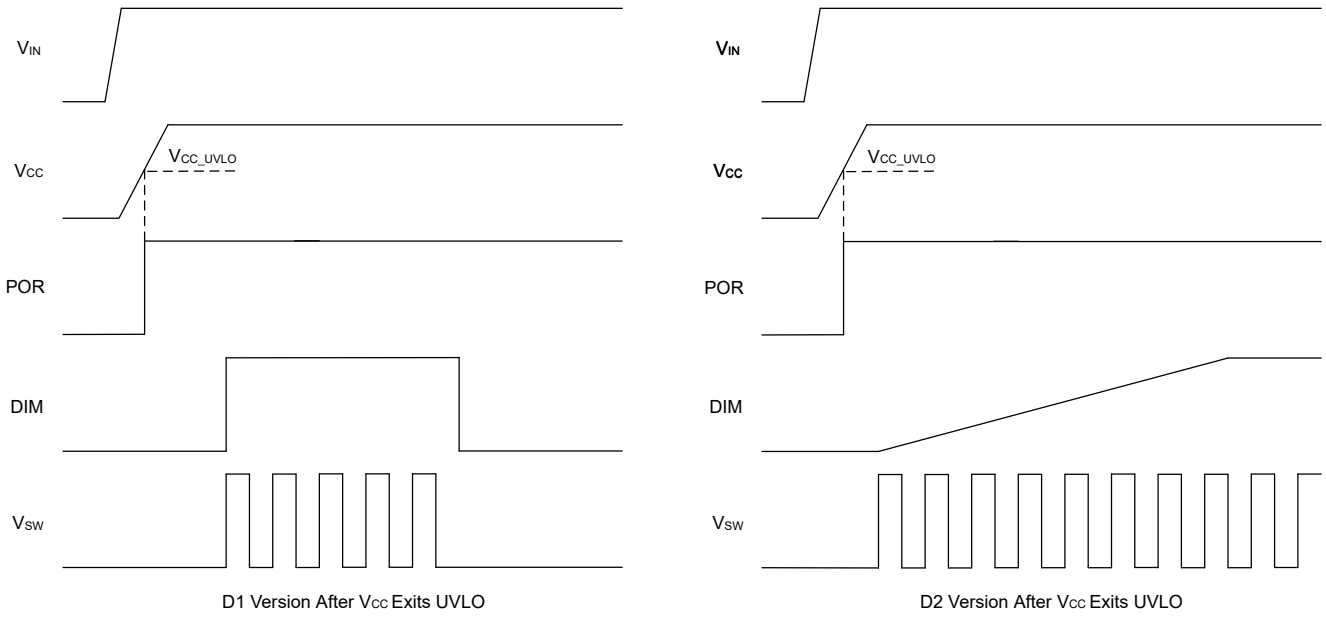


图 7-2. 启动顺序

7.3.4 调光模式

TPS923650D1 和 TPS923651D1 器件可实现 PWM 调光模式。TPS923650D2 和 TPS923651D2 器件可实现模拟调光模式。

下面显示了调光模式的配置

表 7-1. 调光模式配置

调光模式	版本	DIM 引脚
PWM 调光	D1	PWM 信号
模拟调光	D2	模拟信号

Copyright © 2024 Texas Instruments Incorporated

7.3.4.1 PWM 调光

TPS923650D1 和 TPS923651D1 支持具有低至 50ns 超窄脉冲宽度的 PWM 输入信号，可实现直接 PWM 调光。当 DIM 输入引脚由 PWM 输入信号配置时，PWM 调光开始。

当 DIM 引脚上的 PWM 输入信号从低电平变为高电平时，内部 NMOS FET 开始开关，而电感器电流会上升到检测电阻确定的值。然后，只要 PWM 输入信号保持高电平，LED 电流就会调节到确定的值。当 PWM 输入信号从高电平变为低电平时，内部 FET 关断，导致电感器电流降至零。只要 PWM 输入信号保持低电平，内部 FET 会保持关断状态，并且 LED 电流保持为零。

7.3.4.2 模拟调光

TPS923650D2 和 TPS923651D2 支持模拟调光功能，可通过 DIM 引脚上的模拟输入信号调节 LED 电流。

在器件退出 UVLO 后，内部电压基准 V_{REF} 开始上升。DIM 引脚上出现模拟电压后，V_{REF} 就会继续增加，直到变为与模拟电压成比例的目标值。

当 DIM 引脚上的模拟输入信号为 2V，V_{REF} 为 200mV；当模拟输入信号为 0.2V 时，V_{REF} 为 20mV。当 DIM 引脚上的模拟输入信号高于 2.2V 时，V_{REF} 被钳位在 220mV。当模拟输入信号低于 10mV 时，V_{REF} 为 0V 且器件停止开关。该电路能够以微秒的延迟响应模拟输入信号的电压变化。

Copyright © 2024 Texas Instruments Incorporated

7.3.5 故障保护

TPS923650/1 能够在多种故障条件下提供故障保护，包括 LED 开路、LED± 短路、LED 对 GND 短路、检测电阻开路和短路、内部开关 FET 开路和短路，以及热关断。

表 7-2. 保护功能

类型	标准	行为
LED 开路负载	V_{CSN} > 65V	器件停止开关并在故障消除后恢复。
LED+ 和 LED- 短路（降压/升压）	V_{CSN} - V_{IN} < 100mV	器件保持开关。
LED+ 接地短路	V_{CSP} - V_{CSN} > 300mV	器件停止开关并在故障消除后恢复。
检测电阻开路	V_{CSP} - V_{CSN} > 300mV	器件停止开关并在故障消除后恢复。
检测电阻短路	COMP 引脚被钳位为高电平	器件在逐周期电流限制下保持开关。
开关 FET 开路	COMP 引脚被钳位为高电平	器件停止开关并在故障消除后恢复。
开关 FET 短路	COMP 引脚被钳位为高电平	器件停止开关并在故障消除后恢复。
热关断	T_J > T_{TSD}	器件停止开关并在 T_J 降至迟滞水平以下时恢复。

Copyright © 2024 Texas Instruments Incorporated

8 应用和实施

8.1 应用信息

TPS923650/1 通常用作升压、降压/升压转换器，用于通过 4.5V 至 63V 范围的输入驱动一个或多个 LED。

8.2 典型应用

8.2.1 TPS923651D2 12V 输入、1A 输出、8 片式 WLED 驱动器

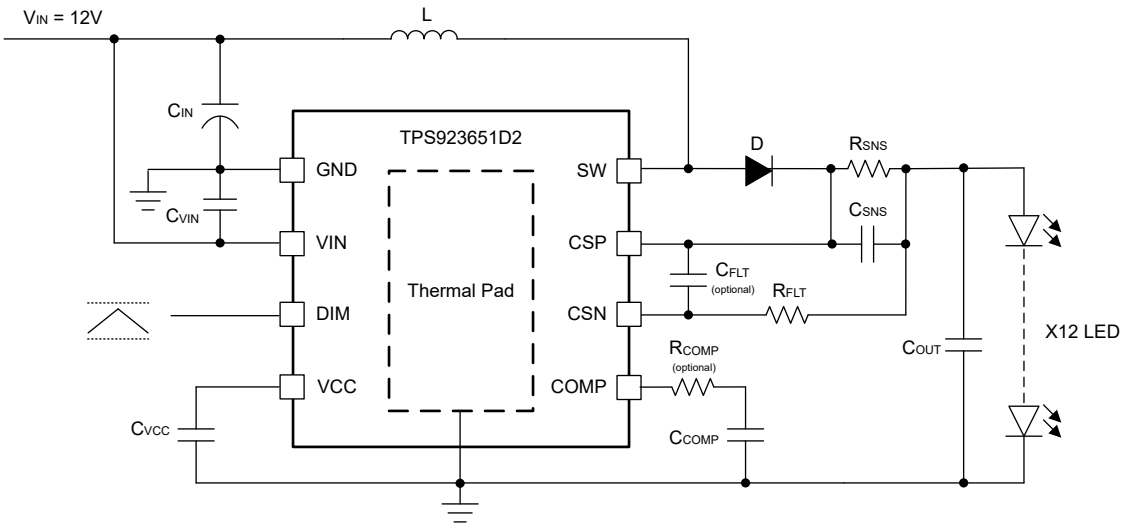


图 8-1. 12V 输入、1A 输出、8 片式 WLED，模拟调光参考设计

8.2.1.1 设计要求

本设计示例使用下表中的参数。

表 8-1. 设计参数

参数	值
输入电压范围	12V ±10%
LED 正向电压	3.0V
输出电压	24V (3.0V × 8)
最大 LED 电流	1A
电感器电流纹波	最大 LED 电流的 30%
LED 电流波纹	20mA 或更低
输入电压纹波	400mV 或更低
调光类型	使用 TPS923651D2 进行模拟调光：DIM 引脚上的 0V 至 2V 模拟输入

Copyright © 2024 Texas Instruments Incorporated

8.2.1.2 详细设计过程

8.2.1.2.1 电感器选型

对于此设计，输入电压为 12V 电源轨，具有 10% 的差异。输出为 8 个串联白光 LED，并且根据要求，电感器电流纹波小于最大电感器电流的 30%。为了选择合适的峰峰值电感器电流纹波，当转换器在满载条件下工作时，不应超出低侧 FET 电流限制。这要求峰峰值电感器电流纹波的一半低于该限值。另一个考虑因素是确保峰峰值电流纹波引起的电感磁芯损耗和铜损耗在合理的范围内。选择此峰峰值电感电流纹波后，使用下列公式计算输出电感 L 的建议值。

$$L = \frac{V_{IN(max)} \times \left(V_{OUT} - V_{IN(max)}\right)}{V_{OUT} \times K_{IND} \times I_{L(max)} \times f_{SW}} \quad (2)$$

其中

- K_{IND} 是一个系数，表示电感器纹波电流值与最大 LED 电流之比。
- $I_{L(max)}$ 是最大电感器电流。
- f_{SW} 为开关频率。
- $V_{IN(max)}$ 为最大输入电压。
- V_{OUT} 是 LED 负载上的电压与检测电阻上的电压之和。

使用所选的电感器值，用户可以使用下列公式计算实际的电感器电流纹波。

$$I_{L(ripple)} = \frac{V_{IN(max)} \times \left(V_{OUT} - V_{IN(max)}\right)}{V_{OUT} \times L \times f_{SW}} \quad (3)$$

电感器 RMS 电流和饱和电流的额定值必须大于系统要求中的额定值。这是为了确保不会发生电感器过热或饱和。在上电、瞬态条件或故障条件下，电感器电流可能超过其正常工作电流并达到电流限制。因此，最好选择等于或大于转换器电流限制的饱和电流额定值。峰值电感器电流和 RMS 电流公式如下列公式所示。

$$I_{L(peak)} = I_{L(max)} + \frac{I_{L(ripple)}}{2} \quad (4)$$

$$I_{L(rms)} = \sqrt{I_{L(max)}^{2} + \frac{I_{L(ripple)}^{2}}{12}} \quad (5)$$

在本设计中，$V_{IN(max)}$ = 12V，V_{OUT} = 24V，I_{LED} = 1A，f_{SW} = 400kHz，选择 K_{IND} = 0.3，计算出的电感为 25μH。选择 33μH 电感器。使用该电感器时，该电感器的纹波电流、峰值电流和均方根电流分别为 0.45A、2.2A 和 2.01A。

8.2.1.2.2 输入电容器选型

需要一个输入电容器来减少从输入电源汲取的浪涌电流和来自器件的开关噪声。建议使用电解电容器来存储能量。强烈建议使用采用 X5R 或 X7R 电介质的陶瓷电容器，因为它们具有低 ESR 和小温度系数。对于大多数应用，建议在 VIN 至 GND 之间放置一个 1 μ F 陶瓷电容器以及一个 0.1 μ F 电容器，以提供高频滤波。额定输入电容器电压必须大于最大输入电压。使用下列公式计算输入纹波电压，其中 ESR_{CIN} 是输入电容器的 ESR，而 K_{DR} 是施加直流电压时陶瓷电容的降额系数。

$$V_{IN(ripple)} = \frac{I_{L(ripple)}}{8 \times C_{IN} \times f_{SW}} \quad (6)$$

此设计中使用了一个 33μF、25V 电解电容器、一个 1μF、25V X7R 陶瓷电容器和一个 0.1μF、25V X7R 陶瓷电容器，产生了约 140mV 输入波纹电压。

Copyright © 2024 Texas Instruments Incorporated

8.2.1.2.3 输出电容器选型

输出电容器可降低流经 LED 灯串的高频电流纹波。过大的电流纹波会增加 LED 灯串中的 RMS 电流，从而会增加 LED 温度。

1.使用 LED 制造商的数据表来计算 LED 灯串的总动态电阻 (R_{LED})。

2.根据经过 LED 灯串的可接受峰峰值纹波电流 $I_{LED(ripple)}$，计算输出电容所需的阻抗 (Z_{OUT})。$I_{L(ripple)}$ 是使用所选电感器计算得出的峰峰值电感器纹波电流。

3.计算所需的最小有效输出电容。

4.由于施加直流电压会产生降额效应，可适当增大输出电容。

请参阅下列公式。

$$R_{LED} = \frac{\Delta V_F}{\Delta I_F} \times \#\ of\ LEDs \tag{7}$$

$$Z_{COUT} = \frac{R_{LED} \times I_{LED(ripple)}}{I_{L(max)} - I_{LED(ripple)}} \tag{8}$$

$$C_{COUT} = \frac{1}{2\pi \times f_{SW} \times Z_{COUT}} \tag{9}$$

选择输出电容器后，可使用下列公式估算流经 LED 灯串的峰峰值纹波电流。

$$I_{LED(ripple)} = \frac{Z_{COUT} \times I_{L(max)}}{Z_{COUT} + R_{LED}} \tag{10}$$

这里使用的是 Osram WLED。正向电流为 2A 时，LED 的动态电阻为 0.67Ω。强烈建议使用采用 X5R 或 X7R 电介质的陶瓷电容器，因为它们具有低 ESR 和小温度系数。此设计中使用了一个 10µF、100V X7R 陶瓷电容器和一个 0.1µF、100V X7R 陶瓷电容器。计算得出的 LED 纹波电流约为 15mA。

8.2.1.2.4 感测电阻选择

在 2V 模拟输入下，最大 LED 电流为 1A，V_{REF} 为 200mV。根据下列公式，计算得出的检测电阻值为 200mΩ。

请注意，检测电阻的功耗为 200mW，在选择该电阻的额定功率时需要留有足够的裕量。

8.2.1.2.5 其他外部元件选择

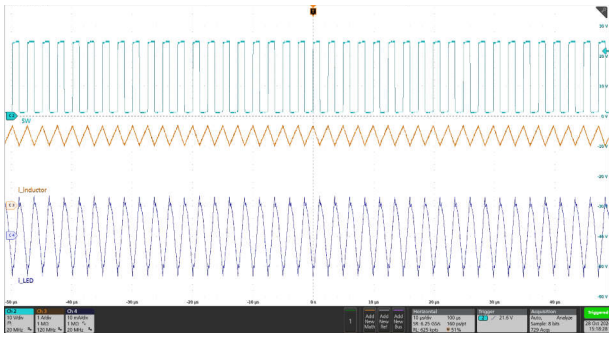
在本设计中，在 CSN 引脚处使用 100Ω 电阻作为 R_{FLT}，以避免噪声注入并提高稳健性。可选用 1nF、50V X7R 陶瓷电容器作为 C_{FLT}，放置于 CSP 和 CSN 引脚之间，用于滤除检测反馈中的高频噪声。根据下列公式，选择了 10µF、50V X7R 陶瓷电容器放在 C_{SNS} 和 R_{SNS} 之间，以便将检测反馈的交流幅度抑制为低于 200mV。

$$C_{SENSE} = \frac{0.25 \times I_{L(max)}}{200mV \times f_{SW}} \tag{11}$$

为了实现环路稳定性，建议选择 10nF、10V X7R 陶瓷电容器作为 C_{COMP}，也可选用一个 100Ω 电阻作为 R_{COMP}。

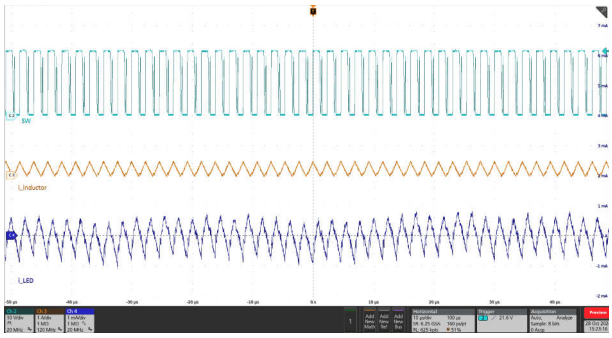
Copyright © 2024 Texas Instruments Incorporated

8.2.1.3 应用曲线



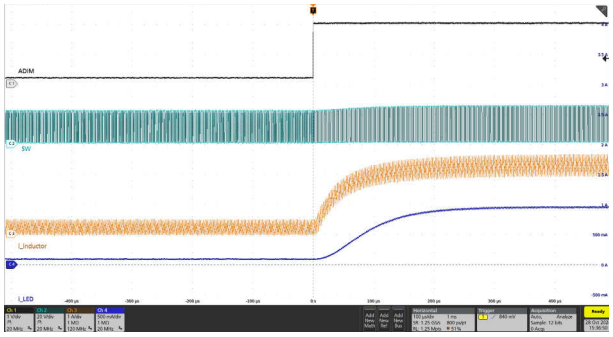
浅蓝色：SW，橙色：电感器电流，深蓝色：LED 电流纹波（交流）

图 8-2. DIM_{Analog} = 2V 且 F_{SW} = 400kHz 时的 LED 电流纹波



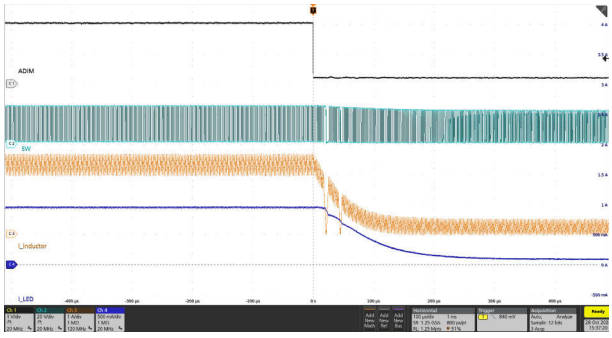
浅蓝色：SW，橙色：电感器电流，深蓝色：LED 电流纹波（交流）

图 8-3. DIM_{Analog} = 0.2V 且 F_{SW} = 400kHz 时的 LED 电流纹波



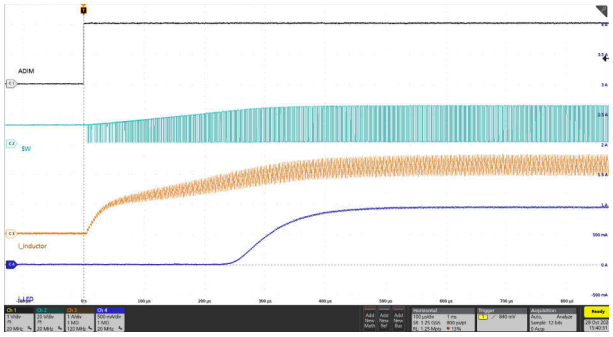
黑色：DIM_{Analog}，浅蓝色：SW，橙色：电感器电流，深蓝色：LED 电流

图 8-4. DIM_{Analog} 从 0.2V 转换到 2V 时的 LED 电流瞬态



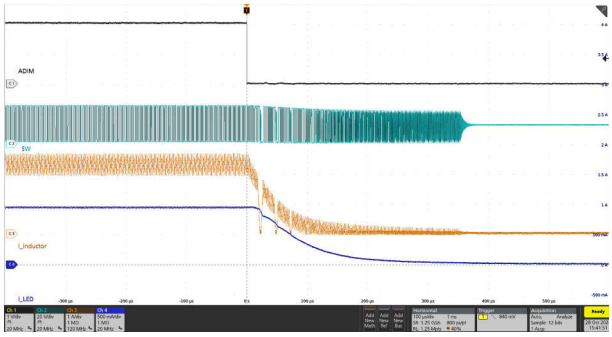
黑色：DIM_{Analog}，浅蓝色：SW，橙色：电感器电流，深蓝色：LED 电流

图 8-5. DIM_{Analog} 从 2V 转换到 0.2V 时的 LED 电流瞬态



黑色：DIM_{Analog}，浅蓝色：SW，橙色：电感器电流，深蓝色：LED 电流

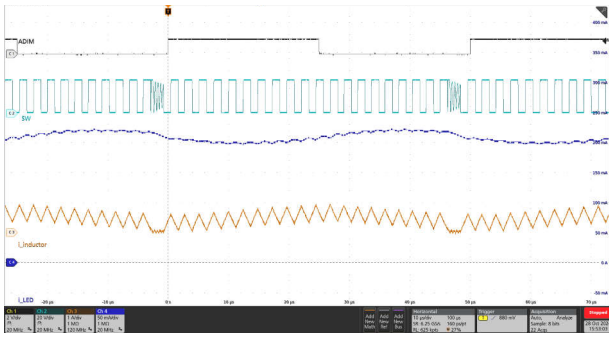
图 8-6. 在 DIM_{Analog} = 2V 时启动



黑色：DIM_{Analog}，浅蓝色：SW，橙色：电感器电流，深蓝色：LED 电流

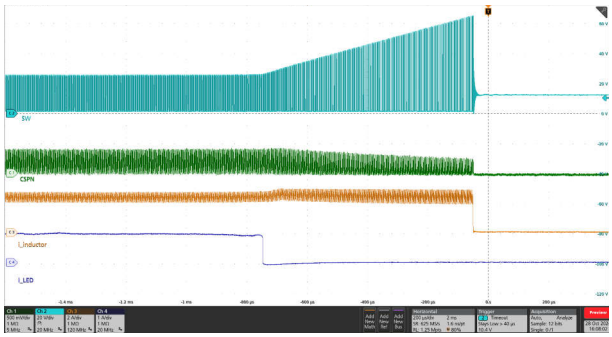
图 8-7. 在 DIM_{Analog} = 2V 时关断

Copyright © 2024 Texas Instruments Incorporated



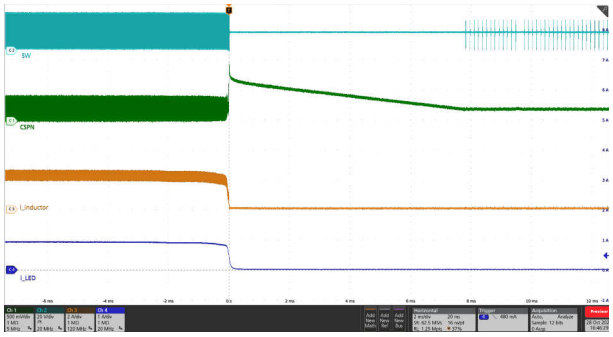
黑色：DIM_{Analog}，浅蓝色：SW，橙色：电感器电流，深蓝色：LED 电流

图 8-8. DIM_{Analog} = 2V，20kHz 时的 LED 调光上升沿和下降沿



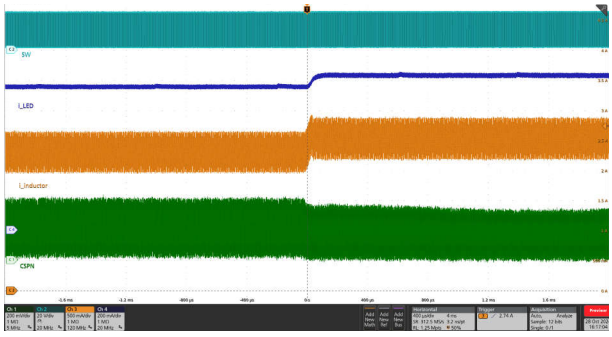
浅蓝色：SW，绿色：CSN，橙色：电感器电流，深蓝色：LED 电流

图 8-9. LED 开路负载保护



浅蓝色：SW，绿色：CSN，橙色：电感器电流，深蓝色：LED 电流

图 8-10. 检测电阻开路保护



浅蓝色：SW，橙色：电感器电流，深蓝色：LED 电流，绿色：CSN

图 8-11. 检测电阻短路保护

8.2.2 TPS923650D1 降压/升压、24V 输入、0.5A 输出、4 片式 WLED 驱动器

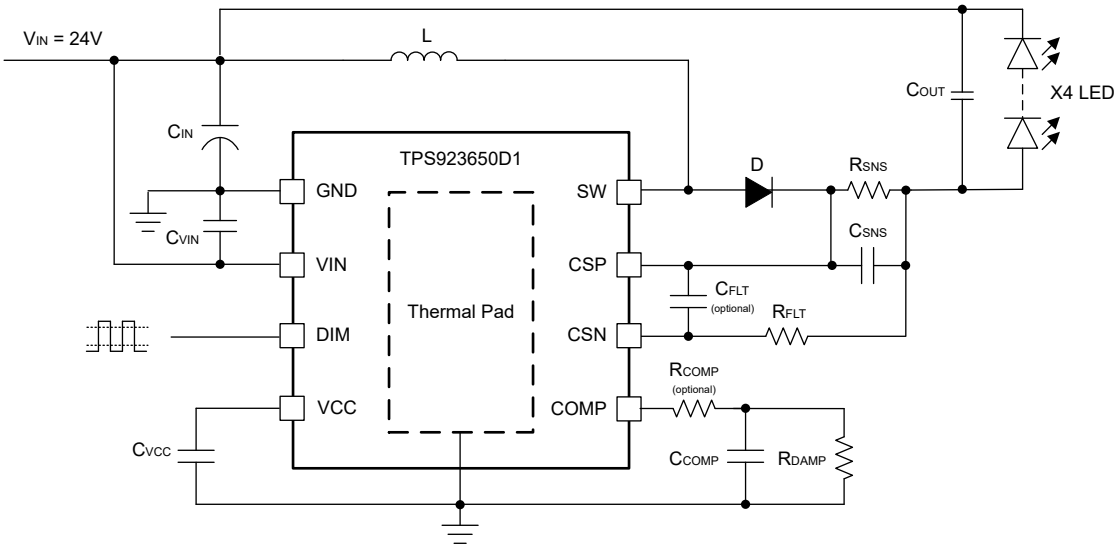


图 8-12. 降压/升压、24V 输入、0.5A 输出、4 片式 WLED，PWM 调光参考设计

8.2.2.1 设计要求

本设计示例使用下表中的参数。

表 8-2. 设计参数

参数	值
输入电压范围	24V ±10%
LED 正向电压	3.0V
输出电压	12V (3.0V × 4)
最大 LED 电流	0.5A
电感器电流纹波	最大 LED 电流的 30%
LED 电流波纹	20mA 或更低
输入电压纹波	或更低
调光类型	使用 TPS923650D1 进行 PWM 调光：DIM 引脚上的 0% 至 100%、1kHz PWM 输入

Copyright © 2024 Texas Instruments Incorporated

8.2.2.2 详细设计过程

8.2.2.2.1 电感器选型

对于此设计，输入电压为 24V 电源轨，具有 10% 的差异。输出为 4 个串联白光 LED，并且根据要求，电感器电流纹波小于最大电感器电流的 30%。为了选择合适的峰峰值电感器电流纹波，当转换器在空载条件下工作时，不应超出低侧 FET 电流限制。这要求峰峰值电感器电流纹波的一半低于该限值。另一个考虑因素是确保峰峰值电流纹波引起的电感磁芯损耗和铜损耗在合理的范围内。选择此峰峰值电感电流纹波后，使用下列公式计算输出电感 L 的建议值。

$$L = \frac{V_{IN(max)} \times V_{OUT}}{\left(V_{OUT} + V_{IN(max)}\right) \times K_{IND} \times I_{L(max)} \times f_{SW}} \quad (12)$$

其中

- K_{IND} 是一个系数，表示电感器纹波电流值与最大 LED 电流之比。
- $I_{L(max)}$ 是最大电感器电流。
- f_{SW} 为开关频率。
- $V_{IN(max)}$ 为最大输入电压。
- V_{OUT} 是 LED 负载上的电压与检测电阻上的电压之和。

使用所选的电感器值，用户可以使用下列公式计算实际的电感器电流纹波。

$$I_{L(ripple)} = \frac{V_{IN(max)} \times V_{OUT}}{\left(V_{OUT} + V_{IN(max)}\right) \times L \times f_{SW}} \quad (13)$$

电感器 RMS 电流和饱和电流的额定值必须大于系统要求中的额定值。这是为了确保不会发生电感器过热或饱和。在上电、瞬态条件或故障条件下，电感器电流可能超过其正常工作电流并达到电流限制。因此，最好选择等于或大于转换器电流限制的饱和电流额定值。峰值电感器电流和 RMS 电流公式如下列公式所示。

$$I_{L(peak)} = I_{L(max)} + \frac{I_{L(ripple)}}{2} \quad (14)$$

$$I_{L(rms)} = \sqrt{I_{L(max)}^{2} + \frac{I_{L(ripple)}^{2}}{12}} \quad (15)$$

在此设计中，$V_{IN(max)}$ = 24V，V_{OUT} = 12V，I_{LED} = 0.5A，f_{SW} = 1MHz，选择 K_{IND} = 0.3，计算出的电感为 35µH。选择 33µH 电感器。使用该电感器时，该电感器的纹波电流、峰值电流和均方根电流分别为 0.24A、0.87A 和 0.76A。

8.2.2.2.2 输入电容器选型

需要一个输入电容器来减少从输入电源汲取的浪涌电流和来自器件的开关噪声。建议使用电解电容器来存储能量。强烈建议使用采用 X5R 或 X7R 电介质的陶瓷电容器，因为它们具有低 ESR 和小温度系数。对于大多数应用，建议在 VIN 至 GND 之间放置一个 10 µ F 电容器以及一个 0.1 µ F 电容器，以提供高频滤波。额定输入电容器电压必须大于最大输入电压。使用下列公式计算输入纹波电压，其中 ESR_{CIN} 是输入电容器的 ESR，而 K_{DR} 是施加直流电压时陶瓷电容的降额系数。

$$V_{IN(ripple)} = \frac{I_{L(max)}}{2\pi \times f_{PWM} \times C_{OUT}} \quad (16)$$

此设计中使用了一个 10µF、50V 电解电容器、一个 22µF、50V X7R 陶瓷电容器和一个 0.1µF、50V X7R 陶瓷电容器，产生了约 270mV 输入纹波电压。

Copyright © 2024 Texas Instruments Incorporated

8.2.2.2.3 输出电容器选型

输出电容器可降低流经 LED 灯串的高频电流纹波。过大的电流纹波会增加 LED 灯串中的 RMS 电流，从而会增加 LED 温度。

1.使用 LED 制造商的数据表来计算 LED 灯串的总动态电阻 (R_{LED})。

2.根据经过 LED 灯串的可接受峰峰值纹波电流 $I_{LED(ripple)}$，计算输出电容所需的阻抗 (Z_{OUT})。$I_{L(ripple)}$ 是使用所选电感器计算得出的峰峰值电感器纹波电流。

3.计算所需的最小有效输出电容。

4.由于施加直流电压会产生降额效应，可适当增大输出电容。

请参阅下列公式。

$$R_{LED} = \frac{\Delta V_F}{\Delta I_F} \times \#\ of\ LEDs \tag{17}$$

$$Z_{COUT} = \frac{R_{LED} \times I_{LED(ripple)}}{I_{L(max)} - I_{LED(ripple)}} \tag{18}$$

$$C_{COUT} = \frac{1}{2\pi \times f_{SW} \times Z_{COUT}} \tag{19}$$

选择输出电容器后，可使用下列公式估算流经 LED 灯串的峰峰值纹波电流。

$$I_{LED(ripple)} = \frac{Z_{COUT} \times I_{L(max)}}{Z_{COUT} + R_{LED}} \tag{20}$$

这里使用的是 Osram WLED。正向电流为 1A 时，LED 的动态电阻为 0.67Ω。强烈建议使用采用 X5R 或 X7R 电介质的陶瓷电容器，因为它们具有低 ESR 和小温度系数。此设计中使用了一个 4.7μF、100V X7R 陶瓷电容器和一个 0.1μF、100V X7R 陶瓷电容器。计算得出的 LED 纹波电流约为 10mA。

8.2.2.2.4 感测电阻选择

在 100% PWM 占空比下，最大 LED 电流为 0.5A，相应的 V_{REF} 为 200mV。根据下列公式，计算得出的检测电阻值为 400mΩ。

请注意，检测电阻的功耗为 100mW，在选择该电阻的额定功率时需要留有足够的裕量。

8.2.2.2.5 其他外部元件选择

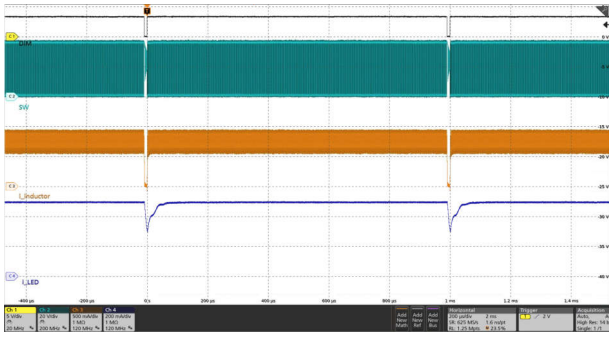
在本设计中，在 CSN 引脚处使用 100Ω 电阻作为 R_{FLT}，以避免噪声注入并提高稳健性。可选用 1nF、50V X7R 陶瓷电容器作为 C_{FLT}，放置于 CSP 和 CSN 引脚之间，用于滤除检测反馈中的高频噪声。根据下列公式，为 C_{SNS} 选择了 2.2μF、50V X7R 陶瓷电容器，以便将检测反馈的交流幅度抑制为低于 200mV。

$$C_{SNS} = \frac{0.25 \times I_{L(max)}}{200mV \times f_{SW}} \tag{21}$$

为了实现环路稳定性，建议选择 10nF、10V X7R 陶瓷电容器作为 C_{COMP} ，也可选用一个 100Ω 电阻作为 R_{COMP}。这里为 R_{DAMP} 选择了 20MΩ 电阻器，以抑制 PWM 开启时上升沿的过冲电流。

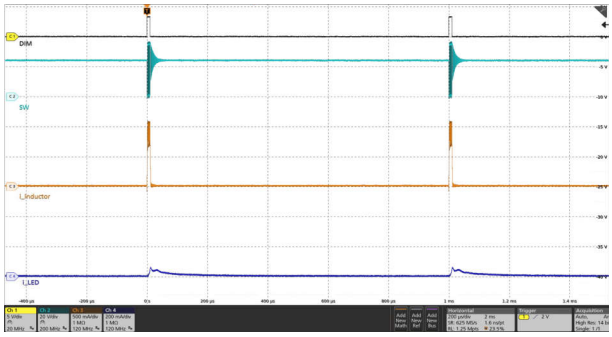
Copyright © 2024 Texas Instruments Incorporated

8.2.2.3 应用曲线



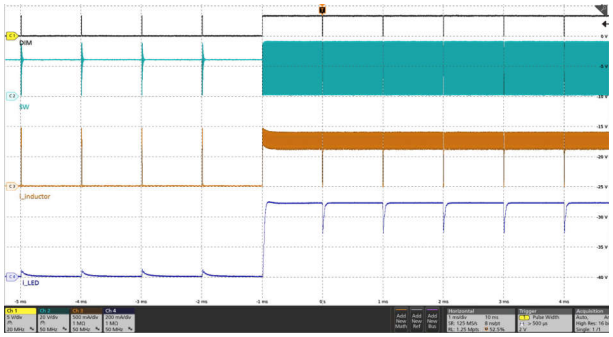
黑色：DIM_{PWM}，浅蓝色：SW，橙色：电感器电流，深蓝色：LED 电流

图 8-13. DIM_{PWM} = 99%、1kHz 且 F_{SW} = 1MHz 时的 LED 电流纹波



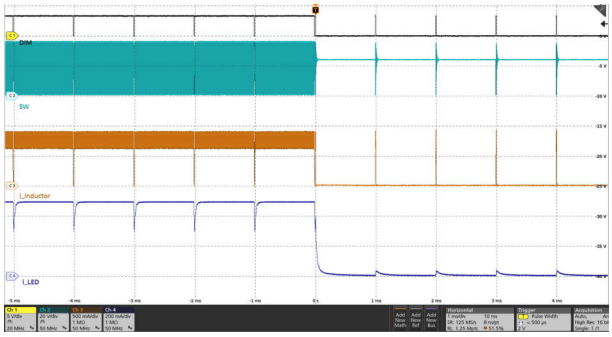
黑色：DIM_{PWM}，浅蓝色：SW，橙色：电感器电流，深蓝色：LED 电流

图 8-14. DIM_{PWM} = 1%、1kHz 时的 LED PWM 调光



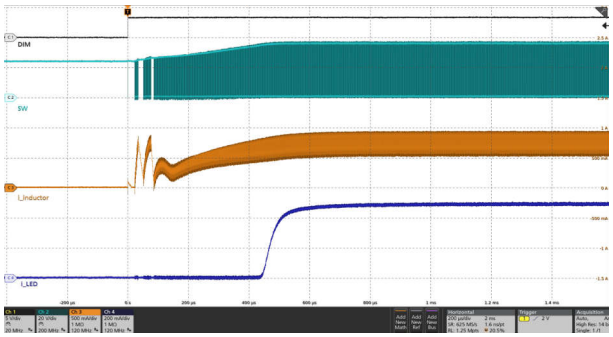
黑色：DIM_{PWM}，浅蓝色：SW，橙色：电感器电流，深蓝色：LED 电流

图 8-15. DIM_{PWM} 从 1% 转换到 99% 且 1kHz 时的 LED 电流瞬态



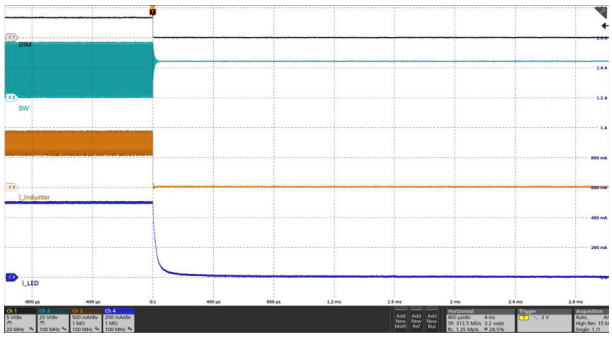
黑色：DIM_{PWM}，浅蓝色：SW，橙色：电感器电流，深蓝色：LED 电流

图 8-16. DIM_{PWM} 从 99% 转换到 1% 且 1kHz 时的 LED 电流瞬态



黑色：DIM_{PWM}，浅蓝色：SW，橙色：电感器电流，深蓝色：LED 电流

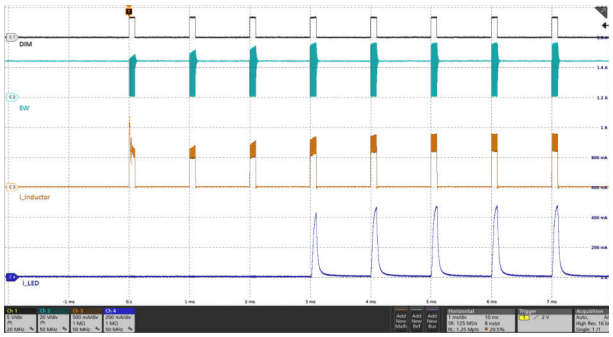
图 8-17. 在 DIM_{PWM} = 100%、1kHz 时启动



黑色：DIM_{PWM}，浅蓝色：SW，橙色：电感器电流，深蓝色：LED 电流

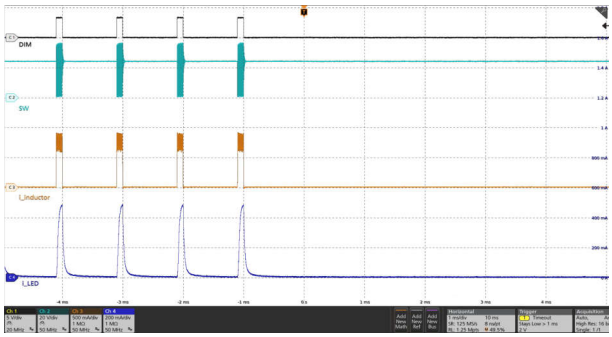
图 8-18. 在 DIM_{PWM} = 100%、1kHz 时关断

Copyright © 2024 Texas Instruments Incorporated



黑色：DIM_{PWM}，浅蓝色：SW，橙色：电感器电流，深蓝色：LED 电流

图 8-19. 在 DIM_{PWM} = 10%、1kHz 时启动



黑色：DIM_{PWM}，浅蓝色：SW，橙色：电感器电流，深蓝色：LED 电流

图 8-20. 在 DIM_{PWM} = 10%、1kHz 时关断

Copyright © 2024 Texas Instruments Incorporated

8.3 电源相关建议

该器件设计为在 4.5V 至 63V 的输入电源电压范围内运行。该输入电源必须经过良好调节。该器件需要一个输入电容器来减少从输入电源汲取的浪涌电流和来自器件的开关噪声。强烈建议使用采用 X5R 或 X7R 电介质的陶瓷电容器，因为它们具有低 ESR 和小温度系数。对于大多数应用，10 µ F 电容器就足够了。

8.4 布局

TPS923650/1 需要适当的布局才能实现出色性能。下一节提供了一些确保正确布局的指南。

8.4.1 布局指南

TPS923650/1 器件的正确布局示例见 8 引脚 WSON 封装布局示例（顶视图）。

- 创建大 GND 平面对于实现良好的电气和热性能非常重要。
- VIN 和 GND 布线应越宽越好，以减少布线阻抗。宽布线具有提供出色散热的额外优势。
- 散热过孔可用于将顶部 GND 平面连接到额外的印刷电路板 (PCB) 层，以实现散热和接地。
- 输入电容器必须尽可能靠近 VIN 引脚和 GND 引脚。
- VCC 电容器应尽可能靠近 VCC 引脚，以确保稳定的 LDO 输出电压。
- SW 布线必须尽可能短，以减少寄生电感，从而减少瞬态电压尖峰。短 SW 布线还可降低辐射噪声和 EMI。
- 不可使开关电流在器件下流过。
- 建议将 CSN 和 CSP 布线并联、保持尽可能短，并远离高压开关布线和接地屏蔽。
- 补偿电容器必须尽可能靠近 COMP 引脚，防止振荡和系统不稳定。

8.4.2 布局示例

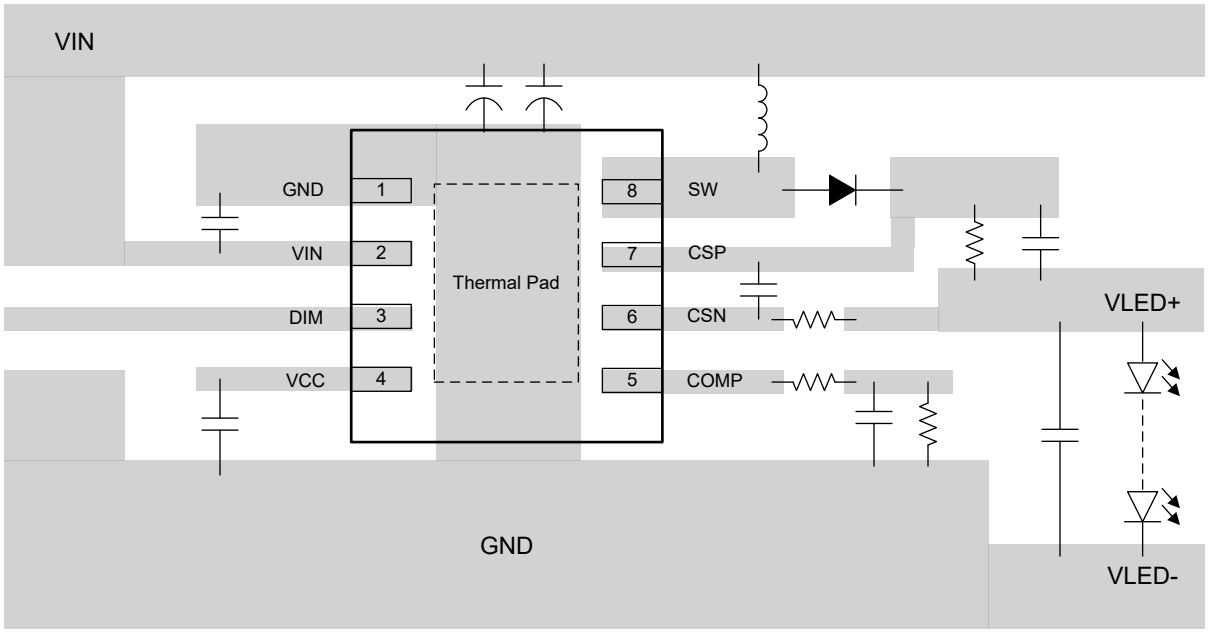


图 8-21. 8 引脚 WSON 顶视图布局示例

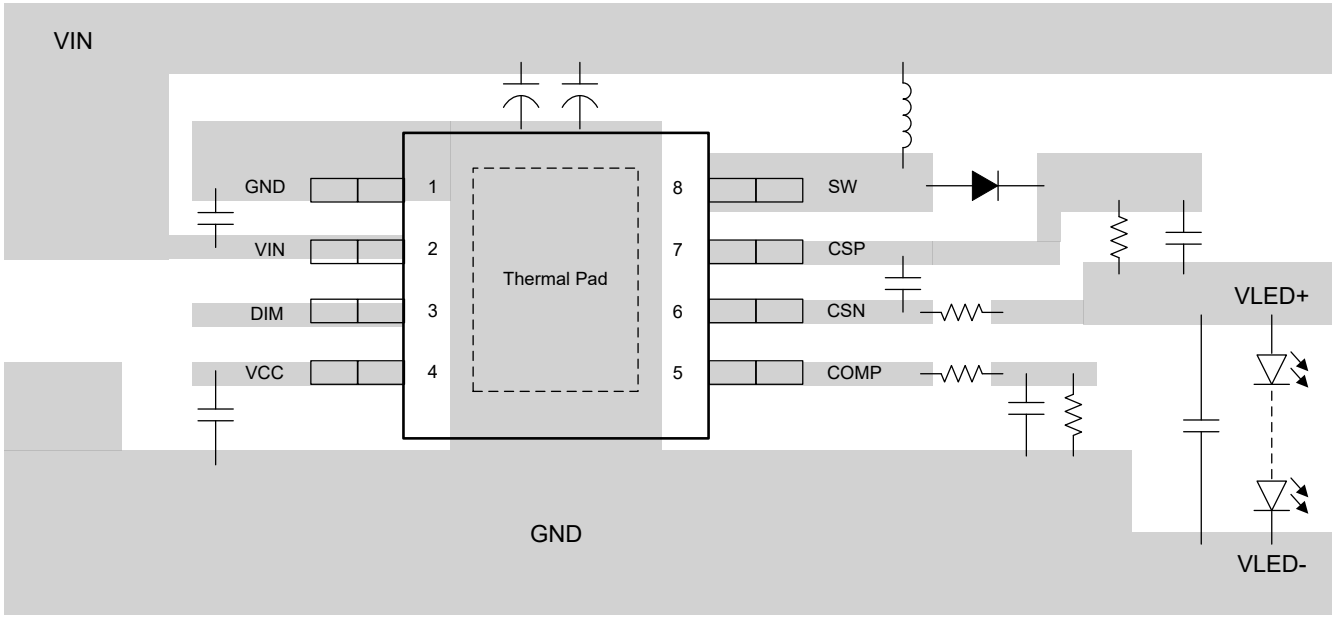


图 8-22. 8 引脚 HVSSOP 顶视图布局示例

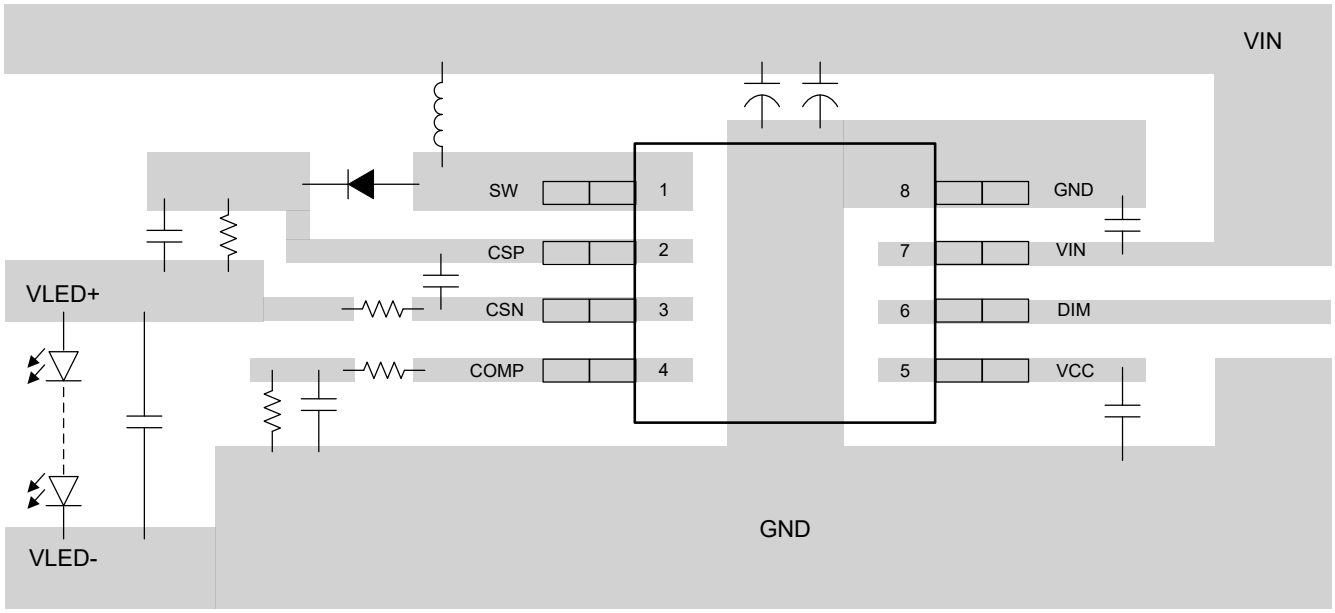


图 8-23. 8 引脚 SOT583 顶视图布局示例

Copyright © 2024 Texas Instruments Incorporated

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

日期	修订版本	注释
2024 年 11 月	*	初始发行版。

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查看左侧的导航面板。

11.1 封装选项附录

封装信息

可订购器件	状态 (1)	封装类型	封装图	引脚	包装数量	环保计划 (2)	铅/焊球镀层 (4)	MSL 峰值温度 (3)	工作温度 (°C)	器件标识 (5) (6)
TPS923651D1DSGR	运行	WSON	DSG	8	3000	环保（符合 RoHS 标准，无锑/溴）	Cu NiPdAu	LEVEL1-260C-UNLIM	-40 至 85	2311
TPS923651D2DSGR	运行	WSON	DSG	8	3000	环保（符合 RoHS 标准，无锑/溴）	Cu NiPdAu	LEVEL1-260C-UNLIM	-40 至 85	2312
TPS923651D1DGNR	运行	HVSSOP	DGN	8	2500	环保（符合 RoHS 标准，无锑/溴）	Cu NiPdAu	LEVEL1-260C-UNLIM	-40 至 85	2311

Copyright © 2024 Texas Instruments Incorporated

可订购器件	状态 (1)	封装类型	封装图	引脚	包装数量	环保计划 (2)	铅/焊球镀层 (4)	MSL 峰值温度 (3)	工作温度 (°C)	器件标识 (5) (6)
TPS923651D2DGNR	运行	HVSSOP	DGN	8	2500	环保（符合 RoHS 标准，无锑/溴）	Cu NiPdAu	LEVEL1-260C-UNLIM	-40 至 85	2312
TPS923650D1DSGR	运行	WSON	DSG	8	3000	环保（符合 RoHS 标准，无锑/溴）	Cu NiPdAu	LEVEL1-260C-UNLIM	-40 至 85	2301
TPS923650D2DSGR	运行	WSON	DSG	8	3000	环保（符合 RoHS 标准，无锑/溴）	Cu NiPdAu	LEVEL1-260C-UNLIM	-40 至 85	2302
TPS923650D1DGNR	运行	HVSSOP	DGN	8	2500	环保（符合 RoHS 标准，无锑/溴）	Cu NiPdAu	LEVEL1-260C-UNLIM	-40 至 85	2301
TPS923650D2DGNR	运行	HVSSOP	DGN	8	2500	环保（符合 RoHS 标准，无锑/溴）	Cu NiPdAu	LEVEL1-260C-UNLIM	-40 至 85	2302
TPS923650D1DRLR	运行	SOT583	DRL	8	4000	环保（符合 RoHS 标准，无锑/溴）	Cu NiPdAu	LEVEL1-260C-UNLIM	-40 至 85	2301
TPS923650D2DRLR	运行	SOT583	DRL	8	4000	环保（符合 RoHS 标准，无锑/溴）	Cu NiPdAu	LEVEL1-260C-UNLIM	-40 至 85	2302

(1) 销售状态值定义如下：
正在供货：建议用于新设计的产品器件。
限期购买：TI 已宣布器件即将停产，但仍在购买期限内。
NRND：不推荐用于新设计。为支持现有客户，器件仍在生产，但 TI 不建议在新设计中使用此器件。
PRE_PROD：器件未发布，尚未量产，未向大众市场供货，也未在网络上供应，未提供样片。
预发布：器件已发布，但未量产。可能提供样片，也可能无法提供样片。
已停产：TI 已停止生产该器件。

(2) 环保计划 - 规划的环保分级包括：无铅 (RoHS)，无铅（RoHS 豁免）或绿色环保（RoHS，无锑/溴）- 如需了解最新供货信息及更多产品内容详情，请访问 http://www.ti.com/productcontent。
待定：无铅/绿色环保转换计划尚未确定。
无铅 (RoHS)：TI 所说的“无铅”或“无 Pb”是指半导体产品符合针对所有 6 种物质的现行 RoHS 要求，包括要求铅的重量不超过同质材料总重量的 0.1%。因在设计时就考虑到了高温焊接要求，因此 TI 的无铅产品适用于指定的无铅作业。
无铅（RoHS 豁免）：该元件在以下两种情况下可享受 RoHS 豁免：1) 芯片和封装之间使用铅基倒装芯片焊接凸点；2) 芯片和引线框之间使用铅基芯片粘合剂。否则，元件将根据上述规定视为无铅（符合 RoHS）。
绿色环保（RoHS，无锑/溴）：TI 将“绿色环保”定义为无铅（符合 RoHS 标准）、无溴 (Br) 和无锑 (Sb) 基阻燃剂（Br 或 Sb 在同质材料中的质量不超过总质量的 0.1%）

(3) MSL，峰值温度-- 湿敏等级额定值（符合 JEDEC 工业标准分级）和峰值焊接温度。

(4) 铅/焊球镀层 - 可订购器件可能有多种镀层材料选项。各镀层选项用垂直线隔开。如果铅/焊球镀层值超出最大列宽，则会折为两行。

(5) 器件上可能还有与标识、批次跟踪代码信息或环境分级相关的标记

(6) 如有多个器件标识，将用括号括起来。不过，器件上仅显示括号中以“~”隔开的其中一个器件标识。如果某一行缩进，说明该行续接上一行，这两行合在一起表示该器件的完整器件标识。

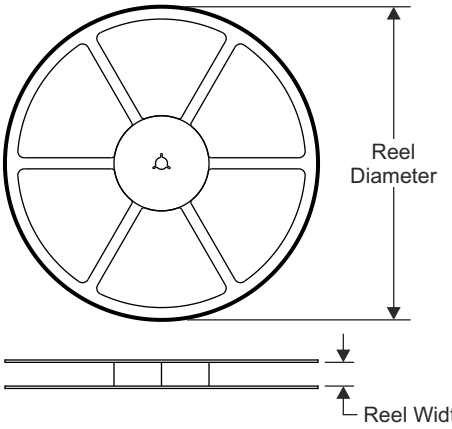
重要信息和免责声明：本页面上提供的信息代表 TI 在提供该信息之日的认知和观点。TI 的认知和观点基于第三方提供的信息，TI 不对此类信息的正确性做任何声明或保证。TI 正在致力于更好地整合第三方信息。TI 已经并将继续采取合理的措施来提供有代表性且准确的信息，但是可能尚未对引入的原料和化学制品进行破坏性测试或化学分析。TI 和 TI 供应商认为某些信息属于专有信息，因此可能不会公布其 CAS 编号及其他受限制的信息。

在任何情况下，TI 因此类信息产生的责任决不超过 TI 每年向客户销售的本文档所述 TI 器件的总购买价。

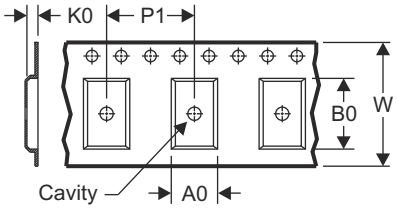
Copyright © 2024 Texas Instruments Incorporated

11.2 卷带包装信息

REEL DIMENSIONS

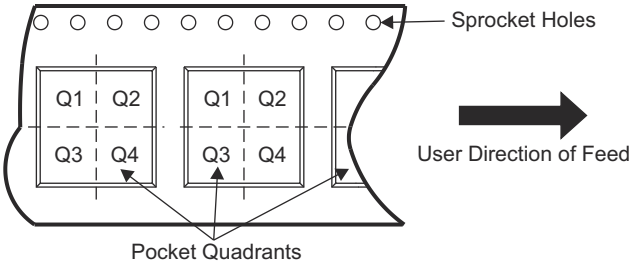


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

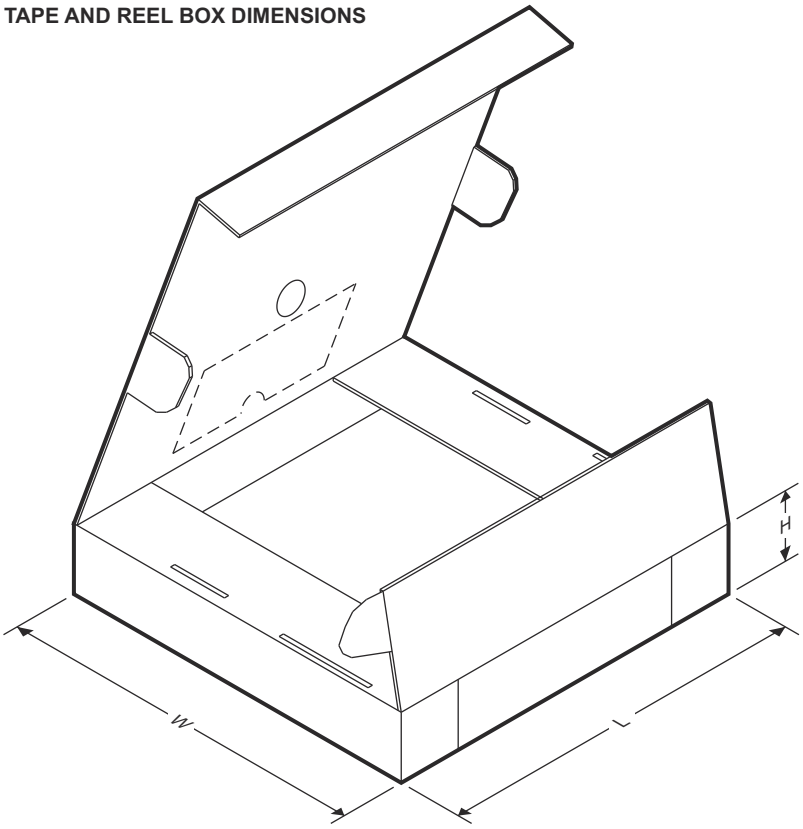
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1象限
TPS923651D1DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS923651D2DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS923651D1DGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS923651D2DGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS923650D1DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS923650D2DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS923650D1DGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS923650D2DGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS923650D1DRLR	SOT583	DRL	8	4000	180.0	8.4	2.75	1.9	0.8	4.0	8.0	Q3
TPS923650D2DRLR	SOT583	DRL	8	4000	180.0	8.4	2.75	1.9	0.8	4.0	8.0	Q3

Copyright © 2024 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS

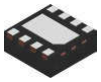


器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
TPS923651D1DSGR	WSON	DSG	8	3000	210.0	185.0	35.0
TPS923651D2DSGR	WSON	DSG	8	3000	210.0	185.0	35.0
TPS923651D1DGNR	HVSSOP	DGN	8	2500	356.0	356.0	35.0
TPS923651D2DGNR	HVSSOP	DGN	8	2500	356.0	356.0	35.0
TPS923650D1DSGR	WSON	DSG	8	3000	210.0	185.0	35.0
TPS923650D2DSGR	WSON	DSG	8	3000	210.0	185.0	35.0
TPS923650D1DGNR	HVSSOP	DGN	8	2500	356.0	356.0	35.0
TPS923650D2DGNR	HVSSOP	DGN	8	2500	356.0	356.0	35.0
TPS923650D1DRLR	SOT583	DRL	8	4000	210.0	185.0	35.0
TPS923650D2DRLR	SOT583	DRL	8	4000	210.0	185.0	35.0

Copyright © 2024 Texas Instruments Incorporated

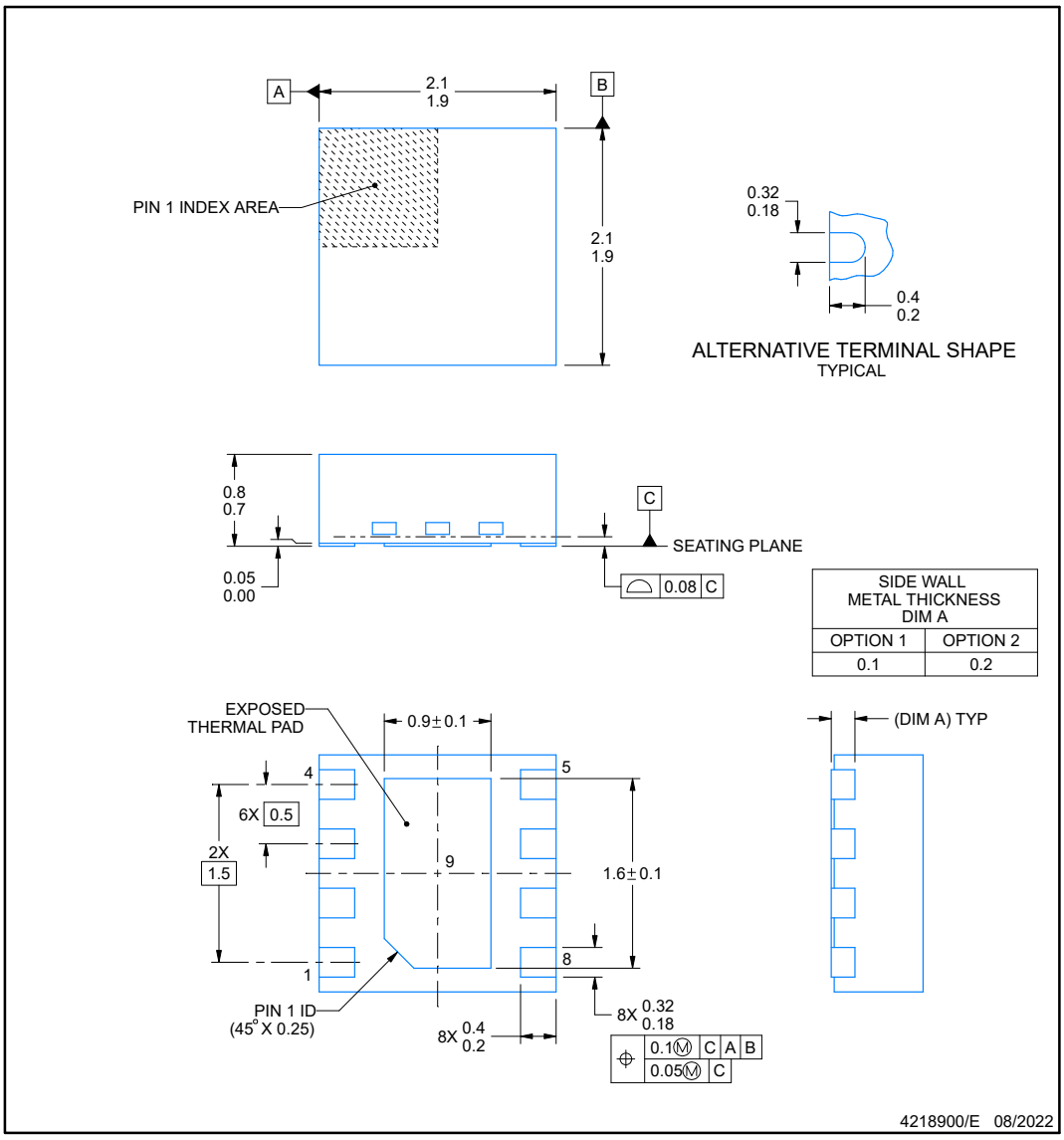
PACKAGE OUTLINE

DSG0008A



WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

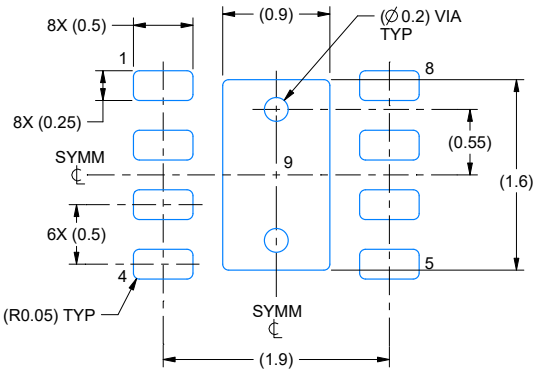
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

Copyright © 2024 Texas Instruments Incorporated

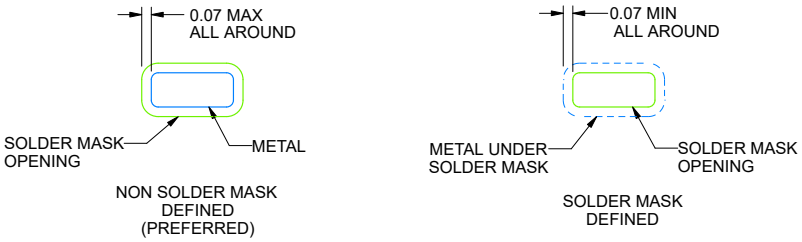
EXAMPLE BOARD LAYOUT

DSG0008A — **WSON - 0.8 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

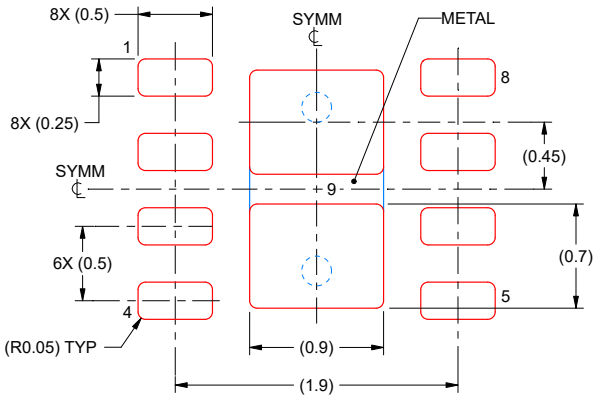
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2024 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DSG0008A — **WSON - 0.8 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2024 Texas Instruments Incorporated

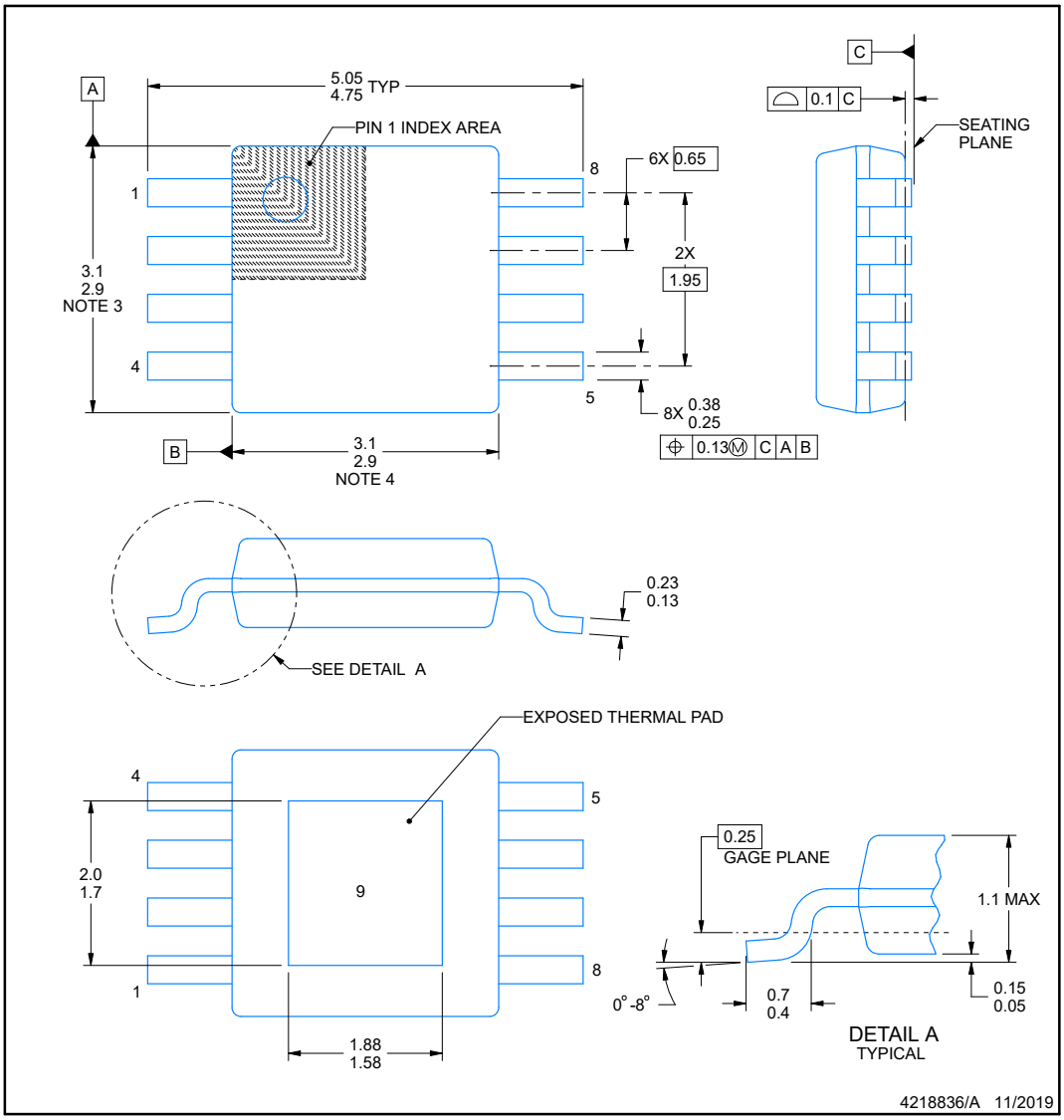
PACKAGE OUTLINE

DGN0008A



PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



PowerPAD is a trademark of Texas Instruments.

NOTES:

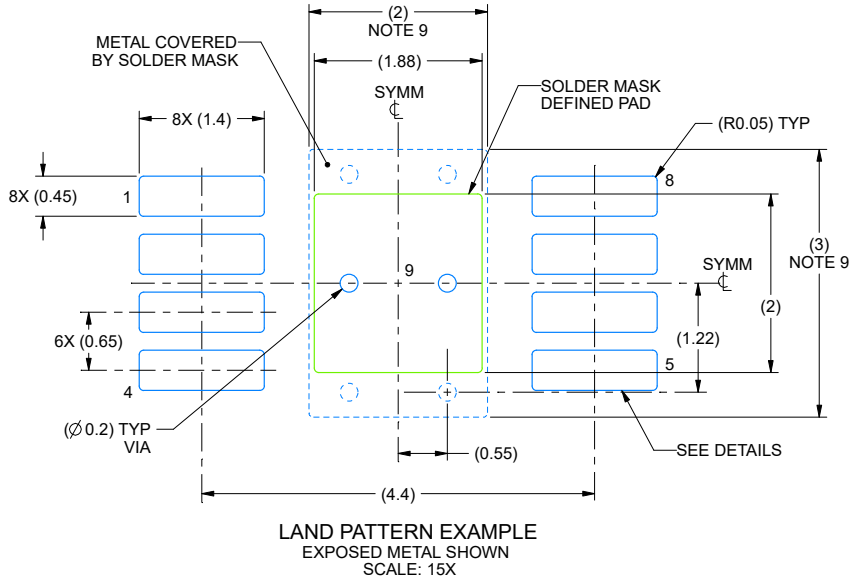
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

Copyright © 2024 Texas Instruments Incorporated

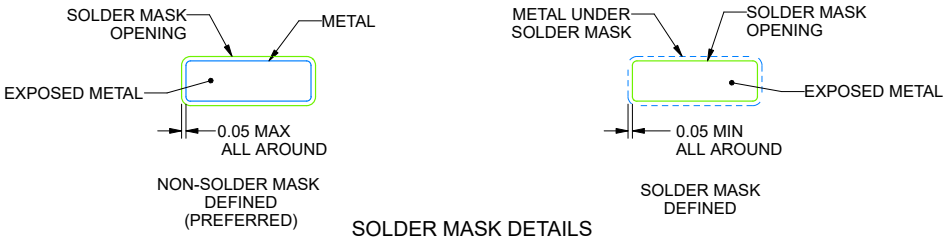
EXAMPLE BOARD LAYOUT

DGN0008A — **PowerPAD™ VSSOP - 1.1 mm max height**

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4218836/A 11/2019

NOTES: (continued)

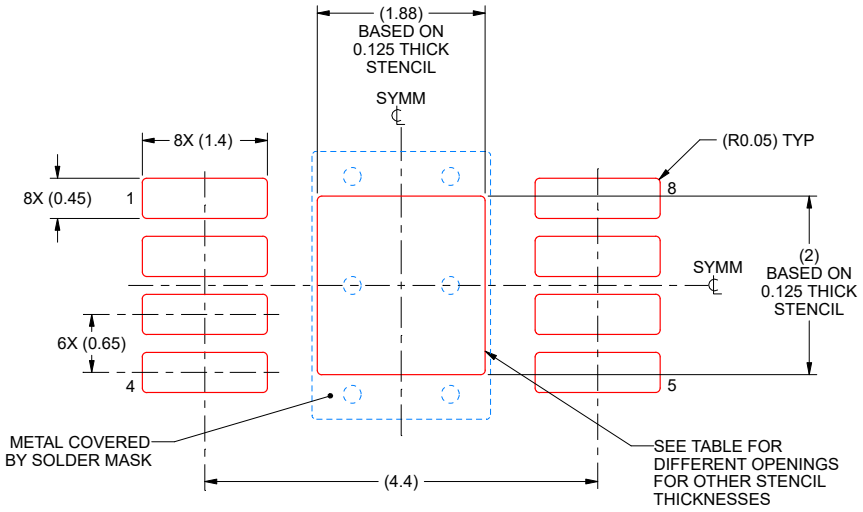
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

Copyright © 2024 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DGN0008A — **PowerPAD™ VSSOP - 1.1 mm max height**

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.10 X 2.24
0.125	1.88 X 2.00 (SHOWN)
0.15	1.72 X 1.83
0.175	1.59 X 1.69

4218836/A 11/2019

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

Copyright © 2024 Texas Instruments Incorporated

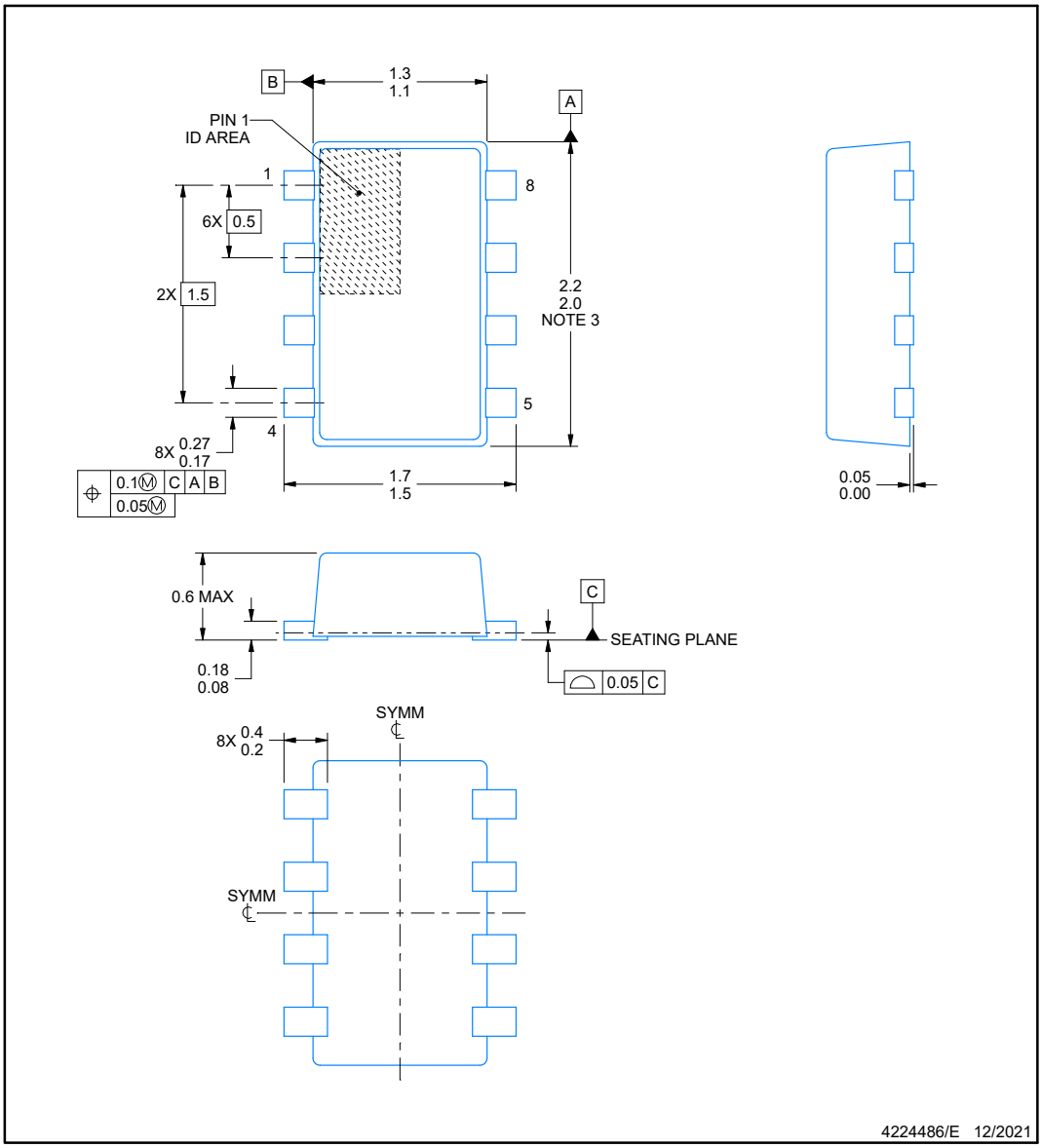


PACKAGE OUTLINE

DRL0008A

SOT-5X3 - 0.6 mm max height

PLASTIC SMALL OUTLINE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, interlead flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC Registration MO-293, Variation UDAD

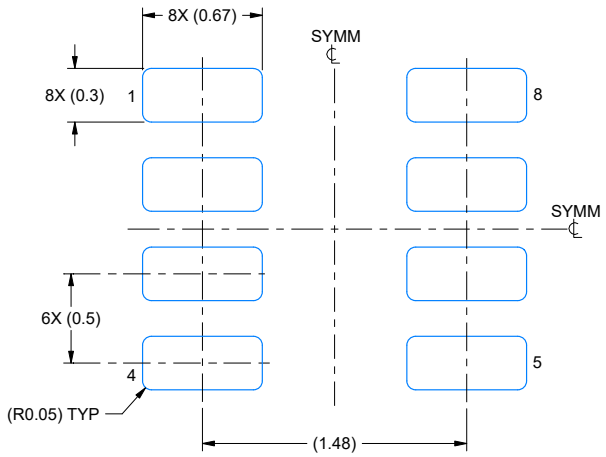
Copyright © 2024 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

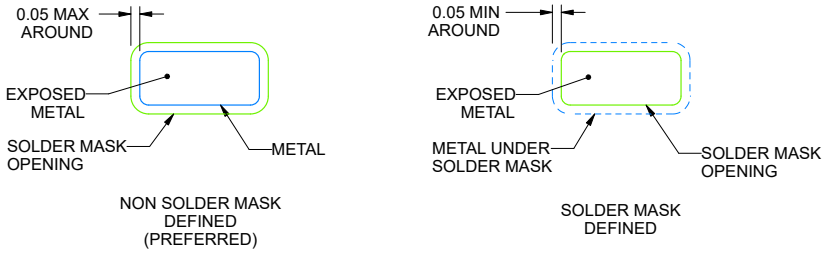
DRL0008A

SOT-5X3 - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:30X



SOLDERMASK DETAILS

4224486/E 12/2021

NOTES: (continued)

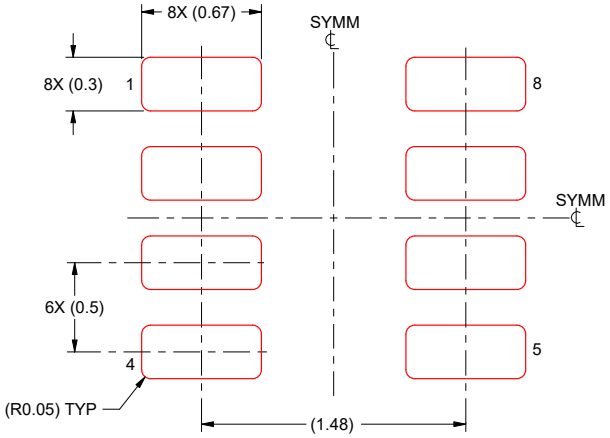
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

Copyright © 2024 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DRL0008A — **SOT-5X3 - 0.6 mm max height**

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4224486/E 12/2021

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS923650D1DGNR	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-	2301
TPS923650D1DRLR	Active	Production	SOT-5X3 (DRL) | 8	4000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-	2301
TPS923650D1DRLR.A	Active	Production	SOT-5X3 (DRL) | 8	4000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	See TPS923650D1DRLR	2301
TPS923650D1DSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-	2301
TPS923650D1DSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	See TPS923650D1DSGR	2301
TPS923650D2DGNR	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-	2302
TPS923650D2DRLR	Active	Production	SOT-5X3 (DRL) | 8	4000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-	2302
TPS923650D2DRLR.A	Active	Production	SOT-5X3 (DRL) | 8	4000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	See TPS923650D2DRLR	2302
TPS923650D2DSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-	2302
TPS923650D2DSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	See TPS923650D2DSGR	2302
TPS923651D1DGNR	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	2311
TPS923651D1DSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	2311
TPS923651D1DSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	See TPS923651D1DSGR	2311
TPS923651D2DGNR	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	2312
TPS923651D2DSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	2312
TPS923651D2DSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	See TPS923651D2DSGR	2312

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

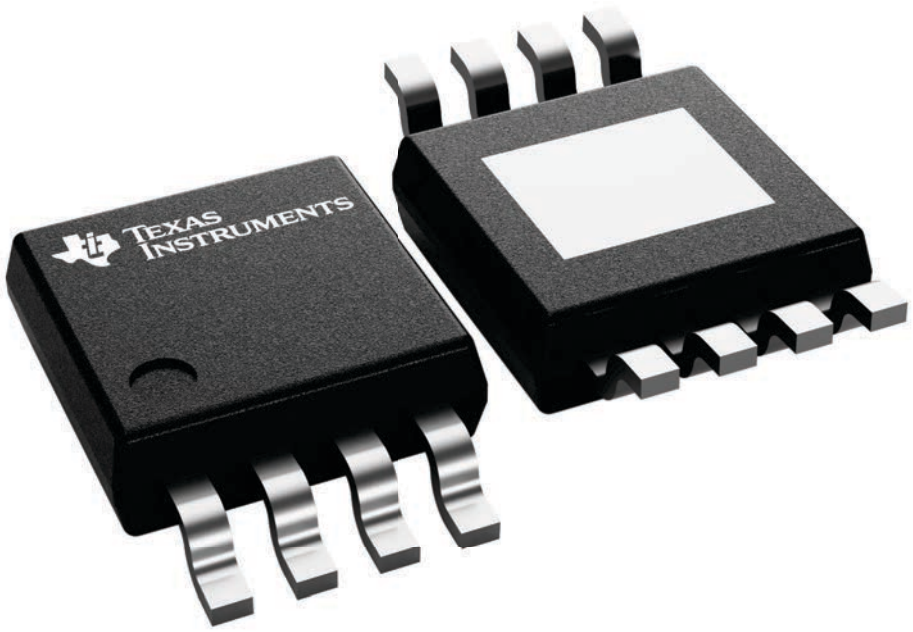
DGN 8

PowerPAD™ HVSSOP - 1.1 mm max height

3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

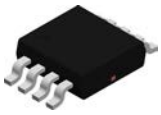
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225482/B

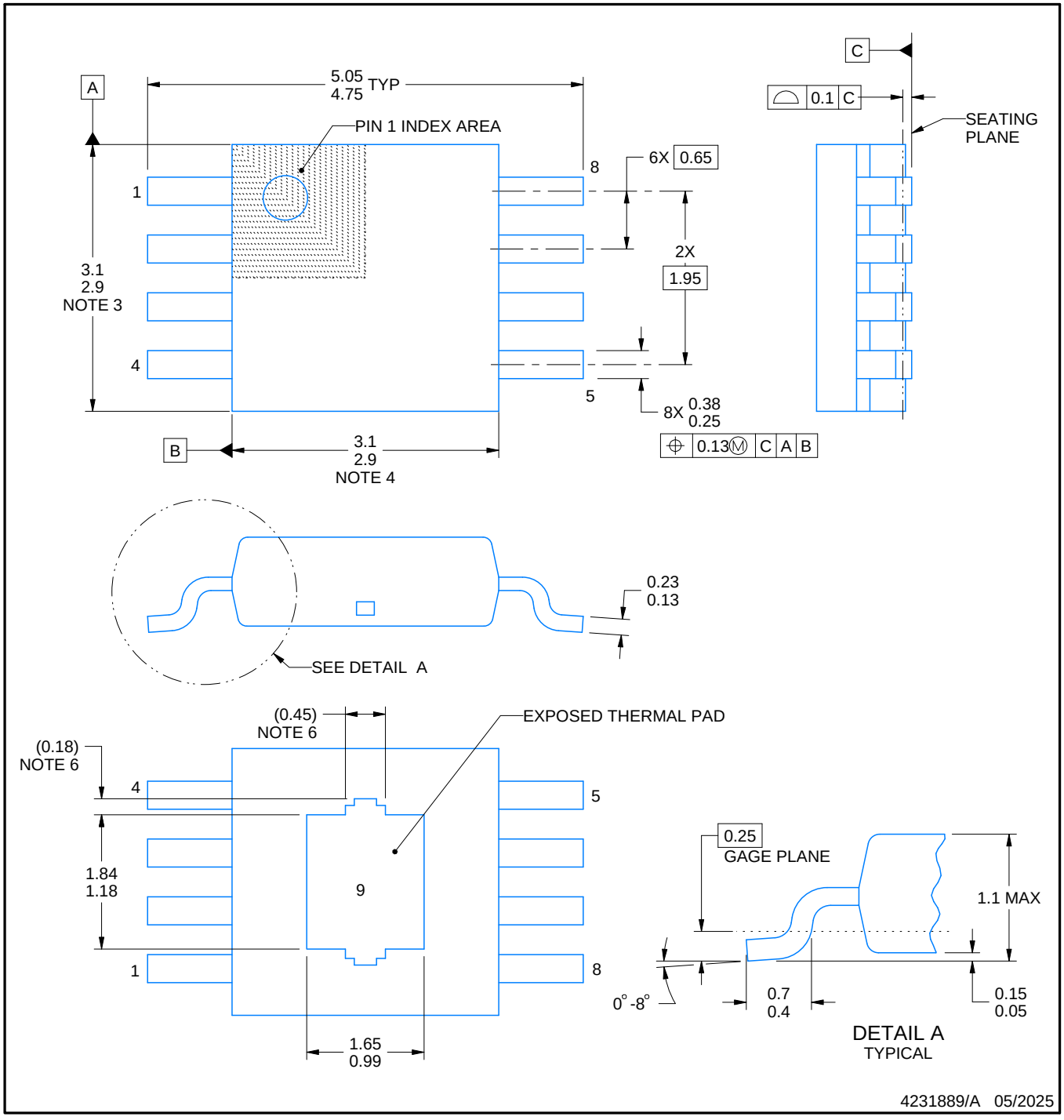
PACKAGE OUTLINE

DGN0008K



PowerPAD™ VSSOP - 1.1 mm max height

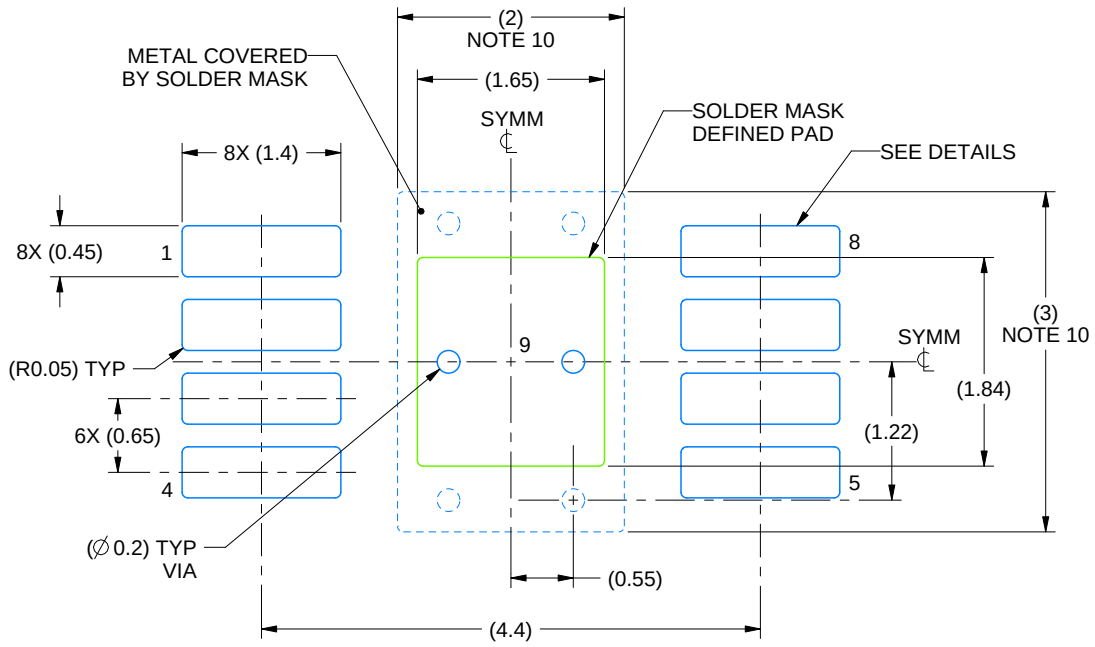
SMALL OUTLINE PACKAGE



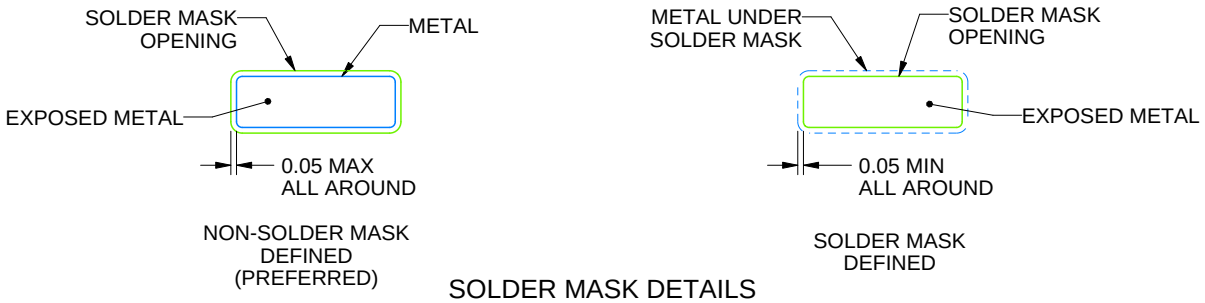
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.
6. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

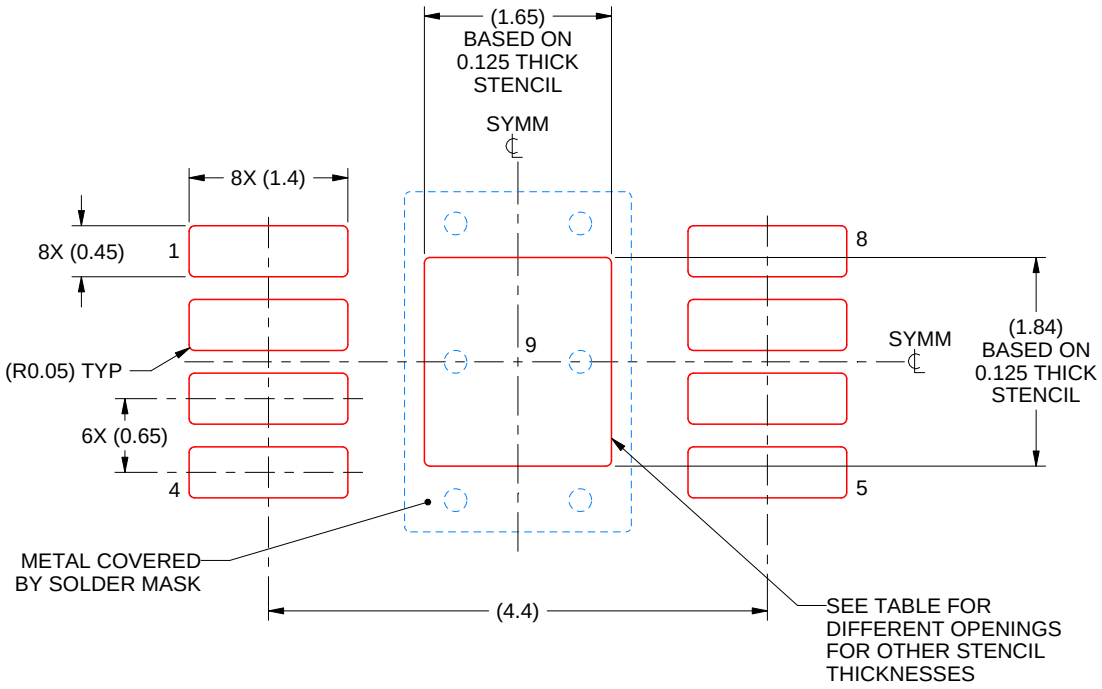


SOLDER MASK DETAILS

4231889/A 05/2025

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.84 X 2.06
0.125	1.65 X 1.84 (SHOWN)
0.15	1.51 X 1.68
0.175	1.39 X 1.56

4231889/A 05/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

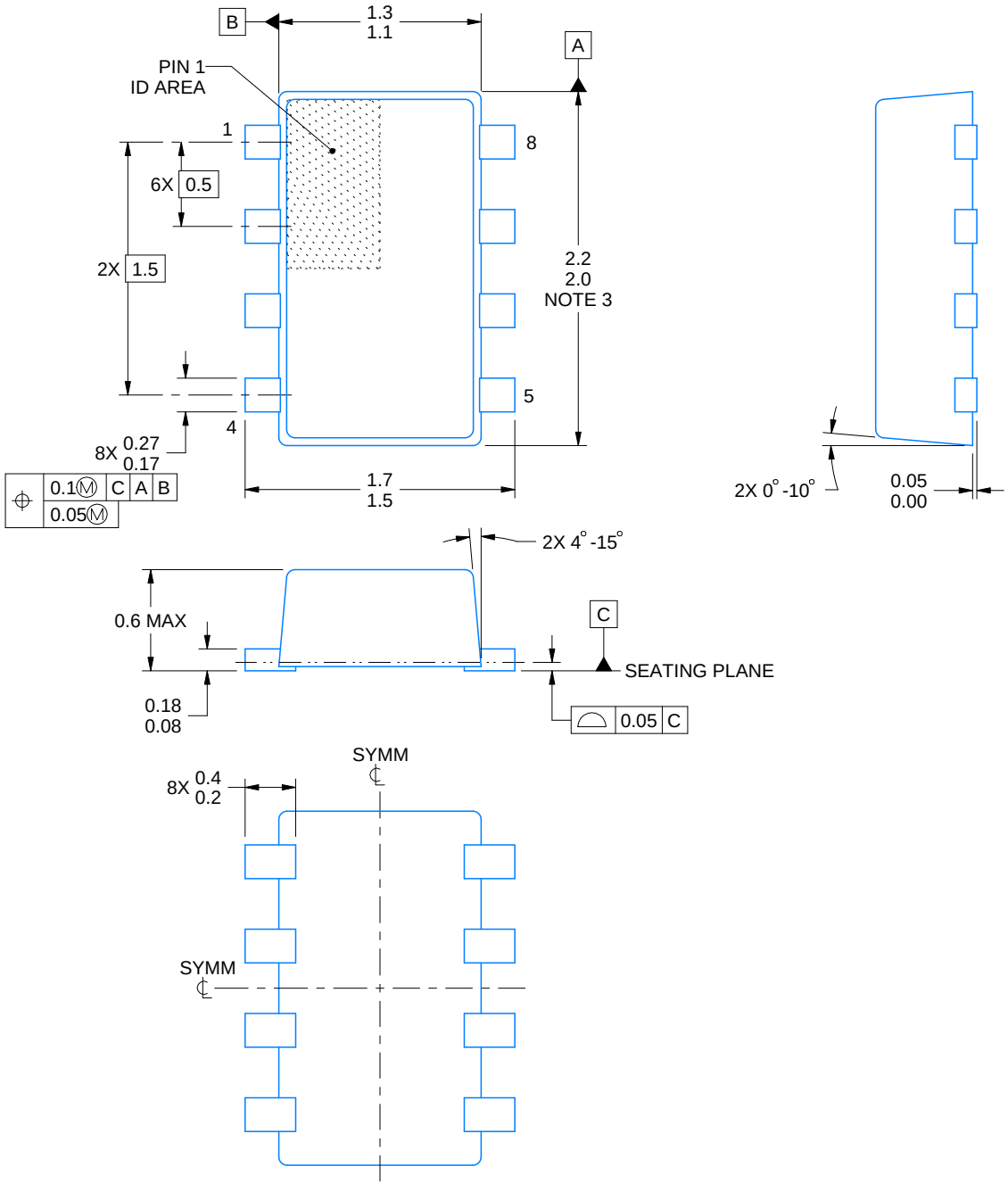


PACKAGE OUTLINE

DRL0008A

SOT-5X3 - 0.6 mm max height

PLASTIC SMALL OUTLINE



4224486/G 11/2024

NOTES:

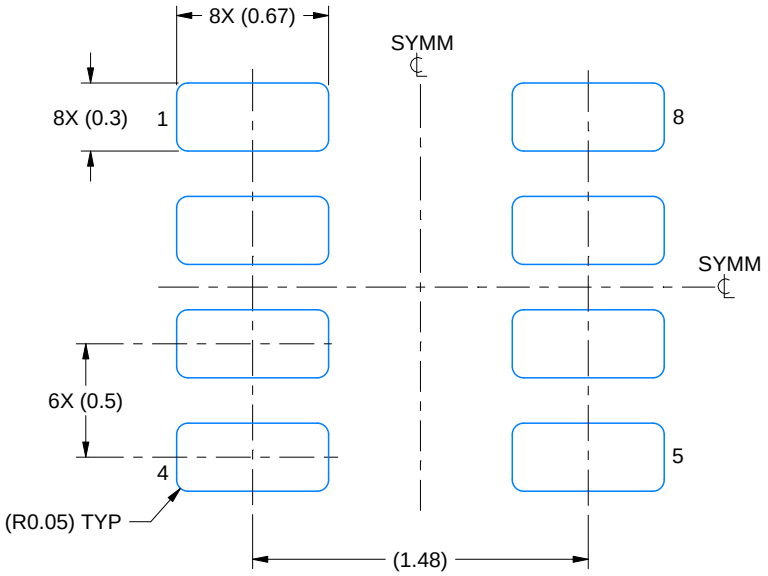
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, interlead flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC Registration MO-293, Variation UDAD

EXAMPLE BOARD LAYOUT

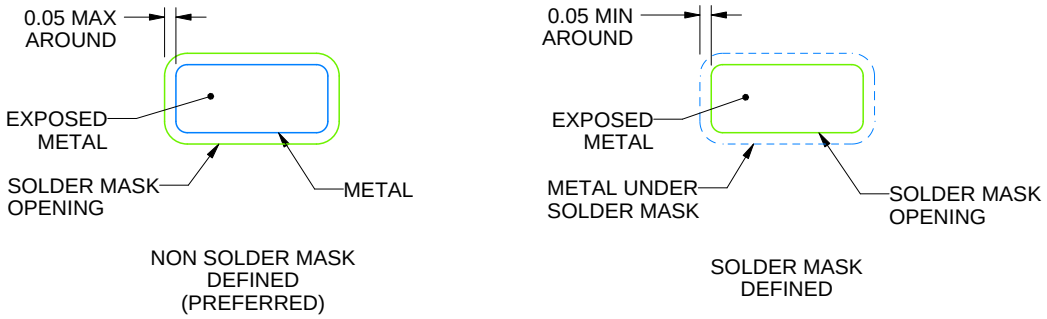
DRL0008A

SOT-5X3 - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:30X



SOLDERMASK DETAILS

4224486/G 11/2024

NOTES: (continued)

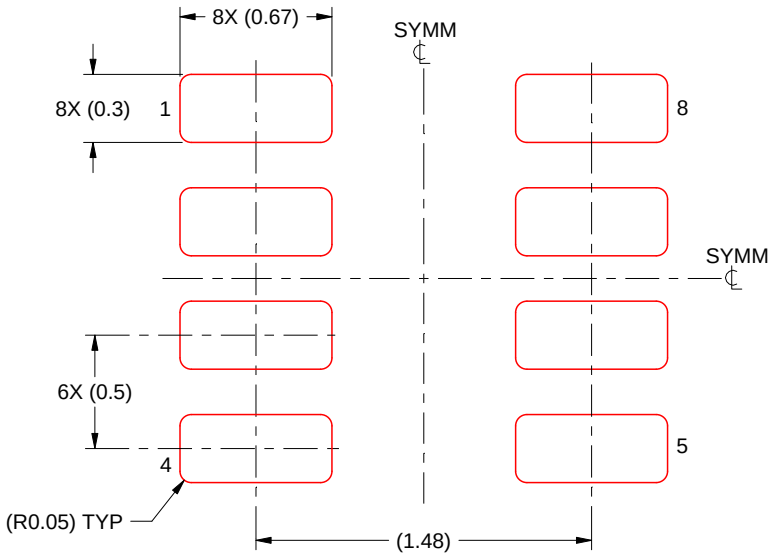
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

EXAMPLE STENCIL DESIGN

DRL0008A

SOT-5X3 - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4224486/G 11/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

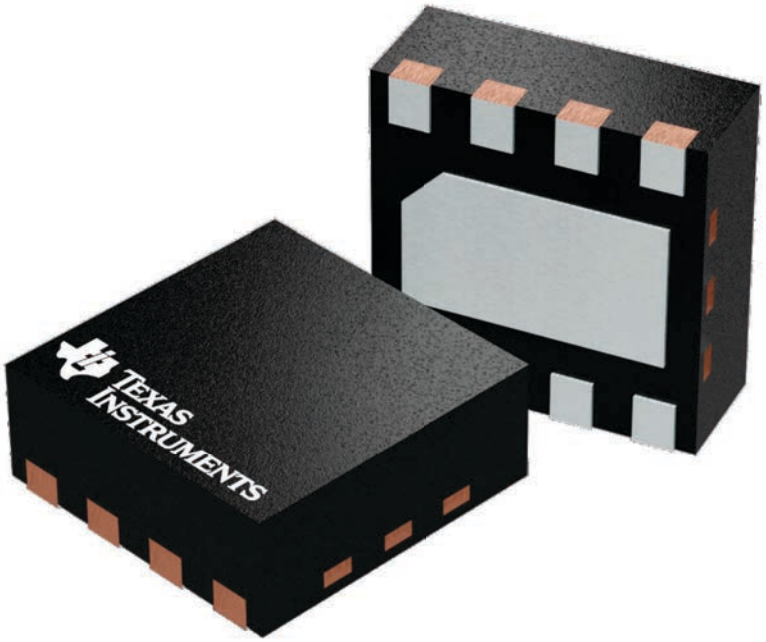
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



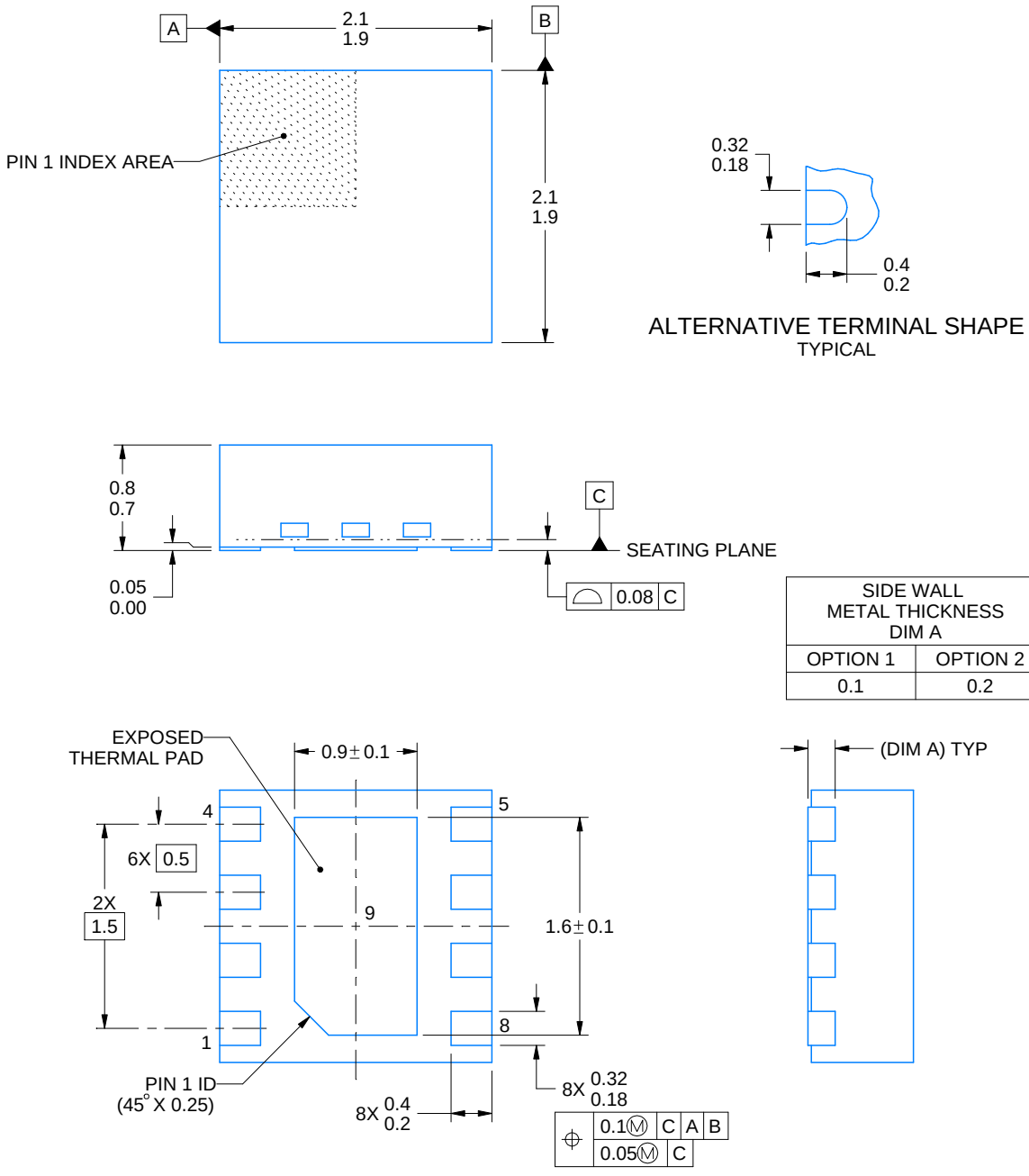
4224783/A

PACKAGE OUTLINE

DSG0008A

WSON - 0.8 mm max height

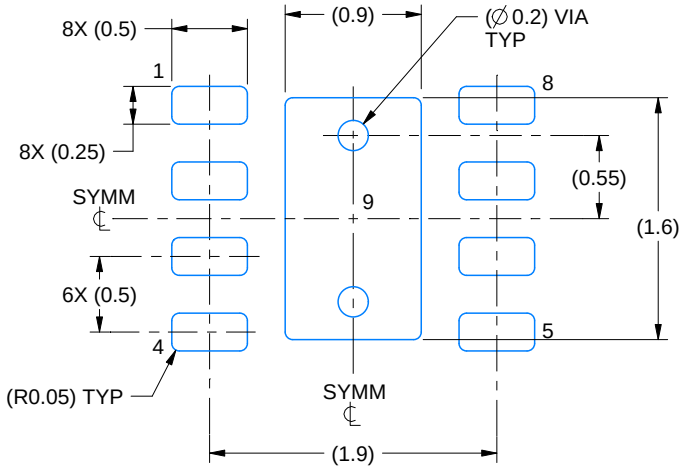
PLASTIC SMALL OUTLINE - NO LEAD



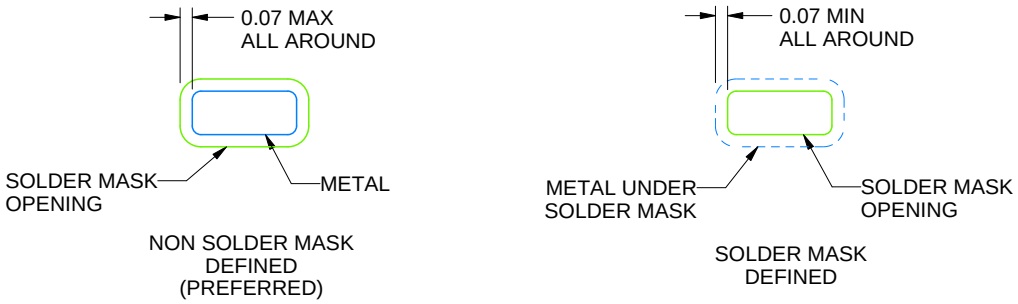
4218900/E 08/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

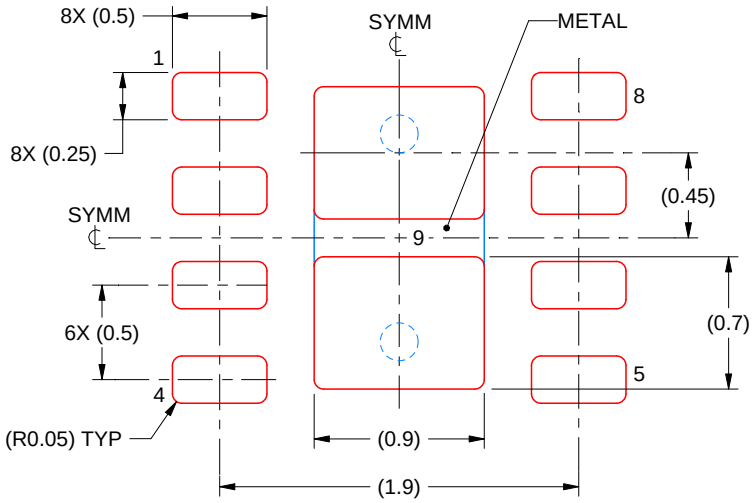


SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月