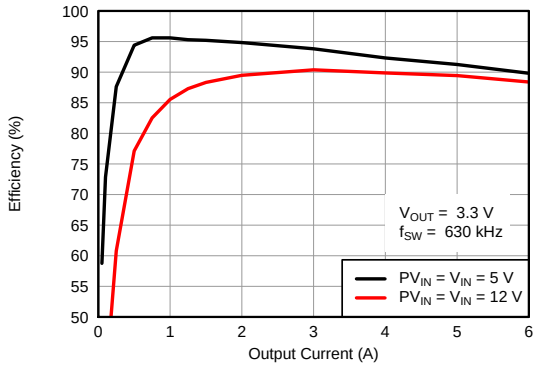
TPS84620 4.5V 至 14.5V 输入、6A 同步降压集成式电源解决方案

1 特性

- 完整的集成式电源解决方案可实现小尺寸和扁平设计
- 效率高达 96%
- 宽输出电压调节范围 1.2V 至 5.5V，基准精度为 1%
- 可选分离电源轨支持 低至 1.7V 的输入电压
- 可调开关频率 （480kHz 至 780kHz）
- 与外部时钟同步
- 可调慢速启动
- 输出电压排序/跟踪
- 电源正常输出
- 可编程欠压锁定 (UVLO)
- 输出过流保护
- 过热保护
- 预偏置输出启动
- 工作温度范围：-40°C 至 +85°C
- 增强的热性能：13°C/W
- 符合 EN55022 B 类辐射标准
- 要获得包括 SwitcherPro™请访问http://www.ti.com/tps84620

2 应用范围

- 宽带和通信基础设施
- 自动化测试和医疗设备
- 紧凑型 PCI/PCI 快速接口/PXI 快速接口
- DSP 和 FPGA 负载点 应用
- 高密度分布式电源系统



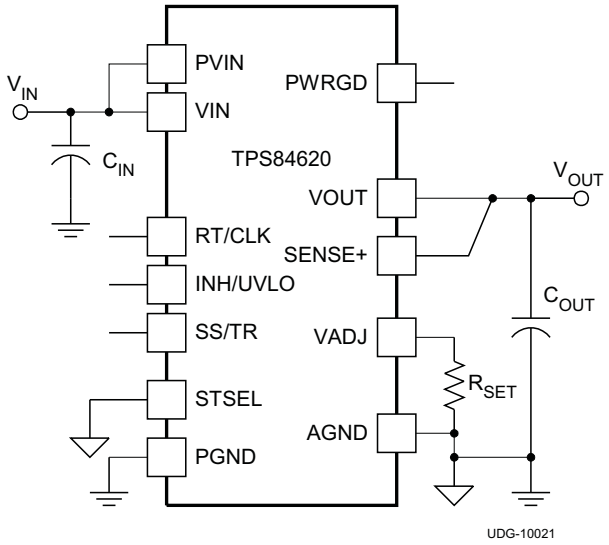
3 说明

TPS84620RUQ 是一款简单易用的集成式电源解决方案，它在一个小外形尺寸的 BQFN 封装内整合了一个带有功率金属氧化物半导体场效应管 (MOSFET) 的 6A DC/DC 转换器、一个电感器以及无源元件。这个整体电源解决方案仅需 3 个外部元件，并免除了环路补偿和磁性部件选择过程。

9 × 15 × 2.8 mm BQFN 封装能轻松焊接到印制电路板上，并且可实现效率高于 90% 的紧凑型负载点设计且结至环境的热阻抗仅为 13°C/W 的出色功率耗散。在环境温度为 85°C 且无气流的情况下，该器件可提供 6A 的满额输出电流。

TPS84620 提供了灵活且功能完善的离散式负载点设计，是为高性能 DSP 和 FPGA 供电的理想选择。先进的封装技术可提供一个与标准 QFN 贴装和测试技术兼容的耐用且可靠的电源解决方案。

简化应用



本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。 有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。 TI 不保证翻译的准确性和有效性。 在实际设计之前，请务必参考最新版本的英文版本。

表 1. 订购信息

有关最新的封装和订购信息，请参阅本产品说明书末尾的“封装选项附录”，或访问 TI 网站：www.ti.com.cn。

4 规格

4.1 最大绝对额定值(1)

在工作温度范围（除非另有说明）			
		值	单位
输入电压	VIN	–0.3 至 16	V
	PVIN	–0.3 至 16	V
	INH/UVLO	-0.3 至 6	V
	VADJ	-0.3 至 3	V
	PWRGD	-0.3 至 6	V
	SS/TR	-0.3 至 3	V
	PH	-0.3 至 3	V
	RT/CLK	-0.3 至 6	V
输出电压	PH	-1 至 20	V
	PH（10ns 瞬态值）	-3 至 20	V
V_{DIFF} （GND 至裸露散热焊盘）		-0.2 至 0.2	V
拉电流	RT/CLK	±100	µA
	PH	电流限制	A
灌电流	PH	电流限制	A
	PVIN	电流限制	A
	PWRGD	-0.1 至 5	mA
工作结温		-40 至 125(2)	°C
贮存温度		-65 至 150	°C
峰值回流焊外壳温度(3)(4)		245	°C
允许的最大回流焊数(3)(4)		3	
机械冲击实验	Mil-STD-883D，方法 2002.3，1ms，1/2 正弦，已安装	1500	G
机械抖动	Mil-STD-883D，方法 2007.2，20-2000Hz	20	

(1) 超出那些最大绝对额定值下列出的应力值可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况，对于这些额定值下或者任何其它超过推荐运行条件所标明的条件下的器件功能性运行并未在此说明。长时间处于最大绝对额定情况下会影响设备的可靠性。
(2) 请参阅“典型特性”章节中的温度降额曲线，以了解热性能信息。
(3) 有关焊接规格，请参阅 *《BQFN 封装的焊接要求》* 应用手册。
(4) 器件的日期代码如果在 2018 年第 14 周 (1814) 之前，则其峰值回流焊外壳温度为 240°C，回流数最多一次。

版权 © 2010–2018, Texas Instruments Incorporated

4.2 热性能信息

热度量(1)		LMZ31506H RUQ47 47 引脚	单位
θ_{JA}	管结到环境热阻(2)	13	°C/W
θ_{JCtop}	管结到散热片（顶部）热阻(3)	9	
θ_{JB}	结至电路板热阻(4)	6	
ψ_{JT}	管结至顶部的特征参数(5)	2.5	
ψ_{JB}	管结至电路板的特征参数(6)	5	
θ_{JCbot}	管结到散热片（底部）热阻(7)	3.8	

(1) 有关传统和新热指标的更多信息，请参见应用报告《*半导体和 IC 封装热指标*》（文献编号：SPRA953）。
(2) 在 JESD51-2a 描述的环境中，按照 JESD51-7 的规定，在一个 JEDEC 标准高 K 电路板上进行仿真，从而获得自然对流条件下的结至环境热阻抗。
(3) 通过在封装顶部进行冷板测试仿真来获得结至外壳（顶部）热阻。JEDEC 标准中没有相关测试的描述，但 可在 ANSI SEMI 标准 G30 - 88 中找到相应的说明。
(4) 结至板热阻，可按照 JESD51-8 中的说明在使用环形冷板夹具来控制 PCB 温度的环境中进行仿真来获得。
(5) 结点至顶部特性参数 ψ_{JT} 估算器件在实际系统中的结温，可通过 JESD51-2a（第 6 节和第 7 节）介绍的步骤从获得 $R_{\theta JA}$ 的仿真数据中获取该温度。
(6) 结点至电路板特性参数 ψ_{JB} 估算器件在实际系统中的结温，可通过 JESD51-2a（第 6 节和第 7 节）介绍的步骤从获得 $R_{\theta JA}$ 的仿真数据中获取该温度。
(7) 通过在外露（电源）焊盘上进行冷板测试仿真来获得结至外壳（底部）热阻。JEDEC 标准中没有相关测试的描述，但 可在 ANSI SEMI 标准 G30 - 88 中找到相应的说明。

4.3 封装规格

TPS84620		单位
重量		1.26 克
易燃性实验	符合 UL 94 V-O	
MTBF 计算出的可靠性	按照 Bellcore TR-332，50% 压力，T_A = 40°C，接地良好	33.9MHrs

版权 © 2010–2018, Texas Instruments Incorporated

4.4 电气特性

在 -40°C 至 85°C 自然通风温度范围内，PVIN=VIN=12V，V_{OUT}=1.8V，I_{OUT}=6A，
C_{IN1}= 2 x 22µF 陶瓷电容器，C_{IN2}=68µF 聚合物钽电容器，C_{OUT1}=4 x 47µF 陶瓷电容器（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
I_{OUT}	输出电流	T_A = 85°C，自然对流		0		6	A
VIN	输入偏置电压范围	在 I_{OUT} 范围内		4.5		14.5	V
PVIN	输入开关电压范围	在 I_{OUT} 范围内		1.7(1)		14.5	V
UVLO	VIN 欠压锁定	VIN = 增加			4.0	4.5	V
		VIN = 降低		3.5	3.85		
V_{OUT}（可调节）	输出电压调节范围	在 I_{OUT} 范围内		1.2		5.5	V
V_{OUT}	设定点电压容限	T_A=25°C，I_{OUT}=0A				±1.0% (2)	
	温度变化	-40°C≤T_A≤+85°C，I_{OUT}=0A			±0.3%		
	线路调节	在 PVIN 范围内，T_A = 25°C,I_{OUT}=0A			±0.1%		
	负载调节	在 I_{OUT} 范围内，T_A=25°C			±0.1%		
	总输出电压变化	包括设定点、线性、负载和温度变化				±1.5% (2)	
η	效率	PVIN=VIN=12V I_O=3A	V_{OUT}=5V，f_{SW}=780kHz		93 %		
			V_{OUT}=3.3V，f_{SW}=630kHz		90 %		
			V_{OUT}=2.5V，f_{SW}=530kHz		89 %		
			V_{OUT}=1.8V，f_{SW}=480kHz		87 %		
			V_{OUT}=1.5V，f_{SW}=480kHz		85 %		
			V_{OUT}=1.2V，f_{SW}=480kHz		83 %		
		PVIN=VIN=5V I_O=3A	V_{OUT}=3.3V，f_{SW}=630kHz		94 %		
			V_{OUT}=2.5V，f_{SW}=530kHz		92 %		
			V_{OUT}=1.8V，f_{SW}=480kHz		90 %		
			V_{OUT}=1.5V，f_{SW}=480kHz		88 %		
			V_{OUT}=1.2V，f_{SW}=480kHz		86 %		
	输出电压纹波	20MHz 带宽			30		mV_{PP}
I_{LIM}	过流阈值				11		A
	瞬态响应	1.0 A/µs 载荷步从 50 至 100% I_{OUT}（最大值）	恢复时间		80		µs
			V_{OUT}过冲/下冲		60		mV
V_{INH-H}	抑制控制	抑制高电压		1.30		断开(3)	V
V_{INH-L}		抑制低电压		-0.3		1.05	
	INH 输入电流	INH<1.1V			-1.15		µA
	INH 迟滞电流	INH>1.26V			-3.4		µA
I_I（待机）	输入待机电流	INH 引脚至 AGND			2	4	µA
电源正常	PWRGD 阈值	V_{OUT}上升	正常		94%		
			故障		109%		
		V_{OUT}下降	故障		91%		
			正常		106%		
	PWRGD 低电压	I(PWRGD)=2mA				0.3	V
f_{SW}	开关频率	在 VIN 和 I_{OUT}范围内，RT/CLK 引脚断开		400	480	560	kHz
f_{CLK}	同步频率	CLK 控制		480		780	kHz
V_{CLK-H}	CLK 高电平阈值			2.0		5.5	V
V_{CLK-L}	CLK 低电平阈值					0.8	V
D_{CLK}	CLK 占空比			20%		80%	
	热关断	热关断		160	175		°C
		热关断迟滞			10		°C

(1) 最小 PVIN 电压为 1.7V 或 (V_{OUT}+ 0.5V)（以两个数值中较大者为准）。VIN 必须大于 4.5V。
(2) 设定点耐受电压规定的限值包括内部电压基准和内部调节电阻器的耐受值。总体输出耐受电压降受到外部 R_{SET}电阻器耐受值的影响。
(3) 这将控制与 INH/UVLO 引脚相关的内部上拉的引脚有一个内部上拉。如果此引脚保持开路，器件在施加输入功率时工作。建议使用一个小型低泄漏电流 (<300 nA) MOSFET 进行控制。请参阅应用章节以获得进一步的指导。

版权 © 2010–2018, Texas Instruments Incorporated

电气特性 (接下页)

在 -40°C 至 85°C 自然通风温度范围内，PVIN=VIN=12V，V_{OUT}=1.8V，I_{OUT}=6A，
C_{IN1}= 2 x 22µF 陶瓷电容器，C_{IN2}=68µF 聚合物钽电容器，C_{OUT1}=4 x 47µF 陶瓷电容器（除非另有说明）

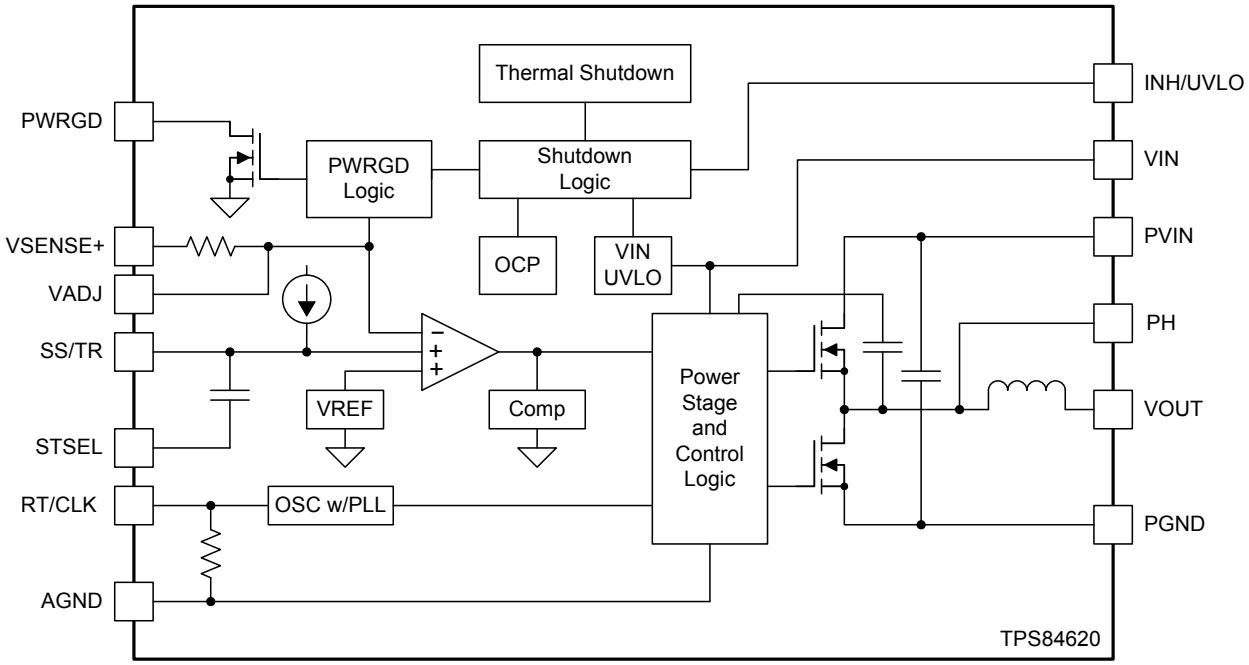
参数		测试条件	最小值	典型值	最大值	单位
C_{IN}	外部输入电容	陶瓷	44 (4)			µF
		非陶瓷	68(4)			
C_{OUT}	外部输出电容	陶瓷	47 (5)	200	1500	µF
		非陶瓷		220(5)	5000	
		等效串联电阻 (ESR)			35	mΩ

(4) 为达到正常工作的目的，输入端（VIN 和 PGND 被连接）需要一个最小值为 100 µF 的聚合物钽电容和/或陶瓷电容。将电容器靠近器件放置。请参阅 表 7 了解更多详细信息。与分离式 VIN 和 PVIN 电源轨共同工作时，将 4.7µF 的陶瓷电容直接放置在 VIN 引脚。
(5) 所需的输出电容总量取决于具体的输出电压（请参阅表 5）。所需的电容中必须至少包含 1 个 47µF 陶瓷电容。电容应靠近器件放置。在靠近负载的位置添加额外电容可改进稳压器对负载瞬变的响应。有关详细信息，请参阅表 5和表 7。

版权 © 2010–2018, Texas Instruments Incorporated

5 器件信息

功能方框图



版权 © 2010–2018, Texas Instruments Incorporated

表 2. 引脚说明

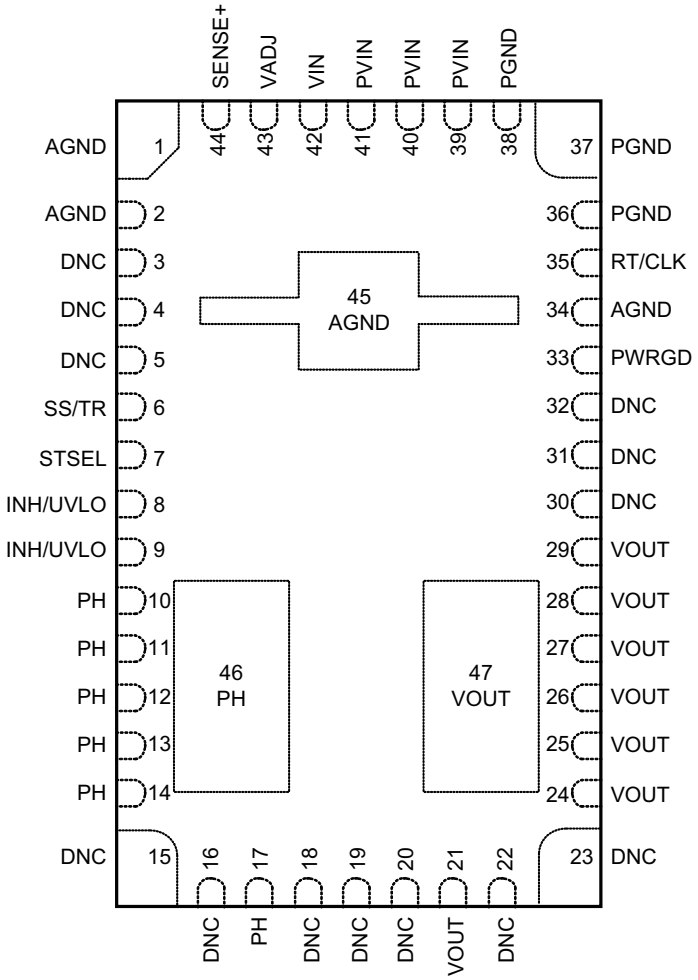
终端		说明
名称	编号	
AGND	1	用于模拟控制电路的零 VDC 基准。将 AGND 单点连接至 PGND。靠近输出电容器进行连接。
	2	
	34	
	45	
INH/UVLO	8 个	抑制和 UVLO 调节引脚。使用一个开漏或开集输出逻辑器件来控制 INH 功能。一个位于该引脚、AGND 和 VIN 之间的电阻分割器可调节 UVLO 电压。使用该控制时，将两个引脚连在一起。
	9	
DNC	3	请勿连接。这些引脚相互间必须保持隔离状态。请勿将这些引脚连接至 AGND 或连接至任何电压。必须将这些引脚焊接至隔离焊盘。
	4	
	5	
	15	
	16	
	18	
	19	
	20	
	22	
	23	
	30	
	31	
	32	
PGND	36	PVIN，VIN 和 VOUT 电源连接的共用接地。
	37	
	38	
PH	10	相位开关节点。对于热焊盘，应该在器件下方使用一块小铜皮将这些引脚连接起来。请勿将任何外部元件放置在该引脚上，或将其与其他功能的引脚相连。
	11	
	12	
	13	
	14	
	17	
	46	
PWRGD	33	电源正常故障引脚。如果输出电压较低，则置为低电平。需要一个上拉电阻器。
PVIN	39	输入开关电压。该引脚为转换器电源开关供电。
	40	
	41	
RT/CLK	35	这个引脚能在 RT 模式和 CLK 模式间进行自动选择。外部时序电阻可调节器件的开关频率。在 CLK 模式中，器件可与外部时钟同步。
SENSE+	44	遥感连接。将这个引脚连接至负载上的 VOUT 以获得更好的稳压。必须将该引脚连接至负载上或器件引脚上的 VOUT。
SS/TR	6	缓启动和跟踪引脚。将外部电容器连接至该引脚可调节输出电压上升时间。施加至该引脚的电压可用于跟踪和定序控制。
PH	7	慢启动或跟踪功能选择。将该引脚连接至 AGND 可启用 SS 间隔约为 1.1ms 的内部 SS 电容器。保持该引脚断开可启用 TR 功能。
VADJ	43	在该引脚和 AGND 间连接一个电阻可设置输出电压。
VIN	42	输入偏置电压引脚。为电源转换器的控制电路供电。

版权 © 2010–2018, Texas Instruments Incorporated

表 **2.** 引脚说明 **(**接下页**)**

终端		说明
名称	编号	
VOUT	21	输出电压。在这些引脚和 PGND 间连接输出电容器。
	24	
	25	
	26	
	27	
	28	
	29	
	47	

RUQ 封装
47 引脚
顶视图



版权 © 2010–2018, Texas Instruments Incorporated

6 典型特征 (PVIN=VIN=12V) (1) (2)

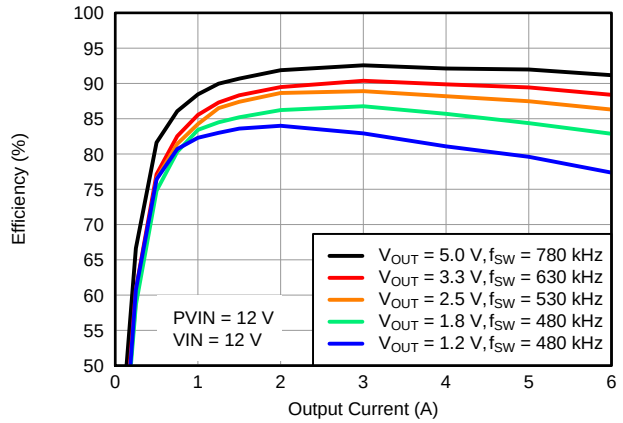


图 **1.** 效率与输出电流间的关系

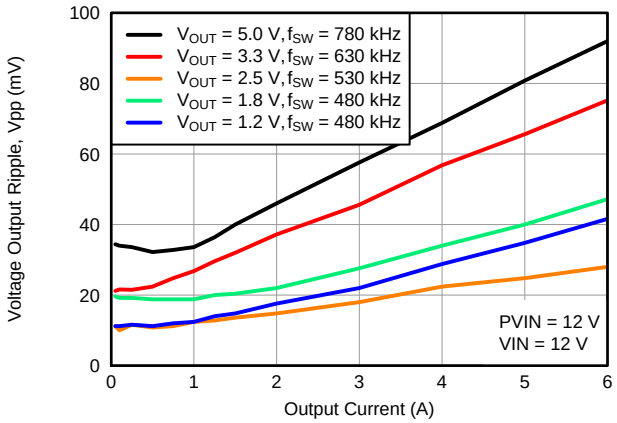


图 **2.** 电压纹波与输出电流间的关系

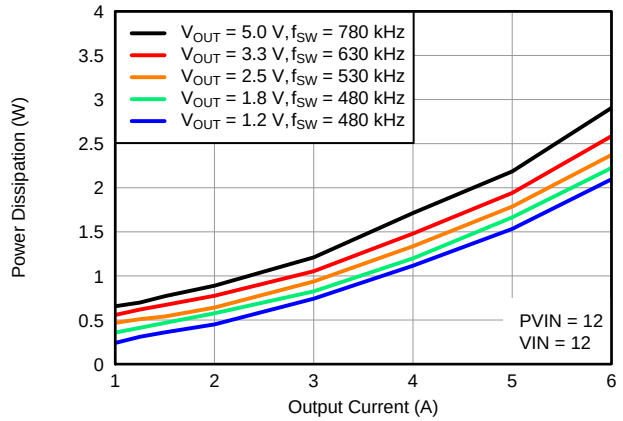


图 **3.** 功率耗散与输出电流间的关系

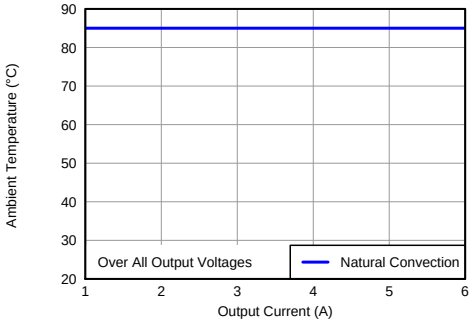


图 **4.** 安全操作区域

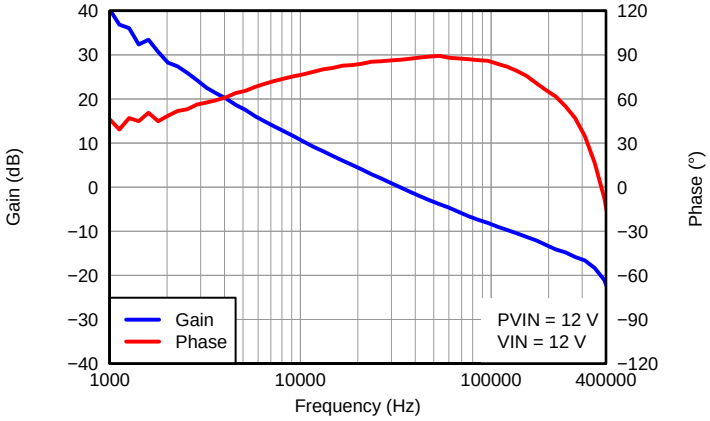


图 **5.** V_{OUT}=1.2V，I_{OUT}=3A，C_{OUT1}=47μF 陶瓷电容器，C_{OUT2}=330μF POSCAP，f_{SW}=480kHz

(1) 电气特性数据已经从实际产品（在 25°C 时进行测试）中测得。该数据被视为转换器的典型数据。适用于图 1，图 2和图 3。
(2) 温度降额曲线表明内部元件所处的温度等于或低于制造商的最高工作温度。降额限制适用于直接焊接至有 1 盎司覆铜的 100mm × 100mm 双面印刷电路板 (PCB) 的器件。适用于图 4。

7 典型特征 (PVIN=VIN=5V) (1) (2)

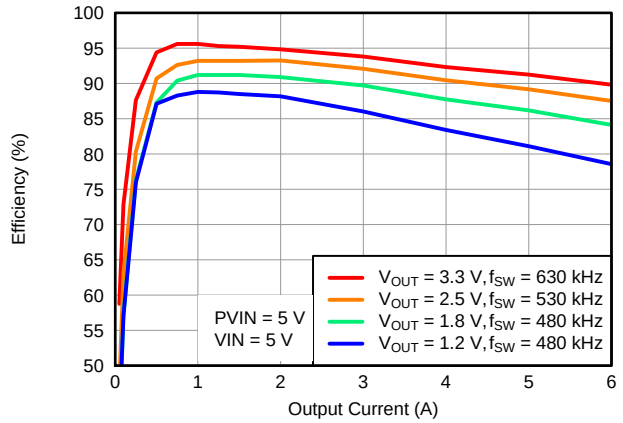


图 6. 效率与输出电流间的关系

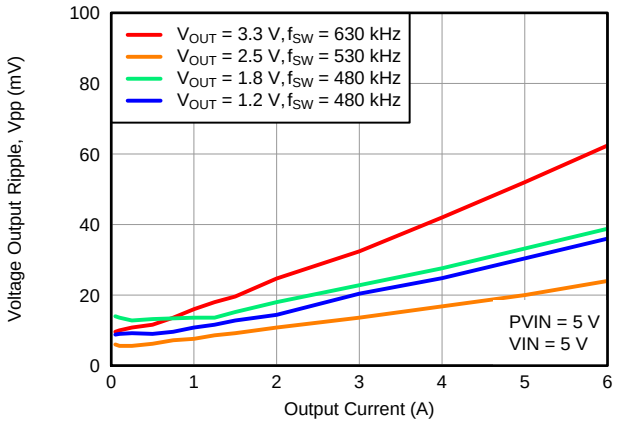


图 7. 电压纹波与输出电流间的关系

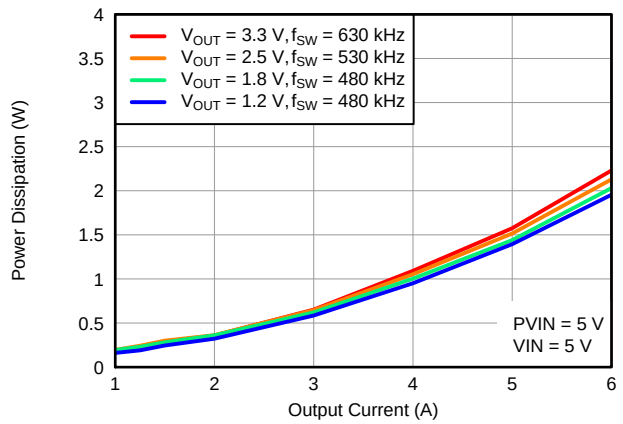


图 8. 功率耗散与输出电流间的关系

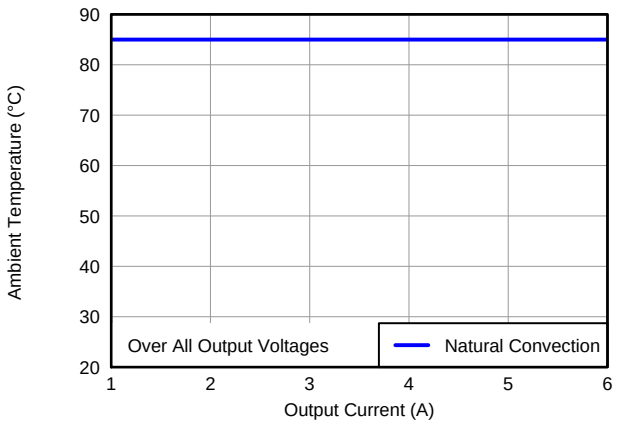


图 9. 安全操作区域

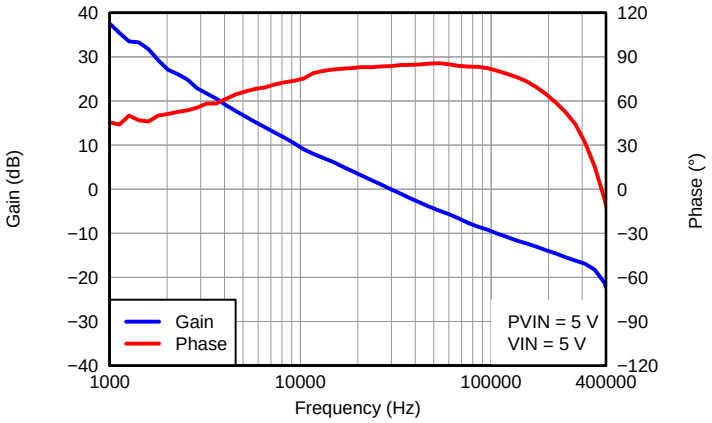


图 10. V_{OUT}=1.2V，I_{OUT}=3A，C_{OUT1}=47μF 陶瓷电容器，C_{OUT2}=330μF POSCAP，f_{SW}=480kHz

(1) 电气特性数据已经从实际产品（在 25°C 时进行测试）中测得。该数据被视为转换器的典型数据。适用于图 6，图 7和图 8。
(2) 温度降额曲线表明内部元件所处的温度等于或低于制造商的最高工作温度。降额限制适用于直接焊接至有 1 盎司覆铜的 100mm × 100mm 双面印刷电路板 (PCB) 的器件。适用于图 9。

版权 © 2010–2018, Texas Instruments Incorporated

8 典型特征 (PVIN=12V，VIN=5V) (1) (2)

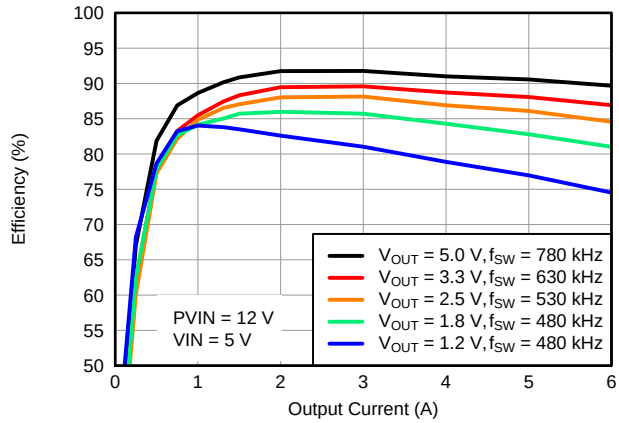


图 **11.** 效率与输出电流间的关系

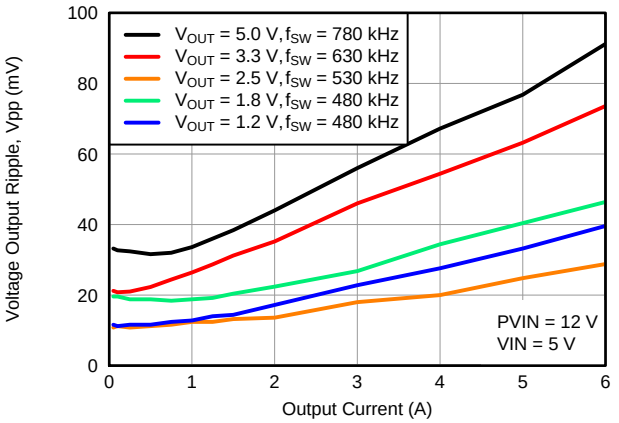


图 **12.** 电压纹波与输出电流间的关系

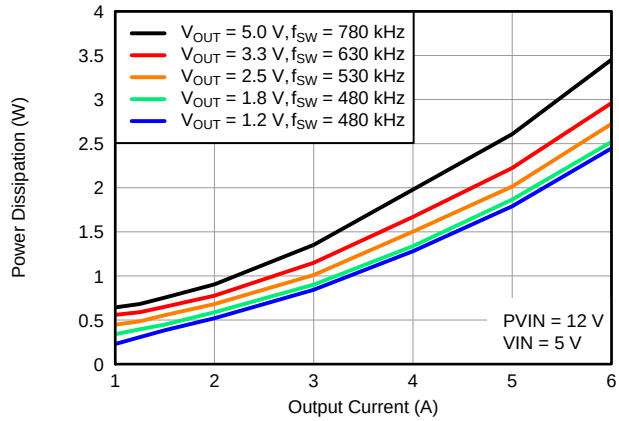


图 **13.** 功率耗散与输出电流间的关系

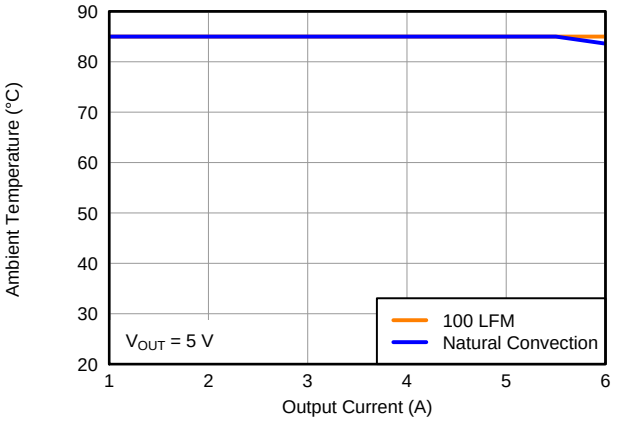


图 **14.** 安全操作区域

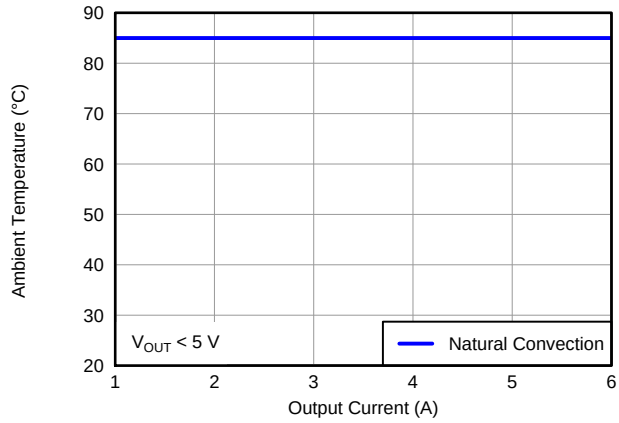


图 **15.** 安全操作区域

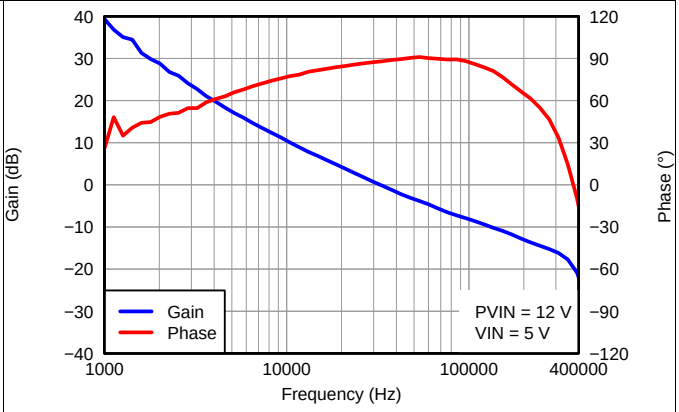


图 **16. V_{OUT}=1.2V，I_{OUT}=3A，C_{OUT1} =47μF 陶瓷电容器，C_{OUT2}=330μFPOSCAP，f_{SW}=480kHz**

(1) 电气特性数据已经从实际产品（在 25°C 时进行测试）中测得。该数据被视为转换器的典型数据。适用于图 11，图 12和图 13。
(2) 温度降额曲线表明内部元件所处的温度等于或低于制造商的最高工作温度。降额限制适用于直接焊接至有 1 盎司覆铜的 100mm × 100mm 双面印刷电路板 (PCB) 的器件。适用于图 14和图 15。

9 应用信息

9.1 调节输出电压

VADJ 控制可设置 TPS84620 的输出电压。输出电压调节范围为 1.2V 至 5.5V。根据调节方法，需要增加可设置输出电压的 R_{SET} 并将 SENSE+ 连接至 VOUT，并且在某些情况下，还需要增加可设置开关频率的 R_{RT}。必须将 R_{SET} 电阻器直接连接在 VADJ（引脚 43）和 AGND（引脚 45）之间。必须将 SENSE+ 引脚（引脚 44）连接至负载处的 VOUT 以获得更好的稳压或者连接至器件的 VOUT 。必须将 R_{RT} 电阻直接连接在 RT/CLK（引脚 35）和 AGND（引脚 34）之间。

表 3为各种常用总线电压提供标准外部 R电阻器，并为相应的输出电压提供所需的 R_{SETRT}电阻器。

表 3. 针对常用输出电压的标准 R_{SET}电阻器

电阻器	输出电压 V_{OUT}(V)					
	1.2	**1.5**	**1.8**	**2.5**	**3.3**	**5.0**
R_{SET}(kΩ)	2.87	1.62	1.13	0.665	0.453	0.267
R_{RT}(kΩ)	断开	断开	断开	1000	332	165

对于其它输出电压，所需的电阻值即可使用下列方程式计算得出，也可以直接从表 4中给出的数值范围中选取。

$$R_{SET} = \frac{1.43}{\left(\left(\frac{V_{OUT}}{0.8}\right) - 1\right)} \ (k\Omega) \quad (1)$$

表 4. 标准 R_{SET}电阻值

V_{OUT}(V)	R_{SET} (kΩ)	R_{RT}(kΩ)	f_{SW}(kHz)	V_{OUT}(V)	R_{SET} (kΩ)	R_{RT}(kΩ)	f_{SW}(kHz)
1.2	2.87	断开	480	3.4	0.442	332	630
1.3	2.26	断开	480	3.5	0.422	332	630
1.4	1.91	断开	480	3.6	0.402	332	630
1.5	1.62	断开	480	3.7	0.392	332	630
1.6	1.43	断开	480	3.8	0.374	249	680
1.7	1.27	断开	480	3.9	0.365	249	680
1.8	1.13	断开	480	4.0	0.357	249	680
1.9	1.02	断开	480	4.1	0.348	249	680
2.0	0.953	断开	480	4.2	0.332	196	730
2.1	0.866	断开	480	4.3	0.324	196	730
2.2	0.806	断开	480	4.4	0.316	196	730
2.3	0.750	断开	480	4.5	0.309	196	730
2.4	0.715	断开	480	4.6	0.301	196	730
2.5	0.665	断开	480	4.7	0.294	196	730
2.6	0.634	1000	530	4.8	0.287	165	780
2.7	0.604	1000	530	4.9	0.280	165	780
2.8	0.562	1000	530	5.0	0.267	165	780
2.9	0.536	1000	530	5.1	0.267	165	780
3.0	0.511	499	580	5.2	0.261	165	780
3.1	0.499	499	580	5.3	0.255	165	780
3.2	0.475	499	580	5.4	0.249	165	780
3.3	0.453	332	630	5.5	0.243	165	780

版权 © 2010–2018, Texas Instruments Incorporated

9.2 针对 TPS84410 电源的电容器推荐

9.2.1 电容器技术

9.2.1.1 电解电容器，聚合物电解电容器

使用电解电容器时，推荐使用高品质的计算机等级电解电容器。聚合物电解型电容器推荐用于 环境工作温度低于 0°C 的 应用。建议使用 Sanyo OS-CON 电容器系列，因为该系列电容器具备较低等效串联电阻 (ESR)、更高额定浪涌电流、功率耗散、纹波电流能力和小封装尺寸的特点。铝电解电容器可在 2kHz 至 150kHz 的频率范围内提供充足的去耦合，并且适用于环境温度在 0°C 以上的应用。

9.2.1.2 陶瓷电容器

超过 150kHz 时，铝电解电容器的性能效果不如陶瓷电容器。多层陶瓷电容器具备较低的 ESR，而且其谐振频率高于稳压器的带宽。这种电容器可用于减少输入端的反射纹波电流，并可改善输出端的瞬时响应。

9.2.1.3 钽电容器、聚合物钽电容器

聚合物钽型电容器推荐用于 环境工作温度低于 0°C 的 应用。推荐使用 Sanyo POSCAP 系列和 Kemet T530 电容器系列，因为与其他钽型电容器相比，这两类电容器具备更低的 ESR、更高的额定浪涌、功率耗散、纹波电流能力以及小封装尺寸。建议不要在电源应用中使用未注明 ESR 或浪涌电流额定值的 钽电容器。

9.2.2 输入电容器

TPS84620 需要最小输入电容为 100µF 的陶瓷电容器和/或聚合物钽电容器。此电容器的额定纹波电流必须少于 450mA。表 7 包含按供应商分类的首选电容器列表。

9.2.3 输出电容器

所需的输出电容由 TPS84620 的输出电压决定。有关所需电容总量的信息，请参阅 表 5。所需的输出电容可全部由陶瓷电容器组成，也可由陶瓷电容器和大容量电容器的组合构成。所需的输出电容必须至少包含 1 个 47µF 陶瓷电容器。添加其他非陶瓷大容量电容器时，则需要如表 7中推荐的低 ESR 器件。超过最小值的所需电容由实际瞬态偏差要求决定。如需了解某些输出电压、输入电压和电容组合时的典型瞬态响应值，请参阅 表 6。表 7 中按照供应商列出了首选的电容器列表。

表 5. 所需的输出电容

V_{OUT}范围 (V)		所需的最小 C_{OUT} (µF)
最小值	最大值	
1.2	<3.0	200(1)
3.0	<4.0	100(1)
4.0	5.5	47µF 陶瓷电容器

(1) 所需的最小值中必须至少包含一个 47µF 陶瓷电容器。

表 6. 输出电压瞬态响应

C_2=2 x 22µF 陶瓷电容器，C_{IN1}IN2=68µF POSCAP，负载阶跃 = 3 A，1A/µs						
V_{OUT}(V)	PV_{IN}(V)	C_{OUT1}陶瓷电容器	C_{OUT2}大容量电容器	电压偏差 (mV)	峰-峰值 (mV)	恢复时间 (µs)
1.2	3.3	4 x 47µF	无	73	137	70
		1 x 47µF	330µF	50	90	75
	5	4 x 47µF	无	63	117	70
		1 x 47µF	330µF	45	85	75
	12	4 x 47µF	无	45	109	70
		1 x 47µF	330µF	35	70	75
1.5	3.3	4 x 47µF	无	80	160	80
		1 x 47µF	220µF	65	130	70
	5	4 x 47µF	无	60	115	80
		1 x 47µF	220µF	60	120	70
	12	4 x 47µF	无	45	98	80
		1 x 47µF	220µF	50	100	70
1.8	3.3	4 x 47µF	无	90	180	80
		1 x 47µF	220µF	72	142	110
	5	4 x 47µF	无	80	160	80
		1 x 47µF	220µF	67	132	110
	12	4 x 47µF	无	60	120	80
		1 x 47µF	220µF	60	119	110
2.5	3.3	4 x 47µF	无	108	214	75
		1 x 47µF	100µF	93	186	110
	5	4 x 47µF	无	100	200	75
		1 x 47µF	100µF	92	180	110
	12	4 x 47µF	无	88	174	75
		1 x 47µF	100µF	80	157	110
3.3	5	2x 47µF	无	160	320	100
		1 x 47µF	100µF	110	220	100
	12	2x 47µF	无	140	280	100
		1 x 47µF	100µF	100	200	100
5.0	5	1 x 47µF	无	200	400	100
		1 x 47µF	100µF	150	300	130
	12	1 x 47µF	无	180	360	100
		1 x 47µF	100µF	150	300	130

版权 © 2010–2018, Texas Instruments Incorporated

表 7. 推荐的输入/输出电容器(1)

厂商	系列	部件号	电容器特性		
			工作电压 (V)	电容 (µF)	ESR(2) (mΩ)
Murata	X5R	GRM32ER61E226K	16	22	2
TDK	X5R	C3225X5R0J476K	6.3	47	2
Murata	X5R	GRM32ER60J476M	6.3	47	2
Sanyo	POSCAP	16TQC68M	16	68	50
Kemet	T520	T520V107M010ASE025	10	100	25
Sanyo	POSCAP	6TPE100MI	6.3	100	25
Sanyo	POSCAP	2R5TPE220M7	2.5	220	7
Kemet	T530	T530D227M006ATE006	6.3	220	6
Kemet	T530	T530D337M006ATE010	6.3	330	10
Sanyo	POSCAP	2TPF330M6	2.0	330	6
Sanyo	POSCAP	6TPE330MFL	6.3	330	15

(1) **电容器供应商核实**
请核实本表中列出的电容器的供货情况。
符合 RoHS 环保标准、无铅和材料详情
有关材料成分、RoHS 情况、无铅情况和制造工艺要求等信息，请咨询电容器供应商。
(2) 100kHz，25°C 时的最大 ESR。

版权 © 2010–2018, Texas Instruments Incorporated

9.3 瞬态响应

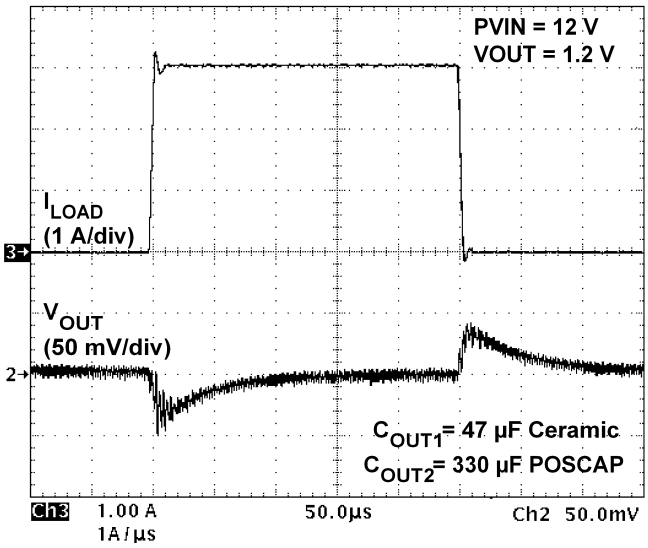


图 **17. PVIN=12V，VOUT=1.2V，**负载阶跃 **3A**

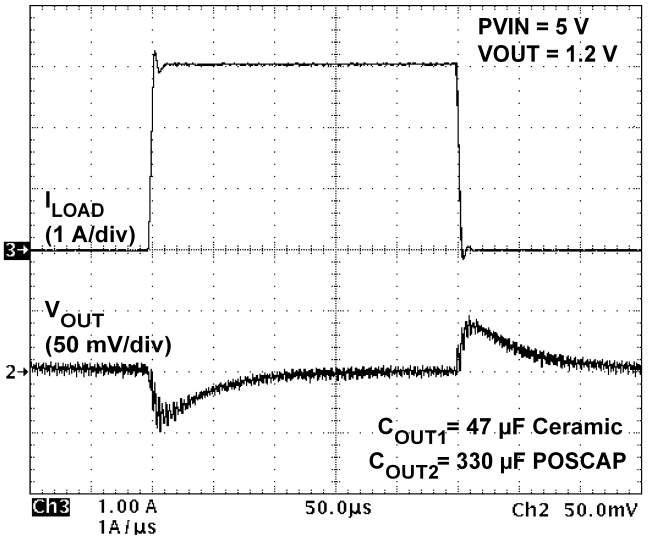


图 **18. PVIN=5V，VOUT=1.2V，**负载阶跃 **3A**

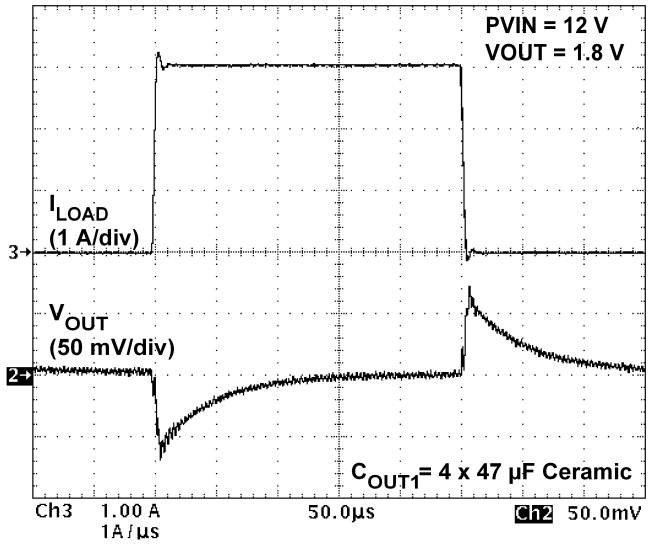


图 **19. PVIN=12V，VOUT=1.8V，**负载阶跃 **3A**

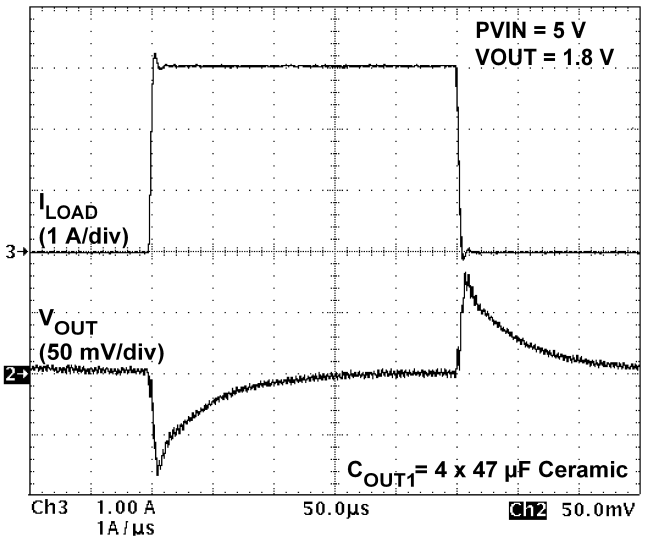


图 **20. PVIN=5V，VOUT=1.8V，**负载阶跃 **3A**

版权 © 2010–2018, Texas Instruments Incorporated

瞬态响应 (接下页)

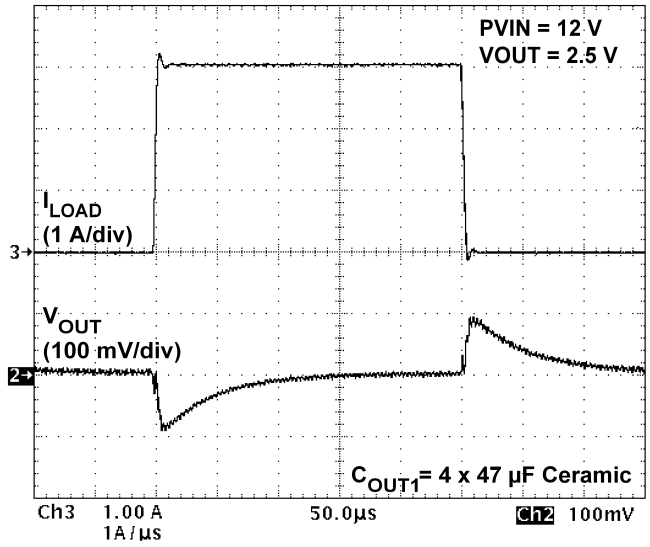


图 21. PVIN=12V，VOUT=2.5V，负载阶跃 3A

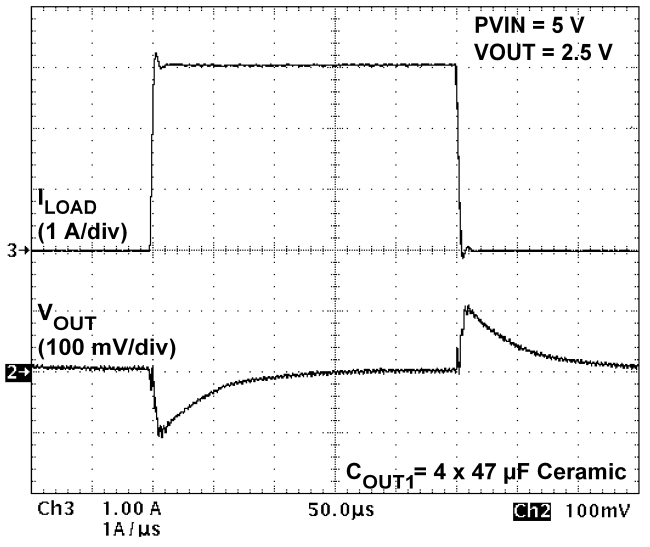


图 22. PVIN=5V，VOUT=2.5V，负载阶跃 3A

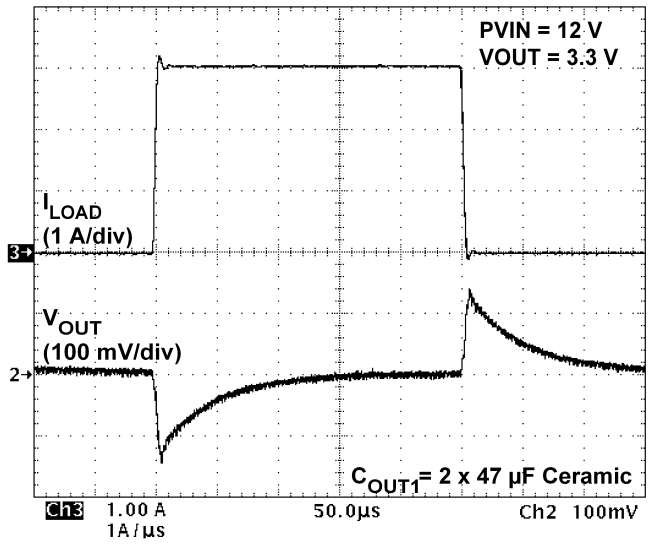


图 23. PVIN=12V，VOUT=3.3V，负载阶跃 3A

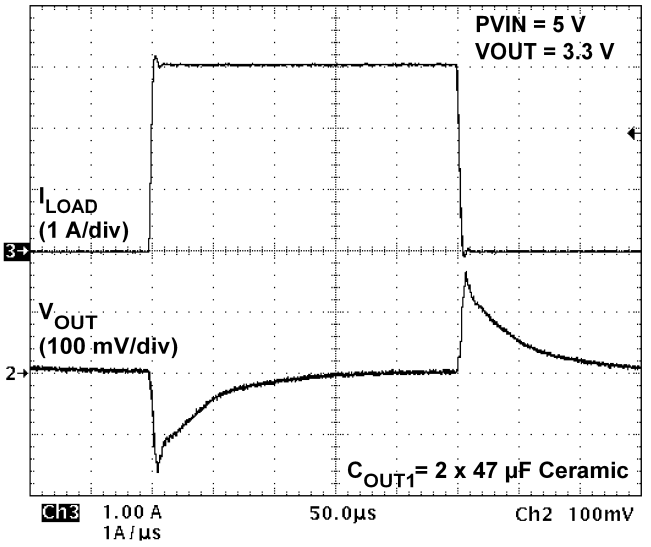


图 24. PVIN=5V，VOUT=3.3V，负载阶跃 3A

版权 © 2010–2018, Texas Instruments Incorporated

9.4 应用原理图

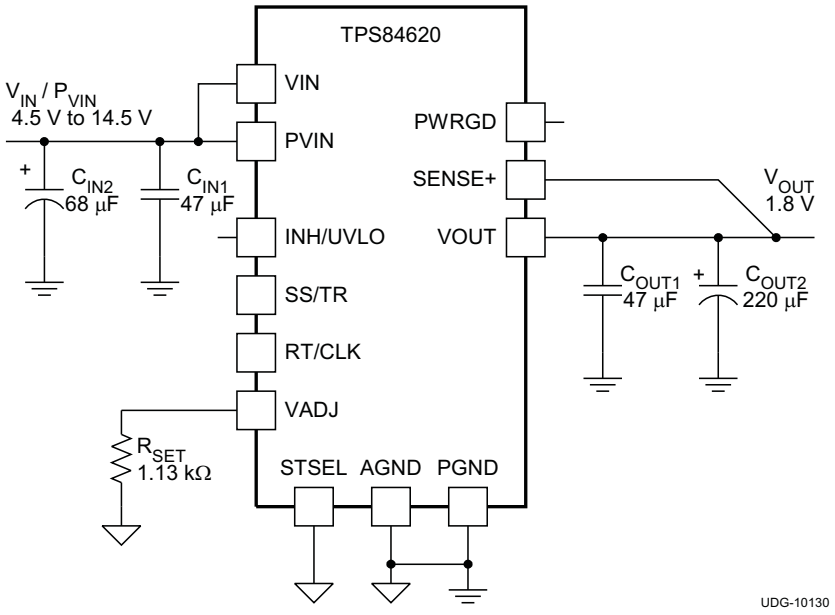


图 **25.** 典型电路原理图
PVIN=VIN=4.5V 至 14.5V，VOUT=1.8V

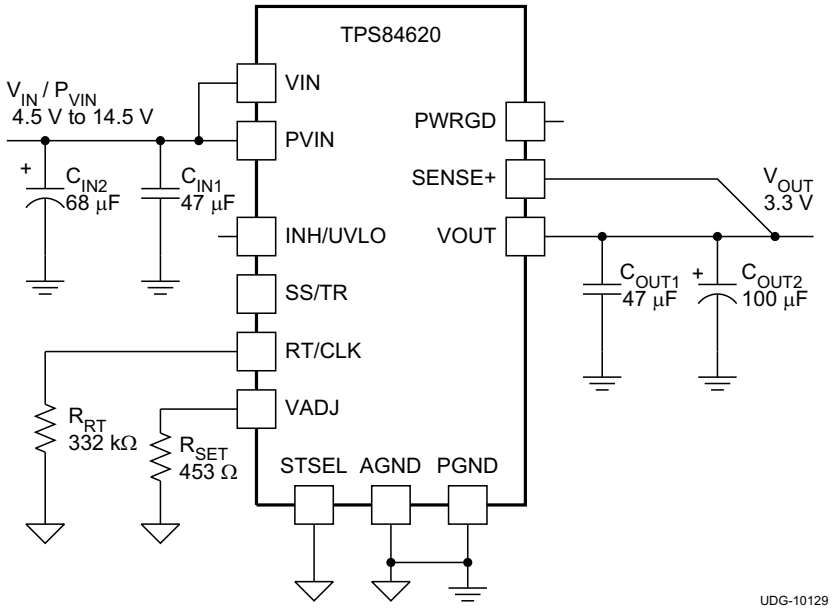


图 **26.** 在电路原理图上，将典型电路原理图
PVIN=VIN=4.5V 至 14.5V，VOUT=3.3V

版权 © 2010–2018, Texas Instruments Incorporated

应用原理图 **(**接下页**)**

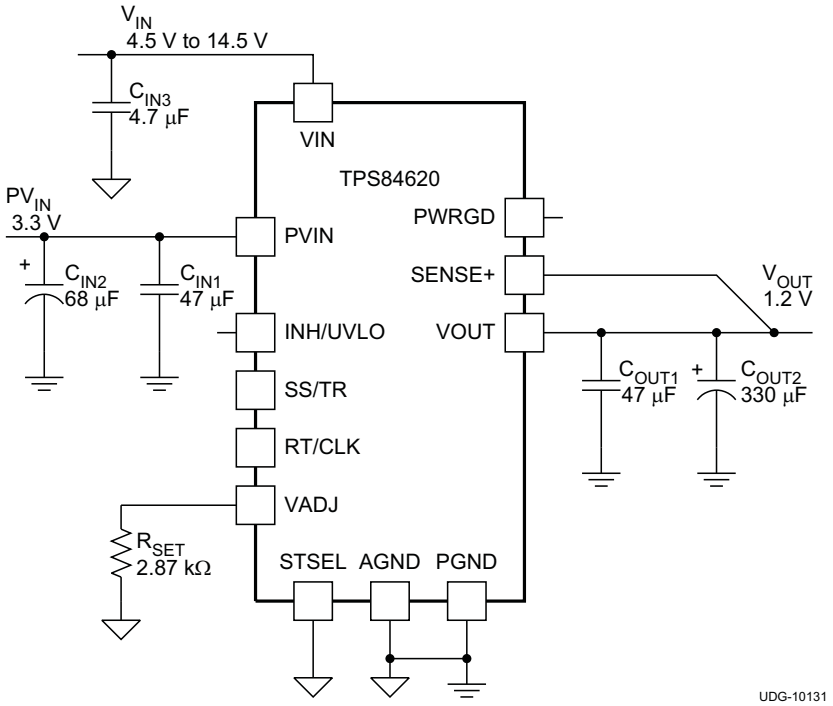


图 **27.** 典型电路原理图
PVIN=3.3V，VIN=4.5V 至 **14.5V，VOUT=1.2V**

9.5 VIN 和 PVIN 输入电压

TPS84620 可以通过 将 VIN 和 PVIN 引脚 一起使用或分开使用来实现各种应用。VIN 电压为器件的内部控制电路供电。PVIN 电压为电源转换器系统提供输入电压。

如果 VIN 引脚和 PVIN 引脚连接在一起，那么两个引脚的输入电压范围为 4.5V 至 14.5V。如果 VIN 引脚和 PVIN 引脚分开使用，那么 VIN 引脚的电压必须在 4.5V 至 14.5V 之间，而 PVIN 引脚的电压范围可低至 1.7V 至 14.5V。连接至 INH/UVLO 引脚的分压器可适当调节任一输入电压 UVLO。有关更多信息，请参阅本数据手册的可编程欠压锁定 (UVLO)章节。

9.6 电源良好 (PWRGD)

PWRGD 引脚是一个开漏输出。当 SENSE+ 引脚的电压为设定电压的 94% 和 106% 之间时，PWRGD 引脚下拉被释放，同时引脚悬空。电压源为 5.5V 或更低时，推荐的上拉电阻值为 10kΩ 和 100kΩ 之间。VIN 大于 1.2V 时，PWRGD 引脚处于定义的状态，但此时电流吸收能力减弱。一旦 VIN 引脚电压超过 4.5V 时，PWRGD 引脚可达到饱和电流吸入量。当 SENSE+ 上的电压小于额定电压的 91% 或大于该电压的 109% 时，则拉低 PWRGD 引脚。而且，如果输入 UVLO 或热关断被置位，PWRGD 引脚被拉低，INH 引脚被拉低，或 SS/TR 引脚电压低于 1.4V。

版权 © 2010–2018, Texas Instruments Incorporated

9.7 加电特征

当按上一页电路原理图所示进行配置时，TPS84620 在施加有效输入电压后会产生稳定的输出电压。加电期间，内部软启动电路会降低输出电压上升的速率，从而限制输入源消耗的浪涌电流量。一旦识别有效输入电压，软启动电路就开始出现短时延迟。图 28显示 TPS84620 采用 5V 输入 (PVIN=VIN) 且输出电压调节为 1.8V 时的启动波形。图 29显示 TPS84620 在启动进入一个预偏置电压时的启动波形。波形是通过 3A 恒定电流负载测得的。

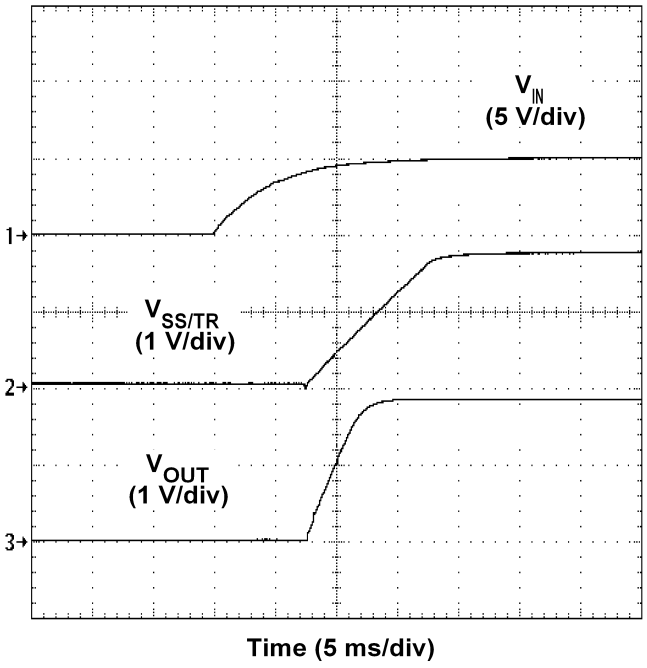


图 28. 启动波形

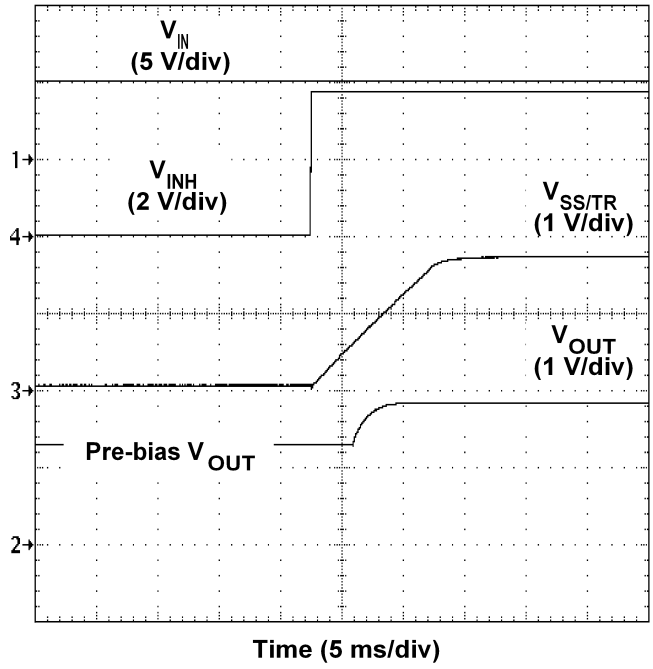


图 29. 启动进入预偏置

9.8 预偏置启动

TPS84620 被设计成可防止预偏置输出放电。在单调预偏置启动期间，TPS84620 在 SS/TR 引脚电压高于 1.4V 之前不会吸入电流。

9.9 遥感

必须将 SENSE+ 引脚连接至负载处或器件引脚处的 V_{OUT}。

将 SENSE+ 引脚连接至负载处的 V_{OUT}可通过使器件补偿其输出引脚和负载间的任何 I-R 压降来提高器件的负载稳压性能。I-R 压降是由于流经少量引脚和走线电阻的高输出电流引起的。电压降的最大值应限定为 300mV。

注

遥感特性并非设计用于补偿可能与转换器输出串联的非线性或频敏组件的正向电压降。这样的器件包括 OR-ing 二极管、滤波电感器、磁珠和熔丝。当被 SENSE+ 连接包围时，这些组件实际上已处在稳压控制环路中，这会对稳压器的稳定性产生不良影响。

版权 © 2010–2018, Texas Instruments Incorporated

9.10 输出开/关抑制 (INH)

INH 引脚提供器件的电气开/关控制。当 INH 引脚电压超过阈值电压时，器件便开始工作。如果 INH 引脚电压被拉至阈值电压以下，稳压器停止开关并进入低静态电流状态。

INH 引脚具备一个内部上拉电流源，该电流源使用户可以悬空 INH 引脚以启用器件。如果应用需要控制 INH 引脚，可采用一个漏极开路/集电极开路器件或者一个合适的逻辑门与该引脚接口连接。

图 30 显示了典型的抑制功能应用。抑制控制有其自身的对 VIN 电势的内部上拉。推荐使用一个集电极开路或开漏器件来控制该输入。

导通 Q1 会对抑制控制 (INH) 引脚施加一个低电压并禁用电源输出，如 图 31中所示。如果关断 Q1，电源将执行软启动加电排序，如图 32中所示。稳定的输出电压会在 10ms 内产生。波形是通过 3A 恒定电流负载测得的。

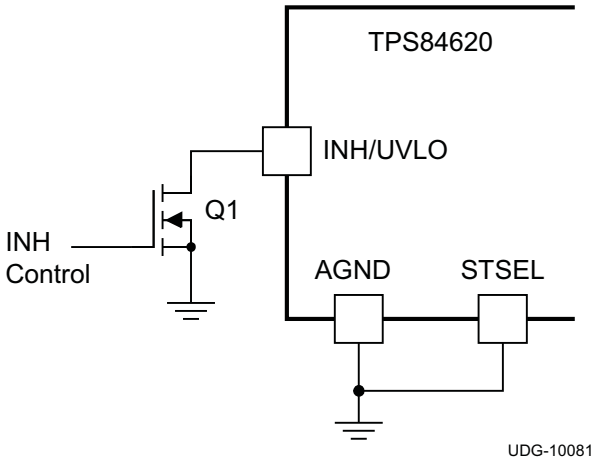


图 **30.** 典型抑制控制

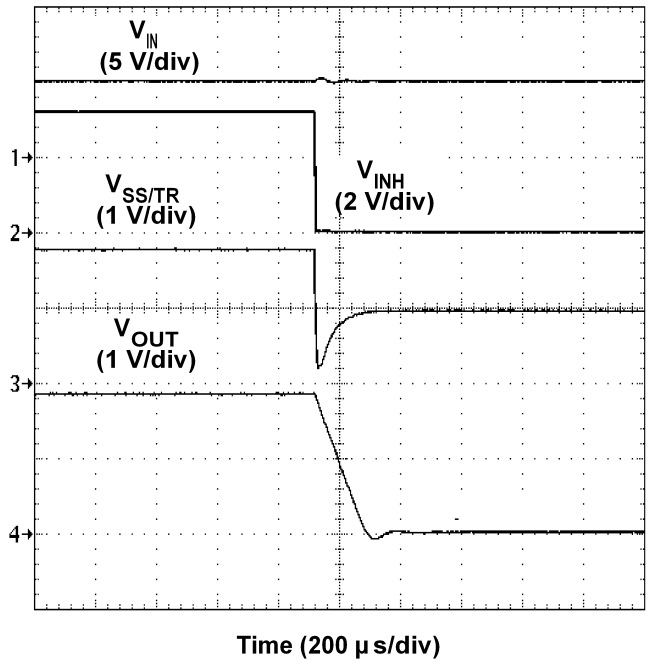


图 **31.** 抑制关闭

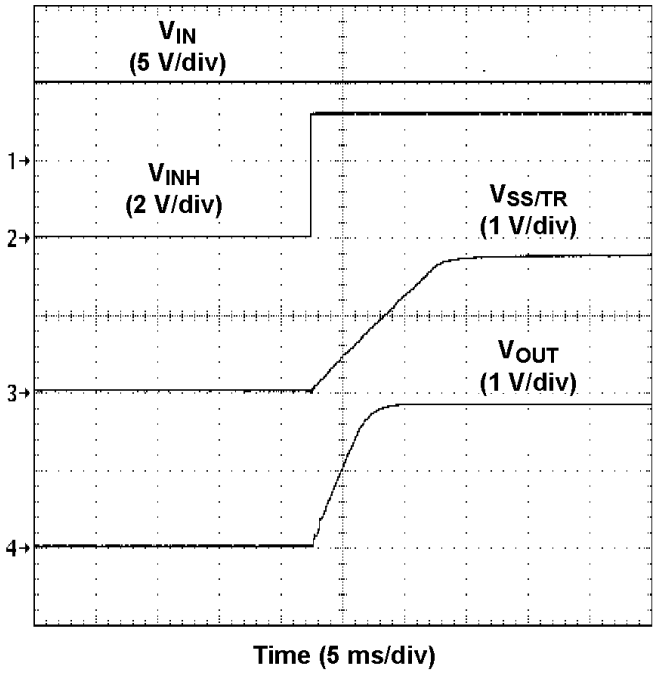


图 **32.** 抑制导通

9.11 缓启动启动 (SS/TR)

将 STSEL 引脚连接至 AGND 并保持 SS/TR 引脚断开，可启用缓启动间隔约为 1.1ms 的内部 SS 电容器。在 SS 引脚和 AGND 之间增加额外电容可增加缓启动时间。表 8 显示一个连接至 SS/TR 引脚的额外 SS 电容器以及连接至 AGND 的 STSEL 引脚。有关 SS 电容器的值和时序间隔，请参阅下面的表 8。

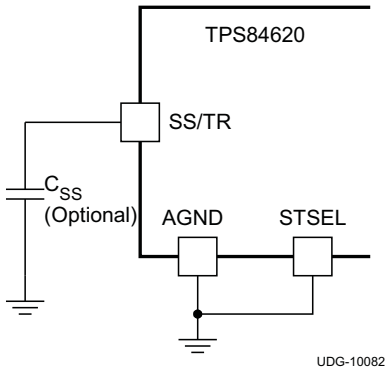


图 **33.** 缓启动电容器 (C_{SS}) 和 **STSEL** 连接

表 **8.** 缓启动电容器的值和缓启动时间

C_{SS}(pF)	断开	2200	4700	10000	15000	22000	25000
SS 时间 **(ms)**	1.1	1.9	2.8	4.6	6.4	8.8	9.8

9.12 过流保护

TPS84620 采用电流限制来防止负载故障。该器件通过逐周期电流限制在过流情况下进行保护。发生过流状况时，输出电流受限且输出电压降低，如图 34中所示。过流状况消除后，输出电压恢复为设定电压，如图 35中所示。

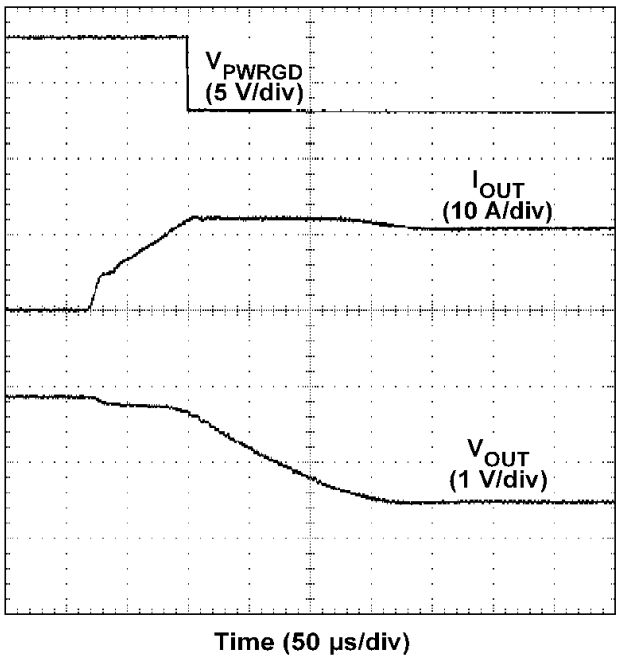


图 **34.** 过流限制

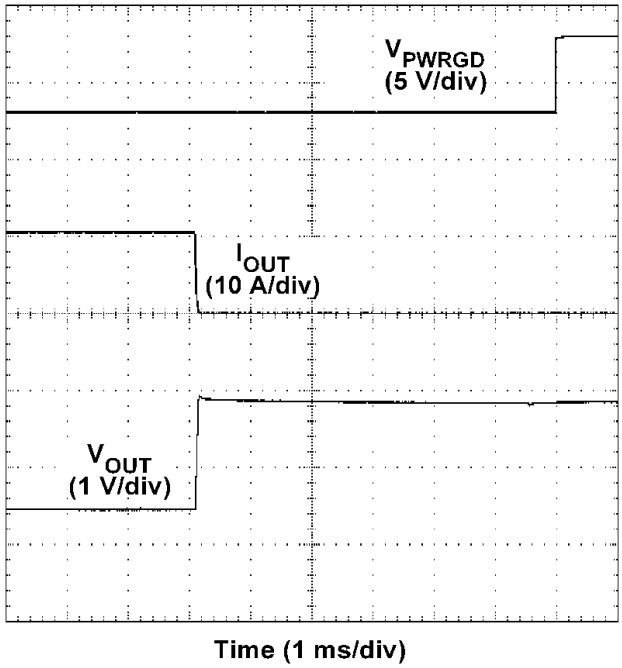


图 **35.** 过流状况的消除

版权 © 2010–2018, Texas Instruments Incorporated

9.13 同步 (CLK)

安装了一个内部锁相环 (PLL)，以实现 480kHz 和 780kHz 之间的同步，并在 RT 模式与 CLK 模式间轻松切换。将一个方波时钟信号以 20% 至 80% 的占空比连接至 RT/CLK 引脚，从而实现同步功能。时钟信号振幅必须转换至低于 0.8V 和高于 2.0V。开关周期的启动与 RT/CLK 引脚的下降边沿同步。在 诸如 RT 模式和 CLK 模式的应用中，可以如 中所示配置器件。

外部时钟启用前，器件在 RT 模式中工作，并且开关频率由 RT 电阻设定。当外部时钟启用时，CLK 模式替代 RT 模式。CLK 引脚首次被拉升超过 RT/CLK 高阈值 (2.0V) 时，器件从 RT 模式切换至 CLK 模式，并且当 PLL 开始锁定外部时钟的频率时，RT/CLK 引脚产生高阻抗状态。建议不要从 CLK 模式切换回 RT 模式，因为在恢复至 RT 电阻 (R_{RT}) 设定的开关频率前内部开关频率会首先降至 100 kHz。

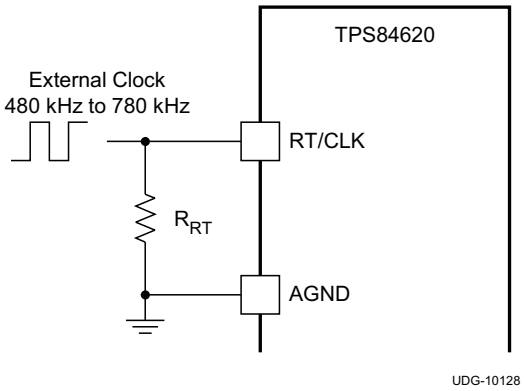


图 **36. CLK/RT** 配置

同步频率必须根据被同步器件的输出电压进行选择。表 9显示针对输出电压指定范围内的可允许频率。为获得最高效的解决方案，请务必同步至最低允许频率。例如，一个要求同步输出电压分别为 1.2V，1.8V 和 2.5V 的三个 TPS84620 器件的应用，此三个器件均由 PVIN=12V 供电。表 9显示三个输出电压可被同步至 530kHz，580kHz 或 630kHz。请选择 530kHz 作为同步频率以获得最佳效率。

在 中增加了更新的更具体的值

表 **9.** 同步频率与输出电压

同步频率 (kHz)	R_{RT}(kΩ)	PVIN=12V		PVIN=5V	
		V_{OUT}范围 (V)		V_{OUT}范围 (V)	
		最小值	最大值	最小值	最大值
480	断开	1.2	2.5	1.2	4.5
530	1000	1.2	2.9		
580	499	1.2	3.2		
630	332	1.2	3.7		
680	249	1.3	4.1		
730	196	1.4	4.7		
780	165	1.5	5.5		

9.14 定序 (SS/TR)

许多通用电源排序方法可通过采用 SS/TR，INH 和 PWRGD 引脚实现。图 37中用两个 TPS84620 器件对排序方法进行了说明。第一个器件的 PWRGD 引脚与第二个器件的 INH 引脚耦合，这样，一旦主电源达到稳定便会启用第二个电源。图 38显示两个 TPS84620 器件的顺序导通波形。

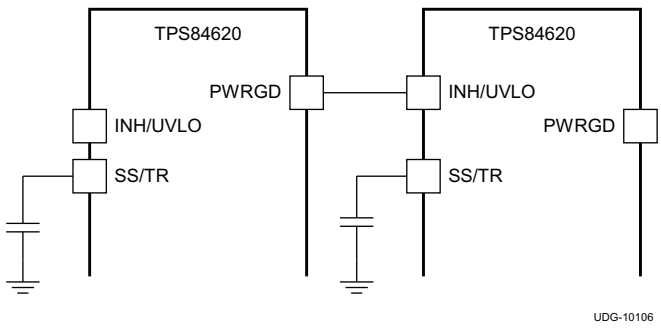


图 37. 排序电路原理图

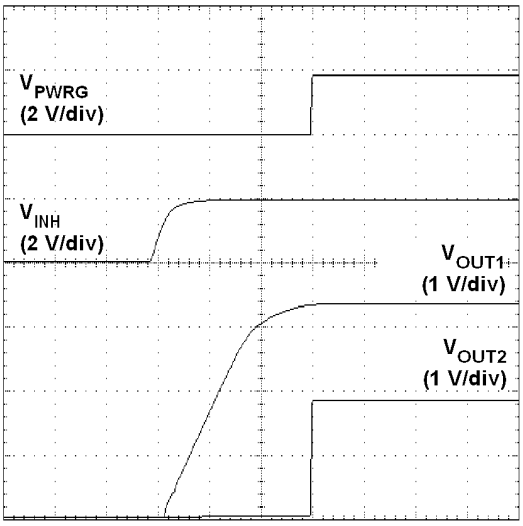


图 38. 排序波形

同步电源排序可通过两种方式实现：将图 39中所示的 R1 和 R2 电阻网络连接至需要跟踪的电源输出，或者连接至另一电压基准源。图 40显示两台 TPS84620 器件的同步导通波形。使用公式 2和公式 3计算 R1 和 R2 的数值。

$$R1 = \frac{(V_{OUT2} \times 12.6)}{0.8} (k\Omega) \quad (2)$$

$$R2 = \frac{0.8 \times R1}{(V_{OUT2} - 0.8)} (k\Omega) \quad (3)$$

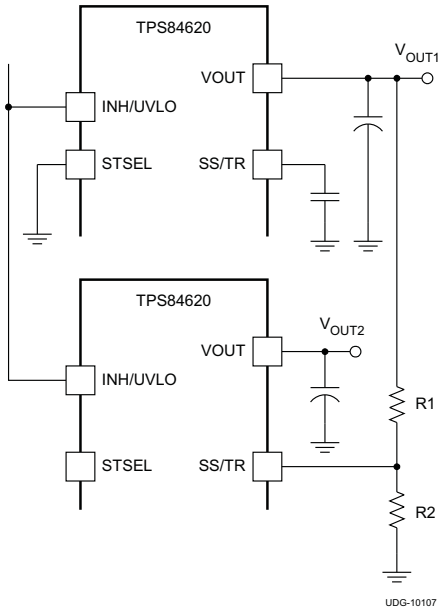


图 39. 同步跟踪原理图

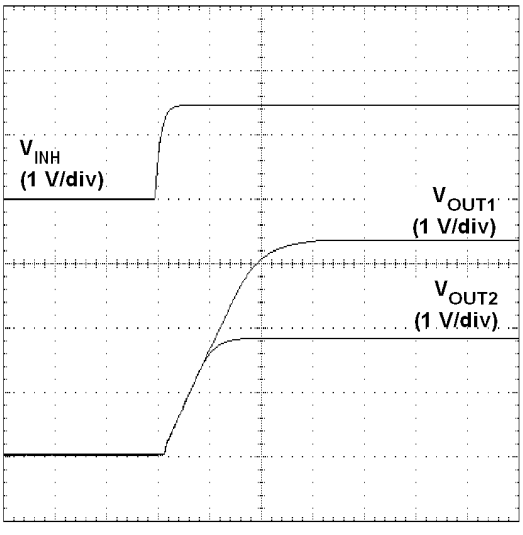


图 40. 同步跟踪波形

版权 © 2010–2018, Texas Instruments Incorporated

9.15 可编程欠压锁定 (UVLO)

TPS84620 可实现 VIN 引脚上的内部 UVLO 电路。当 VIN 引脚电压降至内部 VIN UVLO 阈值以下时，该器件被禁用。内部 VIN UVLO 上升阈值为 4.5V（最大值），并且典型迟滞为 150mV。

如果应用在 VIN 引脚上要求更高的 UVLO 阈值，或要求针对 VIN 和 PVIN 组合的更高 UVLO 阈值，那么可按图 41或图 42中所示配置 UVLO 引脚。表 10列出用于调节 VIN UVLO 电压上升的 R_{UVLO1} 和 R_{UVLO2}标准值。

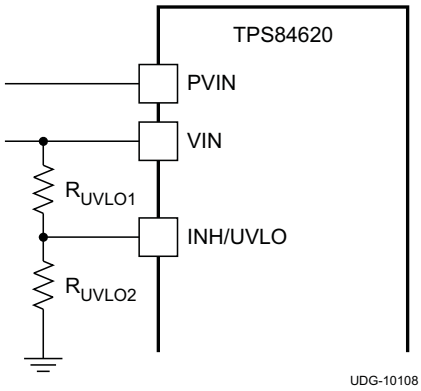


图 41. 可调节 VIN UVLO

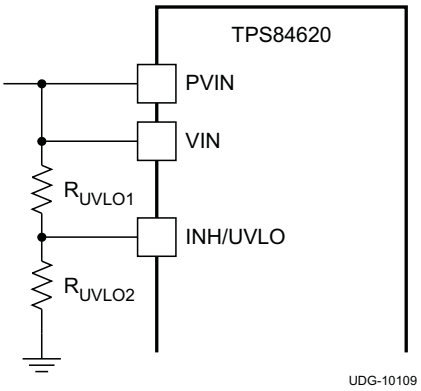


图 42. 可调节 VIN 和 PVIN 欠压闭锁

表 10. 用于调节 VIN UVLO 的标准电阻值

VIN UVLO (V)	5.0	5.5	6.0	6.5	7.0	7.5	8.0	8.5	9.0	9.5	10.0
R_{UVLO1}(kΩ)	68.1	68.1	68.1	68.1	68.1	68.1	68.1	68.1	68.1	68.1	68.1
R_{UVLO2}(kΩ)	21.5	18.7	16.9	15.4	14.0	13.0	12.1	11.3	10.5	9.76	9.31
迟滞 (V)	400	415	430	450	465	480	500	515	530	550	565

对于分离轨应用，如果 PVIN 上需要次级 UVLO，那么 VIN 必须大于或等于 4.5V。图 43显示了 PVIN UVLO 配置。使用表 11来为 PVIN 选择 R_{UVLO1}和 R_{UVLO2}。如果 PVIN UVLO 的设定值低于 3.0V，则应增加一个 5.1V 齐纳二极管，将 UVLO 引脚上的电压钳制在 6V 以下。

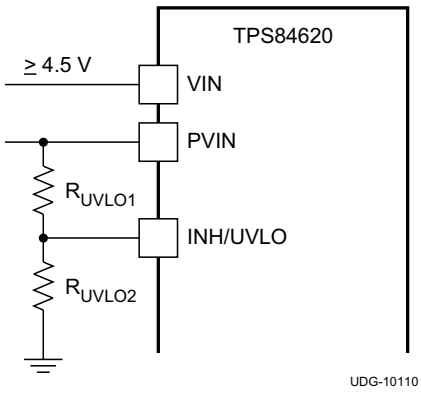


图 43. 可调节 PVIN 欠电压闭锁，(VIN ≥4.5V)

表 11. 用来调节 PVIN UVLO 的标准电阻值，(VIN ≥4.5V)

PVIN UVLO (V)	2.0	2.5	3.0	3.5	4.0	4.5	
R_{UVLO1}(kΩ)	68.1	68.1	68.1	68.1	68.1	68.1	要获得更高 PVIN UVLO 电压，请参阅电阻值的 UV 表
R_{UVLO2}(kΩ)	95.3	60.4	44.2	34.8	28.7	24.3	
迟滞 (V)	300	315	335	350	365	385	

版权 © 2010–2018, Texas Instruments Incorporated

9.16 热关断

一般情况下，如果结温超过 175°C，内部热关断电路会强制器件停止开关。而当结温降至 165°C 以下时，器件会重新启动加电序列。

9.17 布局布线注意事项

为实现最佳电气性能和热性能，需要对 PCB 布局布线进行优化。图 44 显示了一个典型 PCB 布局布线。某些针对优化布局布线的考虑如下：

- 在电源平面（VIN，VOUT 和 PGND）上使用较大的覆铜区来大大减少传导损耗和热应力。
- 将陶瓷输入和输出电容器放置在靠近器件引脚的位置，以将高频噪声降至最低。
- 在陶瓷电容器和负载间放置附加的输出电容器。
- 在 TPS84620 下面放置一个专用的 AGND 覆铜区。
- 用 AGND 覆铜区隔离 PH 覆铜区与 VOUT 覆铜区。
- 将 AGND 和 PGND 覆铜区连接在一个点上；靠近输出电容器。
- 将 R_{SET}，R_{RT}和 C_{SS}尽可能地放置在靠近它们各自引脚的位置上。
- 用多个导孔将电源平面连接至内层。

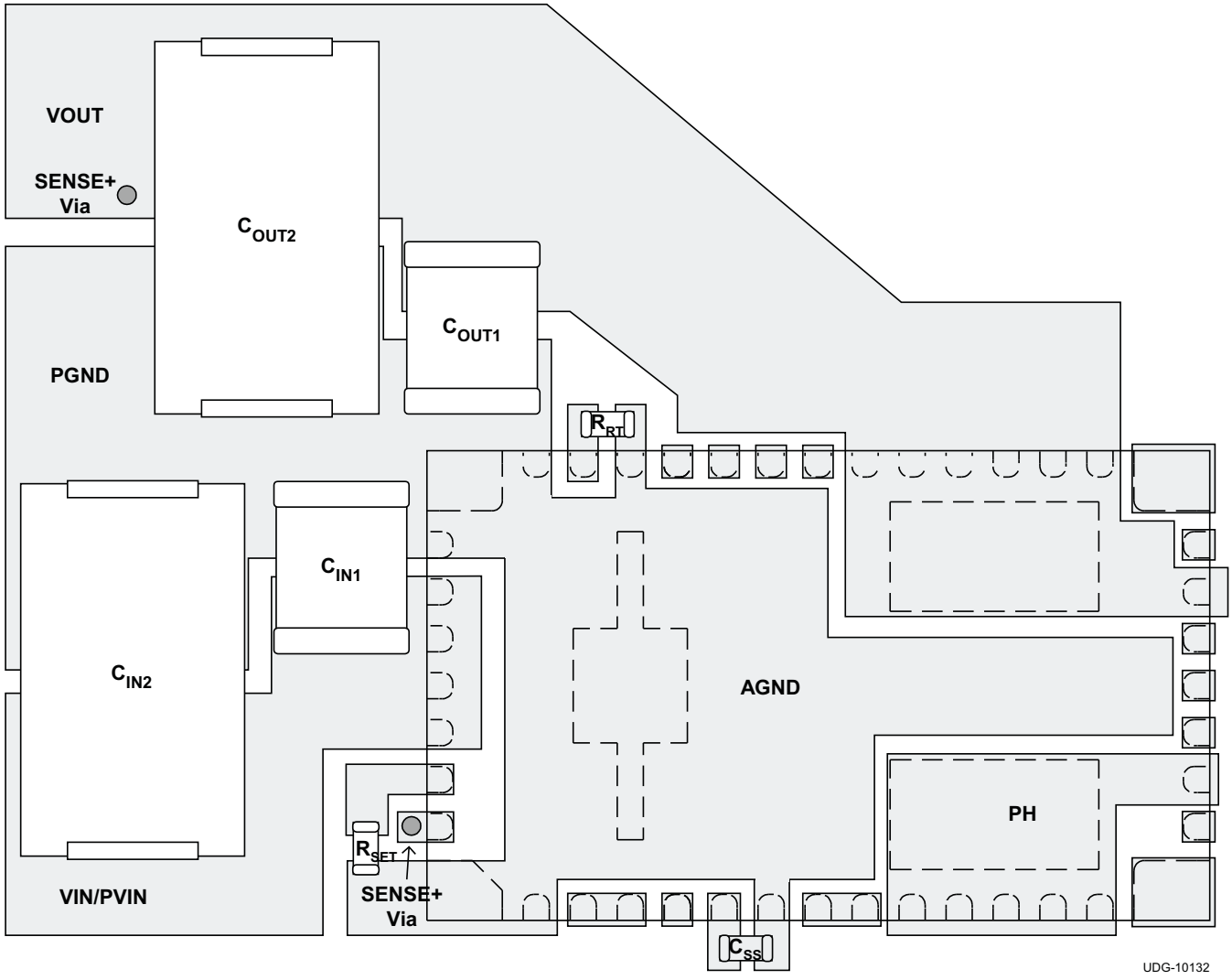


图 **44.** 推荐的典型布局布线

版权 © 2010–2018, Texas Instruments Incorporated

9.18 EMI

TPS84620 符合 EN55022 B 类辐射标准。图 45和图 46显示 TPS84620 分别采用 5V 和 12V 电压供电时的典型辐射图示例。这两个图形均包含水平和垂直位置的天线图。

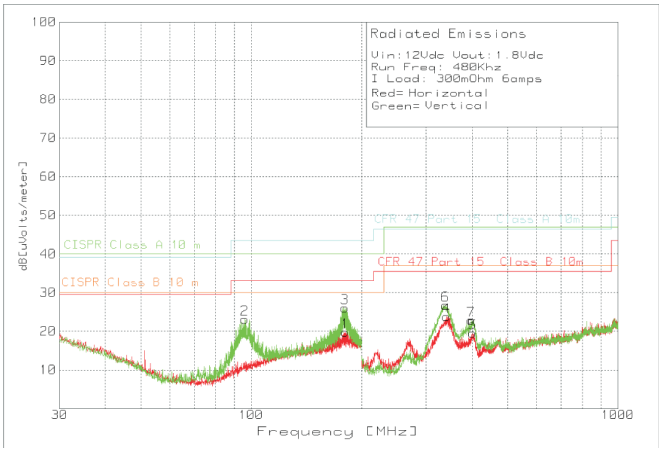


图 45. 辐射 5V 输入，1.8V 输出，6A 负载（EN55022 B 类）

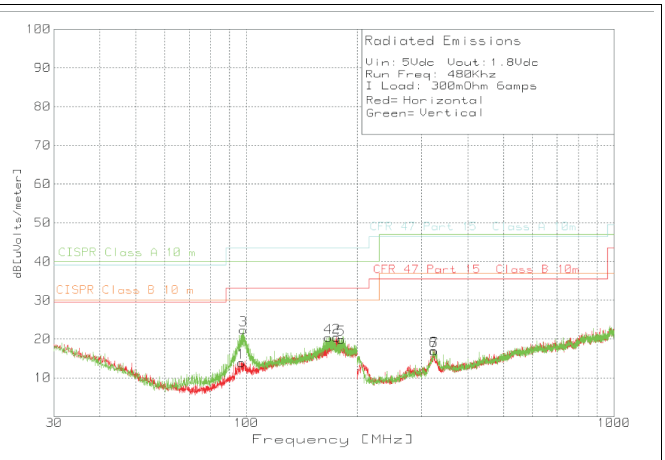


图 46. 辐射 12V 输入，1.8V 输出，6A 负载（EN55022 B 类）

10 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

Changes from Revision E (June 2017) to Revision F — **Page**

- 按照 JEDEC 规范提升了峰值回流焊温度和最大回流焊数，以提高生产制造能力。 2

Changes from Revision D (June 2012) to Revision E — **Page**

- 添加了峰值回流焊和最大回流焊数信息 2

Changes from Revision C (SEPTEMBER 2011) to Revision D — **Page**

- 已添加 正确的引脚名称 8

Changes from Revision B (APRIL 2011) to Revision C — **Page**

- 已更改 脚注 (3)从“建议使用一个小型低泄漏电流 (<(100 nA) MOSFET 进行控制。”改为“建议使用一个小型低泄漏电流 (<300 nA) MOSFET 进行控制。” 4
- 已添加 澄清了 PH 引脚 说明 7
- 已添加 对封装标题的澄清 8

Changes from Revision A (January 2011) to Revision B — **Page**

- 已更改 经更新的脚注文本 4
- 已添加 表 9 23

Changes from Original (October 2010) to Revision A — **Page**

- 已更改 2
- 已更改 （已更正）电阻器标签从 R_{RT}改为 R_{SET} 18
- 已更改 电路原理图上的（已更正）镜像印刷错误 19
- 已更改 （更正了）印刷错误。 19
- 已更改 将抑制导通波形中的时间轴分隔单元标签从 5µs/div 更改为（更正为） 5ms/div。 21

版权 © 2010–2018, Texas Instruments Incorporated

11 器件和文档支持

11.1 接收文档更新通知

要接收文档更新通知，请导航至 TI.com.cn 上的器件产品文件夹。单击右上角的*通知我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.2 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 《使用条款》。

TI E2E™ 在线社区 ***TI 的工程师对工程师 (E2E) 社区。*** **此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。**

设计支持 ***TI 参考设计支持*** **可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。**

11.3 商标

SwitcherPro, E2E are trademarks of Texas Instruments.

11.4 静电放电警告



ESD 可能会损坏该集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理措施和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。 精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.5 术语表

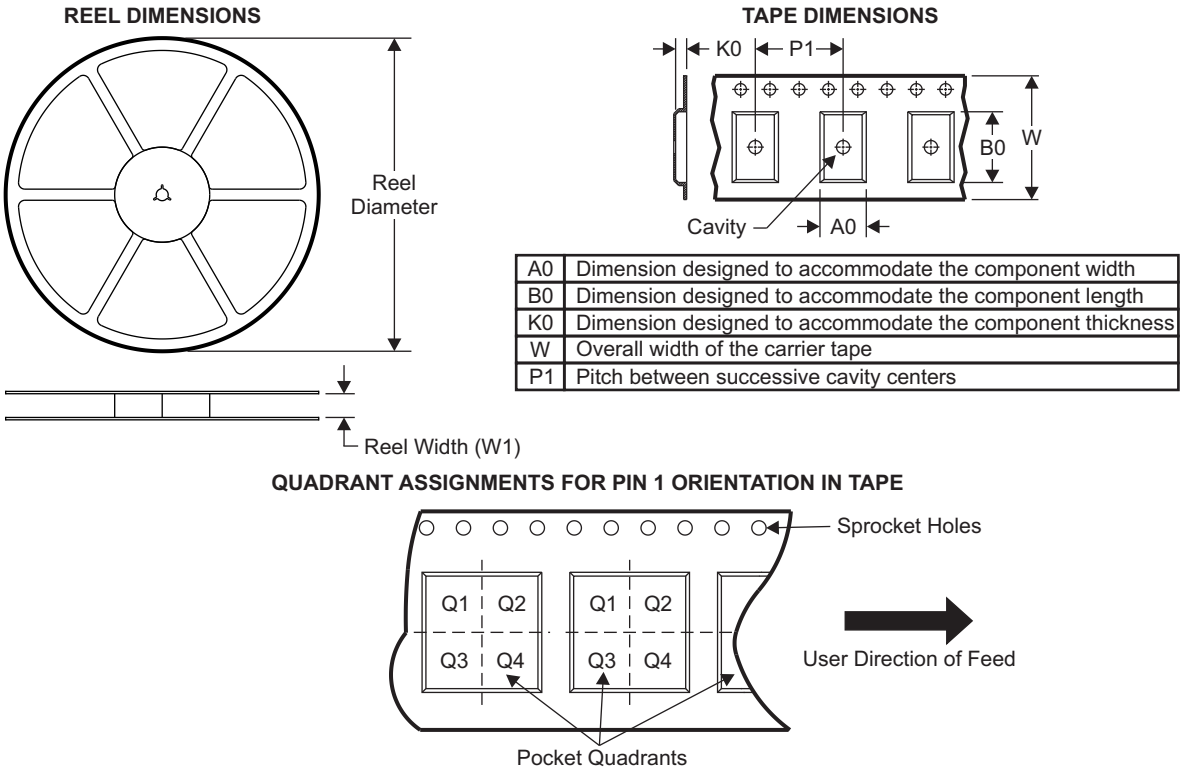
SLYZ022 — *TI 术语表*。

这份术语表列出并解释术语、缩写和定义。

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此产品说明书的浏览器版本，请查阅左侧的导航栏。

12.1 Tape and Reel Information

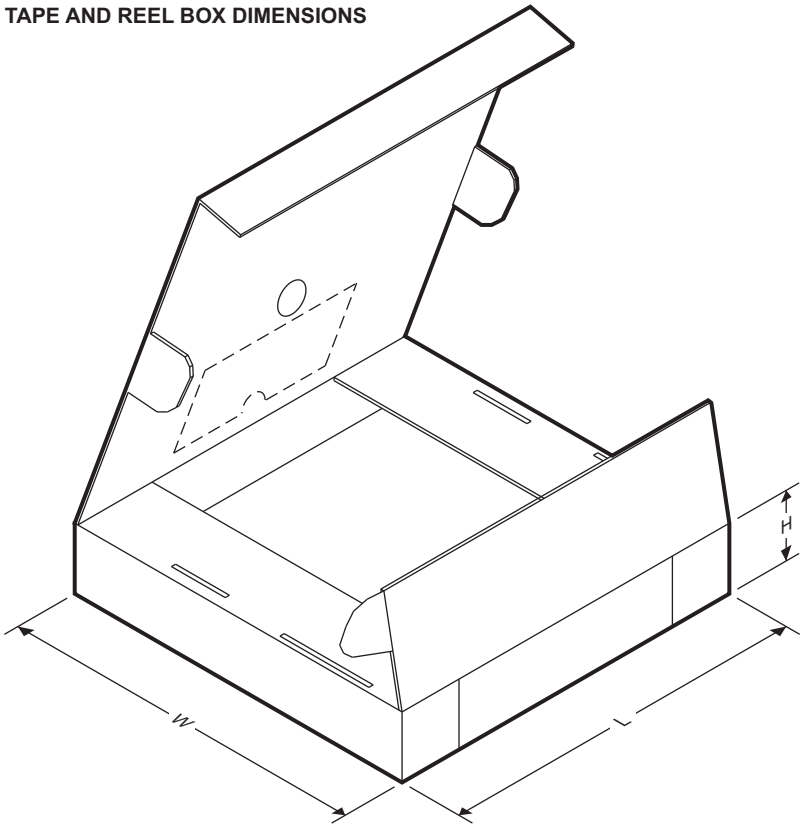


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS84620RUQR	B1QFN	RUQ	47	500	330.0	24.4	9.35	15.35	3.1	16.0	24.0	Q1
TPS84620RUQT	B1QFN	RUQ	47	250	330.0	24.4	9.35	15.35	3.1	16.0	24.0	Q1

版权 © 2010–2018, Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS84620RUQR	B1QFN	RUQ	47	500	383.0	353.0	58.0
TPS84620RUQT	B1QFN	RUQ	47	250	383.0	353.0	58.0

版权 © 2010–2018, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS84620RUQR	Active	Production	B1QFN (RUQ) | 47	500 | LARGE T&R	Exempt	NIPDAU	Level-3-245C-168 HR	-40 to 85	TPS84620
TPS84620RUQR.A	Active	Production	B1QFN (RUQ) | 47	500 | LARGE T&R	Exempt	NIPDAU	Level-3-245C-168 HR	-40 to 85	TPS84620
TPS84620RUQRG4	Active	Production	B1QFN (RUQ) | 47	500 | LARGE T&R	Yes	NIPDAU	Level-3-245C-168 HR	-40 to 85	TPS84620
TPS84620RUQRG4.A	Active	Production	B1QFN (RUQ) | 47	500 | LARGE T&R	Yes	NIPDAU	Level-3-245C-168 HR	-40 to 85	TPS84620
TPS84620RUQRG4.B	Active	Production	B1QFN (RUQ) | 47	500 | LARGE T&R	Yes	NIPDAU	Level-3-245C-168 HR	-40 to 85	TPS84620
TPS84620RUQT	Active	Production	B1QFN (RUQ) | 47	250 | SMALL T&R	Exempt	NIPDAU	Level-3-245C-168 HR	-40 to 85	TPS84620
TPS84620RUQT.A	Active	Production	B1QFN (RUQ) | 47	250 | SMALL T&R	Exempt	NIPDAU	Level-3-245C-168 HR	-40 to 85	TPS84620

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

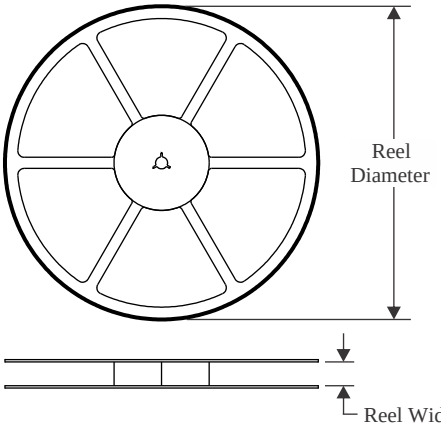
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

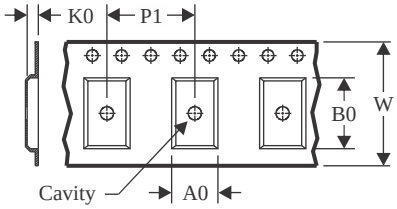
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

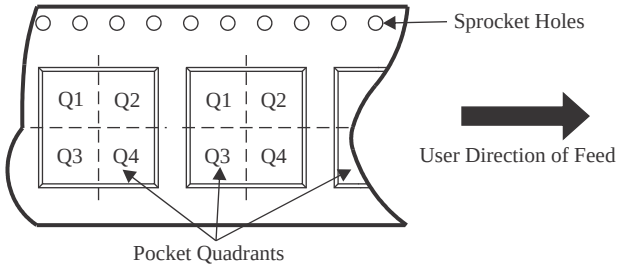


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

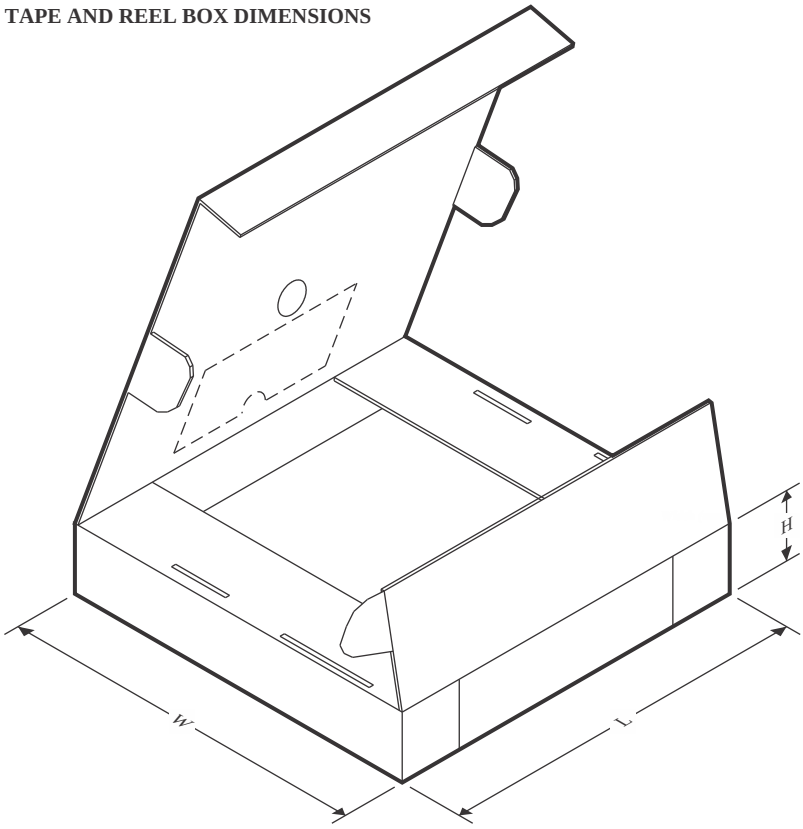
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS84620RUQR	B1QFN	RUQ	47	500	330.0	24.4	9.35	15.35	3.1	16.0	24.0	Q1
TPS84620RUQRG4	B1QFN	RUQ	47	500	330.0	24.4	9.35	15.35	3.1	16.0	24.0	Q1
TPS84620RUQT	B1QFN	RUQ	47	250	330.0	24.4	9.35	15.35	3.1	16.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

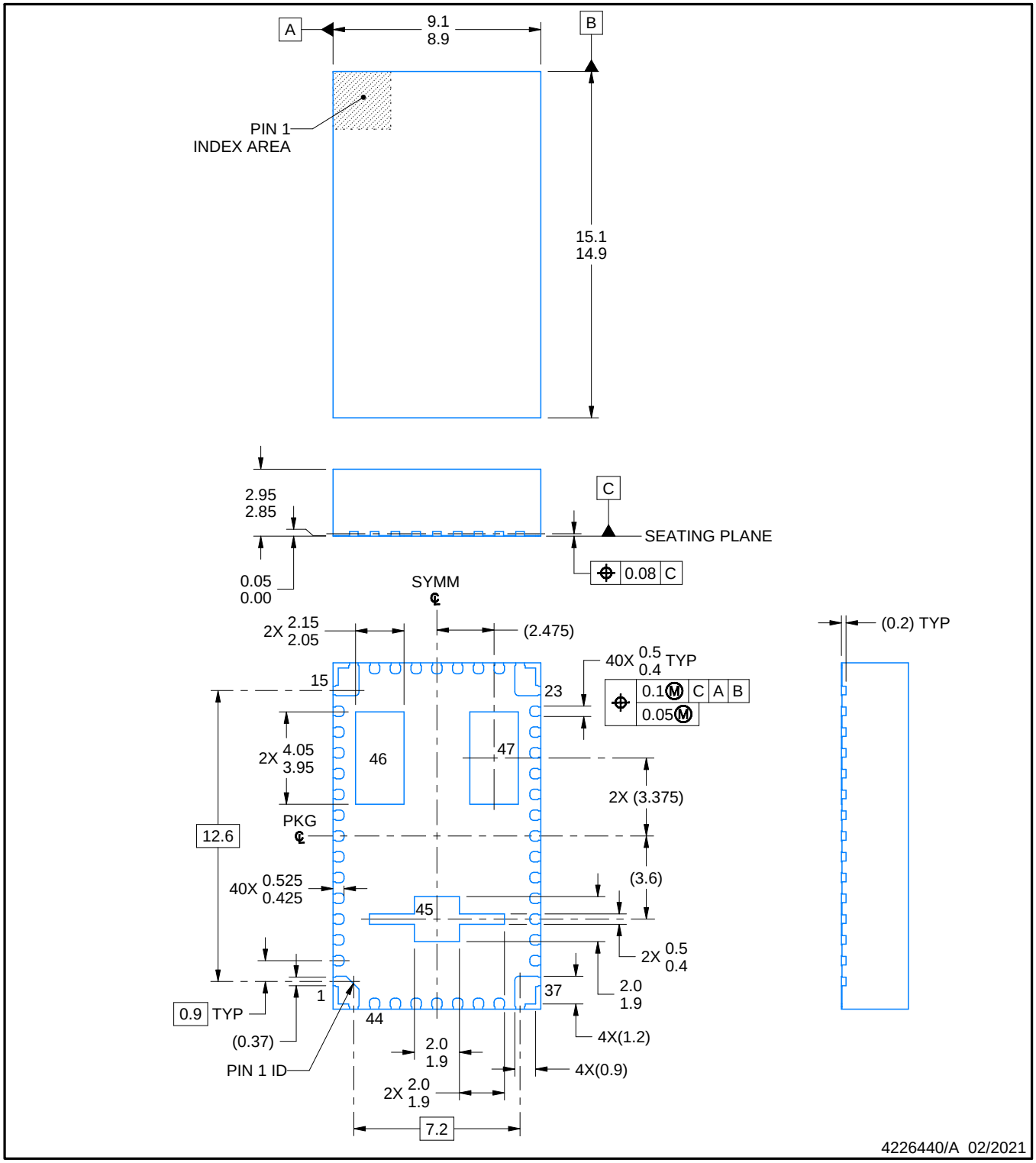
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS84620RUQR	B1QFN	RUQ	47	500	383.0	353.0	58.0
TPS84620RUQRG4	B1QFN	RUQ	47	500	383.0	353.0	58.0
TPS84620RUQT	B1QFN	RUQ	47	250	383.0	353.0	58.0

PACKAGE OUTLINE

RUQ0047A

B1QFN - 2.95 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

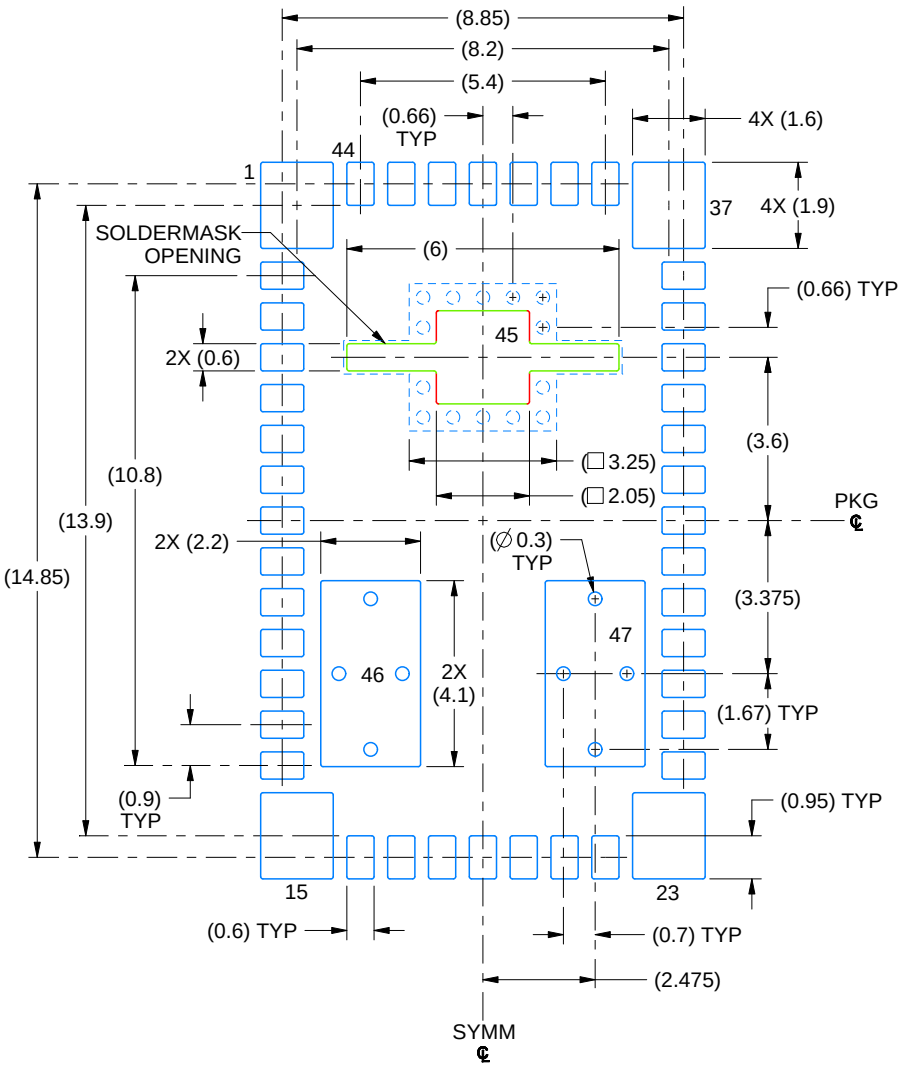
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pads must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

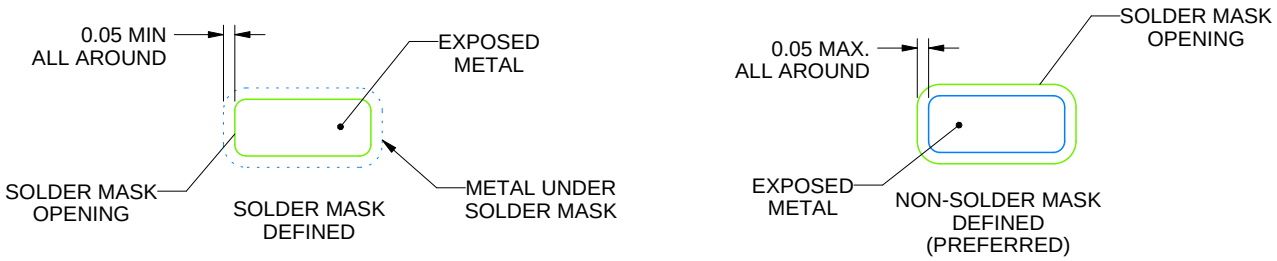
RUQ0047A

B1QFN - 2.95 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

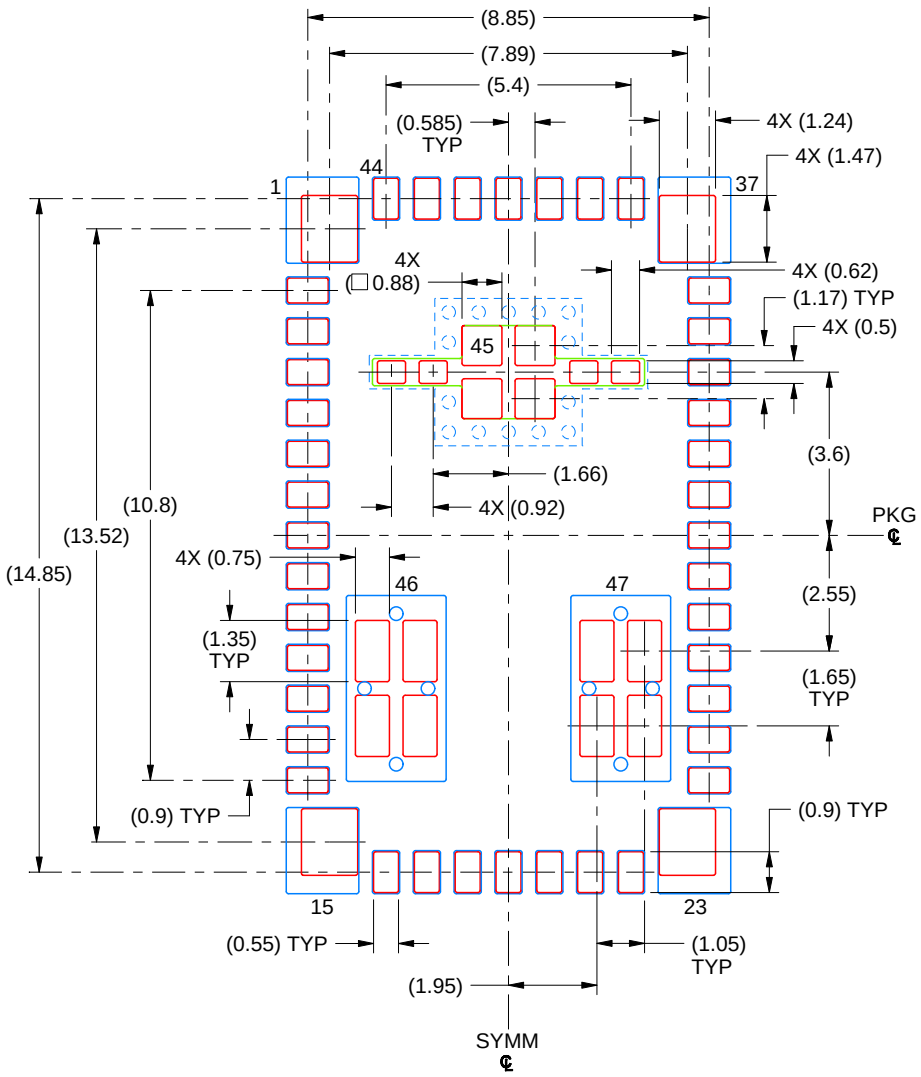


SOLDER MASK DETAIL

4226440/A 02/2021

NOTES: (continued)

4. This package designed to be soldered to a thermal pads on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm STENCIL THICKNESS

CORNER PINS 1, 15, 23 & 37:
60% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

EXPOSED PAD 45:
66% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

EXPOSED PAD 46 & 47:
45% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:6X

4226440/A 02/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月