

TPS7H6200-SEP 具有低侧电流检测功能的耐辐射 52A GaN 半桥功率级

1 特性

- 电离辐射总剂量 (TID) 特征值高达 50krad(Si)
- 破坏性单粒子效应 (DSEE) 特征值
 - 单粒子锁定 (SEL)、单粒子烧毁 (SEB) 和单粒子栅穿 (SEGR) 对于线性能量传递 LET 的抗扰度高达 43MeV·cm²/mg
- 单粒子效应特征值
 - 单粒子功能中断 (SEFI) 和单粒子瞬变 (SET) 对于 LET 的特征值高达 43MeV cm²/mg
- 支持军用 (- 55°C 至 125°C) 温度
- 3.2mΩ (典型值) 高侧 FET R_{DSON}, 1mΩ 低侧 FET R_{DSON}
- 高效率 (V_{PVIN} = 12V, V_{VOUT} = 0.8V, f_{SW} = 500kHz, T_A = 25°C, L = 200nH, DCR = 180mΩ) :
 - η = 89.6% (20A 时)
 - η = 87.2% (40A 时)
 - η = 84.9% (52A 时)
- 52A 最大连续电流
- 集成式低侧电流检测
 - 当标称负载电流大于 40A 时, 总 RSS 精度为 14.5%
- 过流、过热或 UVLO 检测的 Fault 引脚指示灯
- DrMOS 3.3V 和 5V PWM 输入信号兼容性
- 集成式过热和过流保护

2 应用

- 负载点电源
- 通信有效载荷
- 雷达成像有效载荷

3 说明

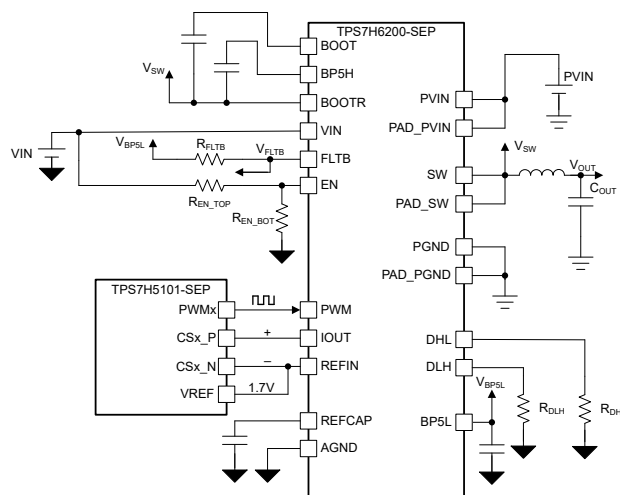
TPS7H6200-SEP 是一款具有集成栅极驱动器的 15V e-mode GaN 功率 FET，具有三态 PWM 兼容性、集成低侧电流检测、过热保护和过流保护功能。

GaN FET 半桥裸片将高侧和低侧 **GaN FET** 集成在同一个基板上，从而更大限度地减小寄生电感。该器件对于负载点电压转换采用非对称尺寸设计：低侧为 **1mΩ**，高侧为 **3mΩ**，从而优化典型输入到输出转换比的性能和效率。因此，**TPS7H6200-SEP** 在 **20A** 的典型负载下可实现超过 **89.6%** 的效率。

器件信息

器件型号 ⁽¹⁾	等级	封装 ⁽²⁾
TPS7H6200MVEJTNSP ⁽³⁾	SEP	49 引脚 WQFN-FCRLF 6.00mm × 6.00mm 质量 = 72.9mg

- (1) 有关更多信息, 请参阅[器件选项表](#)
- (2) “尺寸和质量值为标称值”
- (3) 预告信息



典型应用

内容

1 特性.....	1	8.3 特性说明.....	18
2 应用.....	1	8.4 器件功能模式.....	21
3 说明.....	1	9 应用和实施.....	22
4 器件选项表.....	3	9.1 应用信息.....	22
5 引脚配置和功能.....	4	9.2 典型应用.....	22
6 规格.....	6	9.3 电源相关建议.....	27
6.1 绝对最大额定值.....	6	9.4 布局.....	27
6.2 ESD 等级.....	6	10 器件和文档支持.....	30
6.3 建议运行条件.....	7	10.1 接收文档更新通知.....	30
6.4 热性能信息.....	7	10.2 支持资源.....	30
6.5 电气特性.....	8	10.3 商标.....	30
6.6 典型特性.....	11	10.4 静电放电警告.....	30
7 参数测量信息.....	15	10.5 术语表.....	30
8 详细说明.....	17	11 修订历史记录.....	30
8.1 概述.....	17	12 机械、封装和可订购信息.....	30
8.2 功能方框图.....	17		

4 器件选项表

通用器件型号	辐射等级 ⁽¹⁾	等级 ⁽²⁾	封装	可订购器件型号
TPS7H6200-SEP	TID 为 50krad(Si) RLAT , 无 DSEE (43MeV cm ² /mg)	增强型航天塑料	49 英寸塑料 WQFN- FCRLF (VEJ)	TPS7H6200VEJMTNSP

- (1) TID 是总电离剂量，RLAT 是辐射批次验收测试，DSEE 是破坏性单粒子效应。每个产品的关联 TID 报告和 SEE 报告中提供了额外信息。
- (2) 有关器件等级的其他信息，请查看 [SLBY235](#)

5 引脚配置和功能

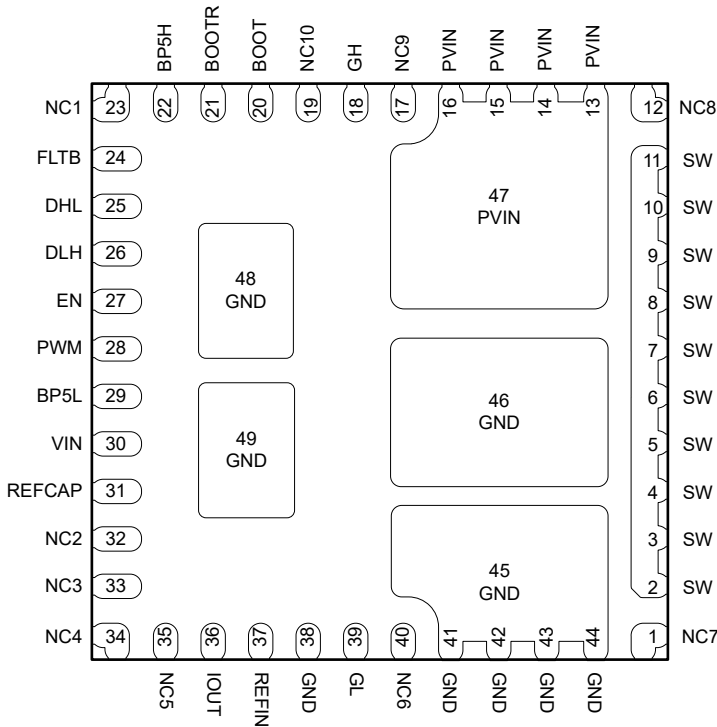


图 5-1. TPS7H6200-SEP 49 引脚 VEJ0049A , WQFN-FCRLF 封装 (顶视图)

表 5-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
BOOT	20	P	高侧自举电源输入。该引脚提供高侧栅极驱动器所需的浮动电源电压。在 BOOT 和 BOOTR 引脚之间连接一个 100nF 陶瓷电容器。
BOOTR	21	P	高侧自举回流。该引脚用作高侧栅极驱动器的回流路径，并在内部连接到 SW (开关) 节点。
BP5H	22	P	高侧 5.5V LDO 输出需要一个连接到 BP5H 和 BOOTR 的 1 μ F 陶瓷电容器。将电容器尽可能靠近封装放置，避免增加外部负载。对于底部安装，请使用多个焊盘内过孔，以最大限度地减小小寄生电感。
BP5L	29	P	低侧 5.5V 线性稳压器输出：在 BP5L 和 GND 之间连接一个 1 μ F 陶瓷电容器，将元件尽可能靠近封装放置。允许连接到 DHL 和 DLH，以及连接到 FLT B 的上拉电阻；但 BP5L 消耗的电流不得超过 100 μ A。请勿将任何其他元件连接至 BP5L 引脚。如果电容器安装在 PCB 底部，请使用多个焊盘内过孔，以最大限度地减小寄生电感。
DHL	25	I	高侧至低侧死区时间设定。在 DHL 和 GND 之间连接一个 10k Ω 电阻以设定死区时间。节 9.2.2.2 中介绍了其他选项
DLH	26	I	低侧至高侧死区时间设定。在 DLH 和 GND 之间连接一个 10k Ω 电阻以设定死区时间。节 9.2.2.2 中介绍了其他选项
EN	27	I	使能。将此端子驱动为逻辑高电平可启用器件；将端子驱动为逻辑低电平可禁用器件。(可选) VIN 和 GND 之间的电阻分压器可用于设置器件导通电平。
FLT B	24	O	Fault 引脚。一个开漏引脚，当检测到过流事件、过热或进入 UVLO 状态事件时，该引脚置为低电平有效。将 10k Ω 上拉电阻器连接到 5V 电源或 BP5L。
GH	18	O	高侧栅极引脚。此引脚用于访问高侧 GaN FET 的栅极以进行调试和测试。运行期间，请勿将检测或外部网络连接到此引脚。

表 5-1. 引脚功能 (续)

引脚		类型 ⁽¹⁾	说明
名称	编号		
GL	39	O	低侧栅极引脚。此引脚用于访问低侧 GaN FET 的栅极以进行调试和测试。运行期间，请勿将检测或外部网络连接到此引脚。
GND	38、41 至 46、48 至 49	G	驱动器信号回流，内部连接到低侧 GaN FET 的源极端子；引脚 41 至 46 位于大电流路径中。
IOUT	36	O	电流检测放大器的输出。V(IOUT) - V(REFIN) 与相电流成正比。
NC1	23	—	无连接。用于将封装固定到 PCB 上。引脚 NC1 在内部拉至某一电压。TI 建议将 NC1 连接至 GND，也可以选择将 NC1 保持悬空。
NC2	32	—	无连接。引脚 NC2 在内部拉至某一电压。TI 建议将 NC2 连接至 GND，也可以选择将 NC2 保持悬空。
NC3	33	—	无连接。引脚 NC3 在内部下拉至 GND。TI 建议将 NC3 连接至 GND，也可以选择将 NC3 保持悬空。
NC4	34	—	无连接。用于将封装固定到 PCB 上。引脚 NC4 在内部下拉至 GND。TI 建议将 NC4 连接至 GND，也可以选择将 NC4 保持悬空。
NC5	35	—	无连接。引脚 NC5 在内部下拉至 GND。TI 建议将 NC5 连接至 GND，也可以选择将 NC5 保持悬空。
NC6	40	—	无连接。引脚 NC6 未在内部连接至器件。TI 建议将 NC6 连接至 GND 以防止电荷积聚；但也可以将 NC6 保持悬空。
NC7	1	—	无连接。用于将封装固定到 PCB 上。引脚 NC7 未在内部连接至器件。TI 建议将 NC7 连接至 GND 或 SW 以防止电荷积聚；也可以选择将 NC7 保持悬空。
NC8	12	—	无连接。用于将封装固定到 PCB 上。引脚 NC8 未在内部连接至器件，TI 建议将 NC8 连接至 PVIN 或 SW 以防止电荷积聚；也可以选择将 NC8 保持悬空。
NC9	17	—	无连接。引脚 NC9 未在内部连接至器件。TI 建议将 NC9 连接至 GND 或 PVIN 以防止电荷积聚；也可以选择将引脚 NC9 保持悬空。
NC10	19	—	无连接。引脚 NC10 未在内部连接至器件。TI 建议将 NC10 连接至 GND 或 PVIN 以防止电荷积聚；也可以选择将 NC10 保持悬空。
PVIN	13 至 16、47	P	在内部连接至高侧 GaN FET 漏极端子；此连接是大电流路径的一部分。
PWM	28	I	来自外部控制器的三态输入。逻辑低电平导通低侧 FET，逻辑高电平导通高侧 FET，而三态则关断两个 FET
REFCAP	31	O	1.2V 内部基准。需要将 470nF 的外部电容器连接到 GND。
REFIN	37	I	IOUT 电流检测输出的外部基准电压输入。施加 1V 到 2V 的基准电压。
SW	2 至 11	P	将高侧源极连接到低侧漏极的开关节点引脚，连接到输出电感器。此连接构成大电流路径的一部分。
VIN	30	P	内部栅极驱动电路的电源电压。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 地，P = 电源

6 规格

6.1 绝对最大额定值

在工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
输入电压	VIN、PVIN	-0.3	17	V
	EN、PWM	-0.3	7.5	
	REFIN	-0.3	BP5L + 0.3	
	BOOT	-0.3	33	
输出电压	BP5L、DHL、DLH、FLT B	-0.3	7.5	V
	BP5H - SW	-0.3	33	
	REFCAP	-0.3	1.9	
	SW	-3.5	17	
	IOUT	-0.3	BP5L + 0.5	
输出电流	$I_{SW(pulse)}$ ，单脉冲漏极电流 $t_p < 80\mu s$		125	A
T_J	工作结温	-55	150	°C
T_{STG}	存储温度， T_{stg}	-65	150	

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不意味着器件在这些条件下或在建议工作条件以外的任何其他条件下能够正常运行。如果超出建议工作条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚 ⁽¹⁾	±500	V
$V_{(ESD)}$	静电放电	充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚 ⁽²⁾	±250	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

			最小值	标称值	最大值	单位
输入电压	VIN		8.5		15	V
	PVIN		4.5		15	
	EN		0		5	
	PWM		0		5	
	REFIN		1	1.7	2	
	V _{IH}	PWM 输入电压, 逻辑高电平	3			
	V _{IL}	PWM 输入电压, 逻辑低电平			0.7	
	V _{MID}	PWM 输入电压, 逻辑三态	1.5		1.8	
输出电压	FLT _B		0		5	V
	BOOT		V _{SW} +5V		V _{SW} +14V	
	SW		-3		15	
输出电流	I _{OUT} (CONT)	输出电流 (直流平均值)			52	A
	I _{HS} (RMS)	高侧 GaN FET RMS 电流			12.5	
	I _{LS} (RMS)	低侧 GaN FET RMS 电流			50.5	
	I _{CS} (range)	电流检测范围	-20		90	ns
	t _{ON} (min)	最短输入脉冲持续时间	10			
	工作结温		-55		125	

6.4 热性能信息

热指标 ⁽¹⁾		TPS7H6200-SEP	单位
		WQFN	
		49 引脚	
R _{θJA}	结至环境热阻	23.9	°C/W
R _{θJC} (top)	结至外壳 (顶部) 热阻	8.7	°C/W
R _{θJC} (bot)	结至外壳 (底部) 热阻	1.3	°C/W
R _{θJC} (HS)(bot)	结至外壳高侧 FET (PVIN 焊盘) ⁽²⁾	3.8	°C/W
R _{θJC} (LS)(bot)	结至外壳低侧 FET (GND 焊盘) ⁽²⁾	1.3	°C/W
R _{θJB}	结至电路板热阻	7.1	°C/W
Ψ _{θJT}	结至顶部特征参数	1.0	°C/W
Ψ _{θJB}	结至电路板特征参数	7.2	°C/W

(1) 有关传统与新型热指标的更多信息, 请参阅 [SPRA953](#) 应用手册

(2) 相关散热焊盘的结至外壳底部热阻

6.5 电气特性

$8.5V \leq V_{IN} \leq 15V$, $R_{DLH} = R_{DHL} = 10k\Omega$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$ (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位
GAN 功率 FET							
r _{DS(on)(ls)}	低侧 R _{DS(on)}	V _{PWM} = 5V I _{SW_PGND} = 5A	T _A = -55℃	0.8	1.2	mΩ	
			T _A = 25℃	1	1.5		
			T _A = 125℃	1.5	2		
V _{SD(ls)}	低侧源漏 (GND 至 SW) 第三象限电压	I _{SW_GND} = - 2A		1.5	3	V	
r _{DS(on)(hs)}	高侧 R _{DS(on)}	V _{EN} = 5V I _{VIN_SW} = 2A	T _A = -55℃	2.4	3.6	mΩ	
			T _A = 25℃	3.2	4		
			T _A = 125℃	4.27	5.2		
V _{SD(hs)}	高侧源漏 (SW 至 PVIN) 第三象限电压	I _{VIN_SW} = - 2A		1.5	3	V	
电源电流							
I _{SHDN}	关断电流	EN = 0V BOOT = 10V		12	20	mA	
I _{BOOT}	BOOT 电流	SW = 12V , BOOT = 22V		5.5	8	mA	
I _{OP}	工作电流	PVIN = 0V 占空比 = 10%	f _{SW} = 100kHz	12	40	mA	
			f _{SW} = 500kHz	26	60		
			f _{SW} = 1MHz	45	90		
内部稳压器							
V _{BP5L}	低侧 5V 稳压器输出电压	C _{BP5L} = 1μF , I _{BP5L} = 37.5mA , V _{BOOT} = V _{IN} - 3.5V		5	5.5	5.9	V
V _{BP5H}	高侧 5V 稳压器输出电压	C _{BP5H} = 1μF I _{BP5H} = 3mA V _{BOOT} = V _{IN} -3.5V	10V ≤ V _{IN} ≤ 15V	4.9	5.5	5.9	V
			8.5V ≤ V _{IN} ≤ 10V	3.3	5.4	5.7	
REFCAP	REFCAP 电压	C _{REF} = 470nF		1.16	1.2	1.23	V
UVLO 和 ENABLE							
BP5H _R	BP5H UVLO 上升阈值	C _{BP5H} = 1μF		3.2	3.41	3.61	V
BP5H _F	BP5H UVLO 下降阈值			3.1	3.25	3.4	
BP5H _H	BP5H UVLO 迟滞			0.17			
BP5L _R	BP5L UVLO 上升阈值	C _{BP5L} = 1μF		3.95	4.16	4.3	V
BP5L _F	BP5L UVLO 下降阈值			3.81	3.96	4.21	
BP5L _H	BP5L UVLO 迟滞			0.2			
V _{VIN(TH)_UVLO_R}	VIN UVLO 上升阈值	EN = 5V	V _{IN(rising)} 至 V _{GL} = 1.5V	7.7	8	8.3	V
V _{VIN(TH)_UVLO_F}	VIN UVLO 下降阈值		V _{IN(falling)} 至 V _{GL} = 1.5V	7.5	7.8	8.1	
V _{UVLOHYST_VI_N}	VIN UVLO 迟滞			0.2			
t _{UVLO(delay)}	UVLO 传播延迟	EN = 5V , V _{IN(rising)} = 6.9V 至 V _{GL} = 1.5V		0.2		1	ms
V _{EN_TH(rising)}	使能上升阈值 (导通)	V _{PWM} = 0V	V _{EN(rising)} 至 V _{GL} = 1.5V	0.564	0.596	0.644	V
V _{EN_TH(falling)}	使能下降阈值 (关断)		V _{EN(falling)} 至 V _{GL} = 1.5V	0.464	0.496	0.536	
V _{EN(HYS)}	使能阈值迟滞			0.1			
t _{EN(delay)}	启用传播延迟	EN 高电平至 V _{GL} = 1.5V , PWM = 0V		8		20	μs
I _{EN(LKG)}	使能输入漏电流	V _{EN} = 7V		1		20	nA

6.5 电气特性 (续)

$8.5V \leq V_{IN} \leq 15V$, $R_{DLH} = R_{DHL} = 10k\Omega$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
电流检测						
G _{IOUT}	电流检测增益		4.5	5	5.5	mV/A
I _{ABS(OS)}	绝对电流检测失调误差		-4.2		4.2	A
V _{IOUT_DR}	I _{OUT} 动态范围电压, V _{REFIN} - V _{IOUT}	- 20A ≤ I _{D(LS)} ≤ 90A	-175		600	mV
自动加载						
V _{SD(BOOT)}	源漏电压, 内部自举 FET	I _{BST} = 100mA	1	2.2	3.5	V
过热保护						
T _{OTPR}	过热上升阈值			175		°C
T _{OTPF}	过热下降阈值			145		°C
过流保护						
I _{SRC_OC(enter)}	拉电流过流限制, 进入			105		A
I _{OC(exit)}	拉电流过流限制, 退出			95		
I _{SRC_OC(HYS)}	拉电流过流限制, 迟滞			15		
I _{SNK_OC(enter)}	灌电流过流限制, 进入			-20		
FAULT						
V _{IN_min_FLT}	有效 FLTB 输出的最小 VIN 电压	在 100 μ A 下, 当 V _{FLT} ≤ 0.5V 时测得		3		V
I _{FLT(LKG)}	故障漏电流	V _{FLT} = 7V		50	425	nA
V _{FLT(OL)}	故障逻辑低电平输出	I _{FLT} = 1mA			0.2	V
死区时间						
t _{DLH}	低电平到高电平的死区时间 ⁽¹⁾	V _{DLH} = BP5L = 5.5V	6	12	19	ns
		R _{DLH} = 10kΩ	2	7	13	
t _{DHL}	高电平到低电平死区时间 ⁽¹⁾	V _{DHL} = BP5L = 5.5V	2	7	16	ns
		R _{DHL} = 10kΩ	2	7	13	
PWM						
I _{PWM(IH)}	PWM 灌电流	V _{PWM} = 5V		500		μA
I _{PWM(IL)}	PWM 拉电流	V _{PWM} = 0V		-500		μA
V _{PWM(rising_TH)}	PWM 上升阈值电压		2	2.3	2.7	V
V _{PWM(falling_TH)}	PWM 下降阈值电压		0.7	1.1	1.3	
V _{MID}	PWM 三态电压			1.8		

6.5 电气特性 (续)

$8.5V \leq V_{IN} \leq 15V$, $R_{DLH} = R_{DHL} = 10k\Omega$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
定时						
$t_{p(HL)(GL)}$	低侧栅极 (GL) 逻辑高电平到逻辑低电平传播延迟 ⁽¹⁾	$V_{PWM} = 3V$ 至 $V_{GL} = 1.5V$		78	133	ns
$t_{p(LH)(GL)}$	低侧栅极 (GL) 逻辑低电平到逻辑高电平传播延迟 ⁽¹⁾	$V_{PWM} = 0.8V$ 至 $V_{GL} = 1.5V$		90	120	
$t_{p(HL)(GH)}$	高侧栅极 (GH) (以 SW 为基准) 逻辑高电平到逻辑低电平传播延迟 ⁽¹⁾	$V_{PWM} = 0.8V$ 至 $V_{GH_SW} = 1.5V$		81	116	
$t_{p(LH)(GH)}$	高侧栅极 (GH) (以 SW 为基准) 逻辑低电平到逻辑高电平传播延迟 ⁽¹⁾	$V_{PWM} = 3V$ 至 $V_{GH_SW} = 1.5V$		88	118	
$t_{d(SW)(LH)}$	开关节点上升延迟时间 ⁽¹⁾	$V_{PWM} = 0.8V$ 至 $V_{SW} = 1.2V$		85		ns
$t_{d(SW)(HL)}$	开关节点下降延迟时间 ⁽¹⁾	$V_{PWM} = 3V$ 至 $V_{SW} = 10.8V$		87		
$t_{p(L3)}$	三态进入, 逻辑低电平到三态传播延迟 ⁽¹⁾	$V_{PWM} = 0V$ 至 $1.7V$, $V_{GL} = 1.5V$		96	140	ns
$t_{p(3H)}$	三态退出, 三态到逻辑高电平传播延迟 ⁽¹⁾	$V_{PWM} = 1.7V$ 至 $5V$, $V_{GH_SW} = 1.5V$		126	190	
$t_{p(H3)}$	三态进入, 逻辑高电平到三态传播延迟 ⁽¹⁾	$V_{PWM} = 5V$ 至 $1.7V$, $V_{GH_SW} = 1.5V$		123	145	
$t_{p(3L)}$	三态退出, 三态到逻辑低电平传播延迟 ⁽¹⁾	$V_{PWM} = 1.7V$ 至 $0V$, $V_{GL} = 1.5V$		140	197	
$t_{3HT(L3)}$	三态保持时间, 逻辑低电平至三态进入 ⁽¹⁾		10	24		ns
$t_{3HT(H3)}$	三态保持时间, 逻辑高电平至三态进入 ⁽¹⁾		10	24		
$t_{d(PWM-SW)(L3)}$	开关节点三态进入, 从逻辑低电平至三态 ⁽¹⁾	$V_{PWM} = 1.7V$ 至 $V_{SW} = -0.8V$		105		ns
$t_{d(PWM-SW)(3H)}$	开关节点三态退出, 从三态至逻辑高电平 ⁽¹⁾	$V_{PWM} = 3V$ 至 $V_{SW} = 1.2V$		150		
$t_{d(PWM-SW)(H3)}$	开关节点三态进入, 从逻辑高电平至三态 ⁽¹⁾	$V_{PWM} = 1.7V$ 至 $V_{SW} = 10.8V$		80		
$t_{d(PWM-SW)(3L)}$	开关节点三退出态, 从三态至逻辑低电平 ⁽¹⁾	$V_{PWM} = 0.7V$ 至 $V_{SW} = 0V$		120		

(1) 请参阅参数测量信息中的测量图

6.6 典型特性

VIN = 12V , PVIN = 12V , TA = 25°C , RDLH = RDHL = 10kΩ , CREF = 470nF

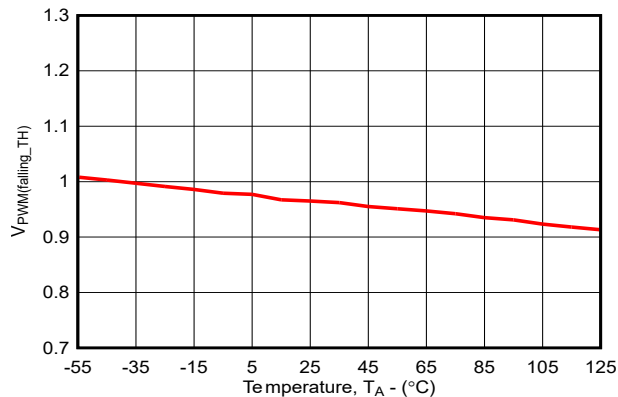


图 6-1. PWM 下降阈值电压 $V_{\text{PWM(falling_TH)}}$ 与温度间的关系

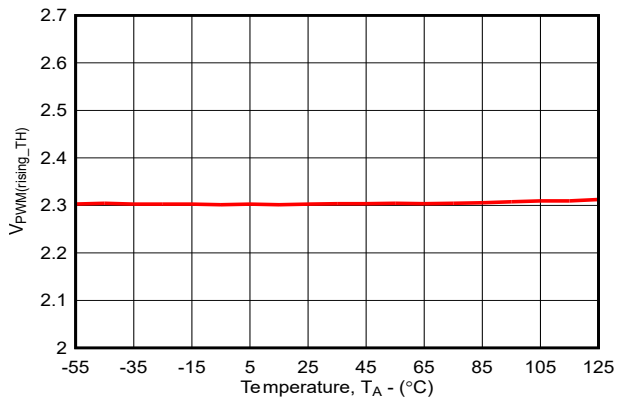


图 6-2. PWM 上升阈值电压 $V_{\text{PWM(rising_TH)}}$ 与温度间的关系

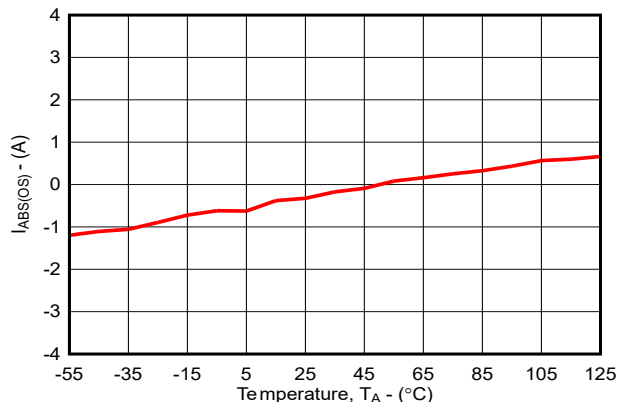


图 6-3. 绝对电流检测偏移 $I_{\text{ABS(OS)}}$ 与温度间的关系

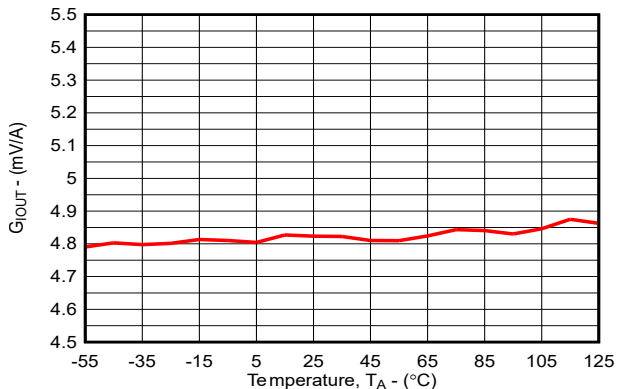


图 6-4. 电流检测增益 G_{IOUT} 与温度间的关系

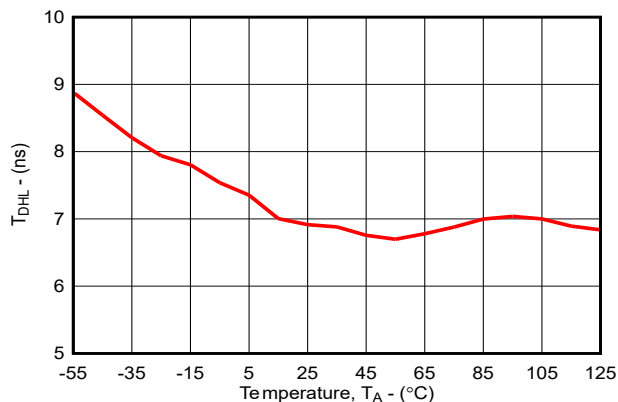


图 6-5. 高电平到低电平死区时间 t_{DHL} 与温度间的关系

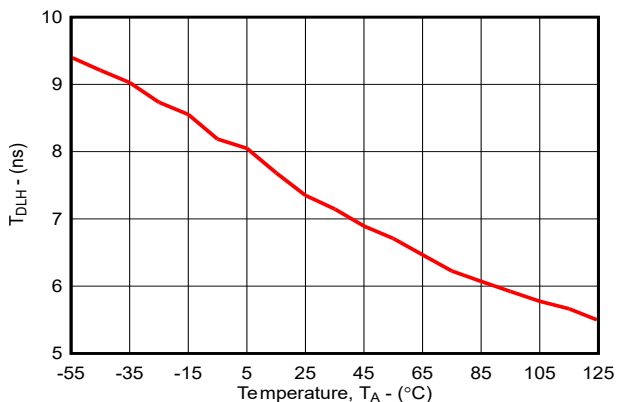


图 6-6. 低电平到高电平死区时间 t_{DLH} 与温度间的关系

6.6 典型特性 (续)

$V_{IN} = 12V$, $P_{VIN} = 12V$, $T_A = 25^\circ C$, $R_{DLH} = R_{DHL} = 10k\Omega$, $C_{REF} = 470nF$

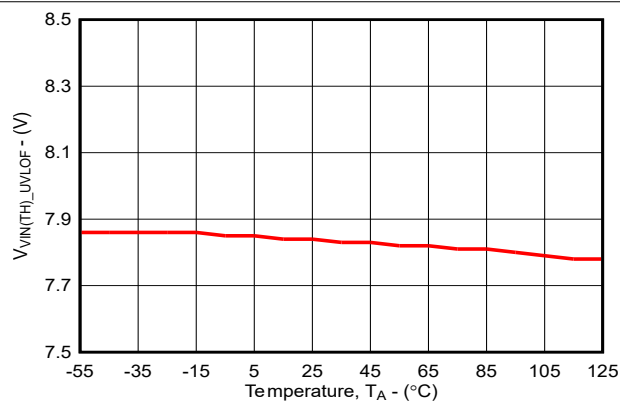


图 6-7. VIN ULVO 下降阈值 $V_{VIN(TH)_UVLOF}$ 与温度间的关系

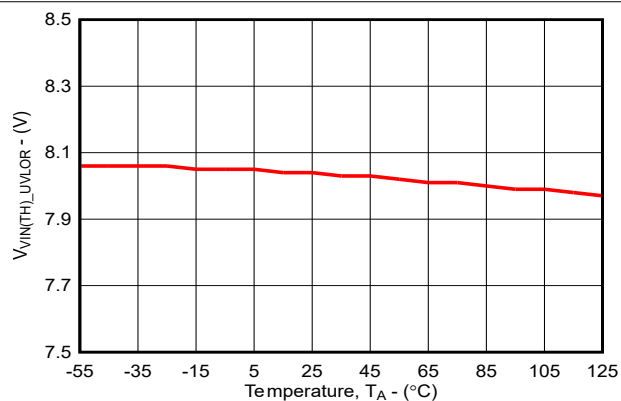


图 6-8. VIN UVLO 上升阈值 $V_{VIN(TH)_UVLOR}$ 与温度间的关系

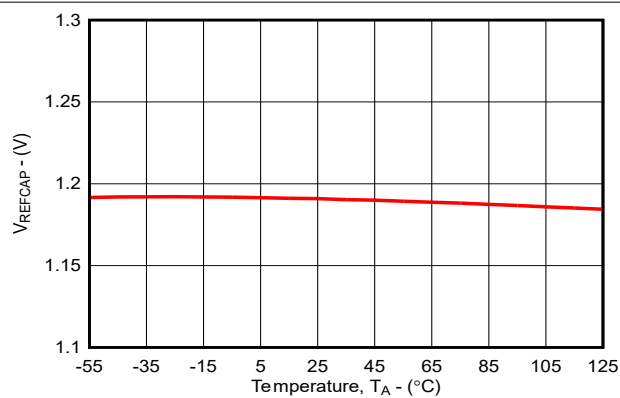


图 6-9. REFCAP 电压 V_{REFCAP} 与温度间的关系

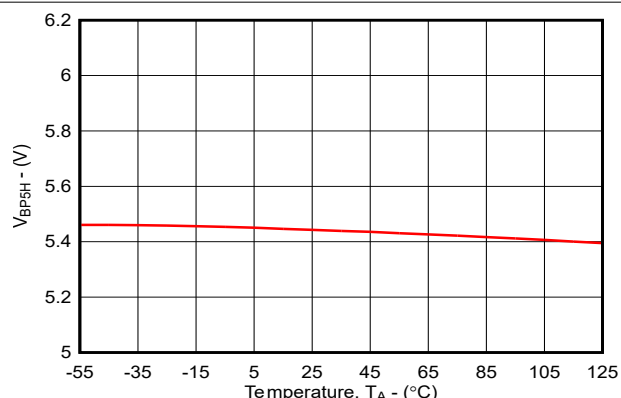


图 6-10. 高侧稳压器电压 V_{BP5H} 与温度间的关系

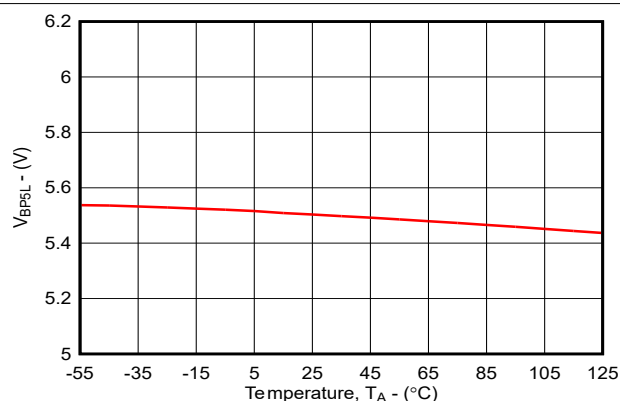


图 6-11. 低侧稳压器电压 V_{BP5L} 与温度间的关系

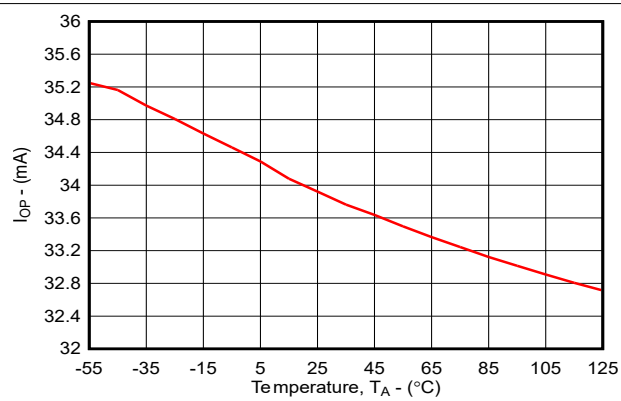


图 6-12. 工作电流 I_{OP} 与温度间的关系

6.6 典型特性 (续)

$V_{IN} = 12V$, $P_{VIN} = 12V$, $T_A = 25^{\circ}C$, $R_{DLH} = R_{DHL} = 10k\Omega$, $C_{REF} = 470nF$

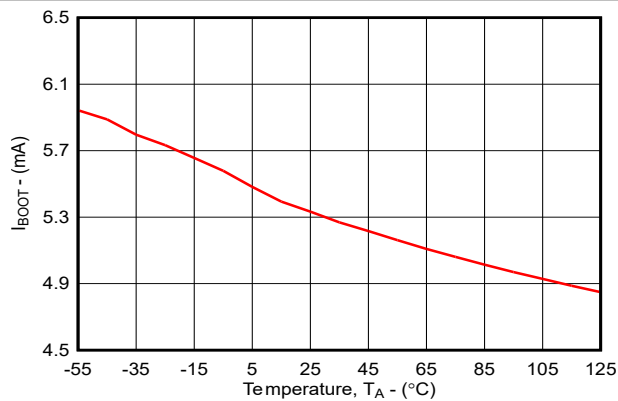


图 6-13. 自举电流 I_{BOOT} 与温度间的关系

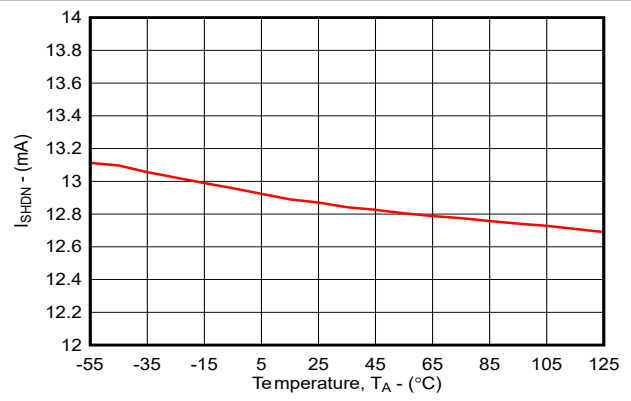


图 6-14. 关断电流 I_{SHDN} 与温度间的关系

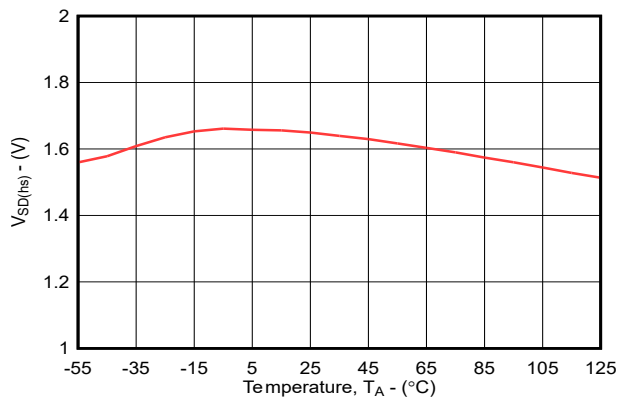


图 6-15. 高侧源漏电压 V_{SD} 与温度间的关系

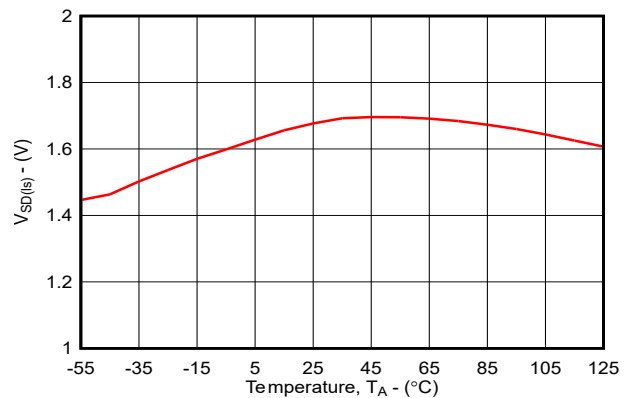


图 6-16. 低侧源漏电压 V_{SD} 与温度间的关系

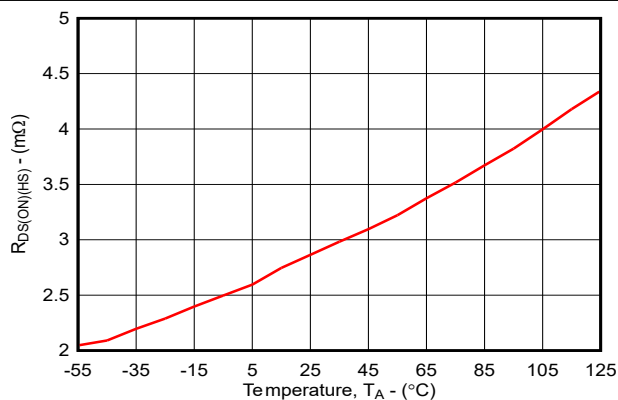


图 6-17. 高侧漏源电阻 $R_{DS(on)(HS)}$ 与温度间的关系

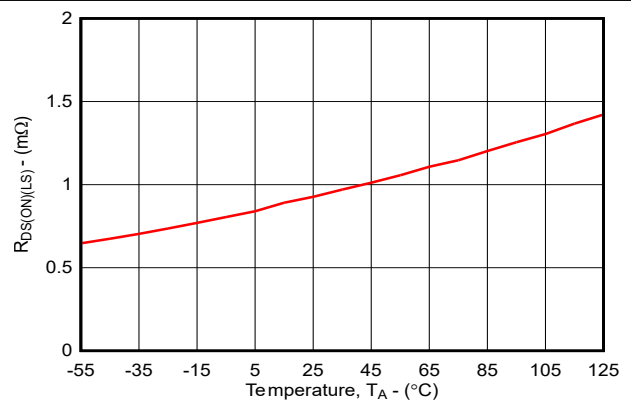
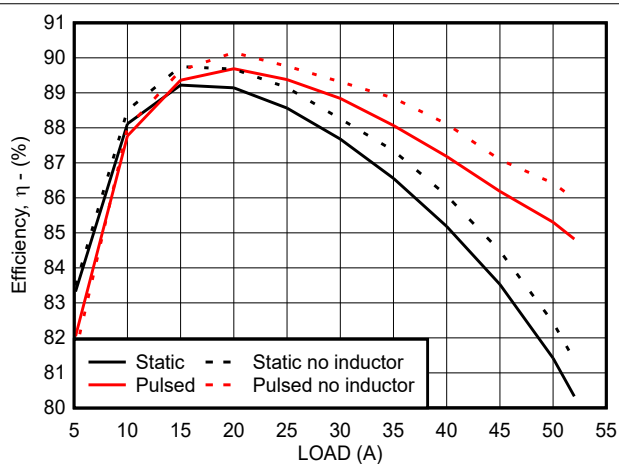


图 6-18. 低侧漏源电阻 $R_{DS(on)(LS)}$ 与温度间的关系

6.6 典型特性 (续)

$V_{IN} = 12V$, $P_{VIN} = 12V$, $T_A = 25^\circ C$, $R_{DLH} = R_{DHL} = 10k\Omega$, $C_{REF} = 470nF$



$f_{SW} = 500kHz$
 $L = 200nH$, $DCR = 180m\Omega$

$P_{VIN} = 12V$
静态：浸泡 3 分钟

$V_{OUT} = 0.8V$
脉冲：浸泡 300 毫秒
不包括电感损耗的曲线根据计算得出

图 6-19. 效率与输出电流之间的关系

7 参数测量信息

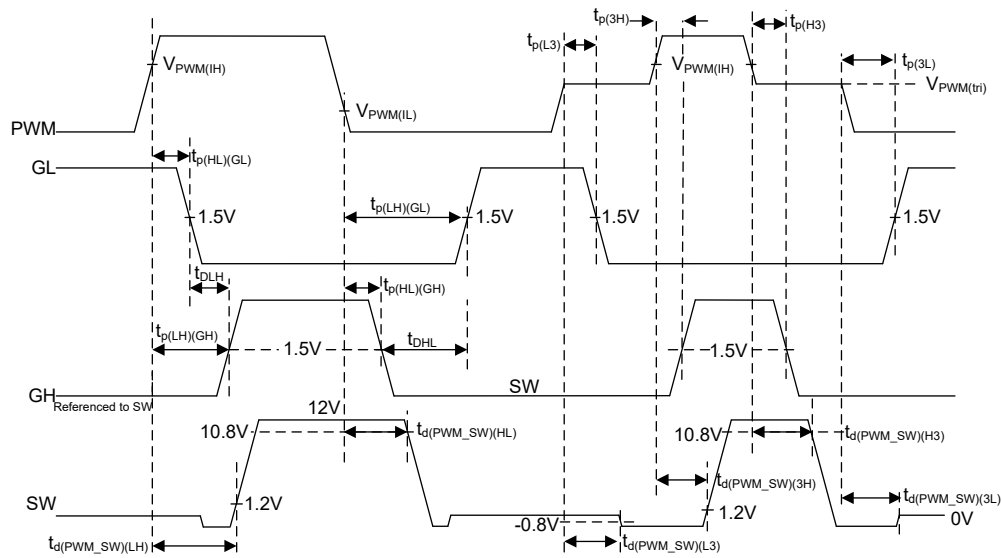


图 7-1. 时序测量

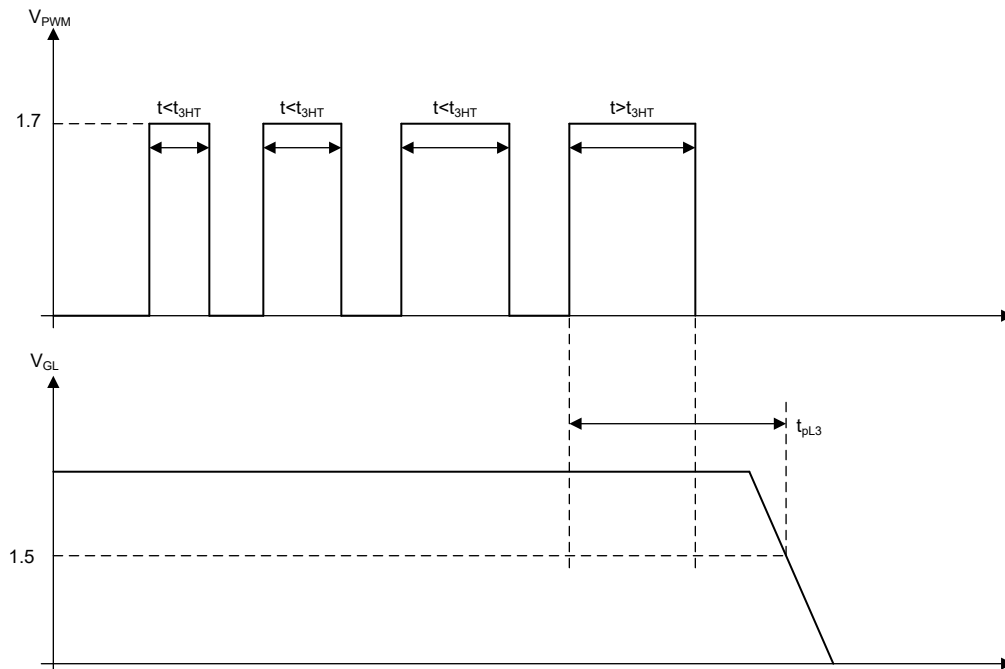


图 7-2. 保持关断时间测量 — 低电平到三态

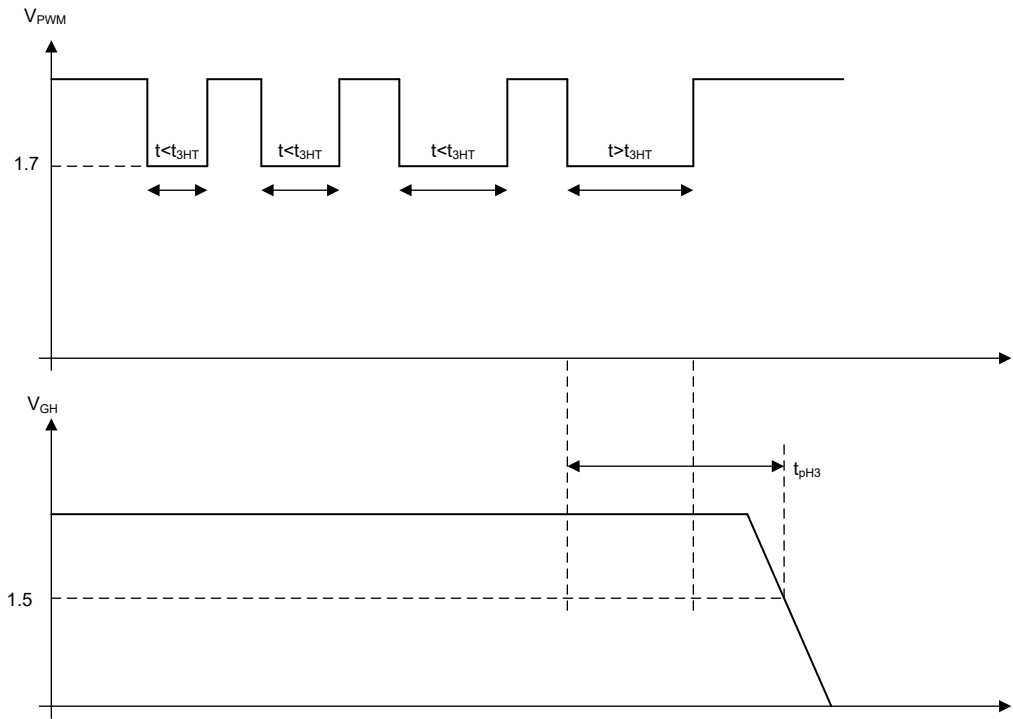


图 7-3. 保持关断时间测量 — 高电平到三态

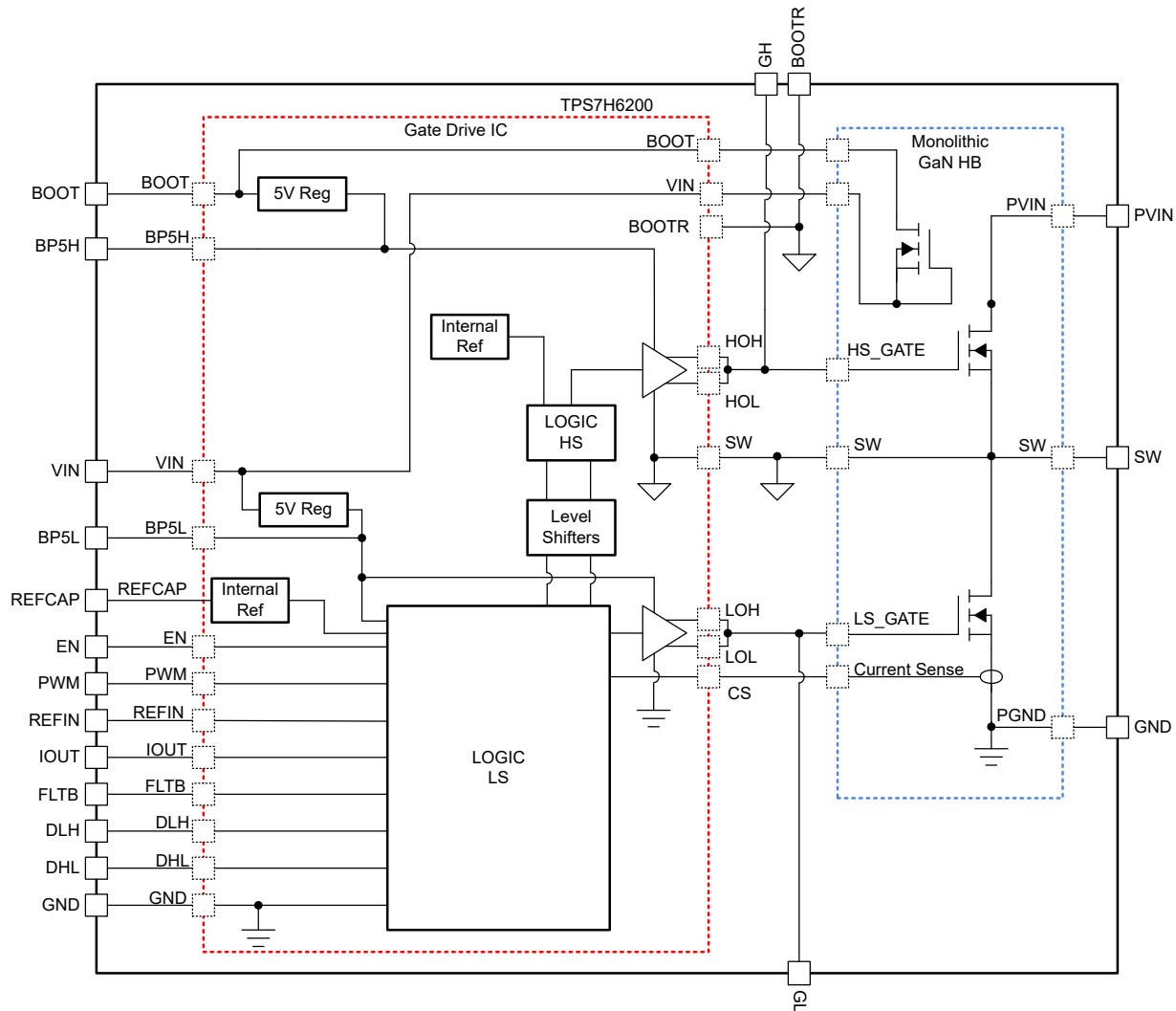
8 详细说明

8.1 概述

TPS7H6200-SEP 是一款高度集成的 15V GaN 功率级，它由两个裸片组成：一个硅栅极驱动器和一个半桥 GaN 裸片。TPS7H6200-SEP 针对同步降压转换器进行了优化，专为将 12V 电压降至低于 1V 负载点电源的应用而设计。宽 PVIN 电压范围和低 GaN FET $R_{DS(on)}$ 有助于实现额外的转换比。

该器件采用紧凑型 6mm × 6mm 封装，具有可湿性侧面，支持三态 PWM 输入、过流和过热监测、可编程死区时间以及故障指示。通过在一个芯片上集成高侧和低侧 GaN FET，TPS7H6200-SEP 可实现极低的寄生电感和更高的效率。

8.2 功能方框图



ADVANCE INFORMATION

8.3 特性说明

8.3.1 VIN PVIN

VIN 引脚为内部控制电路供电，而 PVIN 引脚和 PVIN 焊盘为内部高侧 FET 提供输入电压。VIN 和 PVIN 的输入电压范围均为 4.5V 至 15V，且两者均未在内部连接。

将至少一个 100nF 陶瓷旁路电容器连接至 VIN。如果需要补充的旁路电容（例如 10nF 或 1nF），请将这些电容器尽可能靠近 VIN 引脚放置。

PVIN 输入电容器网络由一组容量逐渐增大的旁路电容器和大容量电容器组成，材料采用陶瓷、钽或聚合物技术。

8.3.2 自举运行

TPS7H6200-SEP 为高侧栅极驱动器电路提供电源，其集成了一个内部栅源极连接的 GaN FET，以将 GaN FET 的第三象限工作特性用作自举二极管。TI 建议为 C_{BOOT} 使用陶瓷 16V（最小额定电压）100nF 电容器。

8.3.3 电压基准

该器件会产生一个内部标称 1.2V 带隙基准电压；稳态运行期间，此电压出现在 REFCAP 引脚上。REFCAP 引脚需要 470nF 接地电容，以实现器件的 SET 性能。

8.3.4 启用

当使能引脚 EN 被驱动至高于 V_{EN_TH(rising)}（典型值 0.596V）时，TPS7H6200-SEP 退出关断模式，并在退出 UVLO 后开始开关。

当 EN 引脚被驱动至 V_{EN_TH(falling)} 以下时，器件进入关断模式，停止运行。

将 VIN 连接到 EN 需要外部电阻分压器，因为最大 EN 输入电压 (7.5V) 低于建议的 VIN (8.5V)。可适当调整电阻器大小，以确保能够在达到期望的预设输入电压时导通器件（请参阅方程式 1）。使能分压器有助于创建可调节 UVLO，以补充 VIN 引脚上的默认内部 UVLO 电压。

$$R_{EN_TOP} = R_{EN_BOT} \times \left(\frac{V_{EN(rising)}}{V_{VIN(rising)} - V_{EN(rising)}} \right) \quad (1)$$

其中

- V_{IN(rising)} = 导致 EN 变为高电平的目标 VIN 值，必须大于 0.6V
- V_{EN(rising)} = 0.596V（典型值）
- R_{EN_TOP} = VIN 到 EN 的反馈电阻
- R_{EN_BOT} = EN 至 GND 的反馈电阻

EN 引脚具有 100mV（典型值）的迟滞。因此，方程式 2 可用于计算 V_{IN(falling)} 电压。

$$V_{VIN(falling)} = V_{EN(falling)} \times \left(\frac{R_{EN_TOP} + R_{EN_BOT}}{R_{EN_BOT}} \right) \quad (2)$$

其中

- V_{IN(falling)} = 导致 EN 变为低电平并关闭 TPS7H6200-SEP 的 VIN 值
- V_{EN(falling)} = 0.496V（典型值）

也可以通过微控制器或 FPGA 直接驱动 EN 引脚。使能引脚的低电压阈值有助于支持 1.1V、1.8V、2.5V 和 3.3V 逻辑电平。

8.3.5 启动和 UVLO

TPS7H6200-SEP 具有用于 VIN 和稳压器 BP5H、BP5L 的 UVLO 电路，可改变栅极驱动输出的状态，从而为 GaN FET 和外部负载提供可靠的保护。

表 8-1. UVLO、ENABLE 和 FLTB 逻辑操作

条件					输出			
VIN	EN	PWM	BP5L ⁽¹⁾	BP5H ⁽¹⁾	FLT B ⁽²⁾	GH	GL	SW
VIN < V _{VIN(TH)_UVLO} (VIN UVLO)	×	×	×	×	OL	OL	OL	三态
VIN > V _{VIN(TH)_UVLO}	V _{EN} < V _{EN_TH} (禁用)	×	标称值	标称值	OH	OL	OL	三态
	V _{EN} > V _{EN_TH} (启用)	×	UVLO	×	OL	OL	OL	三态
		IL	标称值	UVLO	OL	OL	OH	处于活动状态的 LS
		TRI	标称值	UVLO	OL	OL	OL	三态
		IH	标称值	ULVO	OL	OL	OH	处于活动状态的 LS ⁽³⁾
		IL	标称值	标称值	OH	OL	OH	处于活动状态的 LS
		TRI	标称值	标称值	OH	OL	OL	三态
		IH	标称值	标称值	OH	OH	OL	处于活动状态的 HS

(1) V_{BP5X} 小于“电气特性”表中规定的最小电压时，稳压器处于 UVLO 状态

(2) 检测到故障时，FLT B OL 由内部下拉 FET 驱动为低电平；否则，FLT B 被上拉

(3) BP5H 处于 UVLO 状态时，低侧 FET 保持导通状态，HS 栅极信号互锁，且在 PWM 存在 IH 电压时阻止导通

8.3.6 可编程死区时间

DHL 引脚定义了从高侧栅极电压达到 1.5V (下降) 到低侧栅极电压达到 1.5V (上升) 之间的死区时间间隔；请参阅图 7-1。将 10kΩ 电阻器从 DHL 连接到地，可产生 7ns 高侧到低侧转换的典型死区时间。

DLH 引脚设置了低侧栅极电压达到 1.5V (下降) 到高侧栅极电压达到 1.5V (上升) 之间的可编程死区时间；请参阅图 7-1。将 10kΩ 电阻器从 DLH 连接到地，可产生 7ns 低侧到高侧转换的典型死区时间。

对于旨在减少外部元件数量的设计，可以不组装死区时间电阻器，并将 DHL 和 DLH 直接连接到 5.5V 电源 (或连接到低侧稳压器 BP5L)，将 DHL 的标称死区时间值设为 7ns，DLH 设为 12ns。

8.3.7 电流检测

TPS7H6200-SEP 包含一个无损低侧电流检测 FET，其通过 IOUT 和 REFIN 引脚输出差分电压信号。

电流检测增益

TPS7H6200-SEP 的电流检测增益为 5mV/A (典型值)，容差为 $\pm 0.5\text{mV/A}$ ；使用方程式 3 得出误差 ($\varepsilon_{\text{Gain}}$) 为 $\pm 10\%$ 。

$$\varepsilon_{\text{Gain}} = \frac{\text{tol}_{G_{\text{IOUT}}}\left(\frac{\text{mV}}{\text{A}}\right)}{G_{\text{IOUT}}\left(\frac{\text{mV}}{\text{A}}\right)} \times 100 \quad (3)$$

失调

失调精度是 IOUT - REFIN 引脚的空载 (0A) 差分电压输出，以绝对失调电流 $I_{\text{ABS(OS)}}$ 表示，为 $\pm 4.2\text{A}$ 。使用方程式 4，输出电流为 40A 时的失调误差占比为 $\pm 10.5\%$

$$\varepsilon_{\text{Offset}} = \frac{I_{\text{ABS(OS)}}(\text{A})}{I_{\text{IOUT}}(\text{A})} \times 100 \quad (4)$$

8.3.8 过热保护 (TSD)

驱动器 IC 集成了温度检测电路，可在检测到的温度超过 175°C (典型值) 时关断器件。当检测到的温度降至 145°C 以下 (典型值) 时，将退出热关断状态，恢复正常运行。

8.3.9 故障报告 (FLT B)

FLT B 引脚为开漏输出，在过热事件、过流事件或检测到 UVLO 条件时会置为有效。在 FLT B 引脚上使用一个上拉电阻器，连接到 BP5L 或器件建议工作条件内的其他电压电平。选择电阻器大小，使 FLT B 灌入的最大电流保持低于建议工作条件的最大电流 (连接到 BP5L 时小于 $100\mu\text{A}$)；通常， $10\text{k}\Omega$ 的上拉电阻足以满足要求。将 FLT B 连接到备用上拉电压时，选择实现最大电流为 2mA 的电阻器大小。使用较大值的电阻器可降低功率耗散，但会因上拉电阻较弱而增加 FLT B 信号对开关噪声耦合的敏感度。

当不再检测到过流、过热或 UVLO 情况时，FLT B 置为有效结束。

8.3.10 PWM

PWM 引脚用作 TPS7H6200-SEP 的控制输入。电压高于 3V 定义为逻辑高电平，而电压低于 0.7V 定义为逻辑低电平。 $V_{\text{PWM(rising_TH)}}$ 和 $V_{\text{PWM(falling_TH)}}$ 阈值与 3.3V 和 5V 逻辑控制器兼容。

PWM 输入具有三态功能：如果 PWM 引脚悬空时间超过三态保持时间 ($t_{3\text{HT}}$)，则高侧和低侧 FET 栅极均强制拉低。可以通过主动将 PWM 输入驱动至 $V_{3\text{T}}$ 或将输入置于高阻抗状态来进入三态模式，从而允许内部电流源将引脚拉至 $V_{3\text{T}}$ 。PWM 引脚可以提供高达 I_{PWMH} 的拉电流和高达 I_{PWML} 的灌电流，以将信号驱动至 $V_{3\text{T}}$ ；值得注意的是，当该引脚保持在 $V_{3\text{T}}$ 时，不会消耗这些电流。图 7-1 显示进入和退出三态模式的切换。为实现可靠的正常运行，驱动 PWM 信号时，最大灌电流阻抗和最大拉电流阻抗均为 500Ω 。

8.4 器件功能模式

下表显示了器件功能模式：

表 8-2. 器件功能模式

EN 引脚	器件状态
高	工作模式
低	关断模式

9 应用和实施

9.1 应用信息

9.2 典型应用

TPS7H6200-SEP 是一款具有硅栅极驱动器和单片 GaN 半桥的集成功率级；高集成度可降低寄生电感，使该功率级成为高电流负载点应用的理想选择。

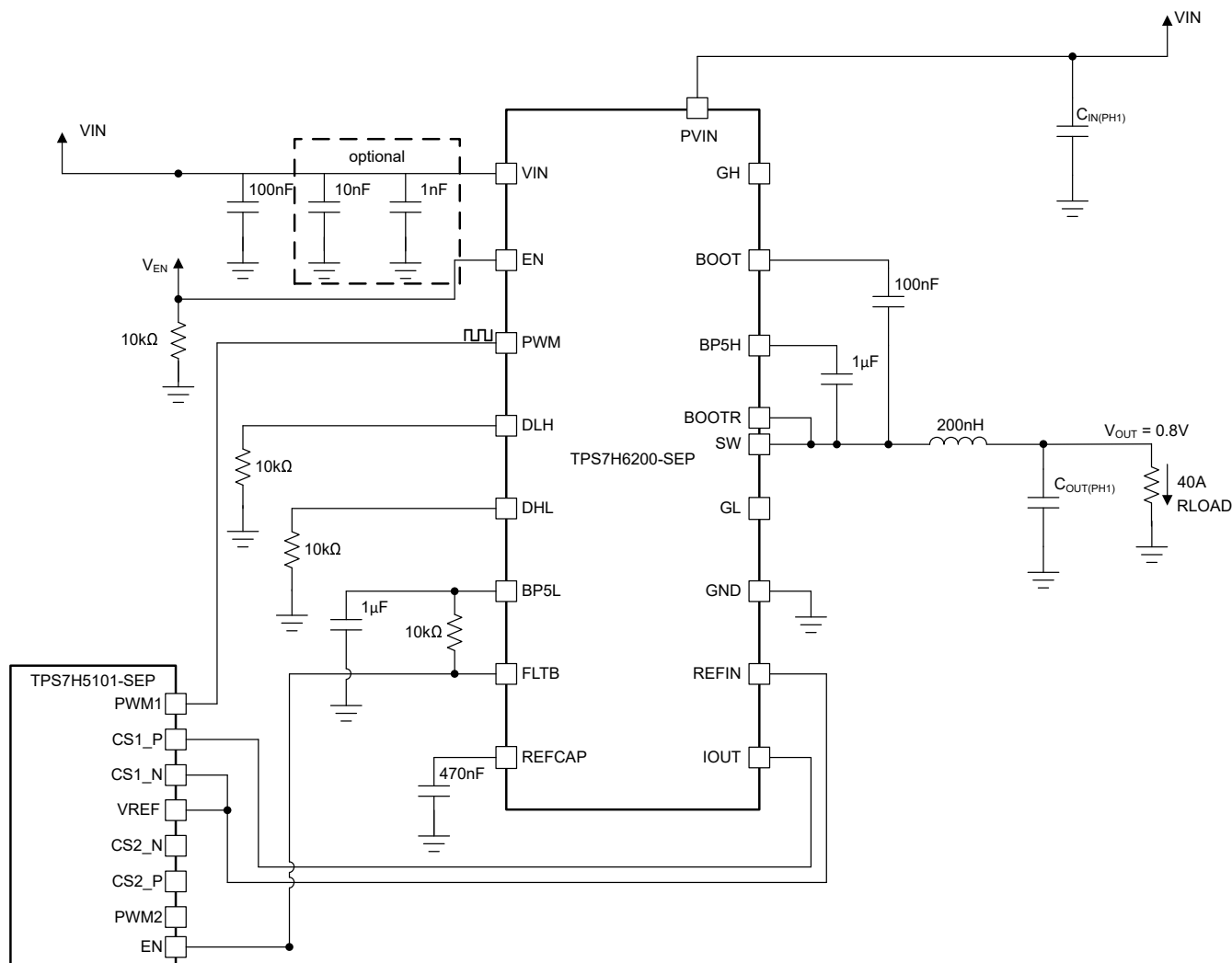


图 9-1. 典型应用

9.2.1 设计要求

以下设计参数基于使用 TPS7H6200-SEP 和 TPS7H5101-SEP 作为功率级和 D-CAP+ 控制器芯片组得出。

表 9-1. 设计参数

系统配置	值
输入电压	12V $\pm$ 5%
输出电压	0.8V $\pm$ 5%
最大输出电流	40A
开关频率	500kHz
电感器	200nH
输出大容量电容	1x 330 μ F、6x 47 μ F
输出去耦电容	10x 100nF
启动输入电压上升	10V

9.2.2 详细设计过程

9.2.2.1 启用配置

表 9-2 中所示的 BOM 将 Enable 引脚直接连接到可直接施加电压的测试点，该测试点包含一个 10k Ω 下拉电阻器。

以下示例显示如何通过应用电阻分压器从 VIN 驱动 Enable 引脚；请注意，所示的 EVM 中不存在此配置。

使用方程式 1，选择超过输入电压 UVLO 的使能导通电压；在此示例中，选择 8.3V 的 $V_{IN(rising)}$ ，典型 $V_{EN(rising)} = 0.6V$ ，且 $R_{EN(BOT)} = 100k\Omega$ 。 $R_{EN_TOP} = 7.79k\Omega$ ，使用标准电阻值选择 7.87k Ω 电阻器。

使用微控制器驱动 Enable 引脚时，必须超过 V_{IN} UVLO (8.3V (max))。

9.2.2.2 死区时间设置

TPS7H6200-SEP 可通过两种方法设置死区时间：第一种方法是，在死区时间引脚 DHL 和 DLH 与地之间连接一个 10k Ω 电阻器；第二种方法是，通过将死区时间引脚 DHL 和 DLH 连接到 BP5L，从而无需使用死区时间电阻器。与将 DHL 和 DLH 连接到 BP5L 相比，使用死区时间设置电阻器可提供更高的死区时间精度；使用 10k Ω 电阻器时，TPS7H6200-SEP 可提供与连接到 BP5L 时相同的标称死区时间 (7ns t_{DHL} 、7ns t_{DLH})，但电阻器设置配置的最大死区时间更短。

9.2.2.3 FLTB/控制器连接

图 9-1 展示了 TPS7H6200-SEP FLTB 引脚连接到 TPS7H5100 EN 引脚的情况。

表 8-1 详细说明了 FLTB 变为有效状态并将施加的上拉电压拉低的情况。为确保 TPS7H6200-SEP 具有适当的启动条件，TI 建议将 FLTB 连接到 TPS7H5100 的使能引脚。

9.2.2.4 配置电流检测

将内部电流检测功能与 TPS7H5101-SEP 集成时，请将 TPS7H5100 的 VREF 和 CSX_N (CS1_N 或 CS2_N) 连接到 TPS7H6200-SEP 的 REFIN 引脚，将 TPS7H5101-SEP CSX_P 引脚 (CS1_P 或 CS2_P) 连接到 IOUT。

在低侧导通期间，电流检测引脚 IOUT 与 REFIN 以差分方式输出电流检测信号。在高侧导通期间，电流检测电路采样并保持输出电流信息，并在重新进入低侧导通时复位。

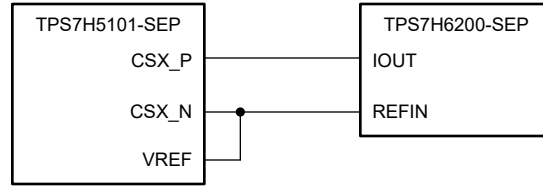


图 9-2. 采用 TPS7H5101-SEP 的简化电流检测接口图

9.2.2.4.1 电流检测精度

组合多个独立误差源时，您可以直接将其相加（线性/算术和），也可以使用均方根 (RSS) 方法将其进行组合，这两种方法得出的结果差异很大。在实际应用中，当安全关键型或高可靠性应用中需要确定总误差的规定上限时，工程师会使用线性（最坏情况）求和。而对综合误差进行统计上真实的估计更有用时，例如在典型工作条件下表征整体系统精度时，则采用 RSS 方法。

算术求和误差

直接加法只是对每个误差项的幅值求和，这隐含地假设所有误差彼此相关，并且同时发生且方向相同（最坏情况，请参阅方程式 5）。误差源（例如失调和增益）通常彼此不相关且具有随机性，因此从统计角度来看，所有误差项同时发生且方向相同的可能性很小。

$$\varepsilon_{total} = \varepsilon_{Gain} + \varepsilon_{Offset} \quad (5)$$

应用方程式 5 可得出组合误差为 20.5%：

$$\varepsilon_{total} = 10\% + 10.5\% = 20.5\% \quad (6)$$

RSS 误差

相比之下，RSS 方法计算每个单独误差项平方和的平方根（请参阅方程式 7），这是合并独立且互不相关的随机误差在统计学上正确的方法，因为方差（而非标准差）呈线性相加。正常工作条件下对预期总误差进行 RSS 计算，所得结果始终小于或等于简单线性求和的结果。

$$\varepsilon_{RSS} = \sqrt{\varepsilon_{Gain}^2 + \varepsilon_{Offset}^2} \quad (7)$$

应用方程式 7 可得出组合误差为 14.5%

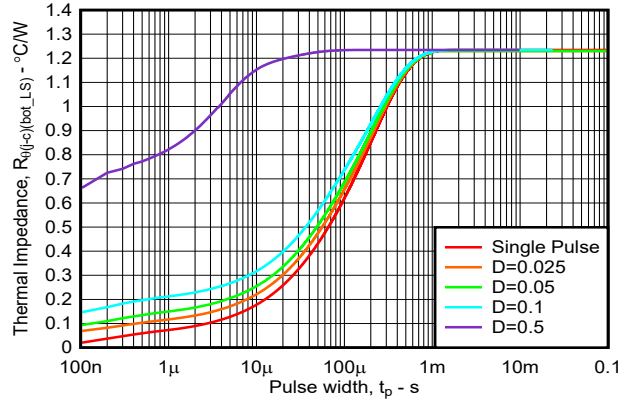
$$\varepsilon_{RSS} = \sqrt{10\%^2 + 10.5\%^2} = 14.5\% \quad (8)$$

9.2.2.5 FET 热阻抗

TPS7H6200-SEP 集成的 GaN FET 位于单片基板上，尺寸适用于宽 V_{IN} 至 V_{OUT} 负载点同步降压应用；因此，FET 的尺寸是不对称的。低侧 FET 比高侧 FET 大三倍，这会导致高侧 FET 的热阻抗比低侧大三倍。

图 9-3 和图 9-4 展示了低侧和高侧 FET 的模拟热阻抗。该模拟表示低侧 FET 的散热焊盘 45 和 46 以及高侧 FET 的焊盘 47 的组合热阻抗。

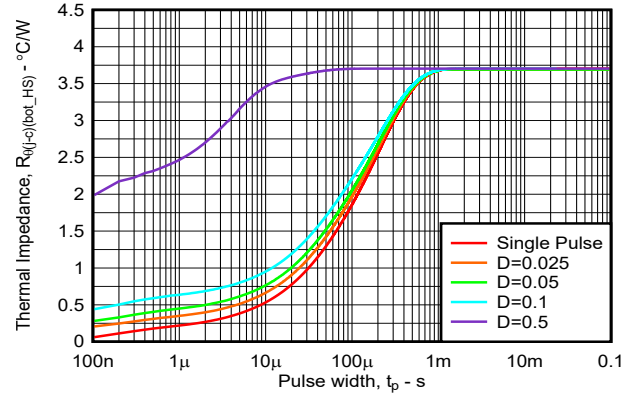
其中还包括等效的 Foster 网络 RC 值，以便对任务剖面进行热仿真。Foster 网络值可以结合电气仿真建立热域。热域中应包含与 PCB 和散热器热特性相关的集总热阻和电容模型。图 9-5 给出一个简化示例，说明如何将 Foster 网络参数与外部热阻结合使用，其中包括 PCB 和其他应用考虑因素。



等效 RC 热性能网络参数

	1	2	3	4
R_i (m°C/W)	26.9	130	1.25	1,080
C_i (μ F)	50	50	231.85	174.42

图 9-3. 低侧热阻抗



等效 RC 热性能网络参数

	1	2	3	4
R_i (m°C/W)	417	196	1.05	3,090
C_i (μ F)	39.8	10	9.05	64.5

图 9-4. 高侧热阻抗

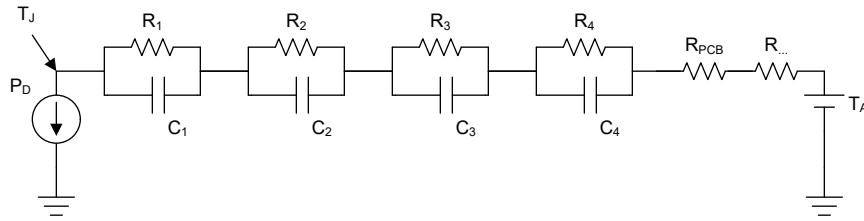


图 9-5. Foster 热 RC 网络

9.2.3 应用曲线

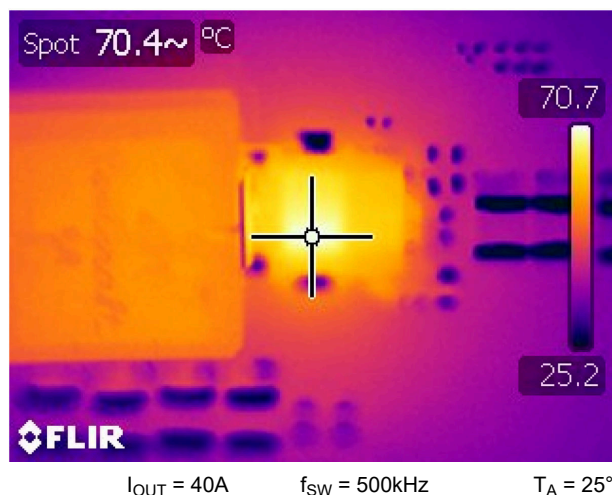


图 9-6. 热成像图 — 高侧

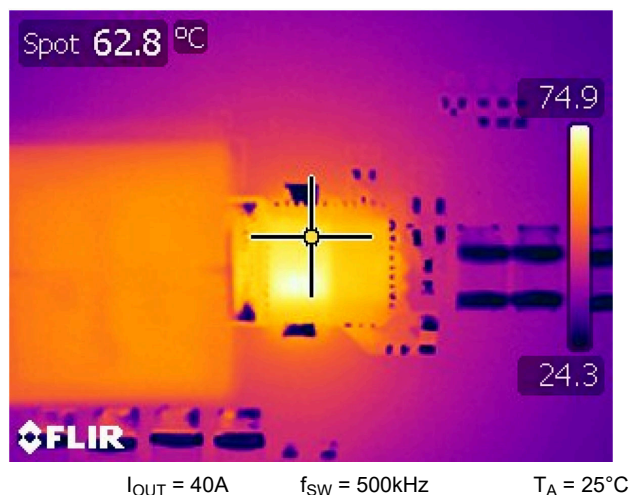


图 9-7. 热成像图 — 低侧

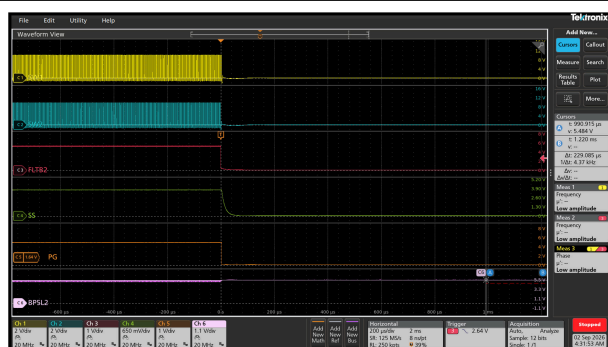


图 9-8. 热关断进入



图 9-9. 热关断进入 (放大图)

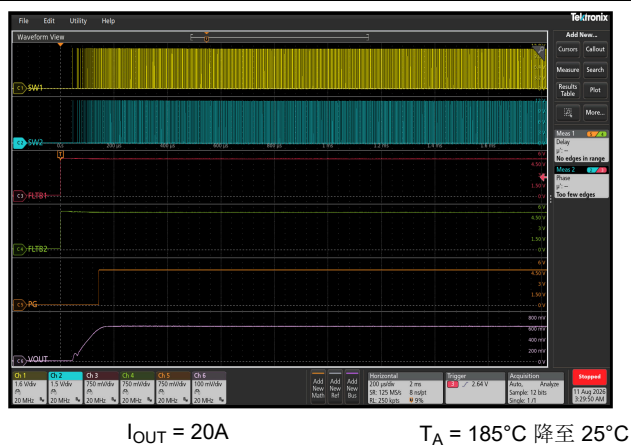


图 9-10. 热关断退出

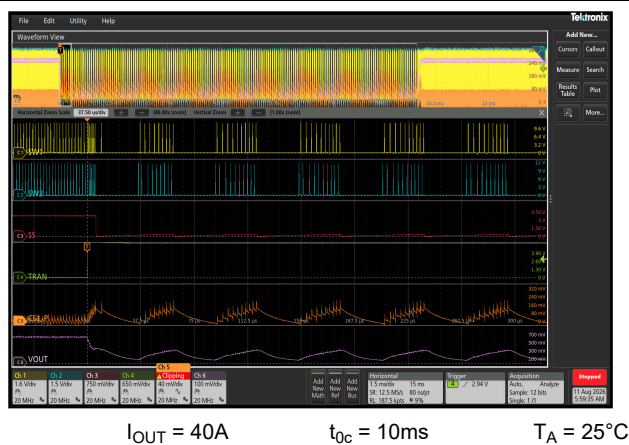


图 9-11. 过流响应

9.3 电源相关建议

TPS7H6200-SEP 的 V_{IN} 和 V_{PVIN} 引脚支持 4.5V 至 15V 的输入电压范围。将足够的陶瓷旁路电容网络尽可能靠近每个相应的输入引脚放置，然后放置大容量电容。低侧稳压器 (BP5L) 需要在 BP5L 与 GND 之间连接一个 $1\mu F$ 陶瓷电容器。为产生自举电压 (通过集成的栅源极连接 GaN FET)，请在 BOOT 与 BOOTR 之间连接一个 $0.1\mu F$ 陶瓷电容器 (内部连接到 SW)。最后，高侧稳压器需要在 BP5H 与 SW 之间连接一个 $1\mu F$ 陶瓷电容器。

9.4 布局

9.4.1 布局指南

- 对高载流层使用 2oz 覆铜，并采用具有高过孔密度的区域
- 将内部稳压器 (BP5L、BP5H) 的陶瓷电容器和 BOOT 尽可能靠近器件放置
- 将陶瓷输入旁路电容器尽可能靠近 PVIN 放置
- 将陶瓷大容量输出电容器尽可能靠近 TPS7H6200-SEP 放置，然后放置电容更高的钽/聚合物大容量输出电容器

表 9-2. TPS7H6200-SEP 所示元件

别名	说明	推荐属性
C11、C12	输入电容器	$100\mu F$ ，25V，钽/聚合物，7343
C1、C2、C3、C4、C5、C6、C7、C8	输入电容器	$22\mu F$ ，25V，陶瓷，1210，10%
C9、C10	输入电容器	$22nF$ ，50V，陶瓷，0603
C13	输入电容器	$0.1\mu F$ ，50V，陶瓷，0402
C14	自举电容器	$0.1\mu F$ ，50V，陶瓷，0402
C15	高侧稳压器电容器	$1\mu F$ ，50V，陶瓷，0603
C17	输出电容器	$220\mu F$ ，6.3V，钽，
C18、C19、C20、C21、C22	输出电容器	$47\mu F$ ，6.3v，陶瓷，1210
C23	REFIN 电容器	$470pF$ ，100V，陶瓷，0402
C24	低侧稳压器电容器	$1\mu F$ ，50V，陶瓷，0603
C25	REFCAP	$470nF$ ，16V，陶瓷，0603
R2	R_{EN} 上拉电阻	$10k\Omega$ ，0.1W，0603
R3	R_{FLTB} 上拉电阻	$10k\Omega$ ，0.1W，0603
R4	R_{DHL}	$10k\Omega$ ，0.1W，0603
R5	R_{DLH}	$10k\Omega$ ，0.1W，0603
L1	输出电感器	200nH，55A，表面贴装封装

9.4.2 布局示例

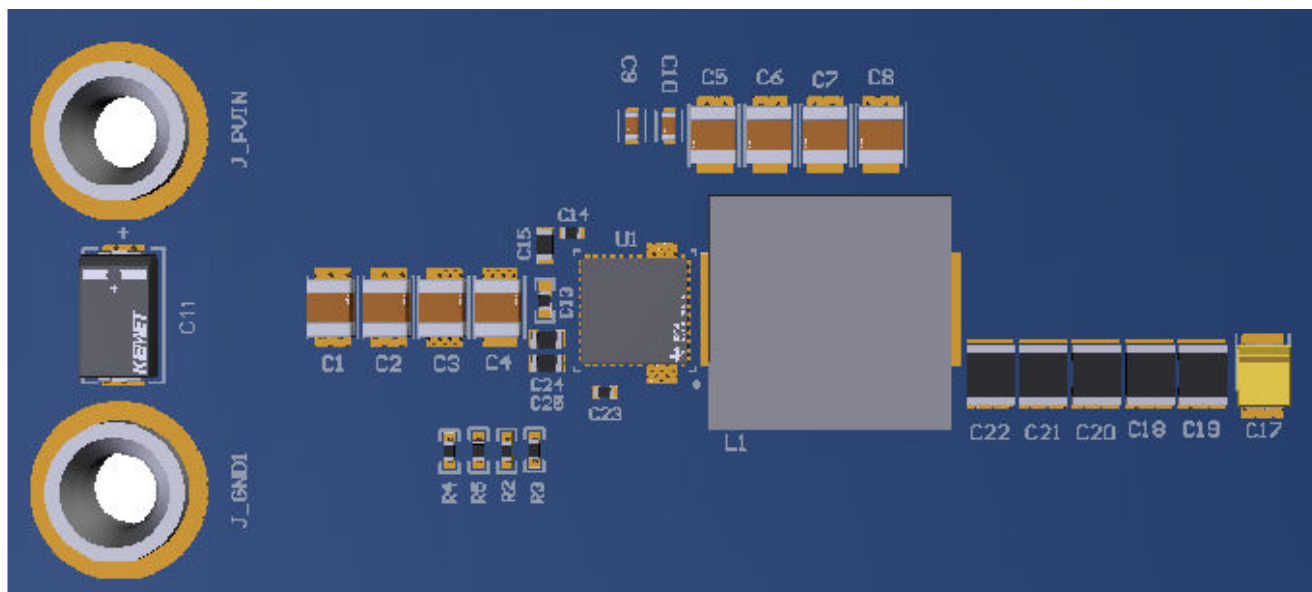


图 9-12. TPS7H6200-SEP 布局示例

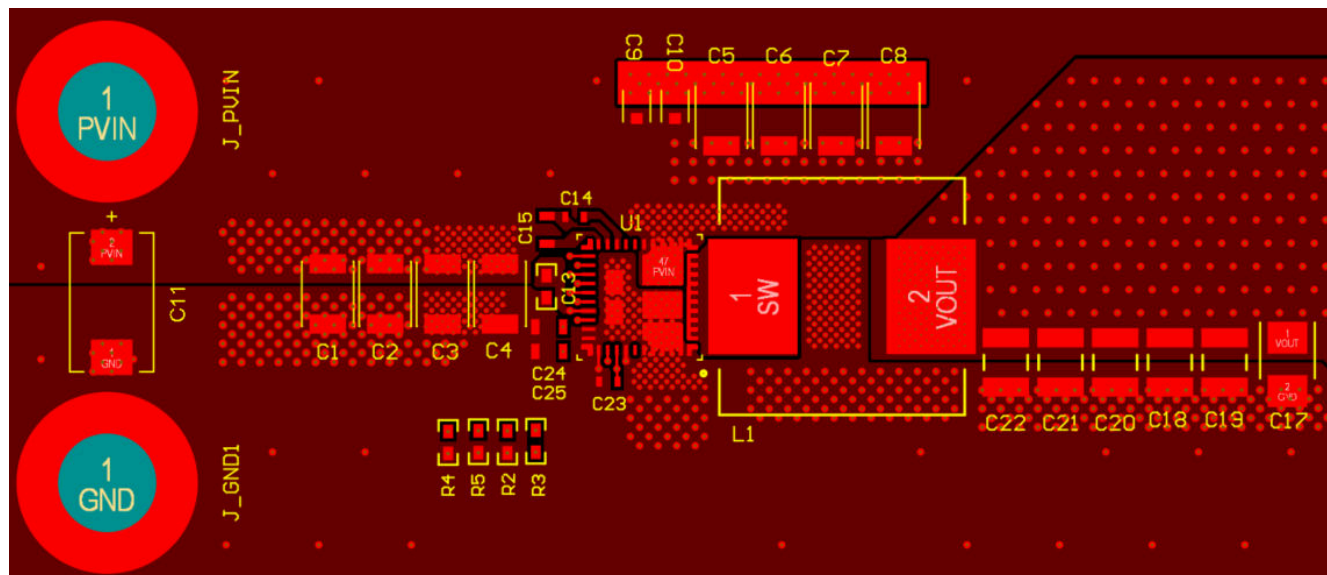


图 9-13. 顶层布局示例

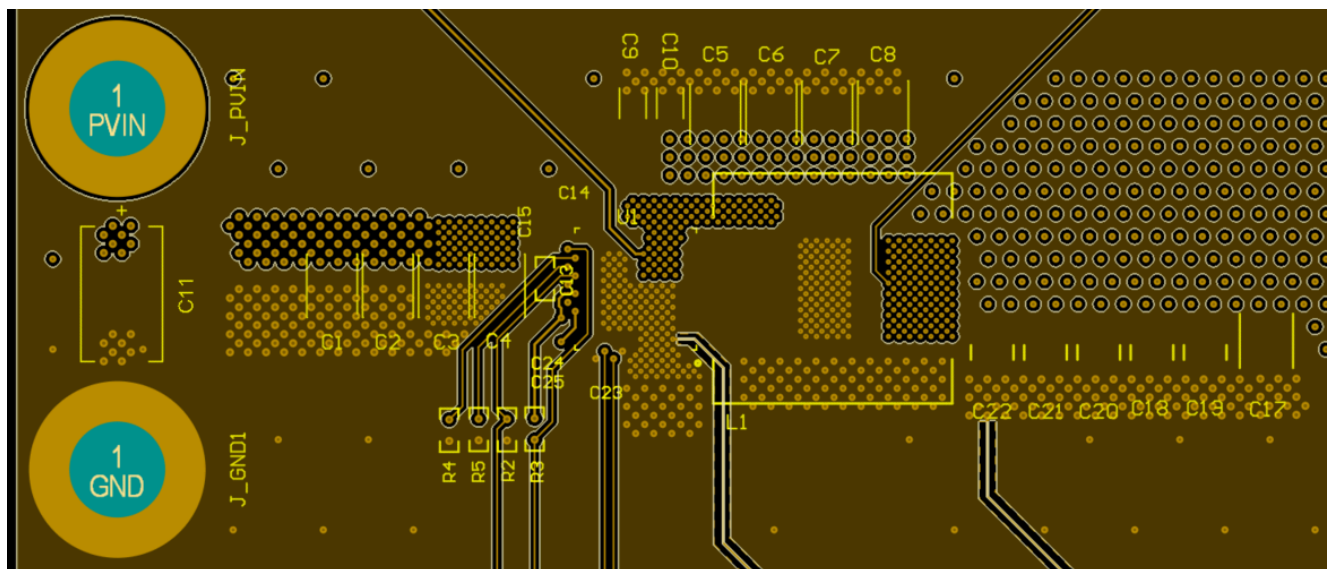


图 9-14. 信号层布局示例

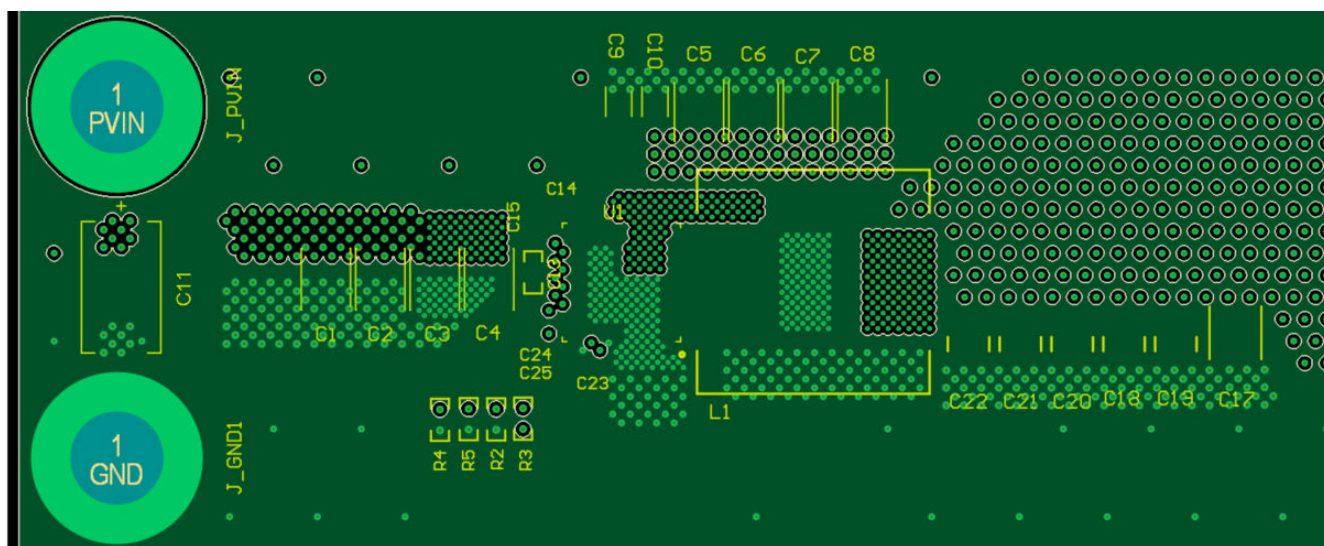


图 9-15. 接地层布局示例

10 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

10.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

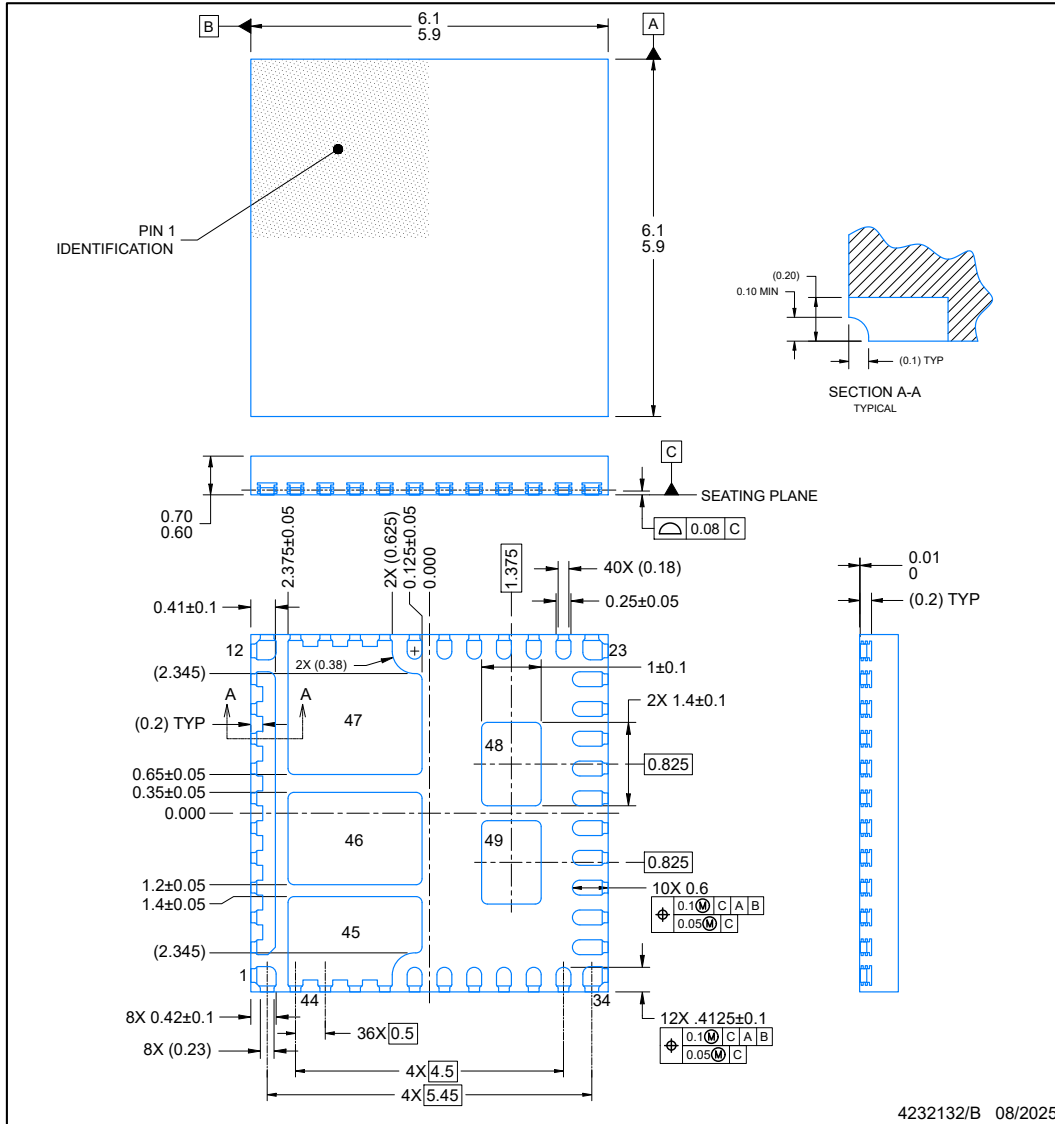
日期	修订版本	注释
September 2026	*	初始发行版

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请参阅左侧的导航栏。

PACKAGE OUTLINE
VEJ0049A **WQFN-FCRLF - 0.7 mm max height**

PLASTIC QUAD FLATPACK-NO LEAD

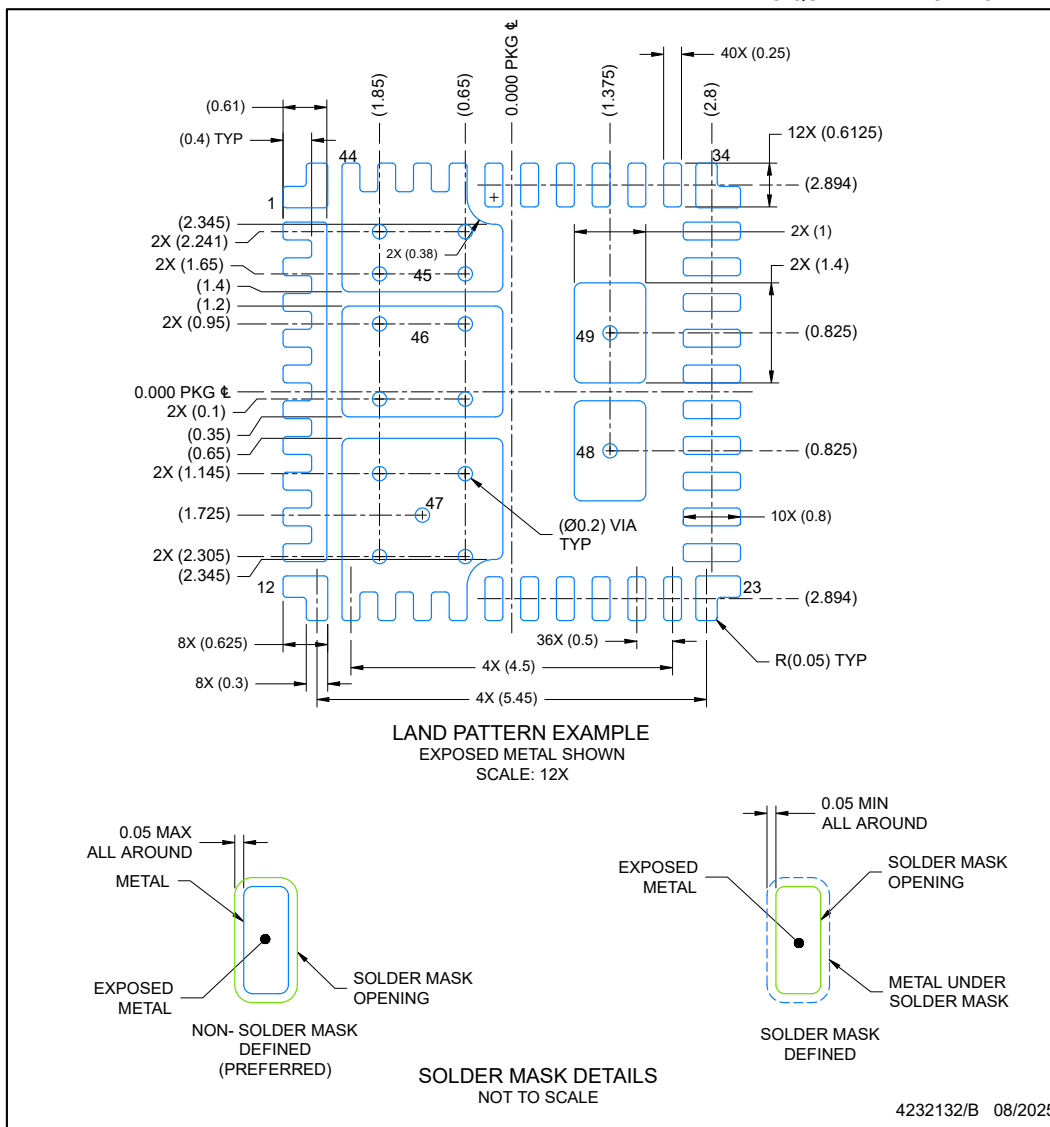


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT
WQFN-FCRLF - 0.7 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



NOTES: (continued)

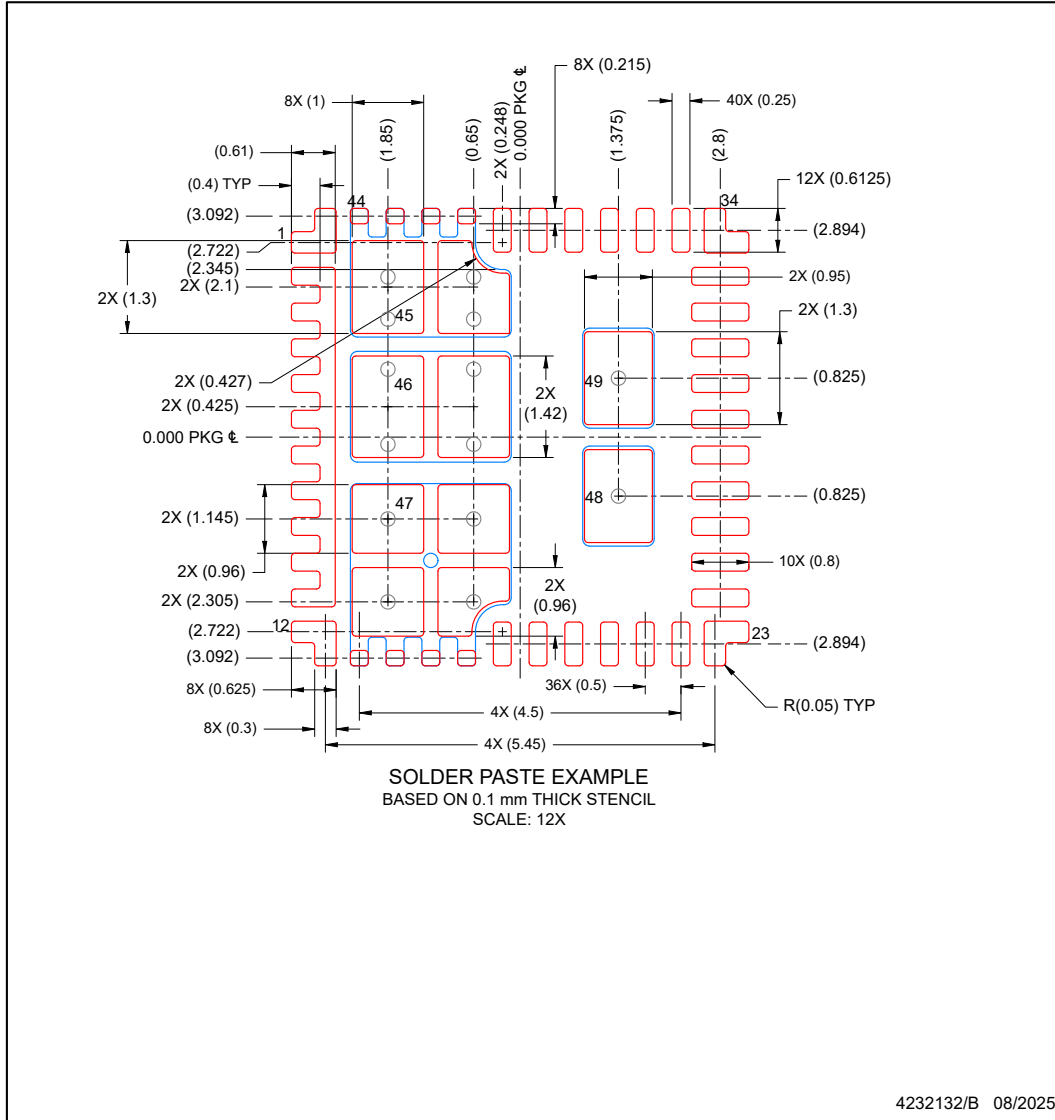
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sl原因271).

EXAMPLE STENCIL DESIGN

VEJ0049A

WQFN-FCRLF - 0.7 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPS7H6200MVEJTNSP	Active	Preproduction	WQFN-FCRLF (VEJ) 49	250 SMALL T&R	-	Call TI	Call TI	-55 to 125	

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月