# TPS7H1111-SP 和 TPS7H1111-SEP 1.5A 超低噪声、高 PSRR 耐辐射加固型低压降 (LDO) 线性稳压器

## 1 特性

- 电离辐射总剂量 (TID) 特征值
  - 耐辐射加固保障 (RHA) 为 100krad(Si) 或 50krad(Si)
- 单粒子效应 (SEE) 特性
  - 单粒子锁定 (SEL)、单粒子烧毁 (SEB) 和单粒子栅穿 (SEGR) 对于线性能量传递 (LET) 的抗扰度高达 75MeV-cm$^2$/mg
  - 单粒子功能中断 (SEFI) 和单粒子瞬变 (SET) 对于 LET 的额定值高达 75MeV-cm$^2$/mg
- 超低噪声 (10Hz – 100kHz)：
  - 1.71μV$_{RMS}$（典型值）
- 高电源抑制比，PSRR（典型值）：
  - 1kHz 时为 109dB
  - 100kHz 时为 71dB
  - 在 1MHz 时为 66dB
- 输入电压范围：0.85 V 至 7 V
- 2.2V 至 14V 的辅助电源，可更大限度降低功率耗散
- 输出电压低至 0.4 V
- 高达 1.5A 输出电流
- 在线路和负载范围内出色的输出精度：
  - 整个温度范围内 -1.3% 至 +1.2%
  - 25°C 时为 –0.7% 至 +0.9%
- 低压降：1.5A 时为 215mV（典型值）
- 可编程软启动控制 (SS_SET)
- 开漏电源正常状态 (PG) 指示器
- 可配置电源正常阈值 (FB_PG)
- 带有外部补偿 STAB 引脚的外露控制环路
- 具有可配置行为的内部电流限制
- 电流共享，支持高达 2.9A 的运行电流
- 军用级温度范围（–55°C 至 125°C）

## 2 应用

- 卫星电力系统 (EPS)
- 适用于高速和高精度电路的电源
  - 数据转换器：ADC 和 DAC（模数转换器和数模转换器）
  - VCO（压控振荡器）
  - PLL（锁相环）
  - SerDes（串行器和解串器）
  - 图像传感器
- 为 FPGA（现场可编程门阵列）和 DSP（数字信号处理器）提供精确电源
- 用于空间受限区域的耐辐射超洁净模拟电源

## 3 说明

TPS7H1111 是一款超低噪声、高 PSRR、低压降线性稳压器 (LDO)，针对为航天环境中的射频 (RF) 器件供电进行了优化。它能够在 0.85V 至 7V 输入范围内提供高达 1.5A 的电流，并由 2.2V 至 14V 的辅助电源供电。

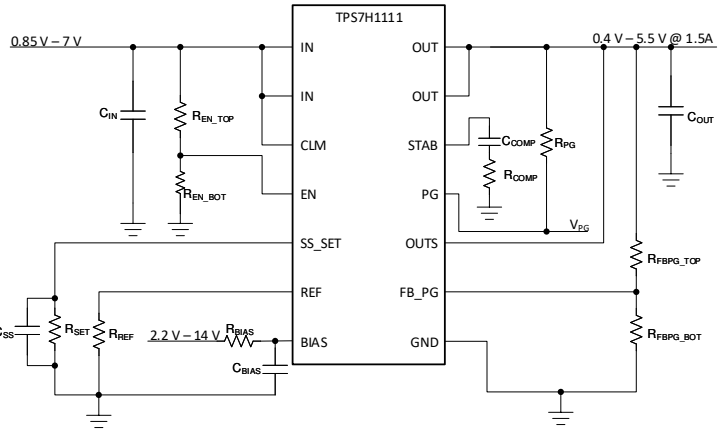
该器件具有高性能，可抑制电源产生的相位噪声和时钟抖动，因此它非常适合为高性能 ADC、DAC、VCO、PLL、串行器/解串器和卫星中的其他射频元件供电。对于需要低电压运行的数字负载（如 FPGA 和 DSP），超高的精度和出色的瞬态性能可确保实现出色的系统性能。

QML 型号 5962R21203 提供了标准微电路图 (SMD)。-SEP 型号 V62/23602 提供了供应商项目图 (VID)。

**器件信息**

| 器件型号(1) | 等级 | 封装(2) |
|---|---|---|
| 5962R2120301VXC | QMLV-RHA | 14 引脚陶瓷<br>8.03mm × 9.12mm<br>质量 = 1.23g |
| TPS7H1111HBL/EM | 工程样片 | |
| 5962R2120302PYE | QMLP-RHA | 28 引脚塑料<br>4.40mm x 9.70mm<br>质量 = 198mg |
| TPS7H1111MPWPTSEP | 9 月 | |

(1) 有关更多信息，请查看器件选项表。
(2) 尺寸和质量值为标称值。




**典型应用电路**

# 内容

**1 特性** ..... 1
**2 应用** ..... 1
**3 说明** ..... 1
**4 器件选项表** ..... 3
**5 引脚配置和功能** ..... 4
**6 规格** ..... 6
6.1 绝对最大额定值 ..... 6
6.2 ESD 等级 ..... 6
6.3 建议运行条件 ..... 7
6.4 热性能信息 ..... 7
6.5 电气特性 ..... 8
6.6 质量合格检验 ..... 11
6.7 典型特性 ..... 12
**7 参数测量信息** ..... 25
**8 详细说明** ..... 26
8.1 概述 ..... 26
8.2 功能模块图 ..... 26
8.3 特性说明 ..... 27
8.4 器件功能模式 ..... 39
**9 应用和实施** ..... 40
9.1 应用信息 ..... 40
9.2 典型应用 ..... 40
9.3 已测试的电容器 ..... 46
9.4 TID 效应 ..... 46
9.5 电源相关建议 ..... 48
9.6 布局 ..... 49
**10 器件和文档支持** ..... 51
10.1 文档支持 ..... 51
10.2 接收文档更新通知 ..... 51
10.3 支持资源 ..... 51
10.4 商标 ..... 51
10.5 静电放电警告 ..... 51
10.6 术语表 ..... 51
**11 修订历史记录** ..... 51
**12 机械、封装和可订购信息** ..... 52


Copyright © 2024 Texas Instruments Incorporated

# 4 器件选项表

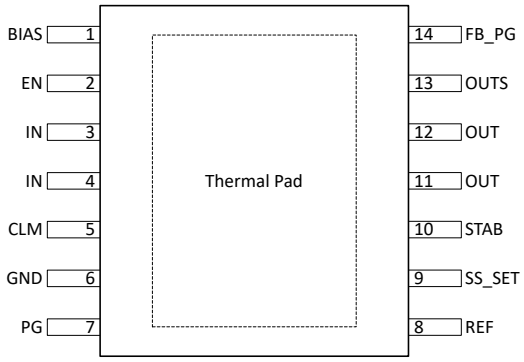
| 通用器件型号 | 辐射等级(1) | 等级(2) | 封装 | 可订购器件型号 |
|---|---|---|---|---|
| TPS7H1111-SP | TID 为 100krad(Si) RLAT，不考虑 DSEE 的影响为 75MeV-cm²/mg | QMLV-RHA | 14 引脚 CFP HBL | 5962R2120301VXC |
| | | QMLP-RHA | 28 引脚 HTSSOP PWP | 5962R2120302PYE |
| | 无 | 工程模型(3) | 14 引脚 CFP HBL | TPS7H1111HBL/EM |
| TPS7H1111-SEP | TID 为 50krad(Si) RLAT，不考虑 DSEE 的影响为 43MeV-cm²/mg | 增强型航天塑料 | 28 引脚 HTSSOP PWP | TPS7H1111MPWPTSEP |
| SN0014HBL | 不适用 | 机械“虚拟”封装（无芯片） | 14 引脚 CFP HBL | SN0014HBL |

(1) TID 是总电离剂量，DSEE 是破坏性单粒子效应。每个产品的关联 TID 报告和 SEE 报告中提供了额外信息。
(2) 有关器件等级的其他信息，请查看 SLYB235。
(3) 这些器件仅适用于工程评估。它们按照不合规流程进行处理（例如，未进行老化处理，仅在 25°C 下进行测试）。这些器件不适用于鉴定、量产、辐射测试或飞行。器件在温度范围以外或超过使用寿命时的性能不受保证。

Copyright © 2024 Texas Instruments Incorporated

# 5 引脚配置和功能

**HBL 封装**
**14 引脚 CFP**
**（俯视图）**




**PWP 封装**
**28 引脚 HTSSOP**
**（俯视图）**

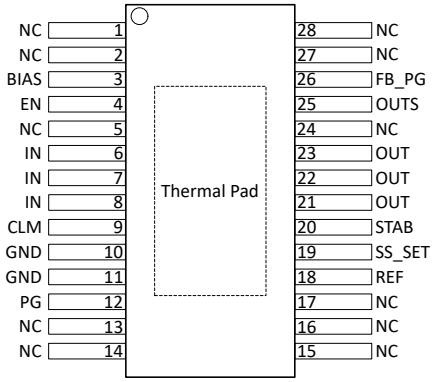



**表 5-1. 引脚功能**

| 引脚 | | | I/O[1] | 说明 |
|---|---|---|---|---|
| 名称 | HBL (14) 编号 | PWP (28) 编号 | | |
| BIAS | 1 | 3 | I | 辅助电源。为了支持最大输出电流，如果余量电压低于 1.6V ($V_{headroom} = V_{in} - V_{out} < 1.6V$)，则需要单独的辅助电源。将单独的辅助电源设置为至少比 $V_{OUT}$ 高 1.6V 的电压，以支持最大输出电流。12V 辅助电源可满足这些条件（通常 5V 电源也足够了）。$V_{BIAS}$ 和 $V_{IN}$ 之间没有时序要求。<br>为了限制 BIAS 上的噪声，除非 $V_{BIAS}$ 是超洁净电源，否则建议使用 RC 滤波器（通常为 10Ω 和 4.7μF）。如果未使用单独的辅助电源，则将 BIAS 连接至 $V_{IN}$（还建议通过 RC 滤波器将 $V_{IN}$ 电源轨连接至 BIAS 引脚）。 |
| EN | 2 | 4 | I | 使能。将此引脚驱动为逻辑高电平可启用器件；将引脚驱动为逻辑低电平可禁用器件。如果不需要启用功能，则将此引脚连接至 IN。请勿将该引脚悬空。 |
| IN | 3、4 | 6、7、8 | I | 输入电源。建议在此引脚附近使用一个输入电容器（标称值为 10μF）。 |
| CLM | 5 | 9 | I | 限流模式。将 CLM 连接至 $V_{IN}$ 以实现砖墙式电流限制模式（当达到电流限制时，调节 $V_{OUT}$ 以保持恒定的输出电流，直至消除故障）。将 CLM 连接至 GND 以实现关断电流限制模式（当达到电流限制时，$V_{OUT}$ 停止调节，直至切换 EN）。启用器件时，请勿更改此引脚的值，也不要将此引脚悬空。 |
| GND | 6 | 10、11 | — | 地。 |
| PG | 7 | 12 | O | 电源正常指示。这是一个开漏引脚。使用上拉电阻器将此引脚上拉至 $V_{OUT}$ 或期望的逻辑电平。如果未使用 PG，建议将其下拉至地，但也可以将其保持悬空状态。 |
| REF | 8 | 18 | I/O | 基准引脚。REF 输出标称 1.2V 电压。在 REF 至 GND 之间放置一个高精度 12.0kΩ 外部电阻器，以设置内部 100μA 电流源。 |
| SS_SET | 9 | 19 | I/O | 软启动和电压设置引脚。使用外部电容器（标称值为 4.7μF 的陶瓷电容器）在启动期间降低输出电压斜升速率，同时滤除内部器件噪声。低于 4.7μF 的电容器值会导致出现略高的输出噪声。有一个内部快速启动电路可实现合理的软启动时间。<br>此外，连接在 SS_SET 至 GND 之间的电阻器可设置输出电压。在标称运行期间，此引脚上输出 100μA，而 SS_SET 至 GND 之间的电阻器用于设置输出电压。 |
| STAB | 10 | 20 | I/O | 稳定性引脚。这是来自内部 OTA（运算跨导放大器）误差放大器的输出，有助于测量或优化控制环路。使用 4.7nF 和 5kΩ 的串联电容器 ($C_{COMP}$) 和电阻器 ($R_{COMP}$) 来补偿器件。有关不同的补偿选项，请查看节 8.3.8.2。建议使用能够承受 $V_{BIAS}$ 或 7.5V 中较低者的 C0G (NP0) 型电容器（例如，额定电压为 25V 的电容器）。 |
| OUT | 11、12 | 21、22、23 | O | 输出功率引脚。稳定输出电压。建议使用单个 220μF 或两个 100μF 的钽或钽聚合物电容器。有关更多信息，请参阅节 8.3.8.1。 |
| OUTS | 13 | 25 | I | 输出检测引脚。此引脚用于检测输出电压以进行调节。将 OUTS 连接至期望稳压点（遥感）处的 OUT 引脚。 |


Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚功能（续）

| 引脚 | | | I/O[1] | 说明 |
|---|---|---|---|---|
| 名称 | HBL (14) 编号 | PWP (28) 编号 | | |
| FB_PG | 14 | 26 | I | 反馈和电源正常引脚。FB_PG 引脚用于设置可配置的电源正常阈值。通过电阻分压器将输出电压馈送到此引脚来实现此功能（典型阈值为 300mV）。达到阈值时，PG 被置为有效。<br>此外，当达到此引脚上的阈值时，启动结束，并且禁用内部快速启动电路。如果此引脚直接连接至 OUT，则快速启动操作会停止，并且在 $V_{OUT}$ 达到 300mV（典型值）后 PG 会置为有效。 |
| NC | | 1、2、5、13、14、15、16、17、24、27、28 | — | 无连接。这个引脚不是内部连接。建议将这些引脚连接至 GND 以防止电荷积聚；但是，这些引脚也可以保持断开或连接至 GND 和 $V_{BIAS}$ 之间的任何电压。 |
| 散热焊盘 | | | — | 陶瓷封装散热焊盘在内部通过导电路径连接到芯片的背面，并连接到 GND 引脚。建议将该金属散热焊盘连接到一个较大的接地层上，以便实现有效散热。<br>塑料封装散热焊盘通过导电路径连接到芯片的背面，但它未在内部接地。将散热焊盘连接到一个较大的接地层上以实现有效散热，并提供芯片背面至 GND 的连接以确保正常运行。 |
| 金属盖 | Lid | 不适用 | — | 盖子从内部通过密封圈连接到散热焊盘和 GND。 |

(1) I = 输入；O = 输出；I/O = 输入或输出；— = 其他

Copyright © 2024 Texas Instruments Incorporated

# 6 规格

## 6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

| | | 最小值 | 最大值 | 单位 |
|---|---|---|---|---|
| 输入电压 | IN | –0.3 | 7.5 | V |
| | BIAS | -0.3 | 16 | |
| | EN、PG、FB_PG、OUTS、CLM | –0.3 | 7.5 | |
| 输出电压 | OUT | -0.3 | 7.5 | V |
| | SS_SET、REF、STAB | –0.3 | 7.5 | |
| 输入电流 | PG | -0.001 | 0.01 | A |
| 输出电流 | OUT | -2 | 2.25 | A |
| 结温 | $T_J$ | -55 | 150 | °C |
| 贮存温度 | $T_{stg}$ | –65 | 150 | °C |

(1) 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

## 6.2 ESD 等级

| | | | 值 | 单位 |
|---|---|---|---|---|
| $V_{(ESD)}$ | 静电放电 | 人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001，所有引脚(1) | ±2000 | V |
| | | 充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚(2) | ±1000 | |

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。


Copyright © 2024 Texas Instruments Incorporated

## 6.3 建议运行条件

在工作温度范围 $T_J$ = -55°C 至 125°C 内测得（除非另有说明）

| | | 最小值 | 标称值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| 输入电压 | IN | 0.85 | | 7 | V |
| | BIAS(1) | $V_{IN}$ | $V_{OUT}$ + 1.6V | | |
| | | 2.2 | | 14 | |
| | PG | 0 | | 7 | |
| | EN | 0 | | 7 | |
| | FB_PG | 0 | | 6 | |
| | CLM | 0 | | $V_{IN}$ | |
| 输出电压 | OUT(2) | | | $V_{IN}$ – $V_{DO}$ | V |
| | | 0.4 | | 5.5 | |
| | SS_SET(2) | | | $V_{IN}$ – $V_{DO}$ | |
| | | 0.4 | | 5.5 | |
| 输入电流 | PG | 0 | | 0.002 | A |
| 输出电流 | OUT | 0 | | 1.5 | A |
| 输出大容量电容(3) | $C_{OUT}$ | 132 | 200 | 308 | µF |
| | ESR | 7 | | 40 | mΩ |
| | ESL | 0.8 | | 2.4 | nH |
| 基准配置 | $R_{REF}$ | 11 | 12 | 13 | kΩ |
| EN 切换时间(4) | $t_{EN_LOW}$ | 20 | | | µs |
| 结温 | $T_J$ | – 55 | | 125 | °C |

(1) BIAS 有两个最小值 $V_{IN}$ 和 2.2V。BIAS 必须设置为大于或等于这两个值中的较大者。BIAS 最大值始终为 14V。要充分发挥性能，请设置 $V_{BIAS} \geq V_{OUT}$ + 1.6V。有关更多详细信息，请参阅*辅助电源*部分。

(2) OUT 和 SS_SET 有两个最大值 ($V_{IN}$ – $V_{DO}$) 和 5.5V。OUT 和 SS_SET 必须设置为小于或等于这两个值中的较小者。OUT 和 SS_SET 最小值始终为 0.4V。

(3) 这些是大容量电容的默认可接受输出电容、等效串联电阻 (ESR) 和等效串联电感 (ESL) 值。可能也可以接受其他值，例如使用 STAB 引脚通过外部补偿修改控制环路。通常使用钽或钽聚合物电容器来满足这些要求。不需要额外的陶瓷去耦电容器，但可接受在负载点附近使用具有低 ESL 的单个 0.1 µF 陶瓷电容器。
由于 TPS7H1111 LDO 在宽带宽范围内提供高 PSRR 和低噪声，因此无需额外的较大陶瓷电容器。因此，TPS7H1111 不支持较大的陶瓷电容器。有关更多信息，请参阅*输出电容*部分。

(4) $t_{EN_LOW}$ 是为检测复位而将器件再次驱动为高电平之前必须将 EN 引脚驱动为低电平的时间。这通常仅在尝试退出关断电流限制模式时适用。

## 6.4 热性能信息

| 热指标(1) | | TPS7H1111-SP CFP HBL 14 引脚 | TPS7H1111-SEP PWP (HTSSOP) 28 引脚 | TPS7H1111-SP PWP (HTSSOP) 28 引脚 | 单位 |
|---|---|---|---|---|---|
| $R_{\theta JA}$ | 结至环境热阻 | 25.1 | 24.7 | 24.4 | °C/W |
| $R_{\theta JC(top)}$ | 结至外壳（顶部）热阻 | 6.3 | 15.6 | 15.8 | °C/W |
| $R_{\theta JB}$ | 结至电路板热阻 | 9.3 | 6.6 | 6.4 | °C/W |
| $\Psi_{JT}$ | 结至顶部特征参数 | 1.4 | 0.2 | 0.2 | °C/W |
| $\Psi_{JB}$ | 结至电路板特征参数 | 9.1 | 6.6 | 6.4 | °C/W |
| $R_{\theta JC(bot)}$ | 结至外壳（底部）热阻 | 0.5 | 1.0 | 0.7 | °C/W |

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

Copyright © 2024 Texas Instruments Incorporated

## 6.5 电气特性

在 0.85V ≤ $V_{IN}$ ≤ 7V、$V_{BIAS}$ ≥ $V_{OUT}$ + 1.6V（$V_{IN}$ ≤ $V_{BIAS}$ ≤ 14V 且 $V_{BIAS}$ ≥ 2.2V）、$V_{OUT}$(target) ≤ $V_{IN}$ – 1.6V、$I_{OUT}$ = 1mA、$C_{OUT}$ = 220µF(1)、$R_{REF}$ = 12.0kΩ，以及工作温度范围（$T_A$ = –55°C 至 125°C）内（典型值为 $T_A$ = 25°C）测得，除非另有说明；如果 QML RHA 和 SEP 器件存在子组编号，则包括 $T_A$ = 25°C 时的 RLAT(2)

| 参数 | | 测试条件 | | 子组(3) | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|---|---|
| **电源和电流** | | | | | | | | |
| $V_{DO}$ | 压降电压，$V_{BIAS}$ ≥ $V_{OUT}$ + 1.6V | 0.85V ≤ $V_{IN}$ ≤ 7V，$V_{OUT}$ = 98.5% × $V_{OUT(NOM)}$ | $I_{OUT}$ = 0.1 A | 1、2、3 | | 17 | 40 | mV |
| | | | $I_{OUT}$ = 0.5A | 1、2、3 | | 75 | 150 | |
| | | | $I_{OUT}$ = 1A | 1、2、3 | | 110 | 280 | |
| | | | $I_{OUT}$ = 1.5A | 1、2、3 | | 215 | 430 | |
| $V_{DO}$ | 压降电压，$V_{BIAS}$ = $V_{IN}$ | 2.2V ≤ $V_{IN}$ ≤ 7V，$V_{OUT}$ = 98.5% × $V_{OUT(NOM)}$ | $I_{OUT}$ = 0.1 A | 1、2、3 | | 785 | 1100 | mV |
| | | | $I_{OUT}$ = 0.5A | 1、2、3 | | 908 | 1150 | |
| | | | $I_{OUT}$ = 1A | 1、2、3 | | 1063 | 1250 | |
| | | | $I_{OUT}$ = 1.5A | 1、2、3 | | 1168 | 1400 | |
| $I_{LIM}$ | 输出电流限制 | 2.5V ≤ $V_{IN}$ ≤ 7V<br>$V_{OUT}$ = 0.5V，<br>$V_{CLM}$ = $V_{IN}$ | $T_A$ = -55°C | 3 | 1.8 | 1.95 | 2.1 | A |
| | | | $T_A$ = 25°C | 1 | 1.75 | 1.85 | 2 | |
| | | | $T_A$ = 125°C | 2 | 1.7 | 1.8 | 1.95 | |
| $I_{CLM(LKG)}$ | CLM 输入漏电流 | $V_{CLM}$ = 7V | | 1、2、3 | | 5 | 150 | nA |
| $I_{Q_IN}$ | 静态电流 | $V_{EN}$ = 7V，$I_{OUT}$ = 0A | | 1、2、3 | | 19 | 27 | mA |
| $I_{Q_BIAS}$ | 无输出负载时的偏置电流 | $V_{EN}$ = 7V，$I_{OUT}$ = 0A | | 1、2、3 | | 16 | 25 | |
| $I_{IN_GND}$ | $I_{IN}$ – $I_{OUT}$，满输出负载 | $V_{EN}$ = 7V，$I_{OUT}$ = 1.5A | | 1、2、3 | | 20 | 27 | mA |
| $I_{BIAS}$ | 满输出负载时的偏置电流 | $V_{EN}$ = 7V，$I_{OUT}$ = 1.5A | | 1、2、3 | | 17 | 25 | |
| $I_{SHDN}$ | 关断电流 | $V_{EN}$ = 0V，$I_{OUT}$ = 0A，$V_{OUT}$ = 0V | | 1、2、3 | | 20 | 350 | µA |
| $I_{SHDN_BIAS}$ | 关断偏置电流 | $V_{EN}$ = 0V，$I_{OUT}$ = 0A，$V_{OUT}$ = 0V | | 1、2、3 | | 550 | 1000 | |
| **精度** | | | | | | | | |
| $V_{ACC}$ | 输出电压精度 | 1mA ≤ $I_{OUT}$ ≤ 1.5A，2.2V ≤ $V_{BIAS}$ ≤ 14V(4)，$P_D$ ≤ 4W(5) | –55°C ≤ $T_A$ ≤ 125°C | 1、2、3 | -1.3% | | 1.2% | |
| | | | $T_A$ = -55°C | 3 | -1.3% | | 0.5% | |
| | | | $T_A$ = 25°C | 1 | -0.7% | | 0.9% | |
| | | | $T_A$ = 25°C，承受 TID 后(6) | 1 | -0.7% | | 1.1% | |
| | | | $T_A$ = 125°C | 2 | -0.7% | | 1.2% | |
| $I_{SET}$ | 设置 $V_{OUT}$ 的 SS_SET 引脚电流 | –55°C ≤ $T_A$ ≤ 125°C | | 1、2、3 | 98.8 | 99.9 | 101 | µA |
| | | $T_A$ = -55°C | | 3 | 98.8 | 99.4 | 100.3 | |
| | | $T_A$ = 25°C | | 1 | 99.0 | 100 | 100.9 | |
| | | $T_A$ = 125°C | | 2 | 99.2 | 100.2 | 101 | |
| $V_{OS}$ | 输出失调电压 ($V_{OUT}$ - $V_{SS_SET}$) | –55°C ≤ $T_A$ ≤ 125°C | | 1、2、3 | -2 | | 0.78 | mV |
| | | $T_A$ = -55°C | | 3 | -1.33 | -0.2 | 0.78 | |
| | | $T_A$ = 25°C | | 1 | -1.45 | -0.25 | 0.76 | |
| | | $T_A$ = 25°C，承受 TID 后(6) | | 1 | -1.45 | | 1.5 | |
| | | $T_A$ = 125°C | | 2 | -2 | -0.5 | 0.7 | |


Copyright © 2024 Texas Instruments Incorporated

## 6.5 电气特性（续）

在 0.85V ≤ $V_{IN}$ ≤ 7V、$V_{BIAS}$ ≥ $V_{OUT}$ + 1.6V（$V_{IN}$ ≤ $V_{BIAS}$ ≤ 14V 且 $V_{BIAS}$ ≥ 2.2V）、$V_{OUT}$(target) ≤ $V_{IN}$ – 1.6V、$I_{OUT}$ = 1mA、$C_{OUT}$ = 220µF(1)、$R_{REF}$ = 12.0kΩ，以及工作温度范围（$T_A$ = –55°C 至 125°C）内（典型值为 $T_A$ = 25°C）测得，除非另有说明；如果 QML RHA 和 SEP 器件存在子组编号，则包括 $T_A$ = 25°C 时的 RLAT(2)

| 参数 | | 测试条件 | | 子组(3) | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|---|---|
| $V_{OUT}$tempco | $V_{OUT}$ 温度系数 | 将 $T_A$ 从 -55°C 更改为 125°C | | | | 0.004% | | $V_{OUT}$/°C |
| | | 将 $T_A$ 从 -55°C 更改为 -40°C | | | | 0.011% | | |
| | | 将 $T_A$ 从 -40°C 更改为 0°C | | | | 0.007% | | |
| | | 将 $T_A$ 从 0°C 更改为 25°C | | | | 0.005% | | |
| | | 将 $T_A$ 从 25°C 更改为 85°C | | | | 0.003% | | |
| | | 将 $T_A$ 从 85°C 更改为 125°C | | | | 0.001% | | |
| $V_{REF}$ | 基准电压，陶瓷封装 | | | 1、2、3 | 1.191 | 1.206 | 1.220 | V |
| $V_{REF}$ | 基准电压，塑料封装 | | | 1、2、3 | 1.190 | 1.206 | 1.221 | |
| $\Delta V_{OUT}/\Delta V_{IN}$ | 线路调节，请参阅图 7-1 | 0.85V ≤ $V_{IN}$ ≤ 7V，$I_{OUT}$ = 1mA，$V_{BIAS}$ = 5V，$V_{OUT}$ = 0.4V | | 1、2、3 | | 3 | 200 | µV/V |
| $\Delta V_{OUT}/\Delta I_{OUT}$ | 负载调节，请参阅图 7-2 | 1mA ≤ $I_{OUT}$ ≤ 1.5A，$V_{BIAS}$ = 5V，$V_{IN}$ = 2.5V，$V_{OUT}$ = 1.8V | | 1、2、3 | | 500 | 1000 | µV/A |
| | 电流共享误差百分比 | $R_{ballast}$ = 5mΩ，$T_A$ = 25°C | $I_{OUT(TOTAL)}$ = 1.2A | | | ±1% | | |
| | | | $I_{OUT(TOTAL)}$ = 2.9A | | | ±0.1% | | |
| $I_{OUTS(LKG)}$ | OUTS 漏电流 | | | 1、2、3 | | 20 | 200 | nA |
| **ENABLE** | | | | | | | | |
| $V_{EN(rising)}$ | 使能上升阈值（导通） | | | 1、2、3 | 0.58 | 0.60 | 0.62 | V |
| $V_{EN(falling)}$ | 使能下降阈值（关断） | | | 1、2、3 | 0.48 | 0.50 | 0.52 | |
| $t_{EN(delay)}$ | EN 传播延迟 | EN 高电平至 $V_{OUT}$ = 10mV | | 9，10，11 | | 90 | 500 | µs |
| $I_{EN(LKG)}$ | 使能输入漏电流 | $V_{EN}$ = 7 V | | 1、2、3 | | 3 | 150 | nA |
| $T_{SD(enter)}$ | 热关断进入 | | | | | 160 | | °C |
| $T_{SD(exit)}$ | 热关断退出 | | | | | 130 | | |
| **电源正常** | | | | | | | | |
| $V_{FB_PG(rising)}$ | 电源正常状态上升阈值 | | | 1、2、3 | 290 | 306 | 313 | mV |
| $V_{FB_PG(HYS)}$ | 电源正常状态迟滞 | | | 1、2、3 | 7 | 14 | 19 | |
| $I_{FB_PG(LKG)}$ | FB_PG 输入漏电流 | $V_{FB_PG}$ = 6V | | 1、2、3 | | 9 | 150 | nA |
| $V_{PG(OL)}$ | 电源正常状态输出低电平 | $I_{PG(SINK)}$ = 2mA | | 1、2、3 | | 113 | 200 | mV |
| $V_{IN(MIN_PG)}$ | 有效 PG ($V_{PG}$ < 0.5V) 的最小 $V_{IN}$ 或 $V_{BIAS}$ | $I_{PG(sink)}$ = 0.6mA | | 1、2、3 | | 0.6 | 0.8 | V |
| $I_{PG(LKG)}$ | 电源正常状态泄漏 | $V_{PG}$ = 7V，$V_{FB_PG}$ > $V_{FB_PG(rising\ threshold)}$ | | 1、2、3 | | 0.1 | 2 | µA |
| **软启动** | | | | | | | | |
| $I_{SS_SET(start)}$ | 启动期间的 SS_SET 引脚电流 | | | 1、2、3 | 1.68 | 2.1 | 2.52 | mA |
| $t_{SS}$ | 软启动时间 | $V_{IN}$ = 2.5V，$V_{OUT}$ = 1.8V，$I_{OUT}$ = 1A，$R_{FB_PG(top)}$ = 44.2kΩ，$R_{FB_PG(bot)}$ = 10kΩ | $C_{SS}$ = 2.2µF | | | 1.7 | | ms |
| | | | $C_{SS}$ = 4.7µF | | | 3.7 | | |
| | | | $C_{SS}$ = 10µF | | | 7.8 | | |
| **噪声和 PSRR** | | | | | | | | |

Copyright © 2024 Texas Instruments Incorporated

## 6.5 电气特性（续）

在 0.85V ≤ $V_{IN}$ ≤ 7V、$V_{BIAS}$ ≥ $V_{OUT}$ + 1.6V（$V_{IN}$ ≤ $V_{BIAS}$ ≤ 14V 且 $V_{BIAS}$ ≥ 2.2V）、$V_{OUT}$(target) ≤ $V_{IN}$ – 1.6V、$I_{OUT}$ = 1mA、$C_{OUT}$ = 220µF(1)、$R_{REF}$ = 12.0kΩ，以及工作温度范围（$T_A$ = –55°C 至 125°C）内（典型值为 $T_A$ = 25°C）测得，除非另有说明；如果 QML RHA 和 SEP 器件存在子组编号，则包括 $T_A$ = 25°C 时的 RLAT(2)

| 参数 | | 测试条件 | | 子组(3) | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|---|---|
| PSRR | 电源抑制比 | $V_{IN}$ = 2.5V，$V_{OUT}$ = 1.8V，$V_{BIAS}$ = 5V，$I_{OUT}$ = 1A，$C_{SS}$ = 4.7µF，$C_{BIAS}$ = 4.7µF，$R_{BIAS}$ = 10Ω | $f_{ripple}$ = 100Hz | | | 109 | | dB |
| | | | $f_{ripple}$ = 1kHz | | | 109 | | |
| | | | $f_{ripple}$ = 10kHz | | | 90 | | |
| | | | $f_{ripple}$ = 100kHz | | | 71 | | |
| | | | $f_{ripple}$ = 1MHz | | | 66 | | |
| | | | $f_{ripple}$ = 10MHz | | | 30 | | |
| $PSRR_{BIAS}$ | 电源抑制比，$V_{BIAS}$ 至 $V_{OUT}$ | $V_{IN}$ = 2.5V，$V_{OUT}$ = 1.8V，$V_{BIAS}$ = 5V，$I_{OUT}$ = 1A，$C_{SS}$ = 4.7µF，$C_{BIAS}$ = 4.7µF，$R_{BIAS}$ = 10Ω | $f_{ripple}$ = 100Hz | | | 102 | | dB |
| | | | $f_{ripple}$ = 1kHz | | | 105 | | |
| | | | $f_{ripple}$ = 10kHz | | | 87 | | |
| | | | $f_{ripple}$ = 100kHz | | | 97 | | |
| | | | $f_{ripple}$ = 1MHz | | | 118 | | |
| | | | $f_{ripple}$ = 10MHz | | | 68 | | |
| $V_N$ | 输出噪声均方根电压（带宽为 10Hz 至 100kHz） | $V_{IN}$ = 2.5V，$V_{OUT}$ = 1.8V，$V_{BIAS}$ = 5V，$I_{OUT}$ = 1A | $C_{SS}$ = 2.2µF | | | 1.73 | | $µV_{RMS}$ |
| | | | $C_{SS}$ = 4.7µF | | | 1.71 | | |
| | | | $C_{SS}$ = 10µF | | | 1.69 | | |
| $e_N$ | 输出噪声电压密度 | $V_{IN}$ = 2.5V，$V_{OUT}$ = 1.8V，$V_{BIAS}$ = 5V，$I_{OUT}$ = 1A，$C_{SS}$ = 4.7µF | f = 10Hz | | | 97 | | nV/ √Hz |
| | | | f = 100Hz | | | 11.2 | | |
| | | | f = 1kHz | | | 5.4 | | |
| | | | f = 10kHz | | | 5.6 | | |
| | | | f = 100kHz | | | 4.9 | | |
| | | | f = 1MHz | | | 1.6 | | |
| | | | f = 10MHz | | | 1.7 | | |
| **稳定性** | | | | | | | | |
| PM | 相位裕度 | $V_{IN}$ = 2.5V，$V_{OUT}$ = 1.8V，$I_{OUT}$ = 1.0A，$C_{OUT}$ = 2x100µF(7) | | | | 98° | | |
| GM | 增益裕度 | | | | | 19 | | dB |

(1) 使用了一个 220µF 钽电容器
(2) 有关 QML RHA 器件的额外信息，请参阅 5962R21203 SMD，有关 SEP 器件的额外信息，请参阅 V62/23602 VID。
(3) 子组仅适用于器件的 QML 版本；有关子组定义，请参阅节 6.6。
(4) 此外，$V_{BIAS}$ ≥ $V_{IN}$ 且 $V_{BIAS}$ ≥ $V_{OUT}$ + 1.6V。
(5) $P_D$ 是内部功耗。当 $P_D$ 超过 4W 时，电流会降低以避免局部过热（由于测试仪限制）。
(6) 对于 QMLV 和 QMLP 器件，TID = 100krad(Si)；对于 SEP 器件，TID = 50krad(Si)。
(7) 有关更多信息，请参阅节 9.3。


Copyright © 2024 Texas Instruments Incorporated

## 6.6 质量合格检验

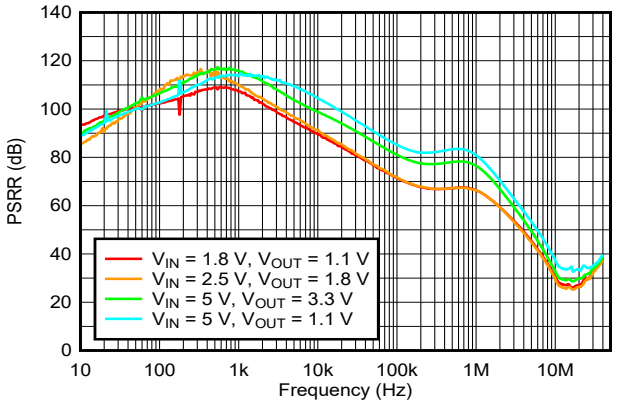
MIL-STD-883，方法 5005 - 组 A

| 子组 | 说明 | 温度 (°C) |
|---|---|---|
| 1 | 静态测试 | 25 |
| 2 | 静态测试 | 125 |
| 3 | 静态测试 | -55 |
| 4 | 动态测试 | 25 |
| 5 | 动态测试 | 125 |
| 6 | 动态测试 | -55 |
| 7 | 功能测试 | 25 |
| 8A | 功能测试 | 125 |
| 8B | 功能测试 | -55 |
| 9 | 开关测试 | 25 |
| 10 | 开关测试 | 125 |
| 11 | 开关测试 | -55 |

Copyright © 2024 Texas Instruments Incorporated

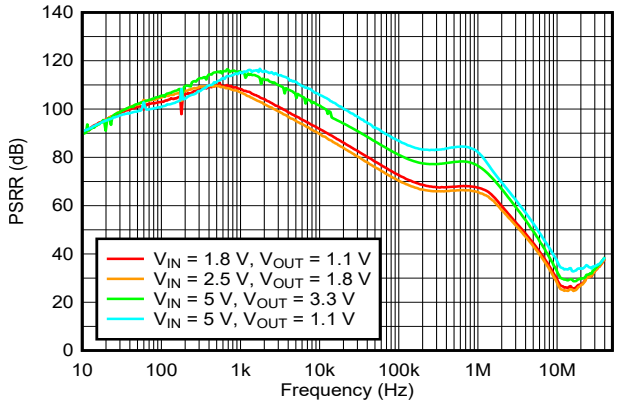
## 6.7 典型特性

$V_{IN}$ = 2.5V，$V_{OUT}$ = 1.8V，$V_{BIAS}$ = 5V，$I_{OUT}$ = 1A，$C_{OUT}$ = 2 × 100µF，$C_{SS}$ = 4.7µF，$R_{REF}$ = 12.0kΩ，$R_{BIAS}$ = 10Ω，$C_{BIAS}$ = 4.7µF，$T_A$ = 25°C，除非另有说明，否则在 10Hz 至 100kHz 带宽下报告积分噪声。



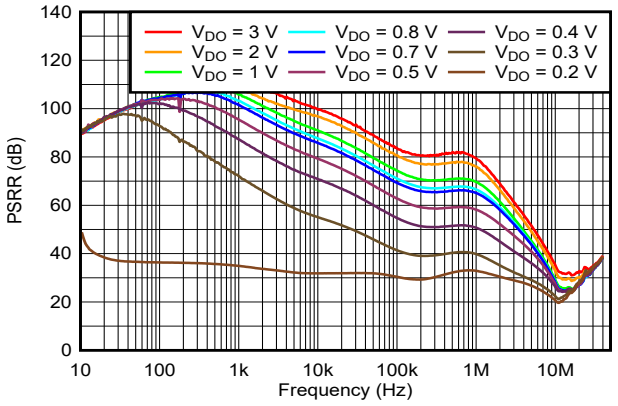

$V_{BIAS}$ = 5V

**图 6-1. PSRR 与频率间的关系（常见配置）**




$V_{BIAS}$ = 12V

**图 6-2. PSRR 与频率间的关系（常见配置）**




$V_{IN}$ = $V_{OUT}$ + $V_{DO}$　　$V_{OUT}$ = 1.8V　　$V_{BIAS}$ = $V_{OUT}$ + 1.6V

**图 6-3. 不同压降下 PSRR 与频率间的关系**

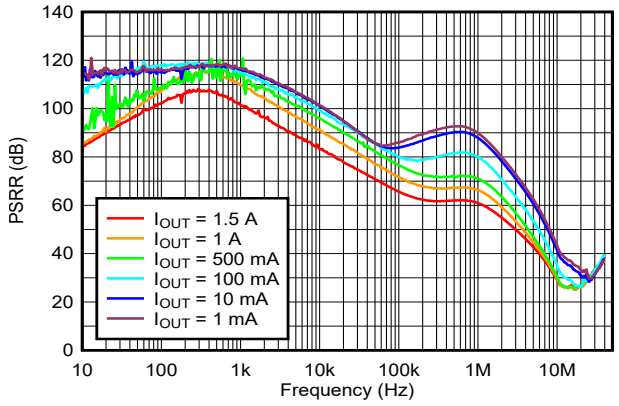
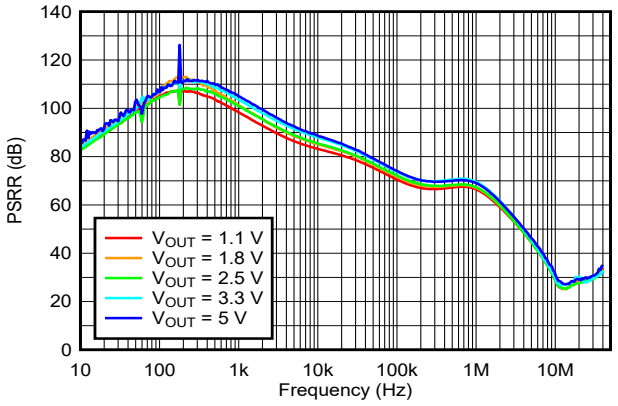
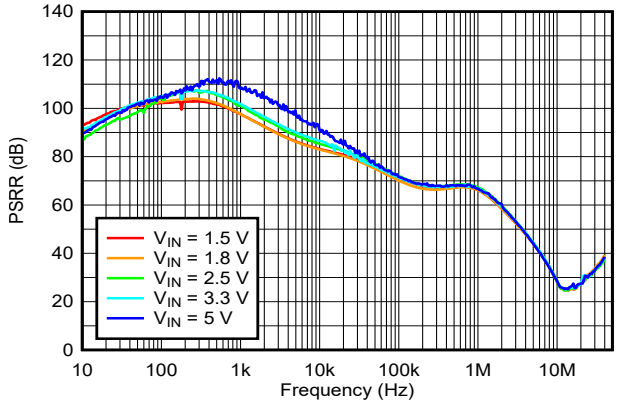



**图 6-4. 不同输出电流下 PSRR 与频率间的关系**




$V_{IN}$ = $V_{OUT}$ + 0.8V　　$V_{BIAS}$ = $V_{IN}$ + 1.6V

**图 6-5. 不同输出电压下 PSRR 与频率间的关系**



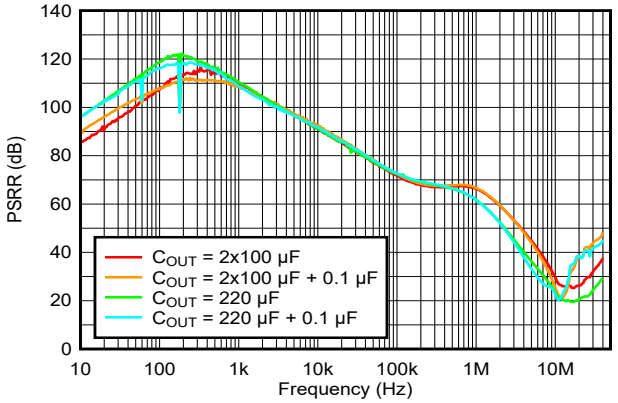

$V_{OUT}$ = $V_{IN}$ – 0.8V　　$V_{BIAS}$ = $V_{OUT}$ + 1.6V

**图 6-6. 不同输入电压下 PSRR 与频率间的关系**


Copyright © 2024 Texas Instruments Incorporated

## 6.7 典型特性（续）

$V_{IN}$ = 2.5V，$V_{OUT}$ = 1.8V，$V_{BIAS}$ = 5V，$I_{OUT}$ = 1A，$C_{OUT}$ = 2 × 100µF，$C_{SS}$ = 4.7µF，$R_{REF}$ = 12.0kΩ，$R_{BIAS}$ = 10Ω，$C_{BIAS}$ = 4.7µF，$T_A$ = 25°C，除非另有说明，否则在 10Hz 至 100kHz 带宽下报告积分噪声。




有关所用的电容器器件型号，请参阅表 9-4。

**图 6-7. 不同输出电容下 PSRR 与频率间的关系**

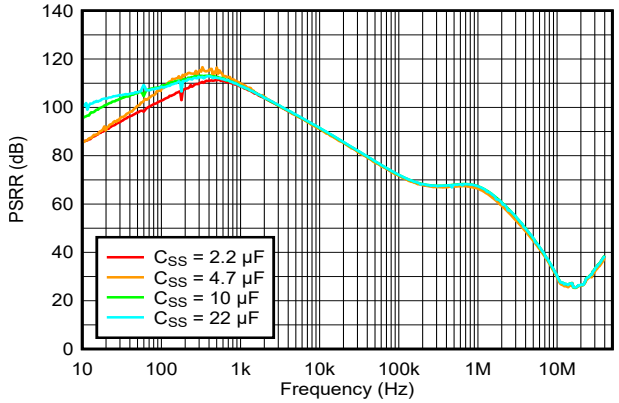



**图 6-8. 不同软启动电容下 PSRR 与频率间的关系**

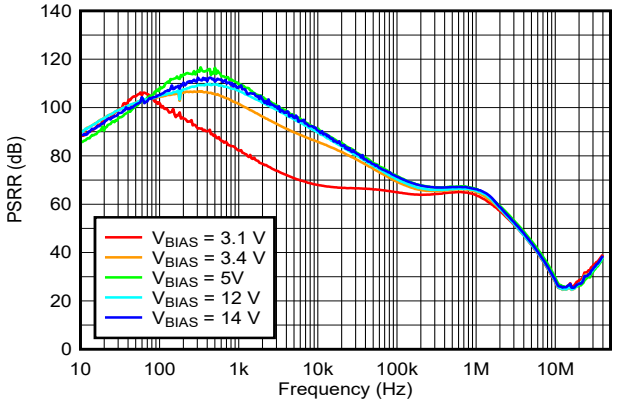
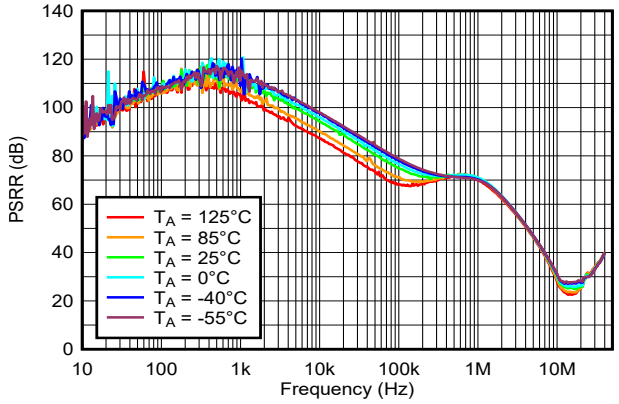
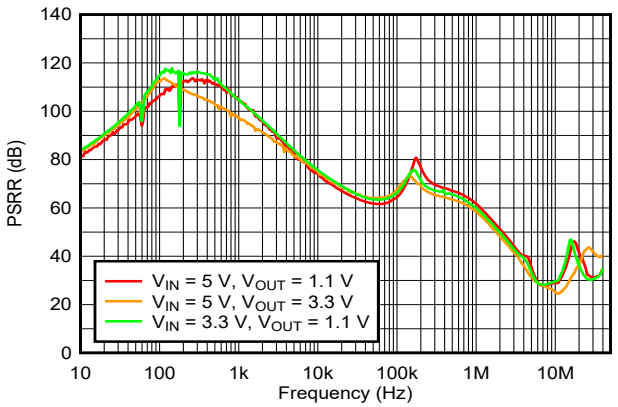



**图 6-9. 不同辅助电源下 PSRR 与频率间的关系**



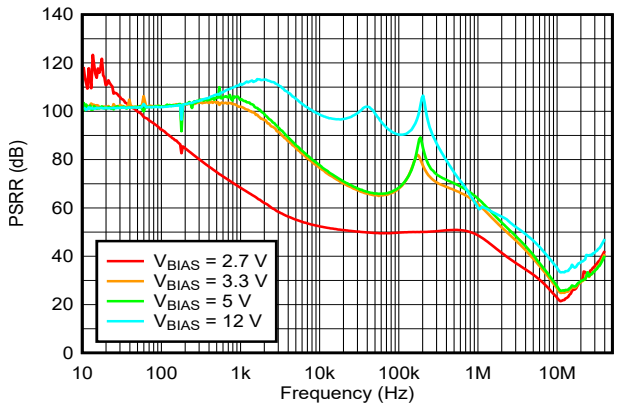

$I_{OUT}$ = 500mA

**图 6-10. 不同温度下 PSRR 与频率间的关系**




$R_{BIAS}$ = 0Ω　　$C_{BIAS}$ = 0µF

**图 6-11. $V_{IN}$ = $V_{BIAS}$ 时 PSRR 与频率间的关系**



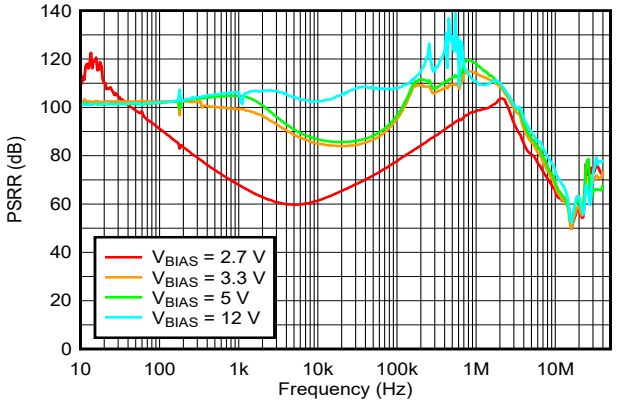

$R_{BIAS}$ = 0Ω

**图 6-12. 不使用 RC 时在不同偏置电压下 $PSRR_{BIAS}$ 与频率间的关系**

Copyright © 2024 Texas Instruments Incorporated

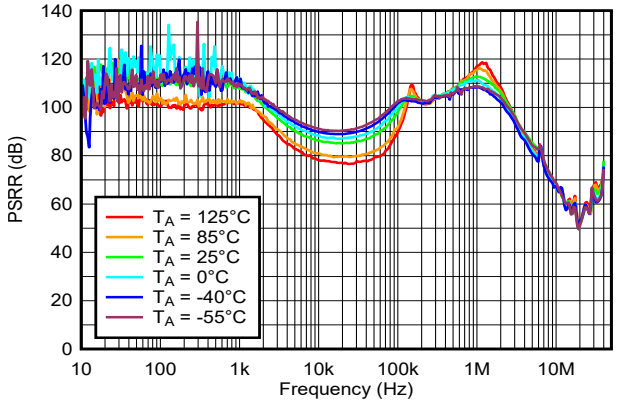
## 6.7 典型特性（续）

$V_{IN}$ = 2.5V，$V_{OUT}$ = 1.8V，$V_{BIAS}$ = 5V，$I_{OUT}$ = 1A，$C_{OUT}$ = 2 × 100µF，$C_{SS}$ = 4.7µF，$R_{REF}$ = 12.0kΩ，$R_{BIAS}$ = 10Ω，$C_{BIAS}$ = 4.7µF，$T_A$ = 25°C，除非另有说明，否则在 10Hz 至 100kHz 带宽下报告积分噪声。




$R_{BIAS}$ = 10Ω

**图 6-13. 使用 RC 时在不同偏置电压下 $PSRR_{BIAS}$ 与频率间的关系**




$I_{OUT}$ = 500mA

**图 6-14. 不同温度下 $PSRR_{BIAS}$ 与频率间的关系**

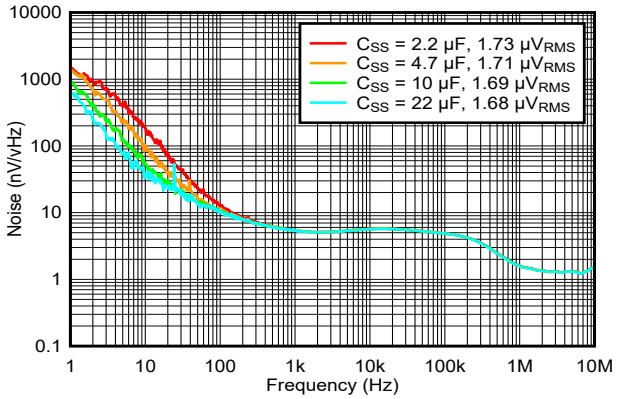



**图 6-15. 不同 $C_{SS}$ 下输出噪声与频率间的关系（噪声频谱密度）**

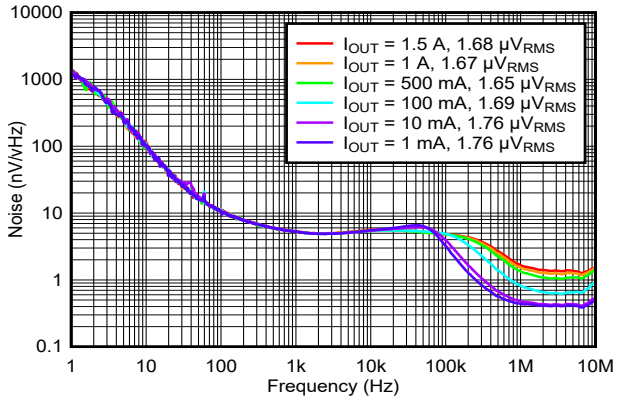
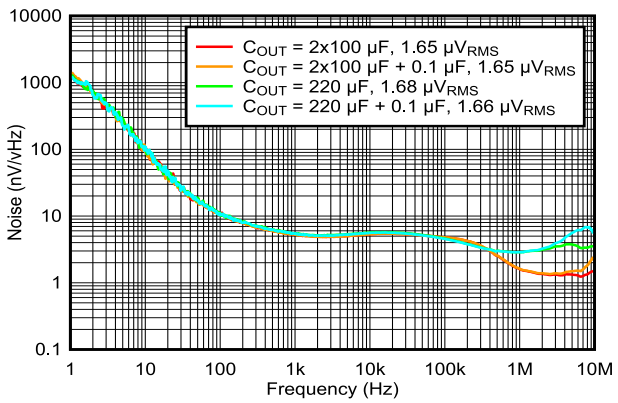
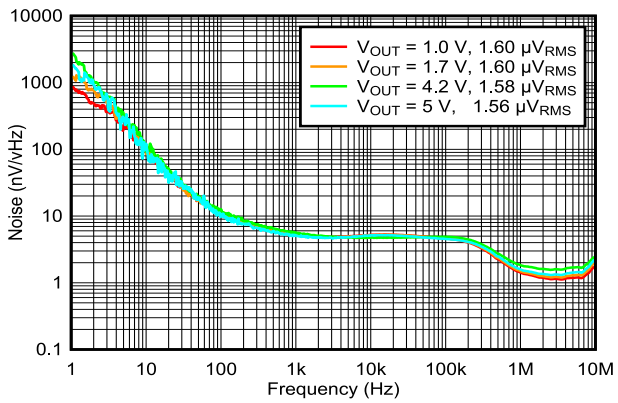



**图 6-16. 不同输出电流下输出噪声与频率间的关系（噪声频谱密度）**




有关所用的电容器器件型号，请参阅表 9-4。

**图 6-17. 不同输出电容下输出噪声与频率间的关系（噪声频谱密度）**



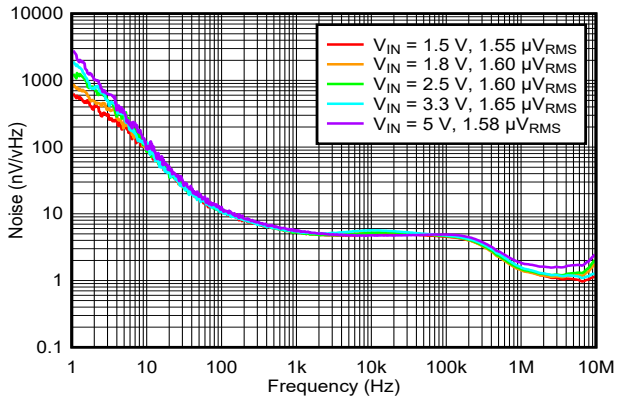

$V_{IN}$ = $V_{OUT}$ + 0.8V

**图 6-18. 不同输出电压下输出噪声与频率间的关系（噪声频谱密度）**


Copyright © 2024 Texas Instruments Incorporated

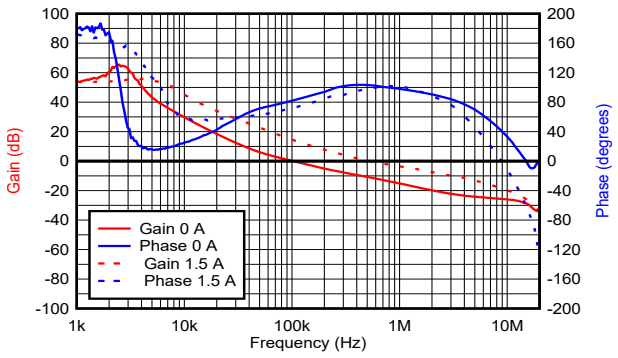
## 6.7 典型特性

$V_{IN}$ = 2.5V，$V_{OUT}$ = 1.8V，$V_{BIAS}$ = 5V，$I_{OUT}$ = 1A，$C_{OUT}$ = 2 × 100µF，$C_{SS}$ = 4.7µF，$R_{REF}$ = 12.0kΩ，$R_{BIAS}$ = 10Ω，$C_{BIAS}$ = 4.7µF，$T_A$ = 25°C，除非另有说明，否则在 10Hz 至 100kHz 带宽下报告积分噪声。




$V_{OUT} = V_{IN} - 0.8V$

**图 6-19. 不同输入电压下输出噪声与频率间的关系（噪声频谱密度）**

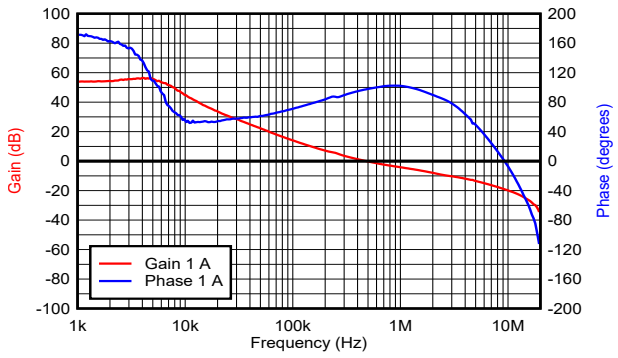



$C_{OUT}$ = 2 × 100 µ F。有关使用的电容器以及陶瓷封装和塑料封装差异的信息，请参阅表 9-4。

$I_{OUT}$ = 0A：相位裕度 = 83°，增益裕度 = 29dB

$I_{OUT}$ = 1.5A：相位裕度 = 99°，增益裕度 = 19dB

**图 6-20. 增益和相位与频率间的关系（波特图）**



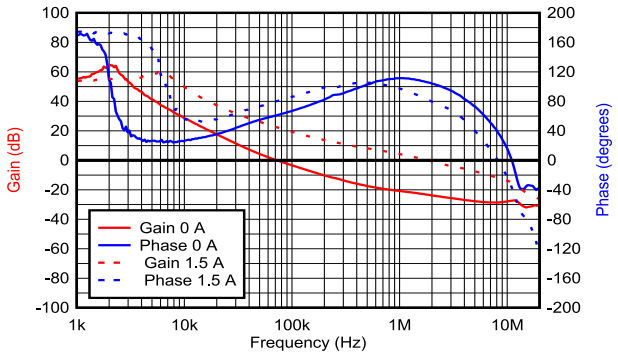

$C_{OUT}$ = 2 × 100 µ F。有关使用的电容器以及陶瓷封装和塑料封装差异的信息，请参阅表 9-4。

相位裕度 = 98°，增益裕度 = 19dB

**图 6-21. 增益和相位与频率间的关系（波特图）**

## 6.7 典型特性（续）

$V_{IN}$ = 2.5V，$V_{OUT}$ = 1.8V，$V_{BIAS}$ = 5V，$I_{OUT}$ = 1A，$C_{OUT}$ = 2 × 100µF，$C_{SS}$ = 4.7µF，$R_{REF}$ = 12.0kΩ，$R_{BIAS}$ = 10Ω，$C_{BIAS}$ = 4.7µF，$T_A$ = 25°C，除非另有说明，否则在 10Hz 至 100kHz 带宽下报告积分噪声。

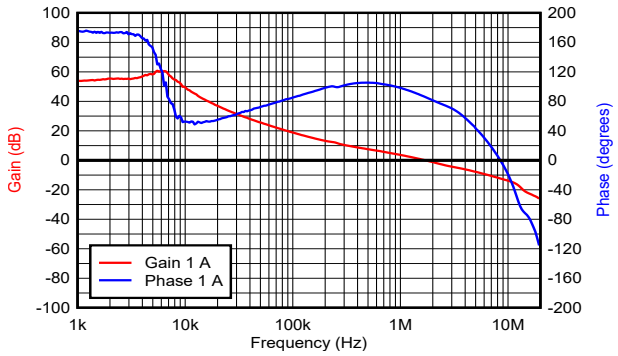



$C_{OUT}$ = 2 × 100 µ F + 0.1 µ F。有关使用的电容器以及陶瓷封装和塑料封装差异的信息，请参阅表 9-4。

$I_{OUT}$ = 0A：相位裕度 = 61°，增益裕度 = 27dB

$I_{OUT}$ = 1.5A：相位裕度 = 99°，增益裕度 = 12dB

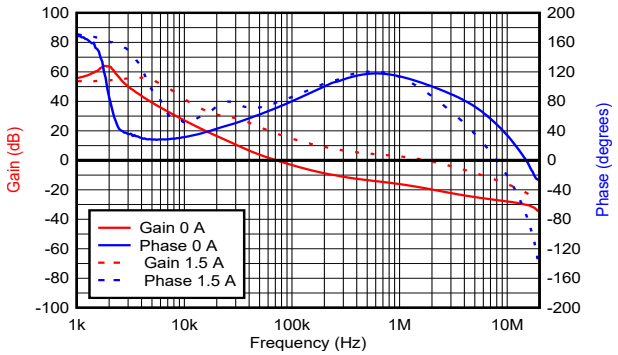
**图 6-22. 增益和相位与频率间的关系（波特图）**




$C_{OUT}$ = 2 × 100 µ F + 0.1 µ F。有关使用的电容器以及陶瓷封装和塑料封装差异的信息，请参阅表 9-4。

相位裕度 = 98°，增益裕度 = 13dB

**图 6-23. 增益和相位与频率间的关系（波特图）**

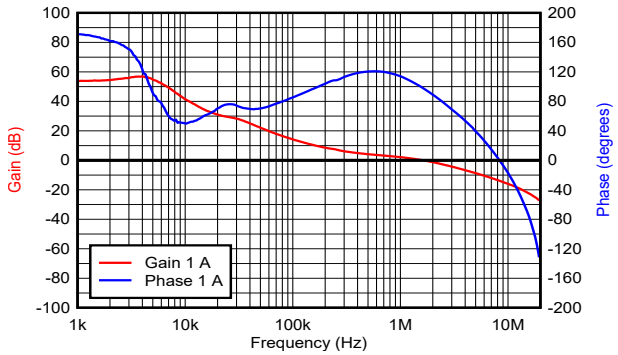



$C_{OUT}$ = 1 × 220 µ F。有关使用的电容器以及陶瓷封装和塑料封装差异的信息，请参阅表 9-4。

$I_{OUT}$ = 0A：相位裕度 = 71°，增益裕度 = 30dB

$I_{OUT}$ = 1.5A：相位裕度 = 91°，增益裕度 = 14dB

**图 6-24. 增益和相位与频率间的关系（波特图）**




$C_{OUT}$ = 1 × 220 µ F。有关使用的电容器以及陶瓷封装和塑料封装差异的信息，请参阅表 9-4。

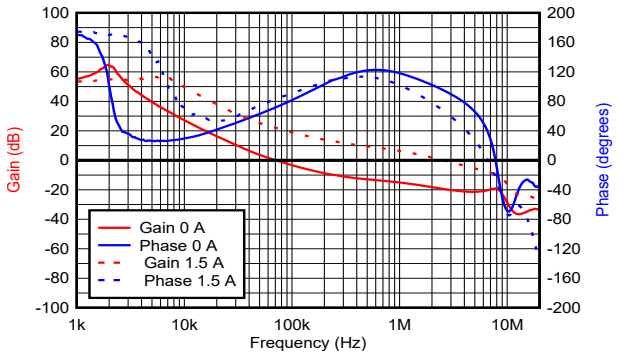
相位裕度 = 98°，增益裕度 = 14dB

**图 6-25. 增益和相位与频率间的关系（波特图）**


Copyright © 2024 Texas Instruments Incorporated

## 6.7 典型特性（续）

$V_{IN}$ = 2.5V，$V_{OUT}$ = 1.8V，$V_{BIAS}$ = 5V，$I_{OUT}$ = 1A，$C_{OUT}$ = 2 × 100µF，$C_{SS}$ = 4.7µF，$R_{REF}$ = 12.0kΩ，$R_{BIAS}$ = 10Ω，$C_{BIAS}$ = 4.7µF，$T_A$ = 25°C，除非另有说明，否则在 10Hz 至 100kHz 带宽下报告积分噪声。

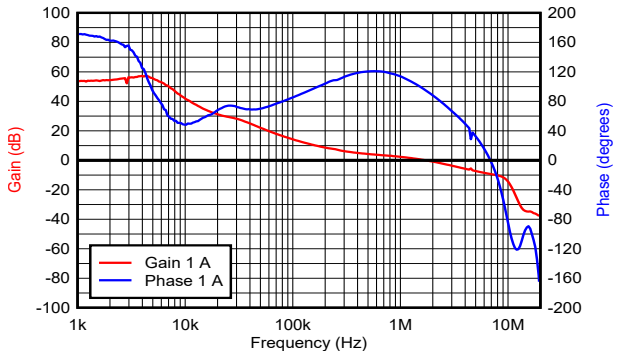



$C_{OUT}$ = 1 × 220 µ F + 0.1 µ F。有关使用的电容器以及陶瓷封装和塑料封装差异的信息，请参阅表 9-4。

$I_{OUT}$ = 0A：相位裕度 = 72°，增益裕度 = 19dB

$I_{OUT}$ = 1.5A：相位裕度 = 66°，增益裕度 = 8dB

**图 6-26. 增益和相位与频率间的关系（波特图）**




$C_{OUT}$ = 1 × 220 µ F + 0.1 µ F。有关使用的电容器以及陶瓷封装和塑料封装差异的信息，请参阅表 9-4。

相位裕度 = 94°，增益裕度 = 9dB

**图 6-27. 增益和相位与频率间的关系（波特图）**

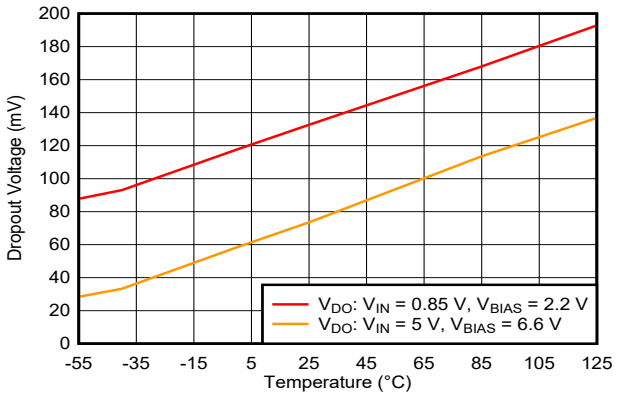
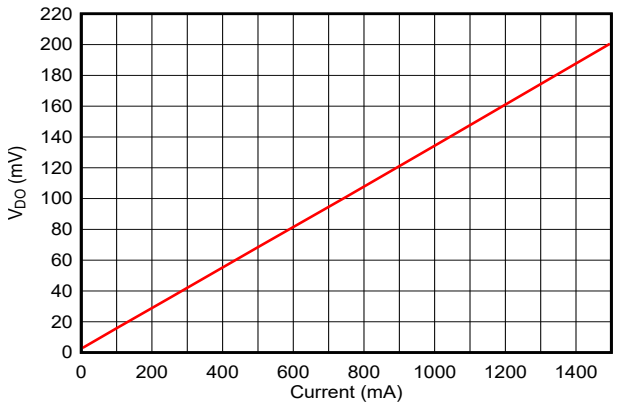



**图 6-28. 压降电压与温度间的关系**




$V_{IN}$ = 5V　　$V_{BIAS}$ = $V_{IN}$ + 1.6V

**图 6-29. 压降电压与电流间的关系**

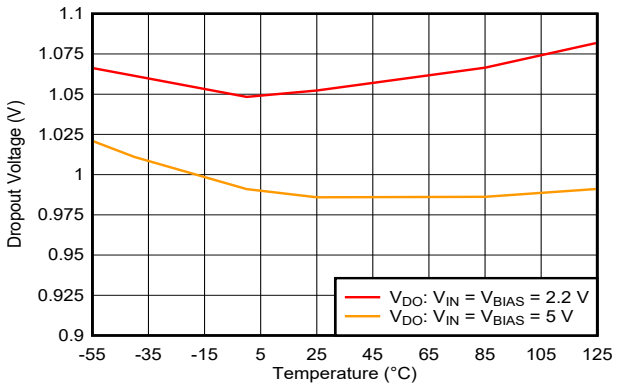



**图 6-30. 不使用单独的 $V_{BIAS}$ 时压降电压与温度间的关系**

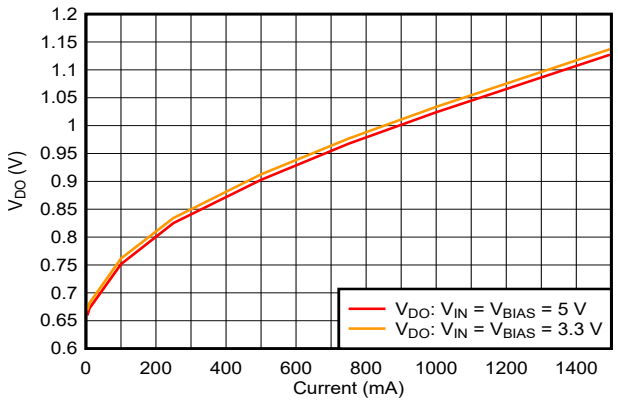
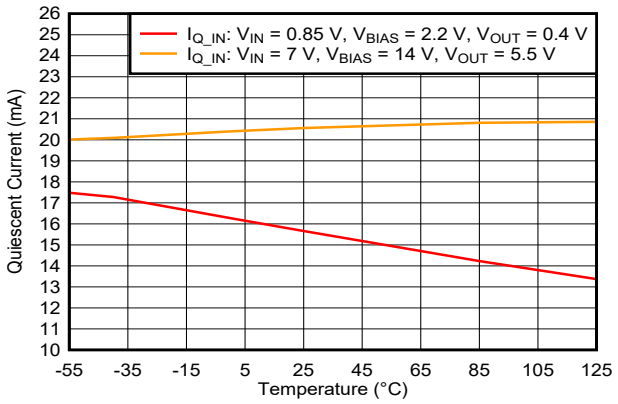



**图 6-31. 不使用单独的 $V_{BIAS}$ 时压降电压与电流间的关系**

Copyright © 2024 Texas Instruments Incorporated

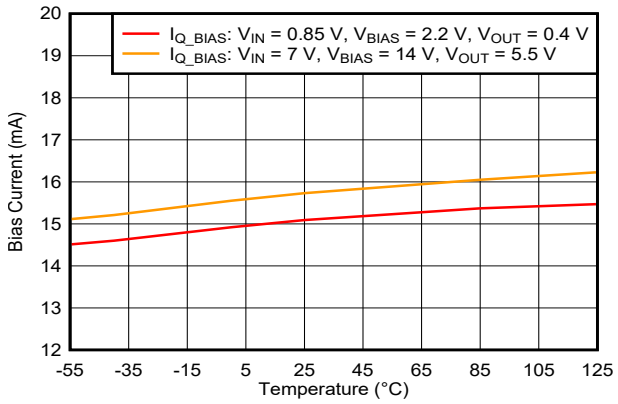
## 6.7 典型特性（续）

$V_{IN}$ = 2.5V，$V_{OUT}$ = 1.8V，$V_{BIAS}$ = 5V，$I_{OUT}$ = 1A，$C_{OUT}$ = 2 × 100µF，$C_{SS}$ = 4.7µF，$R_{REF}$ = 12.0kΩ，$R_{BIAS}$ = 10Ω，$C_{BIAS}$ = 4.7µF，$T_A$ = 25°C，除非另有说明，否则在 10Hz 至 100kHz 带宽下报告积分噪声。



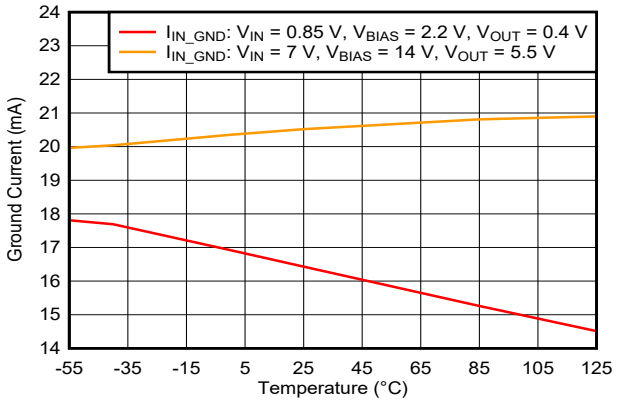

$I_{OUT}$ = 0A

**图 6-32. 静态电流与温度间的关系**



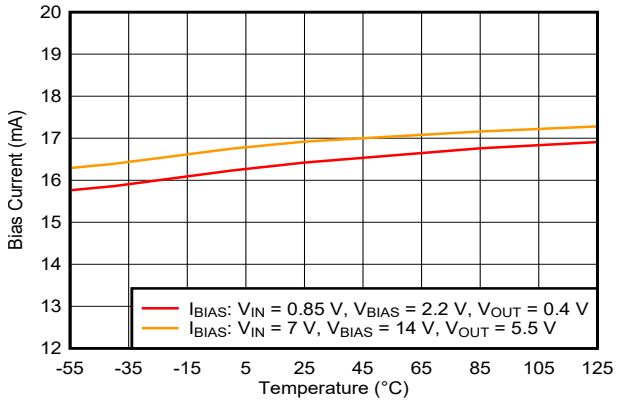

$I_{OUT}$ = 0A

**图 6-33. 偏置电流与温度间的关系**



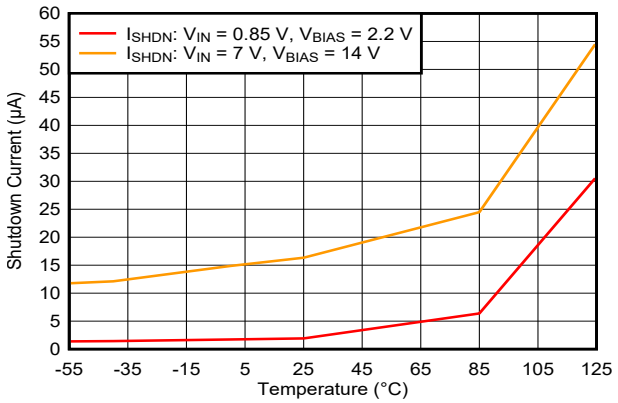

$I_{OUT}$ = 1.5A

**图 6-34. 接地电流与温度间的关系**



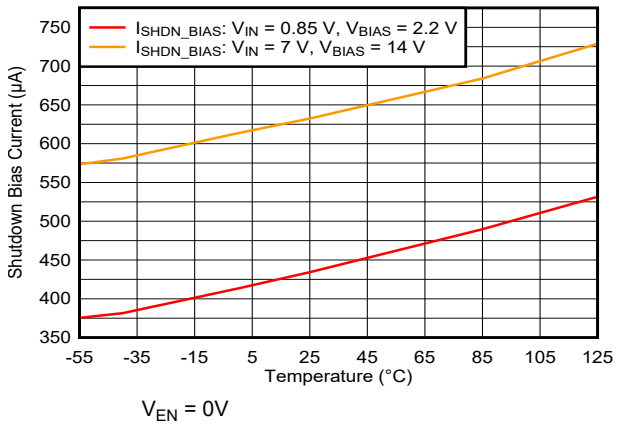

$I_{OUT}$ = 1.5A

**图 6-35. 偏置电流与温度间的关系**




$V_{EN}$ = 0V

**图 6-36. 关断电流与温度间的关系**




$V_{EN}$ = 0V

**图 6-37. 偏置关断电流与温度间的关系**


Copyright © 2024 Texas Instruments Incorporated

## 6.7 典型特性（续）

$V_{IN}$ = 2.5V，$V_{OUT}$ = 1.8V，$V_{BIAS}$ = 5V，$I_{OUT}$ = 1A，$C_{OUT}$ = 2 × 100µF，$C_{SS}$ = 4.7µF，$R_{REF}$ = 12.0kΩ，$R_{BIAS}$ = 10Ω，$C_{BIAS}$ = 4.7µF，$T_A$ = 25°C，除非另有说明，否则在 10Hz 至 100kHz 带宽下报告积分噪声。

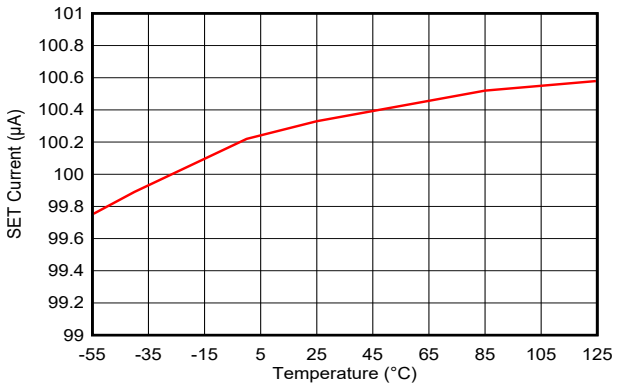
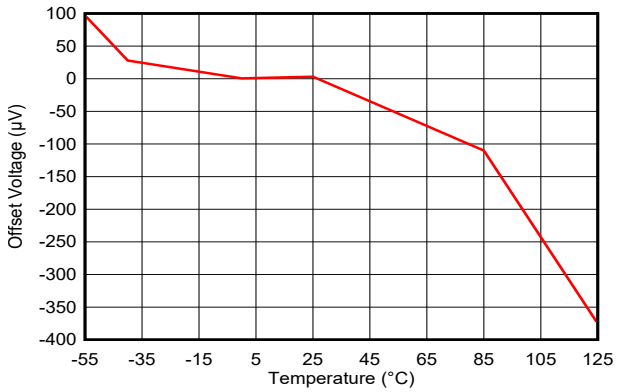



图 6-38. SET 引脚电流与温度间的关系




$I_{OUT}$ = 1mA

图 6-39. 失调电压与温度间的关系

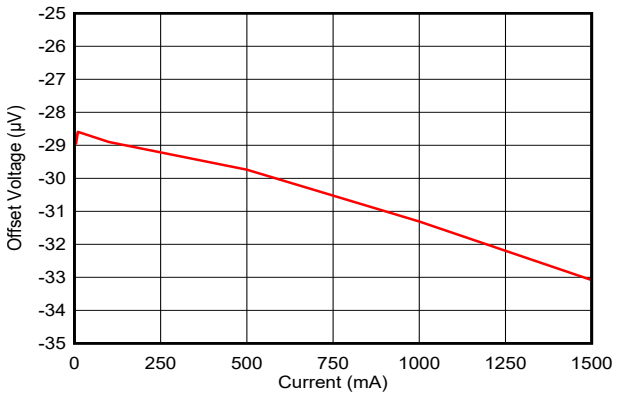



图 6-40. 失调电压与电流间的关系

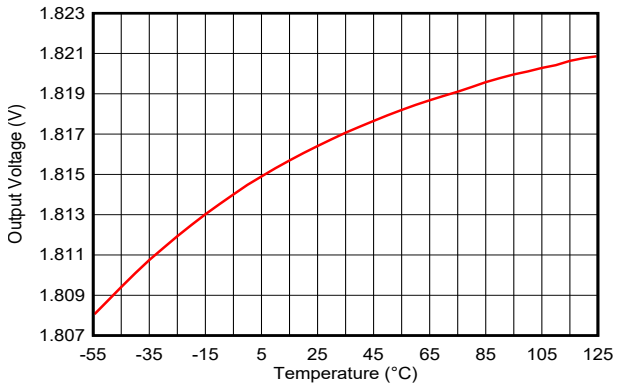
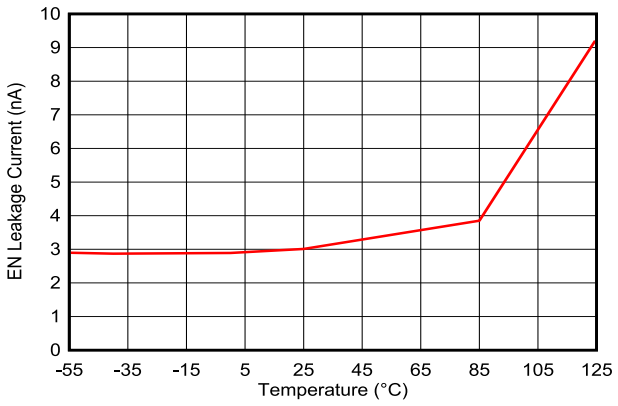
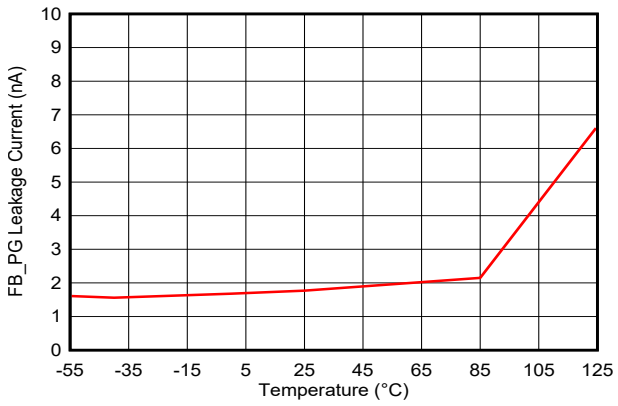



图 6-41. 输出电压与温度间的关系




$V_{EN}$ = 7V $V_{IN}$ = 7V $V_{BIAS}$ = 14V

图 6-42. 使能漏电流与温度间的关系



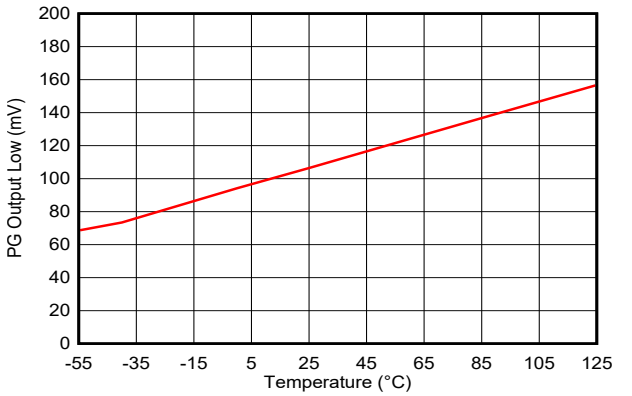

$V_{FB_PG}$ = 6V $V_{IN}$ = 7V $V_{BIAS}$ = 14V
$I_{OUT}$ = 1mA

图 6-43. FB_PG 引脚漏电流与温度间的关系

Copyright © 2024 Texas Instruments Incorporated

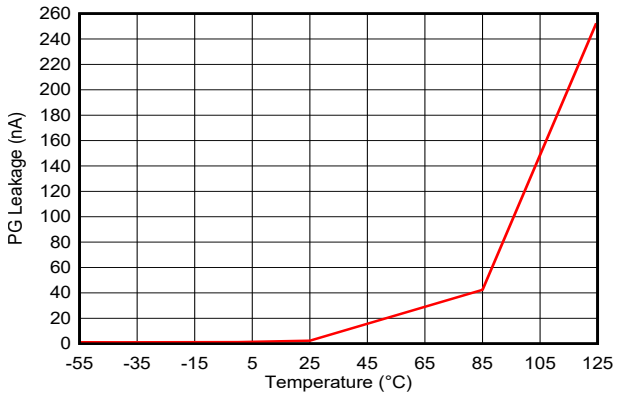
## 6.7 典型特性（续）

$V_{IN}$ = 2.5V，$V_{OUT}$ = 1.8V，$V_{BIAS}$ = 5V，$I_{OUT}$ = 1A，$C_{OUT}$ = 2 × 100µF，$C_{SS}$ = 4.7µF，$R_{REF}$ = 12.0kΩ，$R_{BIAS}$ = 10Ω，$C_{BIAS}$ = 4.7µF，$T_A$ = 25°C，除非另有说明，否则在 10Hz 至 100kHz 带宽下报告积分噪声。



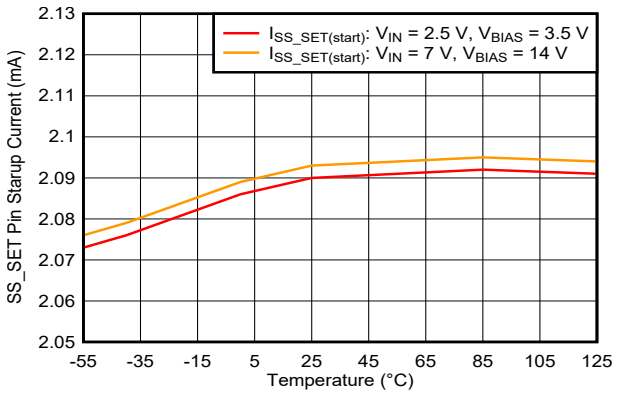

$V_{IN}$ = 0.85V　$V_{BIAS}$ = 2.2V　$I_{OUT}$ = 1mA
$I_{PG}$ = 2mA

**图 6-44. PG 引脚输出低电平与温度间的关系**



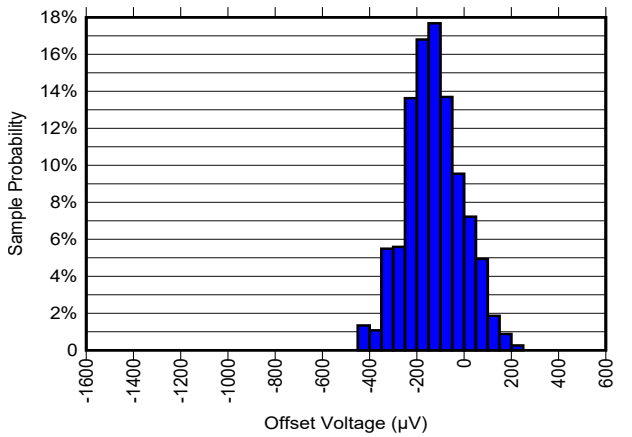

$V_{IN}$ = 7V　$V_{BIAS}$ = 14V　$I_{OUT}$ = 1mA
$V_{PG}$ = 7V

**图 6-45. PG 引脚漏电流与温度间的关系**



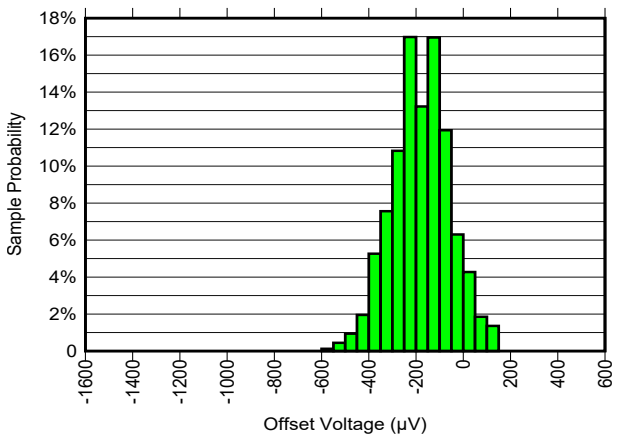

$I_{OUT}$ = 0mA

**图 6-46. 启动期间的 SS_SET 引脚电流与温度间的关系**



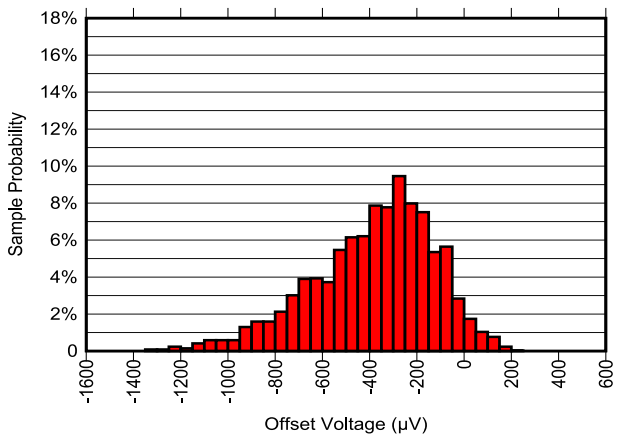

0.85V ⩽ $V_{IN}$ ⩽ 7V，2.2V ⩽ $V_{BIAS}$ ⩽ 14V，$I_{OUT}$ = 1mA

**图 6-47. $T_A$ = –55°C 时的输出失调电压分布**




0.85V ⩽ $V_{IN}$ ⩽ 7V，2.2V ⩽ $V_{BIAS}$ ⩽ 14V，$I_{OUT}$ = 1mA

**图 6-48. $T_A$ = 25°C 时的输出失调电压分布**



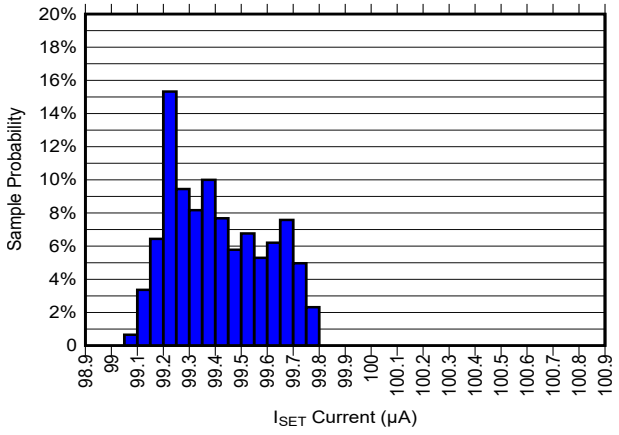

0.85V ⩽ $V_{IN}$ ⩽ 7V，2.2V ⩽ $V_{BIAS}$ ⩽ 14V，$I_{OUT}$ = 1mA

**图 6-49. $T_A$ = 125°C 时的输出失调电压分布**


Copyright © 2024 Texas Instruments Incorporated

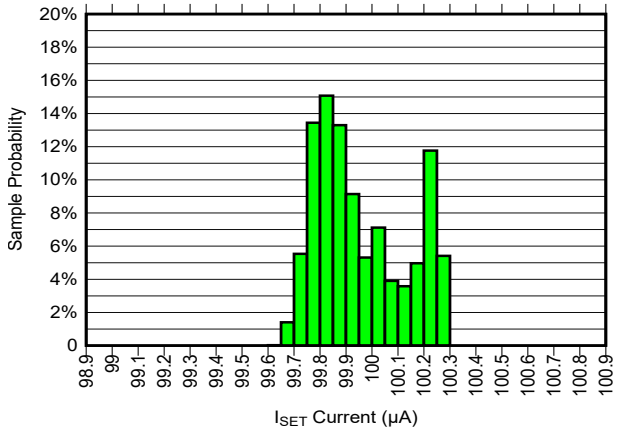
## 6.7 典型特性（续）

$V_{IN}$ = 2.5V，$V_{OUT}$ = 1.8V，$V_{BIAS}$ = 5V，$I_{OUT}$ = 1A，$C_{OUT}$ = 2 × 100µF，$C_{SS}$ = 4.7µF，$R_{REF}$ = 12.0kΩ，$R_{BIAS}$ = 10Ω，$C_{BIAS}$ = 4.7µF，$T_A$ = 25°C，除非另有说明，否则在 10Hz 至 100kHz 带宽下报告积分噪声。



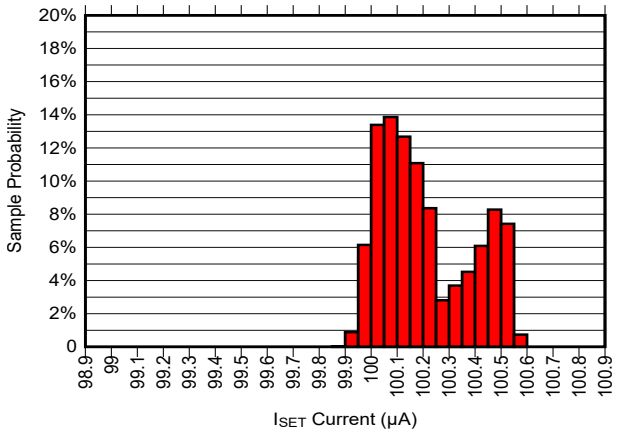

0.85V ⩽ $V_{IN}$ ⩽ 7V，2.2V ⩽ $V_{BIAS}$ ⩽ 14V，$I_{OUT}$ = 1mA

**图 6-50. $T_A$ = –55°C 时的 $I_{SET}$ 电流分布**



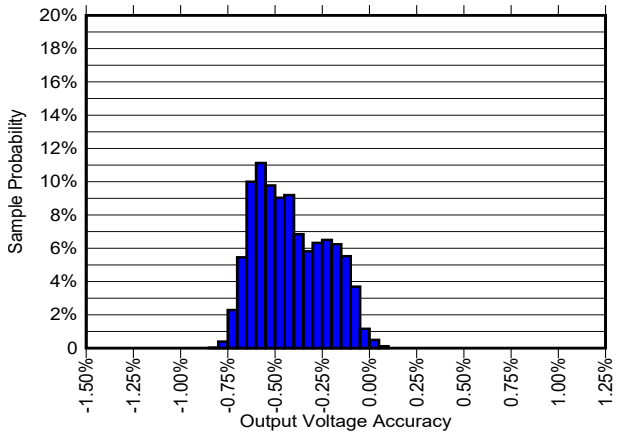

0.85V ⩽ $V_{IN}$ ⩽ 7V，2.2V ⩽ $V_{BIAS}$ ⩽ 14V，$I_{OUT}$ = 1mA

**图 6-51. $T_A$ = 25°C 时的 $I_{SET}$ 电流分布**




0.85V ⩽ $V_{IN}$ ⩽ 7V，2.2V ⩽ $V_{BIAS}$ ⩽ 14V，$I_{OUT}$ = 1mA

**图 6-52. $T_A$ = 125°C 时的 $I_{SET}$ 电流分布**



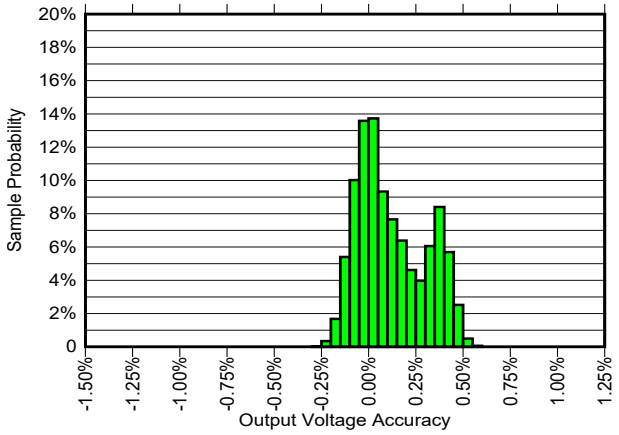

0.85V ⩽ $V_{IN}$ ⩽ 7V，1mA ⩽ $I_{OUT}$ ⩽ 1.5A，2.2V ⩽ $V_{BIAS}$ ⩽ 14V，$P_D$ ⩽ 4W

**图 6-53. $T_A$ = –55°C 时的输出电压精度分布**

Copyright © 2024 Texas Instruments Incorporated

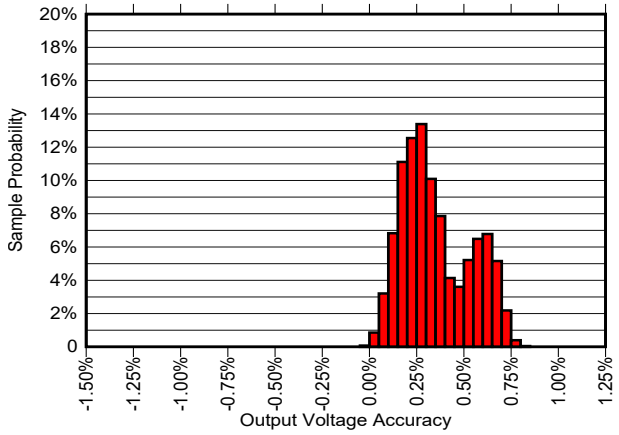
## 6.7 典型特性（续）

$V_{IN}$ = 2.5V，$V_{OUT}$ = 1.8V，$V_{BIAS}$ = 5V，$I_{OUT}$ = 1A，$C_{OUT}$ = 2 × 100µF，$C_{SS}$ = 4.7µF，$R_{REF}$ = 12.0kΩ，$R_{BIAS}$ = 10Ω，$C_{BIAS}$ = 4.7µF，$T_A$ = 25°C，除非另有说明，否则在 10Hz 至 100kHz 带宽下报告积分噪声。



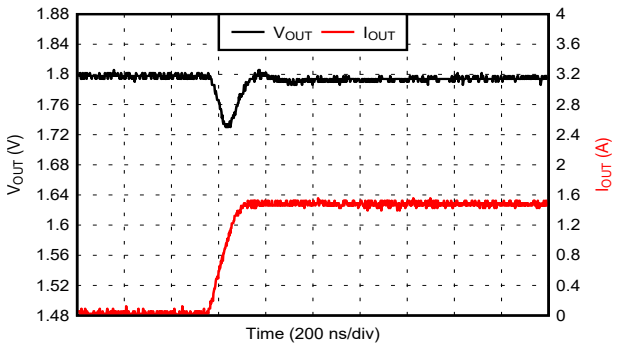

0.85V ⩽ $V_{IN}$ ⩽ 7V，1mA ⩽ $I_{OUT}$ ⩽ 1.5A，2.2V ⩽ $V_{BIAS}$ ⩽ 14V，$P_D$ ⩽ 4W

**图 6-54. $T_A$ = 25°C 时的输出电压精度分布**



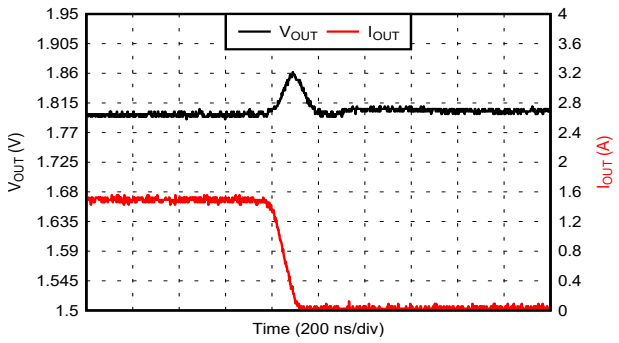

0.85V ⩽ $V_{IN}$ ⩽ 7V，1mA ⩽ $I_{OUT}$ ⩽ 1.5A，2.2V ⩽ $V_{BIAS}$ ⩽ 14V，$P_D$ ⩽ 4W

**图 6-55. $T_A$ = 125°C 时的输出电压精度分布**



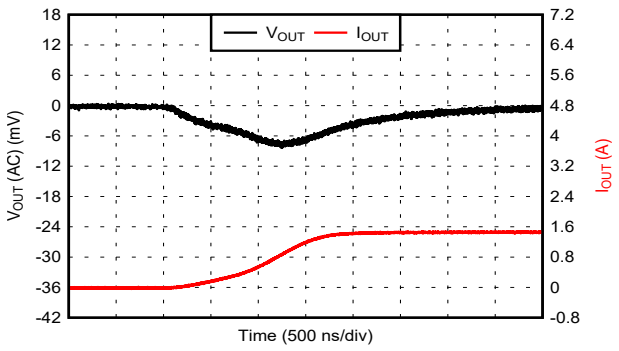

压摆率 = 10.1A/µs

**图 6-56. 负载阶跃：1mA 至 1.5A**



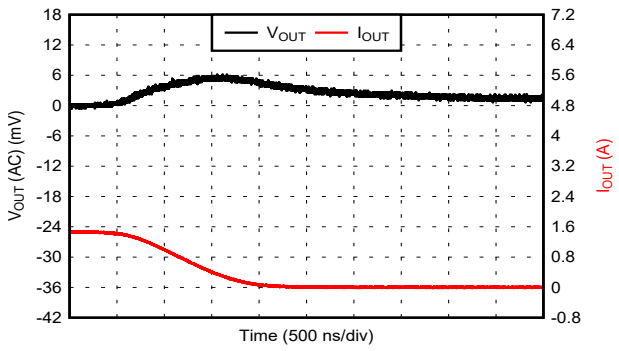

压摆率 = 13.1A/µs

**图 6-57. 负载阶跃：1.5A 至 1mA**




压摆率 = 0.9A/µs

**图 6-58. 负载阶跃：1mA 至 1.5A**



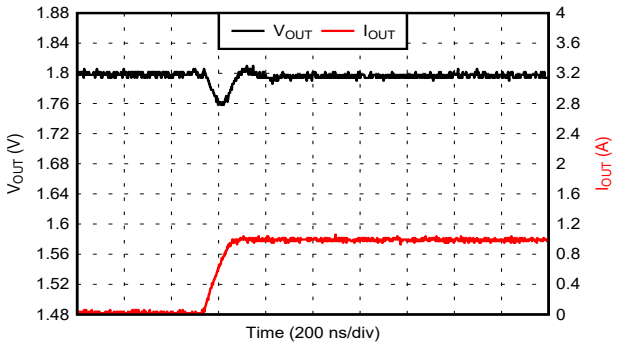

压摆率 = 1.0A/µs

**图 6-59. 负载阶跃：1.5A 至 1mA**


Copyright © 2024 Texas Instruments Incorporated

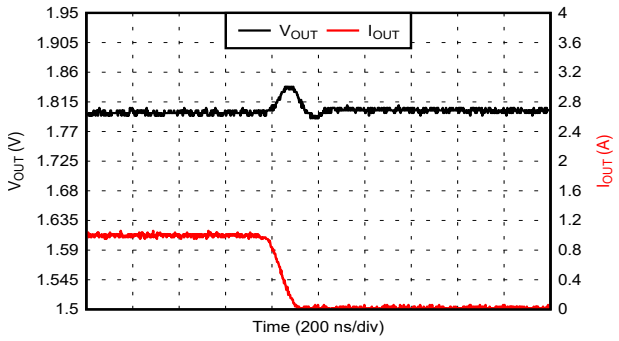
## 6.7 典型特性（续）

$V_{IN}$ = 2.5V，$V_{OUT}$ = 1.8V，$V_{BIAS}$ = 5V，$I_{OUT}$ = 1A，$C_{OUT}$ = 2 × 100µF，$C_{SS}$ = 4.7µF，$R_{REF}$ = 12.0kΩ，$R_{BIAS}$ = 10Ω，$C_{BIAS}$ = 4.7µF，$T_A$ = 25°C，除非另有说明，否则在 10Hz 至 100kHz 带宽下报告积分噪声。



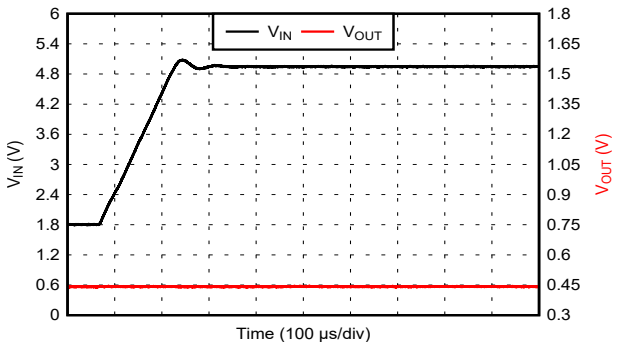

压摆率 = 8.5A/µs　　$I_{OUT}$ 仅仅是步进变化的电流，未显示并联的 0.5A 负载

**图 6-60. 负载阶跃：0.5A 至 1.5A**



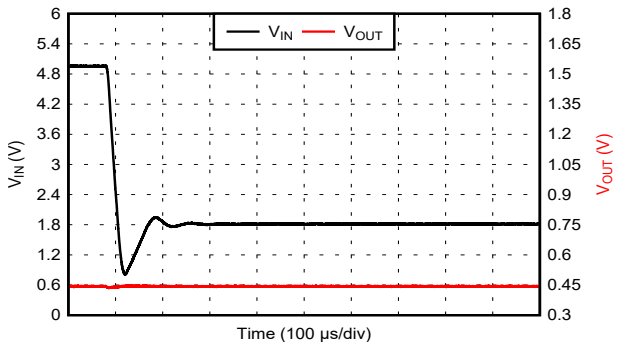

压摆率 = 8.1A/µs　　$I_{OUT}$ 仅仅是步进变化的电流，未显示并联的 0.5A 负载

**图 6-61. 负载阶跃：1.5A 至 0.5A**



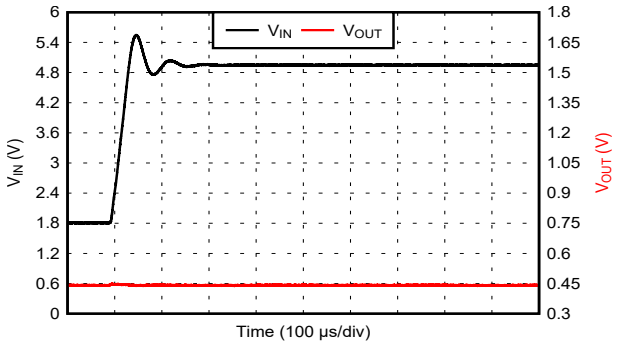

压摆率：20.2V/ms　　$V_{OUT}$ = 0.4V

**图 6-62. 线路阶跃：1.8V 至 5V，其中 $I_{OUT}$ = 1.5A**



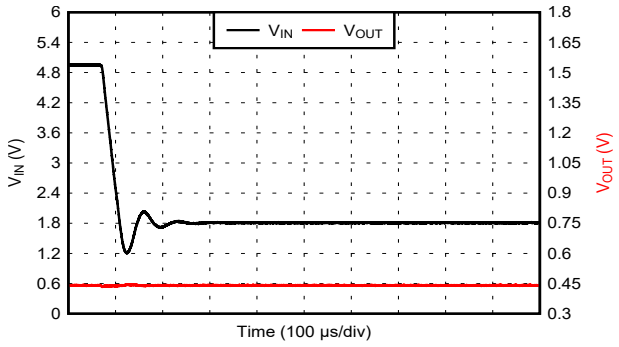

压摆率 = 144.8V/ms　　$V_{OUT}$ = 0.4V

**图 6-63. 线路阶跃：5V 至 1.8V，其中 $I_{OUT}$ = 1.5A**




压摆率 = 84.0V/ms　　$V_{OUT}$ = 0.4V

**图 6-64. 线路阶跃：1.8V 至 5V，其中 $I_{OUT}$ = 1mA**




压摆率 = 85.1V/ms　　$V_{OUT}$ = 0.4V

**图 6-65. 线路阶跃：5V 至 1.8V，其中 $I_{OUT}$ = 1mA**

Copyright © 2024 Texas Instruments Incorporated

## 6.7 典型特性（续）

$V_{IN}$ = 2.5V，$V_{OUT}$ = 1.8V，$V_{BIAS}$ = 5V，$I_{OUT}$ = 1A，$C_{OUT}$ = 2 × 100µF，$C_{SS}$ = 4.7µF，$R_{REF}$ = 12.0kΩ，$R_{BIAS}$ = 10Ω，$C_{BIAS}$ = 4.7µF，$T_A$ = 25°C，除非另有说明，否则在 10Hz 至 100kHz 带宽下报告积分噪声。

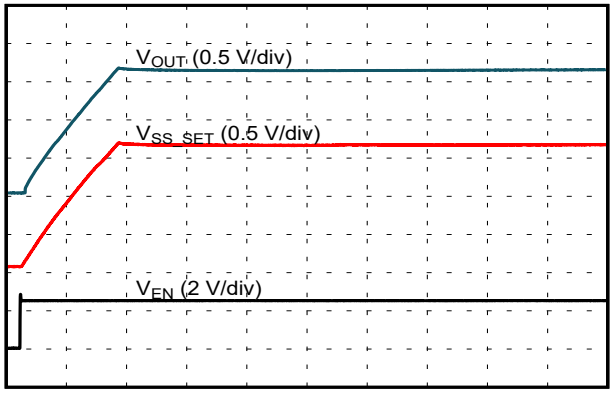
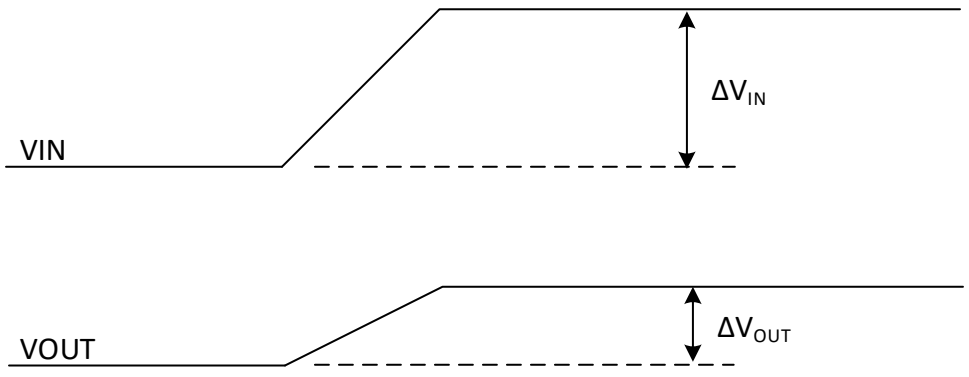



图 6-66. 启动波形

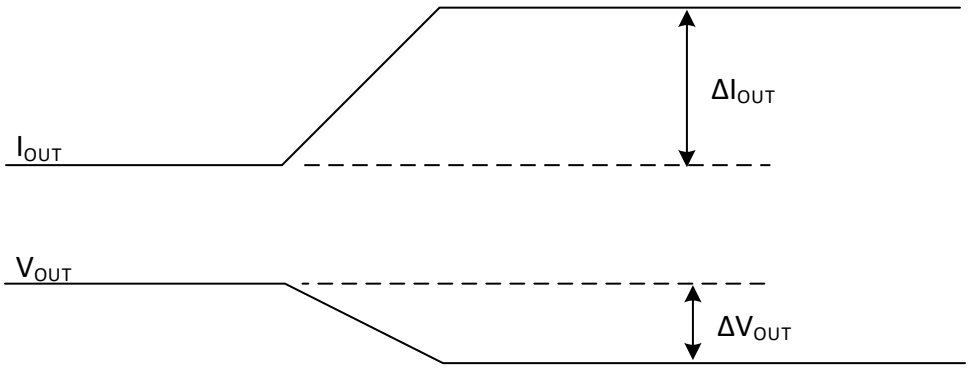

Copyright © 2024 Texas Instruments Incorporated

# 7 参数测量信息




A. ΔVOUT / ΔVIN = 3µV/V（典型值）。这表示如果 VIN 发生 1V 的变化（ΔVIN = 1V），则 VOUT 会发生 3µV 的变化（ΔVOUT = 3µV）。线路调节是一个直流参数；因此，仅在瞬变消失后或 VIN 压摆率较慢时此波形才被视为有效。

**图 7-1. 线路调节**




A. ΔVOUT / ΔIOUT = 500µV/A（典型值）。这表示如果 IOUT 发生 1A 变化（ΔIOUT = 1A），则 VOUT 会发生 500µV 的变化（ΔVOUT = 500µV）。负载调节是一个直流参数；因此，仅在瞬变消失后或 IOUT 压摆率较慢时此波形才被视为有效。

**图 7-2. 负载调节**

Copyright © 2024 Texas Instruments Incorporated

# 8 详细说明

## 8.1 概述

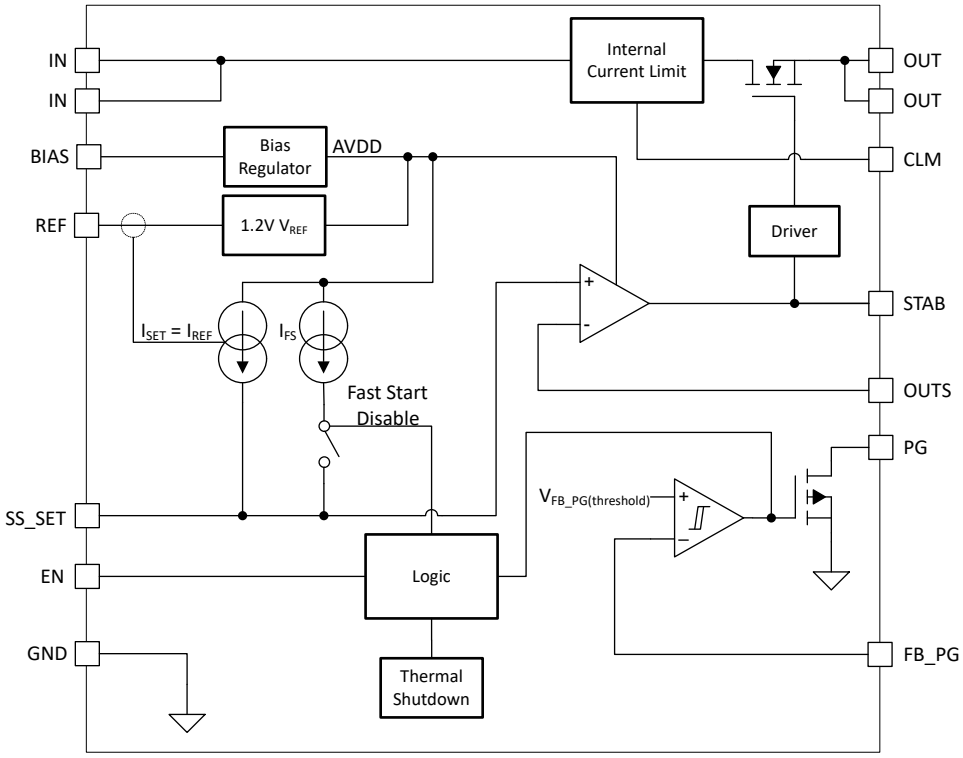
TPS7H1111（TPS7H1111-SP 和 TPS7H1111-SEP）是一款超低噪声、高 PSRR、低压降线性稳压器 (LDO)，针对为航天环境中的射频器件供电进行了优化。它使用 NMOS 通道元件，能够在 0.85V 至 7V 输入范围内提供高达 1.5A 的电流。BIAS 引脚（2.2V 至 14V）支持使用偏置轨以促进低 $V_{IN}$ 至 $V_{OUT}$ 运行，因而限制功率耗散。该器件可产生超洁净的输出电源轨，并可使用更少的外部元件进行配置。

TPS7H1111 具有辐射性能、低噪声和高 PSRR，非常适合为卫星中的噪声敏感型元件供电。该器件具有高性能，可抑制电源产生的相位噪声和时钟抖动，因此它非常适合为高性能 ADC、DAC、VCO、PLL、串行器/解串器和其他射频元件供电。

对于需要以低输入电压和低输出电压运行的数字负载（例如应用特定集成电路 (ASIC)、FPGA 和 DSP），TPS7H1111 所具备的出色精度（在线路、负载和温度范围内可达 +1.2%/–1.3%），遥感功能、出色的瞬态性能和软启动能力可确保实现出色的系统性能。

此外，稳压器还包含各种可简化电气系统和提供系统灵活性的功能。这些特性包括使能功能 (EN)、可配置电源正常输出 (PG)、软启动控制 (SS_SET)、具有可配置行为的内部电流限制 (CLM) 和外部环路补偿 (STAB)。

## 8.2 功能模块图





Copyright © 2024 Texas Instruments Incorporated

## 8.3 特性说明

### 8.3.1 辅助电源

为了使器件正常运行，需要将一个辅助电源连接到 BIAS 引脚。根据余量电压和输出电流条件，辅助电源电压可能与输入电压电源相同，也可能是单独的较高电压电源。请注意，余量电压定义为工作条件下 $V_{IN}$ 和 $V_{OUT}$ 之间的差值 ($V_{headroom} = V_{IN} - V_{OUT}$)。在所有情况下，$V_{BIAS}$ 和 $V_{IN}$ 之间没有时序要求。

如表 8-1 中所示，如果余量电压大于或等于 1.6V，则无需单独的更高辅助电源。如果余量电压低于 1.6V，则需要单独的更高辅助电源电压才能充分发挥性能。在表 8-1 所示的所有情况下，均可在指定的压降电压下实现 1.5A 的满量程输出电流（请参阅电气特性表）。

**表 8-1. 充分发挥性能所需的偏置轨要求**

| 余量 ($V_{IN}$ - $V_{OUT}$) | 偏置要求(1) |
|---|---|
| ≥ 1.6V | 使用与 $V_{IN}$ 相同的电压轨或 ≥ $V_{IN}$ 的任何 $V_{BIAS}$ |
| < 1.6V | 在 $V_{BIAS}$ ≥ $V_{OUT}$ + 1.6V 的情况下，使用与 $V_{IN}$ 不同的电压轨 |

(1) 在所有情况下，2.2V≤ $V_{BIAS}$ ≤ 14V

表 8-2 显示了支持的 $V_{BIAS}$、$V_{IN}$ 和 $V_{OUT}$ 组合的示例，这些组合可通过标准电压轨实现，从而实现 1.5A 的完整输出电流支持。可以看出，12V 辅助电源将支持所有列出的标准输出电压轨（一般来说，5V 电源就够了）。另请注意，在 $V_{BIAS}$ 和 $V_{IN}$ 电压相同的情况下，不需要单独的电源。

**表 8-2. 充分发挥性能的偏置轨标准轨示例**

| $V_{BIAS}$ (V) | $V_{IN}$ (V) | $V_{OUT}$ (V) |
|---|---|---|
| 12 | 5 | 3.3 |
| | 5、3.3 | 2.5 |
| | 5、3.3、2.5 | 1.8 |
| | 5、3.3、2.5、1.8 | 1.1 |
| 5 | 5、3.3 | 2.5 |
| | 5、3.3、2.5 | 1.8 |
| | 5、3.3、2.5、1.8 | 1.1 |
| 3.3 | 3.3、2.5、1.8 | 1.1 |

虽然一般情况下建议遵循上述偏置电压要求，但有时这并不可行（例如，在余量很小且没有提供单独的偏置电压轨时）。在这种情况下，仍然可以运行 TPS7H1111，但代价是降低了输出电流（并可能降低性能，例如降低 PSRR）。在电气特性表中将此条件（$V_{BIAS} = V_{IN}$ 且余量很小）指定为 *$V_{BIAS} = V_{IN}$ 时的压降电压*。通过满足由此产生的压降电压要求，器件保持正常运行。

可能无法充分发挥性能的一个受支持组合示例是 $V_{BIAS} = V_{IN} = 5V$ 且 $V_{OUT} = 3.3V$。假设 5V 电源轨具有 5% 的容差，3.3V 输出具有 +1.2% 的指定最大容差，最坏情况下的余量为 $V_{headroom} = 4.75 - 3.34 = 1.41V$。这个 1.41V 小于建议的 1.6V。但是，如电气特性表中所示，此余量大于 1.5A 满载电流下所需的压降。因此，预计可支持全电流，但其他参数可能无法充分发挥性能（如 PSRR）。

在耦合到输出之前，偏置轨上的任何噪声都会通过 $PSRR_{BIAS}$ 规格来衰减。除非偏置轨是超洁净电源轨，否则此噪声耦合将成为产生干净输出电压的限制因素。因此，应使用 RC 滤波器来更大限度地减少 BIAS 引脚的噪声输入。由于 BIAS 引脚具有较低的电流要求，这是可行的。一般情况下，10Ω 和 4.7μF 足以确保尽可能减少从 BIAS 引脚传播到输出电压的噪声。所选的电阻器值必须足够低，以确保产生的 IR 压降不会导致偏置电压变得过低，从而确保正常运行。

Copyright © 2024 Texas Instruments Incorporated

### 8.3.2 输出电压配置

通过在 SS_SET 引脚与 GND 之间放置一个电阻器 $R_{SET}$ 来设置 TPS7H1111 的输出电压。在正常运行期间，从 SS_SET 引脚输出 100 µA 电流。通过适当地选择 $R_{SET}$，即可在 SS_SET 引脚上生成如方程式 1 中计算的期望输出电压。此电压将通过内部单位增益误差放大器复制到输出端，如图 8-1 所示。

$$V_{SS_SET} = I_{SET} \times R_{SET} \quad (1)$$

其中

- $I_{SET}$ = 100 µA（典型值）
- $V_{SS_SET}$ = 配置为期望输出电压 $V_{OUT}$ 的设定电压

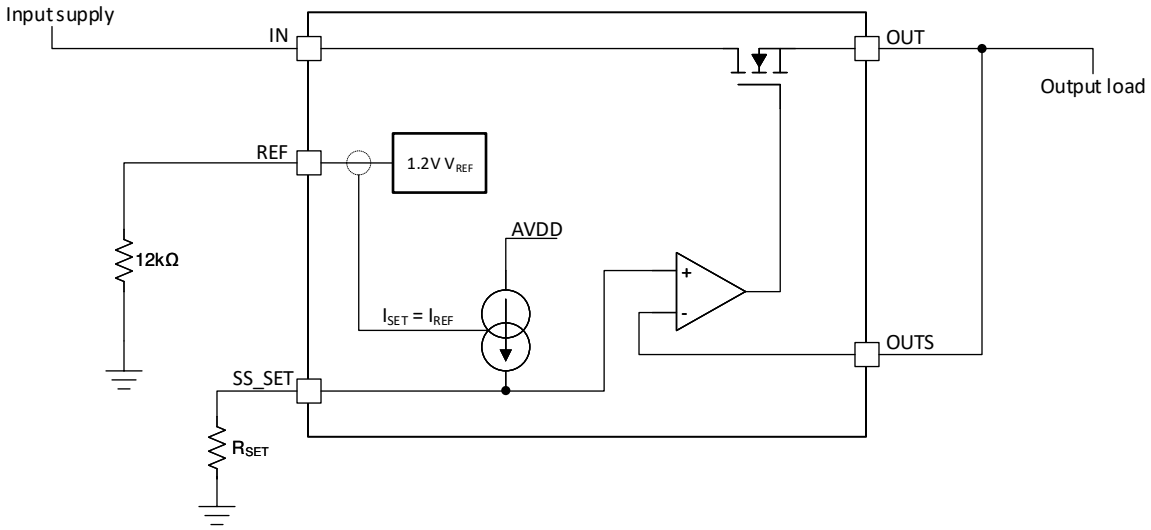



**图 8-1. 配置输出电压的简化示意图**

在 REF 引脚与 GND 之间放置一个 12kΩ 电阻器来配置 100 µA 基准电流。$R_{REF}$ 电阻器上的 1.2V 将产生大约 100 µA 的基准电流。此电流镜像至 SS_SET 引脚以生成一个高精度基准电流。通常，建议为 $R_{REF}$ 和 $R_{SET}$ 使用精度为 0.1% 的电阻器来精确设置电流。如果使用了精度为 0.1% 的电阻器，则由于存在 $R_{REF}$ 电阻器，$I_{SS_SET}$ 误差将为 0.1%。此外，$R_{SET}$ 电阻器的 0.1% 误差也会导致 $V_{OUT}$ 出现精度误差。TPS7H1111 在整个线路、负载和温度范围内的精度规格为 +1.2%/-1.3%，但必须单独添加电阻器容差误差。常用输出电压和电阻器值如表 8-3 所示。


Copyright © 2024 Texas Instruments Incorporated

表 8-3. 所示 $V_{OUT}$ 的 $R_{SET}$ 值

| 输出电压 $V_{OUT}$ | 0.1% 容差电阻器的值 |
|---|---|
| 0.4V | 4.02kΩ |
| 0.7 V | 6.98kΩ |
| 1V | 10kΩ |
| 1.1V | 11kΩ |
| 1.2V | 12kΩ |
| 1.5V | 15kΩ |
| 1.8V | 18kΩ |
| 2.5V | 24.9kΩ |
| 3.3V | 33.2kΩ |
| 4V | 40.2kΩ |
| 5V | 49.9kΩ |

此外，如果需要更高的精度，则可以使用匹配的电阻器（精度比率通常优于 0.1%）。例如，可以为 $R_{REF}$ 选择一个匹配的标称 12kΩ ±5% 电阻器，使 $R_{SET}/R_{REF}$ 比率为 0.01%（或更高）。在这种情况下，不使用方程式 1 来计算设定电压，而使用方程式 2。

$$V_{SS_SET} = (1.2 / R_{REF}) \times R_{SET} \quad (2)$$

其中

- $V_{SS_SET}$ = 设置为期望输出电压 $V_{OUT}$ 的设定电压

方程式 2 让用户可以轻松计算由于 $R_{REF}$ 和 $R_{SET}$ 电阻器不匹配而导致的设定输出电压中的误差。但是，虽然改进的电阻器比率可能会提高输出精度，但仍存在其他误差源。这些源包括固有基准电流精度本身和误差放大器失调电压。

输出电压精度 $V_{ACC}$ 在电气特性表中指定了 –1.3% 的最小精度和 +1.2% 的最大精度。此规格适用于整个温度范围（–55°C 至 125°C）、所有输入电压（0.85V ≤ $V_{IN}$ ≤ 7V 和 2.2V ≤ $V_{BIAS}$ ≤ 14V）以及最高为满载（1mA ≤ $I_{OUT}$ ≤ 1.5A）的情况。下面指出了有关测量的一些额外详细信息：

- 在所有可能的线路、负载和温度组合下，$V_{IN}$、$V_{BIAS}$、$I_{OUT}$ 和温度的范围都能满足规格要求。通过测试涵盖各种情况的多个偏置条件来实现测试目标。
- 电气特性中的脚注 4 指定了 $V_{BIAS} \geq V_{IN}$ *和* $V_{BIAS} \geq V_{OUT} + 1.6V$。这是因为并非所有 $V_{IN}$ 和 $V_{BIAS}$ 的极端值都是可行的（例如，$V_{IN}$ = 7V 和 $V_{BIAS}$ = 2.2V 就没有意义）。
- 电气特性中的脚注 5 规定了测量时的功率耗散限制为最大 4W。这是由于测试仪存在热限制。在热性能良好的典型应用板上，没有固有的限制。
- 测试条件指定的最小值为 1mA，而不是 0mA，以便实现更可靠的精度测量。但在正常应用中，为实现稳定性，TPS7H1111 器件并没有最小负载电流要求。
- 承受 TID 后的规格在室温下测量（为避免在高温下退火而采用 MIL 标准)。TPS7H1111 指定承受 TID 后的最小精度为 –0.7%，最大精度为 +1.1%。相比之下，承受 TID 前的最小精度为 –0.7%，最大精度为 +0.9%。
- TI 不建议在 $V_{ACC}$ 规格中包括以下误差项，因为它们固有地包括在 $V_{ACC}$ 参数中：$I_{SET}$ 电流精度，$V_{OS}$（输出失调电压），$V_{REF}$ 电压精度，$\Delta V_{OUT}/\Delta V_{IN}$（线路调节），$\Delta V_{OUT}/\Delta I_{OUT}$（负载调节），$V_{OUT}$ 温度系数。
- 因为参数中不包括由于 $R_{REF}$ 和 $R_{SET}$ 电阻器容差等外部组件而产生的误差，所以它们可以添加到 $V_{ACC}$ 规格中。

有关确定输出电压精度的额外信息，请参阅节 9.2.1.2.3。

### 8.3.3 使用电压源的输出电压配置

由于 TPS7H1111 输出电压等于 SS_SET 电压（减去任何偏移误差），因此也可以通过在 SS_SET 上提供电压来配置 TPS7H1111。如图 8-2 所示，电压源 $V_{SET}$ 馈入 SS_SET。DAC 可用作电压源，以实现可配置的电压控制。

Copyright © 2024 Texas Instruments Incorporated

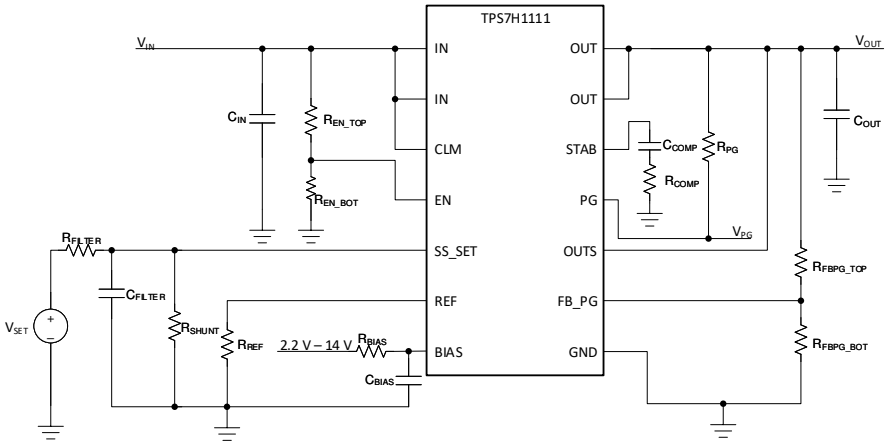



**图 8-2. 使用 SS_SET 上的电压源配置输出电压的简化原理图**

使用此方法时，应考虑一些独特的注意事项：

- 当在 SS_SET 上提供电压源时，$V_{SET}$ 的噪声不依赖于超低噪声基准电流，而是通过单位增益误差放大器传递到输出端。如图所示，建议在 $V_{SET}$ 和 SS_SET 之间使用 RC 滤波器，以便更大限度地降低噪声。
- 由于 TPS7H1111 输出电压直接跟随 SS_SET，因此在启动期间不会出现软启动。建议控制 $V_{SET}$ 电压压摆率以确保实现期望的软启动时间。$V_{SET}$ 和 SS_SET 之间的 RC 滤波器可能有助于实现这种压摆率控制。
- SS_SET 引脚将在运行期间输出标称的 100 µA 电流，在“软启动”期间输出 2.1mA 的电流（当 $V_{FB_PG} < V_{FB_PG(rising)}$ 时）。为了处理此电流，可能需要一个分流电阻器。

### 8.3.4 启用

当使能引脚为低电平时，器件将进入关断模式，而不会调节输出电压。通常，从 $V_{IN}$ 到 GND 使用一个外部电阻分压器为 EN 馈电。可以适当调整电阻器的大小，以便在达到期望的预设输入电压时导通器件，如方程式 3 所示。

$$V_{IN(rising)} = V_{EN(rising)} \times (R_{EN_TOP} + R_{EN_BOT}) / R_{EN_BOT} \quad (3)$$

同样，也可以使用方程式 4 计算 $V_{IN(falling)}$ 电压。$V_{IN(rising)}$ 和 $V_{IN(falling)}$ 可以被看作是可配置的 UVLO（欠压锁定）阈值。

$$V_{IN(falling)} = V_{EN(falling)} \times (R_{EN_TOP} + R_{EN_BOT}) / R_{EN_BOT} \quad (4)$$

虽然 TPS7H1111 将在 0.6V（典型值）的 $V_{EN}$ 下导通，但建议 $V_{EN}$ 的最终值要高于 0.8V。这是为了确保在正常运行期间具有高于使能阈值的适当裕度，从而防止在接触重离子时出现 SEFI。满足方程式 5 即可实现这项建议。

$$V_{IN(final)} \times R_{EN_BOT} / (R_{EN_TOP} + R_{EN_BOT}) = V_{EN(final)} > 0.8V \quad (5)$$

或者，可以直接从微控制器或 FPGA 驱动 EN 引脚。使能引脚的低电压阈值有助于支持 1.1V、1.8V、2.5V 和 3.3V 逻辑电平。同样，建议 $V_{EN}$ 的最终值高于 0.8V（这通常可通过标准逻辑电平轻松实现）。

### 8.3.5 软启动和降噪

除了设置输出电压之外，SS_SET 引脚还提供另外两个重要功能：对软启动时间进行编程以及为内部基准电流生成噪声滤波器。在大多数应用中，为了获得噪声足够低的性能，建议至少使用一个 4.7 µF 电容器。可以接受较大值的电容器；但是，如果使用大于 4.7 µF 的电容器，则降低输出噪声的效果会减弱。

此电容器还会减慢 SS_SET 电压斜升速率，因此会抑制 LDO 开通时间（软启动）。但是，如果电容器仅由 $I_{SET}$ 电流（标称值为 100 µA）充电，则启动时间会过长。为此，有额外的快速充电电流源（$I_{FS} \approx 2mA$）在启动期间处于活动状态。因此，使用 4.7 µF 电容器可实现 3.7ms 的标称软启动时间。图 8-3 显示了这个电路的简化图。


Copyright © 2024 Texas Instruments Incorporated

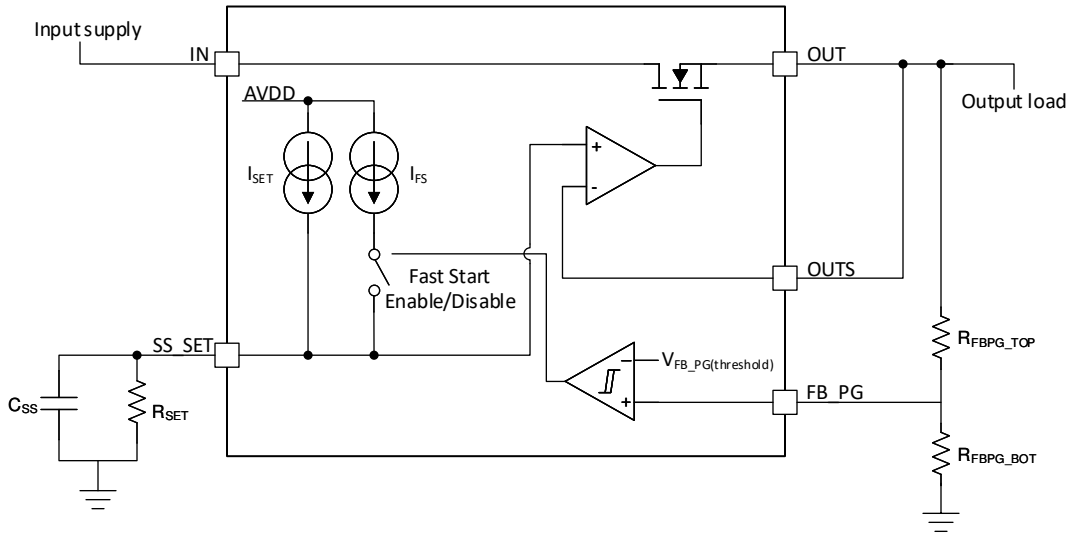



**图 8-3. 显示启动电路的简化原理图**

在达到 FB_PG 阈值（通常为 300mV）之前，这个快速充电电路处于激活状态。达到 FB_PG 阈值后，快速启动电流将关断，且将完成方程式 6 中所示的软启动时间。$C_{SS}$ 将使用 100 µA（典型值）基准电流继续充电至其最终值（由 $R_{SET}$ 电阻器确定）。图 8-4 显示了一个示例启动波形。在此波形中，假设 EN 馈入 $V_{IN}$ 的分压版本。

$$t_{SS} \approx C_{SS} \times V_{OUT(assert_threshold)} / I_{SS_SET(startup)} \quad (6)$$

其中

- $t_{SS}$ = 软启动时间
- $I_{SS_SET(startup)} = I_{FS} + I_{SET}$ = 2.1mA（典型值）
- $V_{(assert_threshold)}$ = PG 被置为有效的 $V_{OUT}$ 的配置值（通常为 $V_{OUT(final)}$ 的 90%，请参阅节 8.3.6）

请注意，快速充电电流（$I_{FS}$）和设定电流（$I_{SET}$）都在软启动时间（$t_{SS}$）内有效，并在电气特性表中报告为 $I_{SS_SET(start)}$。这个 2.1mA 的典型值对一个 12kΩ $R_{REF}$ 电阻器有效。由于快速充电电流是通过流经 $R_{REF}$ 电阻器的电流在内部计算出，因此大于或小于 12kΩ 的值分别会导致 $I_{FS}$ 电流减小或增大。

如果不需要快速启动电路，请将 FB_PG 引脚连接至 $V_{OUT}$。这将确保在快速达到 FB_PG 阈值时快速关断快速启动电路。请注意，这会影响 PG 引脚的行为，如节 8.3.6 中所述。

Copyright © 2024 Texas Instruments Incorporated

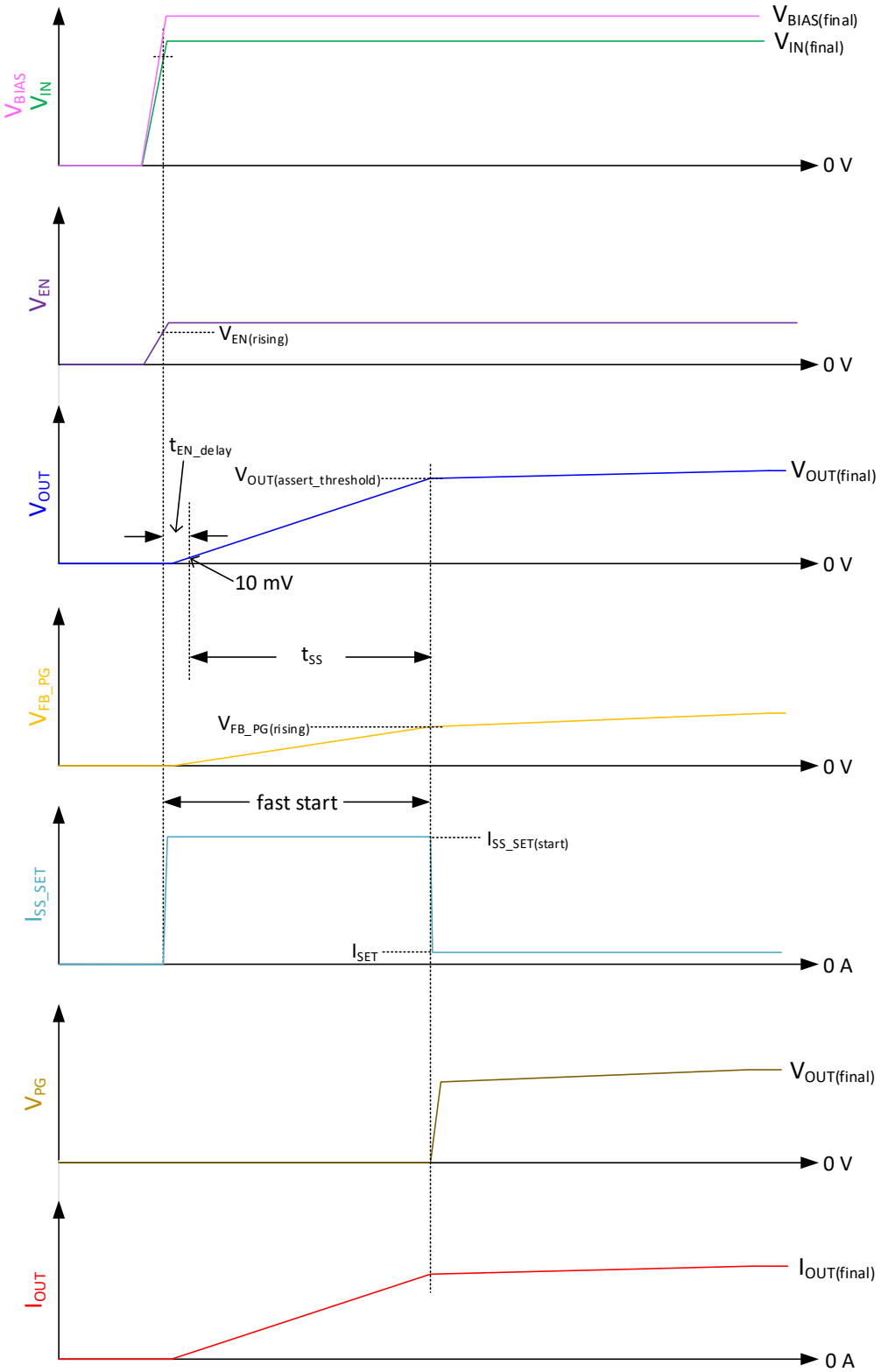



**图 8-4. 显示启动波形的简化原理图**


Copyright © 2024 Texas Instruments Incorporated

### 8.3.6 可配置电源正常

电源正常状态指示器引脚 PG 是一个开漏引脚，当输出电压达到期望值时置为有效。PG 引脚可以通过电阻器上拉至 $V_{OUT}$、$V_{IN}$ 或另一个小于建议最大值 7V 的电压电平。选择电阻器大小，使 PG 灌入的最大电流保持在建议工作条件下的最大电流 2mA 以下。

请注意、如果在 $V_{IN}$ 或 $V_{BIAS}$ 提供给器件之前将 PG 上拉至一个外部电压，则由于驱动强度不足，可能无法下拉 PG。$V_{IN(MIN_PG)}$ 在电气特性表中指定为 $V_{IN}$ 或 $V_{BIAS}$ 必须达到的最小值，以使 PG 具有足够的下拉强度，可以在小于或等于 0.6mA 的电流下将 PG 下拉至低于 0.5V。$V_{IN}$ 和 $V_{BIAS}$ 达到其适当的最终电压后，PG 引脚就具有全驱动强度。

通过电阻分压器将输出电压馈送到 FB_PG 引脚，可以配置 PG 置位电平。FB_PG 引脚的典型阈值为 300mV。达到或超过此阈值时，PG 引脚置为有效。方程式 7 表示如何计算 PG 置位时的 $V_{OUT}$ 值（未考虑 FB_PG 引脚漏电流，其影响很小）。如节 8.3.5 所述，当达到此电平时，快速启动电路也会关闭。

$$V_{FB_PG(rising)} = V_{OUT(assert_threshold)} \times R_{FBPG_BOT} / (R_{FBPG_TOP} + R_{FBPG_BOT}) \quad (7)$$

为了确保 PG 在达到最终输出电压时置位，必须考虑输出电压、FB_PG 阈值和电阻器容差电平的最坏情况容差。通常，将电阻分压器配置为使 $V_{(assert_threshold)}$ 达到 $V_{OUT(final)}$ 的 90% 或小于它就足够了。

PG 失效阈值也可以使用方程式 8 计算。

$$V_{FB_PG(rising)} - V_{FB_PG(hysteresis)} = V_{OUT(deassert_threshold)} \times R_{FBPG_BOT} / (R_{FBPG_TOP} + R_{FBPG_BOT}) \quad (8)$$

如果未使用 PG 引脚，则可以将其拉至接地。但是，如果需要节 8.3.5 中所述的快速启动电路，则仍必须正确配置 FB_PG 引脚。

### 8.3.7 电流限值

内部电流限制 $I_{LIM}$ 是电流限制值。根据 CLM 引脚的值，有两种类型的电流限制行为。首先，当 CLM 为高电平时，存在砖墙电流限制。当 CLM 为低电平时，存在关断电流限制。CLM 可直接连接至 $V_{IN}$ 或直接连接至 GND，以便控制电流限制运行。启用器件时，请勿更改此引脚的值，也不要将此引脚悬空。

图 8-5 中显示了砖墙式电流限制，也称为恒定电流限制。在此模式下，一旦达到 $I_{LIM}$ 且电流限制电路有时间作出响应，则 TPS7H1111 LDO 会进入恒定电流调节模式。换言之，输出电压将降至保持输出电流为 $I_{LIM}$ 所需的任何值。排除故障后，器件将恢复调节。通常，由于 SS_SET 引脚在故障期间被拉低以使 $C_{SS}$ 电容器快速放电，所以软启动时间与初始启动期间相同。但是，如果故障发生得非常快，$C_{SS}$ 电容器可能没有完全放电，这会缩短启动时间。

由于砖墙式电流限制中的功率耗散较高，TPS7H1111 可能会进入热关断状态，从而导致器件停止调节，直至它冷却到足以退出热关断。

Copyright © 2024 Texas Instruments Incorporated

**警告**

TPS7H1111 不会无限期地保持砖墙电流限制模式。

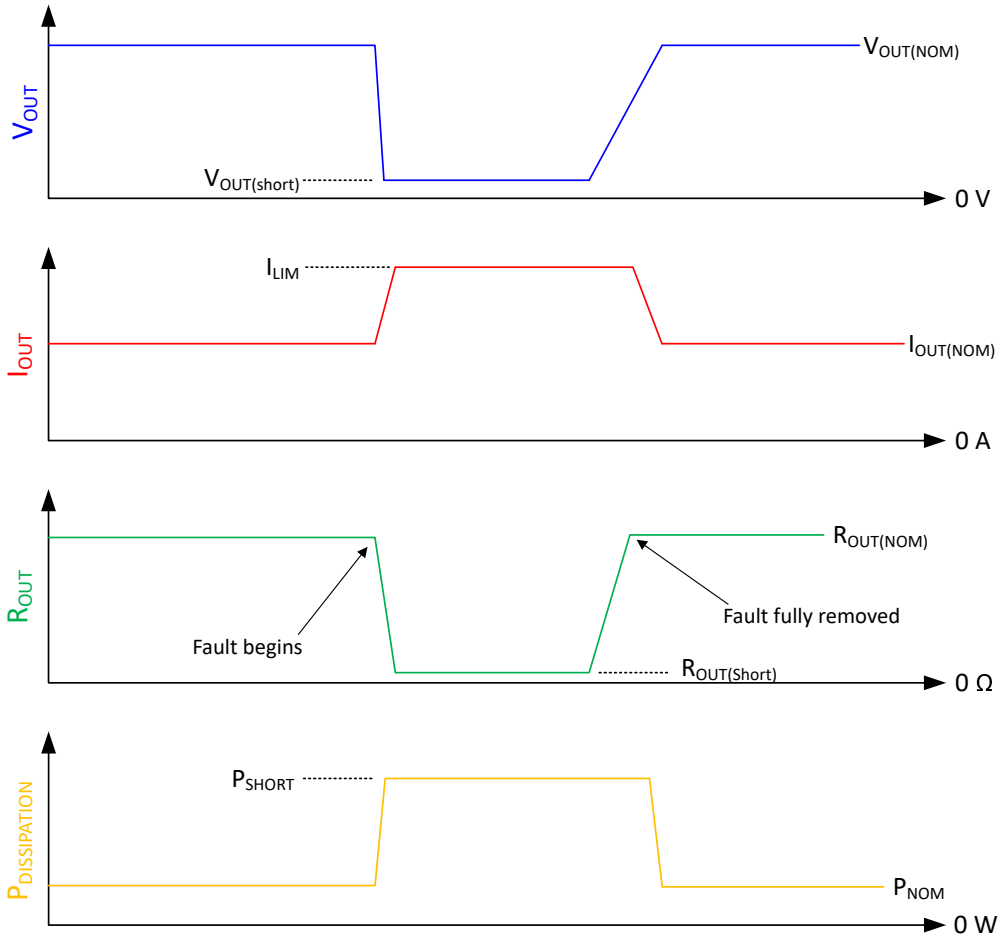



**图 8-5. 简化的砖墙电流限制波形（CLM 高电平）**

或者，如果 CLM 为低电平，则存在关断电流限制。该行为如图 8-6 所示。在关断电流限制中，如果达到电流限值 $I_{LIM}$，TPS7H1111 LDO 将停止调节（短暂延迟 ~28µs 后）。在 EN 下电上电（变为低电平，然后变为高电平）之前，LDO 将不会恢复调节。

关断电流限制的主要优势是，在达到电流限制后，不会持续出现高功耗。但是，其主要缺点是，在消除故障后，器件不会自动恢复调节。因此，外部监控器必须确定何时发生故障并决定何时切换 EN 引脚。这通常可以通过监控 PG 引脚的现有器件（例如 FPGA 或微控制器）轻松实现。如果监控器检测到 PG 引脚失效，则可以切换 EN 以尝试恢复调节。

当 EN 从高电平切换到低电平再到高电平时，它必须在低电平至少保持 $t_{EN_LOW}$ (20µs)。此外，建议在 SS_SET 放电至其标称值的 5% 之前不要切换 EN，以便在重启期间有足够的软启动，从而避免立即重新进入电流限制状态。


Copyright © 2024 Texas Instruments Incorporated

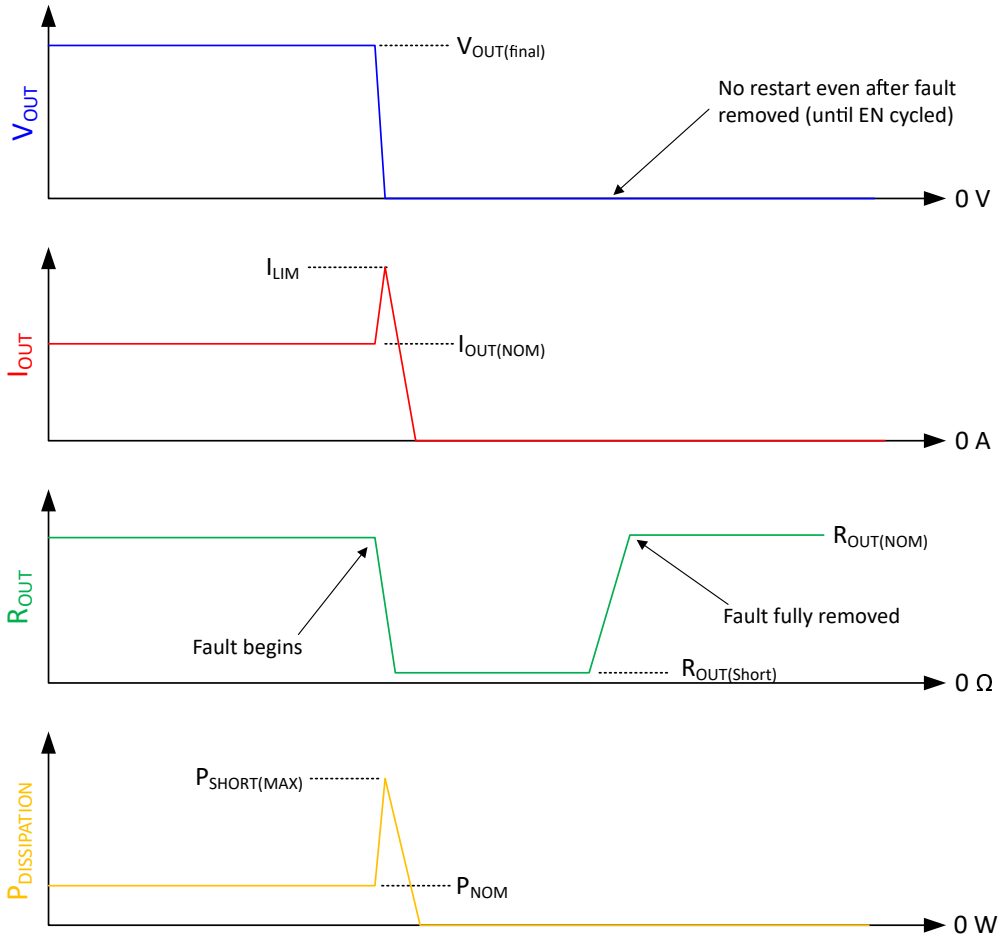



**图 8-6. 简化的关断电流限制波形（CLM 低电平）**

### 8.3.8 稳定性

默认外部补偿（$C_{COMP}$ = 4.7nF，$R_{COMP}$ = 5kΩ）足以确保器件在 建议运行条件（输出电容和寄生电容的默认范围）下运行时的稳定性。

如果使用的器件具有与建议运行条件中不同的输出电容，则可能需要不同的补偿。影响稳定性的主要因素是输出电容、其 ESR（等效串联电阻）和 ESL（等效串联电感）。有关更多信息，请参阅节 8.3.8.2。

可通过创建控制环路的波特图来验证稳定性。可以通过将信号注入反馈路径来创建波特图。通常，通过 OUT 和 OUTS 之间连接的阻值为 5Ω 至 50Ω 的电阻器注入信号。在执行其他测量和标称运行期间，移除此电阻器（或使用 0Ω 分流器）。相位裕度的常见目标为 50°，增益裕度的目标为 6dB。

#### *8.3.8.1 输出电容*

TPS7H1111 针对单个 220µF 钽输出电容器或两个 100µF 电容器进行了优化。建议运行条件中指定了可接受电容值、ESR 和 ESL 的完整范围。应该注意验证所选电容器是否能够满足在所有运行条件下的要求。此外，还可以包括一个 0.1µF 陶瓷电容器。将一个或多个钽电容器靠近 TPS7H1111 的输出端放置，并将陶瓷电容器放置在负载点附近。

ESR（等效串联电阻）是需要考虑的重要寄生元件，电容器的 ESR 值会随着频率的变化而变化。钽电容器的 ESR 值通常在 100kHz 下给出，建议运行条件表中的值大致对应于 100kHz 下的值。但实际上，环路交叉频率下的 ESR 是影响 TPS7H1111 控制环路稳定性的主要因素。环路交叉频率可以高于或低于 100kHz。因此，尽管可以将 ESR 值的范围视为很好的指导原则，但谨慎的做法是对稳定性进行额外验证。

Copyright © 2024 Texas Instruments Incorporated

另请注意，电容、ESR 和 ESL 要求适用于整个大容量电容。如果 2 个 100µF 电容器中的每一个都使用了 40mΩ ESR 和 2nH ESL，则产生的电容为 200µF，ESR 为 20mΩ，ESL 为 1nH。当考虑这些 ESR 和 ESL 要求时，不应考虑使用单个陶瓷电容器。

大于 0.1µF 的陶瓷电容器的谐振频率较低，因此通常不允许使用这种电容器。这个较低的谐振频率可能在 TPS7H1111 稳压器的环路带宽内（可能接近 10MHz）。因此，低谐振点加上低 ESR 会对环路带宽和器件稳定性产生负面影响。较低的带宽会对 PSRR 产生负面影响，因此抵消了额外陶瓷电容带来的任何潜在优势。

但是，如果必须使用高于 0.1µF 的陶瓷电容器，则建议陶瓷电容器的谐振频率要比环路带宽高一到两个数量级（。或者，可以添加额外的串联电阻以增大 ESR。这可防止出现强谐振点。

TI 测量了各种航天级电容器的增益裕度和相位裕度，以证明它们具有良好的稳定性裕度。有关更多信息，请参阅节 9.3。

使用了标准大容量电容和单个 0.1µF 电容器以外的电容器时，建议对所用的电容器和完整系统进行仿真。还建议创建波特图并在实际系统上执行负载变化测试，以验证具有足够的稳定性裕度。

#### *8.3.8.2 补偿*

建议使用图 8-7 中所示的补偿来补偿 TPS7H1111，其中 $C_{COMP}$ = 4.7nF 且 $R_{COMP}$ = 5kΩ。不需要 $C_{HF}$。

但是，如果需要不同的控制环路响应，或者如果使用了不同的输出电容 ESL 或 ESR，则可能需要不同的补偿网络。误差放大器是 OTA（运算跨导放大器）；因此，可以采用 OTA 的传统补偿技术。虽然 TI 发现其推荐的 I 型补偿很有效，但图 8-7 还是显示了 II 型补偿的示例。

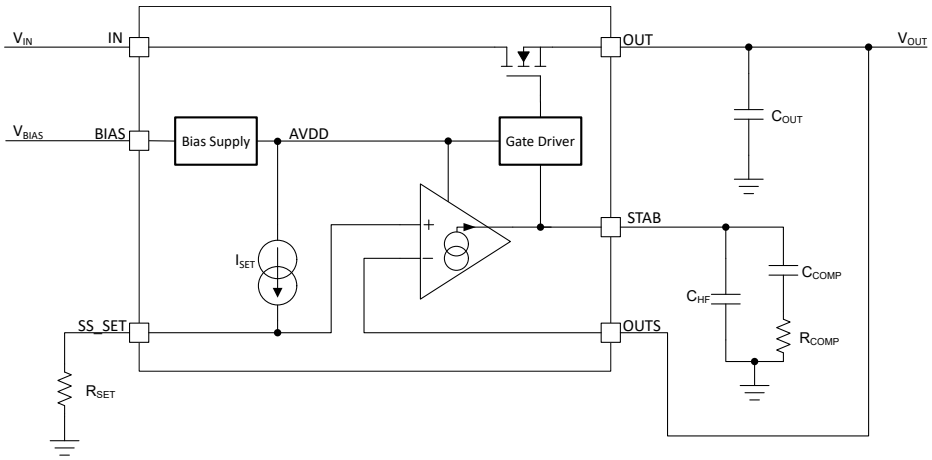



**图 8-7. 通用 II 型补偿**

请注意，与使用电阻分压器馈入反馈引脚的线性稳压器不同，不能使用前馈电容器 ($C_{FF}$) 来修改控制环路。对于电阻分压器 LDO，前馈电容器本质上会在输出电压和反馈引脚之间提供高频短路。但是，在 TPS7H1111 架构中，没有分压器，而是直接将输出电压馈送到误差放大器的负输入端子。由于误差放大器在单位增益配置下运行，它固有地获得了前馈电容器通常会提供的噪声降低和 PSRR 增大的潜在好处。

### 8.3.9 均流

TPS7H1111 支持并联多个器件，以便增大输出电流或实现更好的散热。虽然单个器件能够输出 1.5A 的电流，但两个器件的输出电流略小于 3A。这是因为每个器件不会精确提供 50% 的电流。两个器件之间的电流失配是因为每个器件的误差放大器失调电压 $V_{OS}$ 存在差异。通过将 SS_SET 网连接在一起，可以消除由于基准电流 $I_{SET}$ 存在差异而导致的失配。图 8-8 中的简化原理图显示了这一点。

请注意，因为现在有 200µA（典型值）的电流流经电阻器，所以应使用值为正常值一半的 $R_{SET}$ 电阻。此外，为了确保同等的启动时间，应该使用两个 $C_{SS}$ 电容器（或者使用一个值为正常值两倍的电容器）。最后，每个器件应具有其正常输出电容。与单个器件相比，当并联两个器件时，这会导致 $V_{OUT(final)}$ 上的电容翻倍。图 8-8 中的输


Copyright © 2024 Texas Instruments Incorporated

出电容器放置在镇流电阻器后面（最靠近负载）。从 TPS7H1111 控制环路中可以看出，这种放置方式会对电容器增加一些有效的 ESR。也可以在镇流电阻器之前直接在 OUT 引脚上添加电容器，但因为镇流电阻器放置在输出电容器和负载之间，这可能会在负载阶跃期间导致压降略大。

要计算两个器件之间的失配，必须知道总输出电流 $I_{OUT}$、设定输出电压 $V_{SS_SET}$、每个器件的失调电压 $V_{OS}$ 和镇流电阻器 $R_{ballast}$。可以选择镇流电阻器来满足期望的电流匹配要求；但应该注意的是，由于镇流电阻器两端会出现 IR 压降，所以镇流电阻器越大，负载调节就越差。然后，必须按方程式 9 所示计算组合输出电压 $V_{OUT(final)}$。这是在负载上看到的电压。

$$V_{OUT(final)} = [(V_{SS_SET} + V_{OS1}) + (V_{SS_SET} + V_{OS2}) - I_{OUT} \times R_{ballast}] / 2 \quad (9)$$

接下来，使用方程式 10 和方程式 11 计算每个器件中的电流

$$I_{OUT1} = (V_{SS_SET} + V_{OS1} - V_{OUT(final)}) / R_{ballast} \quad (10)$$

$$I_{OUT2} = (V_{SS_SET} + V_{OS2} - V_{OUT(final)}) / R_{ballast} \quad (11)$$

可以将计算出的这个电流与通过每个器件的理想电流 $I_{OUT(total)}/2$ 进行比较。

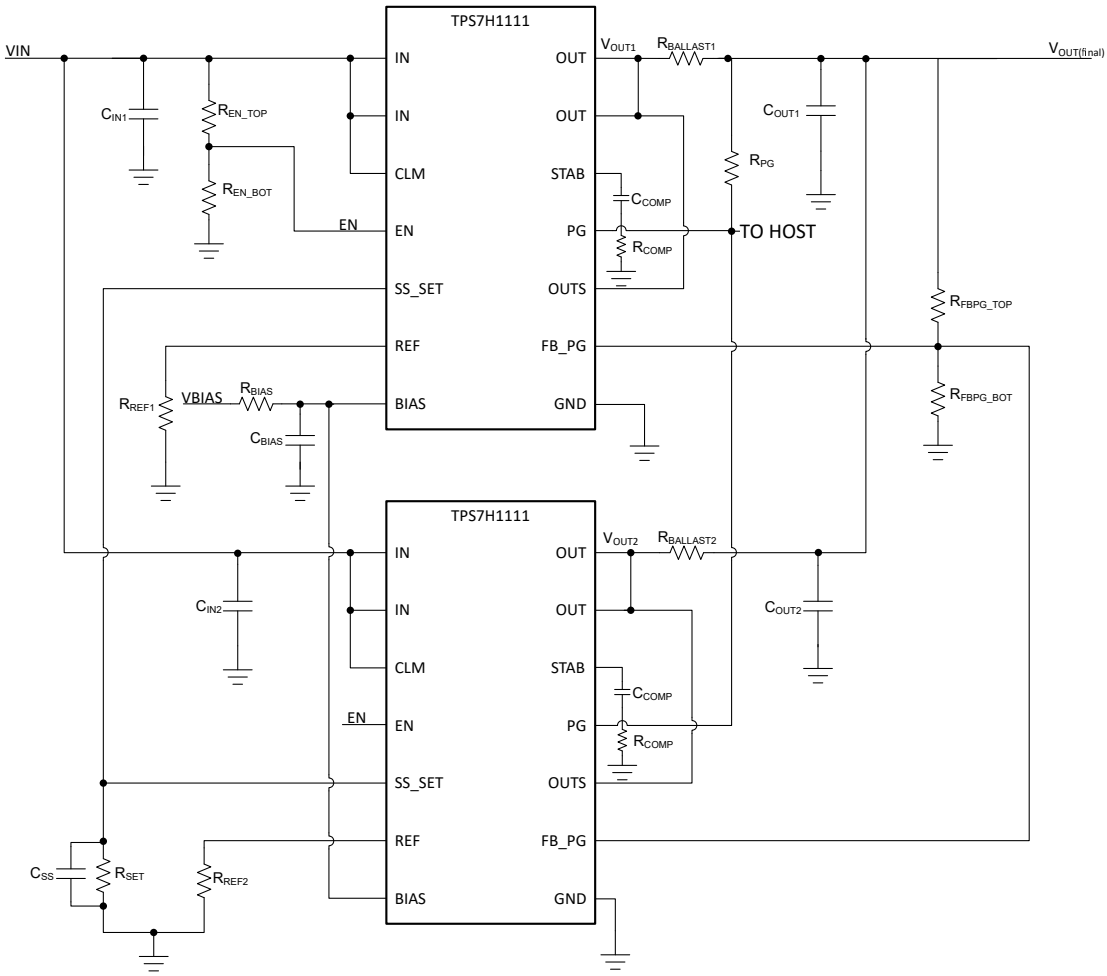



**图 8-8. 电流共享简化原理图**

理想情况下，测量每个器件的偏移以确定每个器件提供的确切电流。由于这种方法通常不可行，所以我们通常倾向于使用电气特性中所示的最坏情况偏移。这会导致将 $V_{OS1}$ 设置为最大指定 $V_{OS}$，$V_{OS2}$ 设置为最小指定 $V_{OS}$。

Copyright © 2024 Texas Instruments Incorporated

但是，这可能会导致产生非常不乐观的不匹配情况。为了便于分析，图 6-47、图 6-48 和图 6-49 中提供了偏移数据的多个测量单位的直方图。此外，测量结果优于节 9.2.2 中所述的计算结果。

图 8-9 中给出了一个简化图，其中显示了电流共享和误差源。

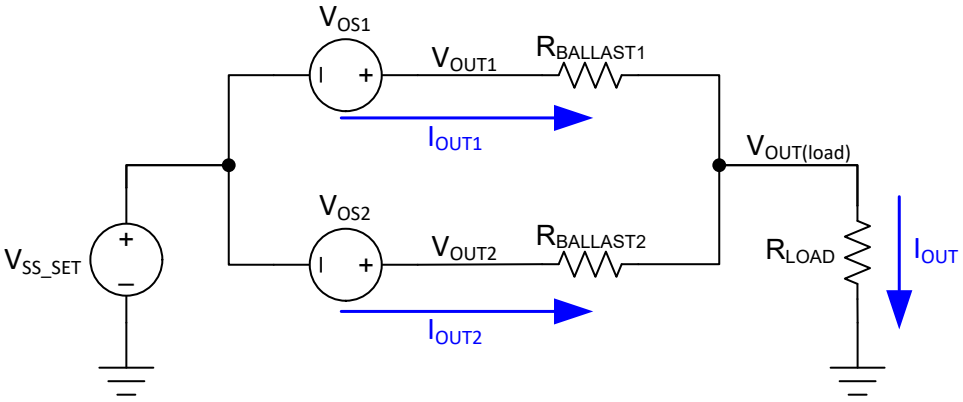



**图 8-9. 电流共享简化原理图**

### 8.3.10 PSRR

TPS7H1111 的 PSRR（电源抑制比）是它将 $V_{IN}$ 上的输入噪声传输至输出 $V_{OUT}$ 时衰减的量。方程式 12 中以数学方式对它进行了定义。

$$PSRR = 20 \times \log(V_{IN(AC)} / V_{OUT(AC)}) \quad (12)$$

输入噪声通常主要受上游转换器的开关纹波所影响。在开关频率及其谐波处会发生此噪声。

在电气特性以及图 6-1 至图 6-11 的“典型特性”中，显示了不同条件和不同频率下的 PSRR 值。TPS7H1111 在各种条件下都能提供出色的 PSRR。为了进一步改善 PSRR，可对运行条件进行微调。一般而言，TPS7H1111 PSRR 可通过以下各项得到显著改善（按相对重要性顺序排列）：

- 增加输入电源余量（增加 $V_{IN}$ – $V_{OUT}$ 之差）
- 增加辅助电源余量（增加 $V_{BIAS}$ – $V_{OUT}$ 之差）
- 减小输出电流
- BIAS 轨上使用较大的 RC 滤波器（仅当辅助电源为主要噪声源时）

在 TPS7H1111 上，PSRR 通过以下各项仅可得到少许改善：

- 温度升高
- 增加软启动电容
- 添加铁氧体磁珠（请参阅节 9.2.1.3）
- 增加输入电压
- 增加输出电压

由于 TPS7H1111 架构具有高环路带宽，因此针对高 PSRR 进行了优化。为了保持高带宽，输出电容应处于建议的工作条件内。通过增加输出电容来提高 PSRR 的传统技术无效。这是因为额外的电容会降低 TPS7H1111 的环路带宽。这个减少的带宽会使 PSRR 的降低超过电容提供的帮助。

如果期望在高频（例如，> 10MHz）下额外增加 PSRR，则可以使用铁氧体磁珠。铁氧体磁珠应放置在 TPS7H1111 控制环路之外，如节 9.2.1 所示，以免降低环路带宽或稳定性。

除了从 $V_{IN}$ 至 $V_{OUT}$ 的 PSRR 之外，还将从 $V_{BIAS}$ 至 $V_{OUT}$ 的 PSRR 指定为 $PSRR_{BIAS}$。方程式 13 中给出了其定义。

$$PSRR_{BIAS} = 20 \times \log(V_{BIAS(AC)} / V_{OUT(AC)}) \quad (13)$$


Copyright © 2024 Texas Instruments Incorporated

由于辅助电源的电流相对较低，因此可以在辅助电源和 BIAS 引脚之间插入一个 RC 滤波器（通常为 10Ω 和 4.7μF），以增大 $PSRR_{BIAS}$。RC 滤波器与内部偏置稳压器的内部纹波抑制相结合，可提供极高的 $PSRR_{BIAS}$，如图 6-13 所示。因此，在 100kHz 至 1MHz 之间的典型开关频率下（其中高纹波抑制对于滤除输入纹波最为重要），$PSRR_{BIAS}$ 保持非常高，以避免成为整体器件 PSRR 的主要限制因素。如果无法使用 RC 滤波器，则 $PSRR_{BIAS}$ 值会降级，如图 6-12 所示。

如果辅助电源噪声异常高或无法使用 RC 滤波器，则计算 $V_{IN}$ 和 $V_{BIAS}$ 电源上的输入纹波产生的总输出纹波可能会大有裨益。总输出纹波是 $V_{IN}$ 纹波（通过 PSRR 抑制）和 $V_{BIAS}$ 纹波（通过 $PSRR_{BIAS}$ 抑制）的叠加，如方程式 14 所示。但请注意，每项都与频率有关。

$$V_{OUT(AC)} = V_{IN(AC)} / (10^{PSRR/20}) + V_{BIAS(AC)} / (10^{PSRR_{BIAS}/20}) \quad (14)$$

### 8.3.11 噪声

除了衰减的输入噪声之外，TPS7H1111（以及所有物理器件）会产生固有噪声。此噪声叠加在输出信号上。电气特性以及图 6-15 至图 6-19 的“典型特性”中也分别给出了各种条件和不同频率下的噪声值。

一些很可能会引起问题的噪声是低频输出噪声（也称为 1/f 噪声）。这类噪声很难使用分立式滤波器滤除，因为需要非常大的元件值。TPS7H1111 针对整个频谱范围内（尤其是在低频时）的低噪声进行了优化。为了实现优化，我们使用了各种设计技术，例如高环路带宽、单位增益误差放大器和使用基准滤波器。

$C_{SS}$ 电容器滤除精密电流基准 $I_{SET}$ 的噪声。较大的 $C_{SS}$ 电容可更好地滤除 $I_{SET}$ 的噪声。然而，更大电容器的降噪主要降低 200Hz 以下的 1/f 噪声。对于高频噪声，降噪效果非常差。通常，4.7μF 陶瓷电容器可以在低噪声、物理电容器尺寸、电容器可用性和器件启动时间之间作出合理的权衡。

TPS7H1111 在所有 $V_{OUT}$ 和 $V_{IN}$ 运行条件下的噪声差异都很小。然而，在输出电流较高时，在高于 100kHz 的频率下噪声略大。

PSRR 和噪声都有助于产生干净的输出电压。但是，根据应用的不同，PSRR 或噪声中的其中一项可能更加重要，因此重要的是针对给定应用进行优化。通常，如果在 $V_{IN}$ 处存在大量噪声（可能是以高噪声开关稳压器的形式），则 PSRR 更为重要。

### 8.3.12 热关断

TPS7H1111 具有热关断功能，可在芯片温度超过 $T_{SD(enter)}$ 时关闭器件。当芯片冷却至低于 $T_{SD(exit)}$ 时，器件会恢复调节。160°C 的典型 $T_{SD(enter)}$ 和 130°C 的 $T_{SD(exit)}$ 可提供较大迟滞（典型值为 30°C）。较大迟滞旨在使器件在尝试恢复调节之前充分冷却。

## 8.4 器件功能模式

下表显示了器件模式。

**表 8-4. 器件功能模式**

| EN 引脚 | 器件状态 |
|---|---|
| 高 | 调节模式 |
| 低 | 关断模式 |

Copyright © 2024 Texas Instruments Incorporated

# 9 应用和实施

**备注**

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

## 9.1 应用信息

TPS7H1111 是一款针对射频应用进行了优化的耐辐射线性稳压器。它的输出电流高达 1.5A，并可在 0.85V 至 7V 的输入电压范围内使用，辅助电源电压范围为 2.2V 至 14V。

## 9.2 典型应用

TPS7H1111 LDO 有各种用例。本部分讨论以下用例：

1. 2.5V 输入至 1.8V 输出，具有可配置的导通阈值 (EN)
2. 2.5V 输入至 1.8V 输出并行运行

### 9.2.1 应用 1：使用 EN 设置导通阈值

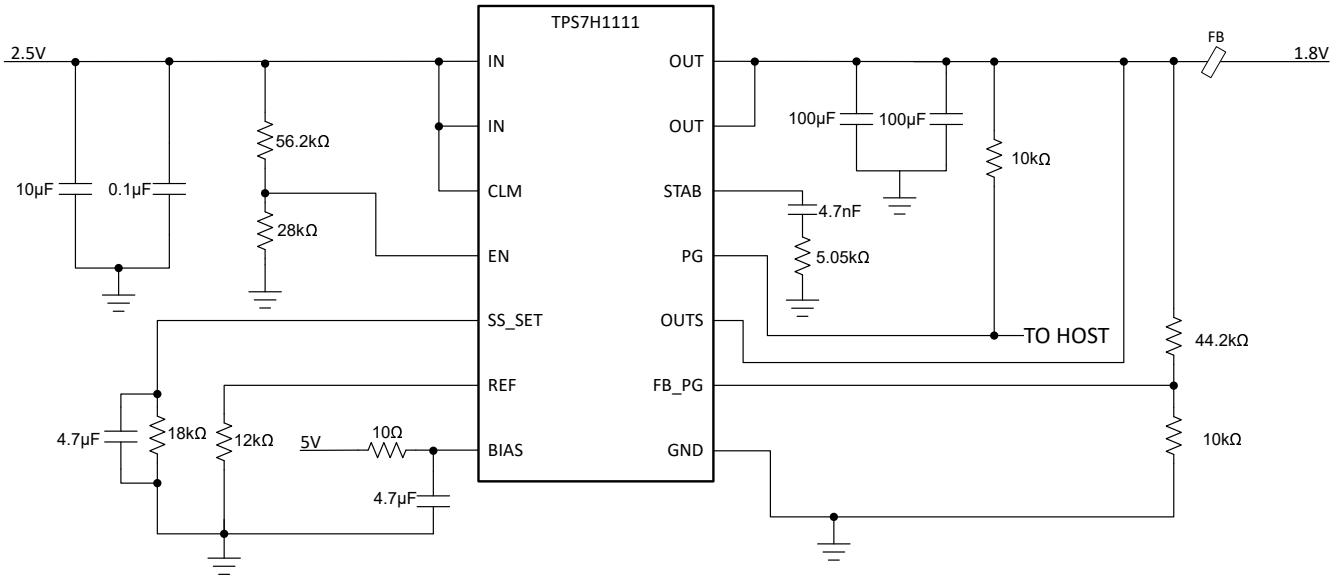



**图 9-1. 用例：使用 EN 设置导通阈值**

#### *9.2.1.1 设计要求*

**表 9-1. 设计参数**

| 参数 | 值 |
|---|---|
| $V_{IN}$ | 2.5V ± 5% |
| $V_{BIAS}$ | 5V ±5% |
| $V_{OUT}$ | 1.8V ± 1.5% |
| $I_{OUT}$ | 1.4A（典型值） |
| $V_{IN(turn\text{-}on\ threshold)}$ | 1.8 V（典型值） |
| $V_{OUT(PG\ assertion\ threshold)}$ | $V_{OUT(final)}$（典型值）的 90%，1.62V |
| $t_{SS}$ | 3.7ms（典型值） |


Copyright © 2024 Texas Instruments Incorporated

### 9.2.1.2 详细设计过程

#### 9.2.1.2.1 辅助电源

本设计选用了 5V 辅助电源。由于 $V_{BIAS} \geq V_{OUT}$ + 1.6V，因此有足够的辅助电源余量 (5V ≥ 1.8V + 1.6V)。此外，选用了 10Ω 电阻器和 4.7μF X7R 陶瓷电容器来滤除辅助电源噪声，确保辅助电源噪声不会成为整体稳压器 PSRR 的限制因素。

#### 9.2.1.2.2 输出电压配置

使用方程式 1 配置输出电压。因此，$R_{SET} = V_{SS_SET} / I_{SET}$ = 1.8V / 100μA = 18kΩ.选择了一个容差为 0.1% 的 18kΩ 电阻器。使用容差为 1% 的电阻器也是可以接受的，但这样会直接导致输出电压产生 1% 的误差。同样，为 $R_{REF}$ 选择一个容差为 0.1% 的 12kΩ 电阻器。

#### 9.2.1.2.3 输出电压精度

要确定输出电压精度，请参阅节 6.5 表中的 $V_{ACC}$ 规格。$V_{ACC}$ 指定不同温度下最小精度为 –1.3%，最大精度为 +1.2%。此规格适用于整个温度范围（–55°C 至 125°C）、所有输入电压（0.85V ≤ $V_{IN}$ ≤ 7V 和 2.2V ≤ $V_{BIAS}$ ≤ 14V）以及最高为满载（1mA ≤ $I_{OUT}$ ≤ 1.5A）的情况。有关测量的一些额外详细信息，请参见节 8.3.2。为了计算系统级精度，还添加了以下误差源：

- 由于承受 TID 后的规格是在室温下测得（为避免在高温下退火而采用 MIL 标准），因此过温环境下的精度规范中不包括 TID 漂移。TPS7H1111 指定承受 TID 后的最小精度为 –0.7%，最大精度为 +1.1%。相比之下，承受 TID 前的最小精度为 –0.7%，最大精度为 +0.9%。因此，由于 TID 而导致的规格增大是额外增加了 0.2% 的误差。虽然可以改用单个单元的最坏情况 TID 漂移，但这可能非常不乐观，因为这需要一个单元具有接近最大值的初始室温精度和接近最大值的漂移。
- 需要添加由 $R_{REF}$ 和 $R_{SET}$ 电阻器的电阻器容差引起的外部误差。由于假定这些误差不相关，因此我们决定将误差视为平方和的形式相加。对于 $R_{REF}$ 和 $R_{SET}$ 电阻器所选的 0.1% 容差，总误差为 $R_{(error)}$ = sqrt(0.1%$^2$+0.1%$^2$) = +/– 0.14%.

方程式 15 用于计算输出电压精度的系统误差。

$$System_{(error)} = V_{ACC} + R_{(error)} + TID_{(error)} \quad (15)$$

因此，负误差为 $System_{(error)}$ = –1.3% – 0.14% – 0% = –1.44% 正误差为 $System_{(error)}$ = 1.2% + 0.14% + 0.2% = 1.54%。TPS7H1111 器件、外部电阻器和 100krad(Si) 的 TID 产生的总系统误差为 +1.54%/–1.44%。如果以总系统误差为中心，则为 ±1.49%。

同样，也可以加入寿命漂移数据。C 组数据可用于帮助进行此计算。对于这个示例，假定与其他误差源相比，寿命漂移最小，因此未添加。

#### 9.2.1.2.4 启用阈值

期望的导通阈值为 1.8V。这意味着当 $V_{IN}$ 电源轨导通并开始上升时，TPS7H1111 将在 $V_{IN}$ 达到 1.8V 时立即开始导通。虽然这对于 $V_{IN}$ 到 $V_{OUT}$ 的最终调节而言没有足够的余量，但稳压器将开始启动，且 $V_{IN}$ 将继续达到 2.5V 的最终电压。如果需要，还可以使用更高的电压导通阈值（例如 2.2V）。

通过使用方程式 3 并为 $R_{EN_TOP}$ 选择值 56.2kΩ，可以按方程式 16 中所示计算 $R_{EN_BOT}$ 电阻器的值。

$$R_{EN_BOT} = V_{EN(rising)} \times R_{EN_TOP} / (V_{IN(rising)} - V_{EN(rising)}) = 0.6V \times 56.2k\Omega / (1.8V - 0.6V) = 28.1k\Omega \quad (16)$$

为 $R_{EN_BOT}$ 选择标准值 28kΩ 电阻器。使用方程式 3 计算最坏情况（最高）$V_{IN(rising)}$ 阈值，最大 $V_{EN(rising)}$ 阈值为 0.62V。此值确定为 1.86V，这是可接受的。然后使用方程式 4 计算典型 $V_{IN(falling)}$。此值确定为 1.50V，这也是可以接受的。

确保遵循方程式 5，以防止可能的 SEFI，这也很重要。如方程式 17 所示，$V_{EN(final)}$ = 0.83V，这大于建议值 0.8V。

Copyright © 2024 Texas Instruments Incorporated

$$V_{IN(final)} \times R_{EN_BOT} / (R_{EN_TOP} + R_{EN_BOT}) = V_{EN(final)} = 2.5V \times 28k\Omega / (56.2k\Omega + 28k\Omega) = 0.83V \quad (17)$$

#### 9.2.1.2.5 软启动和降噪

建议使用 4.7 µF 陶瓷 X7R 电容器作为软启动电容器。本设计使用此电容器的原因是其可提供 3.7ms 的合理软启动时间和出色的噪声滤波。如果需要更慢的启动时间，可以选择较小的 $C_{SS}$ 电容器；但是，为了保持 $I_{SET}$ 基准电流的出色噪声滤波，不考虑使用值较小的电容器。

#### 9.2.1.2.6 可配置电源正常

对于此设计，需要在 $V_{OUT}$ 达到其最终值的 90% (1.62V) 时将电源正常引脚置为有效。

使用方程式 7 并选择 $R_{FBPG_BOT}$ 值 10kΩ，可按方程式 18 所示计算 $R_{FBPG_TOP}$ 电阻器的值。

$$R_{FBPG_TOP} = R_{FBPG_BOT} \times (V_{OUT(assert_threshold)} - V_{FB_PG(rising)}) ] / V_{FBPG(rising)} = [10k\Omega \times (1.62V - 0.306V)] / 0.306V = 42.9k\Omega \quad (18)$$

为电阻器 $R_{FBPG_TOP}$ 选择标准值 44.2kΩ。然后计算最坏情况（最高）$V_{IN(assert_threshold)}$阈值，以确保在 $V_{OUT}$ 达到其期望值之前 PG 置为有效（且切断快速充电电流）。这使用方程式 7 和最大 $V_{FB_PG(rising)}$ 阈值 313mV 来确定。$V_{OUT(assert_threshold),\ max}$ 值确定为 1.70V。这是最终 $V_{OUT}$ 值的 94%，留有足够的裕度。

最后，计算 $V_{OUT(deassert_threshold)}$ 的典型值以了解 PG 何时会置为失效。这使用方程式 8 和 $V_{FB_PG(hysteresis)}$ 值 14mV 来确定。$V_{OUT(deassert_threshold)}$ 值确定为 1.58V。这意味着，如果 $V_{OUT}$ 降至其标称值的 88%，则 PG 引脚将被置为无效。

#### 9.2.1.2.7 电流限值

CLM 引脚直接连接到 $V_{IN}$ 以实现砖墙式电流限制模式。如果需要，还可以使用一个电阻器将 CLM 引脚上拉至 $V_{IN}$（例如，使用 10kΩ 电阻器）。

#### 9.2.1.2.8 输出电容器和铁氧体磁珠

根据建议运行条件，为输出电容选择 200 µF。具体来说，使用了两个 100 µF 钽 AVX 电容器（请参阅节 9.3，了解 TI 已验证可与 TPS7H1111-SP 搭配使用的电容器列表）。

在此设计中，还添加了铁氧体磁珠以实现额外的高频滤波。必须在铁氧体磁珠之前保持 OUTS 连接（以使铁氧体磁珠保持在 TPS7H1111 控制环路之外），这很重要。如果铁氧体磁珠位于控制环路内，则额外的电感可能会导致不稳定。通常，实现良好的 PSRR 性能并不需要铁氧体磁珠，但此处添加了铁氧体磁珠以确定其影响。具体来说，此设计选用了 KEMET Z1206C800APWST 铁氧体磁珠。虽然在此设计中未使用额外的 0.1 µF 电容器，但可在铁氧体磁珠后放置这种电容器以实现额外的滤波。

### *9.2.1.3 应用曲线*

在使用和不使用铁氧体磁珠的情况下进行 PSRR、噪声和波特图测量。测量条件为 $V_{IN}$ = 2.5V，$V_{OUT}$ = 1.8V，$V_{BIAS}$ = 5V，$I_{OUT}$ = 1A。如图所示，铁氧体磁珠对于 10MHz 左右的较高频率 PSRR 略有帮助。铁氧体磁珠对噪声和稳定性的影响都很小。


Copyright © 2024 Texas Instruments Incorporated

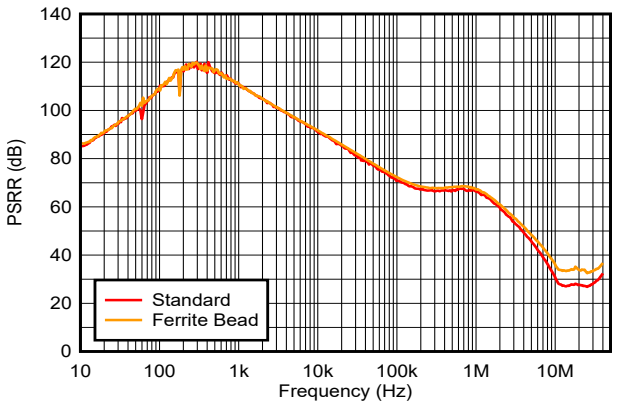



图 9-2. 使用铁氧体磁珠时 PSRR 与频率间的关系

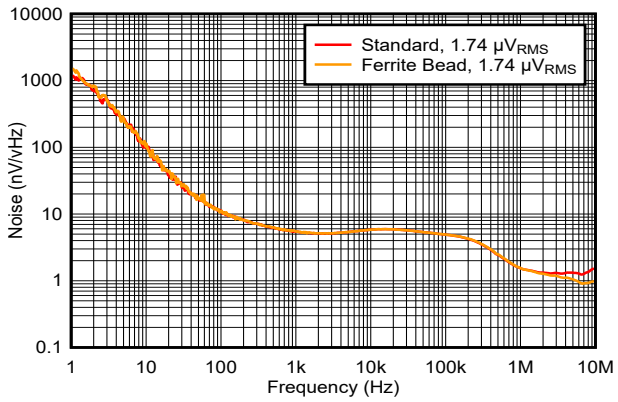
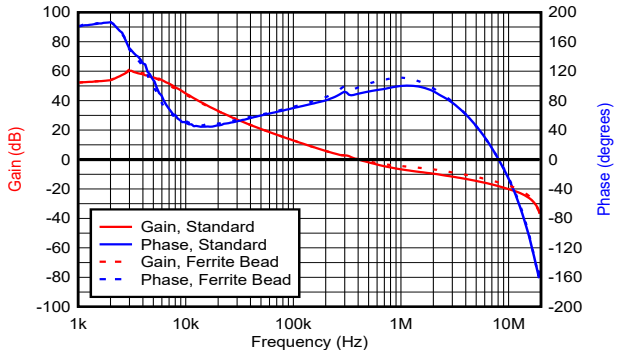



图 9-3. 使用铁氧体磁珠时噪声与频率间的关系




标准：相位裕度 = 89°，增益裕度 = 18dB

铁氧体磁珠：相位裕度 = 99°，增益裕度 = 16dB

图 9-4. 使用铁氧体磁珠的波特图

### 9.2.2 应用 2：并行运行

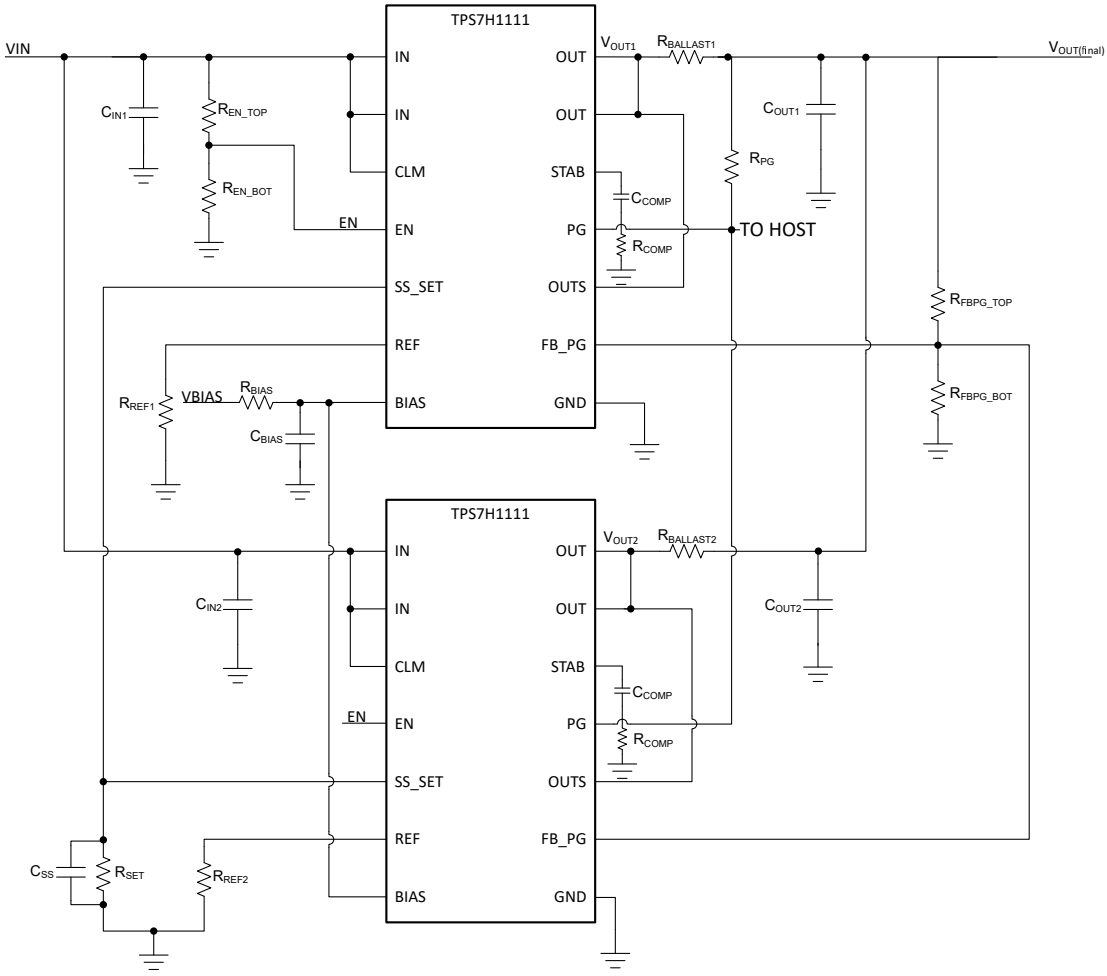



**图 9-5. 用例：并行运行**

#### 9.2.2.1 设计要求

此处显示的设计要求与应用 1 中的要求类似。主要例外情况是需要 2.9A 的输出电流，并且未使用铁氧体磁珠。更高的电流需要使用并联器件实现。

**表 9-2. 设计参数**

| 参数 | 值 |
|---|---|
| $V_{IN}$ | 2.5V ± 5% |
| $V_{BIAS}$ | 5V ±5% |
| $V_{OUT}$ | 1.8V ± 1.5% |
| $I_{OUT}$ | 2.9 A |
| $V_{IN(turn\text{-}on\ threshold)}$ | 1.8 V（典型值） |
| $V_{OUT(PG\ assertion\ threshold)}$ | $V_{OUT(final)}$（典型值）的 90%，1.62V |
| $t_{SS}$ | 3.7ms（典型值） |

#### 9.2.2.2 详细设计过程

设计过程与应用 1 中的过程相同，但以下各节除外。


Copyright © 2024 Texas Instruments Incorporated

#### 9.2.2.2.1 均流

如节 8.3.9 所述，将 SS_SET 引脚连接在一起，以便每个 TPS7H1111 内部误差放大器具有相同的电压。可以使用一个值为正常值一半的 $R_{SET}$ 电阻器（因为现在有 200 µA 的电流流经电阻器)。为了确保同等的启动时间，应该使用两个 $C_{SS}$ 电容器（或者使用一个值为正常值两倍的电容器）。

使用了一个 5mΩ 的 $R_{ballast}$ 电阻器。假定从一个器件的输出端到两个器件的共用 $V_{OUT}$ 轨的电路板电阻远小于镇流电阻器，因此在计算总镇流电阻时不将它视为一个重要因素。选择此镇流电阻器是为了在精确的电流共享和使电阻两端的电压降最小化之间进行合理的权衡。如果需要，可以将每个器件的输出电压设置得稍高一点，以考虑到给定电流下的压降。

节 8.3.9 显示了如何使用输出失调电压计算最差电流共享失配。以下部分提供了额外的详细信息，说明了如何比预期更好地测量结果。

### *9.2.2.3 应用结果*

测量每个器件的失调电压，并确定第一个器件的失调电压为 -0.1339mV，第二个器件的失调电压为 -0.2131mV。方程式 10 和方程式 11 用于计算不同电流值的预期误差，并记录在表 9-3 中。然后测量电流，与预期误差值进行比较。

**表 9-3. 电流误差**

| $I_{OUT(total)}$ | 预期误差 | 测量误差 |
|---|---|---|
| 1.156 A | 1.37% | 1.04% |
| 2.878 A | 0.55% | 0.07% |

如表 9-3 所示，在电流为 1.156A 时测量误差大约比预期误差低 1.3 倍，在电流为 2.878A 时测量误差比预期误差低 7.9 倍。据推测，这种差异至少部分是因为 $V_{OS}$ 的温度系数而导致。如果一个器件开始提供总电流的一半以上，则它的温度会升高至超过第二个器件。随着器件发热，$V_{OS}$ 会降低，进而导致器件提供更少的电流。这提供了一种负反馈，因此可确保更加均衡。

Copyright © 2024 Texas Instruments Incorporated

## 9.3 已测试的电容器

TI 已经测试了各种航天级电容器并测量了 TPS7H1111 系统的控制环路响应。测试清晰地展示出不同电容器的影响，但在所有情况下，在整个电流范围内都表现出稳定性。表 9-4 中显示了测得的增益裕度 (GM)（以分贝为单位）和相位裕度 (PM)（以度为单位）。这些测量结果是在室温和所示的电流水平下得出，且 $V_{IN}$ = 2.5V，$V_{OUT}$ = 1.8V，$V_{BIAS}$ = 5V。图 6-20 至图 6-27 显示了波特图。

**表 9-4. 测试的航天级电容器**

| 制造商 | 电容 | 器件型号 | $I_{OUT}$ = 0A | | $I_{OUT}$ = 1A | | $I_{OUT}$ = 1.5A | |
|---|---|---|---|---|---|---|---|---|
| | | | PM | GM | PM | GM | PM | GM |
| Kemet（基美） | 1x220µF | T540D227K010AH6710 | 71 | 30 | 98 | 14 | 91 | 14 |
| Kemet（基美） | 1x220µF + 0.1µF(1) | T540D227K010AH6710 + C0603K104K3RML | 72 | 19 | 94 | 9 | 66 | 8 |
| AVX | 2x100µF | TBME107K020LBLC9045 | 83 | 29 | 98 | 19 | 99 | 19 |
| AVX | 2x100µF + 0.1µF | TBME107K020LBLC9045 + 300904102104KA | 61 | 27 | 98 | 13 | 99 | 12 |

(1) 由于增益裕度较低，因此不推荐用于塑料封装。

以上报告的值适用于陶瓷封装 TPS7H1111-SP。塑料封装（TPS7H1111-SP 和 TPS7H1111-SEP）具有相似的稳定性响应，但增益裕度要低大约两分贝。另请注意，在高电流和低温条件下，增益裕度会降低。在低电流和高温条件下，相位裕度会降低。

## 9.4 TID 效应

电气特性中列出的大多数规格都使用自动测试设备 (ATE) 进行测试。因此，可在辐照前和辐照后条件下轻松测试这些规格。此外，这些规格通常是 RLAT（辐射批次验收测试）流的一部分。但是，某些规格很难在 ATE 上进行测量（例如，由于具有高增益或对寄生效应敏感），因此仅在基准特性描述期间进行测量。通常，这些规格不是在辐照后测量。

PSRR、噪声和稳定性是使用 ATE 时未涵盖的关键规格，因此不属于传统 RLAT 流。为了提供这些关键规格的额外信息，对三个 EVM 执行了一次性特性描述。在 100krad(Si) 的高剂量率 (HDR) 下偏置和暴露这三个 EVM。

所有 PSRR、噪声和稳定性测量在辐照条件下结果良好。概括如下：

- 在 100Hz 至 1kHz 范围内，在承受 TID 后测得的 PSRR 略有降低。器件 1 显示在承受 TID 后大约降低 10dB；但由于难以测量如此高的增益，因此认为是由与设置相关的问题所致。在任何情况下，PSRR 在此范围内仍然极高 (> 95dB)。
- 在 100Hz 以下和 1kHz 以上，在承受 TID 后测得的 PSRR 略有降低。
- 在 10Hz 至 10kHz 范围内，测得的噪声逐渐升高。
- 在 10Hz 以下和 100kHz 以上，噪声的测量结果大致相同。
- 承受 TID 之后，计算出的 RMS 噪声平均高出 120$nV_{RMS}$。
- 平均相位裕度幅度漂移约为 7°。对于所有之前和之后的测量，相位裕度都保持高位。
- 平均增益裕度幅度漂移约为 2dB。这种变化被认为很小，并且可能在测量误差范围内。

完整数据如下。除非另有说明，否则 EVM 条件为 $V_{IN}$ = 2.5V，$V_{OUT}$ = 1.8V，$V_{BIAS}$ = 5V，$C_{OUT}$ = 2x100µF（请参阅表 9-4），$C_{SS}$ = 4.7µF，$R_{REF}$ = 12.0kΩ，$R_{BIAS}$ = 10Ω，$C_{BIAS}$ = 4.7µF，$T_A$ = 25°C，10Hz 至 100kHz 带宽下报告的积分噪声。


Copyright © 2024 Texas Instruments Incorporated

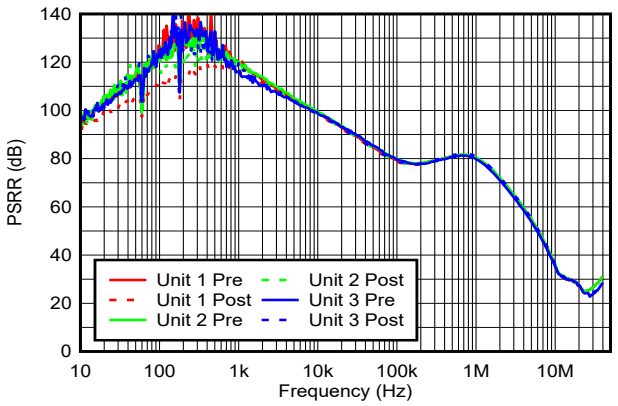



图 9-6. PSRR，$I_{OUT}$ = 100mA

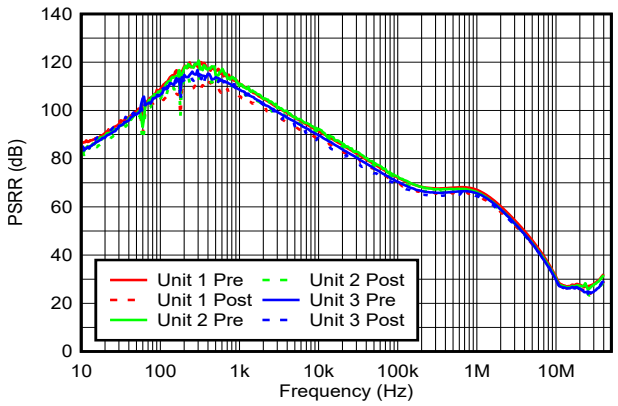



图 9-7. PSRR，$I_{OUT}$ = 1A

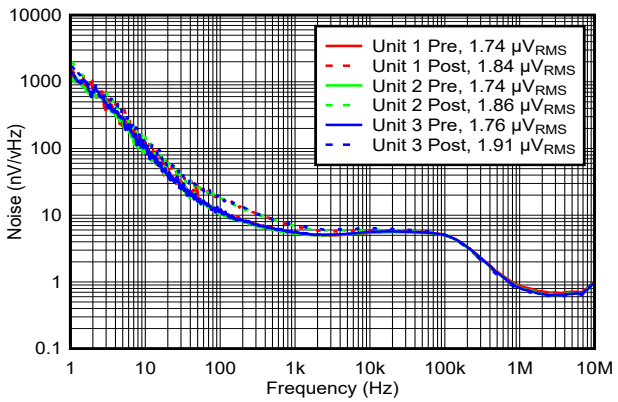



图 9-8. 噪声频谱密度，
$I_{OUT}$ = 100mA

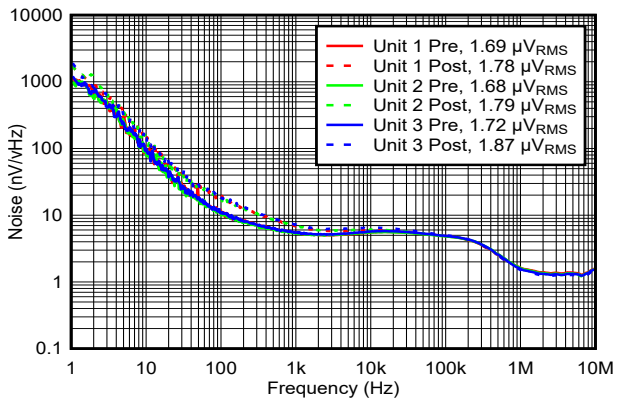
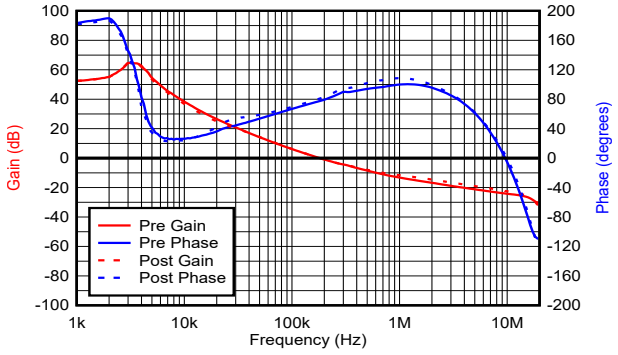
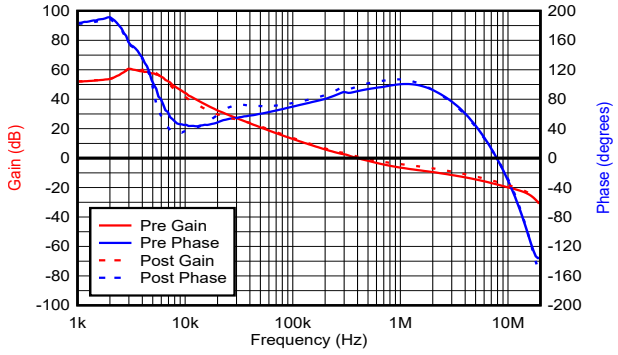



图 9-9. 噪声频谱密度，$I_{OUT}$ = 1A




辐照前：相位裕度 = 78°，增益裕度 = 24dB
辐照后：相位裕度 = 82°，增益裕度 = 23dB

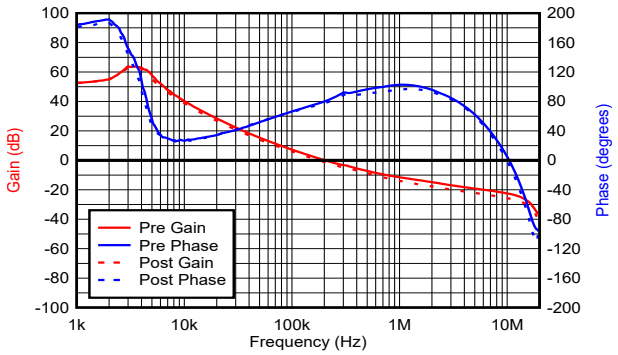
图 9-10. 波特图：器件 1，$I_{OUT}$ = 100mA




辐照前：相位裕度 = 91°，增益裕度 = 18dB
辐照后：相位裕度 = 100°，增益裕度 = 16dB

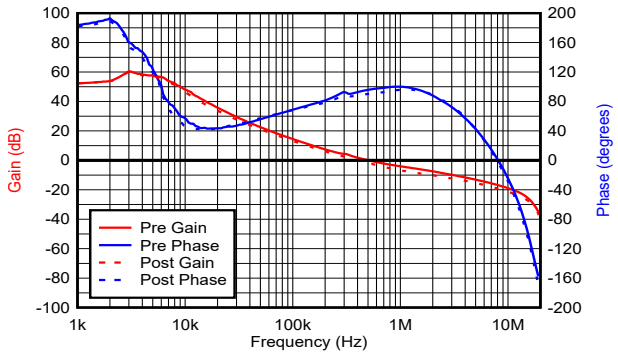
图 9-11. 波特图：器件 1，$I_{OUT}$ = 1A

Copyright © 2024 Texas Instruments Incorporated



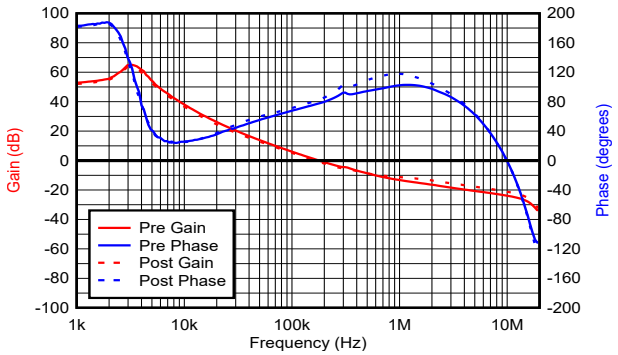

辐照前：相位裕度 = 81°，增益裕度 = 23dB
辐照后：相位裕度 = 76°，增益裕度 = 26dB

**图 9-12. 波特图：器件 2，$I_{OUT}$ = 100mA**



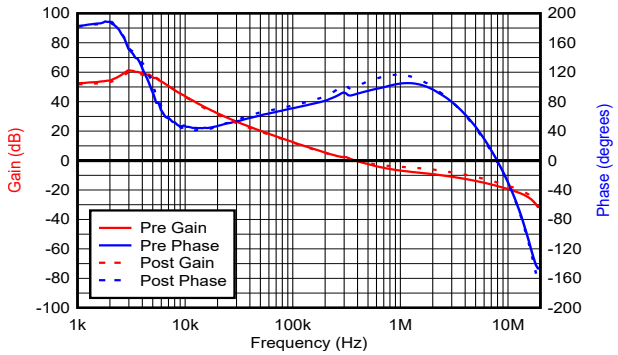

辐照前：相位裕度 = 96°，增益裕度 = 17dB
辐照后：相位裕度 = 88°，增益裕度 = 19dB

**图 9-13. 波特图：器件 2，$I_{OUT}$ = 1A**




辐照前：相位裕度 = 78°，增益裕度 = 24dB
辐照后：相位裕度 = 81°，增益裕度 = 21dB

**图 9-14. 波特图：器件 3，$I_{OUT}$ = 100mA**




辐照前：相位裕度 = 90°，增益裕度 = 18dB
辐照后：相位裕度 = 101°，增益裕度 = 15dB

**图 9-15. 波特图：器件 3，$I_{OUT}$ = 1A**

## 9.5 电源相关建议

此器件设计为在 0.85V 至 7V 的输入电源电压范围内工作。最小输入电压必须提供大于最小压降电压的足够余量，才能实现稳压输出。此外，通常使用单独的辅助电源来降低压降电压。辅助电源电压范围为 2.2V 至 14V（并且至少与输入电源电压一样高）；但为了获得出色性能，建议 $V_{BIAS} \geq V_{OUT}$ + 1.6V。有关更多信息，请参阅节 8.3.1。

可使用方程式 19 近似计算器件调节期间的内部功耗 $P_D$。

$$P_D = I_{OUT} \times (V_{IN} - V_{OUT}) + I_{IN_GND} \times V_{IN} + I_{BIAS} \times V_{BIAS} \quad (19)$$

TPS7H1111 是一款高 PSRR 器件。为了从 $V_{IN}$ 到 $V_{OUT}$ 获得高 PSRR 的全部优势，BIAS 引脚输入处的 $V_{BIAS}$ 必须是干净的，这一点很重要。BIAS 引脚上的任何纹波都将从 $V_{BIAS}$ 耦合到 $V_{OUT}$（通过 $PSRR_{BIAS}$ 降低）。确保 BIAS 看到干净输入的理想方法是在 BIAS 引脚之前添加 RC 滤波器。由于 BIAS 引脚消耗的电流有限，电阻器上的压降通常是可以接受的。RC 滤波器的建议值为 R = 10 Ω 且 C = 4.7 µF。

使用 10 µF 大容量输入电容器和 0.1 µF 陶瓷去耦电容器通常足以实现良好的性能。如果输入电源远离 TPS7H1111 的输入，则可以使用更大的输入电容器，例如 47 µF 或 100 µF 电容器。

TPS7H1111 针对单个 220 µF 钽输出电容器或两个 100 µF 电容器进行了优化。此外，可以使用单个 0.1 µF 陶瓷电容器。将钽电容器放置在 TPS7H1111 的输出端附近，并将陶瓷电容器放置在负载点附近。有关更多信息，请参阅节 8.3.8.1。


Copyright © 2024 Texas Instruments Incorporated

## 9.6 布局

### 9.6.1 布局指南

- 使用尺寸足够大的布线或铜层来承受输入和输出电流，并尽量减少压降。
- 将输入电容器靠近 IN 引脚放置。
  - 在某些情况下，可以将输入电容器放置在离器件更远的位置，以便更大限度地减少磁噪声耦合。
- 将大容量输出电容器放置在 OUT 引脚附近。
  - 如果使用了陶瓷输出电容器，请将其放置在负载点附近。TPS7H1111 不会因输出去耦而获益。
- 使高噪声电路远离 SS_SET、REF 和 OUTS，以生成干净的 $V_{OUT}$ 电源轨。
- 确保尽量减小 TPS7H1111 反馈环路（包括从 OUT 到 OUTS 引脚的连接）中的电感

### 9.6.2 布局示例

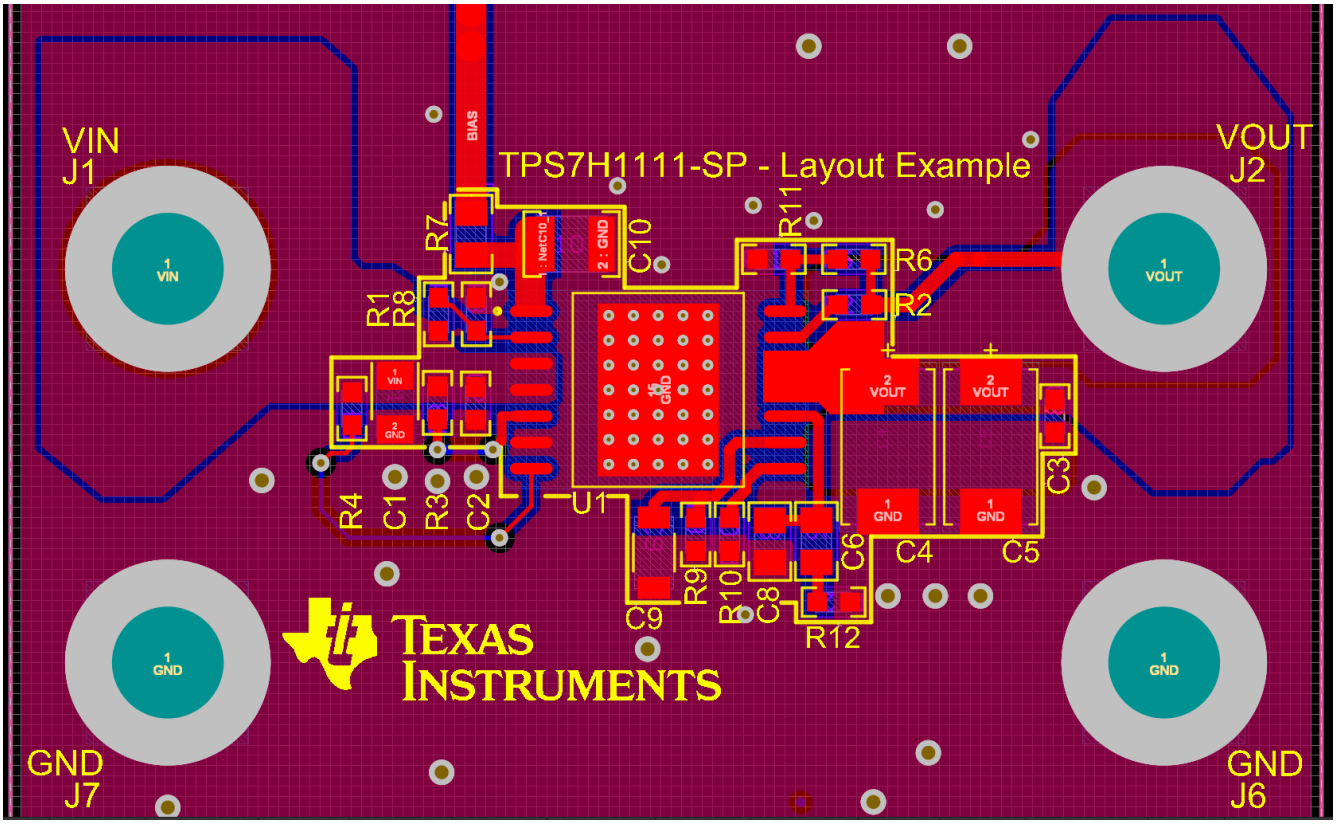



图 9-16. 印刷电路板布局布线示例

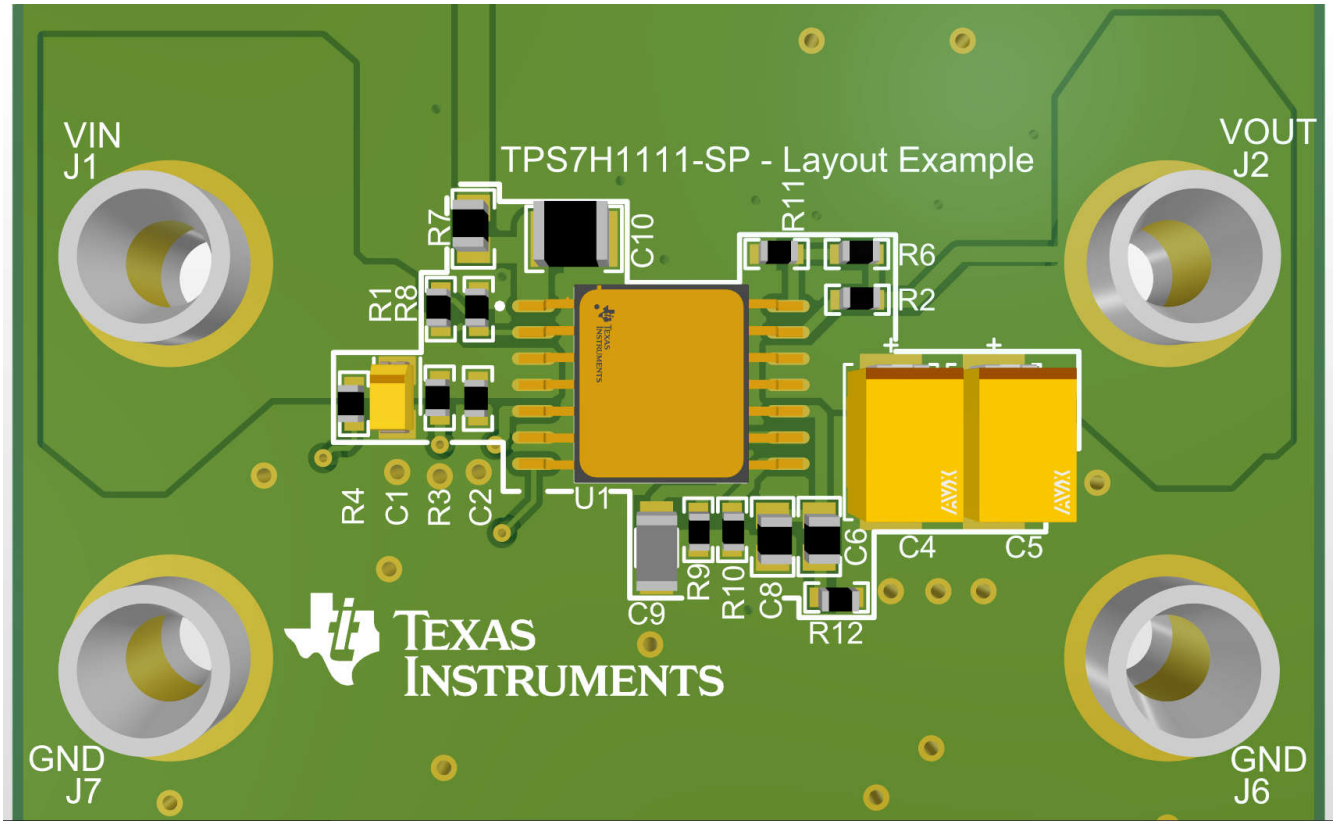



**图 9-17. 印刷电路板布局布线示例：3D 视图**


Copyright © 2024 Texas Instruments Incorporated

# 10 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

## 10.1 文档支持

### 10.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

### 10.1.2 相关文档

- TPS7H1111-SP 电离辐射总剂量 (TID) 辐射报告
- TPS7H1111EVM-CVAL 评估模块用户指南
- 标准微电路图，5962R21203
- 供应商项目图，V62/23602

## 10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

## 10.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

## 10.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

## 10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

## 10.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

# 11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

| Changes from Revision E (August 2023) to Revision F (December 2023) | Page |
|---|---|
| • 更新了塑料封装的标称质量 | 1 |
| • 将 5962R2120302PYE 状态从“产品预发布”更改为“量产数据” | 1 |
| • 删除了已知合格芯片和相关芯片信息 | 1 |
| • 添加了“虚拟”陶瓷封装的可订购器件型号 | 3 |
| • 添加了 TPS7H1111-SP QMLP 版本的更新热性能信息 | 7 |

| Changes from Revision D (June 2023) to Revision E (August 2023) | Page |
|---|---|
| • 更正了典型特性部分中图 7-23、7-25 和 7-27 的波特图 | 12 |

Copyright © 2024 Texas Instruments Incorporated

# 12 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。


Copyright © 2024 Texas Instruments Incorporated

## PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| 5962R2120301VXC | Active | Production | CFP (HBL) \| 14 | 25 \| TUBE | ROHS Exempt | NIAU | N/A for Pkg Type | -55 to 125 | 5962R2120301VXC TPS7H1111MHBLV |
| 5962R2120302PYE | Active | Production | HTSSOP (PWP) \| 28 | 250 \| SMALL T&R | Yes | NIPDAU | Level-3-260C-168 HR | -55 to 125 | R2120302P |
| SN0014HBL | Active | Production | CFP (HBL) \| 14 | 25 \| TUBE | - | Call TI | Call TI | 25 to 25 | SN0014HBL-DC |
| TPS7H1111HBL/EM | Active | Production | CFP (HBL) \| 14 | 25 \| TUBE | ROHS Exempt | NIAU | N/A for Pkg Type | 25 to 25 | TPS7H1111HBL EVAL ONLY |
| TPS7H1111MPWPTSEP | Active | Production | HTSSOP (PWP) \| 28 | 250 \| SMALL T&R | Yes | NIPDAU | Level-3-260C-168 HR | -55 to 125 | 7H1111PWP |
| V62/23602-01XE | Active | Production | HTSSOP (PWP) \| 28 | 250 \| SMALL T&R | Yes | NIPDAU | Level-3-260C-168 HR | See TPS7H1111MPWPTSEP | 7H1111PWP |

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF TPS7H1111-SEP, TPS7H1111-SP :**

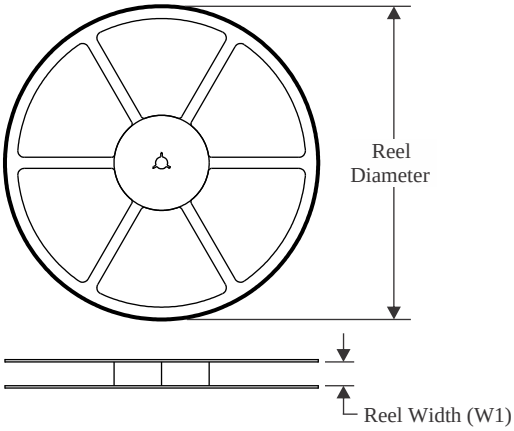
- Catalog : TPS7H1111-SEP
- Space : TPS7H1111-SP

NOTE: Qualified Version Definitions:

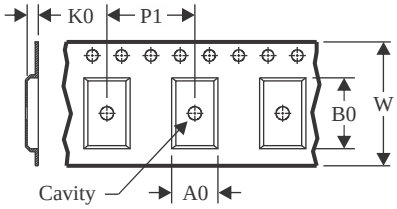
- Catalog - TI's standard catalog product
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

## TAPE AND REEL INFORMATION

**REEL DIMENSIONS**

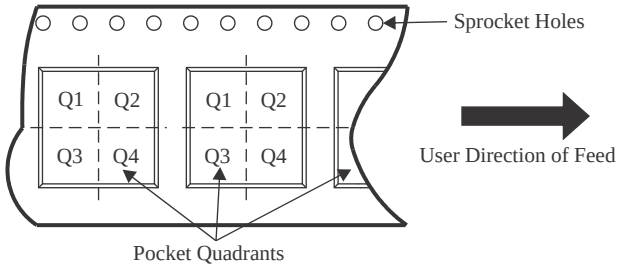



**TAPE DIMENSIONS**




| | |
|---|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |

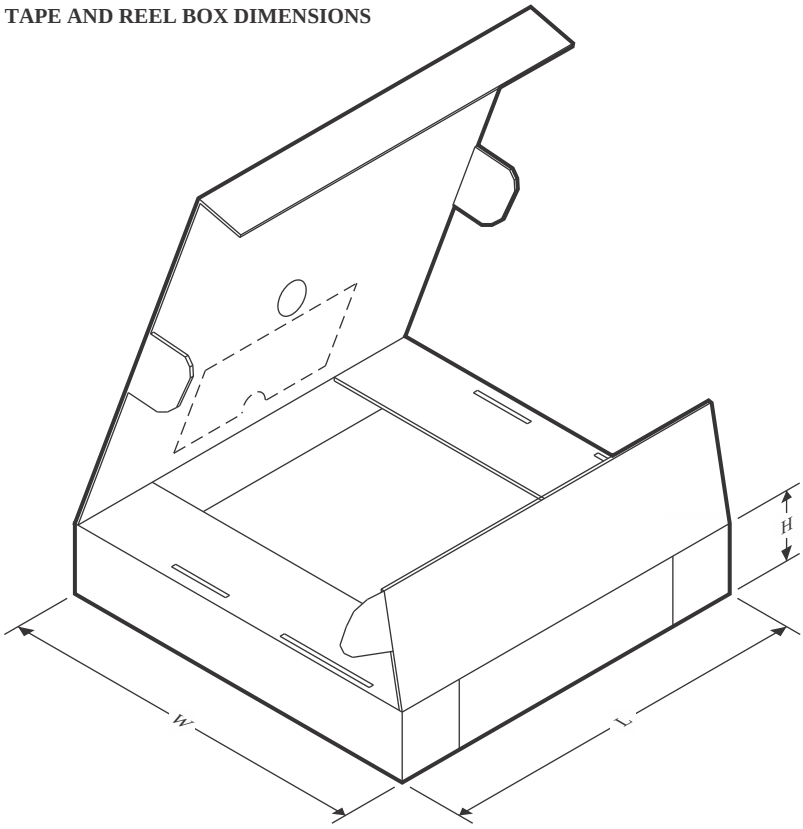
**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 5962R2120302PYE | HTSSOP | PWP | 28 | 250 | 178.0 | 16.4 | 6.95 | 10.0 | 1.7 | 8.0 | 16.0 | Q1 |
| TPS7H1111MPWPTSEP | HTSSOP | PWP | 28 | 250 | 178.0 | 16.4 | 6.95 | 10.0 | 1.7 | 8.0 | 16.0 | Q1 |

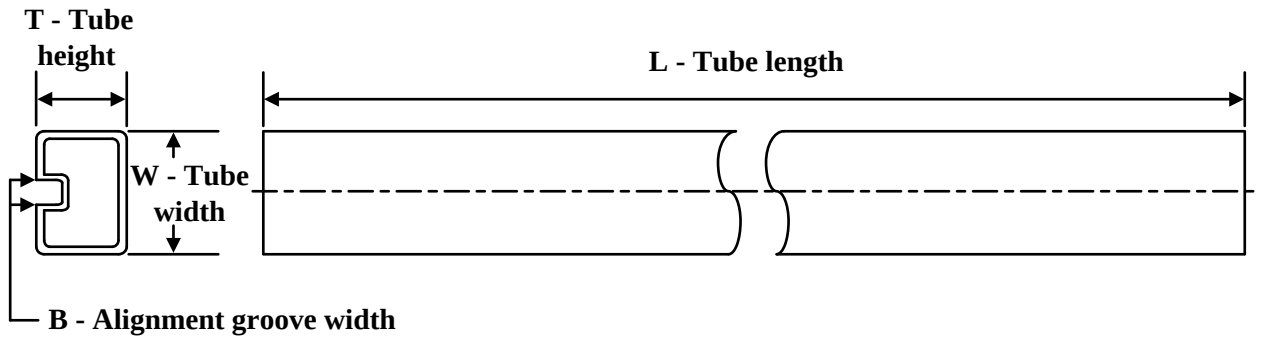
TAPE AND REEL BOX DIMENSIONS




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|---|---|---|---|---|---|---|---|
| 5962R2120302PYE | HTSSOP | PWP | 28 | 250 | 210.0 | 185.0 | 35.0 |
| TPS7H1111MPWPTSEP | HTSSOP | PWP | 28 | 250 | 210.0 | 185.0 | 35.0 |

## TUBE




*All dimensions are nominal

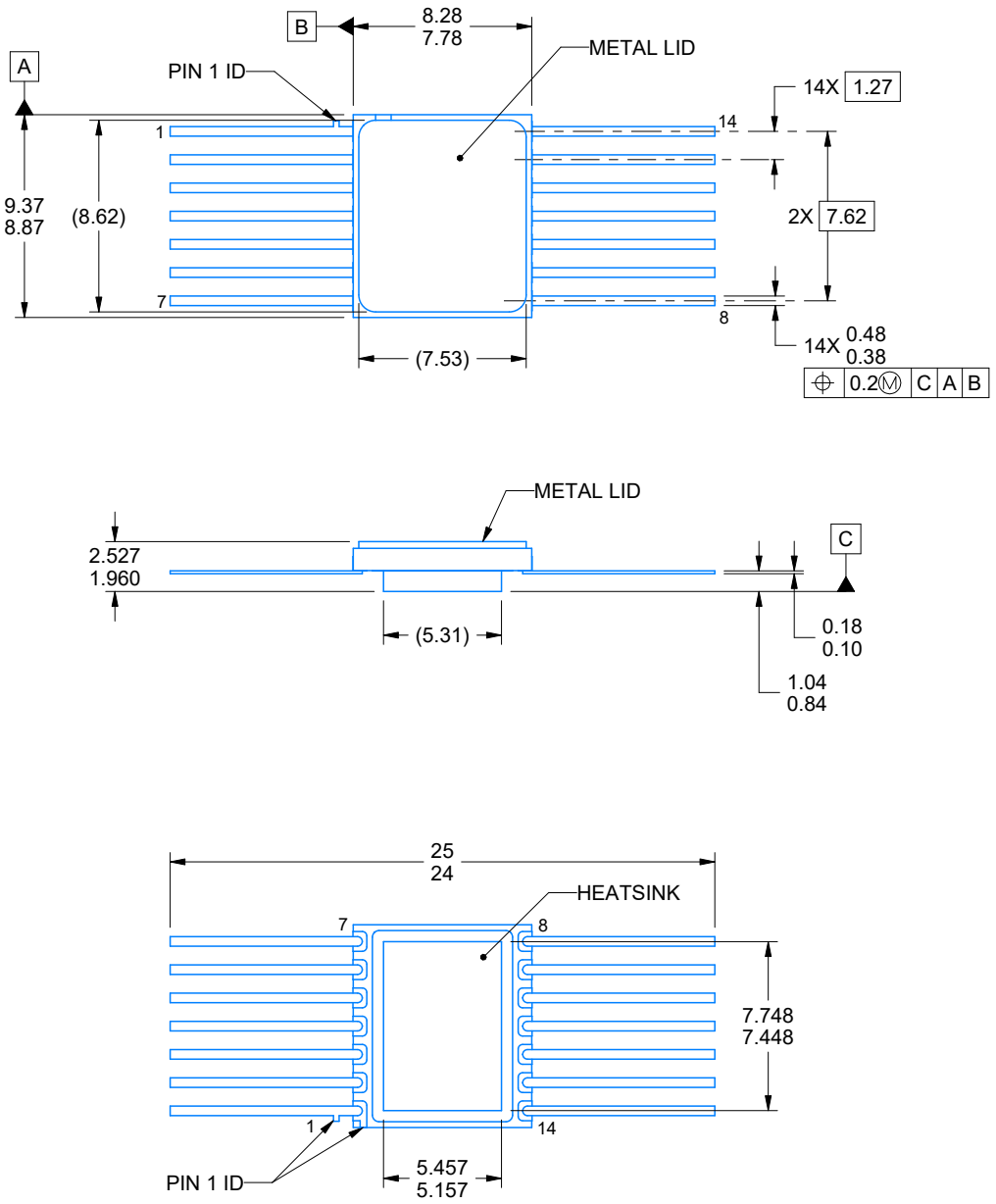
| Device | Package Name | Package Type | Pins | SPQ | L (mm) | W (mm) | T (µm) | B (mm) |
|---|---|---|---|---|---|---|---|---|
| 5962R2120301VXC | HBL | CFP | 14 | 25 | 506.98 | 26.16 | 6220 | NA |
| TPS7H1111HBL/EM | HBL | CFP | 14 | 25 | 506.98 | 26.16 | 6220 | NA |

# PACKAGE OUTLINE

## HBL0014A

## CFP - 2.527 mm max height

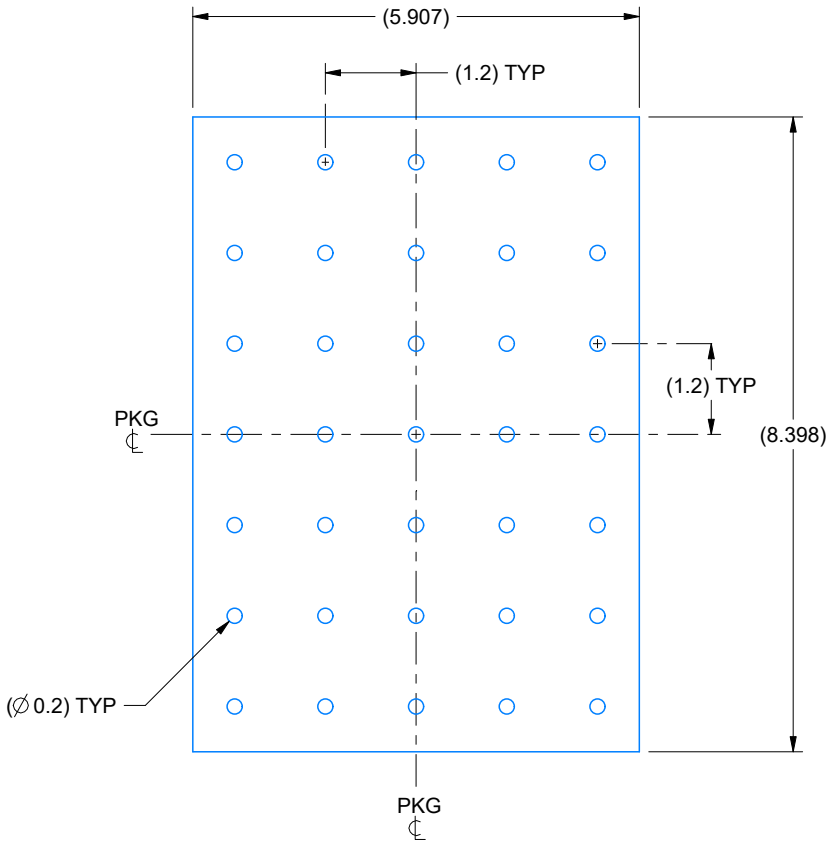
CERAMIC DUAL FLATPACK




4226657/A 03/2021

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a metal lid. Lid is connected to Heatsink and pin 6
4. The terminals are gold plated.




HEATSINK LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:10X

4226657/A 03/2021

## REVISIONS

| REV | DESCRIPTION | ECR | DATE | ENGINEER / DRAFTSMAN |
|---|---|---|---|---|
| A | RELEASE NEW DRAWING | 2193915 | 03/24/2021 | R. RAZAK / ANIS FAUZI |

# GENERIC PACKAGE VIEW

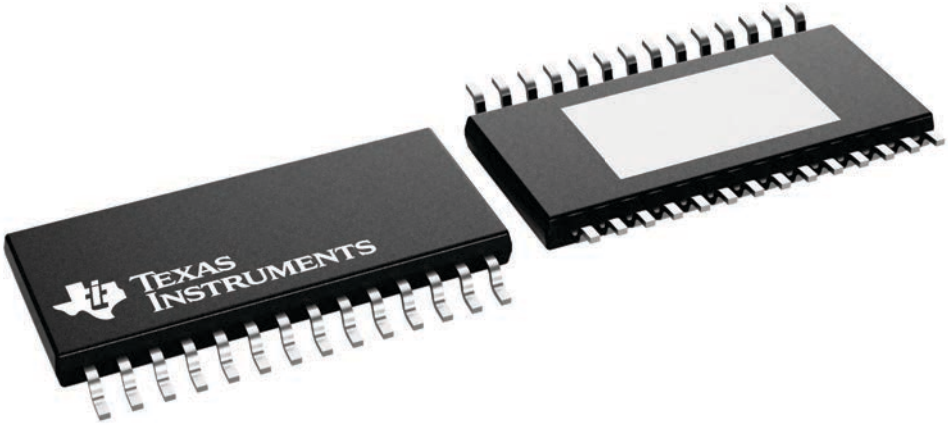
## PWP 28

## PowerPAD™ TSSOP - 1.2 mm max height

**4.4 x 9.7, 0.65 mm pitch**

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.




4224765/B

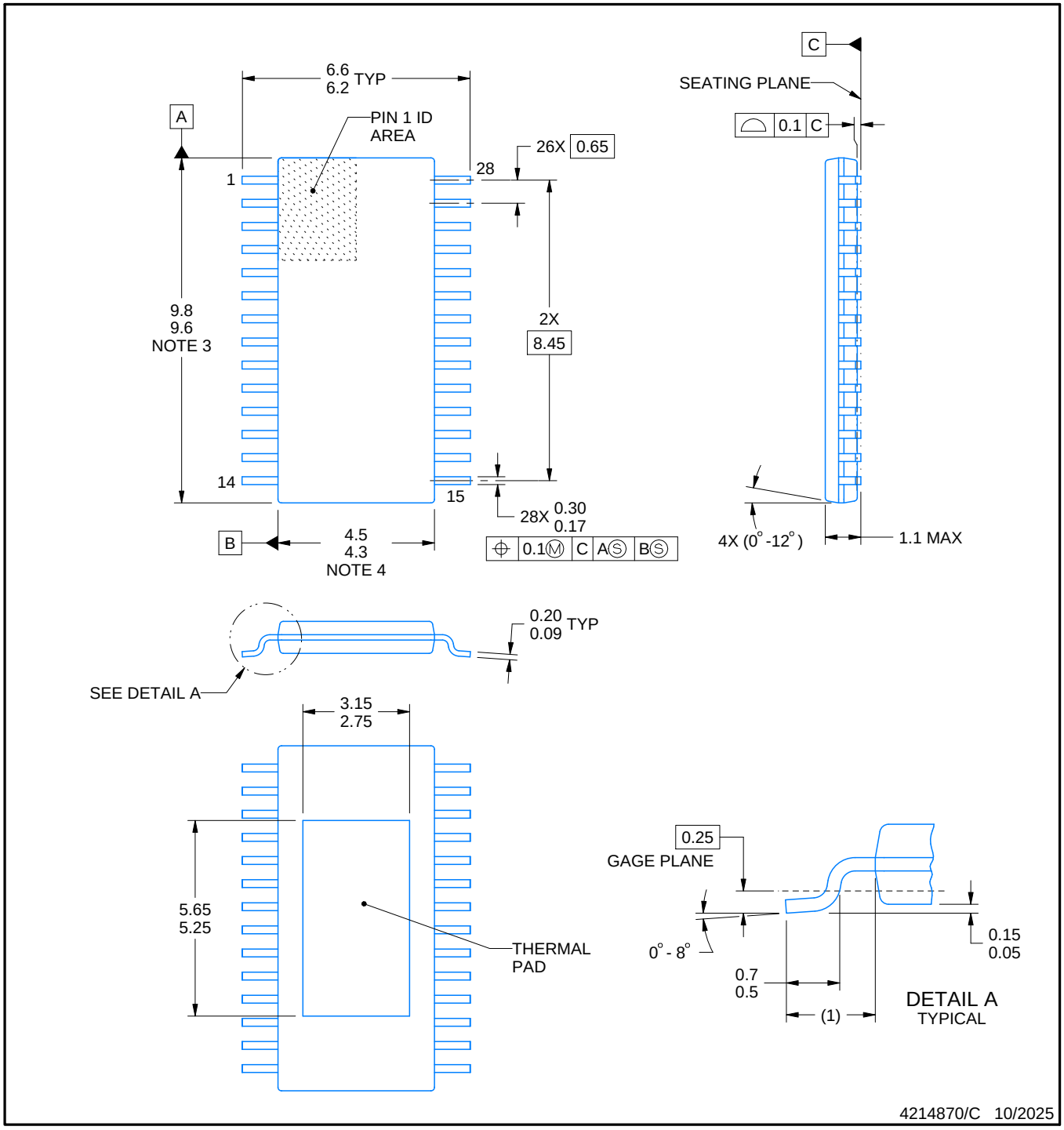


# PACKAGE OUTLINE

## PWP0028A

## PowerPAD™ - 1.1 mm max height

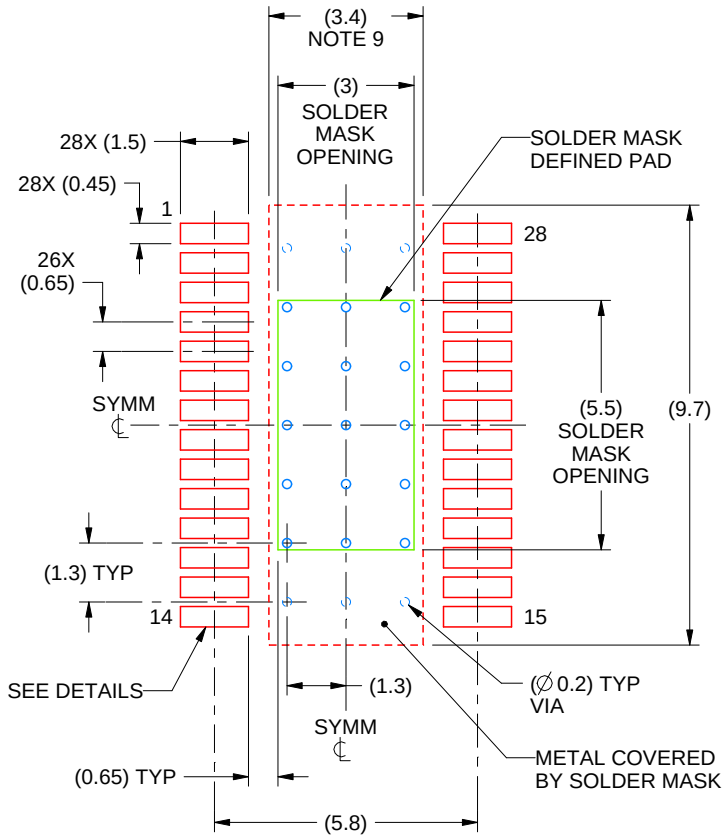
PLASTIC SMALL OUTLINE



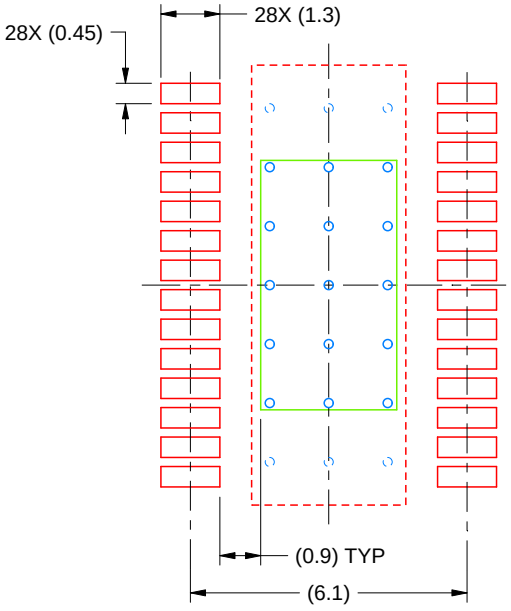

NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MO-153, variation AET.

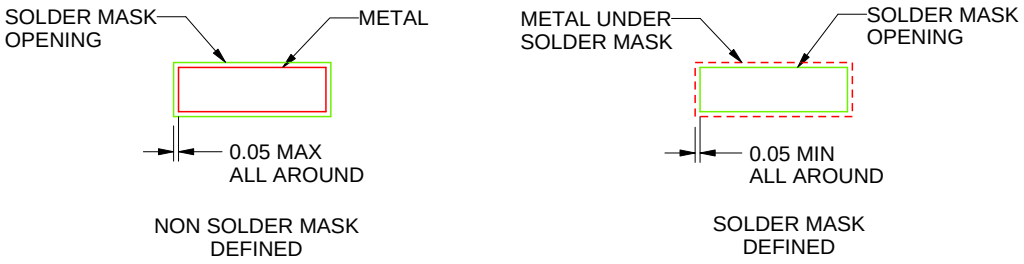



IPC-7351 NOMINAL
0.65 CLEARANCE CREEPAGE




HV / ISOLATION OPTION
0.9 CLEARANCE CREEPAGE
OTHER DIMENSIONS IDENTICAL TO IPC-7351

LAND PATTERN EXAMPLE
SCALE:6X

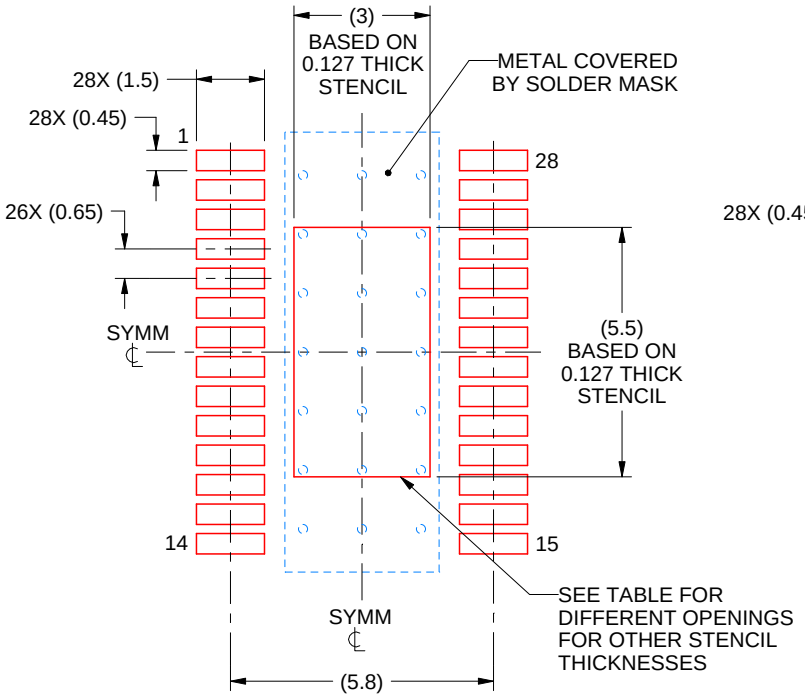



SOLDER MASK DETAILS

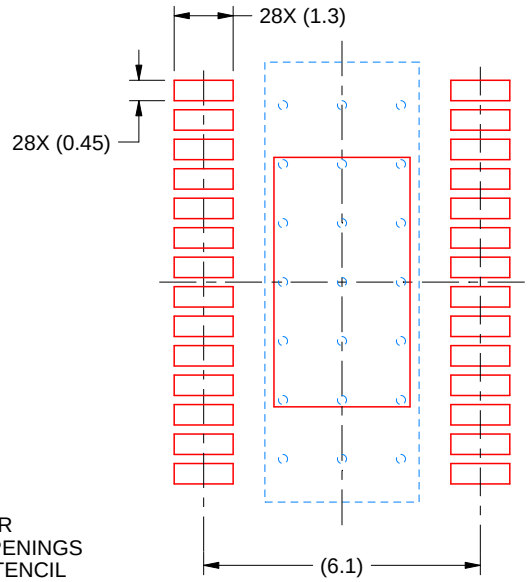
4214870/C 10/2025

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.




IPC-7351 NOMINAL
0.65 CLEARANCE CREEPAGE




HV / ISOLATION OPTION
0.9 CLEARANCE CREEPAGE
OTHER DIMENSIONS IDENTICAL TO IPC-7351

SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE AREA
SCALE:6X

| STENCIL THICKNESS | SOLDER STENCIL OPENING |
|---|---|
| 0.1 | 3.55 X 6.37 |
| 0.127 | 3.0 X 5.5 (SHOWN) |
| 0.152 | 2.88 X 5.16 |
| 0.178 | 2.66 X 4.77 |

4214870/C 10/2025

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

# 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月