TPS7E67-Q1 具有电源正常状态指示功能的 300mA、40V、超低 I_Q 车用低压降线性稳压器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
  - 温度等级 1：–40°C 至 +125°C，T_A
  - 结温：–40°C 至 +150°C，T_J
- 输入电压范围：3.0 V 至 40 V（最大 42 V）
- 可配置的输出电压选项：
  - 固定：1.8V 至 12V
  - 可调节：1.2V 至 38V
- 输出电流高达 300mA
- 在整个线路、负载和温度范围内的精度为 ±1.2%
- 超低 I_Q：I_{OUT} = 0mA 时 2.8 µA（典型值）
- 与 4.7 µF 或更大的陶瓷电容器一起工作时保持稳定
  - ESR 范围：0Ω 至 1Ω
- 具有抗尖峰脉冲滤波器和可编程延迟的电源正常状态指示
- 压降电压：电压为 300mA 时为 950mV（典型值）
- 高 PSRR：
  - 1kHz 时为 70dB
  - 100kHz 时为 45dB
- 过流、过功率和过热限制
- 封装：
  - 6 引脚 WSON 可湿性侧面 (DRV)，[$R_{\theta JA}$：90.2°C/W]
  - 8 引脚 HVSSOP (DGN) [$R_{\theta JA}$: 58.5°C/W]
  - 8 引脚 HSOIC (DDA) [$R_{\theta JA}$：55.7°C/W]

2 应用

- 汽车音响主机
- 混合动力、电动和动力总成™系统
- 大灯
- 远程信息处理控制单元
- 车身控制模块 (BCM)

3 说明

TPS7E67-Q1 低压降 (LDO) 线性稳压器是一款低静态电流器件，专为连接汽车应用中的电池而设计，并支持 3V 至 40V 的宽输入电压范围。对于可调配置，宽输出范围为 1.2V 至 38V；对于固定配置，宽输出范围为 1.8V 至 12V，负载电流高达 300mA。此器件无负载时的静态电流仅为 2.8µA，是为备用系统中微控制器 (MCU) 和控制器局域网 (CAN) 收发器等常开型器件供电的出色设计。

TPS7E67-Q1 可以在整个线路、负载和温度范围内支持 ±1.2% 的非常严格的直流精度。该器件可快速响应线路和负载瞬态，并可从冷启动情况中快速恢复。该器件还在压降运行中具有受控的空载静态电流。

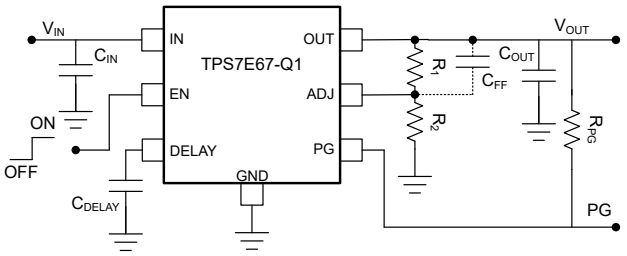
TPS7E67-Q1 配备了具有延迟和抗尖峰脉冲功能的电源正常状态指示，用于监控输出电压。电源正常指示延迟可使用外部电容器进行调节。LDO 具有内置的过流、过热和过功率输送保护机制，可确保 LDO 可靠运行。TPS7E67-Q1 在输出电容范围介于 4.7 µF 至 100 µF 之间时可保持稳定。

TPS7E67-Q1 采用 2.0mm × 2.0mm、6 引脚 WSON（可湿性侧面）(DRV-WF) 封装、3.0mm × 4.9mm、8 引脚 HVSSOP (DGN) 封装和 4.90mm × 6.00mm、8 引脚 HSOIC (DDA) 封装，提供固定和可调输出。

封装信息

器件型号	封装(1)	封装尺寸(2)
TPS7E67-Q1	DRV（WSON，6）	2.0mm × 2.0mm
	DGN (HVSSOP，8)	3.0mm × 4.9mm
	DDA（HSOIC，8）	4.90mm × 6.00mm

(1) 如需了解详情，请参阅*机械、封装和可订购信息*。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



典型应用

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 5
5.5 电气特性 5
5.6 典型特性 7
6 详细说明 18
6.1 概述 18
6.2 功能方框图 18
6.3 特性说明 19
6.4 器件功能模式 23
7 应用和实施 25
7.1 应用信息 25
7.2 典型应用 28
7.3 电源相关建议 32
7.4 布局 32
8 器件和文档支持 35
8.1 器件支持 35
8.2 文档支持 35
8.3 接收文档更新通知 35
8.4 支持资源 35
8.5 商标 35
8.6 静电放电警告 35
8.7 术语表 35
9 修订历史记录 35
10 机械、封装和可订购信息 36

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

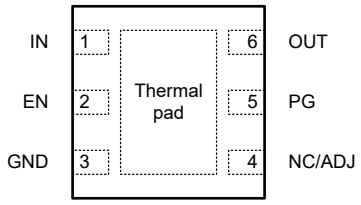


图 4-1. DRV 封装（固定/ADJ），6-引脚 WSON（顶视图）

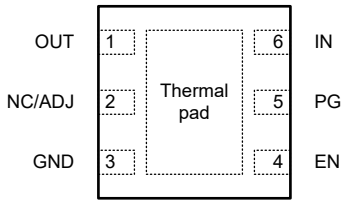


图 4-2. DRV 封装，A-版本（固定/ADJ），6-引脚 WSON（顶视图）

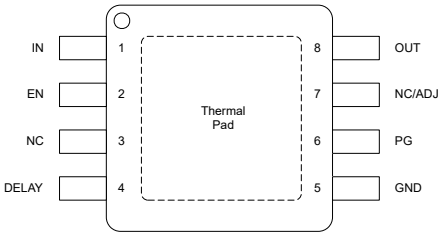


图 4-3. DGN 封装（固定/ADJ），8-引脚 HVSSOP（顶视图）

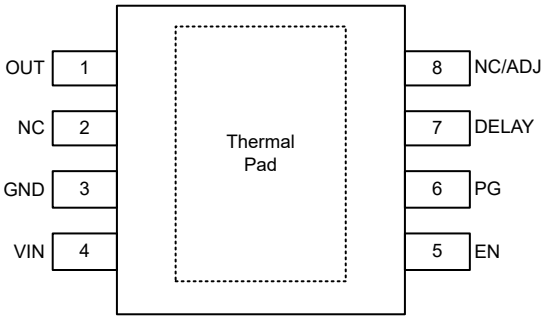


图 4-4. DDA 封装（固定/ADJ），8-引脚 HSOIC（顶视图）

表 4-1. 引脚功能

引脚		说明
名称	类型(1)	
ADJ	I	使用可调节器件时，该引脚会借助反馈分压器来设置输出电压。在可调节配置中，必须通过电阻分压器将此引脚连接到输出端，以使该器件正常工作。
延迟	I	电源正常延迟调整引脚。在该引脚和 GND 之间连接一个电容器来设置 PG 复位延迟。将该引脚悬空以实现默认 ($t_{DELAY(PG)}$) 延迟。有关更多信息，请参阅 *电源正常 (PG)* 和 *可调节电源正常延迟计时器 (DELAY)* 部分。如果不需要此功能，请将该引脚悬空，因为将该引脚连接到 GND 会导致 GND 电流永久增加。
EN	I	使能引脚。将使能引脚驱动为高电平会启用器件。将此引脚驱动为低电平会禁用器件。*电气特性* 表中列出了高阈值和低阈值。此引脚有一个弱内部上拉电阻，可以悬空以启用器件，也可以将该引脚连接到输入引脚。请参阅 *使能 (EN)* 部分。
GND	—	接地引脚。
IN	I	输入电源引脚。有关更多信息，请参阅*建议运行条件* 表和*输入和输出电容器选择* 部分。
NC	—	无内部连接。保持该引脚断开或连接到任何电位。将该引脚接地以提高热性能。
OUT	O	稳压器的输出。需要在 OUT 到接地端之间连接一个电容器以确保稳定性。为获得出色的瞬态响应，请使用标称推荐值或从 OUT 到接地端的更大陶瓷电容器，如 *建议运行条件* 表和 *输入和输出电容器选择* 部分所示。将此输出电容器尽可能靠近器件输出端放置。
PG	O	漏极开路拓扑下的电源正常输出。需要在 PG 引脚上连接一个上拉电阻器。如果不使用电源正常功能，请将该引脚接地或保持悬空。有关更多信息，请参阅*电源正常 (PG)* 部分。
散热焊盘		散热焊盘。将焊盘连接到 GND 以获得尽可能出色的热性能。有关更多信息，请参阅布局部分。

(1) O = 输出，I = 输入

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电压	V_{IN}	-0.3	42.0	V
	V_{OUT}（仅适用于固定器件）	-0.3	2 × $V_{OUT(typ)}$ 或 V_{IN} + 0.3 或 15.0（以较低者为准）	V
	V_{OUT}（仅适用于可调节器件）	-0.3	V_{IN} + 0.3 (2)	V
	V_{ADJ}（反馈电压）	-0.3	3.6	V
	V_{EN}（使能电压）	-0.3	42.0	V
	V_{PG}（电源正常状态电压）	-0.3	42.0	V
	V_{DELAY}（PG 延迟电压）	-0.3	3.6	V
电流	I_{OUT}（输出电流）	受内部限制		mA
	PG（流入器件的灌电流）		5	mA
温度	T_J，工作结温	-55	150	°C
	T_{stg}，贮存	-65	150	°C

(1) 超出*绝对最大额定值*范围操作可能会导致器件永久损坏。绝对最大额定值并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 绝对最大额定值为 V_{IN} + 0.3V 或 42.0V（以较小者为准）。

5.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)		±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 标准	转角引脚	±750	
			其他引脚	±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在工作结温范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{IN}	输入电源电压范围	3.0		40	V
V_{OUT}	输出电压范围（仅固定）(1)	1.8		12	V
V_{OUT}	输出电压范围（可调节）(1)	1.2		38	V
V_{EN}	使能电压范围	0		40	V
V_{PG}	电源正常电压范围	0		40	V
I_{OUT}	输出电流	0		300	mA
C_{IN}	输入电容器(2)		0.47		µF
C_{OUT}	输出电容器(3)	4.7		100	µF
C_{ADJ}	寄生 ADJ 到 GND 电容器 (4)			15	pF
C_{FF}	前馈电容器 (5)		10		nF
T_J	工作结温	-40		150	°C

(1) 此输出电压范围不包括器件精度或反馈电阻器的精度。

Copyright © 2026 Texas Instruments Incorporated

(2) 不需要输入电容器即可实现 LDO 稳定性。但是，建议使用最小有效值为 0.1 µF 的输入电容来抵消源电阻和电感的影响，在某些情况下，这可能会导致系统级不稳定的症状（例如振铃或振荡），尤其是在存在负载瞬态的情况下。
(3) 列出的所有电容值均为标称值，假设有效电容降额至标称电容值的 50%。
(4) ADJ 引脚上电容器相对于 GND 的上限会影响可调节配置中稳压器的稳定运行。如果 C_{ADJ} 电容器高于*建议运行条件*表中所述的限值，请使用 C_{FF} 电容器。
(5) C_{FF} 电容器可改善瞬态、噪声和 PSRR 性能，但不是实现稳压器稳定性所必需的。可以使用更高的电容 C_{FF}，但启动时间会增加。

5.4 热性能信息

热指标 (1)		TPS7E67-Q1			单位
		DRV (WSON) (2)	DGN (HVSSOP) (2)	DDA (HSOIC) (2)	
		6 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	90.2	58.5	55.74	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	113.5	96.8	78.35	°C/W
$R_{\theta JB}$	结至电路板热阻	55.7	32.4	30.76	°C/W
Ψ_{JT}	结至顶部特征参数	13.0	11.7	18.29	°C/W
Ψ_{JB}	结至电路板特征参数	55.3	32.4	30.90	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	30.6	12.6	17.82	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。
(2) 热性能结果基于 2s2p PCB 配置的 JEDEC 标准。根据热优化型 PCB 布局设计，这些热指标参数可进一步提高 35-55%。请参阅电路板布局布线对 LDO 热性能的影响应用手册的分析。

5.5 电气特性

在工作结温范围（T_J = –40°C 至 +150°C）中，V_{IN} = 3.0V 或 V_{IN} = $V_{OUT\ (nom)}$ + 0.5V（以较大者为准），I_{OUT} = 1mA，V_{EN} = 2.0V，C_{IN} = 1.0µF，C_{OUT} = 4.7µF 且 PG 引脚通过 100kΩ 上拉至 V_{IN}（除非另有说明）。典型值为 T_J = 25°C 条件下的值。

参数		测试条件	最小值	典型值	最大值	单位
V_{ADJ}	ADJ（反馈）电压			1.2		V
V_{UVLO+}	上升输入电源 UVLO	V_{IN} 上升		2.8	2.91	V
V_{UVLO-}	下降输入电源 UVLO	V_{IN} 下降	2.6	2.7		V
$V_{UVLO(HYST)}$	V_{UVLO} 迟滞			100		mV
V_{OUT}	输出电压	V_{IN} = $V_{OUT(}$ + 0.5V，I_{OUT} = 1mA，T_J = 25℃	-0.3		0.3	%
V_{OUT}	输出电压	V_{OUT} + 2.0V ≤ V_{IN} ≤ 40V，I_{OUT} = 35mA 且 T_J = 25℃	-0.7		0.7	%
		V_{OUT} + 2.0V ≤ V_{IN} ≤ 40V，I_{OUT} = 35mA	-1.2		1.2	
		1mA ≤ I_{OUT} ≤ 300mA，2.0V ≤ V_{IN} – V_{OUT} ≤ 15V	-1.2		1.2	
$\Delta V_{OUT}(\Delta V_{IN})$	线路调整率	I_{OUT} = 1mA，V_{OUT} + 0.5V ≤ V_{IN} ≤ 40V			10	mV
$\Delta V_{OUT}(\Delta I_{OUT})$	负载调整率	1mA ≤ I_{OUT} ≤ 300mA，V_{IN} = V_{OUT} + 2.0V，1.2V ≤ V_{OUT} < 5.0V			11	mV
		1mA ≤ I_{OUT} ≤ 300mA，V_{IN} = V_{OUT} + 2.0V，5.0V ≤ V_{OUT} < 12.0V			22	mV
$\Delta \%V_{OUT}/\Delta I_{OUT}$	负载调整率	1mA ≤ I_{OUT} ≤ 300mA，V_{IN} = V_{OUT} + 2.0V，12.0V ≤ V_{OUT}			0.65	%/A
V_{DO}	压降电压	I_{OUT} = 300mA		0.95	1.8	V
		I_{OUT} = 300mA，可调型		0.96	1.8	
V_{DO}	压降电压	I_{OUT} = 100mA		0.3	0.55	V
		I_{OUT} = 100mA，可调型		0.32	0.56	
I_{LIM}	输出电流限制	V_{OUT} 强制为 0.9 x $V_{OUT(nom)}$，V_{IN} = $V_{OUT(nom)}$ + 2.0V	350	500	625	mA
I_{SC}	短路电流限制	R_{LOAD} = 20mΩ	30	55	80	mA
I_{PLIMIT}	最大余量时支持的电流	V_{IN} = 40V，V_{OUT} = 1.2V			35	mA

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

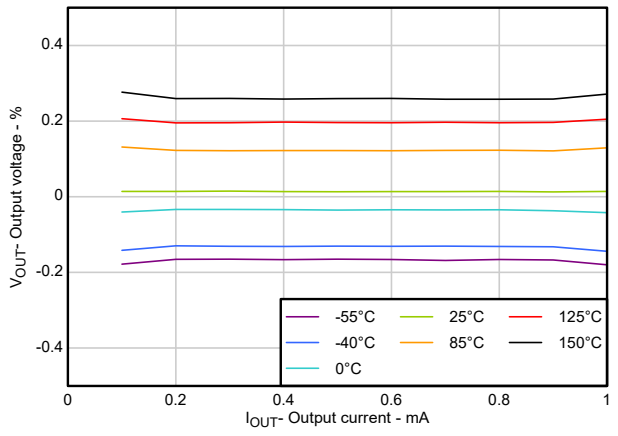
在工作结温范围（T_J = –40°C 至 +150°C）中，V_{IN} = 3.0V 或 V_{IN} = $V_{OUT\ (nom)}$ + 0.5V（以较大者为准），I_{OUT} = 1mA，V_{EN} = 2.0V，C_{IN} = 1.0µF，C_{OUT} = 4.7µF 且 PG 引脚通过 100kΩ 上拉至 V_{IN}（除非另有说明）。典型值为 T_J = 25°C 条件下的值。

参数		测试条件	最小值	典型值	最大值	单位
$V_{HEADROOM}$	满负载时的最大余量	V_{OUT} = 1.2V			15	V
I_{ADJ}	ADJ（反馈）电流	V_{IN} = 40V			25	nA
I_Q	静态电流	3.0V ≤ V_{IN} ≤ $V_{OUT(nom)}$ – 0.2V， I_{OUT} = 0mA		12.5	25	µA
		I_{OUT} = 0mA		2.8	6.0	
		V_{OUT} + 0.5V ≤ V_{IN} ≤ 40V，I_{OUT} = 0mA			7.6	
I_{GND}	接地电流	I_{OUT} = 1mA		16.5	25	µA
I_{GND}	接地电流	V_{IN} = V_{OUT} + 2.0V，I_{OUT} = 300mA			600	µA
$I_{SHUTDOWN}$	关断电流	V_{EN} = 0V，T_J = 25℃		0.45		µA
		V_{OUT} + 0.5V ≤ V_{IN} ≤ 40V，V_{EN} = 0V			1.5	
$T_{start-up}$	启动时间	V_{IN}，V_{EN} 连接在一起，V_{IN} 斜升至 $V_{OUT(nom)}$ + 0.5V，I_{OUT} = 0mA		500		µs
I_{EN}	EN 引脚电流	0V ≤ V_{EN} ≤ 40V，V_{IN} 和 V_{EN} 连接在一起			0.3	µA
		0V ≤ V_{IN} ≤ 40V，V_{EN} = 0V	-0.5			
$V_{IL(EN)}$	EN 引脚低电平输入电压（禁用器件）				0.46	V
$V_{IH(EN)}$	EN 引脚高电平输入电压（使能器件）		1.1			
$V_{HYST(EN)}$	EN 引脚磁滞（使能器件）			0.13		V
PSRR	电源纹波抑制	V_{IN} – V_{OUT} = 3.0 V，I_{OUT} = 300mA，f = 100kHz		45		dB
V_n	输出噪声电压	带宽 = 10Hz 至 100kHz，V_{IN} – V_{OUT} = 3.0 V，I_{OUT} = 300mA		650		μV_{RMS}
$V_{IT-(PG)}$	PG 引脚阈值下降	适用于 V_{OUT} 下降	86	89	92	%
$V_{IT+(PG)}$	PG 引脚阈值上升	适用于 V_{OUT} 上升	90	93	96	%
$V_{OL(PG)}$	PG 引脚低电平输出电压	V_{OUT} < $V_{IT-(PG)}$，V_{IN} = 3.0V，I_{PG} = –1mA（流入器件的电流）			0.4	V
$I_{lkg(PG)}$	PG 引脚漏电流	V_{OUT} > $V_{IT+(PG)}$，V_{PG} = 40V		0.04	0.5	µA
延迟 (PG)	PG 引脚延迟时间			150		µs
抗尖峰脉冲 (PG)	PG 引脚抗尖峰脉冲时间			135		µs
$I_{(PGDL_CHG)}$	PG 延迟电容器充电电流	V_{PGDL} = V_{PGDL} 的 63%（典型值）		2.86		µA
$V_{(PGDL_TH)}$	释放 PG 高电平的 PG 延迟阈值			2.26		V
T_{sd+}	热关断升温	关断，温度升高	163			°C
T_{sd-}	热关断降温	复位，温度降低	150			°C
$R_{Discharge}$	输出放电电阻	V_{IN} = 3.0V，V_{EN} = 0V，T_J = 25℃，I_{OUT} = 1mA		780		Ω
I_{SINK}	输出端的灌电流	V_{OUT} = $V_{OUT(nom)}$ × 1.05，T_J = 25℃		3.3		mA

Copyright © 2026 Texas Instruments Incorporated

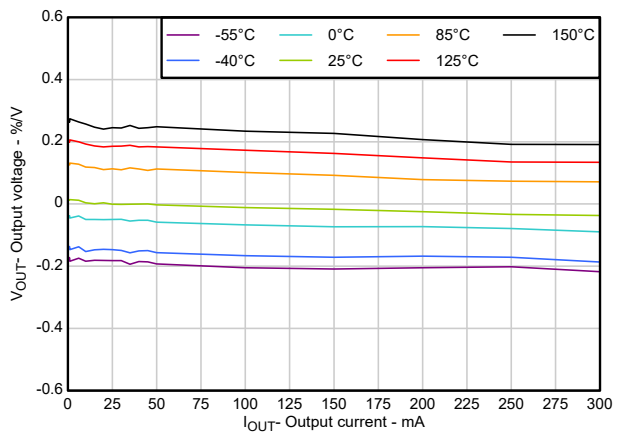
5.6 典型特性

在工作结温 T_J = 25°C，V_{IN} = 3.0V 或 V_{IN} = V_{OUT}(nom) + 1.0V（以较大者为准），C_{IN} = 1µF，C_{OUT} = 4.7µF，C_{DELAY} = 0nF 且 I_{OUT} = 1mA 条件下测得（除非另有说明）



V_{IN} = 3.8V

图 5-1. V_{OUT} 精度与 I_{OUT} 间的关系



V_{IN} = 5.3V

图 5-2. V_{OUT} 精度与 I_{OUT} 间的关系

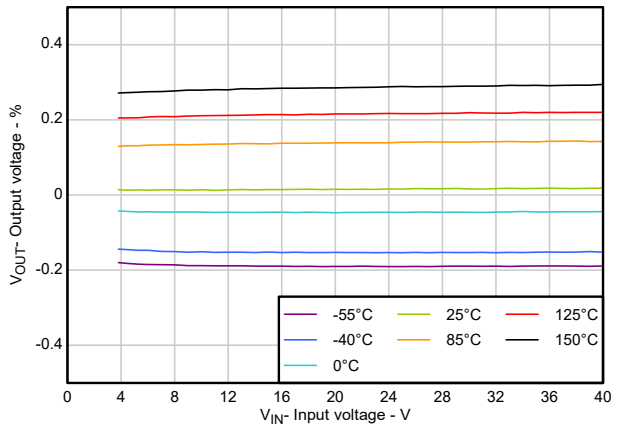


图 5-3. V_{OUT} 精度与 V_{IN} 间的关系

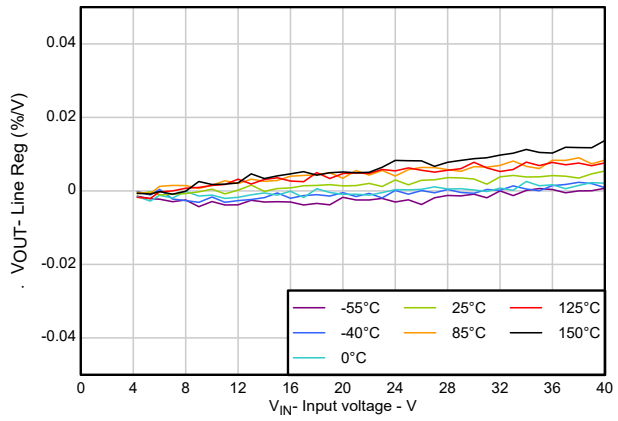


图 5-4. 线路调整率

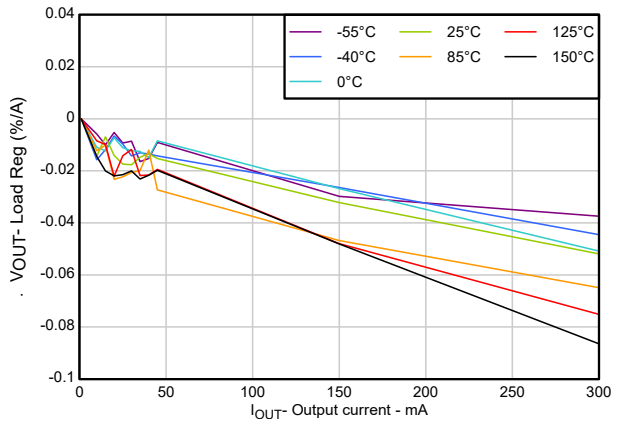


图 5-5. 负载调整率

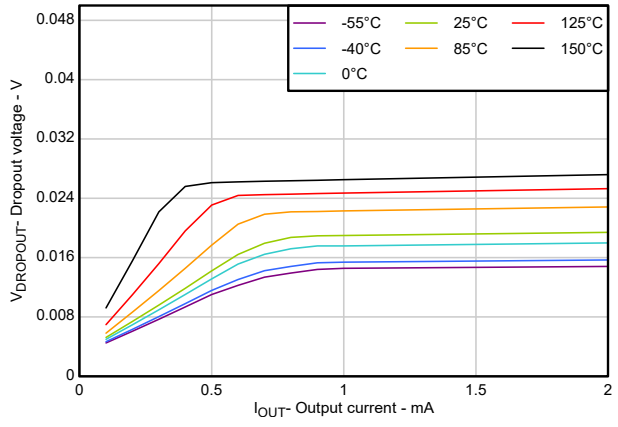


图 5-6. V_{DO} 与 I_{OUT} (mA) 间的关系

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性（续）

在工作结温 T_J = 25°C，V_{IN} = 3.0V 或 V_{IN} = V_{OUT}(nom) + 1.0V（以较大者为准），C_{IN} = 1µF，C_{OUT} = 4.7µF，C_{DELAY} = 0nF 且 I_{OUT} = 1mA 条件下测得（除非另有说明）

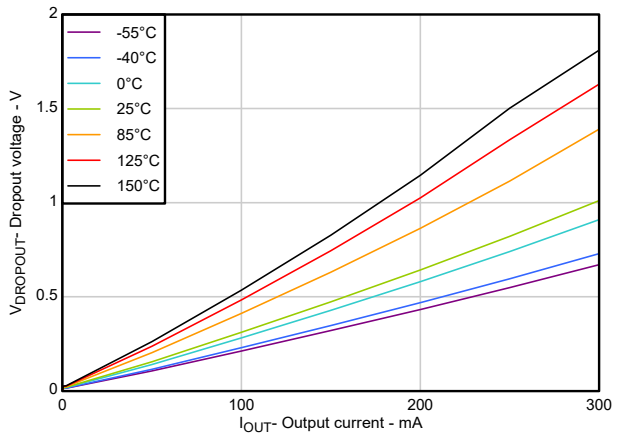


图 5-7. V_{DO} 与 I_{OUT} (mA) 间的关系

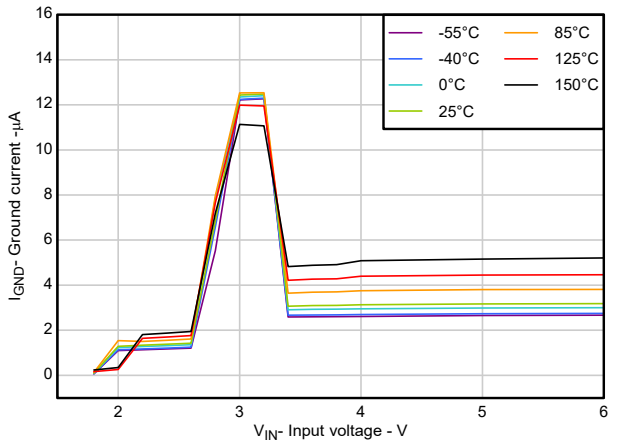


图 5-8. I_{GND} 与 V_{IN} 间的关系

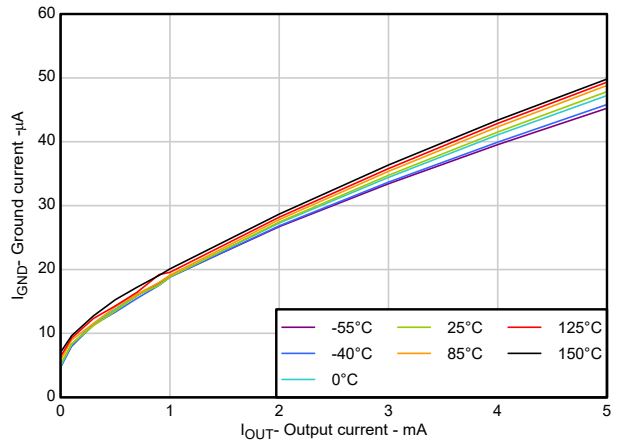


图 5-9. I_{GND} 与 I_{OUT} 间的关系

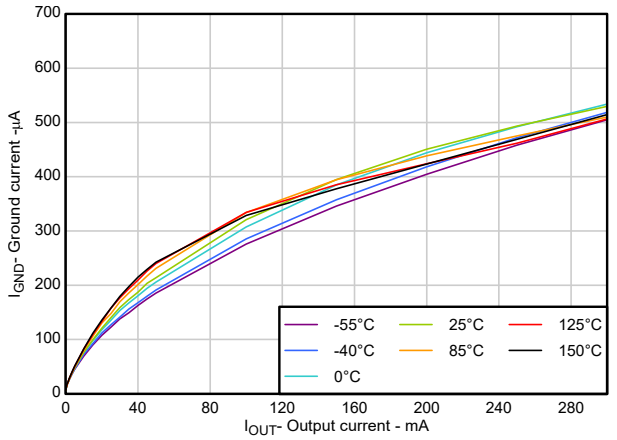


图 5-10. I_{GND} 与 I_{OUT} 间的关系

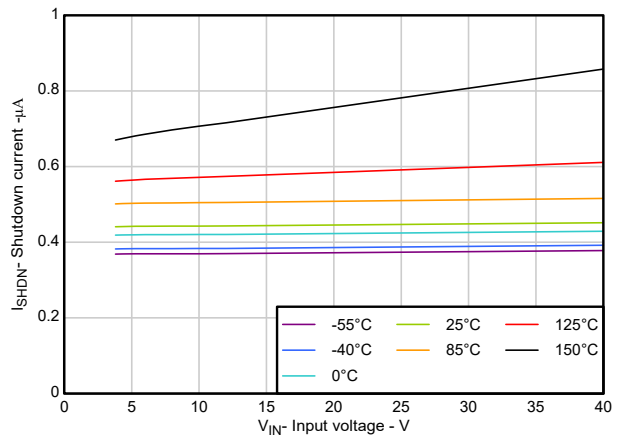
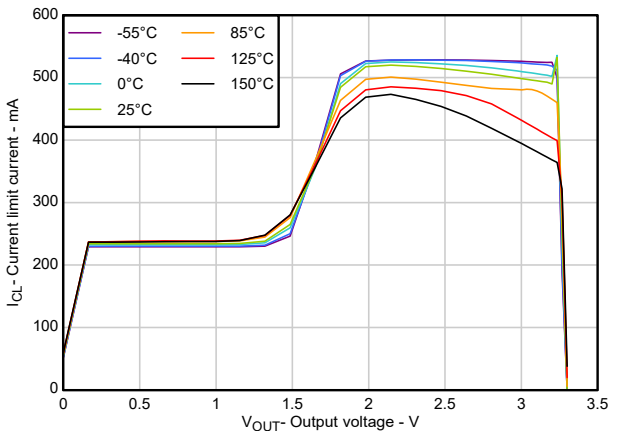


图 5-11. I_{GSHDN} 与 V_{IN} 间的关系



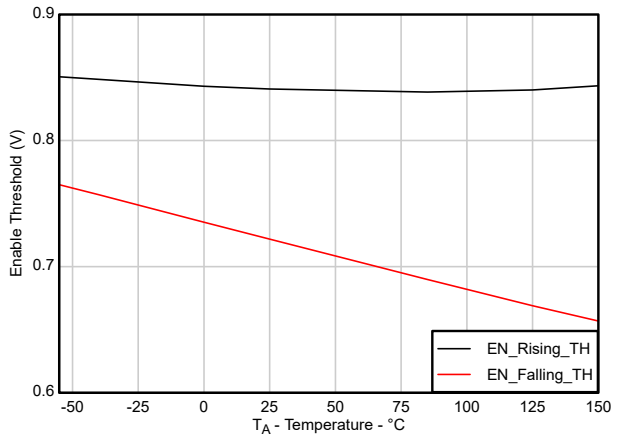
V_{IN} = 5.3V

图 5-12. 折返电流限值 I_{CL} 与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

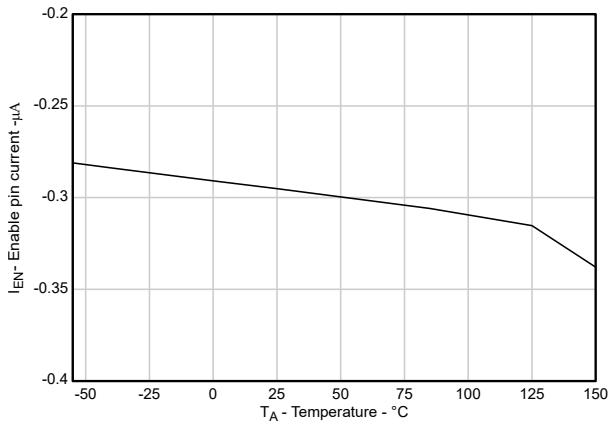
5.6 典型特性（续）

在工作结温 T_J = 25°C，V_{IN} = 3.0V 或 V_{IN} = V_{OUT}(nom) + 1.0V（以较大者为准），C_{IN} = 1µF，C_{OUT} = 4.7µF，C_{DELAY} = 0nF 且 I_{OUT} = 1mA 条件下测得（除非另有说明）



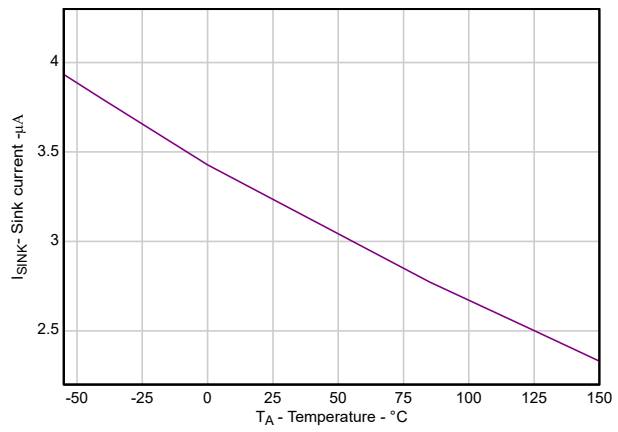
V_{IN} = 5.3V

图 5-13. EN 阈值 $V_{IH(EN)}$/$V_{IL(EN)}$ 与温度间的关系



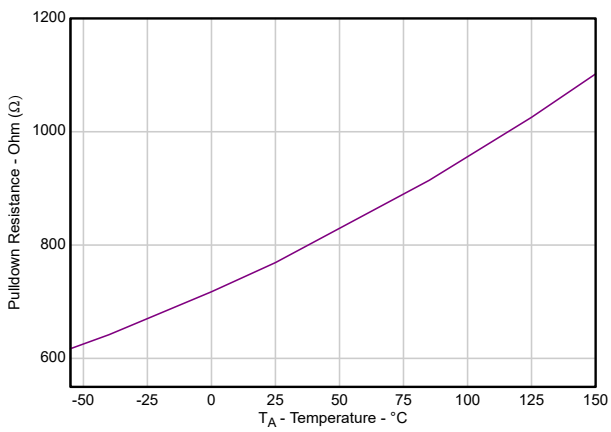
V_{IN} = 5.3V

图 5-14. EN 泄漏电流 I_{EN} 与温度间的关系



V_{IN} = 5.3V，V_{OUT} = 1.05 × $V_{OUT(nom)}$

图 5-15. 输出端的灌电流 (I_{SINK}) 与温度间的关系



V_{IN} = 3.0V，I_{OUT} = 1mA

图 5-16. 输出端的下拉电阻 ($R_{Discharge}$) 与温度间的关系

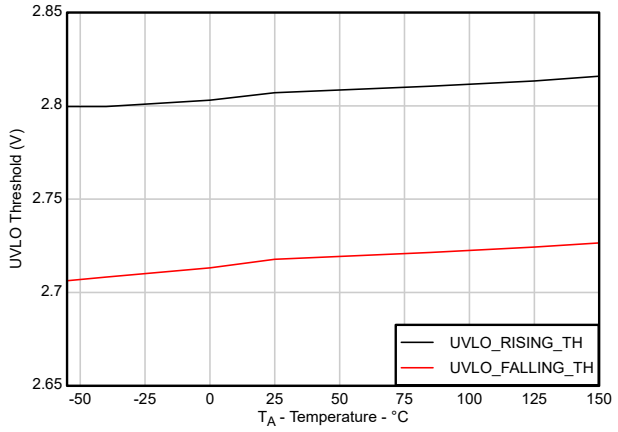


图 5-17. UVLO 阈值 (V_{UVLO+}/V_{UVLO-}) 与温度间的关系

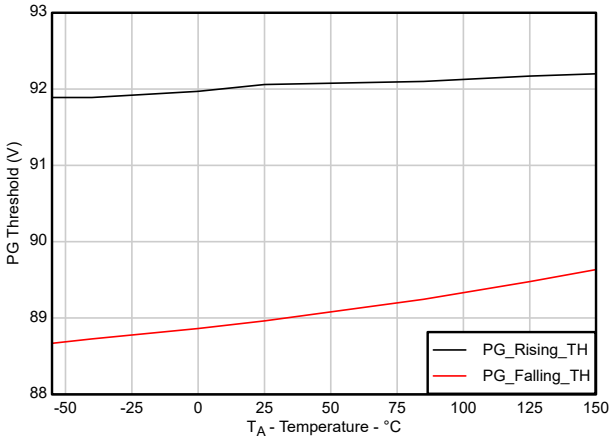
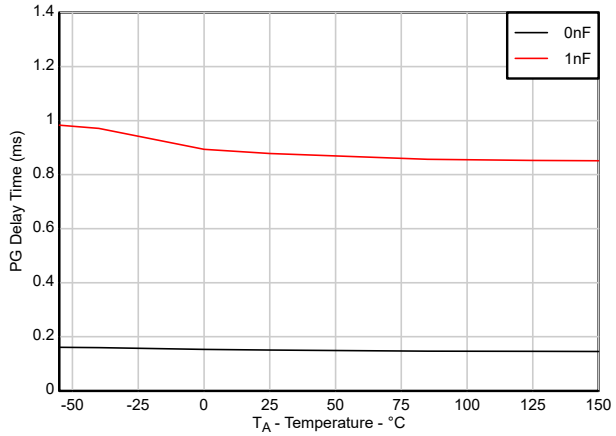


图 5-18. PG 阈值 ($V_{IT+(PG)}$/$V_{IT-(PG)}$) 与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性（续）

在工作结温 T_J = 25°C，V_{IN} = 3.0V 或 V_{IN} = V_{OUT}(nom) + 1.0V（以较大者为准），C_{IN} = 1µF，C_{OUT} = 4.7µF，C_{DELAY} = 0nF 且 I_{OUT} = 1mA 条件下测得（除非另有说明）



C_{DELAY} = 0nA，1nF

图 5-19. PG 延迟时间与温度间的关系

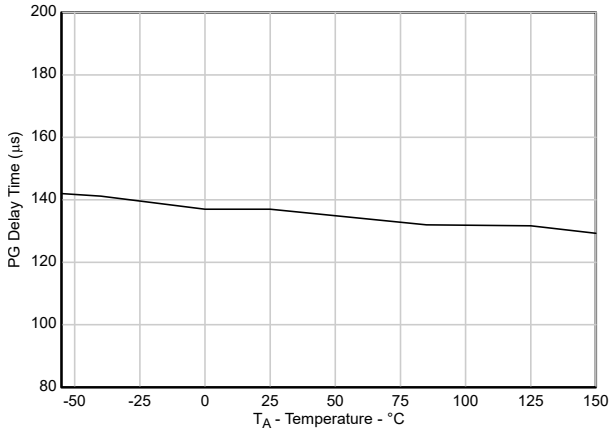
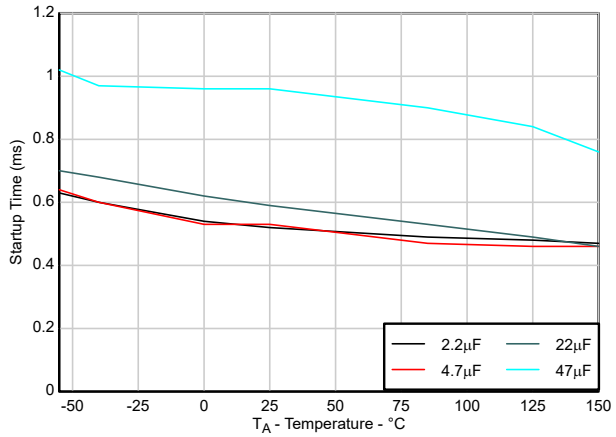
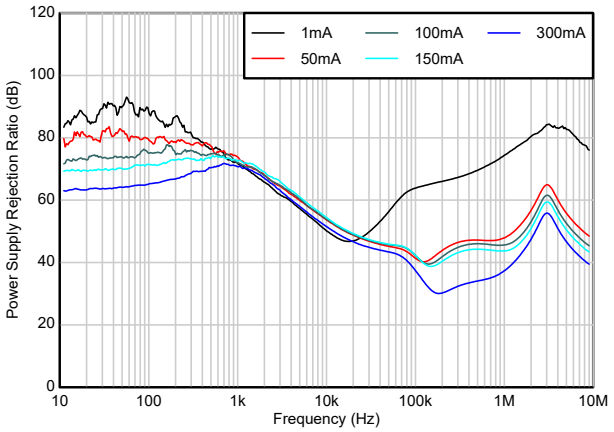


图 5-20. PG 抗尖峰脉冲时间与温度间的关系



V_{IN} = 4.3V，V_{OUT} = 3.3V

图 5-21. 启动时间与 C_{OUT} 间的关系



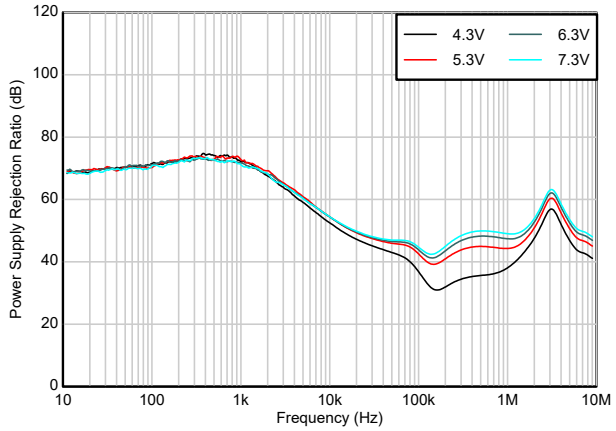
V_{IN} = 5.3V，V_{OUT} = 3.3V，C_{OUT} = 4.7µF

图 5-22. PSRR 与 I_{OUT} 间的关系

Copyright © 2026 Texas Instruments Incorporated

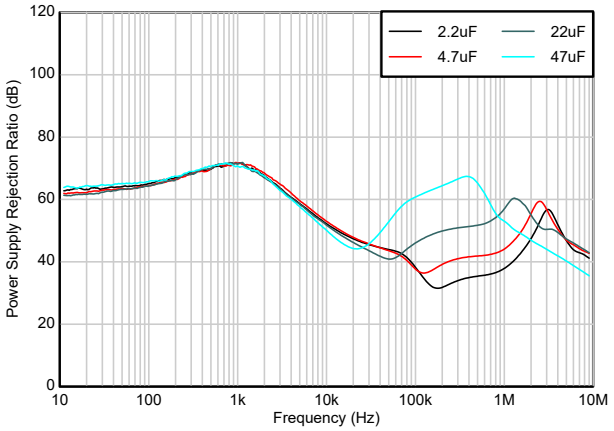
5.6 典型特性（续）

在工作结温 T_J = 25°C，V_{IN} = 3.0V 或 V_{IN} = V_{OUT}(nom) + 1.0V（以较大者为准），C_{IN} = 1µF，C_{OUT} = 4.7µF，C_{DELAY} = 0nF 且 I_{OUT} = 1mA 条件下测得（除非另有说明）



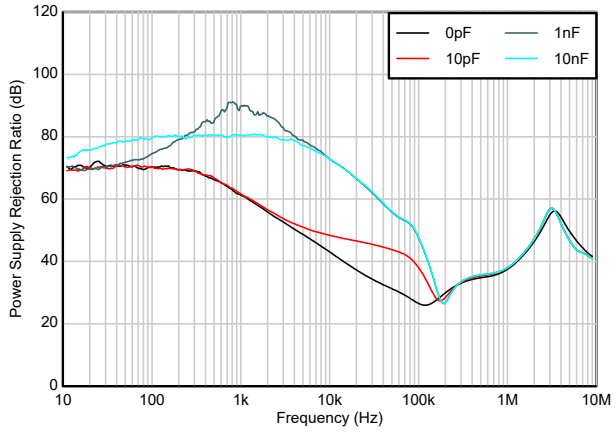
V_{OUT} = 3.3V，I_{OUT} = 150mA，C_{OUT} = 4.7µF

图 5-23. PSRR 与 V_{IN} 间的关系



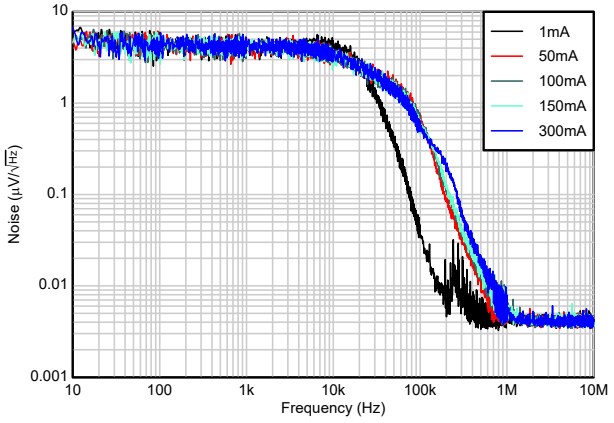
V_{IN} = 5.3V，V_{OUT} = 3.3V，I_{OUT} = 300mA

图 5-24. PSRR 与 C_{OUT} 间的关系



V_{IN} = 5.3V，V_{OUT} = 3.3V，COUT = 4.7µF，I_{OUT} = 150mA

图 5-25. PSRR 与 C_{FF} 间的关系



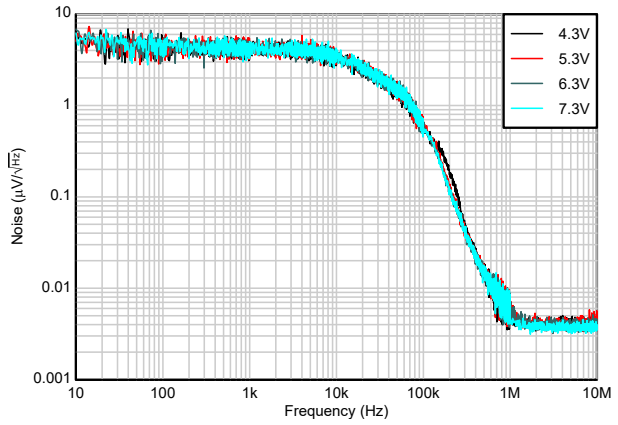
V_{IN} = 5.3V，V_{OUT} = 3.3V，C_{OUT} = 2.2µF

图 5-26. 噪声与 I_{OUT} 间的关系

Copyright © 2026 Texas Instruments Incorporated

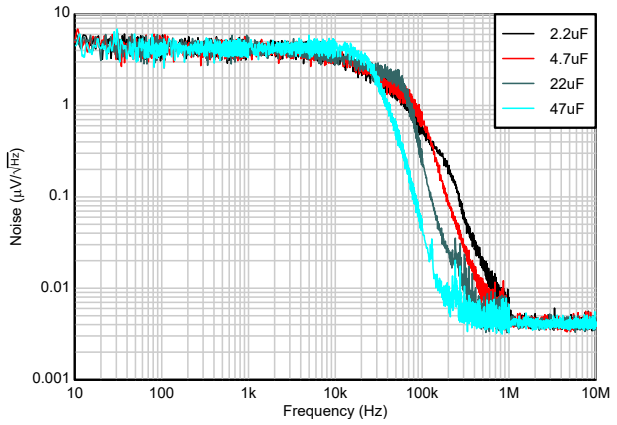
5.6 典型特性（续）

在工作结温 T_J = 25°C，V_{IN} = 3.0V 或 V_{IN} = V_{OUT}(nom) + 1.0V（以较大者为准），C_{IN} = 1µF，C_{OUT} = 4.7µF，C_{DELAY} = 0nF 且 I_{OUT} = 1mA 条件下测得（除非另有说明）



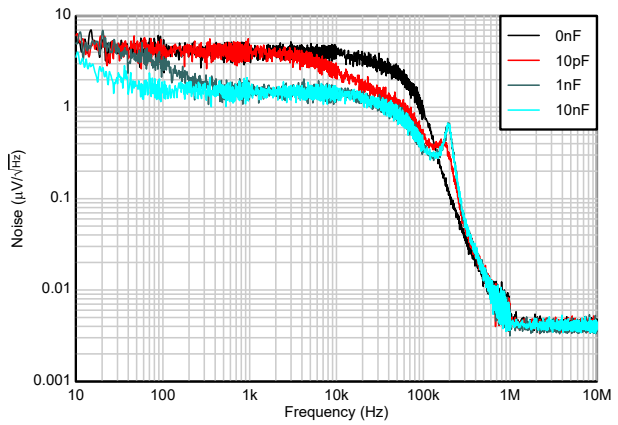
V_{OUT} = 3.3V，I_{OUT} = 150mA，C_{OUT} = 2.2µF

图 5-27. 噪声与 V_{IN} 间的关系



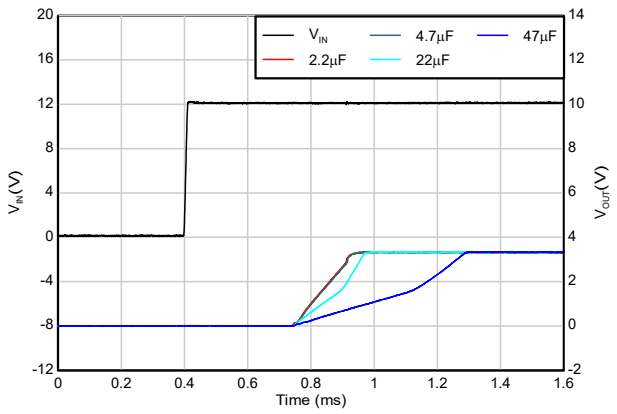
V_{IN} = 5.3V，V_{OUT} = 3.3V，I_{OUT} = 300mA

图 5-28. 噪声与 C_{OUT} 间的关系



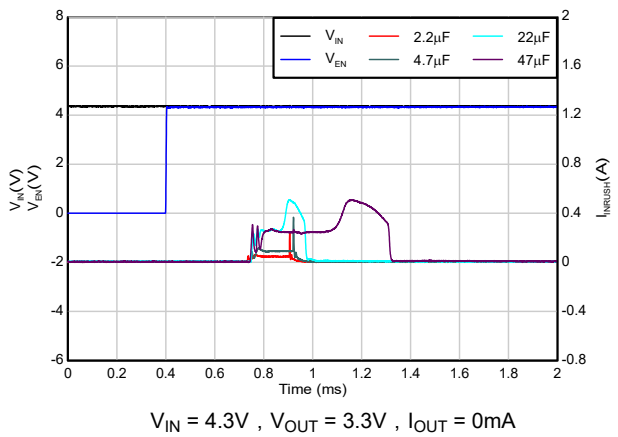
V_{IN} = 4.3V，V_{OUT} = 3.3V，COUT = 2.2µF，I_{OUT} = 150mA

图 5-29. 噪声与 C_{FF} 间的关系



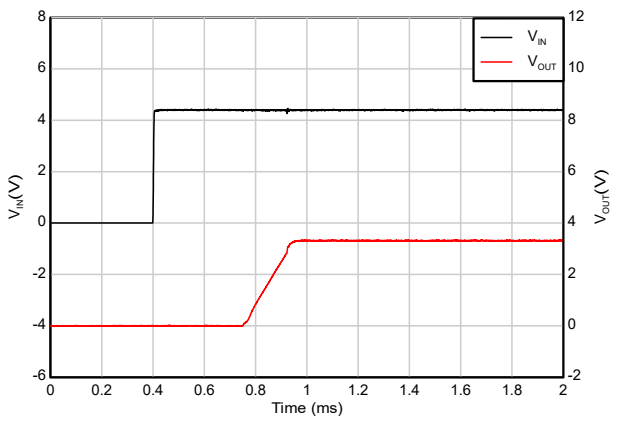
V_{IN} = 12V，V_{OUT} = 3.3V，I_{OUT} = 1mA

图 5-30. 启动与 C_{OUT} 间的关系



V_{IN} = 4.3V，V_{OUT} = 3.3V，I_{OUT} = 0mA

图 5-31. 浪涌电流与 C_{OUT} 间的关系



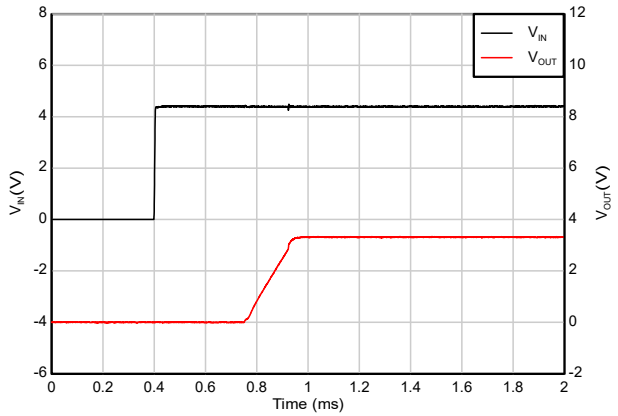
V_{IN} = 4.3V，V_{OUT} = 3.3V，I_{OUT} = 1mA

图 5-32. EN 与 V_{IN} 引脚短接启动

Copyright © 2026 Texas Instruments Incorporated

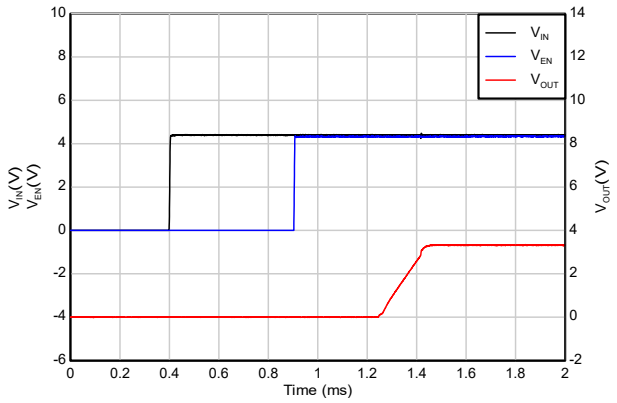
5.6 典型特性（续）

在工作结温 T_J = 25°C，V_{IN} = 3.0V 或 V_{IN} = V_{OUT}(nom) + 1.0V（以较大者为准），C_{IN} = 1µF，C_{OUT} = 4.7µF，C_{DELAY} = 0nF 且 I_{OUT} = 1mA 条件下测得（除非另有说明）



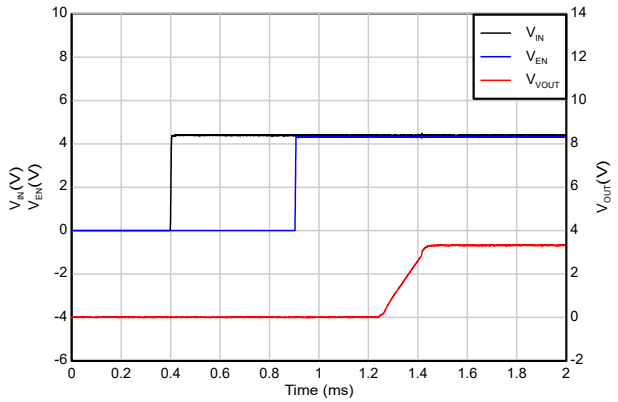
V_{IN} = 4.3V，V_{OUT} = 3.3V，I_{OUT} = 50mA

图 5-33. EN 与 V_{IN} 引脚短接启动



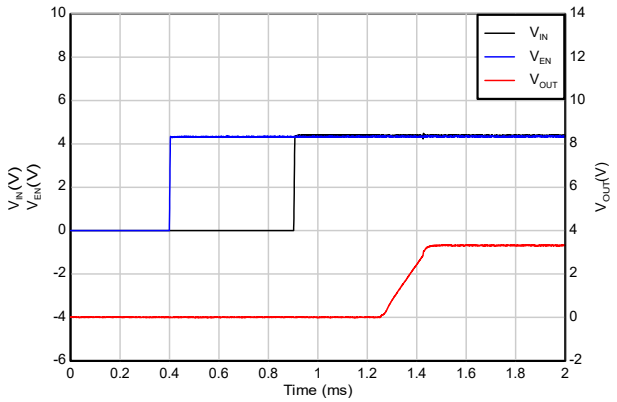
V_{IN} = 4.3V，V_{OUT} = 3.3V，I_{OUT} = 1mA

图 5-34. 时序启动（EN 在 V_{IN} 之后）



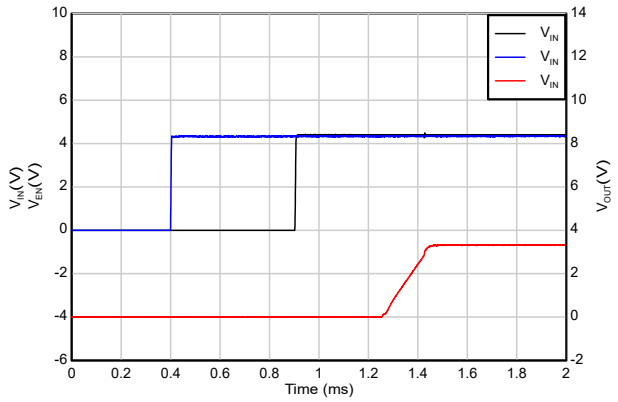
V_{IN} = 4.3V，V_{OUT} = 3.3V，I_{OUT} = 50mA

图 5-35. 时序启动（EN 在 V_{IN} 之后）



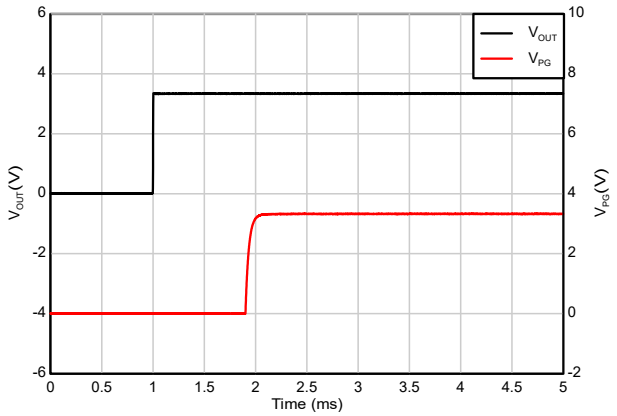
V_{IN} = 4.3V，V_{OUT} = 3.3V，I_{OUT} = 1mA

图 5-36. 时序启动（V_{IN} 在 EN 之后）



V_{IN} = 4.3V，V_{OUT} = 3.3V，I_{OUT} = 50mA

图 5-37. 时序启动（V_{IN} 在 EN 之后）



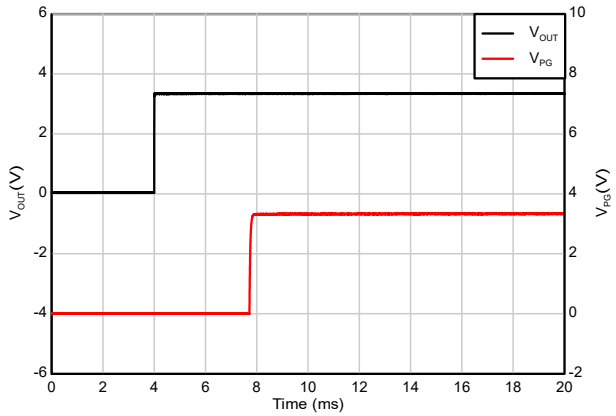
V_{IN} = 4.3V，V_{OUT} = 3.3V，C_{DELAY} = 1nF

图 5-38. C_{DELAY} = 1nF 时的 PG 延迟

Copyright © 2026 Texas Instruments Incorporated

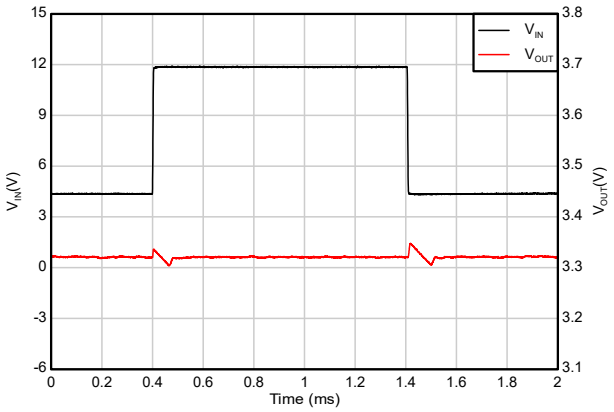
5.6 典型特性（续）

在工作结温 T_J = 25°C，V_{IN} = 3.0V 或 V_{IN} = V_{OUT}(nom) + 1.0V（以较大者为准），C_{IN} = 1µF，C_{OUT} = 4.7µF，C_{DELAY} = 0nF 且 I_{OUT} = 1mA 条件下测得（除非另有说明）



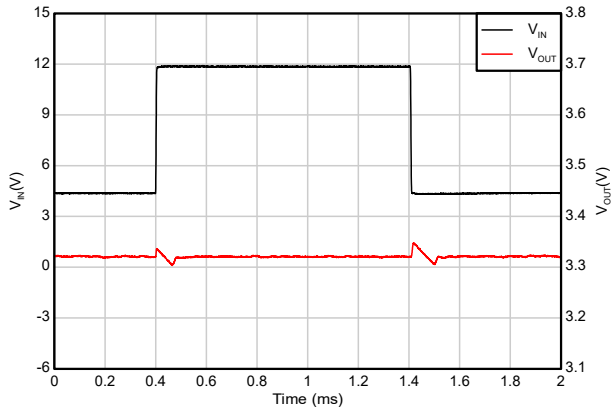
V_{IN} = 4.3V，V_{OUT} = 3.3V，C_{DELAY} = 4.7nF

图 5-39. C_{DELAY} = 4.7nF 时的 PG 延迟



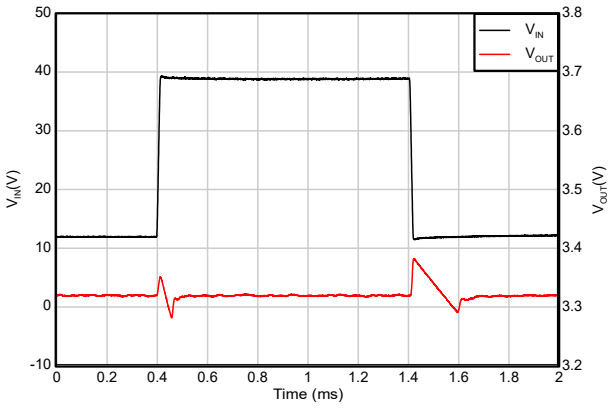
V_{IN} = 4.3V 至 12V、V_{OUT} = 3.3V、I_{OUT} = 1mA、dV_{IN}/dt = 2V/µs

图 5-40. 线路瞬态（4.3V 至 12V）



V_{IN} = 4.3V 至 12V、V_{OUT} = 3.3V、I_{OUT} = 150mA、dV_{IN}/dt = 2V/µs

图 5-41. 线路瞬态（4.3V 至 12V）



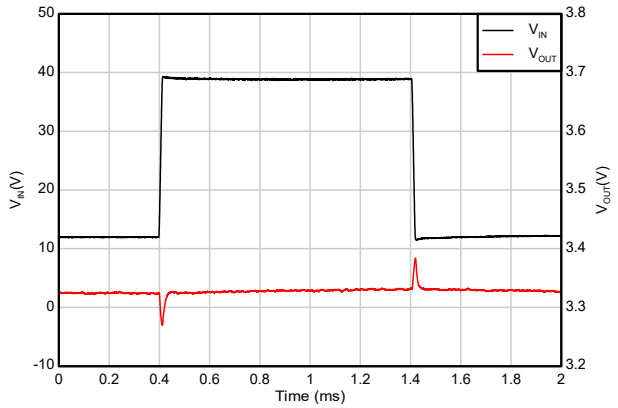
V_{IN} = 12V 至 40V、V_{OUT} = 3.3V、I_{OUT} = 1mA、dV_{IN}/dt = 2V/µs

图 5-42. 线路瞬态（12V 至 40V）

Copyright © 2026 Texas Instruments Incorporated

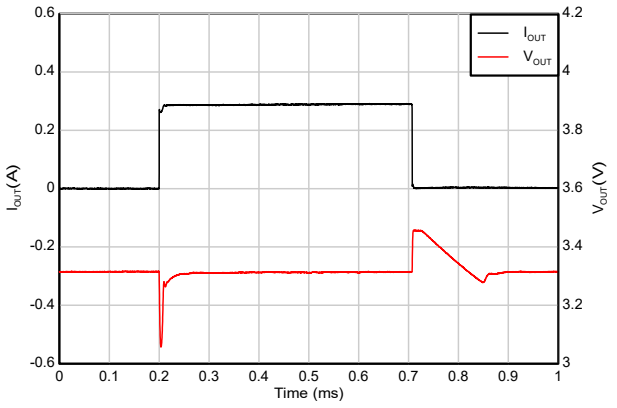
5.6 典型特性（续）

在工作结温 T_J = 25°C，V_{IN} = 3.0V 或 V_{IN} = V_{OUT}(nom) + 1.0V（以较大者为准），C_{IN} = 1µF，C_{OUT} = 4.7µF，C_{DELAY} = 0nF 且 I_{OUT} = 1mA 条件下测得（除非另有说明）



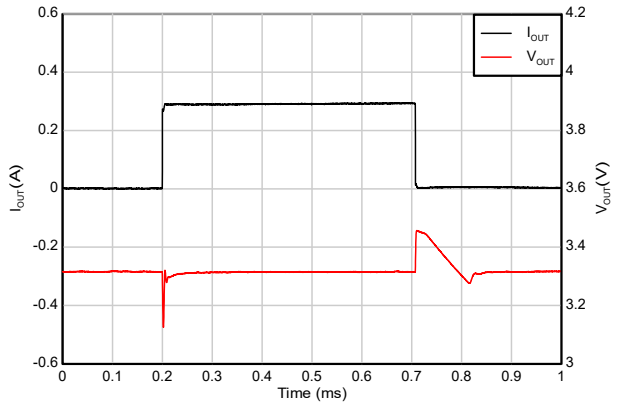
V_{IN} = 12V 至 40V、V_{OUT} = 3.3V、I_{OUT} = 150mA、dV_{IN}/dt = 2V/µs

图 5-43. 线路瞬态（12V 至 40V）



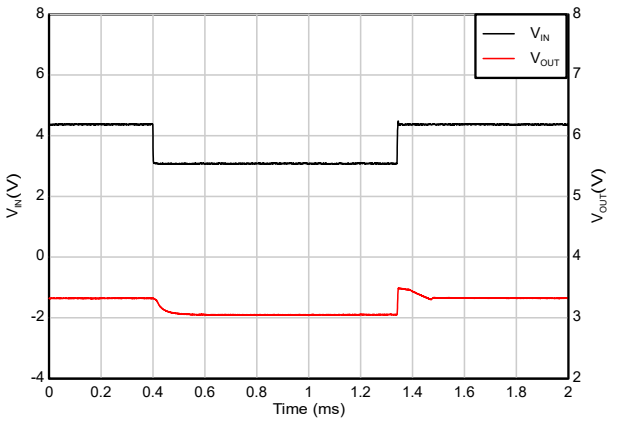
V_{IN} = 5.3V，V_{OUT} = 3.3V，I_{OUT} = 0mA 至 300mA，$dI_{OUT}O/dt$ = 2A/µs

图 5-44. 负载瞬态（0mA 至 300mA）



V_{IN} = 5.3V，V_{OUT} = 3.3V，I_{OUT} = 1mA 至 300mA，$dI_{OUT}O/dt$ = 2A/µs

图 5-45. 负载瞬态（1mA 至 300mA）



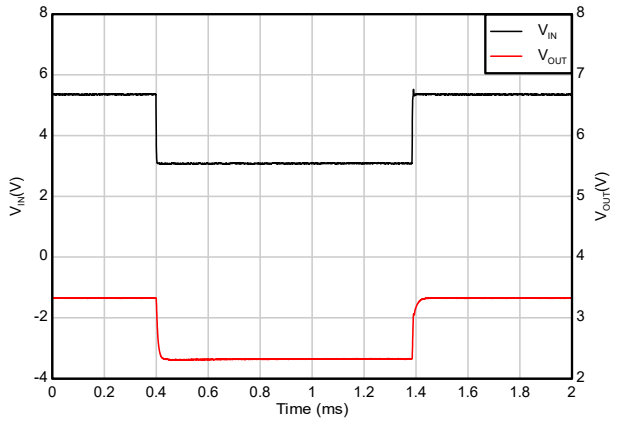
V_{IN} = 4.3V 至 3V、V_{OUT} = 3.3V、I_{OUT} = 1mA、dV_{IN}/dt = 2V/µs

图 5-46. 压降恢复 (4.3V 至 3V)

Copyright © 2026 Texas Instruments Incorporated

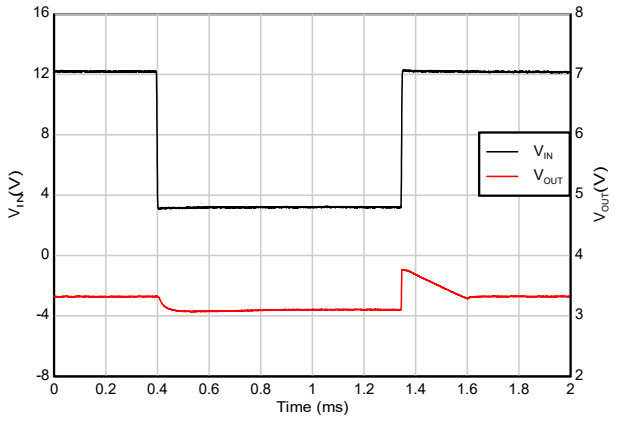
5.6 典型特性（续）

在工作结温 T_J = 25°C，V_{IN} = 3.0V 或 V_{IN} = V_{OUT}(nom) + 1.0V（以较大者为准），C_{IN} = 1µF，C_{OUT} = 4.7µF，C_{DELAY} = 0nF 且 I_{OUT} = 1mA 条件下测得（除非另有说明）



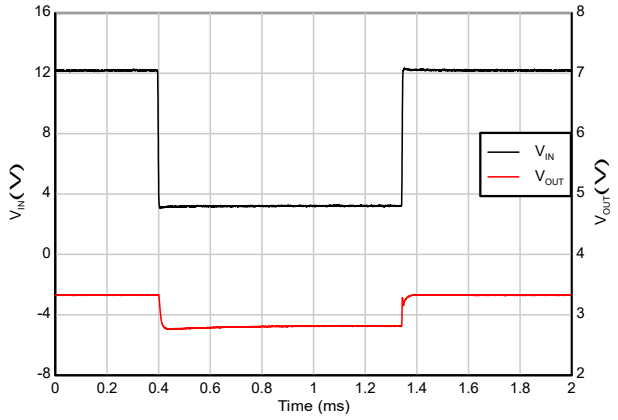
V_{IN} = 5.3V 至 3V、V_{OUT} = 3.3V、I_{OUT} = 150mA、dV_{IN}/dt = 2V/µs

图 5-47. 压降恢复 (5.3V 至 3V)



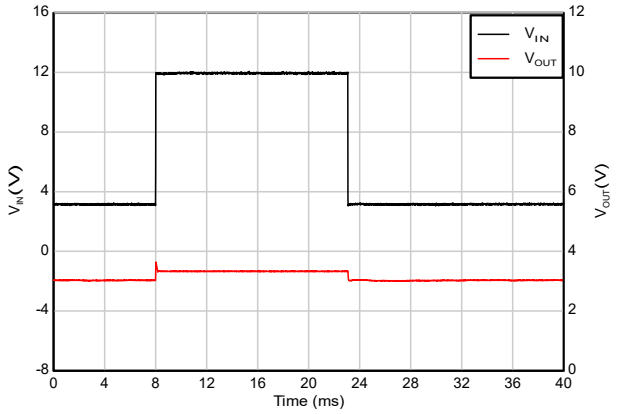
V_{IN} = 12V 至 3V、V_{OUT} = 3.3V、I_{OUT} = 1mA、dV_{IN}/dt = 2V/µs

图 5-48. 压降恢复 (12V 至 3V)



V_{IN} = 12V 至 3V、V_{OUT} = 3.3V、I_{OUT} = 100mA、dV_{IN}/dt = 2V/µs

图 5-49. 压降恢复 (12V 至 3V)



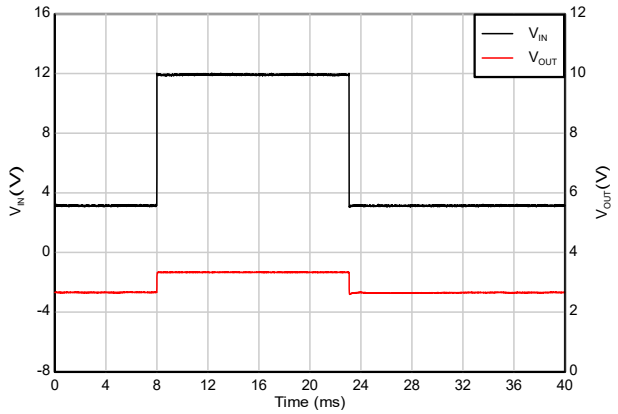
V_{IN} = 3V 至 12V，V_{OUT} = 3.3V，I_{OUT} = 1mA

图 5-50. 冷启动恢复

Copyright © 2026 Texas Instruments Incorporated

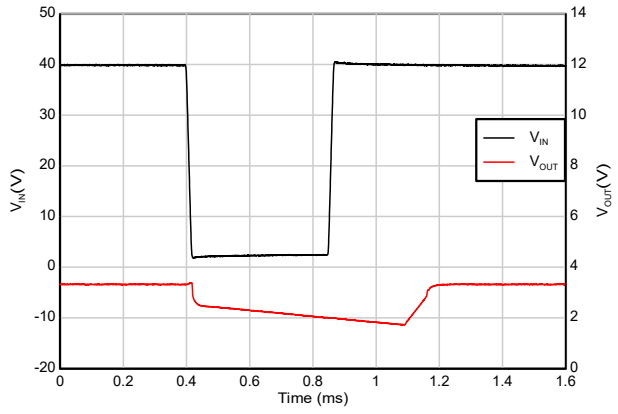
5.6 典型特性（续）

在工作结温 T_J = 25°C，V_{IN} = 3.0V 或 V_{IN} = V_{OUT}(nom) + 1.0V（以较大者为准），C_{IN} = 1µF，C_{OUT} = 4.7µF，C_{DELAY} = 0nF 且 I_{OUT} = 1mA 条件下测得（除非另有说明）



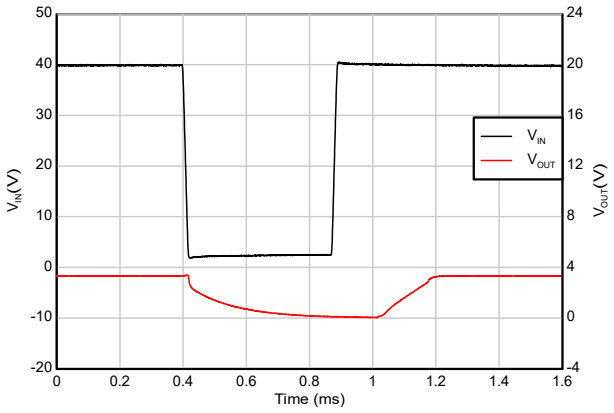
V_{IN} = 4.3V 至 3V，V_{OUT} = 3.3V，I_{OUT} = 150mA

图 5-51. 冷启动恢复



V_{IN} = 40V 至 2V，V_{OUT} = 3.3V，I_{OUT} = 1mA

图 5-52. 欠压恢复 (40V 至 2V)



V_{IN} = 40V 至 2V，V_{OUT} = 3.3V，I_{OUT} = 50mA

图 5-53. 欠压恢复 (40V 至 2V)

Copyright © 2026 Texas Instruments Incorporated

6 详细说明

6.1 概述

TPS7E67-Q1 低压降稳压器 (LDO) 在空载电流下仅消耗 2.8 µA（典型值，采用固定配置）的超低静态电流。该器件提供宽输入电压范围（3.0V 至 40V）、宽输出范围（1.2V 至 38V，采用可调配置）和高达 300mA 的负载电流。该器件在 4.7 µF 至 100 µF 的输出电容器范围内保持稳定。该器件还具有延迟和抗尖峰脉冲机制，并提供电源正常状态指示功能。此外，还可以使用延迟引脚上的外部元件对电源正常状态的延迟进行编程。

TPS7E67-Q1 在整个负载电流范围内具有低静态电流，非常适合为非电池负载供电。TPS7E67-Q1 具有内部软启动机制，可通过受控浪涌电流实现均匀的启动。该 LDO 在输出负载短路或故障情况下还具有过电流（折返）、过功率和热保护，以提高可靠性。

6.2 功能方框图

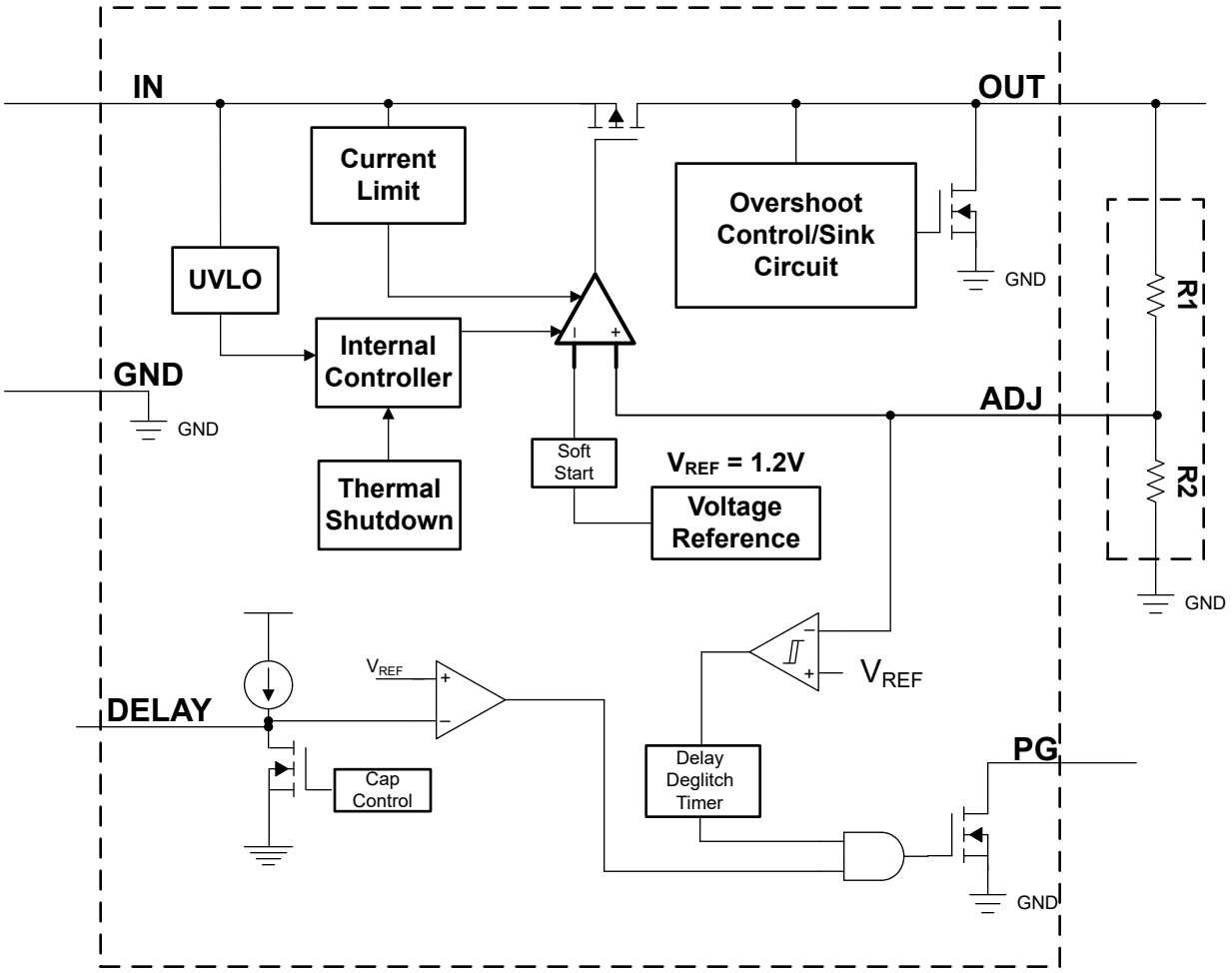


图 6-1. 功能方框图：可调节版本

Copyright © 2026 Texas Instruments Incorporated

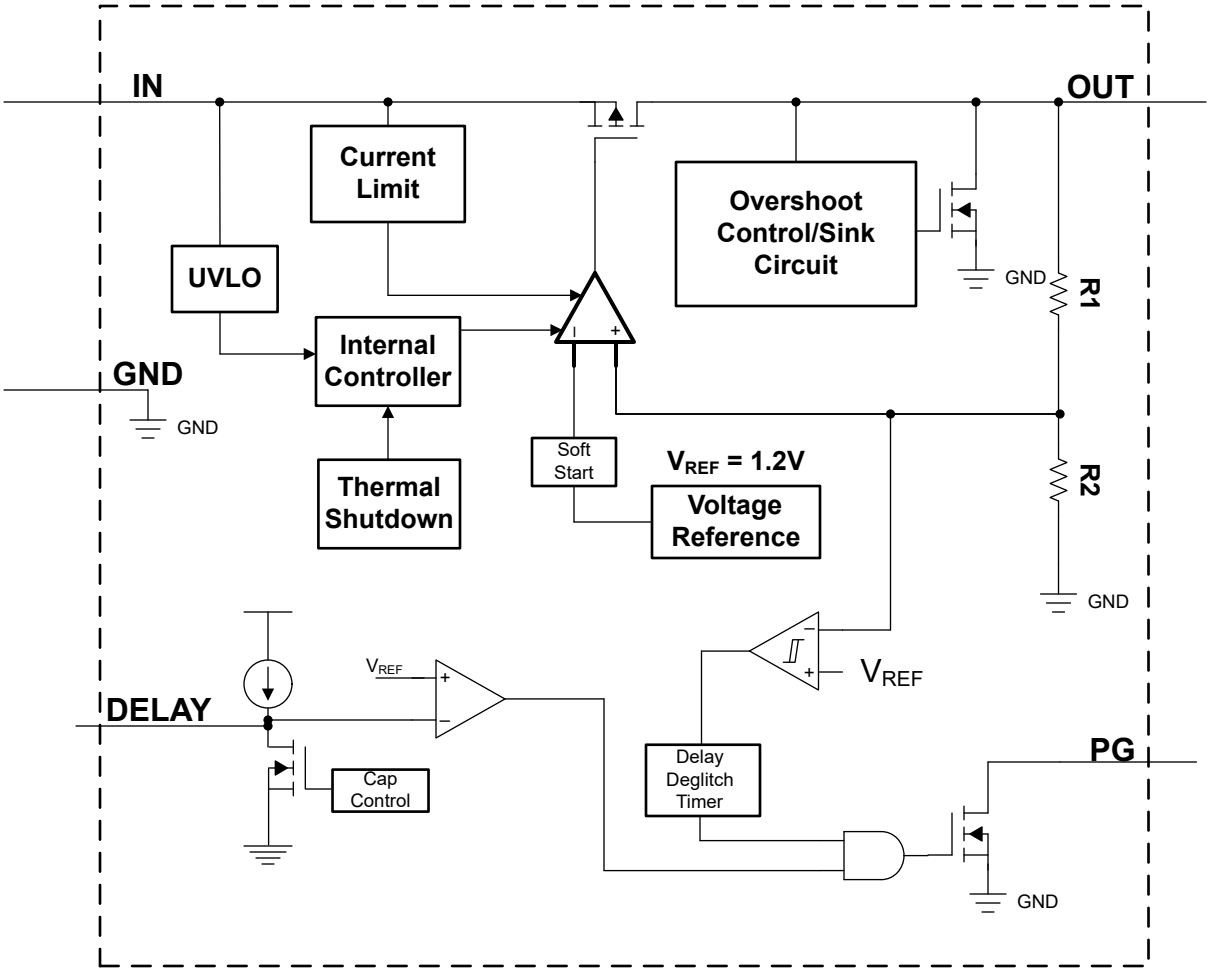


图 6-2. 功能方框图：固定版本

6.3 特性说明

6.3.1 使能 (EN)

器件的使能引脚是高电平有效引脚。当使能引脚的电压大于 EN 引脚的高电平输入电压 (V_{IH}) 时，输出电压被启用；当使能引脚电压小于 EN 引脚的低电平输入电压 (V_{IL}) 时，输出电压被禁用。*电气特性* 中列出了高阈值和低阈值。如果不需要独立控制输出电压，则将使能引脚连接至器件的输入端。

EN 引脚还具有弱内部上拉电阻，EN 引脚可保持悬空以启用器件。*电气特性* 表中捕获了 EN 引脚上的内部上拉电流，称为使能上拉电流。但是，必须注意确保引脚漏电流（来自电路板污染或其他一些源）不会无意中将该引脚拉至低电平。必须将漏电流限制为 25nA 或更低，以避免意外禁用器件。

6.3.2 压降电压

压降电压 (V_{DO}) 被定义为在额定输出电流 (I_{RATED}) 下输入电压减去输出电压 (V_{IN} – V_{OUT})，在这种情形下，导通晶体管完全导通。I_{RATED} 是*建议运行条件* 表中列出的最大 I_{OUT}。导通晶体管处于欧姆区域或三极管区域并充当开关。压降电压间接指定了一个最小输入电压，该电压大于输出电压预计保持稳定的标称编程输出电压。如果输入电压降至低于标称输出调节，输出电压也会下降。

对于 CMOS 稳压器，压降电压由导通晶体管的漏源导通状态电阻 ($R_{DS(ON)}$) 决定。因此，如果线性稳压器的工作电流小于额定电流，该电流的压降电压会相应地变化。以下公式用于计算器件的 $R_{DS(ON)}$。

Copyright © 2026 Texas Instruments Incorporated

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

6.3.3 电源正常 (PG)

电源正常 (PG) 引脚为开漏输出，可以通过外部上拉电阻器连接到稳压电源。在 *建议运行条件* 表中，最大上拉电压作为 V_{PG} 列出。要使 PG 引脚具有有效输出，IN 引脚上的电压必须大于 $V_{UVLO(+)}$，如 *电气特性* 表中所列。当 V_{OUT} 超过 $V_{IT(PG)}$ 时，PG 输出为高阻抗，PG 引脚电压上拉至连接的稳压电源。当稳压输出降至 $V_{IT-(PG)}$ 以下时，开漏输出开启并将 PG 输出拉至低电平。如果不需要输出电压监控，则可将 PG 引脚保持悬空或接地。通过将上拉电阻器连接至外部电源，任何下游器件都可以接收电源正常 (PG) 作为可用于时序控制的逻辑信号。确保外部上拉电源电压使接收器件获得有效的逻辑信号。

当对可调节器件使用前馈电容器 (C_{FF}) 时，LDO 启动的时间常数会增加，而电源正常输出时间常数保持不变，这可能导致电源正常输出的状态无效。为避免此问题并接收有效的 PG 输出，请确保 LDO 启动和电源正常输出的时间常数相匹配，这可以通过添加一个与电源正常上拉电阻器并联的电容器来完成。有关更多信息，请参阅使用前馈电容器和低压降稳压器的优缺点应用手册。

6.3.4 可调节电源正常延迟计时器 (DELAY)

电源正常延迟周期是外部电容器在 DELAY 引脚上的功能。可调延迟可配置 PG 引脚变为高电平所需的时间。通过在该引脚和 GND 之间连接一个外部电容器来配置此延迟。典型的电源正常时序图 展示了电源正常延迟引脚的典型时序图。如果 DELAY 引脚悬空，则电源正常延迟为 $t_{(Delay_PG)}$。更多有关如何对 PG 延迟进行编程的信息，请参阅 *设置可调电源正常延迟* 部分。

Copyright © 2026 Texas Instruments Incorporated

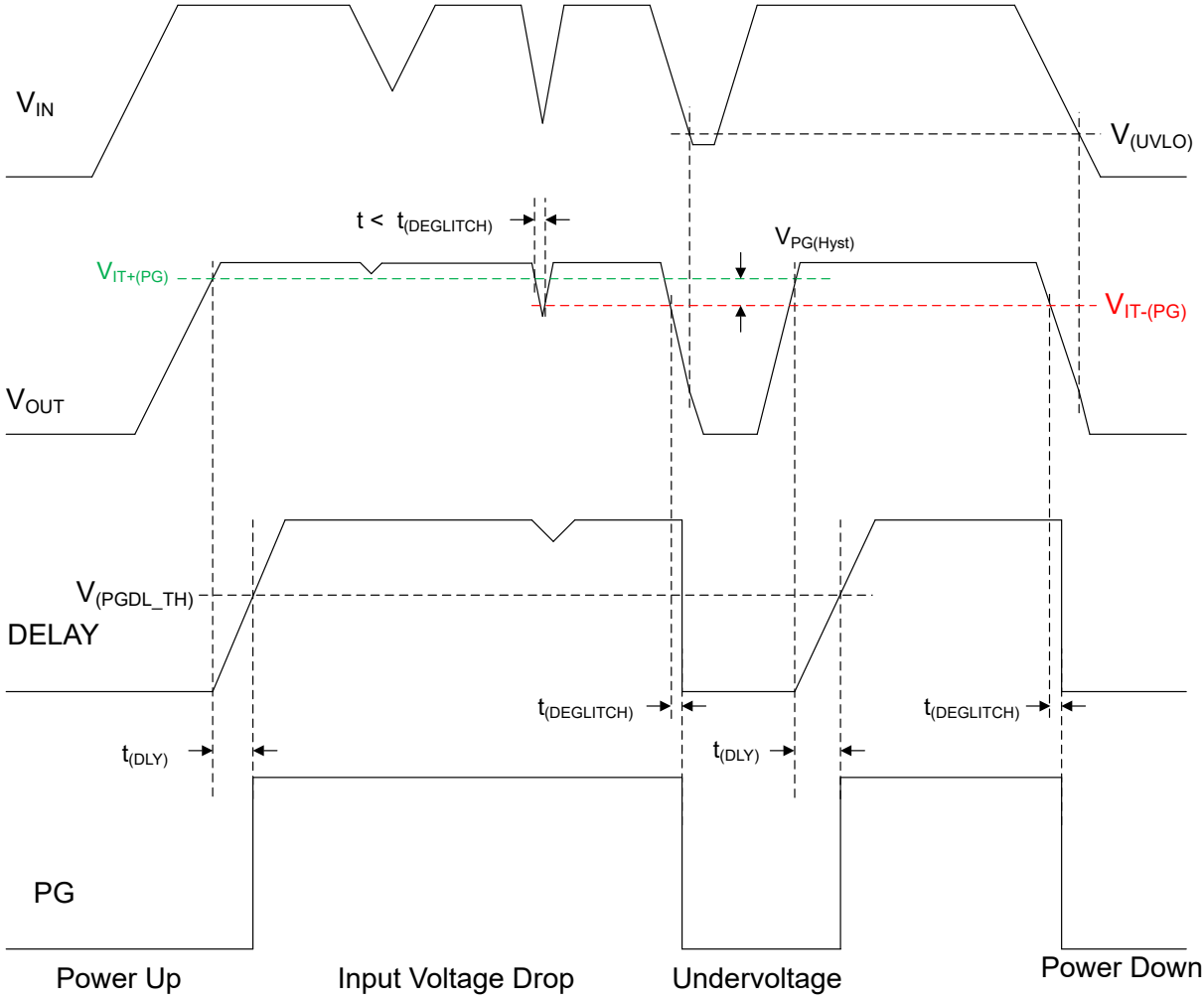


图 6-3. 典型的电源正常时序图

$$V_{PG(Hyst)} = V_{IT+(PG)} - V_{IT-(PG)} \quad (2)$$

6.3.5 欠压锁定

该器件具有一个独立的欠压锁定 (UVLO) 电路，可监控输入电压，从而以可控且一致的方式导通和关断输出电压。为了防止器件在导通期间输入下降时关断，UVLO 存在内置迟滞。UVLO 限值在 *电气特性* 表中指定。

6.3.6 热关断

该器件包含一个热关断保护电路，用于在导通晶体管的结温 (T_J) 上升到 T_{SD+}（典型值）时禁用器件。热关断迟滞可确认在温度降至 T_{SD-}（典型值）时器件复位（导通）。

半导体芯片的热时间常数相当短，因此当达到热关断时，器件可以循环开关，直到功率耗散降低。由于器件上的 V_{IN} – V_{OUT} 压降较大，或为大型输出电容器充电的浪涌电流较高，启动期间的功率耗散可能较高。在某些情况下，热关断保护功能会在启动完成之前禁用器件。

为了实现可靠运行，请将结温限制在*建议运行条件* 表中列出的最大值。在超过这个最高温度的情况下运行会导致器件超出运行规格。虽然器件的内部保护电路旨在防止总体发热情况，但此电路并不用于替代适当的散热。使器件持续进入热关断状态或在超过建议的最高结温下运行会降低长期可靠性。

Copyright © 2026 Texas Instruments Incorporated

6.3.7 折返电流限制

该器件具有内部电流限制电路，可在瞬态高负载电流故障或短路事件期间保护稳压器。电流限制采用混合砖墙式折返方案。电流限制在折返电压 ($V_{FOLDBACK}$) 下从砖墙式方案转换为折返方案。在输出电压高于 $V_{FOLDBACK}$ 的高负载电流故障中，砖墙式方案将输出电流限制为电流限值 (I_{CL})。当电压降至 $V_{FOLDBACK}$ 以下时，将激活折返电流限制，在输出电压接近 GND 时按比例缩小电流。当输出短路时，该器件会提供一个被称为短路电流限制 (I_{SC}) 的典型电流。*电气特性* 表中列出了 I_{CL} 和 I_{SC}。

当器件处于限流状态时，不会调节输出电压。当发生电流限制事件时，由于功率耗散增加，器件开始发热。当器件处于砖墙式电流限制时，导通晶体管会耗散功率 [(V_{IN} – V_{OUT}) × I_{CL}]。当器件输出短路且输出低于 $V_{FOLDBACK}$ 时，导通晶体管将耗散功率 [(V_{IN} – V_{OUT}) × I_{SC}]。如果触发热关断，器件将关闭。器件冷却后，内部热关断电路将器件重新接通。如果输出电流故障条件持续存在，器件会在电流限制状态和热关断状态之间循环。更多有关电流限制的信息，请参阅 *了解限制* 应用手册。

折返电流限制 显示了折返电流限制图。

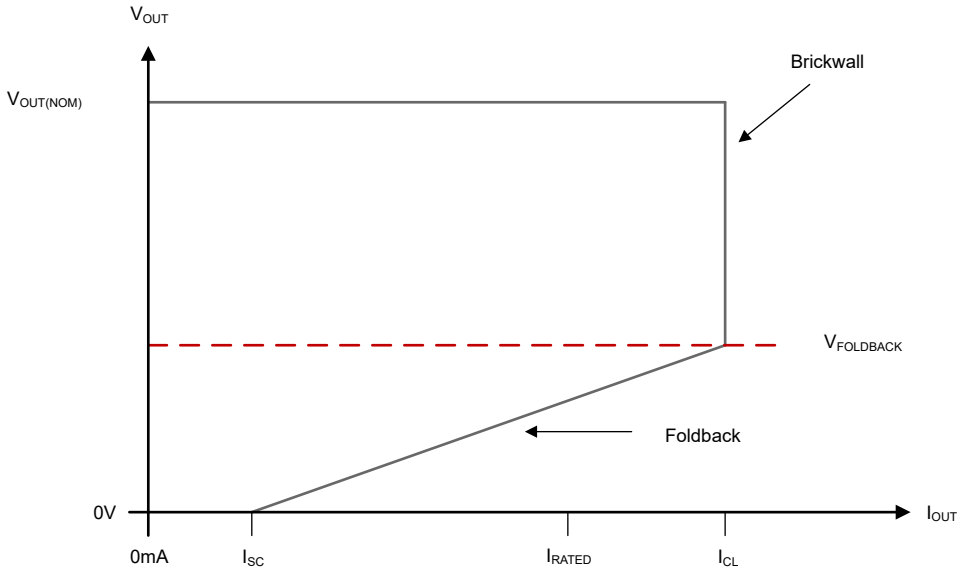


图 6-4. 折返电流限制

6.3.8 功率限制

该器件有一个内部过功率限制电路，可在内部 SOA（安全工作区）限制内限制 LDO 上的功率耗散。LDO 的 SOA 限制考虑了硅元件本身及封装中使用的键合线的安全运行。这些限制可验证器件的可靠运行，并防止器件失效因过热、击穿或其他损坏效应而产生。

LDO 上耗散的功率 (P_{Dissip}) 由 LDO 两端的压降 (V_{IN} - V_{OUT}) 及流经的负载电流 (I_L) 定义。

$$P_{Dissip} = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (3)$$

功率限制电路可监测 LDO 上的压降（余量，V_{IN} - V_{OUT}）和流经的输出负载电流 (I_{OUT})。如果 P_{Dissip} 超过定义的 SOA 限制，则功率限制电路会限制流经的负载电流 (I_{OUT})。当器件处于功率限制运行状态时，不会调节输出电压。*电气特性* 中捕获了满余量 (V_{IN} - V_{OUT} = 40V) 下支持的最大电流 (I_{PLIMIT}) 和满负载电流下支持的最大余量 ($V_{PHEADROOM}$)。

功率限制 展示了功率限制图。

Copyright © 2026 Texas Instruments Incorporated

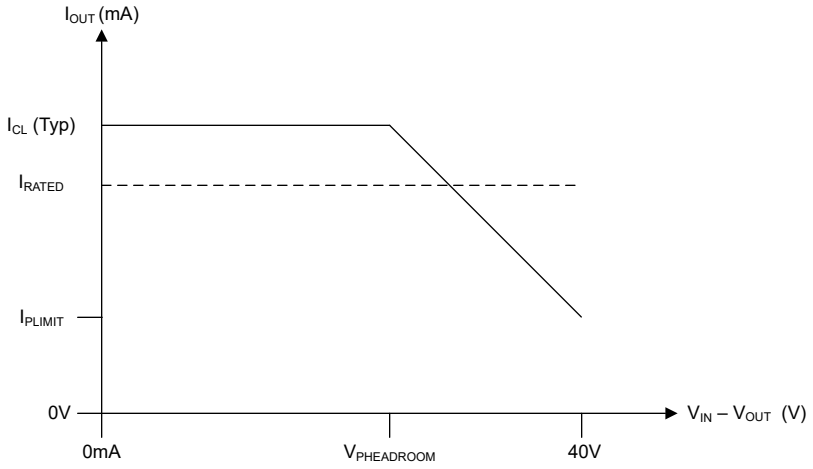


图 6-5. 功率限制

6.3.9 输出下拉电阻

此器件有一个输出下拉电路。*电气特性* 表中列出了 V_{OUT} 下拉灌入接地的能力。在以下情况下会激活输出下拉：

- $V_{EN} < V_{IL(EN)}$
- $1.0V < V_{IN} < V_{UVLO}$

此器件的输出下拉电阻典型值为 750Ω。下拉电阻、$V_{IL(EN)}$ 和 V_{UVLO} 阈值列于 *电气特性* 表中。

请勿依赖输出下拉电路在输入电源崩溃后对大量输出电容进行放电，因为反向电流会从输出端流向输入端。这种反向电流会导致器件损坏。更多详细信息，请参阅*反向电流* 部分。

6.4 器件功能模式

6.4.1 器件功能模式比较

器件功能模式比较 表给出了不同工作模式的参数条件。有关参数值，请参阅*电气特性* 表格。

表 6-1. 器件功能模式比较

工作模式	参数			
	V_{IN}	V_{EN}	I_{OUT}	T_J
正常运行	$V_{IN} > V_{OUT(nom)} + V_{DO}$ 和 $V_{IN} > V_{IN(min)}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
压降运行	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
禁用（任何真条件都会禁用该器件）	$V_{IN} < V_{UVLO}$	$V_{EN} < V_{EN(LOW)}$	不适用	$T_J > T_{SD(shutdown)}$

6.4.2 正常运行

在下列条件下，器件的输出电压会稳定在标称值：

- 输入电压大于标称输出电压加上压降电压 ($V_{OUT(nom)} + V_{DO}$)
- LDO 上的余量 ($V_{IN} - V_{OUT}$) 小于所需 I_{OUT} 的 $V_{PHEADROOM}$，因此不会启用功率限制
- 输出电流小于电流限制 ($I_{OUT} < I_{CL}$)
- 器件结温大于 –40°C 且小于 +150°C
- 器件结温低于热关断温度 ($T_J < T_{SD}$)
- 使能电压先前已超过使能上升阈值电压，但尚未降至低于使能下降阈值

Copyright © 2026 Texas Instruments Incorporated

6.4.3 压降运行

如果输入电压低于标称输出电压与指定压降电压之和，但仍满足正常工作模式的所有其他条件，则器件将工作在压降模式。在此模式下，输出电压会跟踪输入电压。在此模式下，由于导通晶体管位于欧姆或三极管区域并充当开关，因此器件的瞬态性能会显著降低。压降过程中的线路或负载瞬态可能会导致输出电压偏差较大。

当器件处于稳定压降状态（是指器件处于压降状态时，$V_{IN} < V_{OUT(NOM)} + V_{DO}$，紧随正常稳压状态，但 *不包括* 启动期间）时，传输晶体管被驱动到欧姆区或三极管区域。当输入电压恢复到大于或等于标称输出电压加上压降电压 ($V_{OUT(NOM)} + V_{DO}$) 的值时，输出电压可能会过冲很短的时间，而器件会将导通晶体管拉回到线性区域。

与传统的线性稳压器相比，TPS7E67-Q1 在降压操作中将 IQ 控制在更低的值（空载降压时为 12μA [典型值]），一旦电池电量降至所需的输入电压以下，就可以避免电池电量耗尽。

6.4.4 禁用

通过强制使能引脚的电压低于最大 EN 引脚低电平输入电压，可以关断器件的输出（请参阅*电气特性*表）。当被禁用时，导通晶体管被关闭，内部电路被关断，并且输出电压由一个从输出到接地的内部放电电路主动放电至接地。

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

7.1.1 可调器件反馈电阻器选择

可调版本的器件需要外部反馈分压电阻器来设置输出电压。V_{OUT} 根据以下公式使用反馈分压电阻 R_1 和 R_2 进行设置：

$$V_{OUT} = V_{ADJ} \times (1 + R_1 / R_2) \quad (4)$$

V_{ADJ}（或 V_{FB}）是反馈电压，是指 ADJ 引脚上的电压。在可调节器件的正常运行期间，器件进行调节，使 V_{ADJ} 等于器件的内部基准电压。

为了忽略 V_{OUT} 公式中的 ADJ 引脚电流误差项，请将反馈分压器电流设置为 *电气特性* 表中所列 ADJ 引脚电流 (I_{ADJ}) 的 100 倍。该设置提供了最大反馈分压器串联电阻，如以下公式所示：

$$R_1 + R_2 \leq \frac{V_{OUT}}{[I_{ADJ} \times 100]} \quad (5)$$

7.1.2 建议的电容器类型

该器件设计为在输入和输出端使用低等效串联电阻 (ESR) 陶瓷电容器实现稳定。多层陶瓷电容器已成为这些类型应用的业界标准并推荐使用，但必须结合良好的判断力使用。采用 X7R、X5R 和 C0G 额定电介质材料的陶瓷电容器可在整个温度范围内提供相对良好的电容稳定性，而由于电容变化较大，因此建议不要使用 Y5V 额定电容器。

无论选择哪种陶瓷电容器类型，有效电容都会随工作电压和温度的变化而变化。通常，预计有效电容会降低多达 50%。*建议运行条件* 表中建议的输入和输出电容器的有效电容大约为标称值的 50%。

7.1.3 输入和输出电容器选择

TPS7E67-Q1 需要一个 4.7µF 或更大（2.2µF 或更大电容）的输出电容器来实现稳定性，并需要一个介于 0.0Ω 和 1.0Ω 之间的等效串联电阻 (ESR)。为了获得出色瞬态性能，请使用 X5R 和 X7R 类型的陶瓷电容器，因为这些电容器的值和 ESR 随温度的变化极小。为特定应用选择电容器时，请注意电容器的直流偏置特性。较高的输出电压会导致电容器显著降额。为了获得出色性能，建议的最大输出电容器为 100µF。

尽管不需要输入电容器来实现稳定性，但良好的模拟设计实践是将电容器从 IN 连接到 GND。一些输入电源具有高阻抗，因此将输入电容器放置在输入电源上有助于降低输入阻抗。该电容可抵消电抗性输入源，并改善瞬态响应、输入纹波和 PSRR。如果输入电源在大范围的频率上具有高阻抗，则可以并联使用几个输入电容器来降低频率上的阻抗。如果有可能出现较大、快速上升时间的负载瞬态或者器件距离输入电源几英寸远，请使用一个更大电容值的电容器。

7.1.4 反向电流

反向电流过大可能会损坏此器件。反向电流流经导通晶体管的固有体二极管，而不是正常的传导通道。如果幅度较大，该电流会降低器件的长期可靠性。

本节概述了会发生反向电流的条件，所有这些条件都可能超过 $V_{OUT} \leqslant V_{IN} + 0.3V$ 的绝对最大额定值。

- 如果器件具有较大的 C_{OUT} 且输入电源崩溃，则负载电流极小或无负载电流
- 当输入电源未建立时，输出被偏置
- 输出偏置为高于输入电源

Copyright © 2026 Texas Instruments Incorporated

如果应用中需要反向电流，则建议使用外部保护来保护器件。器件中的反向电流不受限制，因此如果预计反向电压工作范围会延长，则需要外部限制。

使用肖特基二极管的反向电流保护示例电路 展示了保护器件的一种方法。

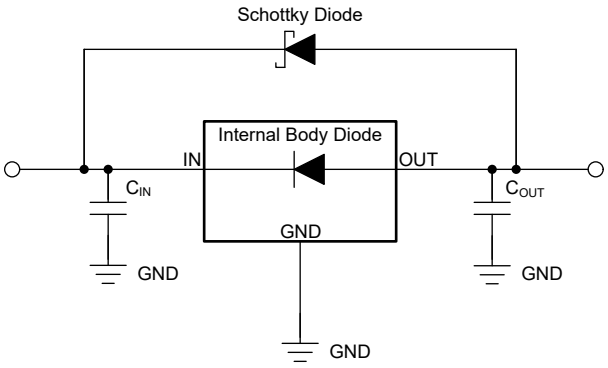


图 7-1. 使用肖特基二极管的反向电流保护示例电路

7.1.5 前馈电容

对于可调节电压版本器件，可将前馈电容器 (C_{FF}) 从 OUT 引脚连接到 ADJ 引脚。C_{FF} 可改善瞬态、噪声和 PSRR 性能，但不是实现稳压器稳定性所必需的。*建议运行条件* 表中列出了建议的 C_{FF} 值。可以使用更高的电容 C_{FF}；但是，启动时间会增加。有关 C_{FF} 权衡的详细说明，请参阅 *使用前馈电容器和低压降稳压器的优缺点* 应用手册。

C_{FF} 和 R_1 在频率为 f_Z 时的环路增益中产生零点，而 C_{FF}、R_1 和 R_2 在频率为 f_P 时的环路增益中形成极点。C_{FF} 零点和极点频率可通过以下公式计算：

$$f_Z = \frac{1}{[2 \times \pi \times C_{FF} \times R_1]} \tag{6}$$

$$f_P = \frac{1}{[2 \times \pi \times C_{FF} \times (R_1 \| R_2)]} \tag{7}$$

7.1.6 估算结温

JEDEC 标准现在建议使用 psi (Ψ) 热指标来估算 LDO 在典型 PCB 板应用电路中的结温。严格来说，此类指标不是热阻参数，但提供了一种估算结温的相对实用方法。已确定这些 psi 指标与覆铜面积明显无关。关键热指标（Ψ_{JT} 和 Ψ_{JB}）的使用符合方程式 8 并在 *节 5.4* 表中给出。

$$\Psi_{JT}: T_J = T_T + \Psi_{JT} \times P_D$$
$$\Psi_{JB}: T_J = T_B + \Psi_{JB} \times P_D \tag{8}$$

其中：

- P_D 是耗散功率，如方程式 11 中所述
- T_T 器件封装顶部中间位置的温度
- T_B 是在距器件封装 1mm 且位于封装边缘中心位置测得的 PCB 表面温度

节 5.4 表列出了主要的热指标，即结至顶部特征参数 (ψ_{JT}) 和结至电路板特征参数 (ψ_{JB})。这些参数提供了两种计算结温 (T_J) 的方法，如以下公式所述。结合使用结至顶部特征参数 (ψ_{JT}) 和器件封装顶部中间位置的温度 (T_T) 来计算结温。结合使用结至电路板特征参数 (ψ_{JB}) 和距器件封装 1mm 印刷电路板 (PCB) 表面温度 (T_B) 来计算结温。

$$T_J = T_T + \psi_{JT} \times P_D \tag{9}$$

Copyright © 2026 Texas Instruments Incorporated

其中：

- P_D 是耗散功率
- T_T 器件封装顶部中间位置的温度

$$T_J = T_B + \psi_{JB} \times P_D \quad (10)$$

其中：

- T_B 是在距器件封装 1mm 且位于封装边缘中心位置测得的 PCB 表面温度

有关热指标及其使用方法的详细信息，请参阅*半导体和 IC 封装热指标*应用手册。

7.1.7 功率耗散 (P_D)

实现电路可靠性时需要适当考虑器件功耗、印刷电路板 (PCB) 上的电路位置以及正确的热平面尺寸。确保稳压器周围的 PCB 区域具有少量或没有其他会导致热应力增加的发热器件。

对于一阶近似，稳压器中的功率耗散取决于输入到输出电压差和负载条件。以下公式可计算功率耗散 (P_D)。

$$P_D = [V_{IN} - V_{OUT}] \times I_{OUT} \quad (11)$$

备注

通过正确选择系统电压轨，可更大限度地降低功率耗散，从而实现更高的效率。通过适当的选择，可以获得最小的输入到输出电压差。器件的低压降有助于在宽输出电压范围内实现出色效率。

对于带有散热焊盘的器件，器件封装的主要热传导路径是通过散热焊盘到 PCB。将散热焊盘焊接到器件下方的铜焊盘区域。此焊盘区域包含一组镀通孔，这些通孔会将热量传导至额外的铜平面以增加散热。

最大功耗决定了该器件允许的最高环境温度 (T_A)。功率耗散和结温通常与 PCB 和器件封装组合的 $R_{\theta JA}$ 以及与 T_A 有关。$R_{\theta JA}$ 是结至环境热阻，T_A 是环境空气温度。以下公式描述了这种关系。

$$T_J = T_A + [R_{\theta JA} \times P_D] \quad (12)$$

以下公式重新梳理了此关系以求解输出电流。

$$I_{OUT} = \frac{[T_J - T_A]}{[R_{\theta JA} \times (V_{IN} - V_{OUT})]} \quad (13)$$

热阻 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力。因此，该热阻会根据总铜面积、铜重量和平面位置而变化。 *节 5.4* 表中列出的结至环境热阻由 JEDEC 标准 PCB 和铜扩散面积决定。$R_{\theta JA}$ 用作封装热性能的相对测量值。对于带隔热垫的封装和精心设计的热布局，$R_{\theta JA}$ 实际上是封装 $R_{\theta JCbot}$ 与 PCB 铜产生的热阻的总和。$R_{\theta JCbot}$ 是 *节 5.4* 结至外壳（底部）的热阻，如表中所示。

7.1.8 功率耗散与环境温度之间的关系

TPS7E67-Q1 允许的功率耗散 基于 JESD51-7 4 层高 K 电路板。使用以下公式估算允许的功率损耗。如*电路板布局布线对 LDO 热性能影响的经验分析*应用手册中所述，可以通过添加顶层覆铜和增加散热过孔数量来改善 JEDEC 高 K 布局中的散热性能。如果采用良好的散热布局，则允许的散热最多可改善 50%。

$$T_A + \left(R_{\theta JA} \times P_D \right) \leq 150\,^{\circ}\text{C} \quad (14)$$

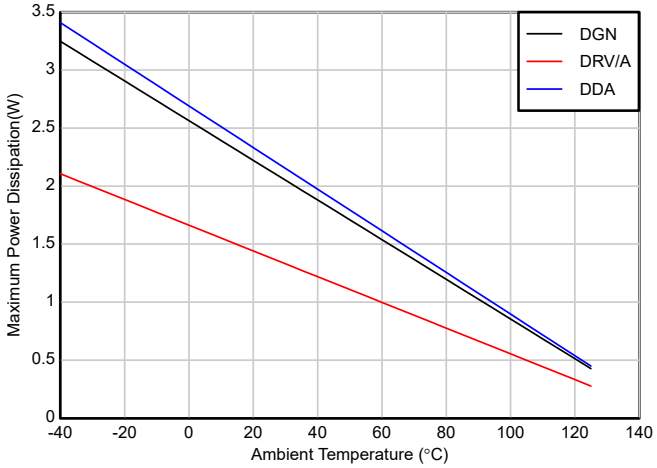


图 7-2. TPS7E67-Q1 允许的功率耗散

7.2 典型应用

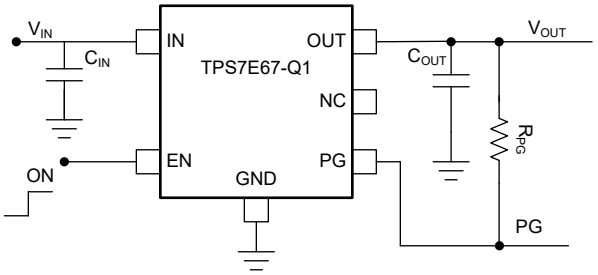


图 7-3. TPS7E67-Q1 典型应用电路（固定电压版本）

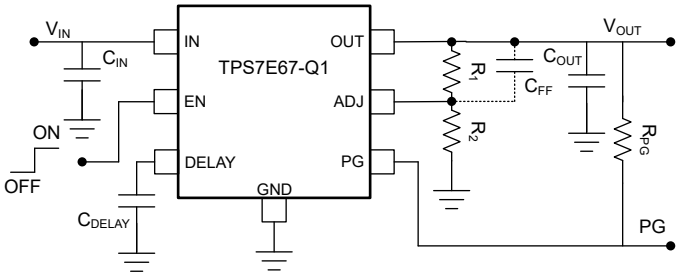


图 7-4. TPS7E67-Q1 可调节 LDO 稳压器编程

注意：虚线表示可选的输入电容器和前馈电容器。请参阅*输入和输出电容器选择* 和 *前馈电容* 部分以及 *建议运行条件* 表。

表 7-1. 电阻器 R_1 和 R_2 的可调节输出电压

输出电压 (V)	R_1 (MΩ)	R_2 (MΩ)
1.8	0.499	1
2.8	1.33	1
5.0	3.16	1

7.2.1 设计要求

本设计示例使用设计参数 中所列的参数作为输入参数。

Copyright © 2026 Texas Instruments Incorporated

表 7-2. 设计参数

设计参数	示例值
输入电压范围	6V 至 40V
输出电压	3.3V
输出电流	300mA
输出电容器	4.7µF
电源正常延迟电容器	100nF

7.2.2 选择反馈电阻器

对于此设计示例中，V_{OUT} 设置为 3.3V。以下公式用于为所需的输出电压设置反馈分压器电阻器：

$$V_{OUT} = V_{ADJ} \times (1 + R_1 / R_2) \quad (15)$$

$$R_1 + R_2 \leq \frac{V_{OUT}}{[I_{ADJ} \times 100]} \quad (16)$$

为了提高输出精度，使用 方程式 16 和 I_{ADJ} = 25nA（如 节 5.5 表中所列）计算串联反馈电阻的上限 ($R_1 + R_2 \leqslant$ 3.3MΩ)。

控制环路误差放大器将 ADJ 引脚驱动至与内部基准相同的电压（V_{ADJ} = 1.2V，如 节 5.5 表中所列）。使用 方程式 15 确定 R_1 / R_2 = 1.75 的比率 使用该比率并为 R_1 求解 方程式 16。现在针对 $R_1 \leqslant$ 2.1MΩ 计算上限。选择标准电阻器值 R_1 = 1.75MΩ。

参考方程式 17 并求解 R_2：

$$R_2 = \frac{R_1}{[(V_{OUT} \div V_{ADJ}) - 1]} \quad (17)$$

根据 方程式 17，确定 R_2 = 1MΩ。选择标准电阻器值 R_2 = 1MΩ。V_{OUT} = 3.3V。验证反馈分压器电流是否大于 节 5.3 表中的最小值。

以下公式用于计算反馈分压器电流。

$$I_{FB_Divider} = \frac{V_{OUT}}{[R_1 + R_2]} \quad (18)$$

7.2.3 设置可调电源正常延迟

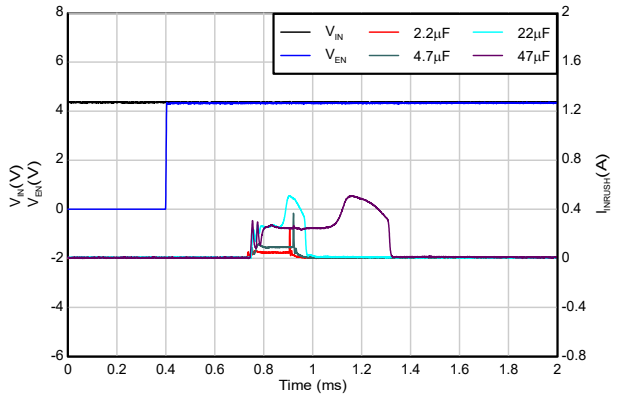
电源正常延迟时间通过两种方式设置：将 DELAY 引脚悬空或在该引脚和 GND 之间连接一个电容器。当 DELAY 引脚悬空时，时间默认为 电气特性 中列出的 $t_{DELAY(PG)}$。如果 DELAY 引脚和 GND 之间连接了一个电容器，则通过以下公式设置延迟时间。

$$t = t_{Delay(PG)} + C_{DELAY}\left(\frac{V_{PGDL_TH}}{I_{PGDL_CHG}}\right) \quad (19)$$

Copyright © 2026 Texas Instruments Incorporated

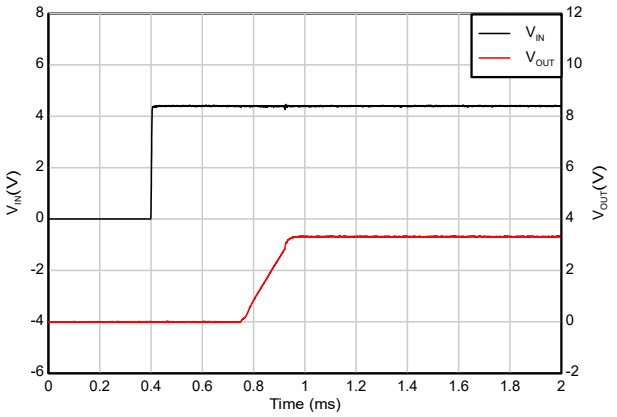
7.2.4 应用曲线

在工作结温 T_J = 25°C，V_{IN} = 3.0V 或 V_{IN} = V_{OUT}(nom) + 1.0V（以较大者为准），C_{IN} = 1µF，C_{OUT} = 4.7µF，C_{DELAY} = 0nF 且 I_{OUT} = 1mA 条件下测得（除非另有说明）



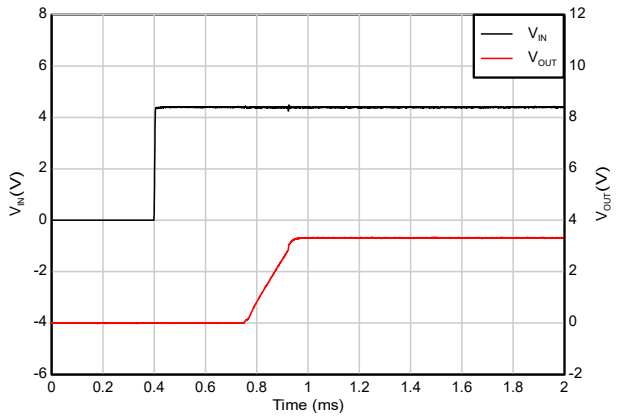
V_{IN} = 4.3V，V_{OUT} = 3.3V，I_{OUT} = 0mA

图 7-5. 浪涌电流与 C_{OUT} 间的关系



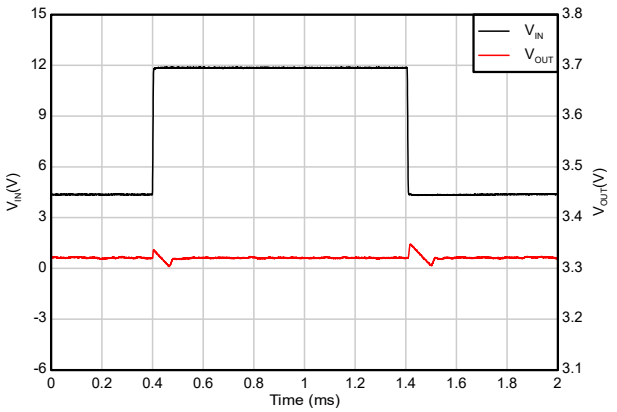
V_{IN} = 4.3V，V_{OUT} = 3.3V，I_{OUT} = 1mA

图 7-6. EN 与 V_{IN} 引脚短接启动



V_{IN} = 4.3V，V_{OUT} = 3.3V，I_{OUT} = 50mA

图 7-7. EN 与 V_{IN} 引脚短接启动



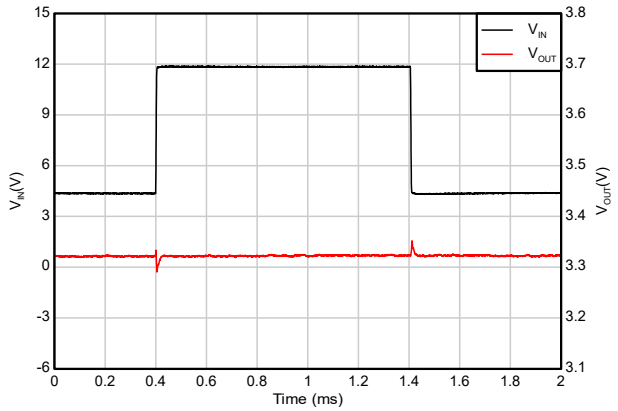
V_{IN} = 4.3V 至 12V、V_{OUT} = 3.3V、I_{OUT} = 1mA、dV_{IN}/dt = 2V/µs

图 7-8. 线路瞬态（4.3V 至 12V）

Copyright © 2026 Texas Instruments Incorporated

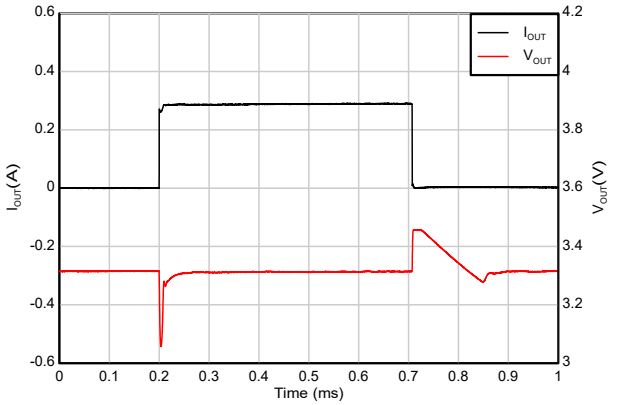
7.2.4 应用曲线（续）

在工作结温 T_J = 25°C，V_{IN} = 3.0V 或 V_{IN} = V_{OUT}(nom) + 1.0V（以较大者为准），C_{IN} = 1µF，C_{OUT} = 4.7µF，C_{DELAY} = 0nF 且 I_{OUT} = 1mA 条件下测得（除非另有说明）



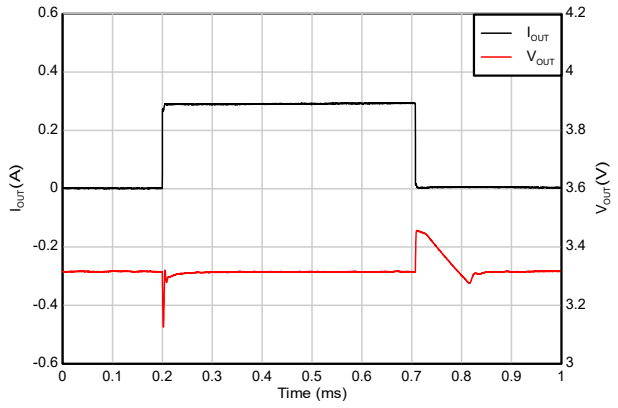
V_{IN} = 4.3V 至 12V、V_{OUT} = 3.3V、I_{OUT} = 150mA、dV_{IN}/dt = 2V/µs

图 7-9. 线路瞬态（4.3V 至 12V）



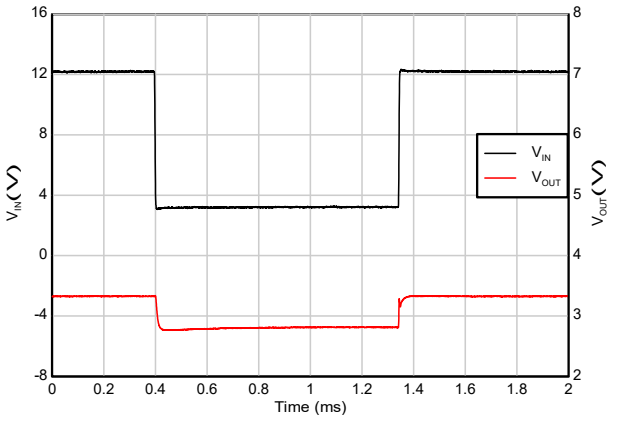
V_{IN} = 5.3V，V_{OUT} = 3.3V，I_{OUT} = 0mA 至 300mA，$dI_{OUT}O/dt$ = 2A/µs

图 7-10. 负载瞬态（0mA 至 300mA）



V_{IN} = 5.3V，V_{OUT} = 3.3V，I_{OUT} = 1mA 至 300mA，$dI_{OUT}O/dt$ = 2A/µs

图 7-11. 负载瞬态（1mA 至 300mA）

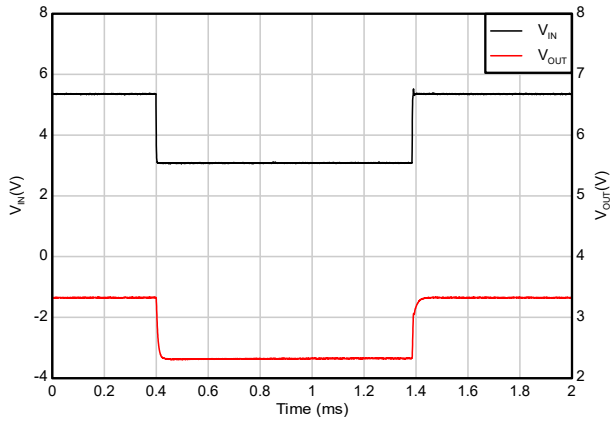


V_{IN} = 12V 至 3V、V_{OUT} = 3.3V、I_{OUT} = 100mA、dV_{IN}/dt = 2V/µs

图 7-12. 压降恢复 (12V 至 3V)

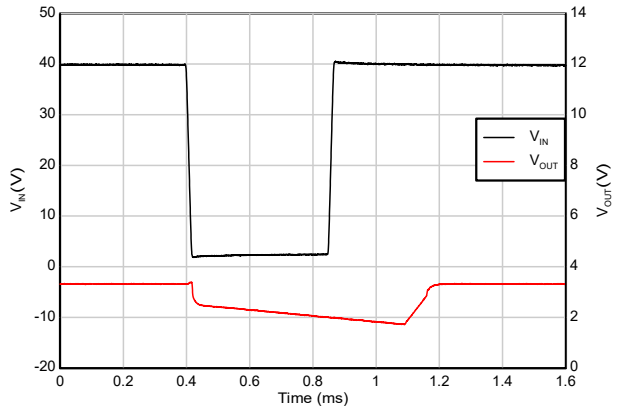
7.2.4 应用曲线（续）

在工作结温 T_J = 25°C，V_{IN} = 3.0V 或 V_{IN} = V_{OUT}(nom) + 1.0V（以较大者为准），C_{IN} = 1µF，C_{OUT} = 4.7µF，C_{DELAY} = 0nF 且 I_{OUT} = 1mA 条件下测得（除非另有说明）



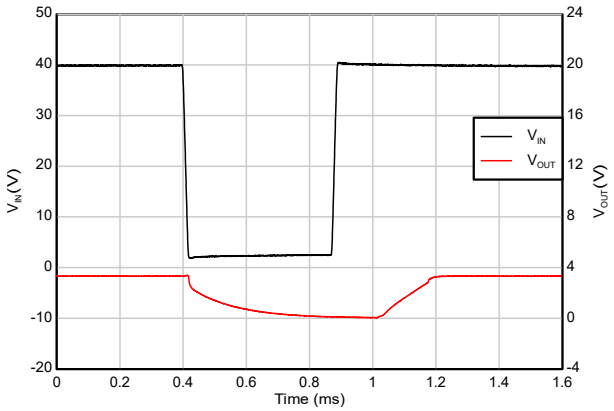
V_{IN} = 5.3V 至 3V、V_{OUT} = 3.3V、I_{OUT} = 300mA、dV_{IN}/dt = 2V/µs

图 7-13. 压降恢复 (5.3V 至 3V)



V_{IN} = 40V 至 2V，V_{OUT} = 3.3V，I_{OUT} = 1mA

图 7-14. 欠压恢复 (40V 至 2V)



V_{IN} = 40V 至 2V，V_{OUT} = 3.3V，I_{OUT} = 50mA

图 7-15. 欠压恢复 (40V 至 2V)

7.3 电源相关建议

TPS7E67-Q1 设计为可在 3.0V 至 40V 的输入电源电压范围内运行。输入电压范围为器件提供了足够的余量，以实现稳定的输出。如果输入电源存在噪声，则附加具有低 ESR 的输入电容器有助于提高输出噪声性能。

7.4 布局

7.4.1 布局指南

为了获得理想的总体性能，请遵循本节中的准则。请将所有电路元件放置在印刷电路板 (PCB) 的同一侧，并尽可能靠近各自的 LDO 引脚连接。使用元件侧的宽铜层，将输入和输出电容器的接地回路连接放置在尽可能靠近 GND 引脚的位置。请勿使用过孔和长迹线创建与输入电容器、输出电容器或电阻分压器的 LDO 电路连接，因为这种做法会对系统性能产生负面影响。这种接地和布局方案可更大限度地减少电感寄生效应，从而减少负载电流瞬变，更大限度地降低噪声并提高电路稳定性。还建议使用接地参考平面，该平面嵌入在 PCB 中，或者位于 PCB 底部与元件相对的位置。该参考平面用于提供输出电压的精度并屏蔽 LDO 以使其免受噪声影响。为优化器

Copyright © 2026 Texas Instruments Incorporated

件散热性能并在高环境温度下实现最大电流输出，请尽可能扩大散热焊盘下方的铜箔面积，并在铜箔上布置充足的散热过孔。图 7-16 和 图 7-17 展示了 TPS7E67-Q1 封装的示例布局。

7.4.2 布局示例

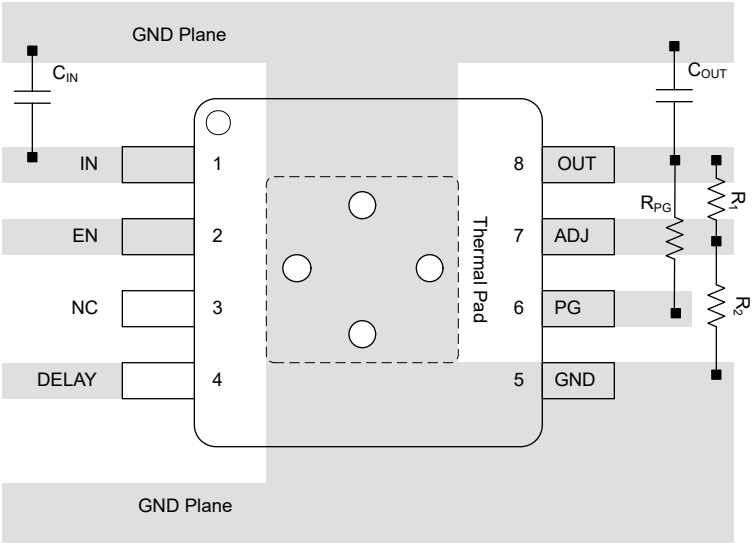


图 7-16. TPS7E67-Q1 DGN 封装的布局示例

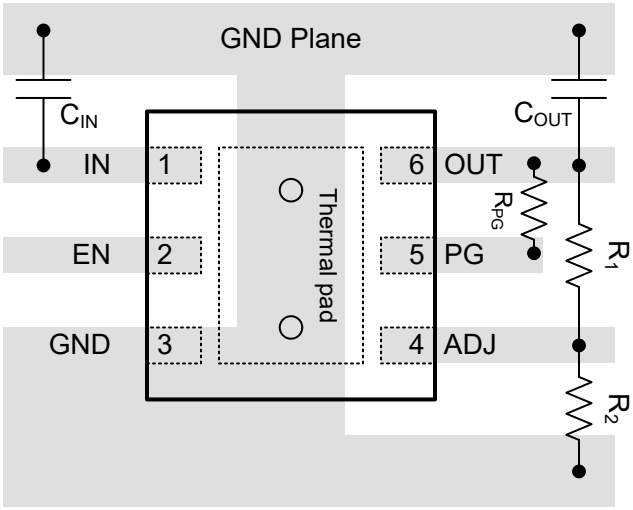


图 7-17. TPS7E67-Q1 DRV 封装的布局示例

Copyright © 2026 Texas Instruments Incorporated

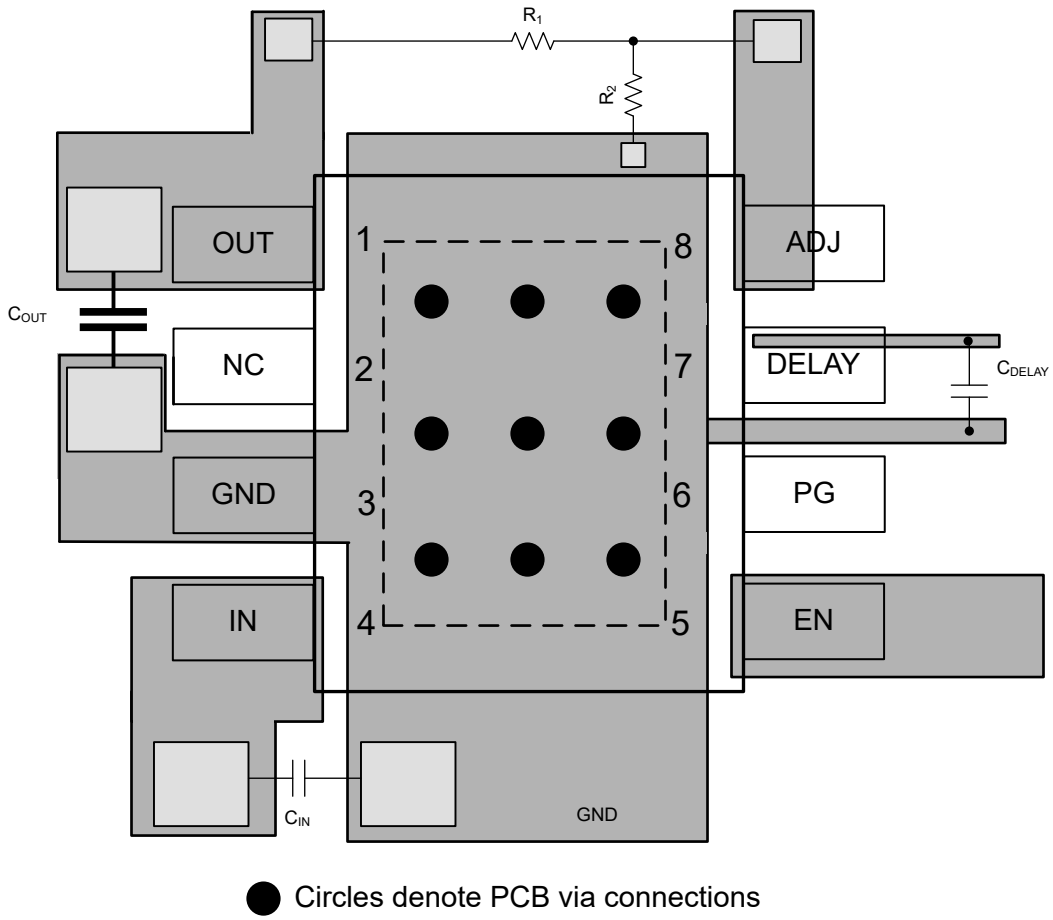


图 7-18. TPS7E67-Q1 DDA 封装的布局示例

Copyright © 2026 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

评估模块 (EVM) 可与 TPS7E67-Q1 配套使用，帮助评估初始电路性能。通用 EVM（和相关的用户指南）可在 TI 网站上的产品文件夹中申请，也可直接从 TI 网上商店购买。

8.1.2 器件命名规则

表 8-1. 器件命名规则

产品(1)	说明
TPS7E67**XX AQW yyy z**Q1	**XX** 为标称输出电压。例如，33 = 3.3V；50 = 5.0V，01 =可调节。 **A** 表示 DRV 封装的替代引脚排列。 **W** 只适用于可湿性 DRV 封装。 **yyy** 为封装标识符。 **z** 为封装数量。R 表示大卷带。

(1) 如需获得最新的封装和订购信息，请参阅本文档末尾的“封装选项附录”，或者访问 www.ti.com 中的器件产品文件夹。

8.2 文档支持

8.2.1 相关文档

如要查看相关文件，请参阅以下内容：

- 德州仪器 (TI)，*《了解限制》*，应用手册。
- 有关低 I_Q LDO 的更多信息，请参阅*适用于电池连接汽车系统的低静态电流 LDO* 应用手册。

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知*进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.5 商标

动力总成™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision * (October 2025) to Revision A (April 2026) **Page**

- 将文件状态从*预告信息*更改为*量产数据* 1
- 更新了 DGN 封装的热指标 5
- 更新了典型特性图形 7

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7E6701QDDARQ1	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	E6701
TPS7E6701QDGNRQ1	Active	Production	HVSSOP (DGN) | 8	3500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	3UJS
TPS7E6701QWDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	3URH
TPS7E6733QDDARQ1	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	E6733
TPS7E6733QDGNRQ1	Active	Production	HVSSOP (DGN) | 8	3500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	3ULS
TPS7E6750AQWDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	3V4H
TPS7E6750QDDARQ1	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	E6750
TPS7E6750QDGNRQ1	Active	Production	HVSSOP (DGN) | 8	3500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	3UMS
TPS7E6750QWDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	3UUH
TPS7E6780QDDARQ1	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	E6780

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

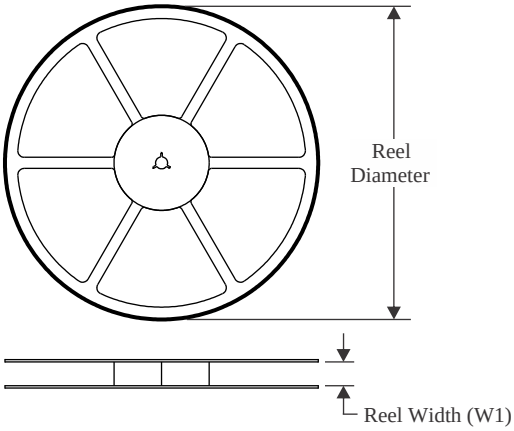
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

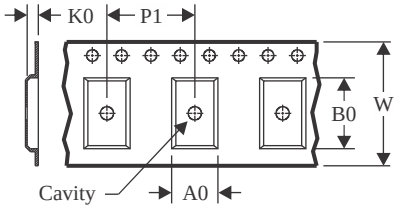
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

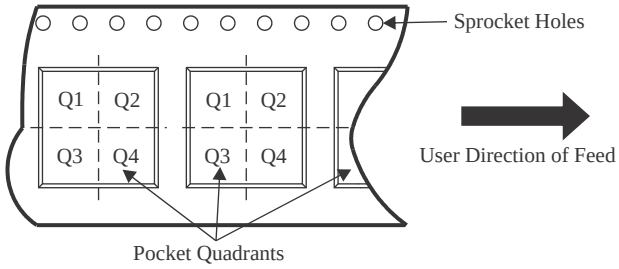


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

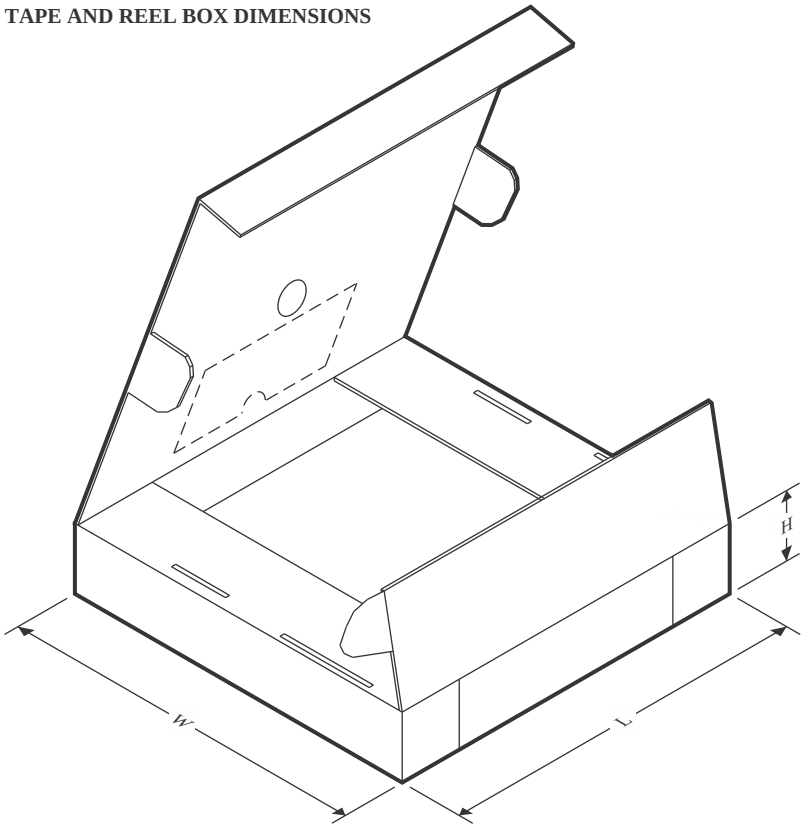
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7E6701QDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
TPS7E6701QDGNRQ1	HVSSOP	DGN	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS7E6701QWDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS7E6733QDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
TPS7E6733QDGNRQ1	HVSSOP	DGN	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS7E6750AQWDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS7E6750QDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
TPS7E6750QDGNRQ1	HVSSOP	DGN	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS7E6750QWDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS7E6780QDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

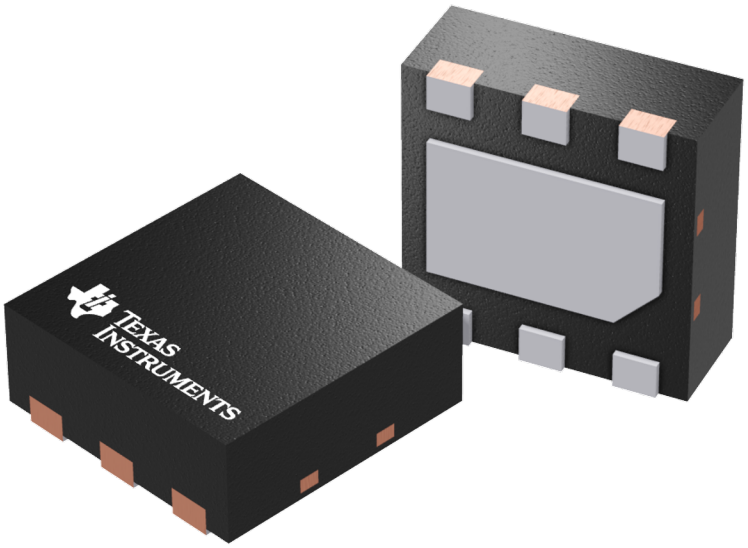


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7E6701QDDARQ1	SO PowerPAD	DDA	8	2500	353.0	353.0	32.0
TPS7E6701QDGNRQ1	HVSSOP	DGN	8	3500	353.0	353.0	32.0
TPS7E6701QWDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0
TPS7E6733QDDARQ1	SO PowerPAD	DDA	8	2500	353.0	353.0	32.0
TPS7E6733QDGNRQ1	HVSSOP	DGN	8	3500	353.0	353.0	32.0
TPS7E6750AQWDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0
TPS7E6750QDDARQ1	SO PowerPAD	DDA	8	2500	353.0	353.0	32.0
TPS7E6750QDGNRQ1	HVSSOP	DGN	8	3500	353.0	353.0	32.0
TPS7E6750QWDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0
TPS7E6780QDDARQ1	SO PowerPAD	DDA	8	2500	353.0	353.0	32.0

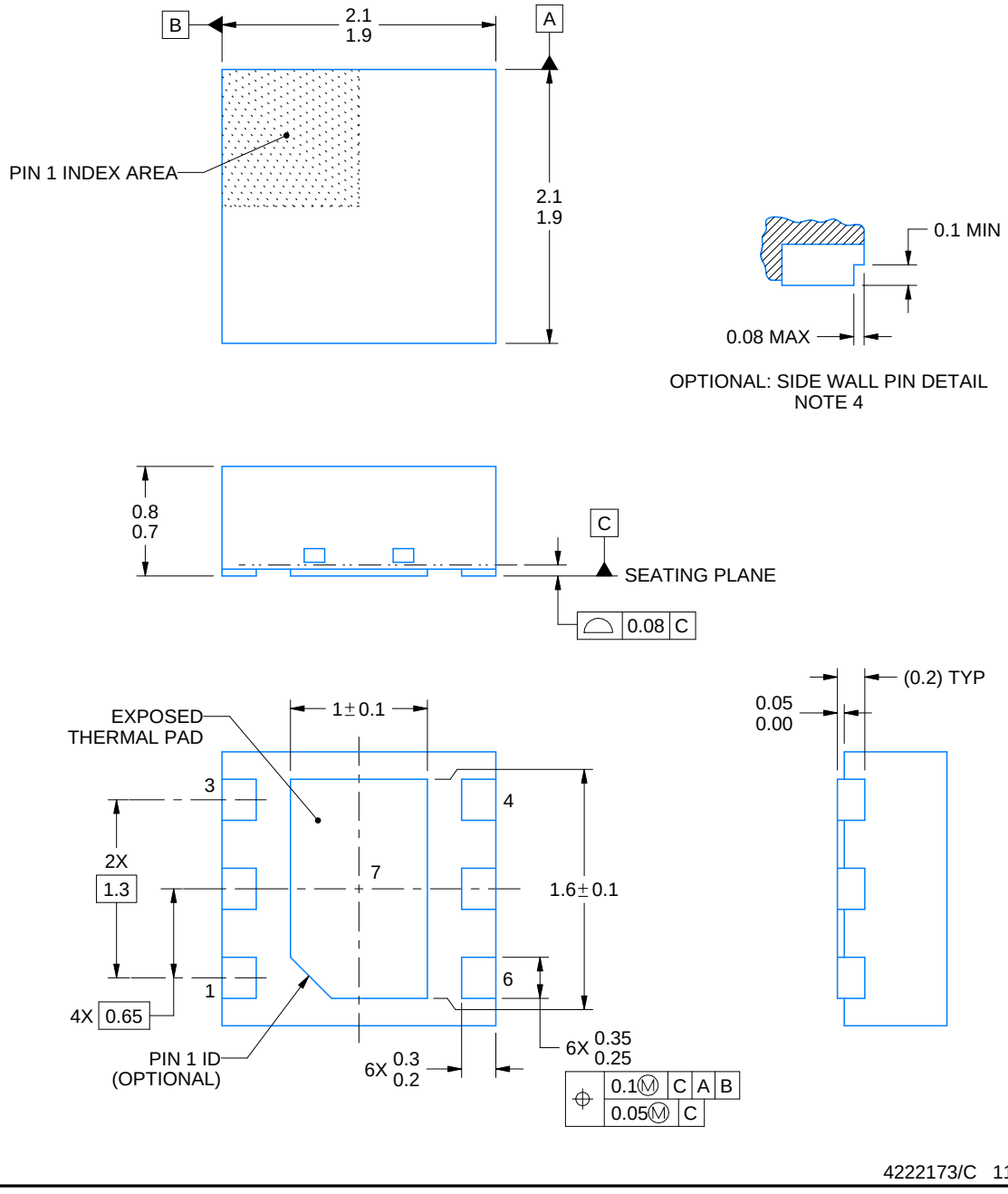
DRV 6 WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



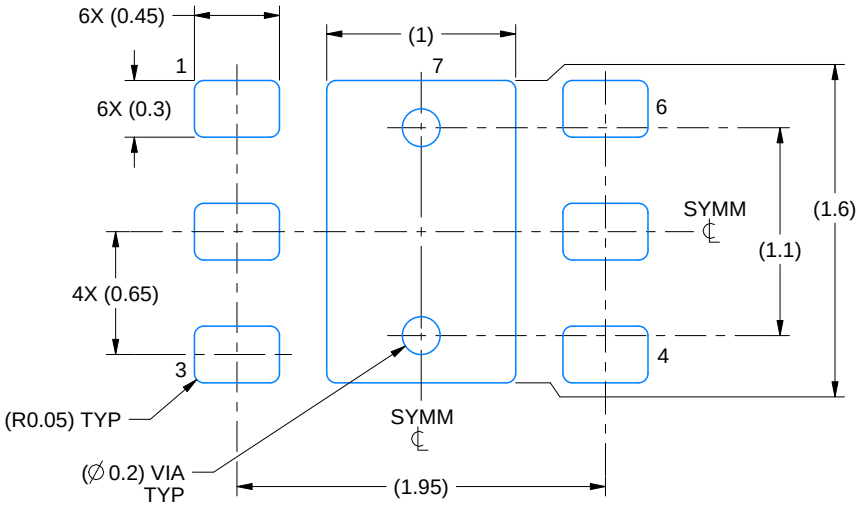
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

PLASTIC SMALL OUTLINE - NO LEAD

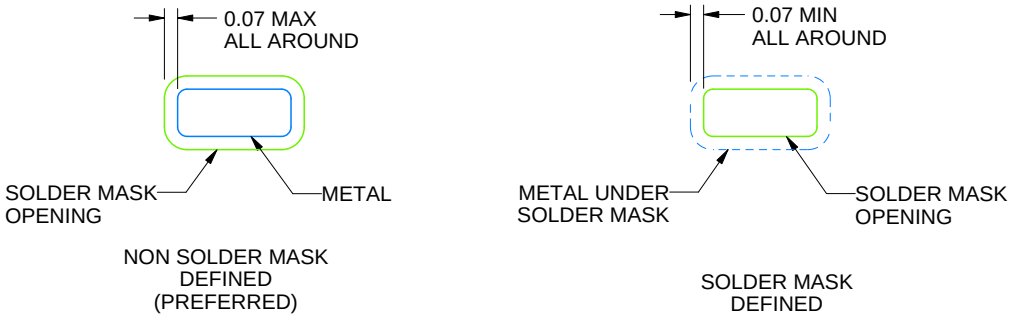


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Minimum 0.1 mm solder wetting on pin side wall. Available for wettable flank version only.



LAND PATTERN EXAMPLE
SCALE:25X

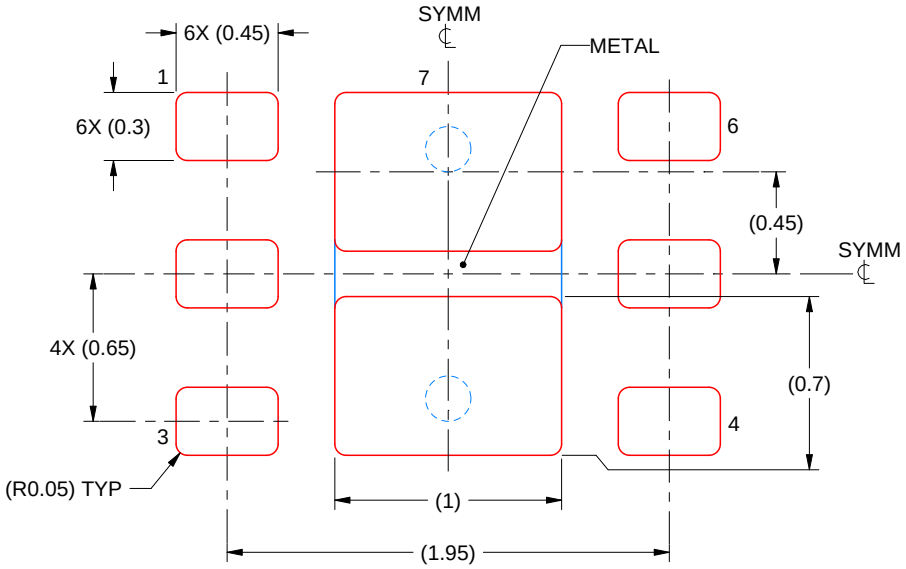


SOLDER MASK DETAILS

4222173/C 11/2025

NOTES: (continued)

5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
6. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD #7
88% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:30X

4222173/C 11/2025

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

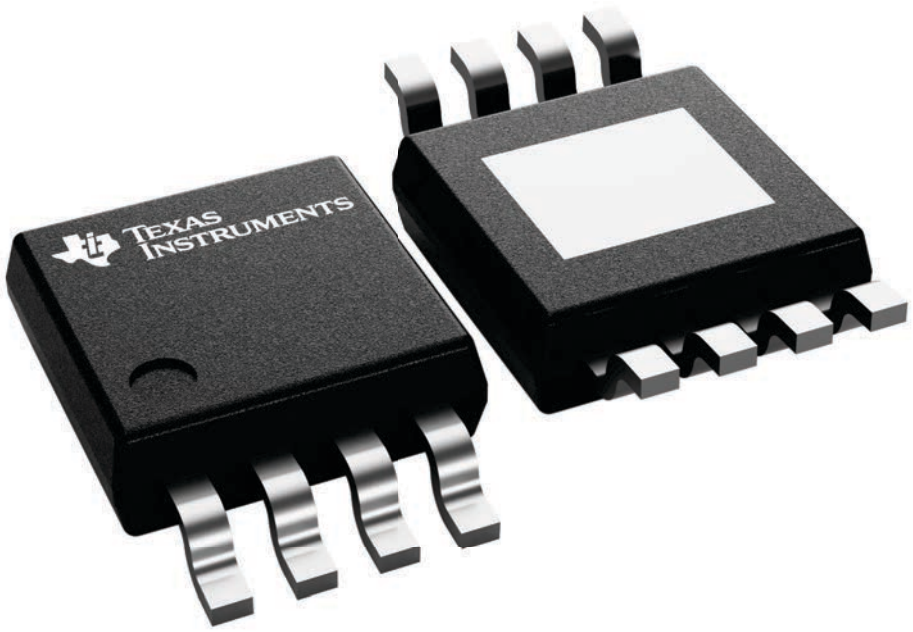
DGN 8

PowerPAD™ HVSSOP - 1.1 mm max height

3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



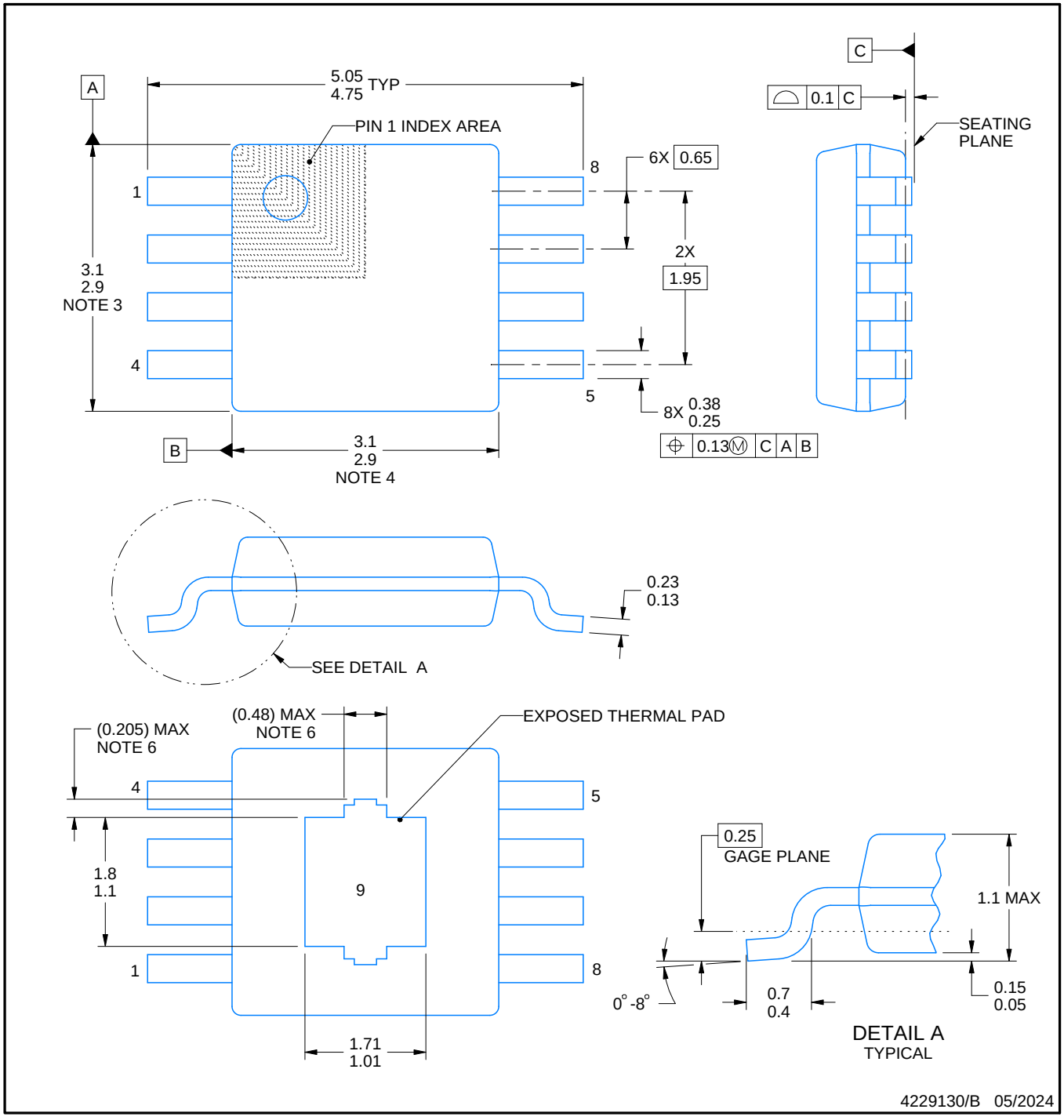
4225482/B

PACKAGE OUTLINE

DGN0008H

PowerPAD™ VSSOP - 1.1 mm max height

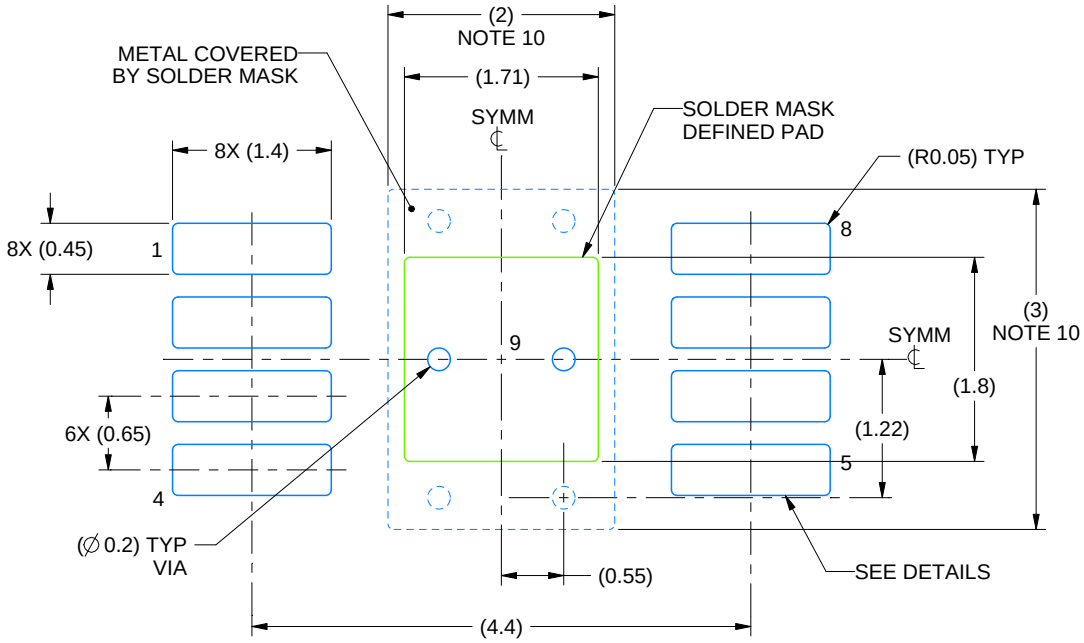
SMALL OUTLINE PACKAGE



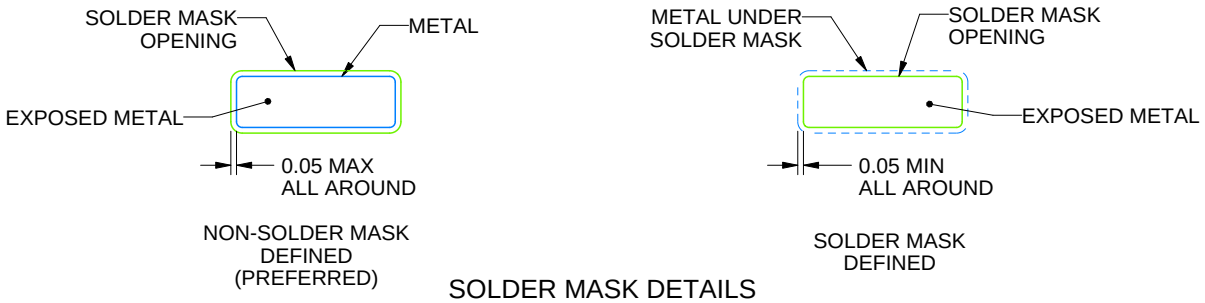
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.
6. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

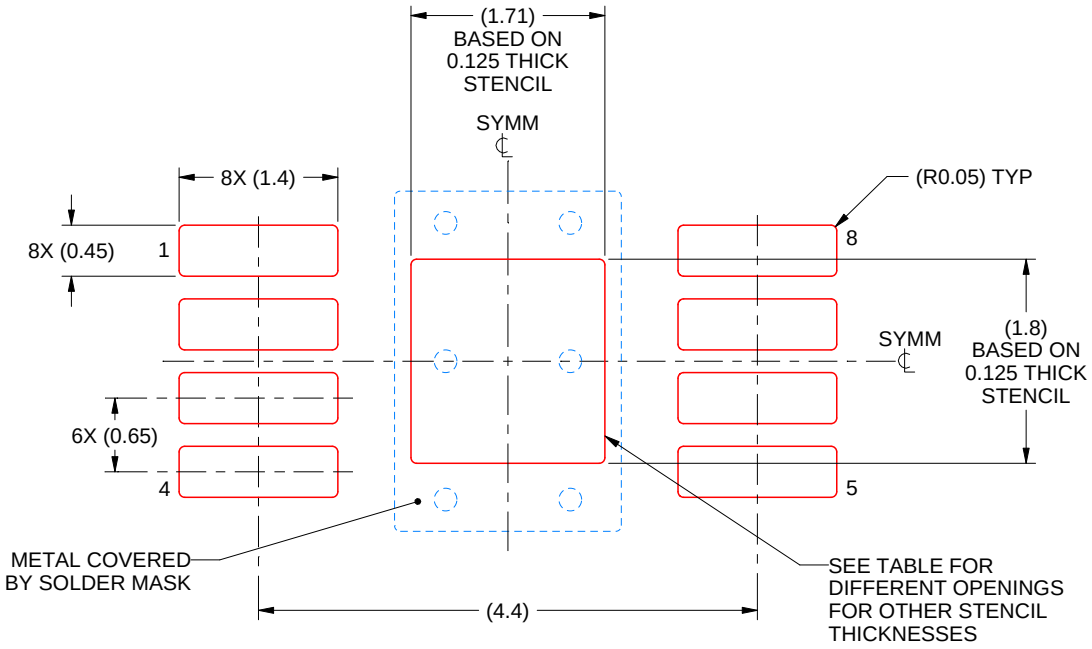


SOLDER MASK DETAILS

4229130/B 05/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.91 X 2.01
0.125	1.71 X 1.80 (SHOWN)
0.15	1.56 X 1.64
0.175	1.45 X 1.52

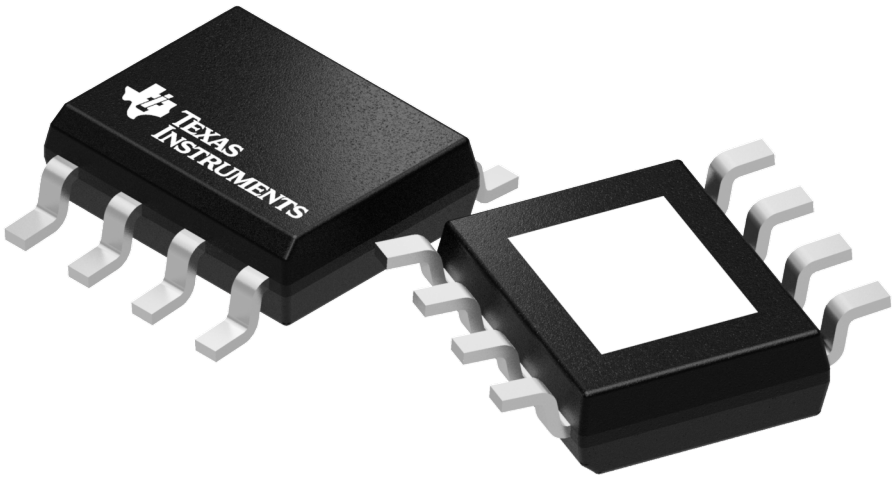
4229130/B 05/2024

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

DDA 8 PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



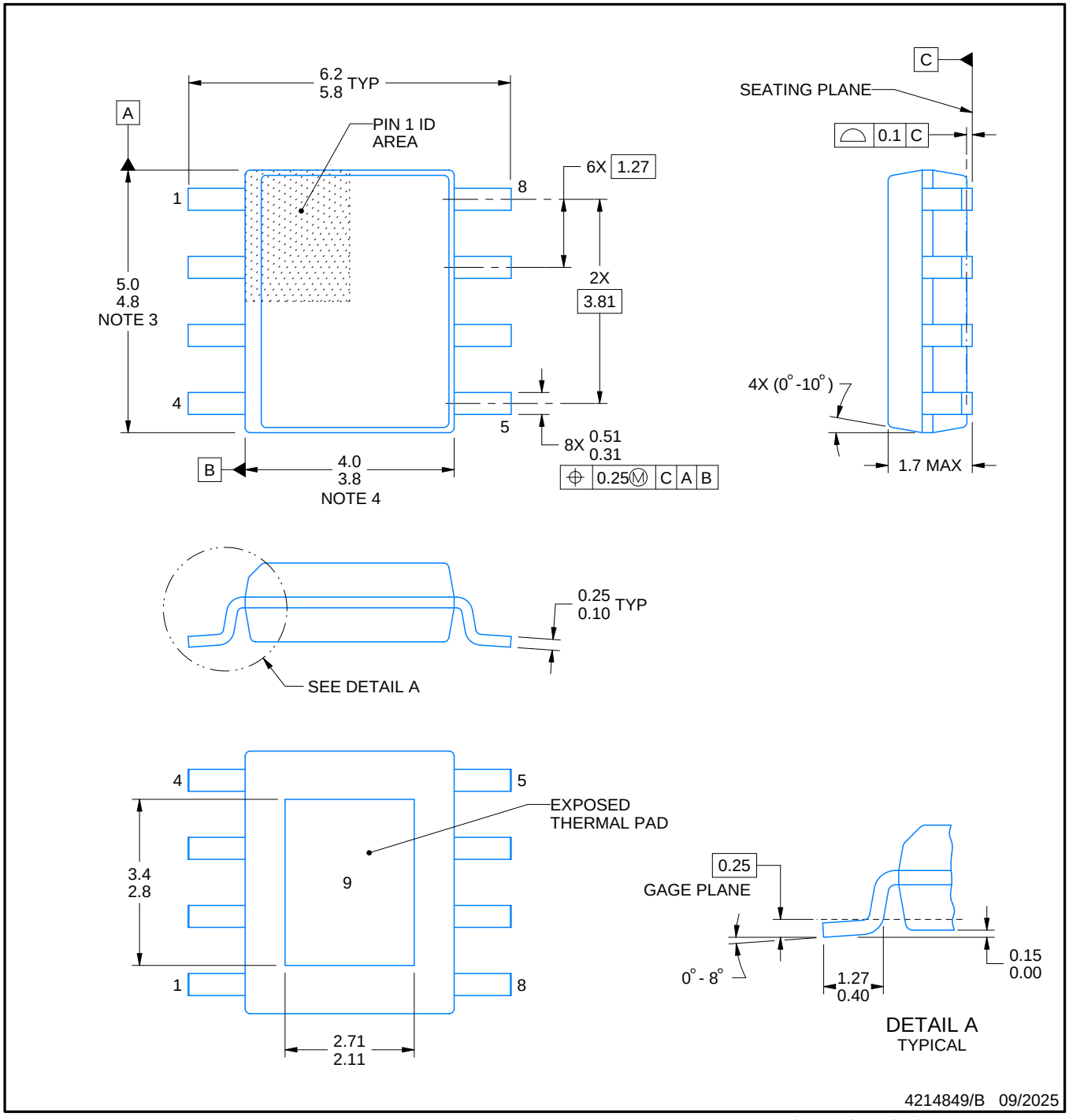
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

PACKAGE OUTLINE

DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

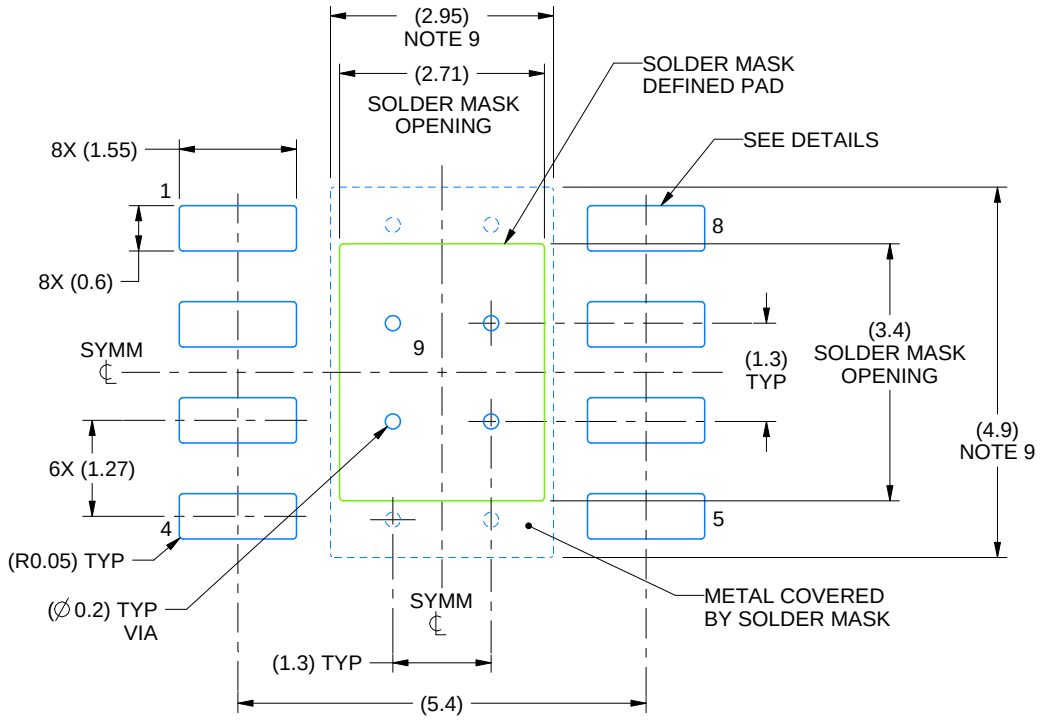
PLASTIC SMALL OUTLINE



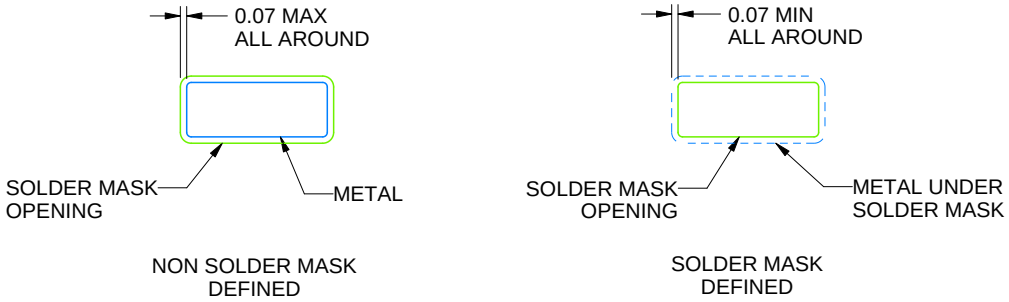
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012.



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
PADS 1-8

4214849/B 09/2025

NOTES: (continued)

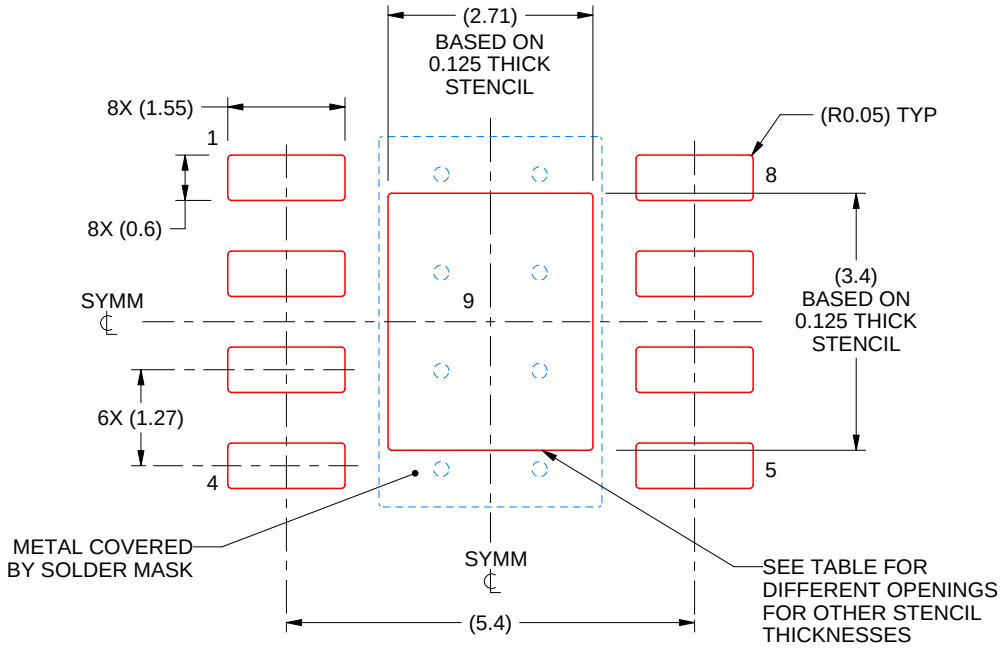
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.03 X 3.80
0.125	2.71 X 3.40 (SHOWN)
0.150	2.47 X 3.10
0.175	2.29 X 2.87

4214849/B 09/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月