TPS7B4260-Q1 具有 6mV 跟踪容差的汽车类 300mA、40V 电压跟踪 LDO

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
  - 温度等级 1：–40°C 至 +125°C，T_A
  - 结温：–40°C 至 +150°C，T_J
- 宽输入电压范围：
  - 绝对最大电压范围：-40V 至 +45V
  - 工作范围：3.3V 至 40V
- 输出电压：
  - 宽工作电压范围：2V 至 40V
  - 输出电压灵活性：在分压器配置中，使用外部电阻器将 V_{OUT} 调整为高于或低于基准的电压值
- 最大输出电流：300mA
- 非常严格的输出跟踪容差：6mV（最大值）
- 低压降：330mV (200mA)
- 组合了使能和基准功能
- 轻负载时低静态电流：60 µA
- 在各种陶瓷输出电容值范围内可保持稳定：
  - C_{OUT} 范围：1 µF 至 100 µF
  - ESR 范围：1mΩ 至 2Ω
- 集成保护特性：
  - 反向电流保护
  - 反极性保护
  - 过热保护
  - 接地输出短路和电源输出短路保护
- 可采用 HSOIC (DDA) 低热阻 ($R_{\theta JA}$ = 48°C/W) 8 引脚封装

2 应用

- 动力总成压力传感器
- 动力总成温度传感器
- 动力总成排气传感器
- 动力总成油液浓度传感器
- 车身控制模块 (BCM)
- 区域控制模块
- HVAC 控制模块

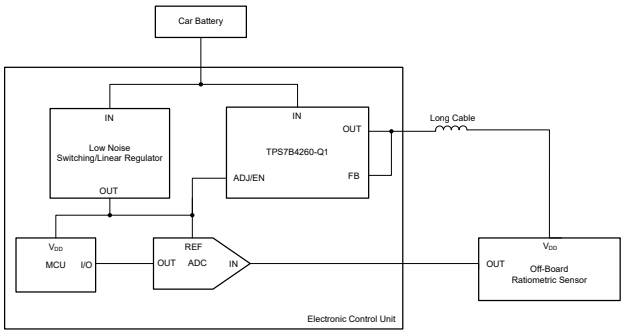
3 说明

TPS7B4260-Q1 是一款单片集成低压降 (LDO) 电压跟踪器。该器件采用 8 引脚 HSOIC 封装。TPS7B4260-Q1 专为汽车严苛环境设计，可稳定通过线束为非板载传感器供电。在此类恶劣工作条件下，线束中的电缆可能会暴露于各种故障条件下，从而增加故障风险。此类情况包括接地短路、电池短路和过热。TPS7B4260-Q1 集成了针对每种故障情况的保护功能，以及反极性保护功能。该器件具有包含两个背对背 P 沟道金属氧化物半导体场效应晶体管 (MOSFET) 的拓扑。这种 PMOS 拓扑无需使用外部二极管，否则需要该二极管来防止反向电流流动。该器件 300mA 的高额定电流可能允许单个跟踪器同时为多个非板载传感器供电。该器件可承受 45V（绝对最大值）输入电压，并能经受住汽车负载突降瞬态条件的考验。

封装信息

器件型号	封装(1)	封装尺寸(2)
TPS7B4260-Q1	DDA（HSOIC，8）	6mm × 4.9mm

(1) 如需更多信息，请参阅*机械、封装和可订购信息*。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



典型应用

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

TPS7B4260-Q1 可在出现故障时为 ADC 和 MCU 提供保护缓冲器，同时安全地将电源传输至非板载传感器。该器件可跟踪施加在可调节输入引脚 (ADJ/EN) 上的基准电压，并在 FB 引脚上具有非常严格的 6mV（最大值）容差。此容差对于指定线路、负载和温度值的所有变化都适用。对于其输出由 ADC 采样的比例式传感器，这种严格的跟踪容差尤其有益。该容差确保 ADC 满量程基准与传感器电源电压之间的误差最小。因此可以保持传感器测量的比例性。

通过将 FB 引脚直接连接到 OUT 引脚，输出电压变为等于 ADJ/EN 引脚上的电压（±跟踪容差）。如果 ADC 满量程基准电压等于传感器电源电压，则将基准电压直接连接到 ADJ/EN 引脚。如果传感器电源电压低于基准电压，在 ADJ/EN 引脚上使用电阻分压器。此分压器有助于降低基准电压，使其与传感器电源电压相匹配。如果传感器电源高于基准电压，在 FB 和 OUT 引脚之间使用电阻分压器。此分压器有助于提高 ADC 满量程基准电压并匹配传感器电源电压。

通过将 ADJ/EN 输入引脚置于低电平，TPS7B4260-Q1 可切换至待机模式。在此模式下，LDO 的静态电流消耗降至小于 3.8 µA。

Copyright © 2025 Texas Instruments Incorporated

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 4
5 规格 5
5.1 绝对最大额定值 5
5.2 ESD 等级 5
5.3 建议运行条件 5
5.4 热性能信息 6
5.5 电气特性 7
5.6 典型特性 8
6 详细说明 13
6.1 概述 13
6.2 功能方框图 13
6.3 特性说明 13
6.4 器件功能模式 19
7 应用和实施 20
7.1 应用信息 20
7.2 典型应用 21
7.3 电源相关建议 24
7.4 布局 24
8 器件和文档支持 27
8.1 器件支持 27
8.2 文档支持 27
8.3 接收文档更新通知 27
8.4 支持资源 27
8.5 商标 27
8.6 静电放电警告 27
8.7 术语表 27
9 修订历史记录 28
10 机械、封装和可订购信息 28
10.1 机械数据 29

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

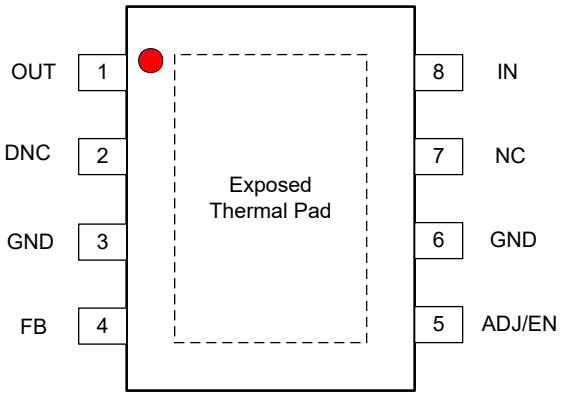


图 4-1. DDA 封装， 8 引脚 HSOIC （顶视图）

表 4-1. 引脚功能

引脚		类型	说明
名称	DDA		
ADJ/EN	5	I	可调节/使能输入引脚。将外部基准电压连接至此引脚。该引脚在内部连接至误差放大器的反向输入端。低于 V_{IL} 的低电平信号会禁用器件，高于 V_{IH} 的高电平信号会启用器件。直接连接电压基准，或使用分压器获得低于基准的输出电压。为了补偿线路影响，请在此引脚附近放置一个 0.1 µF 电容器。
DNC	2	—	不要将电压源连接到该引脚。将此引脚保持悬空或连接至 GND 以便实现更好的热性能。
FB	4	I	反馈引脚。该引脚在内部连接到误差放大器的非反相输入，并控制输出电压。如果输出电压等于或小于外部参考电压，请将此引脚直接连接到输出引脚。若要获得高于基准的输出电压值，请使用带有外部反馈电阻器的分压器。
GND	6、3	G	GND 引脚。将此引脚连接到低阻抗接地路径。
IN	8	I	输入电源电压引脚。为获得出色的瞬态响应并尽可能减小输入阻抗，请在 IN 到 GND 之间使用建议值或更高的陶瓷电容器。请参阅 *建议运行条件* 表。将输入电容器放置在尽可能靠近器件输入引脚的位置，以补偿线路影响。更多详细信息，请参阅*输入和输出电容器选择* 部分。
NC	7	—	无内部连接。为了获得出色的热性能，将这些引脚连接到 GND。
OUT	1	O	稳压输出电压引脚。需要在 OUT 到 GND 之间连接一个电容器以确保稳定性。在 *建议运行条件* 表中提供的 C_{OUT} 值范围内选择一个陶瓷电容器。将此电容器尽可能靠近器件输出端放置。更多详细信息，请参阅*输入和输出电容器选择* 部分。
散热焊盘	Pad		散热焊盘。将焊盘连接到 GND 以获得尽可能出色的热性能。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V_{IN}	非稳压输入引脚电压	-40	45	V
V_{OUT}	稳压输出引脚电压	-5	45	V
V_{IN} - V_{OUT}	输入-输出差分电压	-45	45	V
V_{FB}	反馈引脚电压	-5	45	V
$V_{ADJ/EN}$	可调参考和使能引脚电压	-40	45	V
T_J	工作结温	-40	150	°C
T_{stg}	贮存温度	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)		±2500	V
		充电器件模型 (CDM)，符合 AEC Q100-011 标准	所有引脚	±1000	
			转角引脚		

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	典型值	最大值	单位
V_{IN}	输入电压	3.3		40	V
V_{OUT}	输出电压	2		40	V
$V_{ADJ/EN}$	调节引脚电压	2		40	V
V_{FB}	反馈引脚电压	0		40	V
I_{OUT}	输出电流	0		300	mA
C_{IN}	输入电容器(1)		1		µF
C_{OUT}	输出电容器(2)	1		100	µF
ESR	输出电容器 ESR 要求	0.001		2	Ω
T_J	工作结温	-40		150	°C

(1) 为确保强大的 EMI 性能，建议的最小输入电容为 500nF。
(2) 为了实现稳定性，需要最小值为 500nF 的有效输出电容。

Copyright © 2025 Texas Instruments Incorporated

5.4 热性能信息

热指标(1) (2)		TPS7B4260-Q1	
		DDA (HSOIC)	单位
		8 引脚	
$R_{\theta JA}$	结至环境热阻	48	°C/W
$R_{\theta JCtop}$	结至外壳（顶部）热阻	71.6	°C/W
$R_{\theta JB}$	结至电路板热阻	23.5	°C/W
ψ_{JT}	结至顶部特征参数	9.3	°C/W
ψ_{JB}	结至电路板特征参数	23.3	°C/W
$R_{\theta JCbot}$	结至外壳（底部）热阻	11.5	°C/W

(1) 此热数据基于 JEDEC 标准高 K 电路板布局 JESD 51-7。此电路板是一种两信号、两平面、四层的电路板，外层镀有 2oz 铜。铜箔圆配被焊接到散热焊垫上。另外，请采用正确的连接程序。
(2) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性

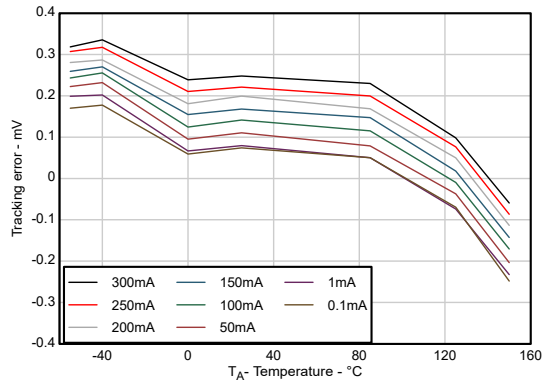
规定条件如下（除非另有说明）：T_J = –40°C 至 +150°C，V_{IN} = 13.5V，V_{OUT} = V_{FB}，I_{OUT} = 100µA，C_{OUT} = 1µF，C_{IN} = 1µF 以及 $V_{ADJ/EN}$ = 5V，；典型值条件为 T_J = 25°C

参数		测试条件	最小值	典型值	最大值	单位
I_Q	静态电流	V_{IN} = 6.2V 至 40V，I_{OUT} = 100µA，T_J = 25ºC		60	72	µA
		V_{IN} = 6.2V 至 40V，I_{OUT} = 100µA，–40ºC < T_J < 85ºC			77	
		V_{IN} = 6.2V 至 40V，I_{OUT} = 100µA			83	
I_{GND}	接地电流	V_{IN} = 6.2V 至 40V，$V_{ADJ/EN}$ = 5V，I_{OUT} = 300mA			2.45	mA
$I_{SHUTDOWN}$	关断电源电流	$V_{ADJ/EN}$ = 0V			3.8	µA
$I_{ADJ/EN}$	ADJ/EN 引脚电流	I_{OUT} = 100µA			1.2	µA
$V_{UVLO\ (RISING)}$	上升输入电源 UVLO	V_{IN} 上升，I_{OUT} = 5mA	2.6	2.7	2.85	V
$V_{UVLO\ (FALLING)}$	下降输入电源 UVLO	V_{IN} 下降，I_{OUT} = 5mA	2.3	2.4	2.5	V
$V_{UVLO\ (HYST)}$	$V_{UVLO(IN)}$ 迟滞			300		mV
V_{IL}	使能逻辑输入低电平				0.8	V
V_{IH}	使能逻辑输入高电平		1.8			V
ΔV_{OUT}	输出电压跟踪准确度	V_{IN} = V_{OUT} + 1.2V 至 40V，I_{OUT} = 100µA 至 300mA (1)	-6		6	mV
$\Delta V_{OUT\ (\Delta VIN)}$	线性调整率	V_{IN} = V_{OUT} + 1.2V 至 40V，I_{OUT} = 100µA	-0.4		0.4	mV
ΔV_{OUT} (ΔIOUT)	负载调节率	V_{IN} = V_{OUT} + 1.2V，I_{OUT} = 100µA 至 300mA (1)			0.6	mV
V_{DO}	压降电压	I_{OUT} = 200mA，$V_{ADJ/EN}$ ≥ 3.3V，V_{IN} = $V_{ADJ/EN}$		330	665	mV
I_{CL}	输出电流限制	V_{IN} = V_{OUT} + 1.2V，V_{OUT} 短接至 90% x $V_{ADJ/EN}$	320	460	530	mA
PSRR	电源纹波抑制	V_{RIPPLE} = 1V_{PP}，频率 = 100Hz，I_{OUT} ≥ 5mA		80		dB
V_n	输出噪声电压	V_{OUT} = 3.3V，I_{OUT} = 1mA，BW = 10Hz 至 100KHz，将 5µV_{RMS} 参考用于此测量		150		µV_{RMS}
I_{REV}	V_{IN} 下的反向电流	V_{IN} = 0V，V_{OUT} = 32V	-0.6		0.6	µA
I_{REV-N1}	V_{IN} 为负时的反向电流	V_{IN} = -20V，V_{OUT} = 20V	-1.2		1.2	µA
I_{FB}	反馈引脚电流			0.1	0.25	µA
$T_{SD(SHUTDOWN)}$	结关断温度			175		°C
$T_{SD(HYST)}$	热关断迟滞			15		°C

(1) 由于功率耗散可能很大，因此该规格是使用低占空比脉冲测试测得的。有关在将结温保持在 150℃ 以下时器件耗散多少功率的更多信息，请参阅热性能信息表。

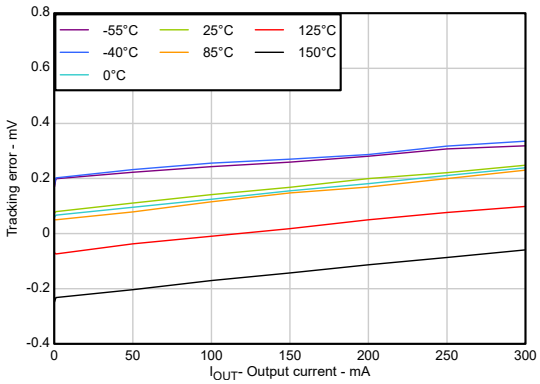
Copyright © 2025 Texas Instruments Incorporated

5.6 典型特性



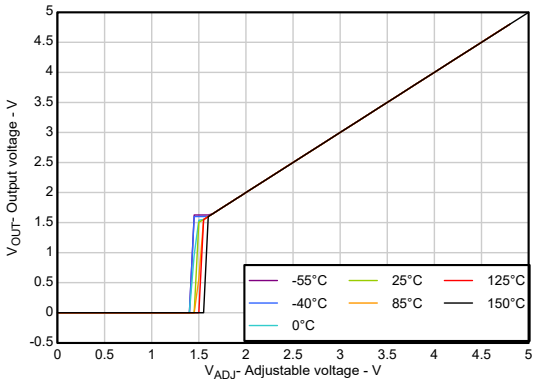
V_{IN} = 13.5 V，$V_{ADJ/EN}$ = 5 V，V_{FB} = V_{OUT}

图 5-1. 跟踪误差与环境温度间的关系



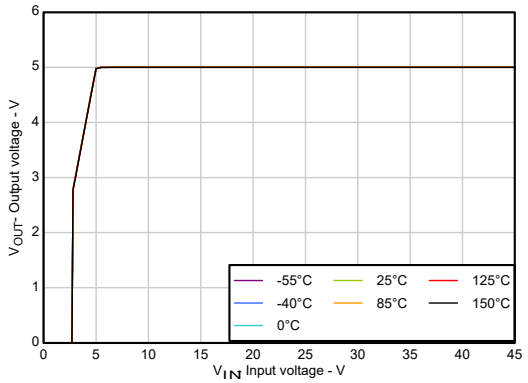
V_{IN} = 13.5 V，$V_{ADJ/EN}$ = 5 V，V_{FB} = V_{OUT}

图 5-2. 跟踪误差与输出电流间的关系



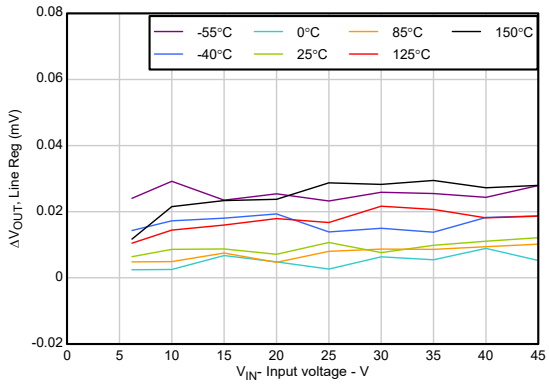
V_{IN} = 13.5 V，V_{FB} = V_{OUT}，I_{OUT} = 10 mA

图 5-3. 输出电压与可调节参考电压间的关系



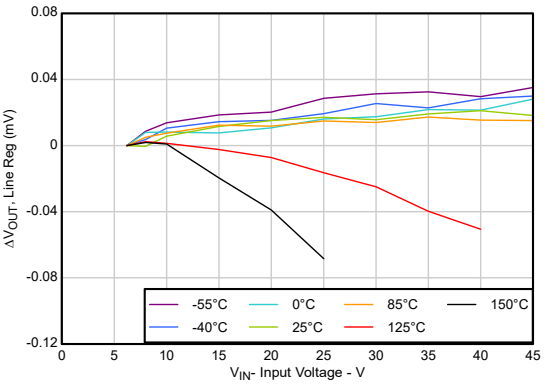
$V_{ADJ/EN}$ = 5 V，V_{FB} = V_{OUT}，I_{OUT} = 10 mA

图 5-4. 输出电压与输入电压间的关系



$V_{ADJ/EN}$ = 5 V，V_{FB} = V_{OUT}，I_{OUT} = 100 µA

图 5-5. 线性调整率

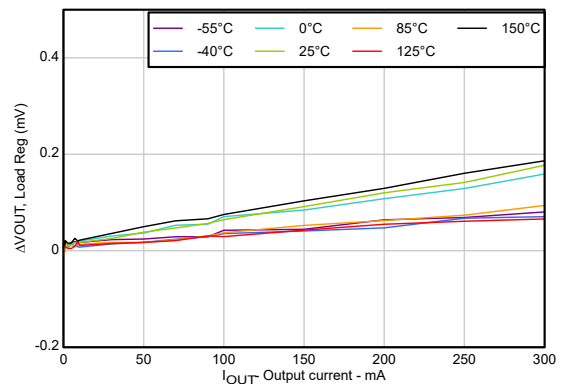


$V_{ADJ/EN}$ = 5 V，V_{FB} = V_{OUT}，I_{OUT} = 200 mA

图 5-6. 线性调整率

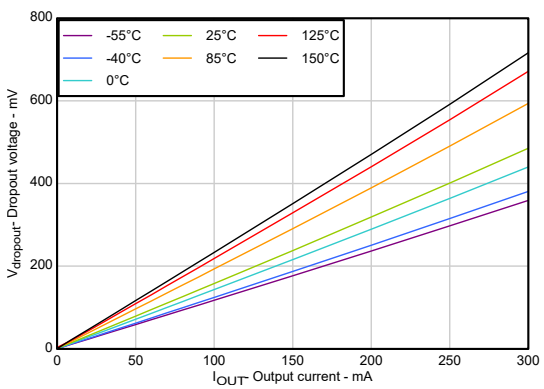
Copyright © 2025 Texas Instruments Incorporated

5.6 典型特性（续）



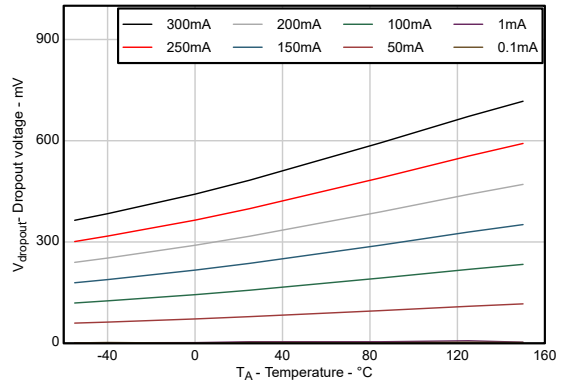
V_{IN} = 13.5 V，$V_{ADJ/EN}$ = 5 V，V_{FB} = V_{OUT}

图 5-7. 负载调整率



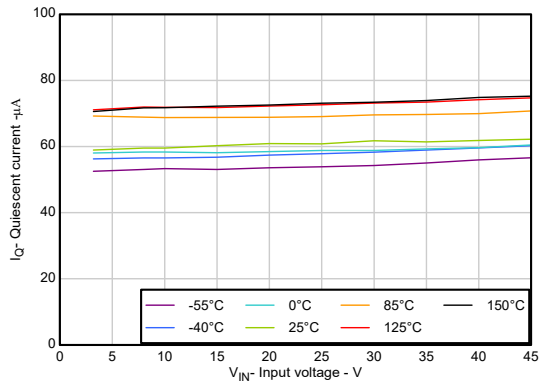
V_{IN} = 5 V，$V_{ADJ/EN}$ = 5 V，V_{FB} = V_{OUT}

图 5-8. 压降电压与负载电流间的关系



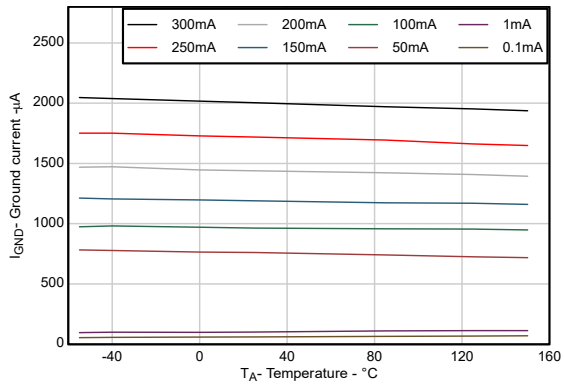
V_{IN} = 5 V，$V_{ADJ/EN}$ = 5 V，V_{FB} = V_{OUT}

图 5-9. 压降电压与环境温度间的关系



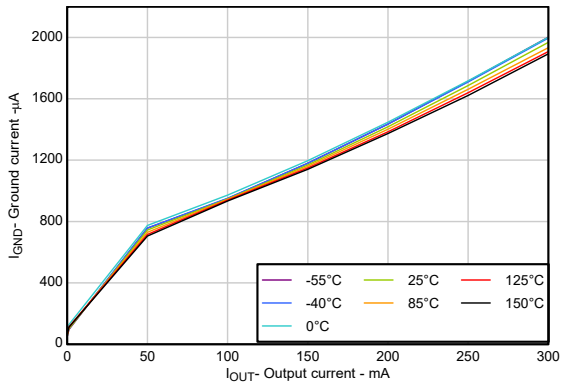
$V_{ADJ/EN}$ = 2 V，V_{FB} = V_{OUT}，I_{OUT} = 100 µA

图 5-10. 静态电流与输入电压间的关系



V_{IN} = 13.5 V，$V_{ADJ/EN}$ = 5 V，V_{FB} = V_{OUT}

图 5-11. 接地电流与环境温度间的关系

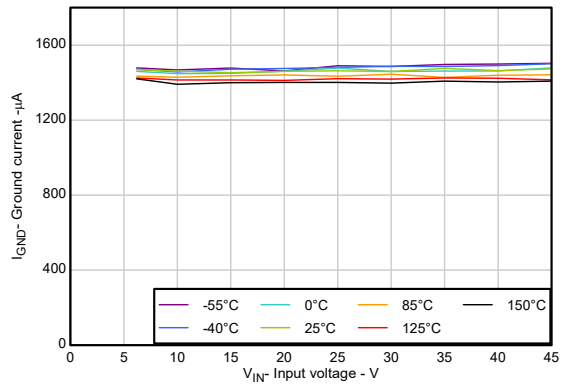


V_{IN} = 13.5 V，$V_{ADJ/EN}$ = 5 V，V_{FB} = V_{OUT}

图 5-12. 接地电流与输出电流间的关系

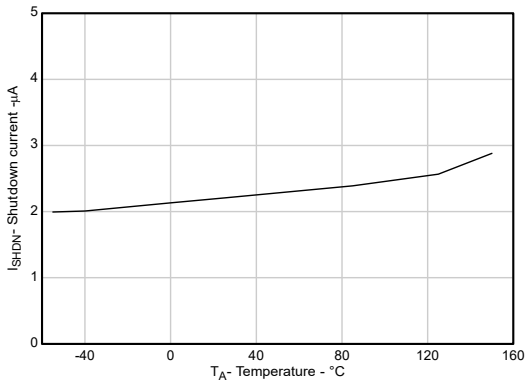
Copyright © 2025 Texas Instruments Incorporated

5.6 典型特性（续）



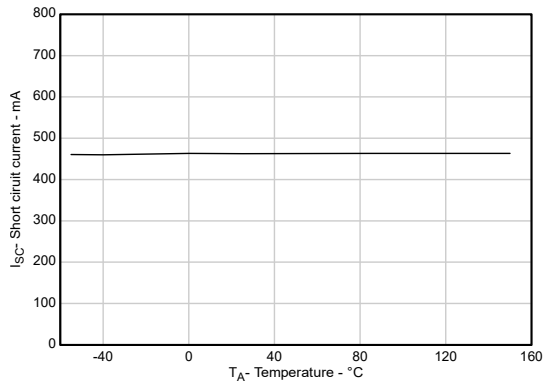
$V_{ADJ/EN}$ = 5 V，V_{FB} = V_{OUT}，I_{OUT} = 200 mA

图 5-13. 接地电流与输入电压间的关系



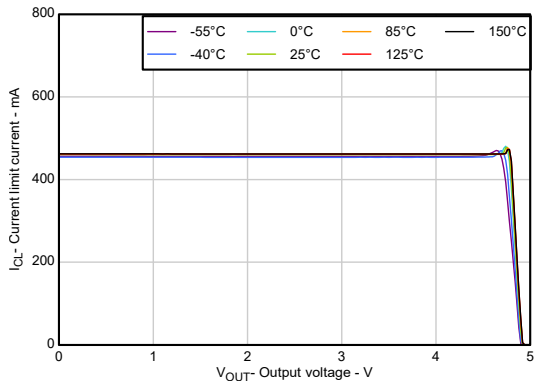
V_{IN} = 13.5 V，$V_{ADJ/EN}$ = 0 V，V_{FB} = V_{OUT}

图 5-14. 关断电流与环境温度间的关系



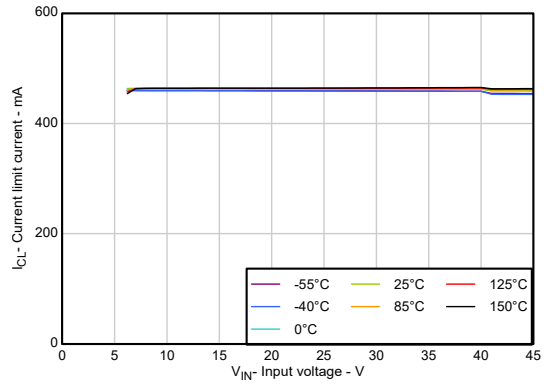
V_{IN} = 13.5V，$V_{ADJ/EN}$ = 5V，V_{OUT} = 0.9 × $V_{OUT\ NOM}$

图 5-15. 电流限制与环境温度间的关系



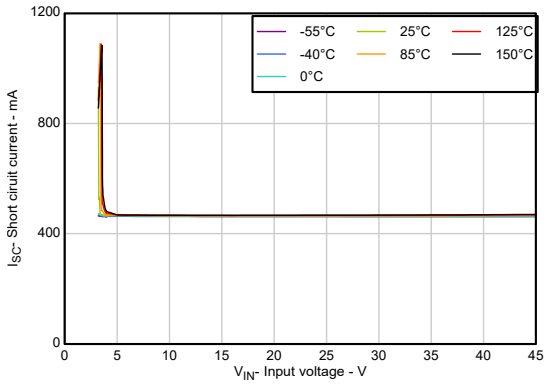
V_{IN} = 13.5V，$V_{ADJ/EN}$ = 5V

图 5-16. 电流限制与输出电压间的关系



$V_{ADJ/EN}$ = 5V，V_{OUT} = 0.9 × $V_{OUT\ NOM}$

图 5-17. 电流限制与输入电压间的关系

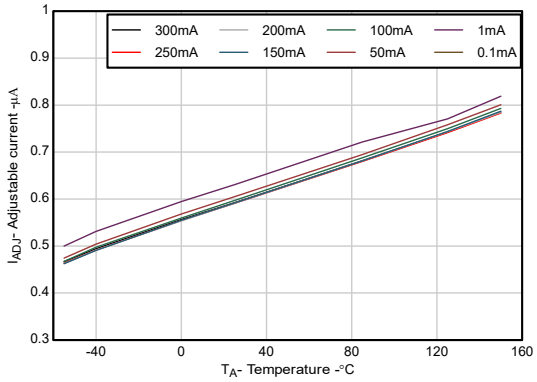


$V_{ADJ/EN}$ = 2V，V_{OUT} = 0V

图 5-18. 电流限制与输入电压间的关系

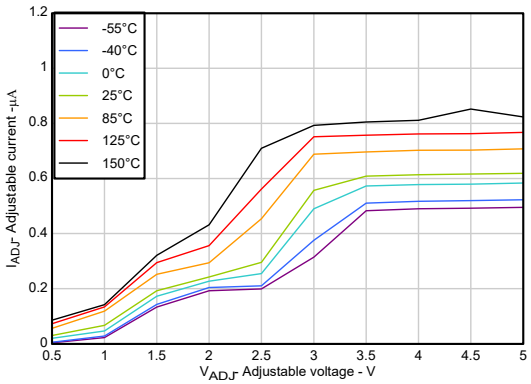
Copyright © 2025 Texas Instruments Incorporated

5.6 典型特性（续）



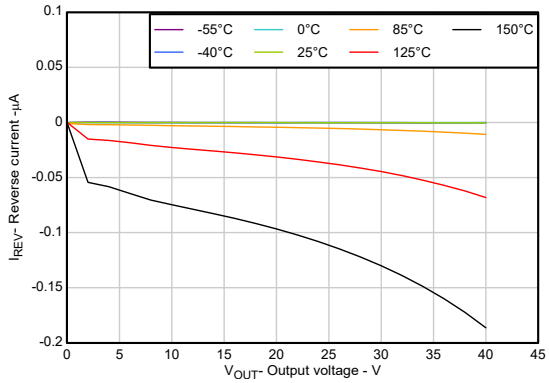
V_{IN} = 13.5 V，$V_{ADJ/EN}$ = 5 V，V_{FB} = V_{OUT}

图 5-19. 可调节引脚漏电流与环境温度间的关系



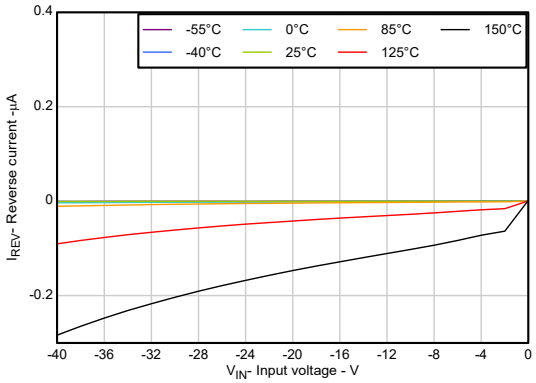
V_{IN} = 13.5 V，V_{FB} = V_{OUT}，I_{OUT} = 200 mA

图 5-20. 可调节引脚漏电流与可调节引脚电压间的关系



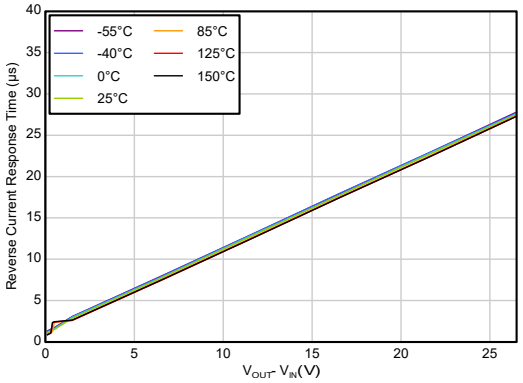
V_{IN} = 0V，V_{FB} = V_{OUT}，$V_{ADJ/EN}$ = 5V

图 5-21. 反向漏电流与输出电压间的关系



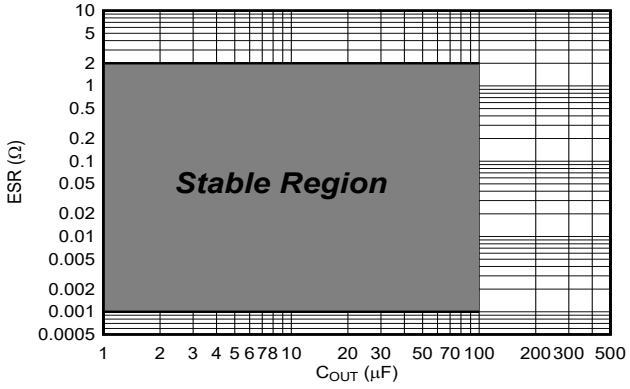
V_{OUT} = 0V，V_{FB} = V_{OUT}，$V_{ADJ/EN}$ = 5V

图 5-22. 反向漏电流与输入电压间的关系



V_{IN} = 13.5V，$V_{ADJ/EN}$ = 5V，仿真结果

图 5-23. 反向电流保护响应时间与输出输入差分电压间的关系

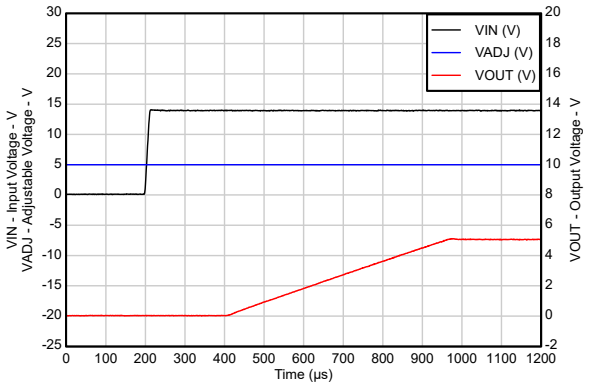


稳定区域：1mΩ ≤ ESR ≤ 2Ω，1µF ≤ C_{OUT} ≤ 100µF

图 5-24. ESR 与负载电容间的关系

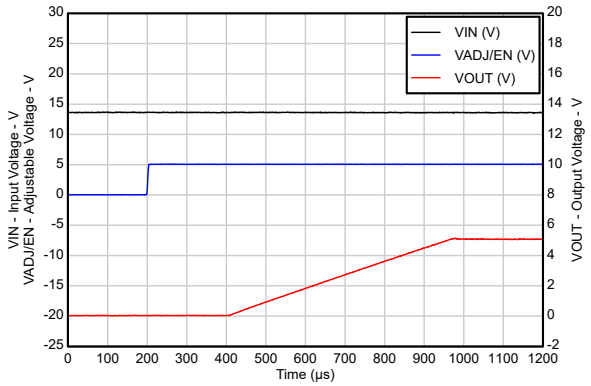
Copyright © 2025 Texas Instruments Incorporated

5.6 典型特性（续）



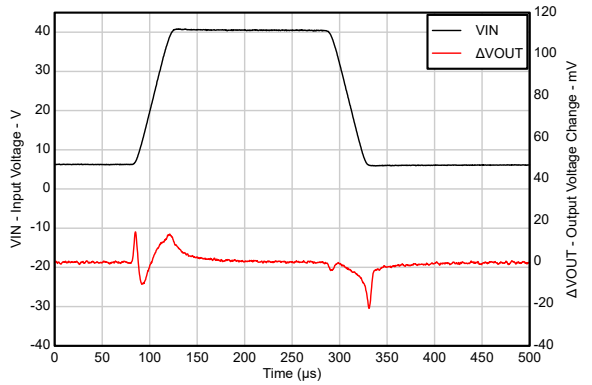
在 1V/µs 的压摆率下 V_{IN} = 0V 至 13.5V，$V_{ADJ/EN}$ = 5V，V_{FB} = V_{OUT}，C_{OUT} = 1µF，I_{OUT} = 200mA

图 5-25. 启动曲线



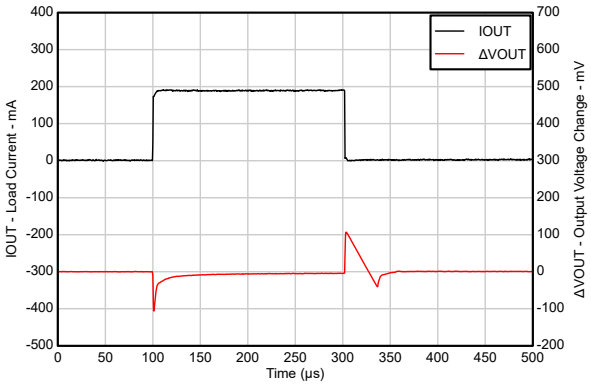
在 1V/µs 的压摆率下 $V_{ADJ/EN}$ = 0V 至 5V，V_{IN} = 13.5V，V_{FB} = V_{OUT}，C_{OUT} = 1µF，I_{OUT} = 200mA

图 5-26. 启动曲线



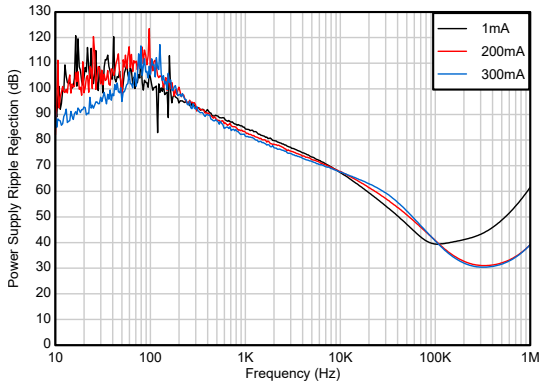
在 1V/µs 的压摆率下 V_{IN} = 6V 至 40V，$V_{ADJ/EN}$ = 5V，V_{FB} = V_{OUT}，C_{OUT} = 1µF，I_{OUT} = 200mA

图 5-27. 线路瞬态



V_{IN} = 13.5V，$V_{ADJ/EN}$ = 5V，V_{FB} = V_{OUT}，C_{OUT} = 1µF，I_{OUT} = 1mA 至 200mA（1A/µs 时）

图 5-28. 负载瞬态



V_{IN} = 13.5V，$V_{ADJ/EN}$ = 5V，V_{FB} = V_{OUT}，C_{OUT} = 1µF

图 5-29. PSRR 与频率间的关系

Copyright © 2025 Texas Instruments Incorporated

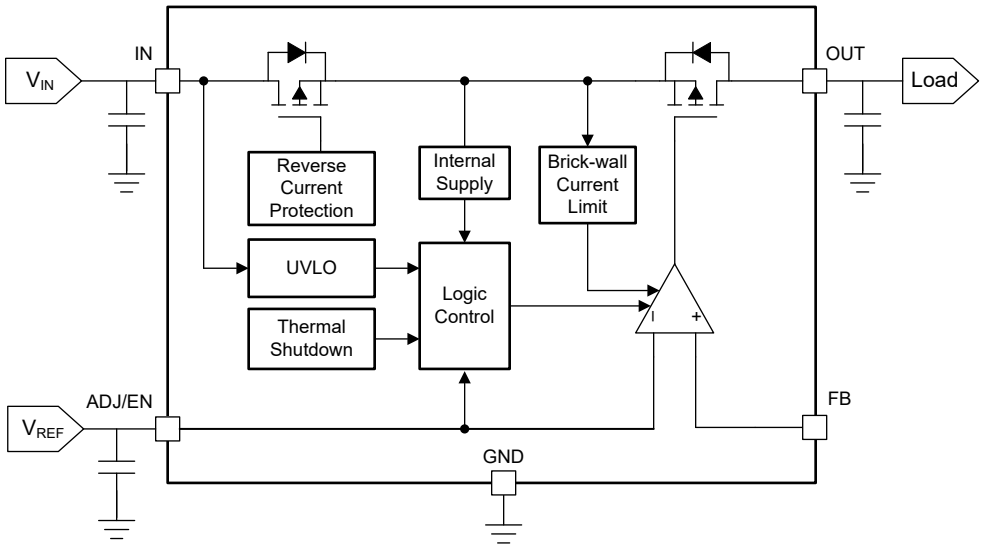
6 详细说明

6.1 概述

TPS7B4260-Q1 是一款集成低压降 (LDO) 电压跟踪器，具有超低跟踪容差。由于在为非板载传感器供电时很容易发生电缆短路，因此 LDO 中内置了多项功能。这些功能可防止出现电池短路、GND 短路和反向电流等故障状况。

此外，该器件还具有热关断保护、砖墙式限流、欠压锁定 (UVLO) 和反极性保护功能。

6.2 功能方框图



6.3 特性说明

6.3.1 跟踪器输出电压 (V_{OUT})

由于该器件是跟踪 LDO，因此输出电压由提供给 ADJ/EN 引脚的电压决定。只要 $V_{ADJ/EN}$ 小于 V_{IL}，LDO 就会保持禁用状态。当 $V_{ADJ/EN}$ 超出 V_{IH} 时，输出电压 V_{OUT} 开始上升。该器件集成了软启动特性，可使输出电压线性上升，并限制启动时的浪涌电流。在启动并达到稳定状态后，在所有指定的运行条件下，V_{FB} 相对于 ADJ/EN 引脚上设定的电压保持在±6mV 范围内。V_{FB} 是反馈引脚电压。

Copyright © 2025 Texas Instruments Incorporated

6.3.1.1 输出电压等于参考电压

图 6-1 显示了直接施加到 ADJ/EN 引脚的外部参考电压，以及连接至 OUT 引脚的 FB 引脚。在这些条件下，LDO 输出电压等于参考电压，如方程式 1 所示。

$$V_{OUT} = V_{REF} \quad (1)$$

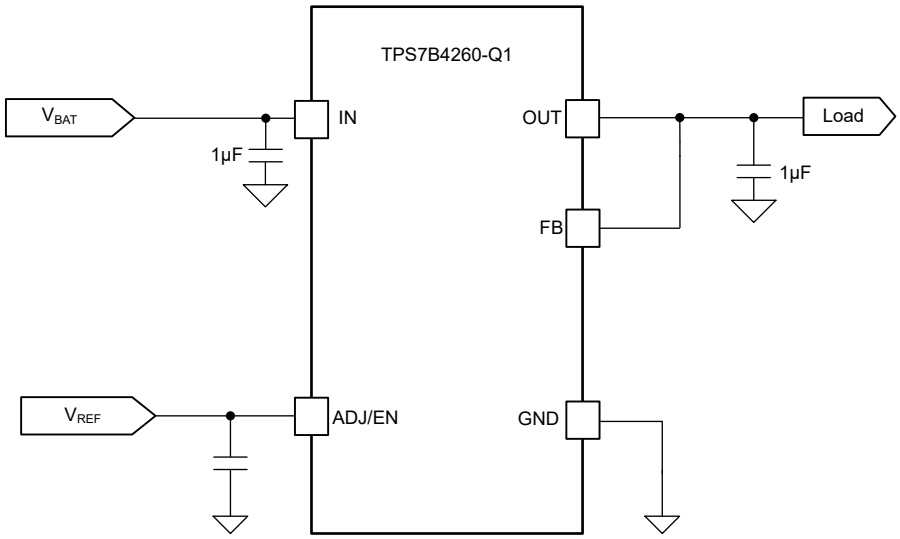


图 6-1. 跟踪器输出电压等于参考电压

6.3.1.2 输出电压小于参考电压

如图 6-2 中所示，在 ADJ/EN 引脚上连接一个外部电阻分压器，可帮助生成低于参考电压的输出电压。确保 R_1 和 R_2 都必须小于 100kΩ 才能最大程度地减小 ADJ/EN 引脚泄漏电流 $I_{ADJ/EN}$ 导致的电压误差。方程式 2 计算 V_{out}。

$$V_{OUT} = \frac{(V_{REF} \times R_2)}{R_1 + R_2} \quad (2)$$

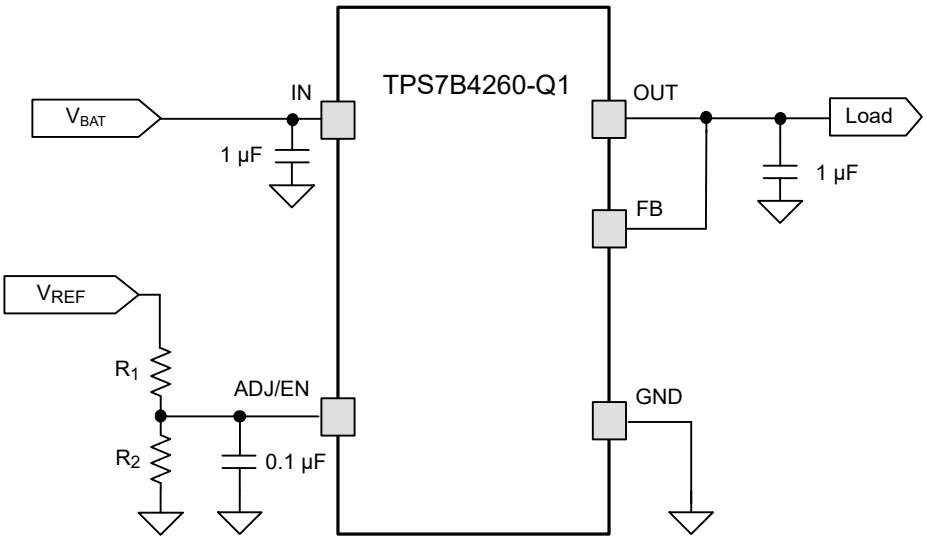


图 6-2. 跟踪器输出电压低于参考电压

Copyright © 2025 Texas Instruments Incorporated

6.3.1.3 输出电压大于参考电压

如图 6-3 所示，在 OUT 和 FB 引脚之间连接一个外部电阻分压器有助于生成高于参考电压的输出电压。确保 R_1 和 R_2 都必须小于 100kΩ 才能将 FB 引脚泄漏电流 I_{FB} 引起的电压误差降至最低。方程式 3 计算 V_{out}。

$$V_{OUT} = V_{REF} \times \left(1 + \frac{R_1}{R_2}\right) \quad (3)$$

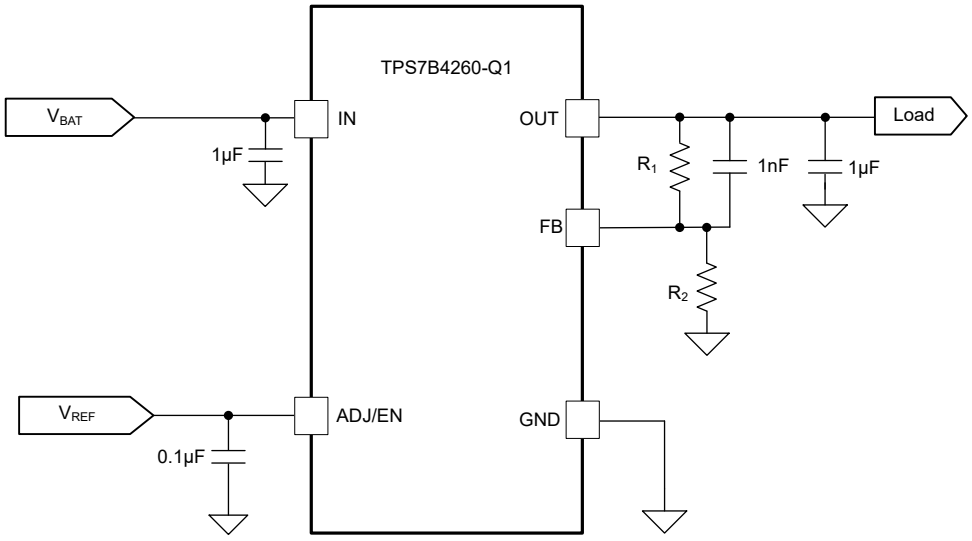


图 6-3. 跟踪器电压大于参考电压

6.3.2 反向电流保护

TPS7B4260-Q1 采用背对背 PMOS 拓扑。这种拓扑结构可保护器件免受 V_{OUT} 高于 V_{IN} 的故障情况影响，并阻止反向电流流动。如果发生该故障状况，器件不会受到损坏、前提是未违反 *绝对最大额定值* 。这种集成保护功能消除了对外部二极管的需求。反向电流比较器通常在 10µs 内堆反向电压情况做出响应。比较器与阻断型 PMOS 晶体管的体二极管一起将反向电流限制在 1.2µA 以下。 *电气特性* 表中详细说明了 I_{REV}。

6.3.3 欠压锁定

该器件具有内部固定的欠压锁定 (UVLO) 阈值。当输入电压 V_{IN} 降至欠压锁定水平以下时（请参阅 $V_{UVLO(FALLING)}$ 参数，该参数位于 *电气特性* 表），将激活欠压锁定。此激活可确保稳压器不会在低输入电源电压期间锁定为未知状态。如果输入电压出现负瞬态，降至 UVLO 阈值以下，稳压器将关断。当输入电压恢复到所需电平时，稳压器按照标准上电顺序上电。请参阅 *电气特性* 表中的 $V_{UVLO(RISING)}$参数。

6.3.4 热保护

当结温上升至大约 175°C 时，过热保护会禁用输出以使器件冷却。此功能限制了稳压器的热耗散，防止稳压器因过热而损坏。当结温被冷却至大约 160°C 时，输出电路又会被启用。尽管该器件在如此高的温度下仍能工作，但器件参数和性能都是在 150°C 结温以下指定的。功率耗散、热阻和环境温度是决定是否启用热保护电路的参数。启用后，除非功耗和/或环境温度降低，否则保护电路会继续在导通和关断状态之间循环。

TPS7B4260-Q1 的内部保护电路经过设计，可防止出现过载情况。该电路并不是为了取代适当的散热装置。TPS7B4260-Q1 持续不断地运行至热关断状态会降低器件的可靠性。

6.3.5 电流限值

该器件具有内部电流限制电路，可在过流或短路事件期间保护器件。如图 6-4 中所示，该电流限制电路是一种砖墙方案。当器件处于电流限制状态时，不会调节器件电源 I_{CL} 和输出电压。在这种情况下，输出电压取决于负载阻抗。

Copyright © 2025 Texas Instruments Incorporated

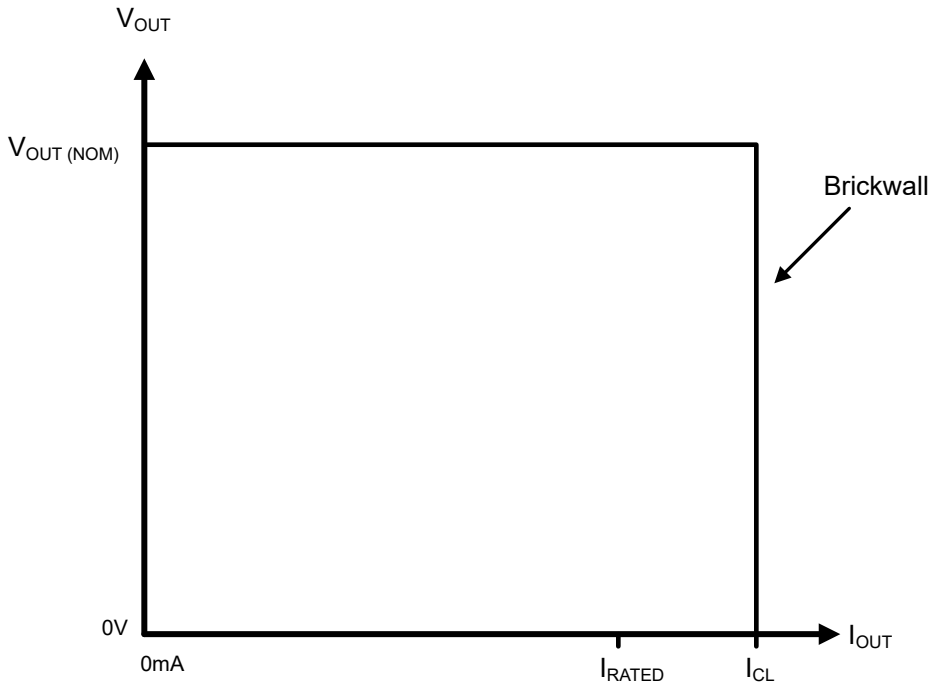


图 6-4. 砖墙电流限制方案

在电流限制事件期间，由于电流电平升高和输入到输出差分电压 (V_{IN} – V_{OUT}) 增加，有可能出现大功率耗散。如果热损耗过大，它会进入热关断状态。如果器件冷却后重新开启时电流限制条件未消失，则器件将重新进入热关断状态。这个循环会一直持续到电流限制条件消失。该器件能够承受此故障，但在该模式下重复运行会导致长期可靠性下降。

当输入电压为 V_{IN} ≥ 3.7V 时，此器件的电流限制 (I_{CL}) 符合 *电气特性* 中提供的规格。如果器件在 3.3V ≤ V_{IN} < 3.7V 的范围内运行时输出对地短路，流经器件的电流会大于 I_{CL}。图 5-18 介绍了此行为。

6.3.6 输出对电池短路

图 6-5 描述了 TPS7B4260-Q1 直接由电池供电，输出对电池短路的情况。只要未超出绝对最大额定值，TPS7B4260-Q1 就能在这种故障条件下正常工作，器件不会损坏。图 6-6 描述了器件由低于 V_{BAT} 的电压源供电时输出对电池短路的情况。在此示例中，当跟踪器输出对电池短路时，TPS7B4260-Q1 电源输入电压设置为 7V。跟踪器输出的工作电压通常为 5V，电池的工作电压通常为 14V。背对背 PMOS 晶体管拓扑有助于限制流经 V_{IN} 和 I_{REV} 的连续反向电流，如 *电气特性* 表中所示。

Copyright © 2025 Texas Instruments Incorporated

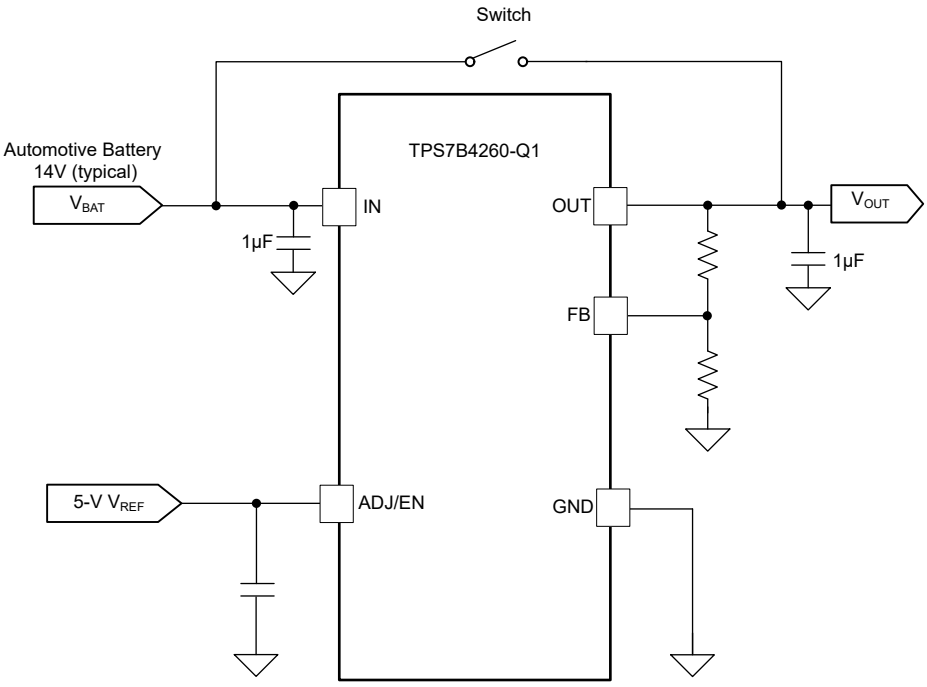


图 6-5. 跟踪器输出对电池短路

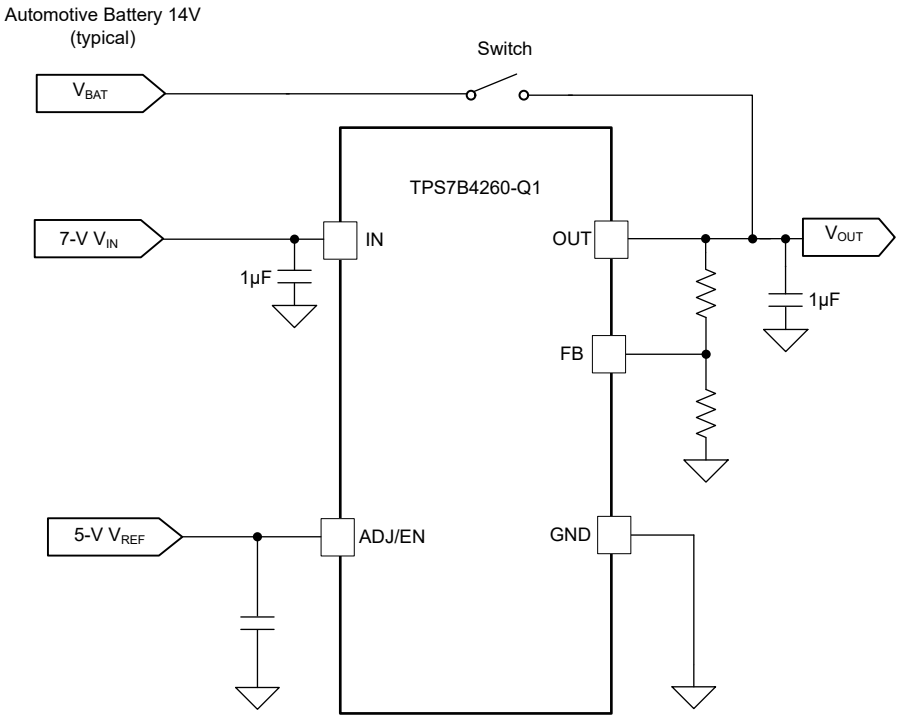


图 6-6. 跟踪器输出电压高于输入电压

6.3.7 具有使能电路的跟踪稳压器

通过将参考电压拉至 V_{IL} 以下，器件会禁用并进入睡眠状态，在该状态下，器件会从电源获取 3.8 µA（最大值）。在典型应用中，基准电压通常来自另一个 LDO 电压导轨。可以在不关断基准电压的情况下禁用器件。在本例中按 图 6-7 所示配置器件。TPS7B84-Q1 是一款具有超低静态电流的 150mA LDO，可为 TPS7B4260-Q1 和 ADC 提供参考电压。该器件的工作状态由微控制器 (MCU) 输入或输出 (I/O) 控制。

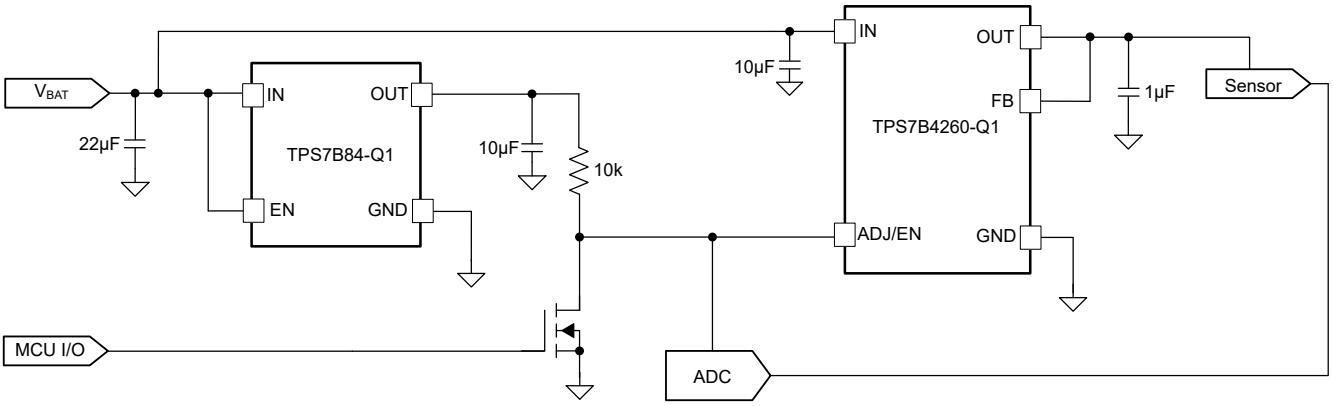


图 6-7. 通过使能电路跟踪 LDO

Copyright © 2025 Texas Instruments Incorporated

6.4 器件功能模式

表 6-1 给出了不同工作模式的参数条件。有关参数值，请参阅 *电气特性* 表。

表 6-1. 器件功能模式比较

工作模式	参数(1)			
	V_{IN}	$V_{ADJ/EN}$	I_{OUT}	T_J
正常运行	$V_{IN} > V_{OUT(Nom)} + V_{DO}$ 和 $V_{IN} \geq V_{IN(min)}$	$V_{ADJ/EN} > V_{IH}$	$I_{OUT} \leq I_{OUT(max)}$	$T_J \leq 150°C$
压降运行	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{ADJ/EN} > V_{IH}$	$I_{OUT} \leq I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
禁用（任何真条件都会禁用该器件）	$V_{IN} < V_{UVLO}$	$V_{ADJ/EN} < V_{IL}$	不适用	$T_J > T_{SD(shutdown)}$

(1) 当 V_{IN} 大于 $V_{UVLO(RISING)}$ 且 $V_{ADJ/EN}$ 大于使能上升阈值 V_{IH} 时，器件会开启。

6.4.1 正常运行

满足以下条件时，器件输出电压 $V_{OUT\ (Nom)}$ 会跟踪 ADJ/EN 引脚上的参考电压：

- 输入电压至少为 3.3V ($V_{IN(min)}$)，大于额定输出电压加上压降电压 ($V_{OUT(nom)} + V_{DO}$)
- ADJ/EN 引脚上的参考电压高于使能上升阈值 V_{IH}，可稳定地保持在适当的 V_{REF} 值处
- 输出电流小于 $I_{OUT(max)}$ ($I_{OUT} \leqslant 300mA$)
- 器件结温不超过 150℃ ($T_J \leqslant 150℃$)。

6.4.2 压降运行

如果输入电压低于标称输出电压与指定压降电压之和，则器件在压降模式下运行。在此模式下，输出电压会跟踪输入电压。在此模式下，器件的瞬态性能会显著下降。在此模式下，导通晶体管驱动为完全导通。压降过程中的线路或负载瞬态可能会导致输出电压偏差较大。

在压降状态下，跟踪器的导通晶体管被驱动进入欧姆区或三极管区。在此状态下，输入和输出电压的关系为 $V_{IN} < V_{OUT\ (NOM)} + V_{DO}$。如果跟踪器器件直接从正常调节状态进入压降状态，导通晶体管将从饱和区转换到三极管区。在这种情况下，如果输入电压恢复为值 $V_{in} > V_{OUT\ (NOM)} + V_{DO}$，则器件会退出压降状态。跟踪器需要较短的时间将导通晶体管从三极管区拉回饱和区。在器件退出压降状态的这段短时间内，输出电压可能会有明显的过冲。

6.4.3 在 V_{IN} < 3.3V 的情况下运行

对于低于 3.3V 和高于 $V_{UVLO\ (下降)}$ 的输入电压，LDO 将继续运行。但是，某些内部电路可能没有适当的余量，无法在规格范围内运行。当输入电压下降到低于 $V_{UVLO\ (FALLING)}$ 时，器件关断。

6.4.4 通过 ADJ/EN 控制禁用

ADJ/EN 引脚用作 LDO 的参考和使能引脚。如果 $V_{ADJ/EN}$ 小于 V_{IL}，LDO 将禁用。当被禁用时，导通晶体管被关闭，内部电路被关断，并且 LDO 处于低功耗模式。

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

7.1.1 压降电压

压降电压 (V_{DO}) 定义为导通晶体管完全导通时 V_{IN} – V_{OUT} 之差。V_{IN} 是输入电压，V_{OUT} 是输出电压。当输入电压下降到误差放大器将导通晶体管的栅极驱动至电源轨时，就会出现这种情况。在这种情况下，控制环路没有剩余的工作余量。在该运行点，导通晶体管驱动为完全导通。压降电压直接指定器件保持稳定输出电压所需的最小 V_{IN}–V_{OUT} 差值。如果输入电压降至低于标称输出调节，输出电压也会下降，减少掉压降电压 (V_{DO})。

在压降模式下，不再调节输出电压，瞬态性能会严重下降。该器件会丢失 PSRR，并且负载瞬态可能会导致较大的输出电压偏差。

对于 CMOS 稳压器，压降电压由导通晶体管的漏源导通状态电阻 ($R_{DS(ON)}$) 决定。因此，如果线性稳压器的工作电流小于额定输出电流 (I_{RATED})，该电流的压降电压会相应地变化。 *建议运行条件* 表中详细说明了 I_{RATED}。以下公式用于计算器件的 $R_{DS(ON)}$。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \tag{4}$$

7.1.2 反向电流

TPS7B4260-Q1 集成了反向电流保护功能，可防止因 V_{OUT} 高于 V_{IN} 的故障情况而造成损坏。反向电流比较器通常在 10 µ s 内堆反向电压情况做出响应。比较器与阻断型 PMOS 晶体管的体二极管一起将反向电流限制在 1.2µA 以下。只要未超出绝对最大额定值，器件就不会损坏。

Copyright © 2025 Texas Instruments Incorporated

7.2 典型应用

图 7-1 显示了 TPS7B4260-Q1 的典型应用电路。

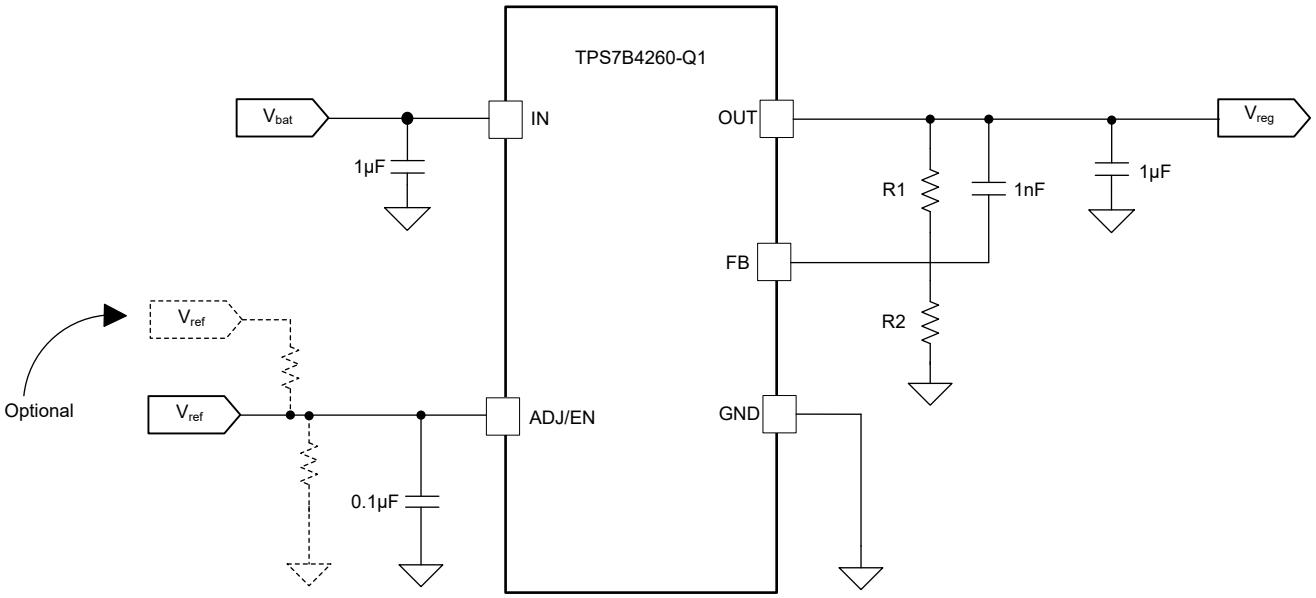


图 7-1. 典型应用原理图

7.2.1 设计要求

此设计示例使用表 7-1 中列出的参数。

表 7-1. 设计参数

设计参数	示例值
输入电压	3.3V 至 40V
ADJ/EN 参考电压	2V 至 40V
输出电压	2V 至 40V
输出电流额定值	300mA
输出电容器范围	1µF 至 100µF
输出电容器 ESR 范围	1mΩ 至 2Ω

7.2.2 详细设计过程

7.2.2.1 输入和输出电容器选择

根据终端应用的不同，可以使用不同值的外部元件。一些应用使用大输出电容器来支持快速负载步进。大电容器有助于防止输出电压显著下降，否则会导致下游元件复位。使用电介质类型为 X5R 或 X7R 的低等效串联电阻 (ESR) 陶瓷电容器，以获得更好的负载瞬态响应。

TPS7B4260-Q1 需要至少为 1µF（500nF 或更大电容）的输出电容器来实现稳定性，并需要一个介于 0.001Ω 和 2Ω 之间的 ESR。如果没有输出电容器，稳压器将振荡。为了获得出色瞬态性能，请使用 X5R 和 X7R 类型的陶瓷电容器，因为这些电容器的值和 ESR 随温度的变化极小。为特定应用选择电容器时，请注意电容器的直流偏置特性。较高的输出电压会导致电容器显著降额。对于大多数应用而言，OUT 引脚上的低 ESR、10µF 陶瓷电容器足以提供出色的瞬态性能。

不需要输入电容器即可实现稳定性。不过，良好的模拟实践是在 GND 和 TPS7B4260-Q1 的 IN 引脚之间连接一个电容器（500nF 或更大电容值）。一些输入电源具有高阻抗，因此将输入电容器放置在输入电源上有助于降低输入阻抗。该电容可抵消电抗性输入源，并改善瞬态响应、输入纹波和 PSRR。如果输入电源在很大的频率范围

Copyright © 2025 Texas Instruments Incorporated

内具有高阻抗，请并联使用多个输入电容器以降低频率范围内的阻抗。如果有可能出现较大、快速上升时间的负载瞬态或者器件距离输入电源几英寸远，请使用一个更大电容值的电容器。

7.2.2.2 反馈电阻器选型

V_{OUT} 根据以下公式通过 ADJ/EN 引脚处的电压以及外部反馈电阻 R_1 和 R_2 进行设置：

$$V_{OUT} = V_{ADJ/EN} \times \left(1 + \frac{R_1}{R_2}\right) \quad (5)$$

为了忽略 V_{OUT} 公式中的 FB 引脚电流误差项，请将反馈分压器电流设置为 FB 引脚电流 (I_{FB}) 的 100 倍。 *电气特性* 表中列出了 I_{FB}。该设置提供了最大反馈分压器串联电阻，如以下公式所示：

$$R_1 + R_2 \leq \frac{V_{OUT}}{(I_{FB} \times 100)} \quad (6)$$

7.2.2.3 前馈电容器

建议在 OUT 引脚和 FB 引脚之间连接前馈电容器 (C_{FF})。C_{FF} 可改善瞬态、噪声和 PSRR 性能。但是，LDO 启动时间随着 C_{FF} 电容的增加而增加。有关 C_{FF} 权衡的详细说明，请参阅 *使用前馈电容器和低压降稳压器的优缺点 应用手册*。

如图 7-2 所示，不良的布局做法以及在 FB 引脚上使用长布线会导致形成寄生电容器 (C_{FB})。

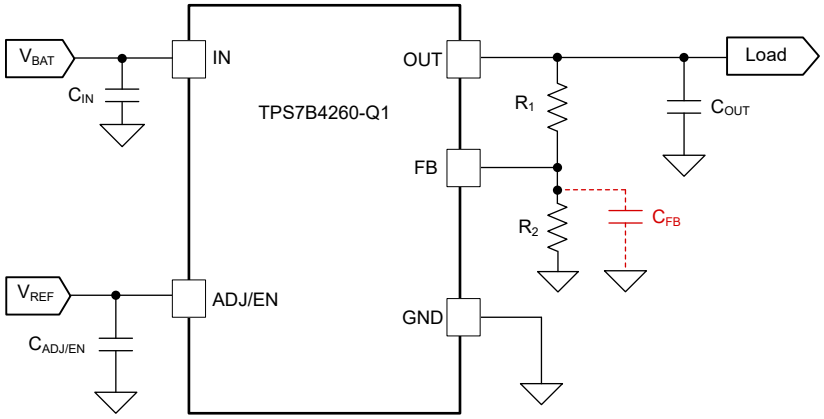


图 7-2. 在 FB 引脚上的寄生电容器

C_{FB} 与反馈电阻器 R_1 和 R_2 结合，可能会导致在环路增益的传递函数中形成一个未补偿的极点。当 C_{FB} 值只有 20pF 时，可能会导致由 方程式 7 给出的寄生极点频率处于 LDO 带宽范围内。

$$f_P = \frac{1}{(2 \times \pi \times C_{FB} \times (R_1 \parallel R_2))} \quad (7)$$

Copyright © 2025 Texas Instruments Incorporated

如 图 7-3 所示，添加前馈电容器 (C_{FF}) 会在环路增益传递函数中创建零点。这个零点补偿了 C_{FB} 产生的寄生极点。方程式 8 和方程式 9 用于计算极点和零点频率。

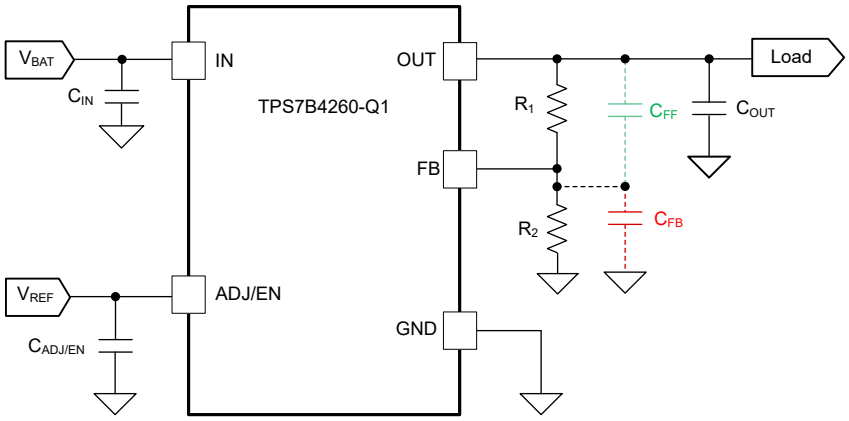


图 7-3. 前馈电容器有助于减轻寄生反馈电容器的影响

$$f_P = \frac{1}{(2 \times \pi \times (R_1 \parallel R_2) \times (C_{FF} + C_{FB}))} \quad (8)$$

$$f_Z = \frac{1}{(2 \times \pi \times C_{FF} \times R_1)} \quad (9)$$

选择一个使 f_P 等于 f_Z 的 C_{FF} 值可以消除极点零点。C_{FF} 值取决于 C_{FB} 的值以及应用中使用的反馈电阻器。或者，如果选择前馈电容器以使 $C_{FF} \gg C_{FB}$，则方程式 8 和方程式 9 中极点频率和零点频率的关系如下：

$$\frac{f_p}{f_z} \approx \left(1 + \frac{R_1}{R_2}\right) = \frac{V_{OUT}}{V_{ADJ/EN}} \quad (10)$$

在大多数应用中，尤其是产生 3.3V 或 5V V_{OUT} 的应用中，该比率不是很大。这意味着频率彼此接近，因而寄生极点会得到补偿。C_{FF} 值在 100pF ≤ C_{FF} ≤ 10nF 范围内通常有助于防止 C_{FB} 导致的不稳定，即使对于较大的 V_{OUT} 值也是如此。

遵循良好的布局实践有助于将寄生反馈引脚电容降至可防止产生的寄生极点导致不稳定的值。请参阅 *布局指南* 部分和 *TRKRLDOEVM-119 通用跟踪器 LDO 评估模块*用户指南。

Copyright © 2025 Texas Instruments Incorporated

7.2.3 应用曲线

以下几个图说明了 $R_{\theta JA}$ 和 ψ_{JB} 与 HSOIC-8 (DDA) 封装铜面积和厚度之间关系的函数。这些图是使用 101.6mm × 101.6mm × 1.6mm 两层和四层印刷电路板 (PCB) 生成的。对于 2 层板，底层是尺寸恒定的接地平面，顶层的覆铜与 GND 相连并发生变化。对于 4 层板，第二层是恒定尺寸的接地平面，第三层是恒定尺寸的电源平面。顶层和底层铜填充连接至 GND 并以相同的速率变化。对于 4 层板，内部平面使用 1oz 厚度的覆铜。外层均使用 1oz 和 2oz 铜厚度进行模拟。一个 3 × 3 阵列的热通孔具有 300µm 钻孔直径和 25µm 镀铜，位于器件下方。散热通孔连接顶层和底层，如果是 4 层板，则连接第一个内部 GND 平面。*PowerPAD™ 热增强型封装应用手册*讨论了散热通孔对热性能的影响。

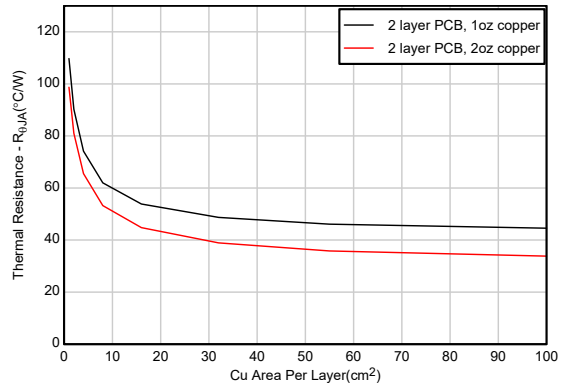


图 7-4. $R_{\theta JA}$ 与铜面积间的关系（HSOIC-8 封装，2 层 PCB）

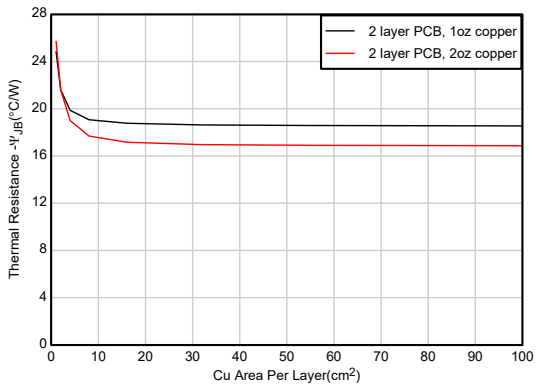


图 7-5. ψ_{JB} 与铜面积间的关系（HSOIC-8 封装，2 层 PCB）

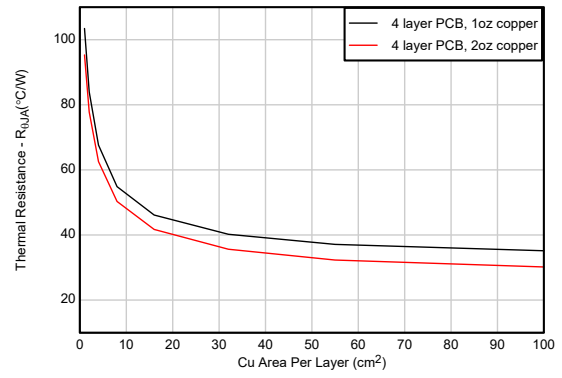


图 7-6. $R_{\theta JA}$ 与铜面积间的关系（HSOIC-8 封装，4 层 PCB）

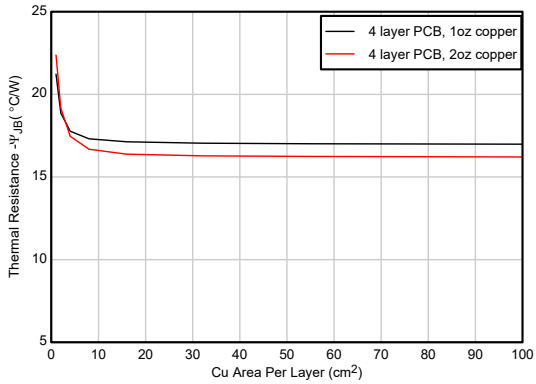


图 7-7. ψ_{JB} 与铜面积间的关系（HSOIC-8 封装，4 层 PCB）

7.3 电源相关建议

该器件设计为可在 3V 至 40V 的输入电源电压范围内运行。

7.4 布局

7.4.1 布局指南

为了获得出色的整体性能，请将所有电路元件放置在电路板的同一侧。将这些元件放置在尽可能靠近各自 LDO 引脚连接的位置。将输入和输出电容器的接地回路连接尽可能靠近 LDO 接地引脚。使用较宽的元件侧铜表面来连接两者。强烈建议不要在输入和输出电容器上使用过孔和长迹线、否则会对系统性能产生负面影响。使用嵌入在 PCB 中，或者位于 PCB 底部与元件相对位置的接地基准平面。该基准平面有助于提高输出电压的精度，并提供噪声屏蔽。当连接到散热焊盘时，此平面的作用类似于散热平面，可扩散（或吸收）LDO 器件的热量。在大多数应用中，此接地平面是满足散热要求的必要条件。

7.4.1.1 封装

有关 TPS7B4260-Q1 的焊盘占用空间建议，请参阅本文档末尾和 www.ti.com。

Copyright © 2025 Texas Instruments Incorporated

7.4.1.2 对于改进 PSRR 和噪声性能的电路板布局布线建议

为了改善 AC 性能（如 PSRR、输出噪声和瞬态响应等），在设计电路板时为 V_{IN} 和 V_{OUT} 使用单独的接地层。仅在器件的 GND 引脚上连接每个接地平面。此外，将输出电容器的接地连接直接连接到器件的 GND 引脚。

更大程度地减小等效串联电感 (ESL) 和等效串联电阻 (ESR)，从而更大限度地提高性能和稳定性。将每个电容器放置在尽可能靠近器件且和稳压器位于 PCB 同一侧的位置。

请勿将任何电容器放置在 PCB 安装稳压器的位置的相对侧。强烈建议不要使用通孔和长布线，因为这会对系统性能产生负面影响。通孔和长布线也可能导致不稳定。

如果可能，并且为了实现本文档中所述的最高性能，请使用与 TPS7B4260-Q1 评估板相同的布局模式。此评估板可在 www.ti.com 获取。

7.4.1.3 功率耗散和热效应注意事项

方程式 11 用于计算器件功率耗散。

$$P_D = I_{OUT} \times (V_{IN} - V_{OUT}) + I_Q \times V_{IN} \tag{11}$$

其中：

- P_D = 连续功率耗散
- I_{OUT} = 输出电流
- V_{IN} = 输入电压
- V_{OUT} = 输出电压
- I_Q = 静态电流

因为 I_Q 远小于 I_{OUT}，所以可以忽略 方程式 11 中的 $I_Q \times V_{IN}$ 项。

使用 方程式 12 计算在给定环境空气温度 (T_A) 下工作的器件的结温 (T_J)。

$$T_J = T_A + (R_{\theta JA} \times P_D) \tag{12}$$

其中：

- $R_{\theta JA}$ = 结至结环境空气热阻抗

方程式 13 用于计算因功率耗散而导致的结温上升。

$$\Delta T = T_J - T_A = (R_{\theta JA} \times P_D) \tag{13}$$

对于给定的最大结温 (T_{JMAX})，可以使用来计算器件运行 方程式 14 时的最高环境空气温度 (T_{AMAX})。

$$T_{AMAX} = T_{JMAX} - (R_{\theta JA} \times P_D) \tag{14}$$

7.4.1.4 热性能与铜面积

最常用的热阻 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力。因此，$R_{\theta JA}$ 会根据总铜面积、铜重量和平面位置而变化。 *热性能信息* 表中提供了 $R_{\theta JA}$ 值。$R_{\theta JA}$ 由 JEDEC 标准 (图 7-8)、PCB 和铜扩散面积决定，仅用作封装热性能的相对测量。对于精心设计的热布局，$R_{\theta JA}$ 实际上是 $R_{\theta JCbot}$ 与 PCB 铜产生的热阻的总和。$R_{\theta JCbot}$ 是 *热性能信息* 表中给出的结至外壳（底部）的热阻。

Copyright © 2025 Texas Instruments Incorporated

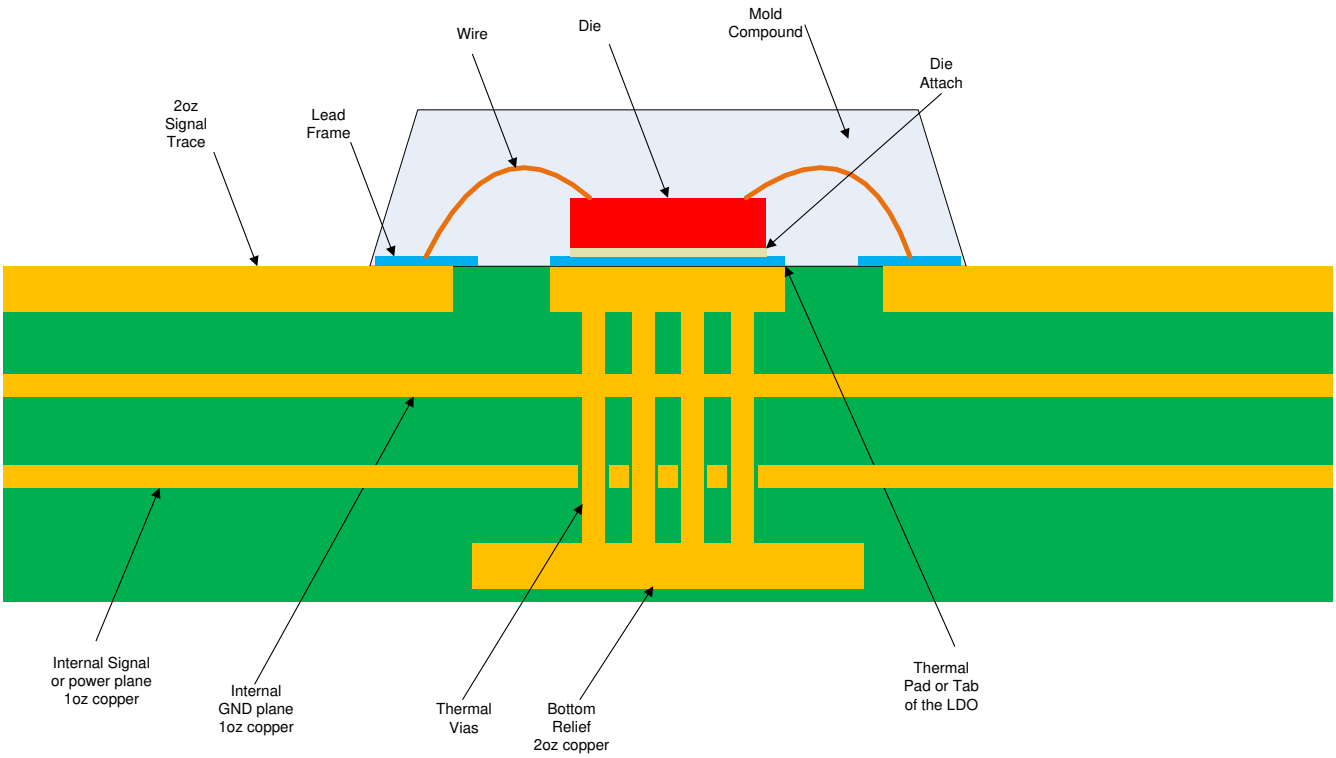


图 7-8. JEDEC 标准 2s2p PCB

7.4.2 布局示例

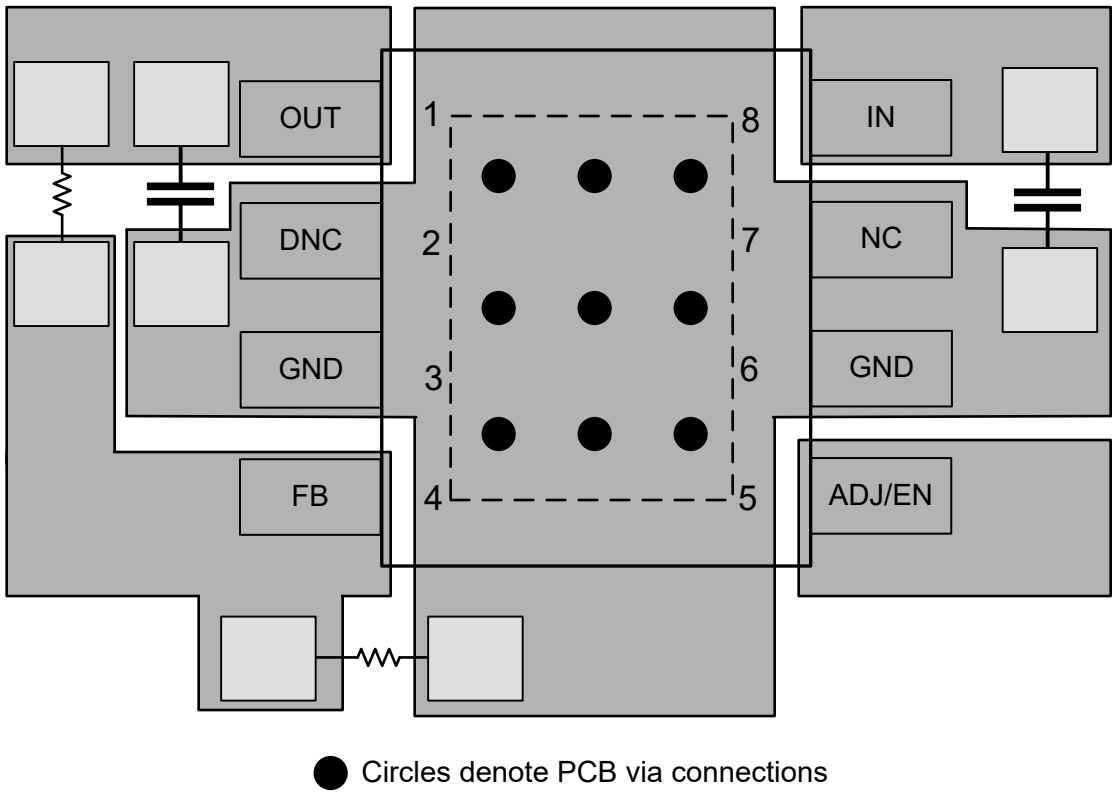


图 7-9. 布局示例

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 器件命名规则

表 8-1. 器件命名规则

产品(1)	V_{OUT}
TPS7B4260**QDDARQ1**	在 HSOIC (DDA) 封装中： **Q** 表示此器件是一款符合 AEC-Q100 标准的 1 级器件。 **R** 为包装数量。 **Q1** 表示此器件是一款汽车级 (AEC-Q100) 器件。

(1) 要获得最新的封装和订购信息，请参阅本文档末尾的“封装选项附录”，或者访问器件产品文件夹 (www.ti.com)。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*TPS7B84-Q1 150mA，40V，可调节，低压降稳压器数据表*
- 德州仪器 (TI)，*使用前馈电容器和低压降稳压器的优缺点* 应用手册
- 德州仪器 (TI)，*TRKRLDOEVM-119 通用跟踪器 LDO 评估模块*用户指南

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2025 Texas Instruments Incorporated

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (March 2025) to Revision B (June 2025)	Page
• 更改了*应用曲线* 部分的数字	24

Changes from Revision * (January 2025) to Revision A (March 2025)	Page
• 将文档状态从*预告信息* 更改为*量产数据*	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

10.1 机械数据

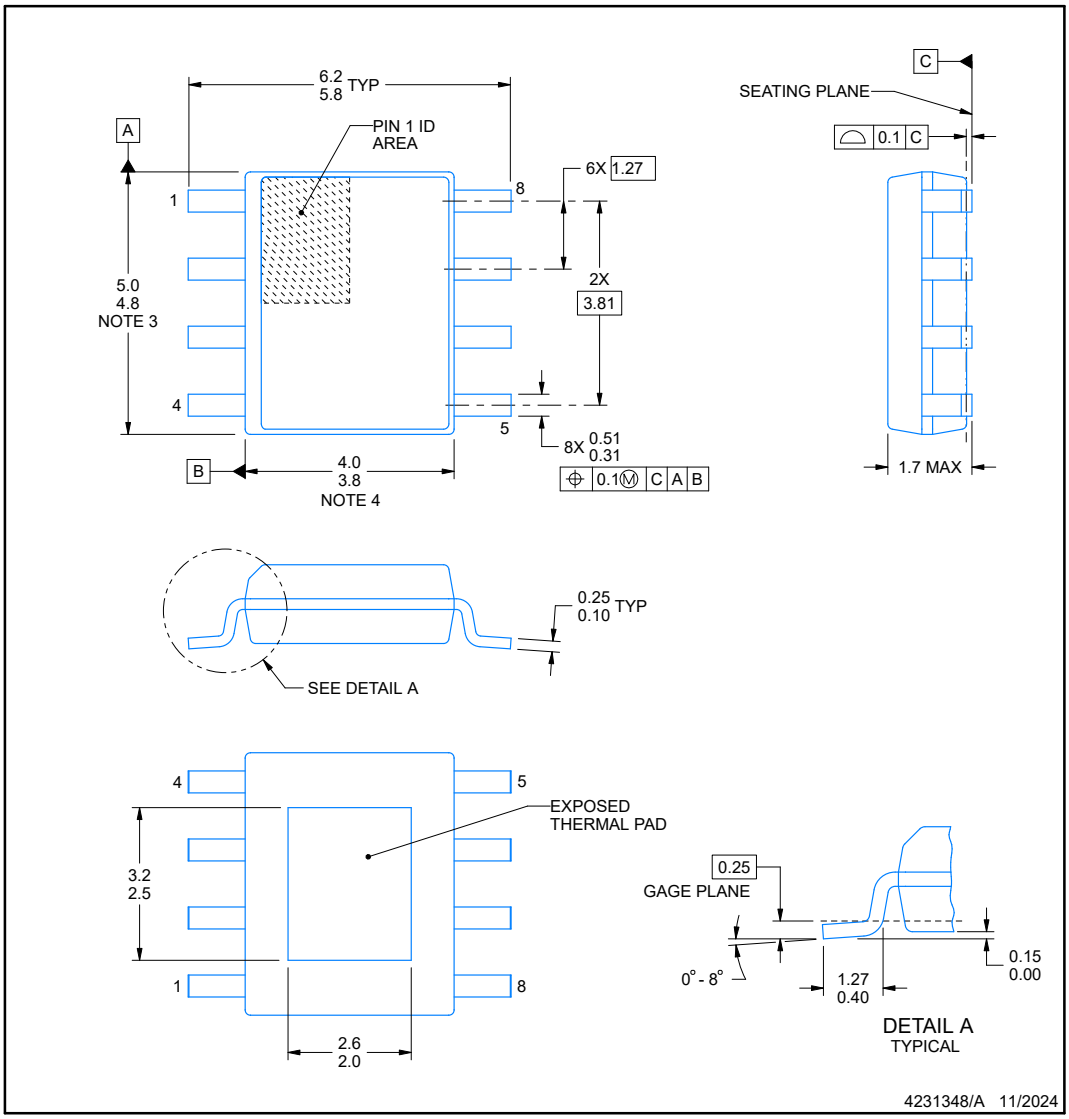
PACKAGE OUTLINE

DDA0008J-C02



PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012, variation BA.

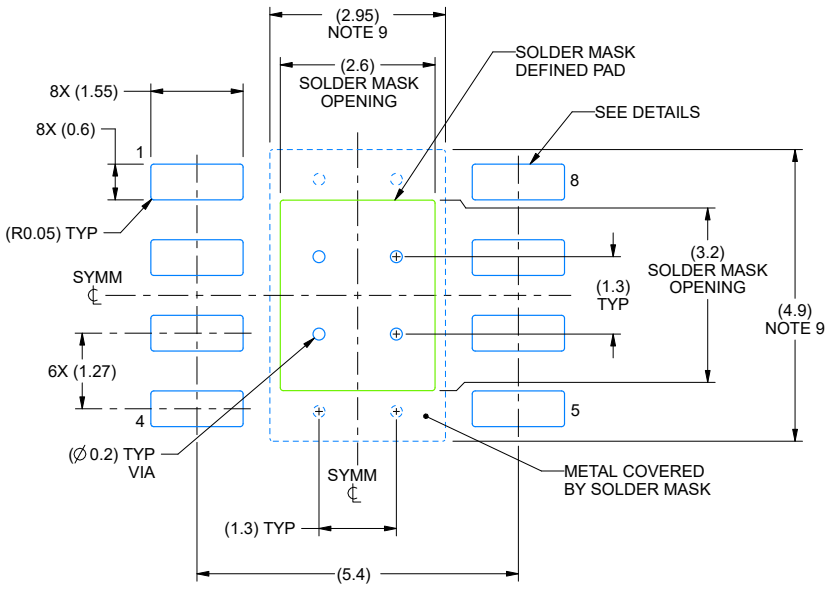
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

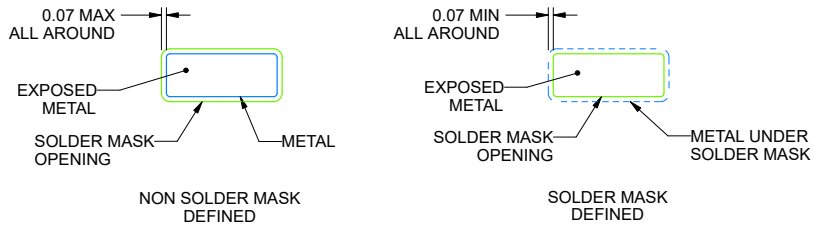
DDA0008J-C02

PowerPAD ™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:10X



SOLDER MASK DETAILS

4231348/A 11/2024

NOTES: (continued)

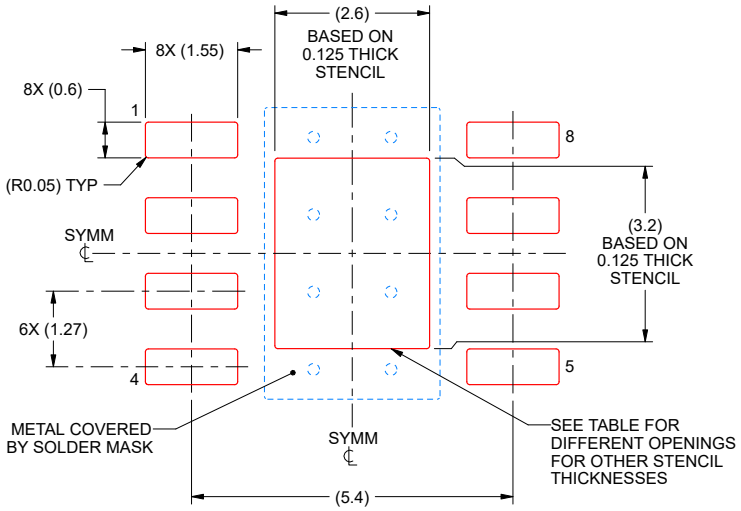
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DDA0008J-C02 **PowerPAD ™ SOIC - 1.7 mm max height**

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.91 X 3.58
0.125	2.6 X 3.2 (SHOWN)
0.150	2.37 X 2.92
0.175	2.20 X 2.70

4231348/A 11/2024

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7B4260QDDARQ1	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	B4260F
TPS7B4260QDDARQ1.A	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	B4260F

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

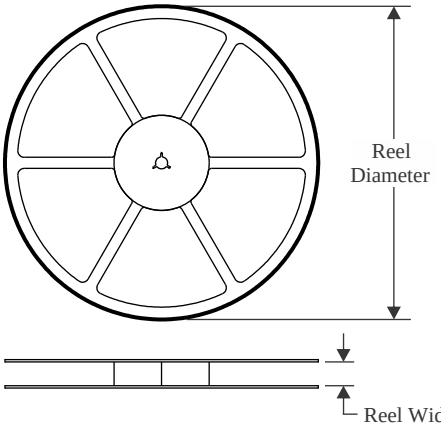
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

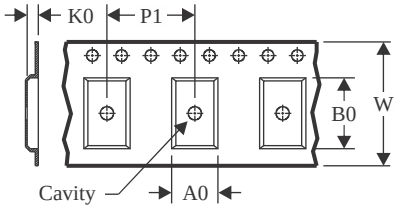
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

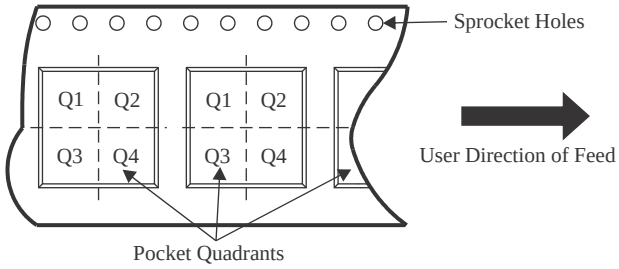


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

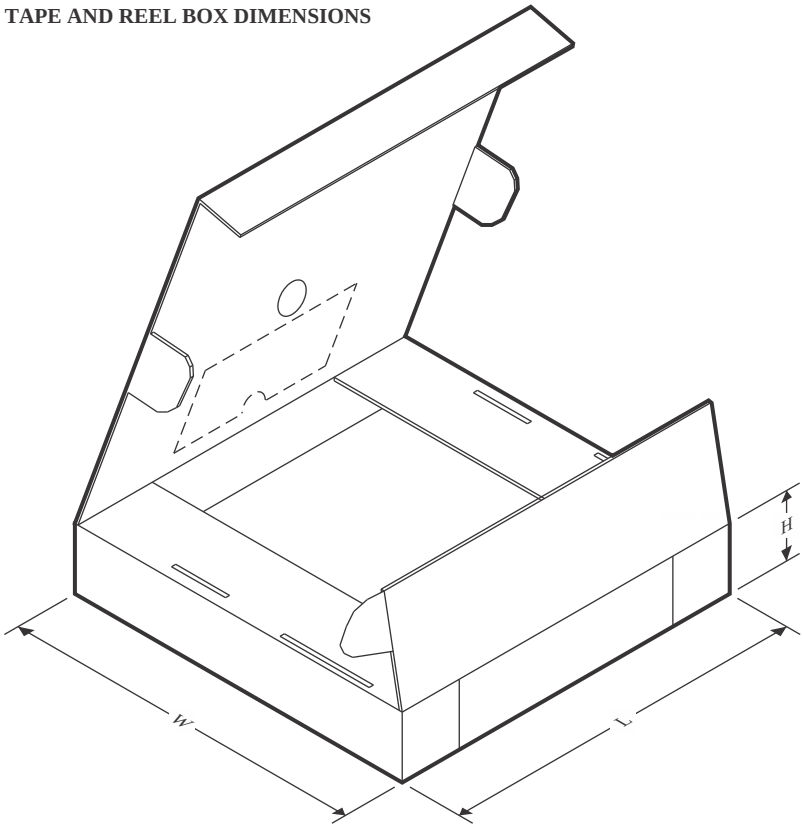
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7B4260QDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

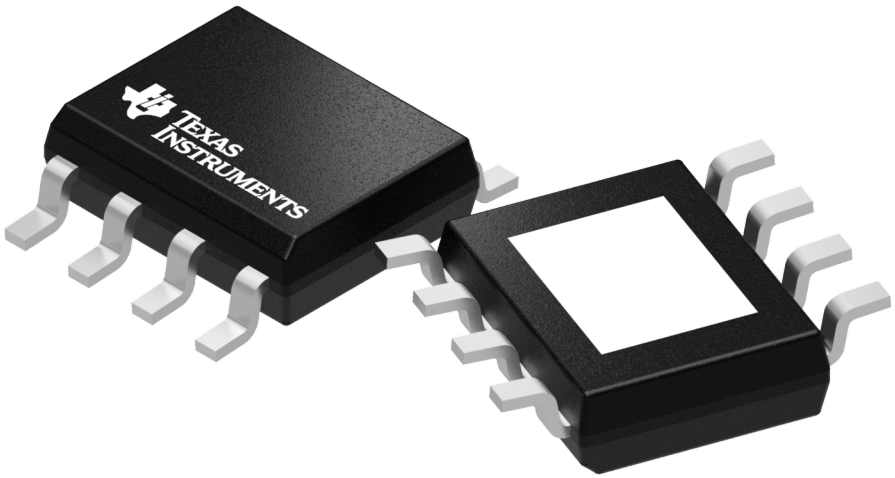


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7B4260QDDARQ1	SO PowerPAD	DDA	8	2500	340.5	338.1	20.6

DDA 8 PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



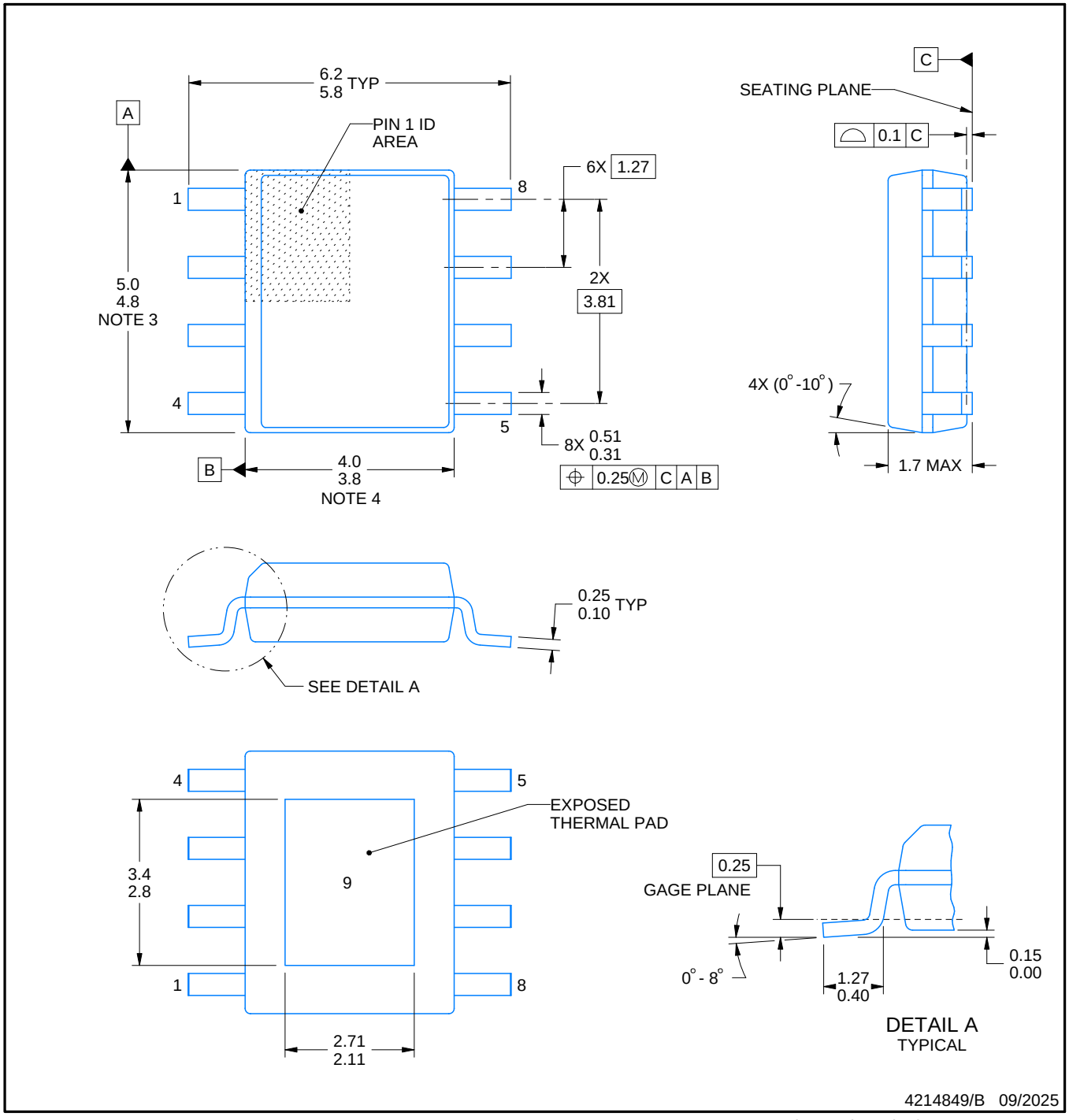
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

PACKAGE OUTLINE

DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

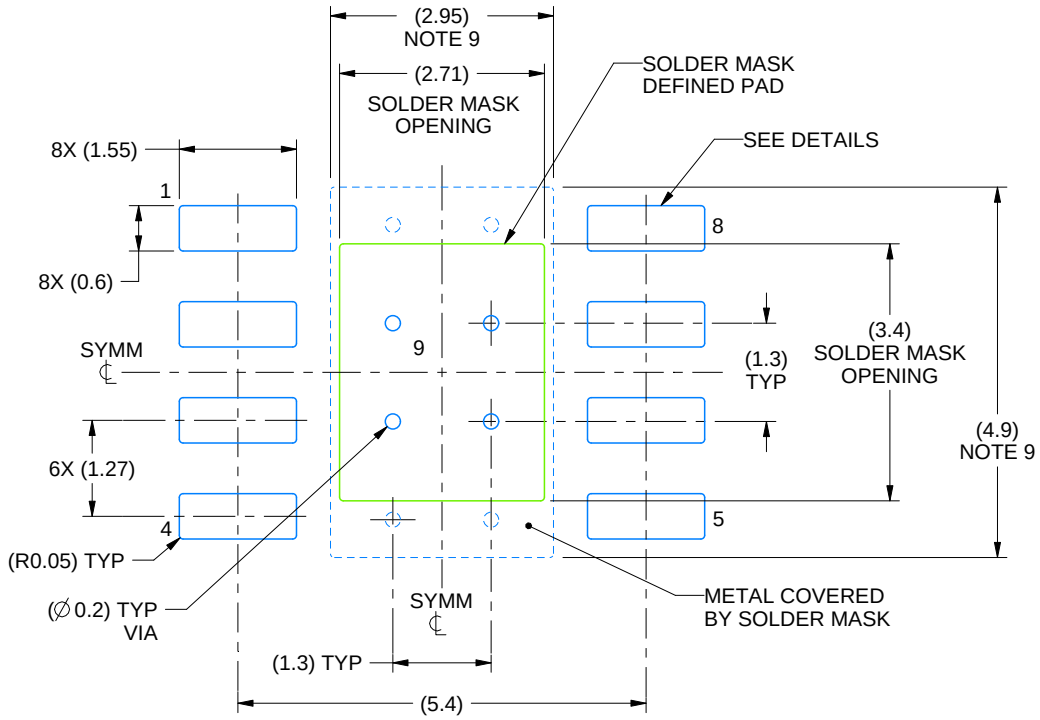
PLASTIC SMALL OUTLINE



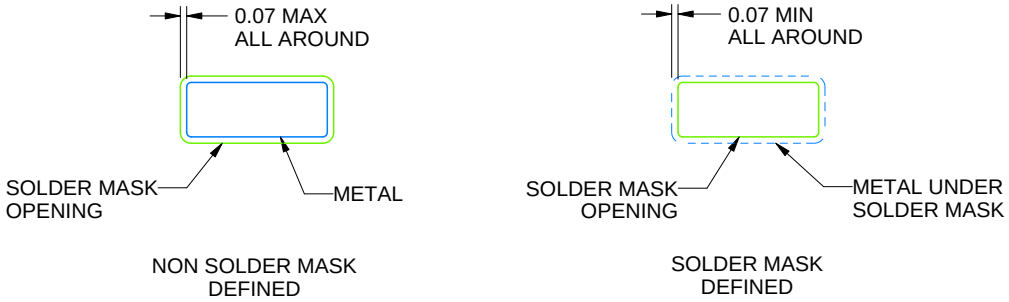
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012.



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
PADS 1-8

4214849/B 09/2025

NOTES: (continued)

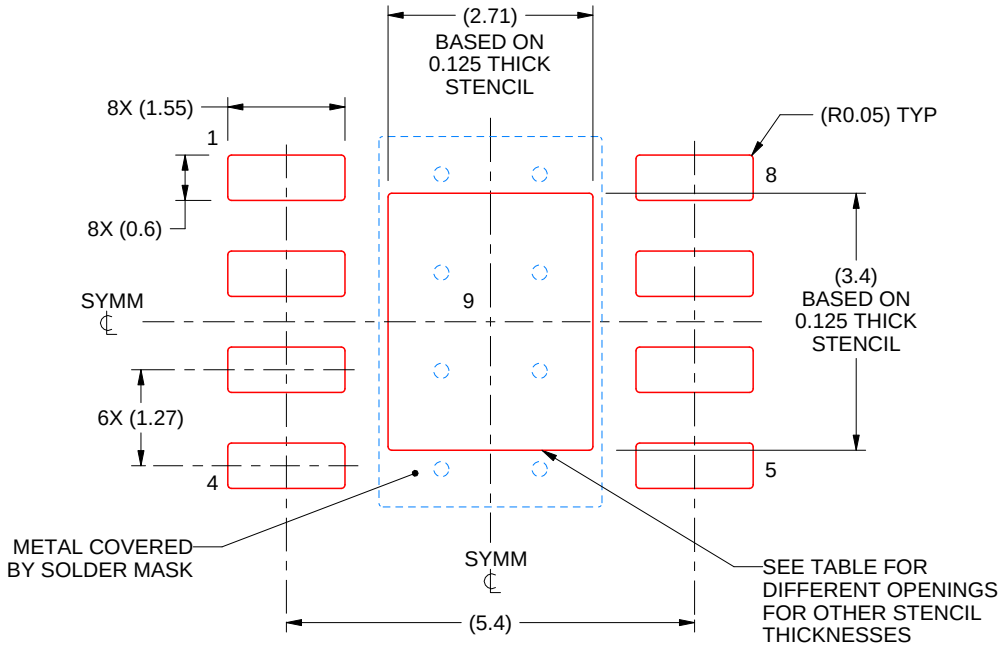
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.03 X 3.80
0.125	2.71 X 3.40 (SHOWN)
0.150	2.47 X 3.10
0.175	2.29 X 2.87

4214849/B 09/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月