TPS7A37 具有反向电流保护功能的 1% 高精确度 1A 低压降稳压器

1 特性

- 配备 1 µ F 或更大电容的陶瓷输出电容
- 输入电压范围：2.2V 至 5.5V
- 超低压降电压：
  - 1A 电流时最大值为 200mV
- 即使仅使用 1 µ F 的输出电容器，也能实现出色的负载瞬态响应
- NMOS 拓扑结构实现低反向漏电流
- 出色的精度：
  - 0.23% 标称精度
  - 线性调整率、负载调整率和温度变化范围内的综合精度为 1%
- 关断模式下典型 I_Q 小于 20nA
- 热关断和电流限制可实现故障保护

2 应用

- 针对 DSP、FPGA、ASIC 和微处理器的负载点调节
- 针对开关电源的后置稳压
- 便携式和电池供电类设备

3 说明

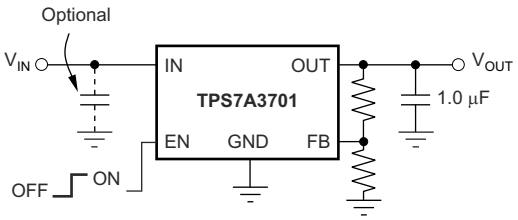
TPS7A37 系列线性低压降 (LDO) 稳压器在电压跟随器配置中使用了 NMOS 旁路元件。该拓扑对输出电容器值和等效串联电阻 (ESR) 的敏感度相对较低，支持实现多种负载配置。即使使用 1µF 的小型陶瓷输出电容器，也能实现出色的负载瞬态响应。NMOS 拓扑结构也可实现超低压降。

TPS7A37 系列利用先进的 BiCMOS 工艺实现高精度，同时提供超低的压降和低接地引脚电流。未启用时，电流消耗低于 20nA，非常适合于便携式应用。这些器件受到热关断和折返电流限制的保护。

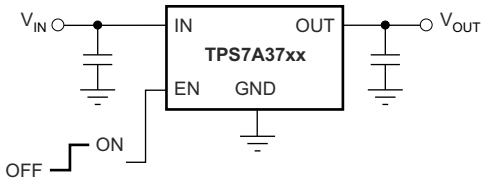
封装信息

器件型号	封装(1)	封装尺寸(2)
TPS7A37	DRV（WSON，6）	2.00mm × 2.00mm

(1) 有关更多信息，请参阅 机械、封装和可订购信息。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



典型应用电路（可调版本）



典型应用电路（固定版本）

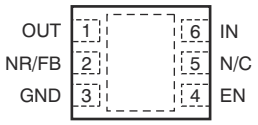
本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 4
5.5 电气特性 6
5.6 典型特性 7
6 详细说明 16
6.1 概述 16
6.2 功能方框图 16
6.3 特性说明 17
6.4 器件功能模式 18
7 应用和实施 19
7.1 应用信息 19
7.2 典型应用 20
7.3 电源相关建议 23
7.4 布局 23
8 器件和文档支持 28
8.1 器件支持 28
8.2 文档支持 28
8.3 接收文档更新通知 28
8.4 支持资源 28
8.5 商标 28
8.6 静电放电警告 28
8.7 术语表 28
9 修订历史记录 28
10 机械、封装和可订购信息 29

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能



功率耗散可限制运行范围。查看*热性能信息*表。

图 4-1. DRV 封装，6 引脚 WSON（俯视图）

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
EN	4	I	驱动使能引脚 (EN) 为高电平打开稳压器。将这个引脚驱动为低电平来将稳压器置于关断模式。有关更多详细信息，请参阅*应用信息*中的*关断*部分。EN 不得悬空，不使用时可以连接到 IN。
FB	2	I	只适用于可调电压版本 - 此引脚是到控制环路误差放大器的输入，并且用于设定器件的输出电压。
GND	3，焊盘	—	接地
IN	6	I	未稳压的输入电源
N/C	5	—	未连接
NR/FB	2	—	只适用于固定电压版本 — 将外部电容器连接到该引脚来绕过内部带隙生成的噪声，同时使输出噪声降低至极低的水平。
OUT	1	O	稳压器输出。为确保稳定性，需使用任何类型的 1.0 µF 或更大的电容器。
PowerPAD	—	—	

(1) I = 输入；O = 输出

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在工作结温范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电压	输入，V_{IN}	-0.3	6	V
	使能，V_{EN}	-0.3	6	
	输出，V_{OUT}	-0.3	5.5	
	V_{NR}、V_{FB}	-0.3	6	
电流	最大输出，I_{OUT}	受内部限制		
输出短路持续时间		未确定		
持续总功率耗散	P_{DISS}	请参阅*热性能信息*		
温度	工作结温，T_J	-55	150	°C
	贮存温度，T_{stg}	-65	150	

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在工作结温范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{IN}	输入电源电压	2.2		5.5	V
V_{OUT}	标称输出电压范围	V_{FB}		5.5 - V_{DO}	V
V_{EN}	使用输入电压	0		V_{IN}	V
I_{OUT}	输出电流	0		1	A
C_{IN}	输入电容器		1		µF
C_{OUT}(1)	输出电容器	1			µF
C_{NR}	降噪电容器		10		nF
R_1(2)	可调输出电阻分压器的顶部电阻		$V_{OUT(nom)}$ × 15.833		kΩ
C_{FF}	前馈电容器		10	100	nF
T_J	工作结温	-40		125	°C

(1) 如果 C_{OUT} × ESR 的乘积 < 50nF × Ω，则器件可能会在瞬态后振铃。
(2) 该标称值是为了获得最佳精度。

5.4 热性能信息

热指标(1)		TPS7A37 新器件 DRV (WSON) 6 引脚	TPS7A37 传统器件 DRV (WSON) 6 引脚	单位
$R_{\theta JA}$	结至环境热阻	67.3	67.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	100.8	87.6	°C/W

Copyright © 2026 Texas Instruments Incorporated

热指标(1)		TPS7A37 新器件 DRV (WSON) 6 引脚	TPS7A37 传统器件 DRV (WSON) 6 引脚	单位
$R_{\theta JB}$	结至电路板热阻	33.7	36.8	°C/W
ψ_{JT}	结至顶部特征参数	4.4	1.8	°C/W
ψ_{JB}	结至电路板特征参数	33.8	37.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	4.7	7.7	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性

在工作温度范围（T_J = –40°C 至 125°C）、V_{IN} = $V_{OUT(nom)}$ + 1V(1)、I_{OUT} = 10mA、V_{EN} = 2.2V 且 C_{OUT} = 2.2µF 条件下（除非另有说明）。典型值为 T_J = 25°C 条件下的值。

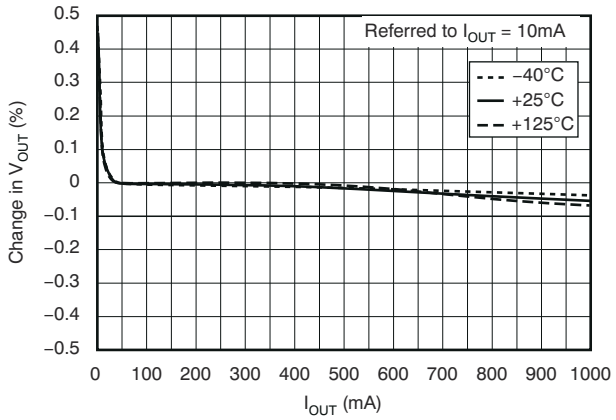
参数		测试条件	最小值	典型值	最大值	单位
V_{IN}	输入电压范围(1)(2)		2.2		5.5	V
V_{FB}	内部基准	T_J = 25°C	1.192	1.204	1.216	V
V_{OUT}	输出电压范围	TPS7A3701(4)	V_{FB}		5.5 - V_{DO}	V
	精度，标称值	T_J = 25°C		0.23		%
	精度，在 V_{IN}、I_{OUT} 和 T 条件下(3)	V_{OUT} + 0.5V ≤ V_{IN} ≤ 5.5V；10mA ≤ I_{OUT} ≤ 1A	-1		1	
$\Delta V_{OUT(\Delta VIN)}$	线性调整率(1)	$V_{OUT(nom)}$ + 0.5V ≤ V_{IN} ≤ 5.5V，旧芯片		0.01	0.03	%/V
$\Delta V_{OUT(\Delta VIN)}$	线性调整率(1)	$V_{OUT(nom)}$ + 0.5V ≤ V_{IN} ≤ 5.5V，新芯片		0.01	0.07	%/V
$\Delta V_{OUT(\Delta IOUT)}$	负载调整率	0.1mA ≤ I_{OUT} ≤ 300mA		0.25	0.35	%
$\Delta V_{OUT(\Delta IOUT)}$	负载调整率	0.1mA ≤ I_{OUT} ≤ 300mA		3	5	mV
$\Delta V_{OUT(\Delta IOUT)}$	负载调整率	10mA ≤ I_{OUT} ≤ 1A		0.5		%
V_{DO}	压降电压(5) (V_{IN} = $V_{OUT(nom)}$ - 0.1V)	I_{OUT} = 1A		130	200	mV
$Z_{O(DO)}$	压降中的输出阻抗	2.2V ≤ V_{IN} ≤ V_{OUT} + V_{DO}		0.25		Ω
I_{CL}	输出电流限制	V_{OUT} = 0.9 × $V_{OUT(nom)}$	1.05	1.6	2.2	A
I_{SC}	短路电流	V_{OUT} = 0V		450		mA
I_{REV}	反向漏电流(6) ($-I_{IN}$)	V_{EN} ≤ 0.5V，0V ≤ V_{IN} ≤ V_{OUT}		0.1		µA
I_{GND}	接地引脚电流	I_{OUT} = 10mA (I_Q)		400		µA
I_{GND}	接地引脚电流	I_{OUT} = 1A，传统器件		1300		µA
I_{GND}	接地引脚电流	I_{OUT} = 1A，新器件		880		µA
I_{SHDN}	关断电流 (I_{GND})	V_{EN} ≤ 0.5V，V_{OUT} ≤ V_{IN} ≤ 5.5V		20		nA
I_{FB}	反馈引脚电流 (TPS7A3701)			0.1	0.6	µA
PSRR	电源抑制比（纹波抑制）	f = 100Hz，I_{OUT} = 1A		58		dB
		f = 10kHz，I_{OUT} = 1A		37		
V_N	输出噪声电压，BW = 10Hz 至 100kHz	C_{OUT} = 10µF		27 × V_{OUT}		μV_{RMS}
t_{STR}	启动时间	V_{OUT} = 3V，R_L = 30Ω，C_{OUT} = 1µF，传统器件		600		µs
t_{STR}	启动时间	V_{OUT} = 3V，R_L = 30Ω，C_{OUT} = 1µF，新器件		431		µs
$V_{EN(high)}$	EN 引脚高电平（已使能）		1.7		V_{IN}	V
$V_{EN(low)}$	EN 引脚低电平（关断）		0		0.5	V
I_{EN}	使能引脚电流（已使能）	V_{EN} = 5.5V		20		nA
T_{SD}	热关断温度	关断，温度升高		160		°C
		复位，温度降低		140		
T_J	工作结温		-40		125	℃

(1) 最小 V_{IN} = V_{OUT} + V_{DO} 或者 2.2V，以较大者为准。
(2) 对于 $V_{OUT(nom)}$ < 1.6V，当 V_{IN} ≤ 1.6V 时，输出锁定到 V_{IN} 并可能导致输出上出现破坏性过压情况。为避免这种情况，请先禁用器件，然后再将 V_{IN} 关断。（仅限传统器件）
(3) TPS7A3701 在 V_{OUT} = 1.2V 条件下进行测试。
(4) 外部电阻器的耐受电压不包括在这个技术规范中。
(5) 针对输出版本，不在 $V_{OUT(nom)}$ < 2.3V 时测量 V_{DO}，这是因为最小 V_{IN} = 2.2V。
(6) 只适用于固定电压版本；更多信息请参考*应用信息*部分。

Copyright © 2026 Texas Instruments Incorporated

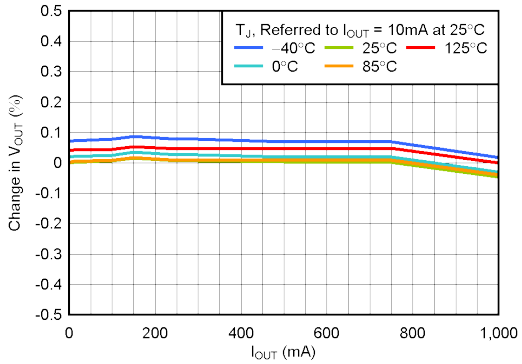
5.6 典型特性

适用于所有电压版本，在 T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V 且 C_{OUT} = 2.2 µF 条件下（除非另有说明）。



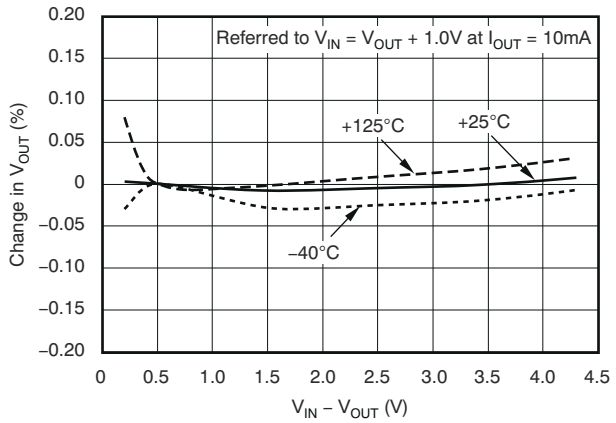
传统器件

图 5-1. 负载调整率



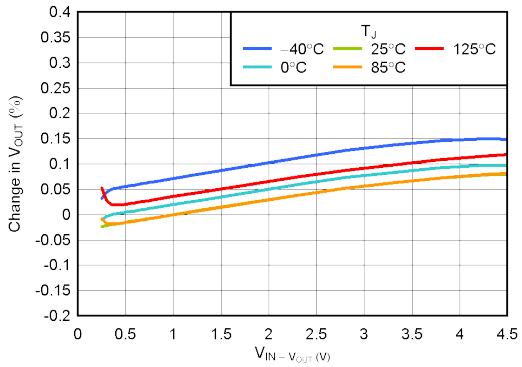
新器件

图 5-2. 负载调整率



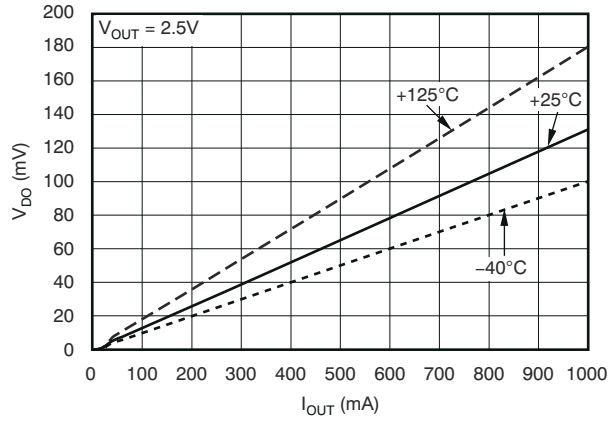
传统器件

图 5-3. 线路调整



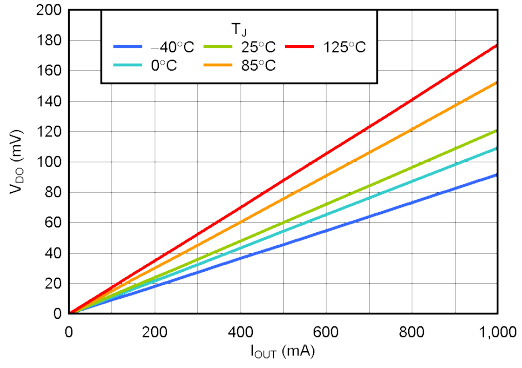
新器件

图 5-4. 线路调整



传统器件

图 5-5. 压降电压与输出电流间的关系



新器件

图 5-6. 压降电压与输出电流间的关系

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性 (续)

适用于所有电压版本，在 T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V 且 C_{OUT} = 2.2 µ F 条件下（除非另有说明）。

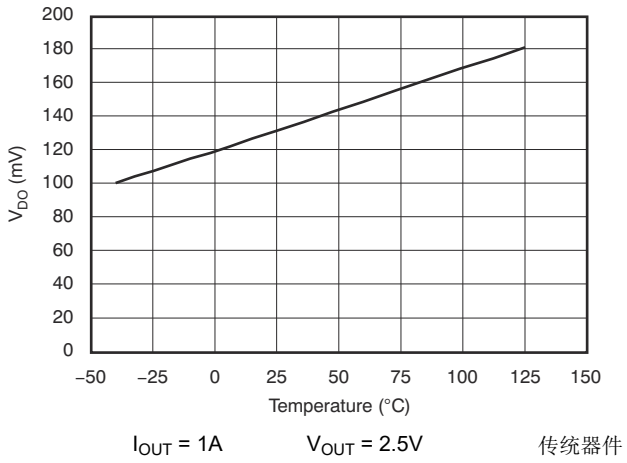


图 5-7. 压降电压与温度间的关系

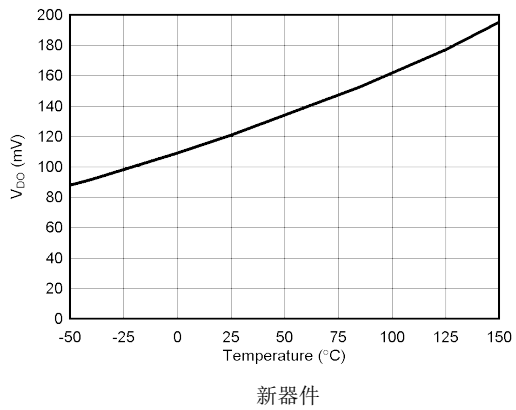


图 5-8. 压降电压与温度间的关系

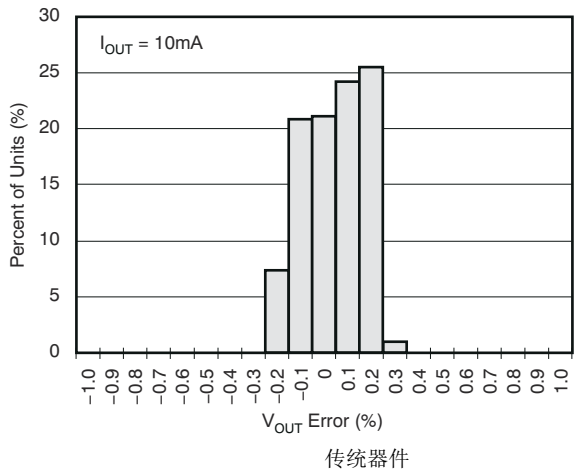


图 5-9. 输出电压柱状图

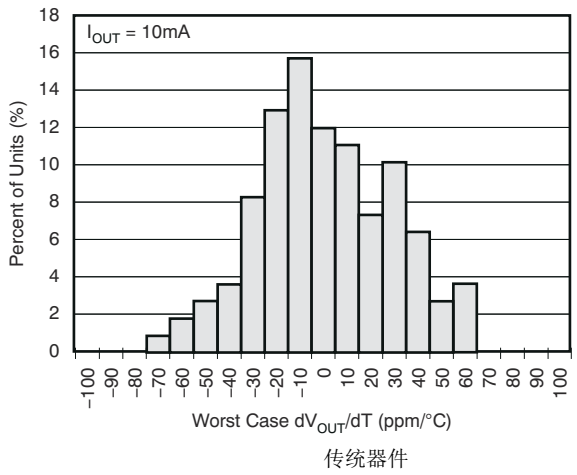
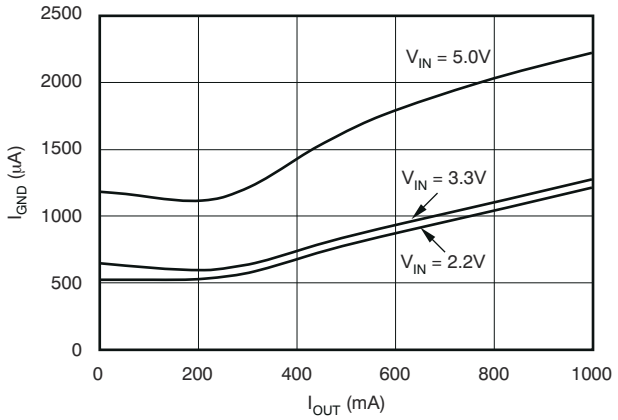


图 5-10. 输出电压漂移柱状图

Copyright © 2026 Texas Instruments Incorporated

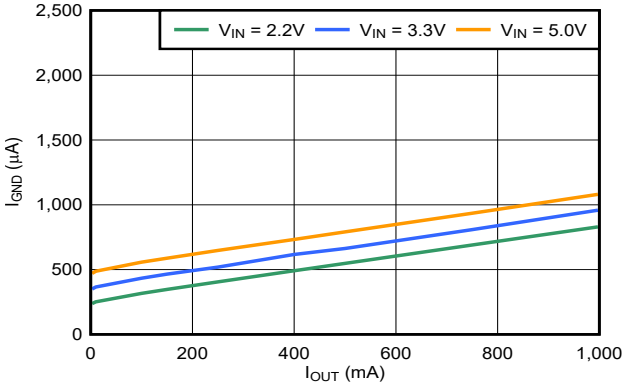
5.6 典型特性 (续)

适用于所有电压版本，在 T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V 且 C_{OUT} = 2.2 µF 条件下（除非另有说明）。



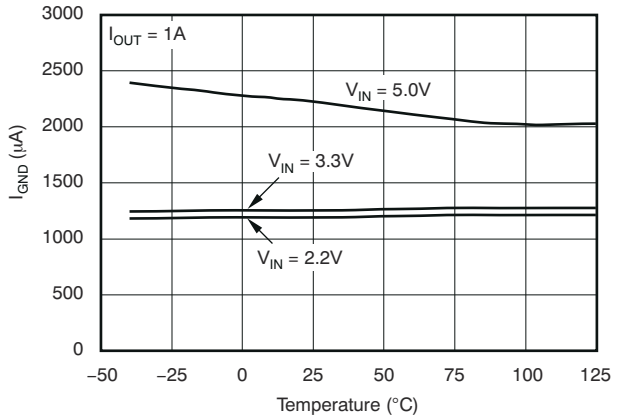
传统器件

图 5-11. 接地引脚电流与输出电流间的关系



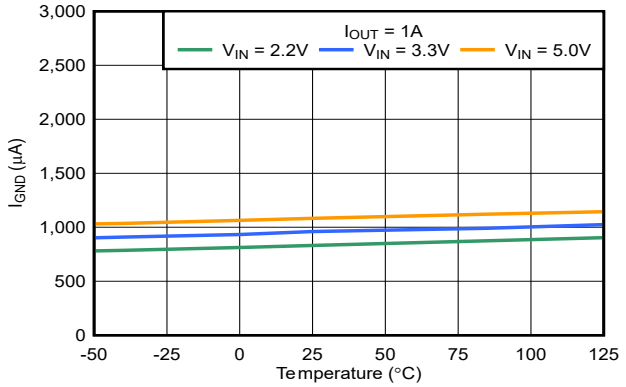
新器件

图 5-12. 接地引脚电流与输出电流间的关系



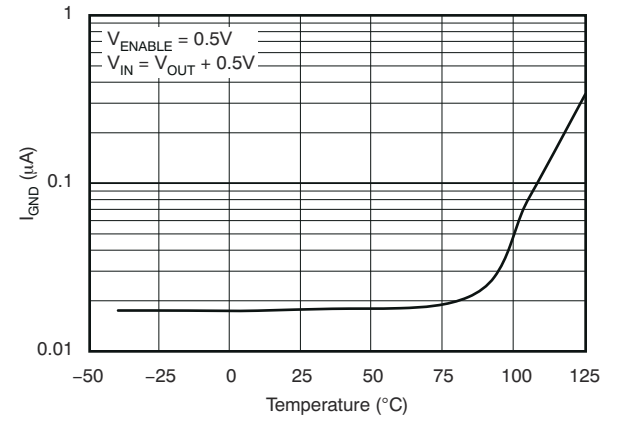
传统器件

图 5-13. 接地引脚电流与温度间的关系



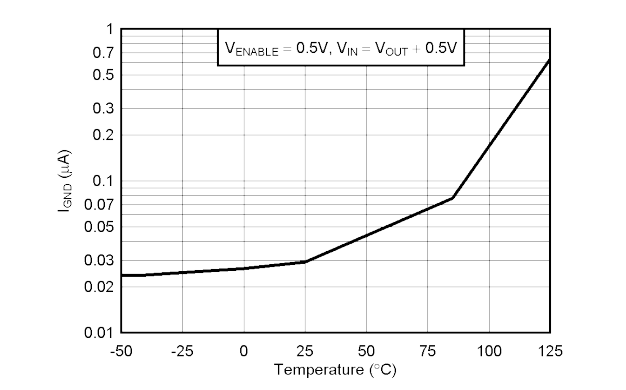
新器件

图 5-14. 接地引脚电流与温度间的关系



传统器件

图 5-15. 关断时的接地引脚电流与温度间的关系



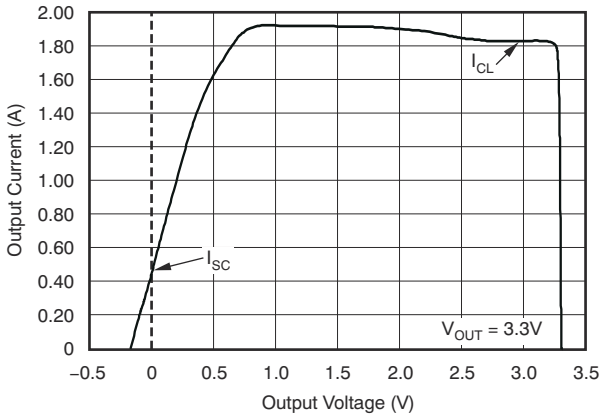
新器件

图 5-16. 关断时的接地引脚电流与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

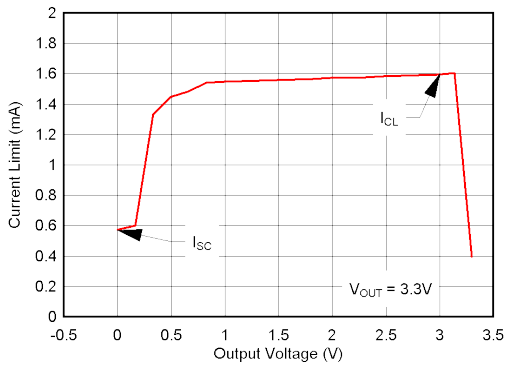
5.6 典型特性 (续)

适用于所有电压版本，在 T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V 且 C_{OUT} = 2.2 µF 条件下（除非另有说明）。



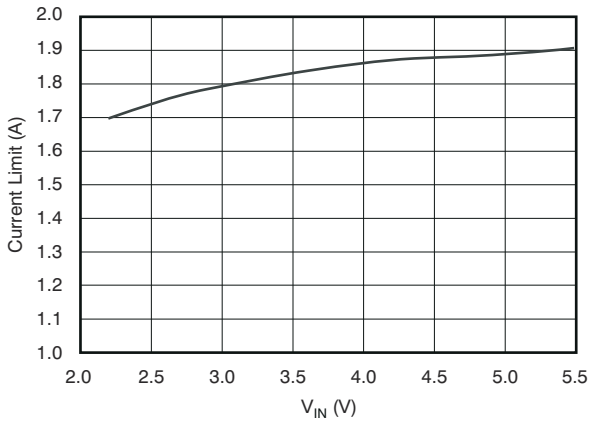
传统器件

图 5-17. 电流限值与 V_{OUT}（折返）间的关系



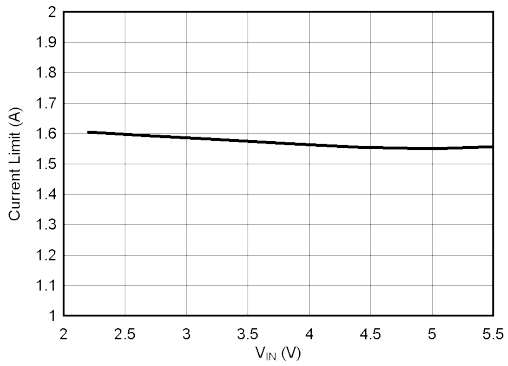
新器件

图 5-18. 电流限值与 V_{OUT}（折返）间的关系



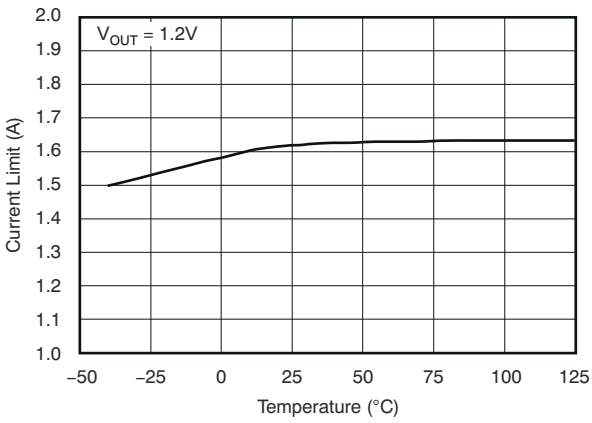
传统器件

图 5-19. 电流限值与 V_{IN} 间的关系



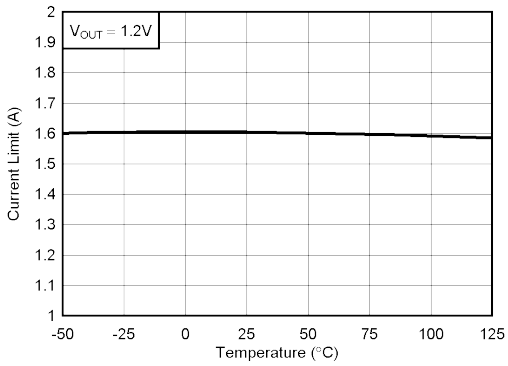
新器件

图 5-20. 电流限值与 V_{IN} 间的关系



传统器件

图 5-21. 电流限制与温度间的关系



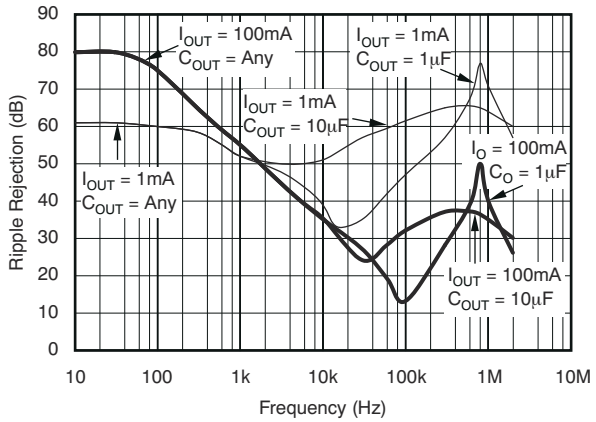
新器件

图 5-22. 电流限制与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

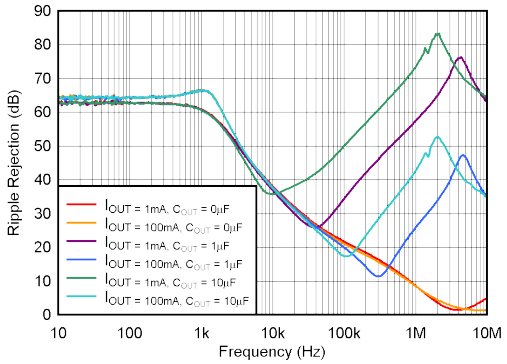
5.6 典型特性 (续)

适用于所有电压版本，在 T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V 且 C_{OUT} = 2.2 µF 条件下（除非另有说明）。



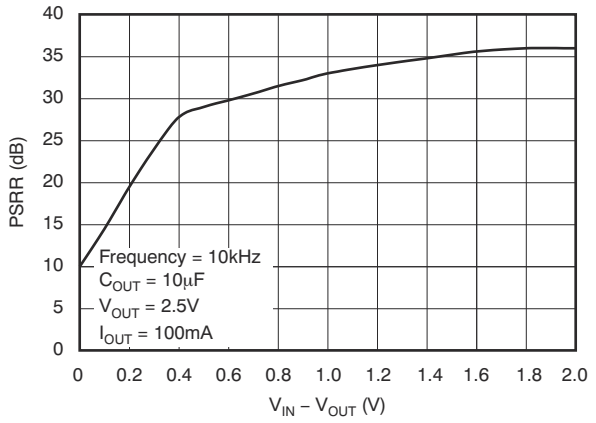
传统器件

图 5-23. PSRR（纹波抑制）与频率间的关系



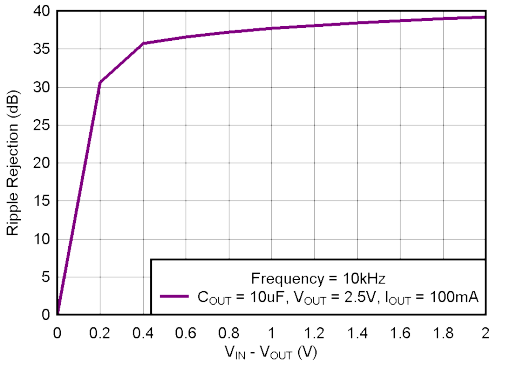
新器件

图 5-24. PSRR（纹波抑制）与频率间的关系



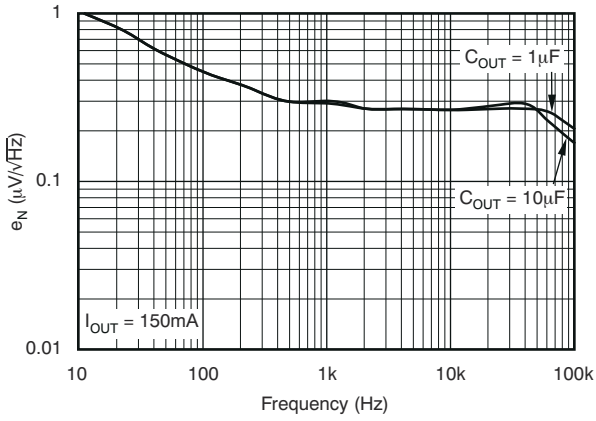
传统器件

图 5-25. PSRR（纹波抑制）与 V_{IN} – V_{OUT} 间的关系



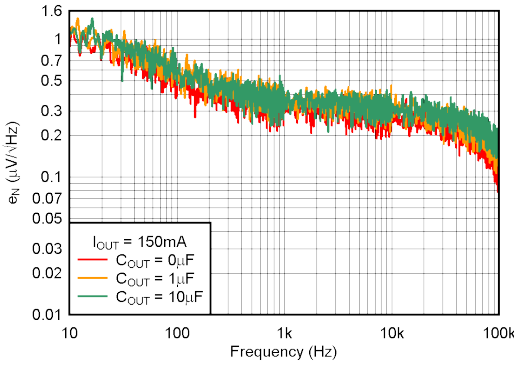
新器件

图 5-26. PSRR（纹波抑制）与 (V_{IN} – V_{OUT}) 间的关系



传统器件

图 5-27. 噪声频谱密度



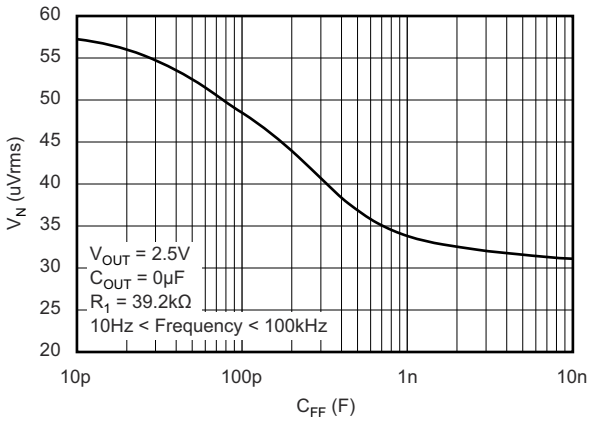
新器件

图 5-28. 噪声频谱密度

Copyright © 2026 Texas Instruments Incorporated

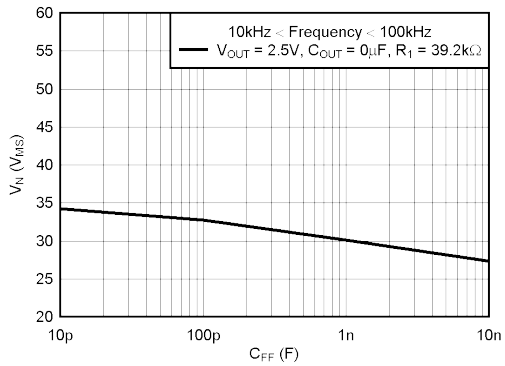
5.6 典型特性 (续)

适用于所有电压版本，在 T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V 且 C_{OUT} = 2.2 µ F 条件下（除非另有说明）。



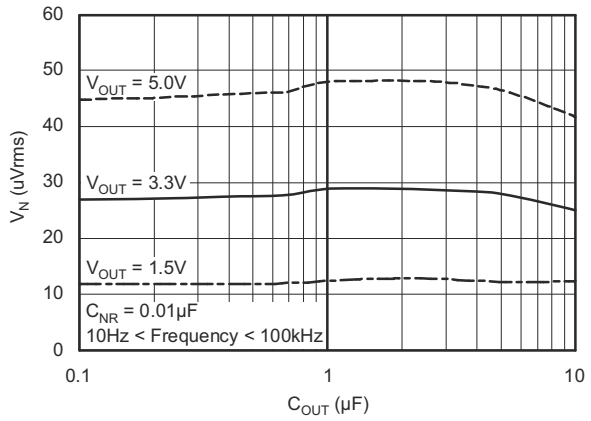
传统器件

图 5-29. TPS7A3701：RMS 噪声电压与 C_{FF} 间的关系



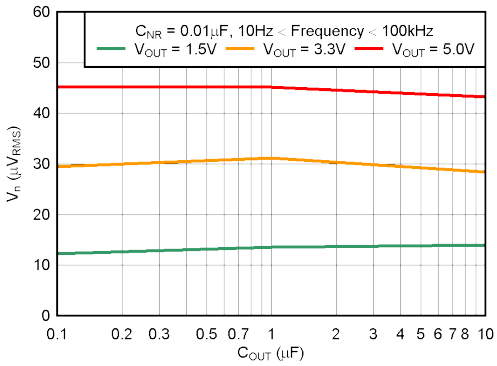
新器件

图 5-30. TPS7A3701 RMS 噪声电压与 C_{FF} 间的关系



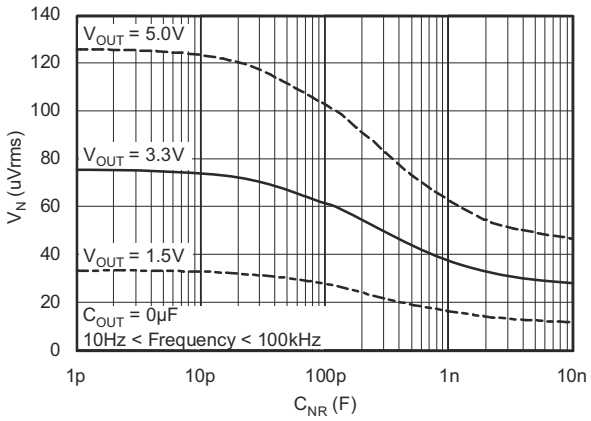
传统器件

图 5-31. RMS 噪声电压与 C_{OUT} 间的关系



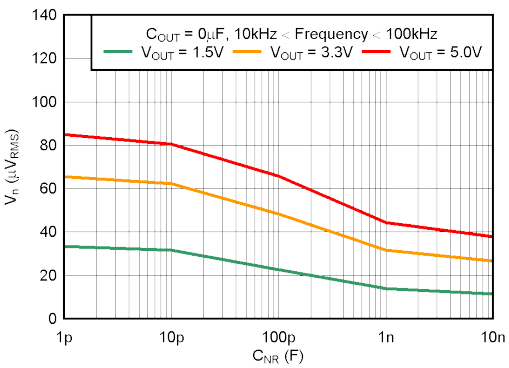
新器件

图 5-32. RMS 噪声电压与 C_{OUT} 间的关系



传统器件

图 5-33. RMS 噪声电压与 C_{NR} 间的关系



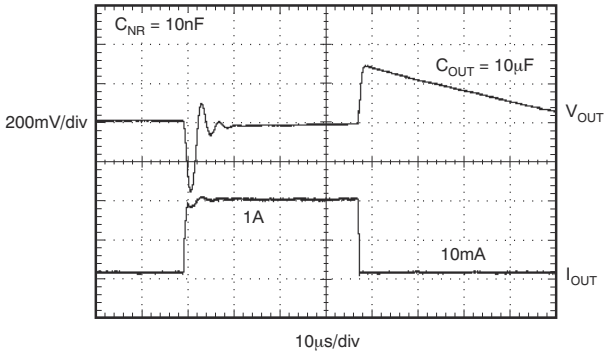
新器件

图 5-34. RMS 噪声电压与 C_{NR} 间的关系

Copyright © 2026 Texas Instruments Incorporated

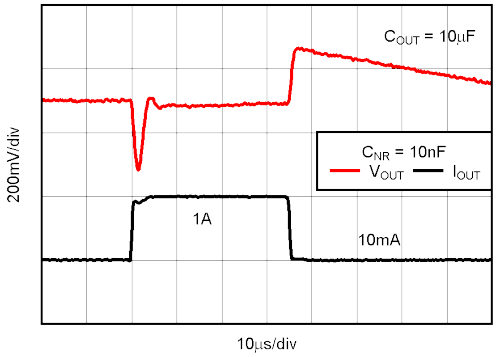
5.6 典型特性 (续)

适用于所有电压版本，在 T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V 且 C_{OUT} = 2.2 µ F 条件下 (除非另有说明) 。



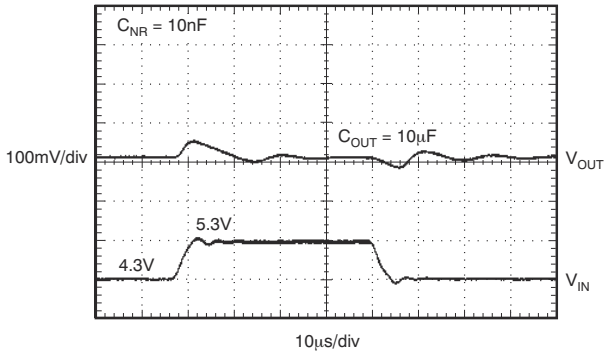
V_{OUT} = 3.3V 传统器件

图 5-35. TPS7A37：负载瞬态响应



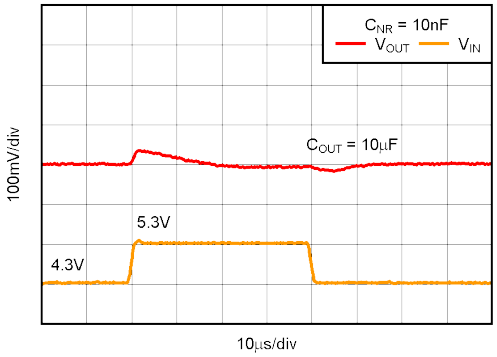
新器件

图 5-36. TPS7A37 负载瞬态响应



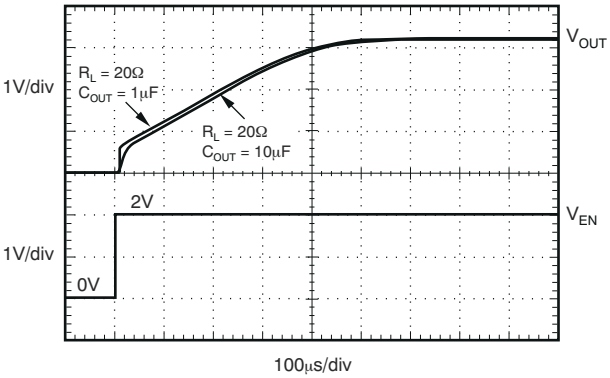
V_{OUT} = 3.3V 传统器件

图 5-37. TPS7A37：线路瞬态响应



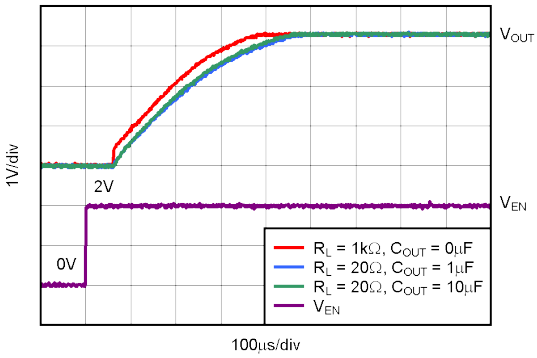
新器件

图 5-38. TPS7A37 线路瞬态响应



传统器件

图 5-39. TPS7A3701：导通响应



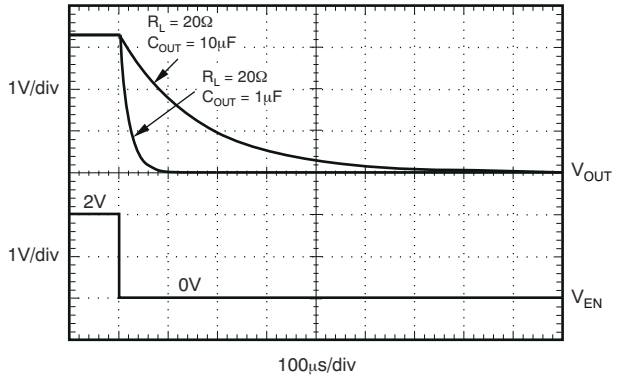
新器件

图 5-40. TPS7A3701 导通响应

Copyright © 2026 Texas Instruments Incorporated

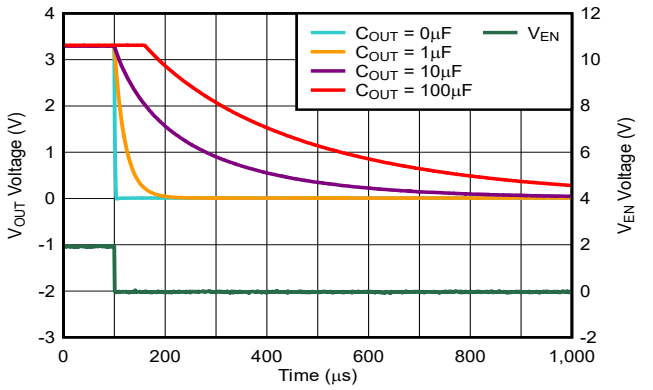
5.6 典型特性 (续)

适用于所有电压版本，在 T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V 且 C_{OUT} = 2.2 µ F 条件下 (除非另有说明) 。



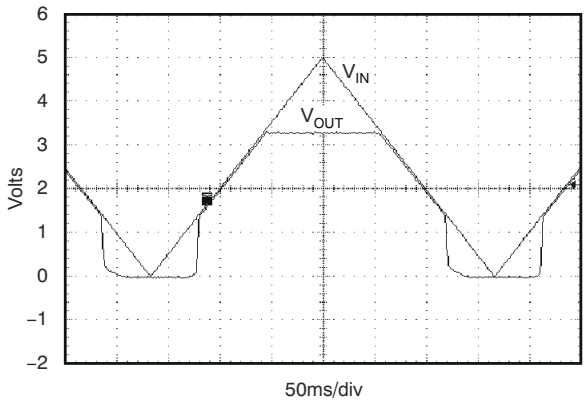
传统器件

图 5-41. TPS7A3701：关断响应



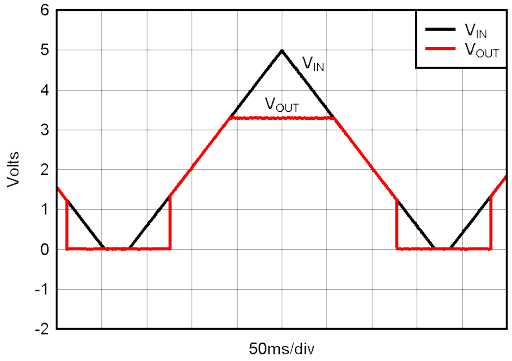
新器件

图 5-42. TPS7A3701 关断响应



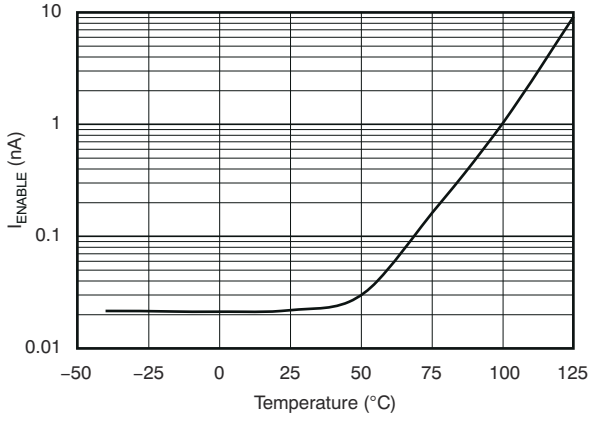
传统器件

图 5-43. TPS7A3701：加电/断电 (V_{OUT} = 3.3V)



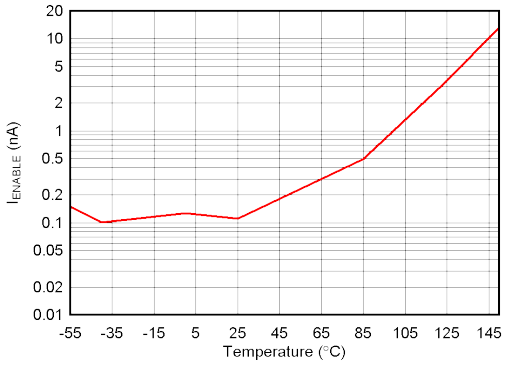
新器件

图 5-44. TPS7A3701、V_{OUT} = 3.3V 上电和断电



传统器件

图 5-45. I_{ENABLE} 与温度间的关系



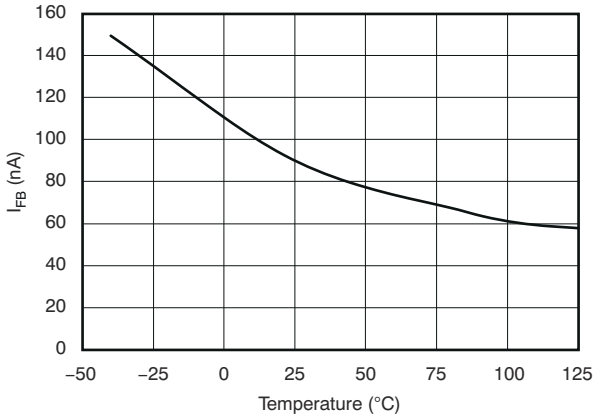
新器件

图 5-46. I_{ENABLE} 与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

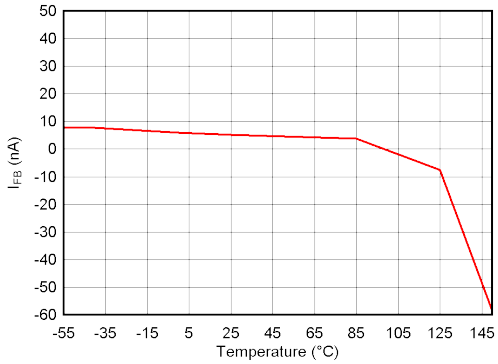
5.6 典型特性 (续)

适用于所有电压版本，在 T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V 且 C_{OUT} = 2.2 µ F 条件下 (除非另有说明) 。



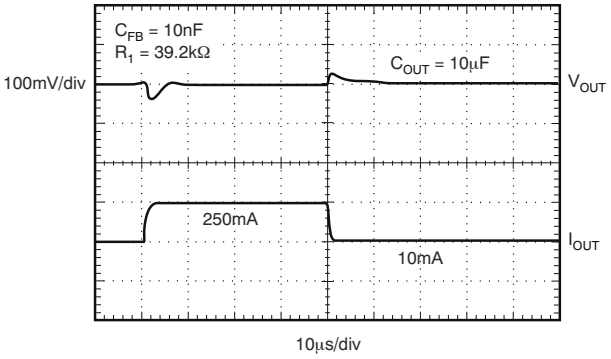
传统器件

图 5-47. TPS7A3701：I_{FB} 与温度间的关系



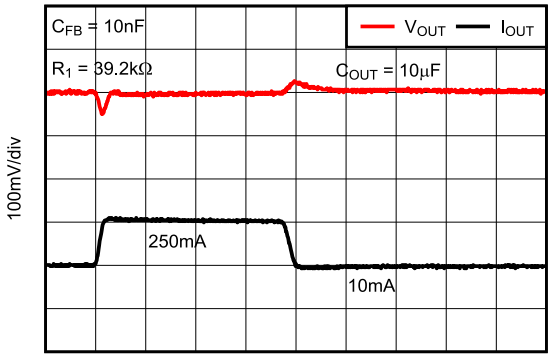
新器件

图 5-48. TPS7A3701I_{FB} 与温度间的关系



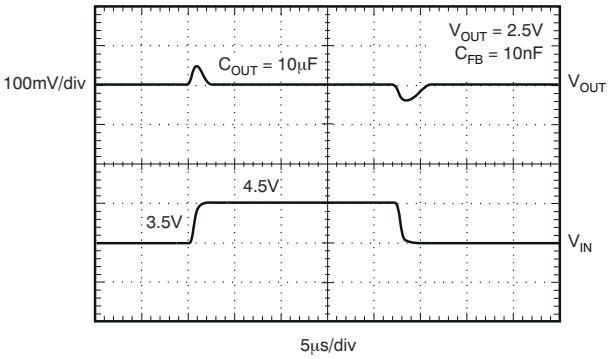
传统器件

图 5-49. TPS7A3701：负载瞬态，可调节版本



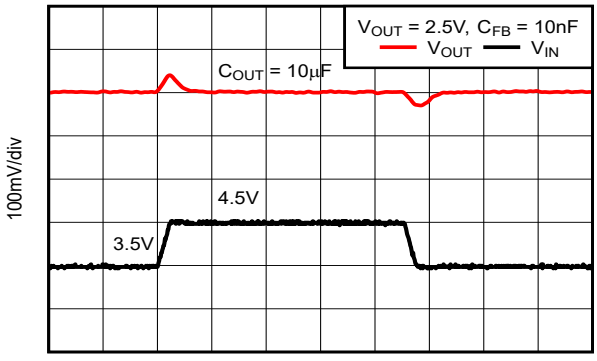
新器件、C_{out} = 10 µ F、钽

图 5-50. TPS7A3701 负载瞬态，可调节版本



传统器件

图 5-51. TPS7A3701：线路瞬态，可调节版本



新器件、C_{out} = 10 µ F、钽

图 5-52. TPS7A3701 线路瞬态，可调节版本

Copyright © 2026 Texas Instruments Incorporated

6 详细说明

6.1 概述

TPS7A37 属于 LDO 稳压器系列，该系列使用 NMOS 传输晶体管来实现超低压降性能和反向电流保护。这些特性和一个使能输入相结合，使得 TPS7A37 非常适合便携式应用。这个稳压器系列提供固定输出电压版本和一个可调输出版本的宽范围选择。所有版本都具有过热以及过流保护，其中包括折返电流限制。

6.2 功能方框图

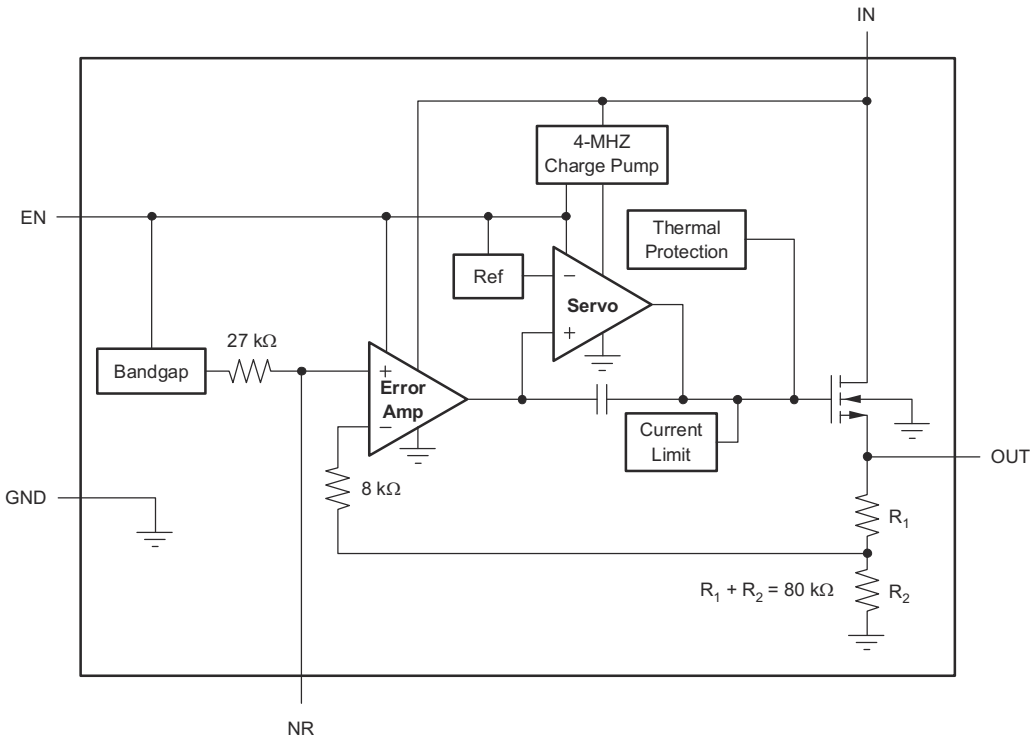
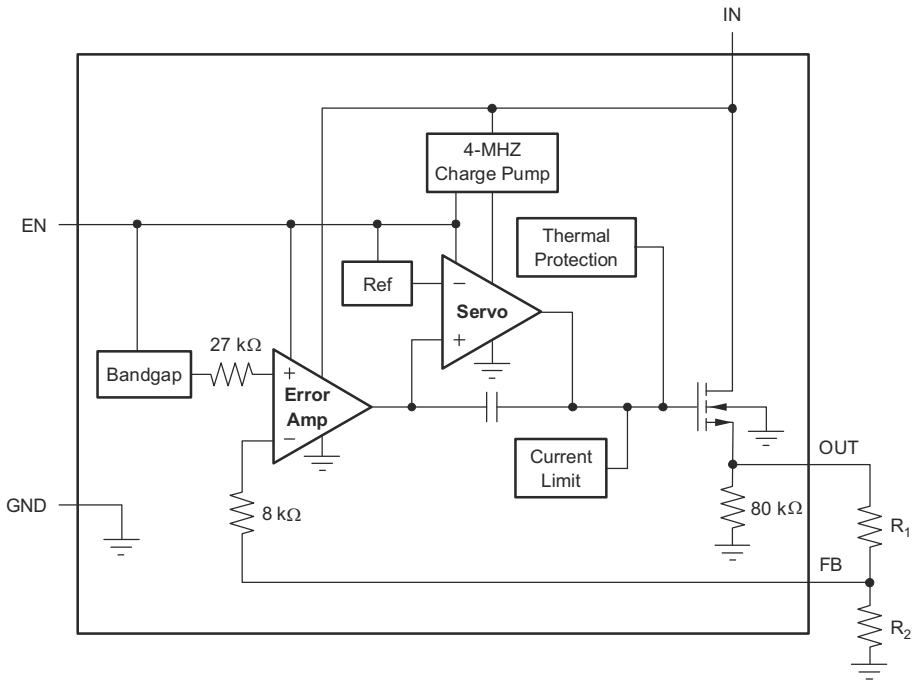


图 6-1. 固定电压版本

Copyright © 2026 Texas Instruments Incorporated



Standard 1% Resistor Values for Common Output Voltages

V_O	R_1	R_2
1.2 V	Short	Open
1.5 V	23.2 kΩ	95.3 kΩ
1.8 V	28.0 kΩ	56.2 kΩ
2.5 V	39.2 kΩ	36.5 kΩ
2.8 V	44.2 kΩ	33.2 kΩ
3.0 V	46.4 kΩ	30.9 kΩ
3.3 V	52.3 kΩ	30.1 kΩ

NOTE: $V_{OUT} = (R_1 + R_2)/R_2 \times 1.204$; $R_1 \parallel R_2 \cong 19\ k\Omega$ for best accuracy.

图 6-2. 可调电压版本

6.3 特性说明

6.3.1 内部电流限制

TPS7A37 内部电流限制有助于在故障情况下对稳压器进行保护。当 V_{OUT} 降到低于 0.5V 时，折返电流限制有助于通过降低电流限制，在输出短路情况下保护稳压器免受损坏。请参阅 *节 5.6* 部分中的图 5-17。

请注意，来自 图 5-17 的大约 –0.2V 的 V_{OUT} 会导致 0mA 的电流限制。因此，如果在 EN 变为高电平前，强制使 OUT 电压低于 –0.2V，器件可能无法启动。在使用一个正电源和负电源的应用中，TPS7A37 必须首先启用。

6.3.2 使能引脚和关断

使能引脚 (EN) 高电平有效并且与标准 TTL-CMOS 电平兼容。V_{EN} 低于 0.5V（最大值）会关闭稳压器并将 GND 引脚的电流降至大约 10nA。当 EN 用于关闭稳压器时，所有电荷都会从旁路晶体管的栅极移除，输出电压将重新上升至稳定的 V_{OUT}（请参阅图 5-39）。

当不需要关断功能时，EN 可连接至 V_{IN}。然而，使用这个配置时，导通栅极并不总能被放电，并且导通晶体管也有可能在 V_{IN} 被移除之后相当长的一段时间内保持接通（增强）状态。这个情况会导致反向电流（如果 IN 引脚为低阻抗）并在加电时产生更快的斜坡时间。此外，对于 V_{IN} 斜坡时间长于几毫秒的情况，输出可能在加电时过冲。

请注意，电流限制折返能够防止某些条件下的器件启动。有关更多信息，请参阅 *节 6.3.1* 部分。

6.3.3 反向电流

当导通器件的栅极被拉低时，TPS7A37 的 NMOS 导通元件可提供固有保护，防止电流从稳压器输出端流向输入端。为了确保所有电荷从导通元件的栅极上移除，在输入电压被移除前，EN 引脚必须被驱动至低电平。如果这没有完成，由于栅极上存储的电荷，导通元件也许被保持在打开状态。

在 EN 引脚被驱动至低电平时，在任一引脚上无需偏置电压即可实现反向电路阻断。请注意，反向电流被定义为由于应用到 OUT 引脚上的电压而从 IN 引脚中流出的电流。由于 80kΩ 内部电阻分压器接地，将有一个额外的电流流入 OUT 引脚（请见 图 6-1 和 图 6-2）。

对于 TPS7A3701，当 V_{FB} 高于 V_{IN} 超过 1.0V 时，可能产生反向电流。

Copyright © 2026 Texas Instruments Incorporated

6.4 器件功能模式

驱动 EN 引脚至超过 1.7V 即可打开稳压器。将 EN 引脚驱动至低于 0.5V 使稳压器进入关断模式。关断时，器件的电流消耗降至 20nA，典型值。

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

7.1.1 输入和输出电容器要求

虽然当输入阻抗非常低时，无需输入电容即可实现稳定性，但在稳压器附近将一个 0.1 µ F 至 1 µ F 的低等效串联电阻 (ESR) 电容器并联在输入电源上，是一种良好的模拟设计做法。该电容器抵消了被重新激活的输入源并且提升了瞬态响应、噪声抑制、以及纹波抑制。如果有可能出现较大、快速上升时间的负载瞬态或者器件距离电源几英寸远的话，有可能需要一个更大电容值的电容器。

TPS7A37 需要一个 1µF 输出电容器来实现稳定性。该器件经过专门设计，可在与所有可用类型和电容值的电容器一起工作时保持稳定。在多只低 ESR 电容并联的应用中，若 C_{OUT} × ESR < 50nΩ-F，则可能发生振铃。总 ESR 包含所有寄生电阻，包括电容器 ESR 以及电路板、插座和焊点电阻。在大多数应用中，电容器 ESR 和走线电阻值的总和满足这一要求。

7.1.2 输出噪声

一个精准带隙基准用于生成内部基准电压 V_{REF}。这个基准是 TPS7A37 内的主要噪声源并且在基准输出 (NR) 上产生大约 32 µ V_{RMS}（10Hz 至 100kHz）。稳压器控制环路对基准噪声的增益补偿与对基准电压的增益补偿一致，这样稳压器的噪声电压可大约确定为：

$$V_N = 32\mu V_{RMS} \times \frac{(R_1 + R_2)}{R_2} = 32\mu V_{RMS} \times \frac{V_{OUT}}{V_{REF}} \quad (1)$$

由于 V_{REF} 的值为 1.2V，这一相互关系减少至：

$$V_N(\mu V_{RMS}) = 27\left(\frac{\mu V_{RMS}}{V}\right) \times V_{OUT}(V) \quad (2)$$

（对于没有 C_{NR} 的情况）。

当一个外部降噪电容器 C_{NR} 被从 NR 接至接地时，一个与降噪引脚 (NR) 串联的内部 27kΩ 电阻器为电压基准形成一个低导通滤波器。因为 C_{NR} = 10nF，根据给出的大致关系，10Hz 至 100kHz 带宽内的总噪声被减少了大约 3.2 倍：

$$V_N(\mu V_{RMS}) = 8.5\left(\frac{\mu V_{RMS}}{V}\right) \times V_{OUT}(V) \quad (3)$$

C_{NR} = 10nF。

该降噪效应显示在*典型特性*部分的“RMS 噪声电压与 C_{NR} 间的关系”图中。

TPS7A3701 可调版本没有可用的 NR 引脚。不过，将一个反馈电容器 C_{FB} 从输出连接至反馈引脚 (FB) 将降低输出噪声并提升负载瞬态性能。该电容器必须限制为 0.1µF。

TPS7A37 使用一个内部电荷泵来形成一个内部电源电压，此电压足以将 NMOS 导通元件的栅极驱动至高于 V_{OUT} 的水平。此电荷泵在大约 4MHz 时生成大约 250 µ V 的开关噪声；然而，对于大多数 I_{OUT} 和 C_{OUT} 的值，电荷泵噪声对于稳压器输出的影响可以忽略不计。

Copyright © 2026 Texas Instruments Incorporated

7.1.3 压降电压

TPS7A37 使用一个 NMOS 导通晶体管来实现极低压降。当 (V_{IN} – V_{OUT}) 低于压降电压 (V_{DO}) 时，NMOS 导通器件处于其运行的线性区域并且输入到输出电阻是 NMOS 导通元件的 $R_{DS,ON}$。

对于负载电流的较大阶跃变化，TPS7A37 需要从 V_{IN} 到 V_{OUT} 的更大压降，以避免降低瞬态响应性能。这个瞬变压降区域的边界大约为 dc 输出的两倍。在这个边界之上的 V_{IN} – V_{OUT} 的值确保了正常瞬态响应。

在瞬态压降区域内运行会增加恢复时间。从一个负载瞬态中恢复所需的时间是负载电流速率变化幅度、负载电流的变化速率、和可用动态空间（V_{IN} 至 V_{OUT} 压降）的函数。在最差的情况下（(V_{IN} – V_{OUT}) 的满量程瞬时负载变化接近 DC 压降水平），TPS7A37 可在几百毫秒内返回特定的调节精度。

7.1.4 瞬态响应

NMOS 调整元件在电压跟随器配置下提供的低开环输出阻抗，使其无需 1.0µF 输出电容即可工作。配合稳压器时，OUT 引脚到接地间增加的额外电容可以减少下冲幅度，但会增加持续时间。在可调版本中，在 OUT 引脚到 FB 引脚间增加的电容器 C_{FB} 也会提升瞬态响应性能。

当输出过压时，TPS7A37 没有有源下拉功能。该架构支持应用将替代电源等更高电压源连接至输出。在输出上连接电容器时，如果负载电流快速下降至零，该架构也将导致几个百分点的输出过冲。通过增加一个负载电阻器可减少过冲的持续时间。过冲衰减速率由输出电容器 C_{OUT} 和内部或外部负载电阻值确定。衰减速率由以下因素确定：

（固定电压版本）

$$\frac{dV}{dT} = \frac{V_{OUT}}{C_{OUT} \times 80k\Omega \parallel R_{LOAD}} \tag{4}$$

（可调电压版本）

$$\frac{dV}{dT} = \frac{V_{OUT}}{C_{OUT} \times 80k\Omega \parallel (R_1 + R_2) \parallel R_{LOAD}} \tag{5}$$

7.2 典型应用

7.2.1 典型应用

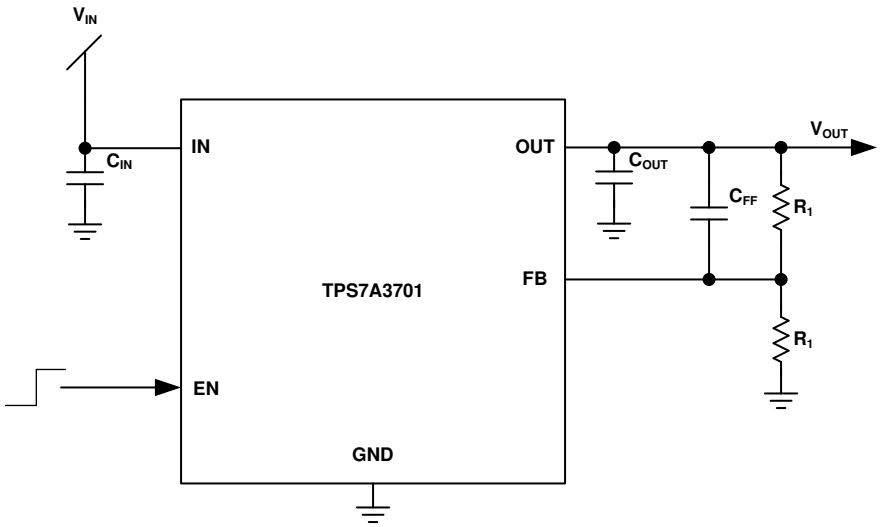


图 7-1. 典型应用原理图

Copyright © 2026 Texas Instruments Incorporated

7.2.1.1 设计要求

表 7-1 列出了设计参数。

表 7-1. 设计参数

设计参数	示例值
输入电压	3.6V
输出电压	3.3V
直流输出电流	100mA
峰值输出电流	1A

7.2.1.2 详细设计过程

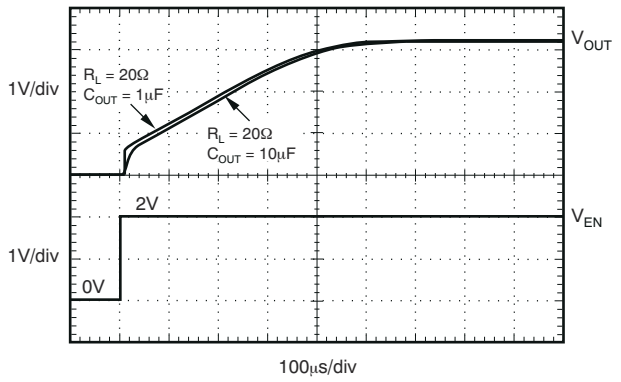
由于本应用存在瞬态，必须使用输入电容和输出电容。选择了 C_{IN} = C_{OUT} = 10µF 电容器。

所选电容的 ESR 可通过查看复阻抗幅值随频率的变化来检查。当 |Zc| 达到最小值时，直流 ESR 即为该频率下的 |Zc| 值。所选电容的 ESR 为 10mΩ，因此乘积为 10mΩ × 10µF = 100nΩ-F > 50nΩ-F，从而将瞬态期间的振铃降至最低。

由于在 100mA 直流电流下 V_{IN} − V_{OUT} 的变化仅为 300mV，在 JEDEC 标准板上预计的结温相对环境温升为 67.2°C/W × 0.3V × 0.1A = 2°C。

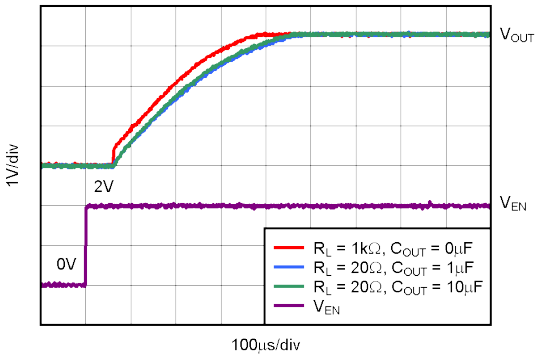
为提供最佳精度，R1 = 52.3kΩ、R2 = 30.1kΩ，并使用 10nF 的 C_{FF} 来降低输出噪声。

7.2.1.3 应用曲线



传统器件

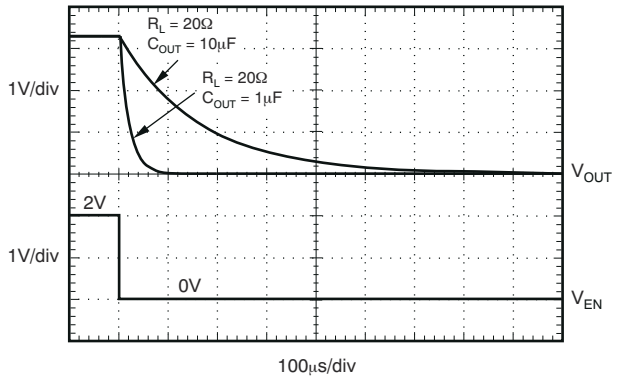
图 7-2. TPS7A3701：导通响应



新器件

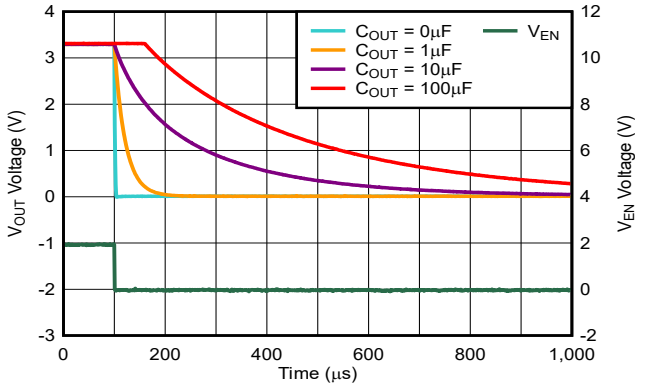
图 7-3. TPS7A3701 导通响应

Copyright © 2026 Texas Instruments Incorporated



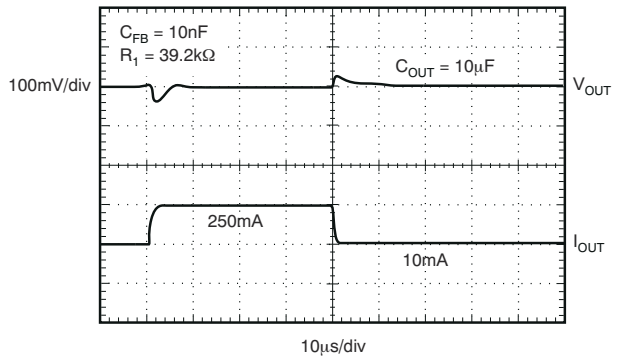
传统器件

图 7-4. TPS7A3701：关断响应



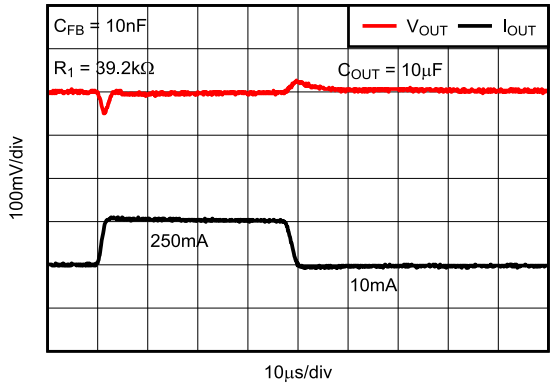
新器件

图 7-5. TPS7A3701 关断响应



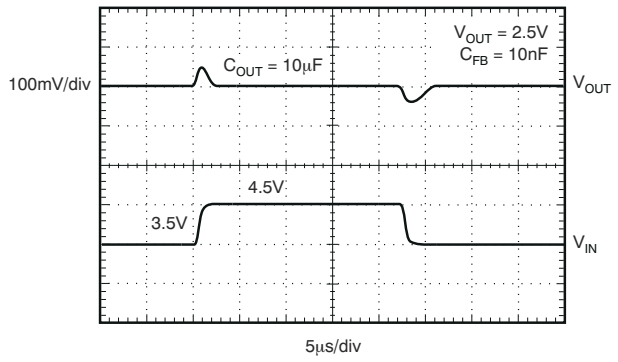
传统器件

图 7-6. TPS7A3701：负载瞬态，可调节版本



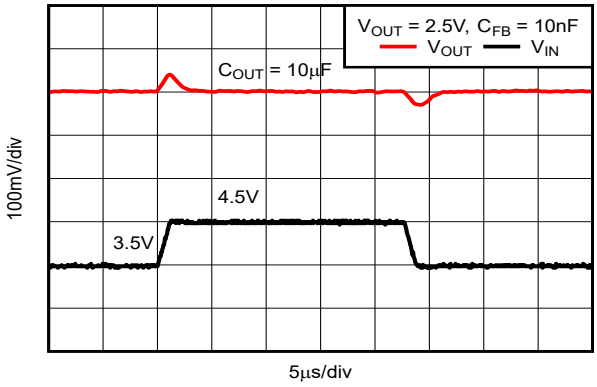
新器件、C_{out} = 10 µ F、钽

图 7-7. TPS7A3701 负载瞬态，可调节版本



传统器件

图 7-8. TPS7A3701：线路瞬态，可调节版本



新器件、C_{out} = 10 µ F、钽

图 7-9. TPS7A3701 线路瞬态，可调节版本

Copyright © 2026 Texas Instruments Incorporated

7.2.2 固定电压版本

图 7-10 显示了针对固定电压模型的基本电路连接。

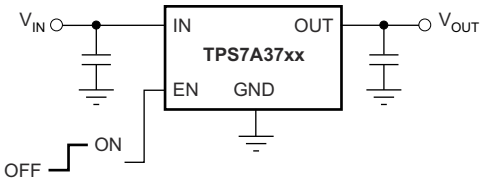


图 7-10. 针对固定电压版本的典型应用电路

7.2.3 可调节运行

图 7-11 提供可调输出版本的连接，TPS7A3701 [1]。

使用图 7-11 中显示的公式，R_1 和 R_2 可用于计算任一输出电压。针对共同输出电压的取样电阻器值显示在图 6-2 中。

对了获得最佳精度，应当使 R_1 和 R_2 的并联组合值约为 19kΩ。除了内部的 8kΩ 电阻器，这个 19kΩ 的电阻值为误差放大器提供了与 27kΩ 带隙基准输出相同的阻抗。这个阻抗有助于补偿进入误差放大器端子的泄漏。

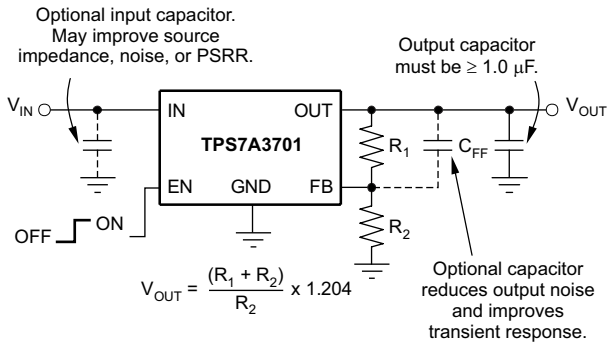


图 7-11. 可调电压版本的典型应用电路(1)

7.3 电源相关建议

LDO 的输入电源必须在建议运行条件（即 2.2V 至 5.5V 之间）内。输入电压必须为器件提供足够的余量，以实现稳定的输出。若输入电源存在噪声，可外加低 ESR 输入电容，以改善输出瞬态响应性能。

7.4 布局

7.4.1 布局指南

好的布局是衡量电源设计的一个重要部分。多条信号路径中快速变化的电流或电压可能与杂散电感或寄生电容相互作用，从而产生噪声或使电源性能降低。为了帮助消除上述问题，必须通过采用 X5R 或 X7R 电介质的低 ESR 陶瓷旁路电容使 IN 引脚旁路至接地。

GND 引脚必须直接连接到 IC 下方的 PowerPAD。PowerPAD 必须通过位于 IC 正下方的多个过孔连接到 PCB 的内部接地层。

请勿将任何电容器放置在 PCB 的另一侧安装稳压器的位置。强烈建议不要使用过孔和长布线，因为这些电路会对系统性能产生负面影响，甚至导致不稳定。

[1] 产品预览器件

Copyright © 2026 Texas Instruments Incorporated

7.4.1.1 对于改进 PSRR 和噪声性能的电路板布局布线建议

为了提升交流性能（如 PSRR、输出噪声和瞬态响应），建议在电路板设计中为 V_{IN} 和 V_{OUT} 电容器提供接地平面连接。此外，确保接地平面连接到器件的 GND 引脚。

7.4.1.2 散热注意事项

当结温上升至大约 +160°C 时，过热保护会禁用输出以使器件冷却。当结温冷却至大约 +140°C 时，输出电路将被重新使能。根据功率耗散、热阻和环境温度的变化，过热保护电路可能会循环开启和关断。这样循环设计限制了稳压器的功率耗散，从而保护器件不受过热损坏。

任何有可能激活过热保护电路的情况表示过多的功率耗散或者不够充分的散热。为了实现可靠运行，结温必须被限制为最高 +125°C。为了估算一个完整设计中（包括散热）的安全裕量，增加环境温度直到触发过热保护；使用最差情况负载和信号条件。为了实现更好的稳定性，过热保护应该在比您的应用的最大预计环境温度至少高 +35°C 时触发。这样就在最高预计环境温度和最差情况负载上产生了一个 +125°C 最差情况结温。

TPS7A37 内部保护电路的设计可防止出现过载情况。该电路并不是为了取代适当的散热装置。TPS7A37 持续不断地运行至热关断状态会降低器件的可靠性。

7.4.1.3 功率耗散

了解器件功率耗散并正确确定连接到接片或焊盘的热平面尺寸，对于避免热关断并确保可靠运行至关重要。

器件的功率耗散取决于输入电压和负载条件，可以使用 方程式 6 计算：

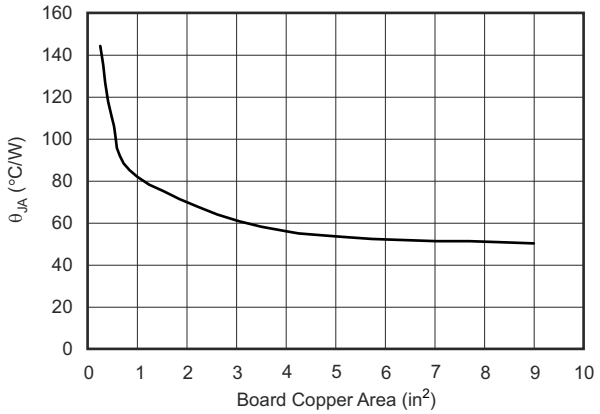
$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \tag{6}$$

通过使用实现所需输出电压的最低可能输入电压可大大减小功率耗散并提高效率。

在 WSON (DRV) 封装上，主要的热传导路径是通过外露焊盘到达印刷电路板 (PCB)。焊盘可以接地或保持悬空；但是，必须将焊盘连接到适当大小的铜 PCB 区域，以确保器件不会过热。接片必须连接到地。最大结至环境热阻取决于最高环境温度、最高器件结温和器件的功率耗散，可以使用 方程式 7 计算：

$$R_{\theta JA} = \frac{(+125°C - T_A)}{P_D} \tag{7}$$

已知最大 $R_{\theta JA}$，可以使用图 7-12 估算适当散热所需的 PCB 铜面积最小值。



电路板尺寸为 9in² （即 3in × 3in）时的 θ_{JA} 值是 JEDEC 标准。

图 7-12. DRV (WSON) 封装 θ_{JA} 与电路板尺寸间的关系

Copyright © 2026 Texas Instruments Incorporated

图 7-12 展示了 θ_{JA} 与电路板中接地平面覆铜区的函数关系。该图仅用作指南来演示接地平面中散热的影响，不得用于估算实际应用环境中的实际热性能。

备注

器件安装在应用 PCB 上时，使用 Ψ_{JT} 和 Ψ_{JB}，参见*节 7.4.1.4* 部分中的说明。

7.4.1.4 估算结温

使用*热性能信息*表中所示的热指标 ψ_{JT} 和 ψ_{JB}，可以用相应的公式（在 方程式 8 中给出）估算结温。为了实现向后兼容性，还列出了较旧的 $\theta_{JC,Top}$ 参数。

$$\Psi_{JT}: \quad T_J = T_T + \Psi_{JT} \bullet P_D$$
$$\Psi_{JB}: \quad T_J = T_B + \Psi_{JB} \bullet P_D \tag{8}$$

其中 P_D 是方程式 6 所示的功率耗散，T_T 是 IC 封装顶部中间位置的温度，T_B 是*在 PCB 表面*距离 IC 封装 1mm 处测得的 PCB 温度（如图 7-14 所示）。

备注

T_T 和 T_B 都可以使用实际测温仪（红外温度计）在实际应用板上进行测得。

有关测量 T_T 和 T_B 的详细信息，请参阅应用手册 SBVA025（*使用新的热指标*），该应用手册可从 www.ti.com 下载。

从图 7-13 可见，新的热指标（Ψ_{JT} 和 Ψ_{JB}）对电路板尺寸的依赖度非常低。即使用 Ψ_{JT} 或 Ψ_{JB} 及 方程式 8 时，只需简单测量 T_T or T_B 即可估算 T_J，此时无需考虑应用板的尺寸。

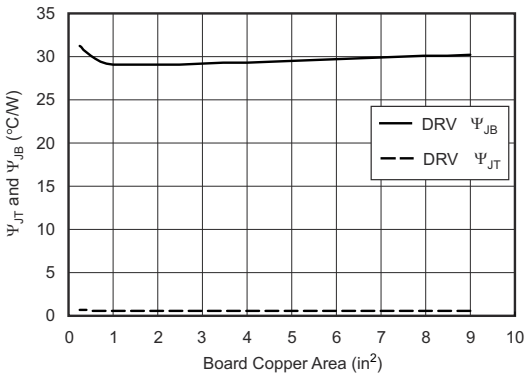
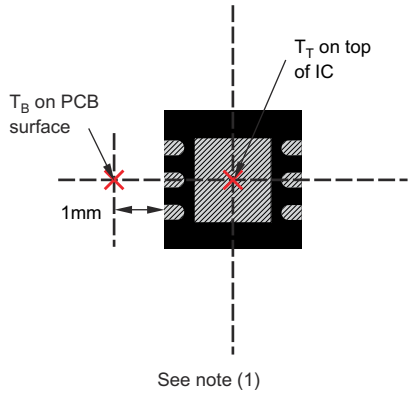


图 7-13. DRV (WSON) 封装 ψ_{JT} 和 ψ_{JB} 与电路板尺寸间的关系

有关 TI 为何不建议使用 $\theta_{JC(top)}$ 确定散热特性的更详细讨论，请参阅*使用新的热指标* 应用手册 SBVA025（可从 www.ti.com 下载）。有关详细信息，请参阅*半导体和 IC 封装热指标* 应用手册 SPRA953（也可从 TI 网站获取）。

Copyright © 2026 Texas Instruments Incorporated



A. 功率耗散可限制运行范围。查看*热性能信息*表。
B. DRV (SON) 封装测量示例

图 7-14. T_T 和 T_B 的测量点

7.4.2 布局示例

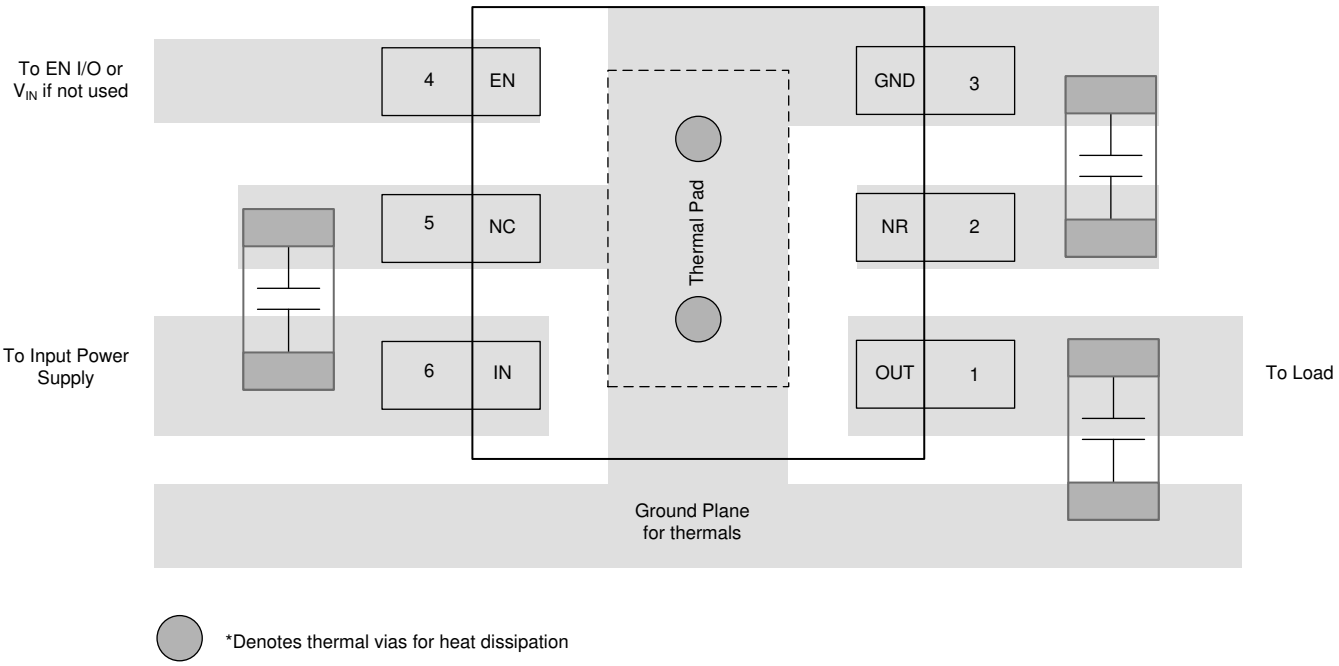


图 7-15. 固定电压布局

Copyright © 2026 Texas Instruments Incorporated

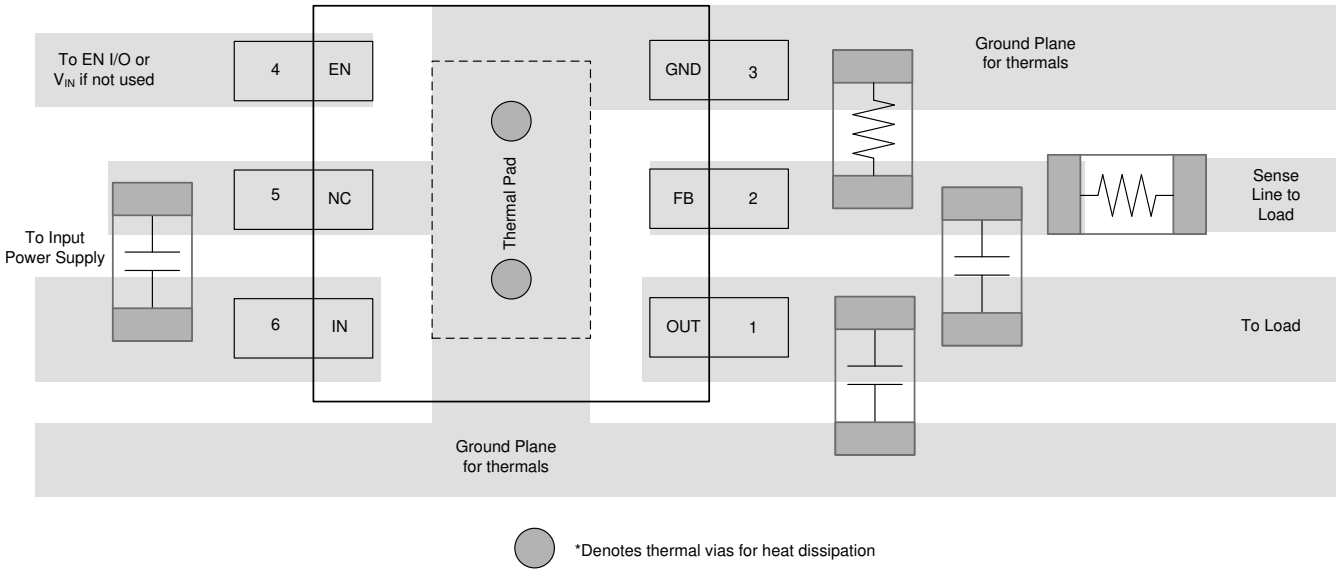

To EN I/O or
V_{IN} if not used
4
EN
5
NC
6
IN
Thermal Pad
GND
3
FB
2
OUT
1
Ground Plane
for thermals
Sense
Line to
Load
To Input
Power Supply
To Load
Ground Plane
for thermals
*Denotes thermal vias for heat dissipation

图 7-16. 可调电压布局

8 器件和文档支持

8.1 器件支持

8.1.1 器件命名规则

表 8-1. 提供的选项

产品(1)	说明
TPS7A37**xxyyyz(M3)**	**xx** 是标称输出电压（例如，25 = 2.5V，01 = 可调节 (1)）。 **yyy** 为封装标识符。 **z** 为封装数量。 **M3** 是仅使用最新制造流程的器件的后缀指示符（CSO：RFB）。没有这个后缀的器件可以随附*旧芯片* (CSO:DLN) 或*新芯片* (CSO:RFB)。卷带封装标签提供 CSO 信息以区分正在使用的器件。全篇对新器件和传统器件的器件性能进行了说明。

(1) 有关最新的封装和订货信息，请参阅本文档末尾的封装选项附录，或访问 www.ti.com.cn，查看器件产品文件夹。

8.2 文档支持

8.2.1 相关文档

如要查看相关文件，请参阅以下内容：

- 德州仪器 (TI)，*使用新的热指标 应用手册*
- 德州仪器 (TI)，*TPS7A37xxEVM-529 评估模块 用户指南*

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision B (July 2015) to Revision C (October 2026)	Page
• 添加了 DRV (WSON) 封装的新器件热性能结果	4
• 更新了内部基准典型值	6
• 添加了新的器件线路调整	6
• 添加了新器件接地电流	6
• 添加了新器件接地引脚电流规格	6
• 添加了新器件启动时间规格	6
• 添加了*器件命名规则*部分	28

Changes from Revision A (July 2013) to Revision B (July 2015)	Page
• 添加了 *ESD 等级*表、*特性说明*部分、*器件功能模式*、*应用和实施*部分、*电源相关建议*部分、*布局*部分、*器件和文档支持*部分以及*机械、封装和可订购信息*部分	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7A3701DRVR	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SJI
TPS7A3701DRVR.A	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SJI
TPS7A3701DRVT	Active	Production	WSON (DRV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SJI
TPS7A3701DRVT.A	Active	Production	WSON (DRV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SJI
TPS7A3721DRVR	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SIX
TPS7A3721DRVR.A	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SIX
TPS7A3721DRVT	Active	Production	WSON (DRV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SIX
TPS7A3721DRVT.A	Active	Production	WSON (DRV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SIX
TPS7A3725DRVR	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SJH
TPS7A3725DRVR.A	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SJH
TPS7A3725DRVT	Obsolete	Production	WSON (DRV) | 6	-	-	Call TI	Call TI	-40 to 125	SJH

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

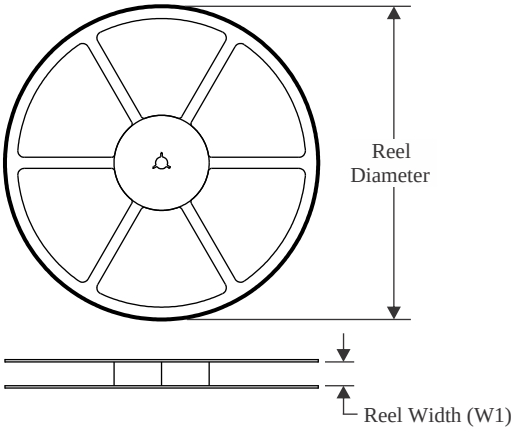
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

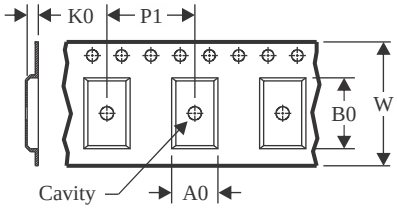
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

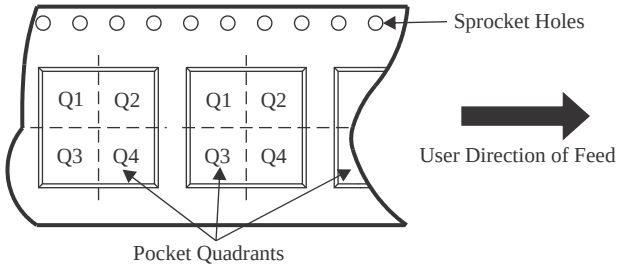


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

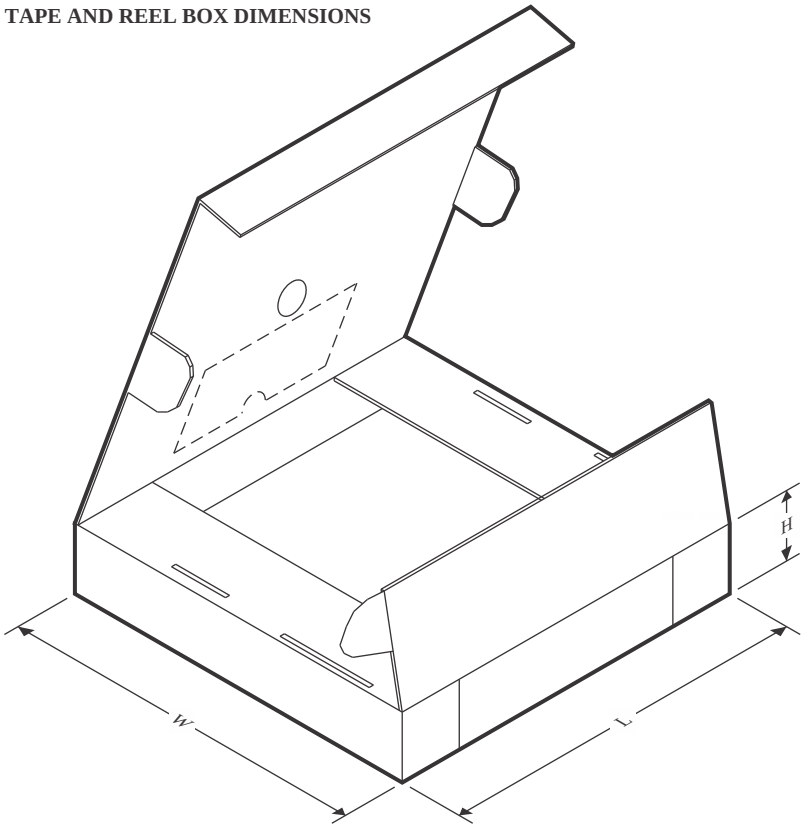
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7A3721DRVR	WSON	DRV	6	3000	179.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TPS7A3721DRVT	WSON	DRV	6	250	179.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TPS7A3725DRVR	WSON	DRV	6	3000	179.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS

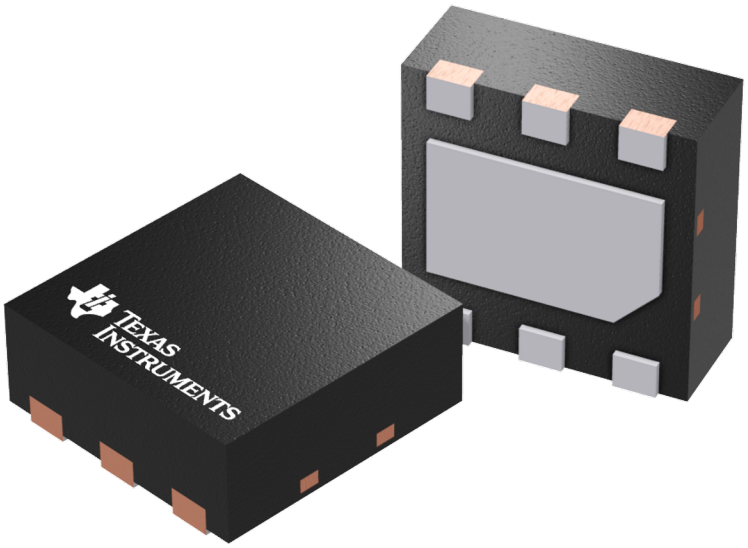


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7A3721DRVR	WSON	DRV	6	3000	213.0	191.0	35.0
TPS7A3721DRVT	WSON	DRV	6	250	213.0	191.0	35.0
TPS7A3725DRVR	WSON	DRV	6	3000	213.0	191.0	35.0

DRV 6 WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



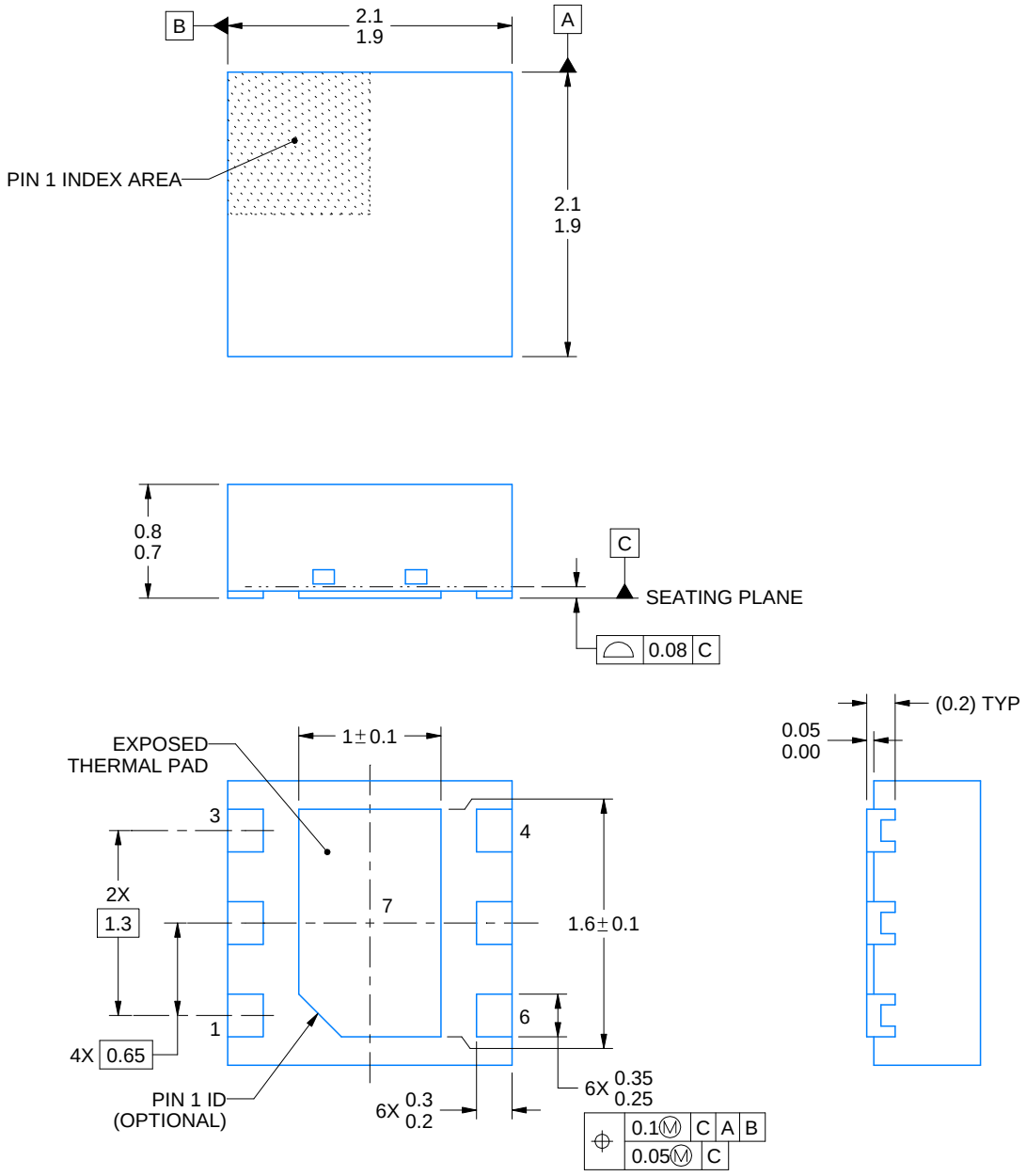
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

DRV0006D

PACKAGE OUTLINE

WSON - 0.8 mm max height

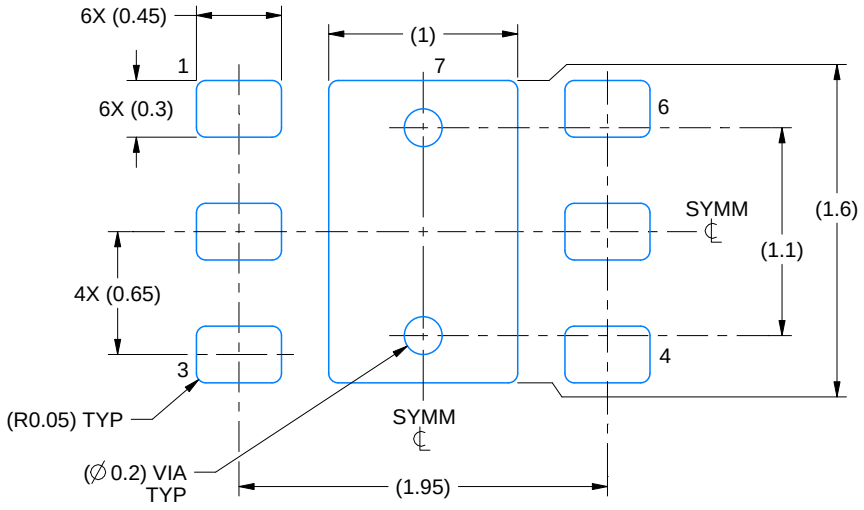
PLASTIC SMALL OUTLINE - NO LEAD



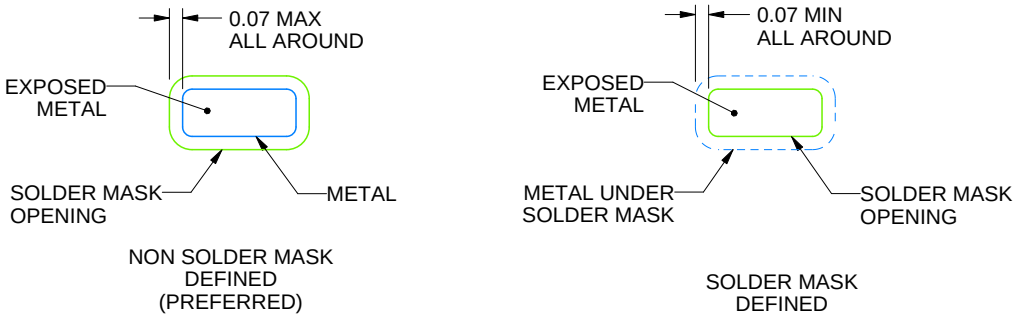
4225563/A 12/2019

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:25X

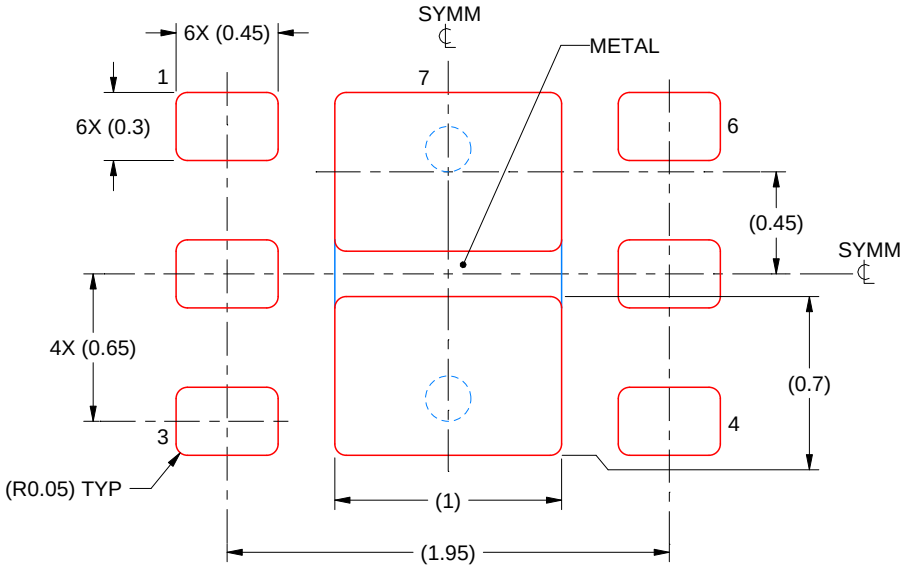


SOLDER MASK DETAILS

4225563/A 12/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD #7
88% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:30X

4225563/A 12/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月