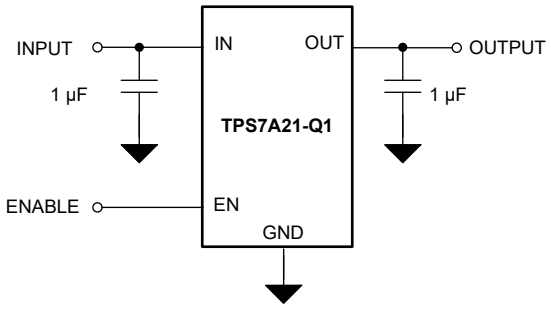
TPS7A21-Q1 汽车级 500mA、低噪声、低 I_Q、高 PSRR LDO

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
  - 温度等级 1：-40°C 至 +125°C
  - 结温：-40°C 至 +150°C
- 超低 I_Q：6.5 µA
- 输入电压范围：2.0V 至 6.0V
- 输出电压范围：0.8V 至 5.5V（阶跃为 50mV）
- 高 PSRR：1kHz 时为 91dB
- 低输出电压噪声：7.7 μV_{RMS}
- 低压降：
  - 在 500mA (2.5V V_{OUT}) 下为 265mV（最大值）
- 智能 EN 引脚下拉
- 输出电压容差：在整个工作温度范围内为 ±1%
- 支持多种陶瓷电容器：
  - 1µF 至 200µF
- 封装：
  - 3mm x 3mm 可湿性侧面 VSON 封装
  - 2mm x 2mm 可湿性侧面 WSON 封装
  - 2mm × 2mm WSON

2 应用

- DAS 摄像头和雷达
- 汽车信息娱乐系统
- 远程信息处理系统
- 导航系统



简化版应用原理图

3 说明

TPS7A21-Q1 是一款小型低压降 (LDO) 线性稳压器，可提供 500mA 的输出电流。该器件可提供低噪声、高 PSRR 和出色的负载和线路瞬态性能，符合汽车应用中射频和其他敏感模拟电路的要求。得益于创新的设计技术，该器件无需添加外部噪声旁路电容即可提供低噪声性能。TPS7A21-Q1 具有低静态电流，非常适合用于低功耗系统。输入电压范围为 2.0V 至 6.0V，输出电压范围为 0.8V 至 5.5V，可满足各种系统要求。

内部软启动电路可帮助控制浪涌电流，因此可在启动过程中更大程度地降低输入电压降。该 LDO 在与小型陶瓷电容器搭配使用时可保持稳定，因此整体设计尺寸较小。

借助具有内部控制下拉电阻器的智能使能输入电路，即使在 EN 引脚未连接时也能让 LDO 保持禁用状态。该电路还有助于省去原本需要用于下拉 EN 输入的外部元件。

封装信息

器件型号	封装(1)	封装尺寸(2)
TPS7A21-Q1	DRB（可湿性侧面 VSON，8）	3mm × 3mm
	DSG（可湿性侧面 WSON，8）	2mm × 2mm
	DSG（WSON，8）	2mm × 2mm

(1) 如需更多信息，请参阅*机械、封装和可订购信息*。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 5
5.5 电气特性 5
5.6 典型特性 7
6 详细说明 14
6.1 概述 14
6.2 功能方框图 14
6.3 特性说明 15
6.4 器件功能模式 16
7 应用和实施 18
7.1 应用信息 18
7.2 典型应用 21
7.3 电源相关建议 23
7.4 布局 23
8 器件和文档支持 25
8.1 器件支持 25
8.2 文档支持 25
8.3 接收文档更新通知 25
8.4 支持资源 25
8.5 商标 25
8.6 静电放电警告 25
8.7 术语表 25
9 修订历史记录 26
10 机械、封装和可订购信息 26

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

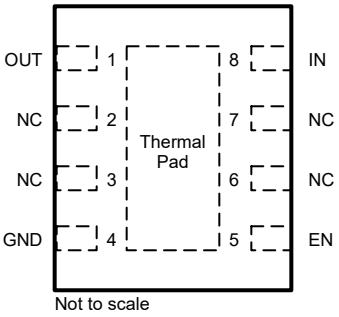


图 4-1. DRB 封装，8 引脚固定 VSON（顶视图）

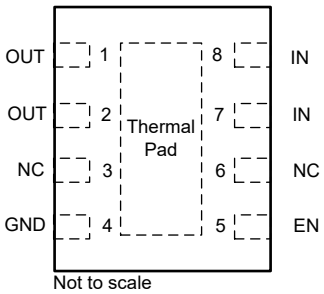


图 4-2. DSG 封装 (DSG0008B)，8 引脚固定 WSON（顶视图）

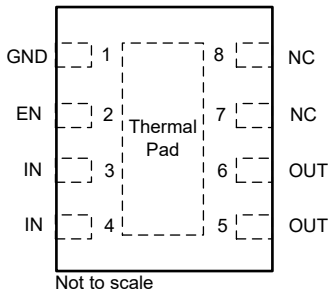


图 4-3. DSG 封装 (DSG0008A)，8 引脚固定 WSON C 版本（顶视图）

表 4-1. 引脚功能

引脚				类型(1)	说明
名称	DRB	DSG0008B	DSG0008A（C 版本）		
EN	5	5	2	I	使能引脚。驱动 EN 大于 $V_{EN(HI)}$ 以打开稳压器。驱动 EN 低于 $V_{EN(LO)}$ 以使低压降稳压器 (LDO) 置于关断模式。
GND	4	4	1	—	接地引脚。
IN	8	7、8	3、4	I	输入引脚。为了获得理想瞬态响应并尽可能减小输入阻抗，请在 IN 到接地端之间使用建议值或更大的陶瓷电容器，如 *建议运行条件* 表和 *输入和输出电容器要求* 部分所示。将输入电容器放置在尽可能靠近器件的输出的位置上。
NC	2、3、6、7	3、6	7、8	—	无内部连接。将此引脚接地以实现更好的热性能。
OUT	1	1、2	5、6	O	稳压输出电压引脚。将低等效串联电阻 (ESR) 电容器连接到此引脚。为获得出色的瞬态响应，请使用标称推荐值或从 OUT 到 GND 的更大电容器。当稳压器处于关断模式 ($V_{EN} < V_{EN\ (LOW)}$) 时，内部下拉电阻可防止 OUT 上残留电荷。
散热焊盘					散热焊盘以电气方式连接到 GND 节点。连接至 GND 平面以提高热性能。

(1) I = 输入，O = 输出，NC = 无连接。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内（除非另有说明）(1) (3)

		最小值	最大值	单位
V_{IN}	输入电压	-0.3	6.5	V
V_{OUT}	输出电压	-0.3	V_{IN} + 0.3 或 6.5 中的较小值	V
V_{EN}	使能输入电压	-0.3	6.5	V
	最大输出电流(3)	在内部限制		A
T_J	工作结温	-40	150	°C
T_{stg}	贮存温度	-65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果在建议运行条件之外但在绝对最大额定值范围内短暂运行，器件可能不会受到损坏，但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能，并缩短器件寿命。
(2) 所有电压均以 GND 引脚为基准。
(3) 内部热关断电路有助于保护器件不受永久损坏。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±750	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	标称值	最大值	单位
V_{IN}	输入电源电压	2.0		6.0	V
V_{EN}	使能输入电压	0		6.0	V
V_{OUT}	标称输出电压范围	0.8		5.5	V
I_{OUT}	输出电流	0		500	mA
C_{IN}	输入电容器(2)		1		µF
C_{OUT}	输出电容器(3)	1		200	µF
ESR	输出电容器有效串联电阻			100	mΩ
T_J	工作结温	-40		150	°C

(1) 所有电压均以 GND 引脚为基准。
(2) 不需要输入电容器即可实现 LDO 稳定性。但是，建议使用最小有效值为 0.47 µF 的输入电容来抵消源电阻和电感的影响，在某些情况下，这可能会导致系统级不稳定的症状（例如振铃或振荡），尤其是在存在负载瞬态的情况下。
(3) 为了在 ESR 值高达 100mΩ 时保持稳定，需要在所有温度和电压条件下设置 0.4 µF 最小值和 200 µF 最大值的有效输出电容。如果 ESR 降至 20mΩ 或更低，则可通过低至 0.3 µF 的有效输出电容实现稳定运行。

Copyright © 2025 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		TPS7A21-Q1		单位
		DRB (VSON)	DSG (WSON)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	58.9	77.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	76.3	109.0	°C/W
$R_{\theta JB}$	结至电路板热阻	31.8	44.5	°C/W
ψ_{JT}	结至顶部特征参数	6.3	7.2	°C/W
ψ_{JB}	结至电路板特征参数	31.8	44.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	13.3	17.0	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标以及电路板布局布线对 LDO 热性能影响的经验分析应用手册。

5.5 电气特性

在工作温度范围（T_J = –40℃ 至 +150℃）、V_{IN} = $V_{OUT(NOM)}$ + 0.3V 或 2V（以较大者为准）、V_{EN} = 1.0V、I_{OUT} = 1mA、C_{IN} = 1μF、C_{OUT} = 1μF 条件下（除非另有说明）；所有典型值都是 T_J = 25℃ 条件下的典型值

参数		测试条件		最小值	典型值	最大值	单位
ΔV_{OUT}	输出电压容差	V_{IN} = ($V_{OUT(NOM)}$ + 0.3V) 至 6.0V，1mA < I_{OUT} ≤ 500mA，V_{OUT} ≥ 3.3V		-2.25		1.5	%
		V_{IN} = ($V_{OUT(NOM)}$ + 0.3V) 至 6.0V，1mA < I_{OUT} ≤ 500mA，2.8V ≤ V_{OUT} < 3.3V		-2.5		1.5	
		V_{IN} = ($V_{OUT(NOM)}$ + 0.3V) 至 6.0V，I_{OUT} = 1mA，V_{OUT} ≥ 2.8V		-1		1	
		V_{IN} = ($V_{OUT(NOM)}$ + 0.3V) 至 6.0V，1mA < I_{OUT} ≤ 500mA，V_{OUT} < 2.8V		-70		50	mV
		V_{IN} = ($V_{OUT(NOM)}$ + 0.3V) 至 6.0V，I_{OUT} = 1mA，V_{OUT} < 2.8V		-50		50	
ΔV_{OUT}	线性调整率	V_{IN} = ($V_{OUT(NOM)}$ + 0.3V) 至 6.0V，I_{OUT} = 1mA			0.03		%/V
ΔV_{OUT}	负载调整率	I_{OUT} = 1mA 至 500mA			0.003		%/mA
I_{GND}	静态电流	V_{EN} = V_{IN}，V_{IN} = 6.0V，I_{OUT} = 0mA	T_J = 25°C		6.5	9	μA
			T_J = –40°C 至 85°C			11	
			T_J = –40°C 至 125°C			15	
			T_J = –40°C 至 150°C			18	
		V_{EN} = V_{IN}，V_{IN} = 6.0V，I_{OUT} = 500mA			2300	3500	
I_{SHTDWN}	关断电流	V_{EN} = 0V（禁用），V_{IN} = 6.0V，T_J = 25°C			0.15	1	μA
		V_{EN} = 0V（禁用），V_{IN} = 6.0V，T_J = –40°C 至 150°C				10	
$I_{Q(DO)}$	处于压降状态时的静态电流	V_{IN} ≤ $V_{OUT(NOM)}$，I_{OUT} = 0mA			7	15	μA
V_{DO}	压降电压	I_{OUT} = 500mA，V_{OUT} = 95% × $V_{OUT(NOM)}$	0.8V ≤ V_{OUT} < 1.0V (1)			825	mV
			1.0V ≤ V_{OUT} < 1.2V (1)			605	
			1.2V ≤ V_{OUT} < 1.5V (1)			470	
			1.5V ≤ V_{OUT} < 2.5V			355	
			2.5V ≤ V_{OUT} ≤ 5.5V			265	
I_{CL}	输出电流限制	V_{OUT} = 0.9 × $V_{OUT(NOM)}$		650	1060	1500	mA
I_{SC}	短路电流限制	V_{OUT} = 0V			325		mA

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

在工作温度范围（T_J = –40℃ 至 +150℃）、V_{IN} = $V_{OUT(NOM)}$ + 0.3V 或 2V（以较大者为准）、V_{EN} = 1.0V、I_{OUT} = 1mA、C_{IN} = 1μF、C_{OUT} = 1μF 条件下（除非另有说明）；所有典型值都是 T_J = 25℃ 条件下的典型值

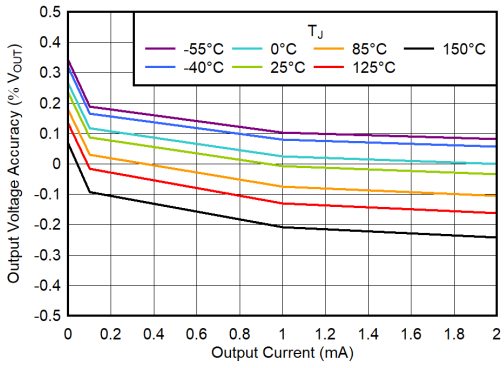
参数		测试条件		最小值	典型值	最大值	单位
PSRR	电源抑制比	I_{OUT} = 20mA，V_{IN} = V_{OUT} + 1.0V	f = 100Hz		90		dB
			f = 1kHz		91		
			f = 10kHz		71		
			f = 100kHz		61		
			f = 1MHz		50		
		I_{OUT} = 500mA，V_{IN} = V_{OUT} + 1.0V	f = 100Hz		65		
			f = 1kHz		85		
			f = 10kHz		79		
			f = 100kHz		44		
			f = 1MHz		50		
V_N	输出噪声电压	BW = 10Hz 至 100kHz，V_{OUT} = 2.8V	I_{OUT} = 500mA		7.7		μV_{RMS}
			I_{OUT} = 1mA		10		
$R_{PULLDOWN}$	输出自动放电下拉电阻	V_{IN} = 2V，V_{EN} < V_{IL}（禁用输出）			150		Ω
T_{SD}	热关断上升	T_J 上升			165		°C
	热关断下降	T_J 下降			140		
$V_{EN(LOW)}$	低电平输入阈值	V_{IN} = 2.0V 至 6.0V，V_{EN} 下降，直到输出被禁用				0.3	V
$V_{EN(HI)}$	高电平输入阈值	V_{IN} = 2.0V 至 6.0V，V_{EN} 上升，直到输出使能		0.9			V
V_{UVLO}	UVLO 阈值	V_{IN} 上升		1.11	1.32	1.63	V
		V_{IN} 下降		1.05	1.27	1.57	
$V_{UVLO(HYST)}$	UVLO 迟滞				50		mV
I_{EN}	EN 引脚漏电流	V_{EN} = 6.0V 和 V_{IN} = 6.0V			100	300	nA
$R_{EN(PULL-DOWN)}$	智能使能端下拉电阻				440		kΩ
t_{ON}	开通时间	从 V_{EN} > V_{IH} 到 V_{OUT} = $V_{OUT(NOM)}$ 的 95%		120	200	280	μs

(1) 低于或非常接近 UVLO 阈值的 V_{OUT} 值的压降电压不直接测量。显示的值通过仿真进行了验证。

Copyright © 2025 Texas Instruments Incorporated

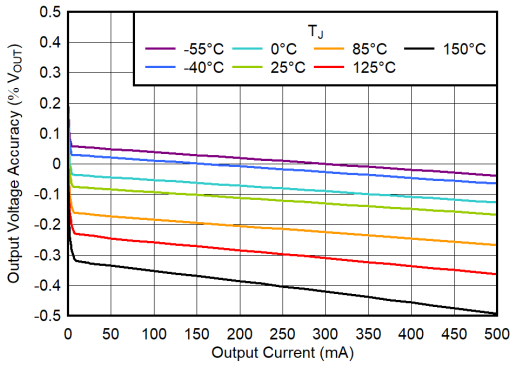
5.6 典型特性

V_{IN} = 3.6V、V_{OUT} = 3.3V、I_{OUT} = 1mA、C_{IN} = 1µF、C_{OUT} = 1µF 且 T_A = 25°C 时（除非另有说明）



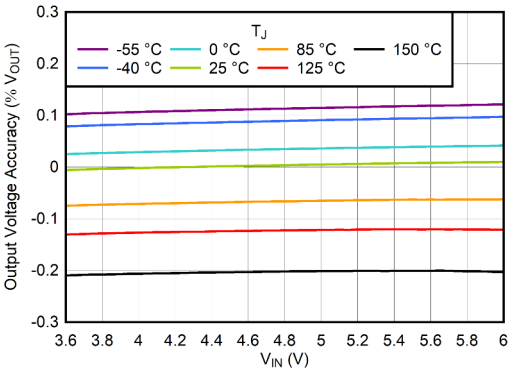
V_{EN} = 1V

图 5-1. 输出电压精度与 I_{OUT} 间的关系



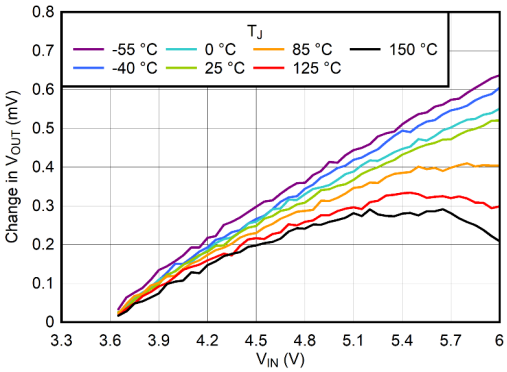
V_{EN} = 1V

图 5-2. 输出电压精度与 I_{OUT} 间的关系



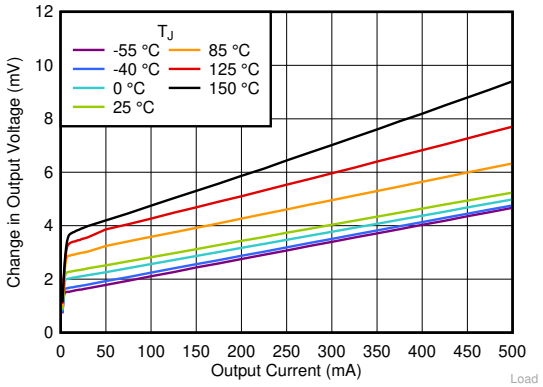
V_{EN} = 1V

图 5-3. 输出电压精度与 V_{IN} 间的关系



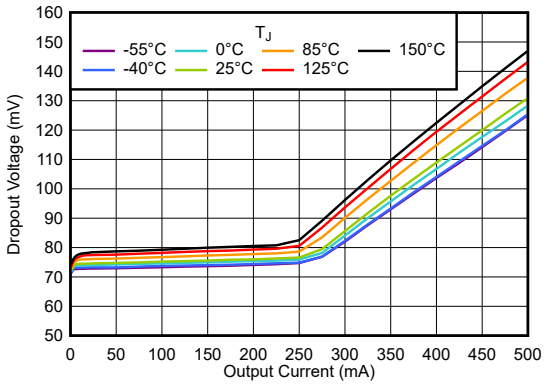
V_{EN} = 1V

图 5-4. 线性调整率与 V_{IN} 间的关系



V_{EN} = 1V

图 5-5. 负载调整率与 I_{OUT} 间的关系



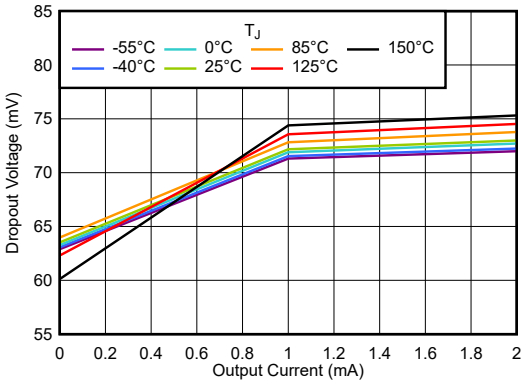
V_{EN} = 1V

图 5-6. 压降与 I_{OUT} 间的关系

Copyright © 2025 Texas Instruments Incorporated

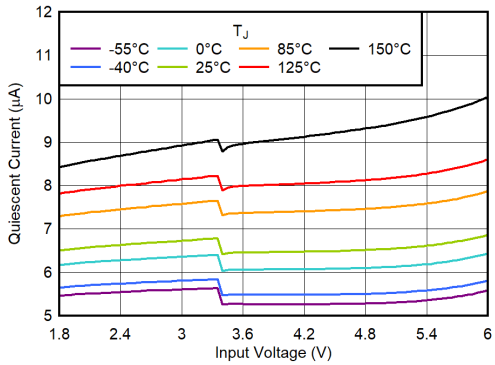
5.6 典型特性（续）

V_{IN} = 3.6V、V_{OUT} = 3.3V、I_{OUT} = 1mA、C_{IN} = 1µF、C_{OUT} = 1µF 且 T_A = 25°C 时（除非另有说明）



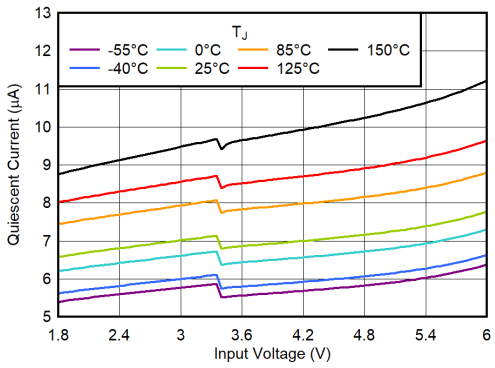
V_{EN} = 1V

图 5-7. 压降与 I_{OUT} 间的关系



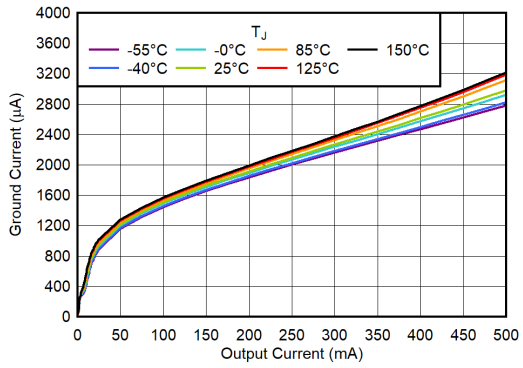
V_{EN} = V_{IN}

图 5-8. I_Q 与 V_{IN} 间的关系



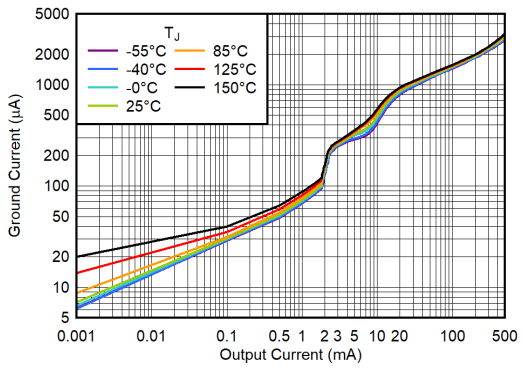
V_{EN} = 1V

图 5-9. I_Q 与 V_{IN} 间的关系



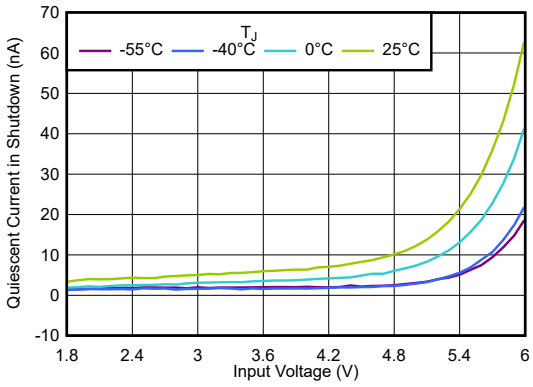
V_{EN} = 1V

图 5-10. I_{GND} 与 I_{OUT} 间的关系



V_{EN} = 1V

图 5-11. I_{GND} 与 I_{OUT} 间的关系



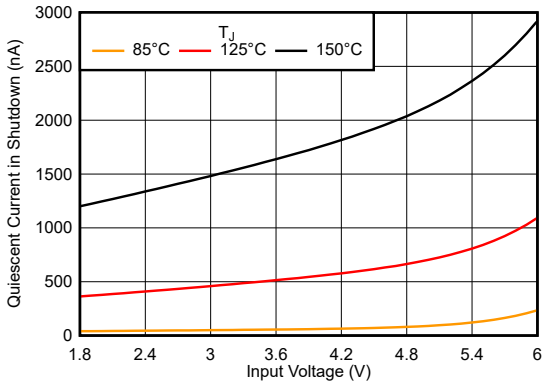
V_{EN} = 0V，I_{OUT} = 0mA

图 5-12. 关断电流与 V_{IN} 间的关系

Copyright © 2025 Texas Instruments Incorporated

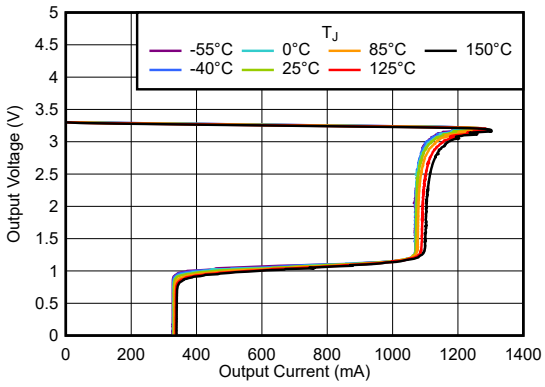
5.6 典型特性（续）

V_{IN} = 3.6V、V_{OUT} = 3.3V、I_{OUT} = 1mA、C_{IN} = 1µF、C_{OUT} = 1µF 且 T_A = 25°C 时（除非另有说明）



V_{EN} = 0V，I_{OUT} = 0mA

图 5-13. 关断电流与 V_{IN} 间的关系



V_{EN} = 1V

图 5-14. 折返电流限制

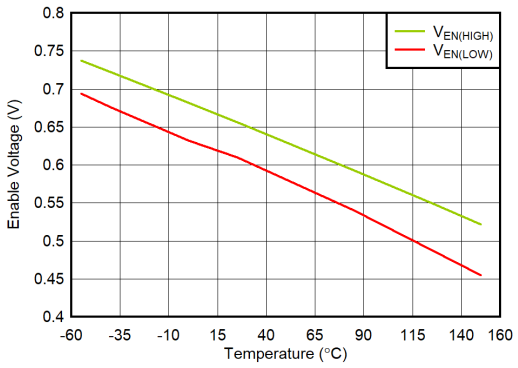
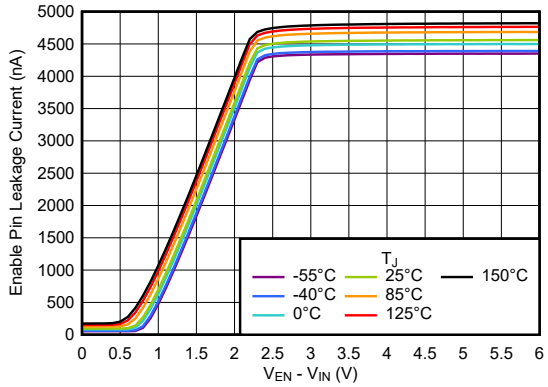
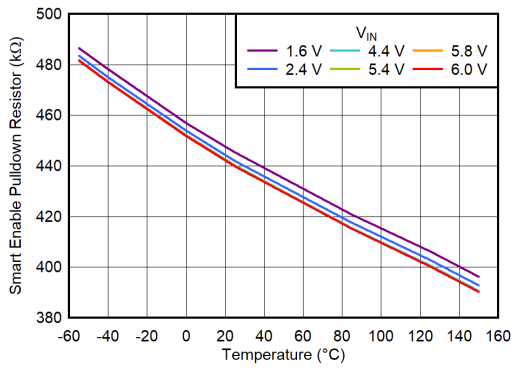


图 5-15. 使能逻辑阈值与温度间的关系



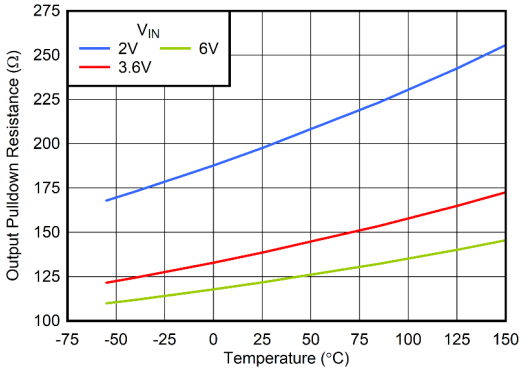
V_{EN} = 6V，I_{OUT} = 0mA

图 5-16. 使能引脚漏电流与 V_{EN} – V_{IN} 间的关系



V_{EN} = 0.3V

图 5-17. 智能使能下拉电阻与温度和 V_{IN} 间的关系



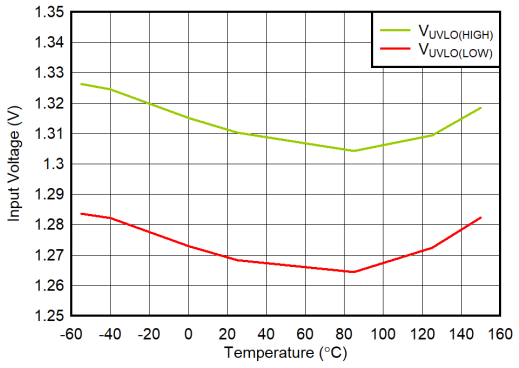
V_{EN} = 0.3V

图 5-18. 输出下拉电阻与温度和 V_{IN} 间的关系

Copyright © 2025 Texas Instruments Incorporated

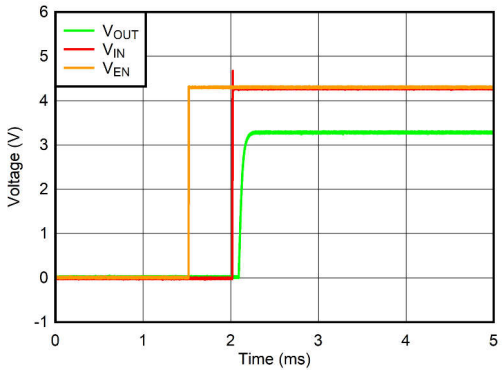
5.6 典型特性（续）

V_{IN} = 3.6V、V_{OUT} = 3.3V、I_{OUT} = 1mA、C_{IN} = 1µF、C_{OUT} = 1µF 且 T_A = 25°C 时（除非另有说明）



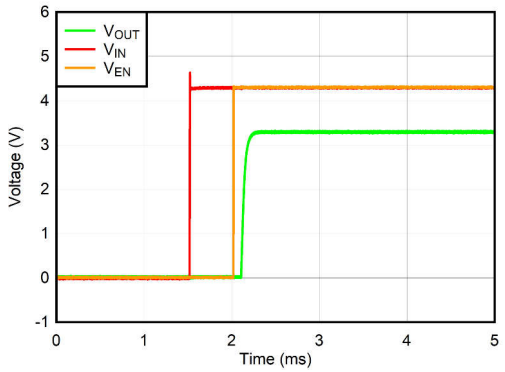
V_{EN} = 1V

图 5-19. V_{IN} UVLO 阈值与温度间的关系



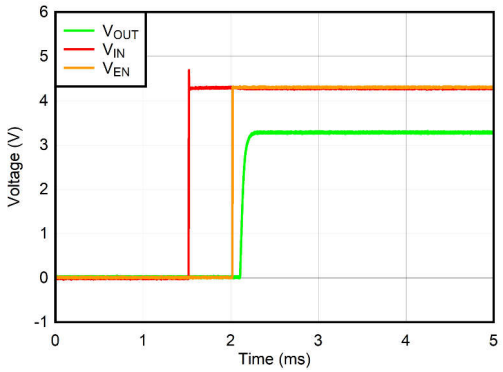
V_{IN} = 0V 至 4.3V，压摆率 = 1V/µs，I_{OUT} = 500mA

图 5-20. 在先施加 V_{EN} 后施加 V_{IN} 的情况下启动



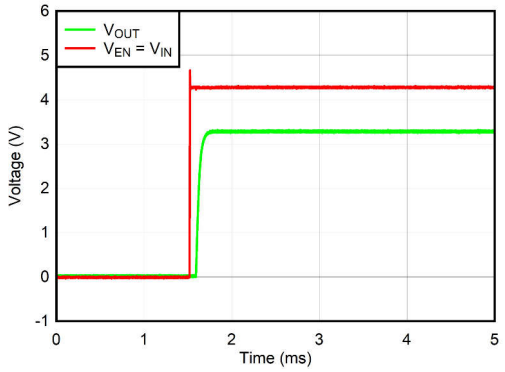
V_{IN} = 0V 至 4.3V，压摆率 = 1V/µs，I_{OUT} = 0mA

图 5-21. 在先施加 V_{IN} 后施加 V_{EN} 的情况下启动



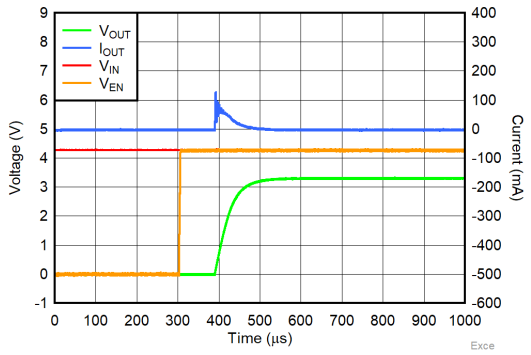
V_{IN} = 0V 至 4.3V，压摆率 = 1V/µs，I_{OUT} = 500mA

图 5-22. 在先施加 V_{IN} 后施加 V_{EN} 的情况下启动



V_{IN} = 0V 至 4.3V，压摆率 = 1V/µs，I_{OUT} = 500mA

图 5-23. V_{EN} = V_{IN} 时启动



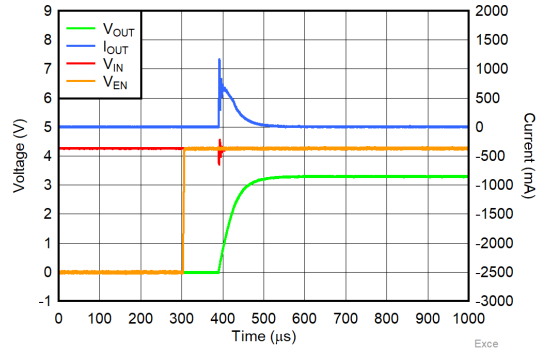
V_{IN} = 4.3V，V_{EN} = 0V 至 4.3V，压摆率 = 1V/µs，
I_{OUT} = 0mA，C_{OUT} = 1 µF

图 5-24. 启动浪涌电流

Copyright © 2025 Texas Instruments Incorporated

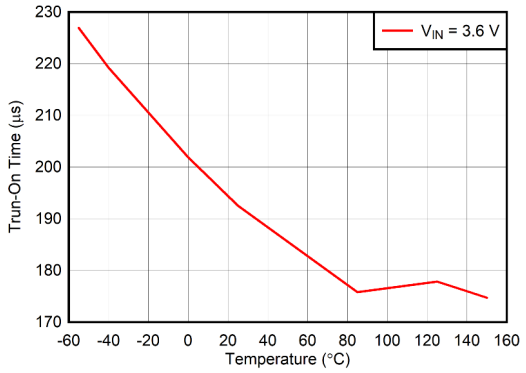
5.6 典型特性（续）

V_{IN} = 3.6V、V_{OUT} = 3.3V、I_{OUT} = 1mA、C_{IN} = 1µF、C_{OUT} = 1µF 且 T_A = 25°C 时（除非另有说明）



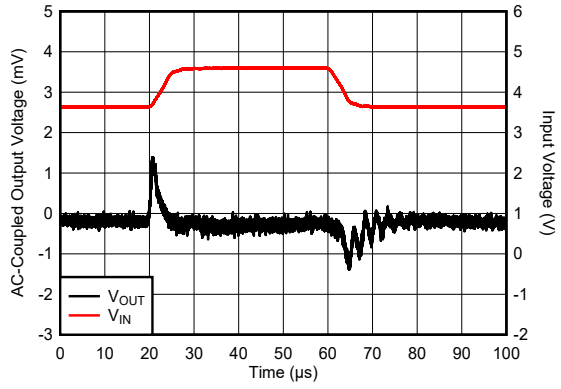
V_{IN} = 4.3V，V_{EN} = 0V 至 4.3V，压摆率 = 1V/µs，I_{OUT} = 0mA，C_{OUT} = 10 µ F

图 5-25. 启动浪涌电流



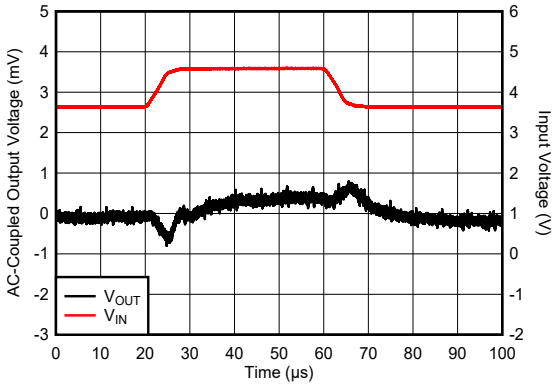
V_{EN} = $V_{EN(HI)}$ 至 V_{OUT} = $V_{OUT(NOM)}$ 的 95%，I_{OUT} = 0mA

图 5-26. 启动开通时间与温度间的关系



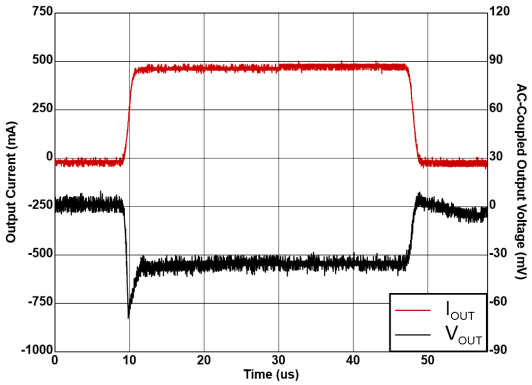
V_{EN} = V_{IN}，t_r = t_f = 5 µ s，I_{OUT} = 500mA

图 5-27. 从 3.6V 至 4.6V 的线路瞬态



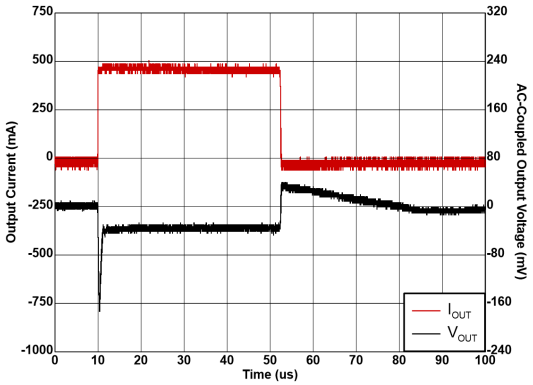
V_{EN} = V_{IN}，t_r = t_f = 5 µ s，I_{OUT} = 1mA

图 5-28. 从 3.6V 至 4.6V 的线路瞬态



V_{EN} = V_{IN}，t_r = t_f = 1 µ s

图 5-29. 从 1mA 至 500mA 的负载瞬态



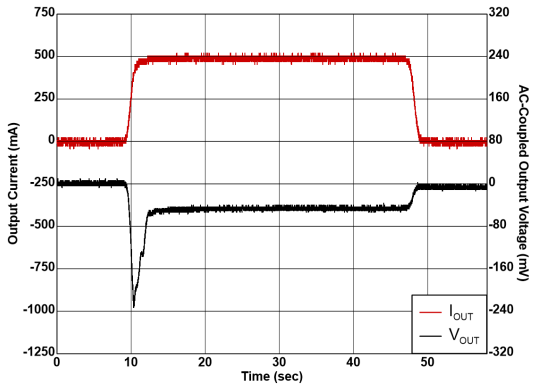
V_{EN} = V_{IN}，t_r = t_f = 200ns

图 5-30. 从 1mA 至 500mA 的负载瞬态

Copyright © 2025 Texas Instruments Incorporated

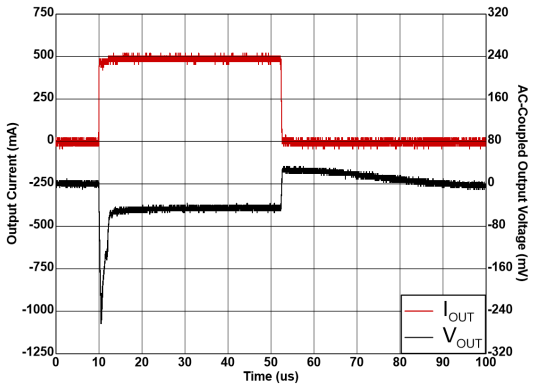
5.6 典型特性（续）

V_{IN} = 3.6V、V_{OUT} = 3.3V、I_{OUT} = 1mA、C_{IN} = 1µF、C_{OUT} = 1µF 且 T_A = 25°C 时（除非另有说明）



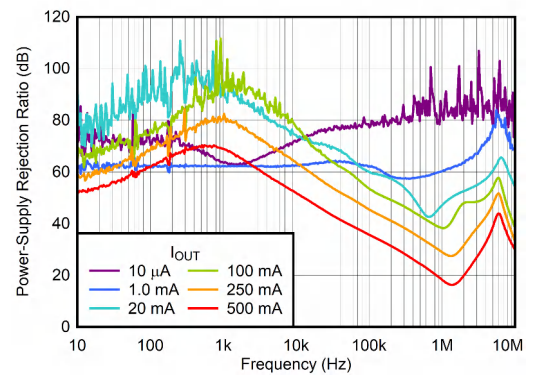
V_{EN} = V_{IN}，t_r = t_f = 1 µs

图 5-31. 从 0mA 至 500mA 的负载瞬态



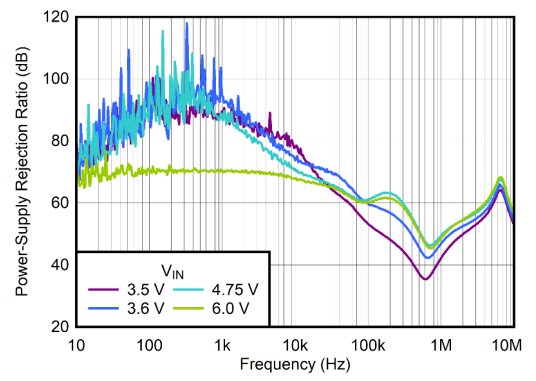
V_{EN} = V_{IN}，t_r = t_f = 200ns

图 5-32. 从 0mA 至 500mA 的负载瞬态



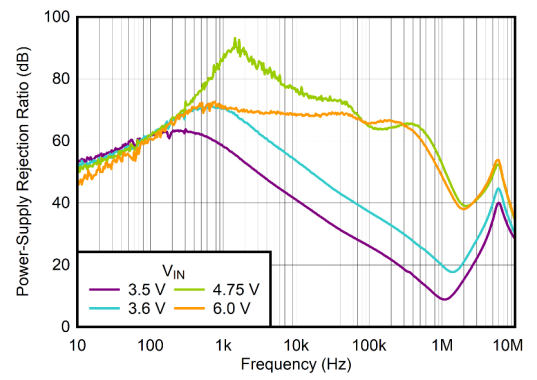
V_{EN} = V_{IN}

图 5-33. PSRR 与频率和 I_{OUT} 间的关系



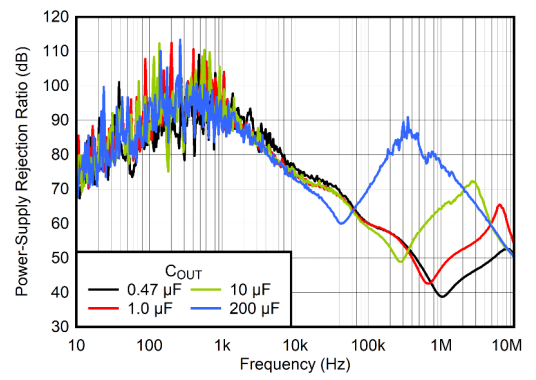
V_{EN} = V_{IN}，I_{OUT} = 20mA

图 5-34. PSRR 与频率和 V_{IN} 间的关系



V_{EN} = V_{IN}，I_{OUT} = 500mA

图 5-35. PSRR 与频率和 V_{IN} 间的关系



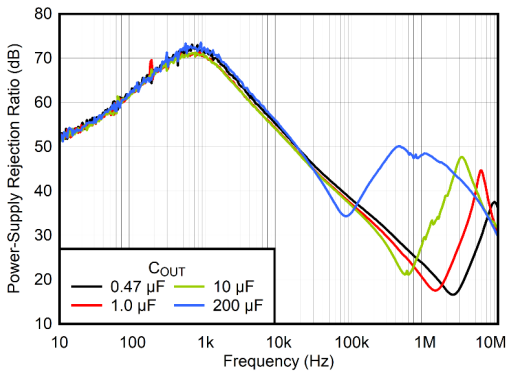
V_{EN} = V_{IN}，I_{OUT} = 20mA

图 5-36. PSRR 与频率和 C_{OUT} 间的关系

Copyright © 2025 Texas Instruments Incorporated

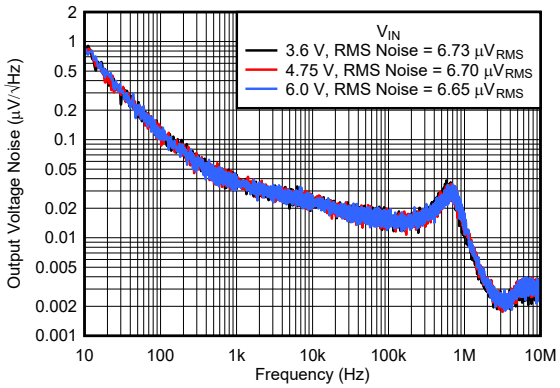
5.6 典型特性（续）

V_{IN} = 3.6V、V_{OUT} = 3.3V、I_{OUT} = 1mA、C_{IN} = 1µF、C_{OUT} = 1µF 且 T_A = 25°C 时（除非另有说明）



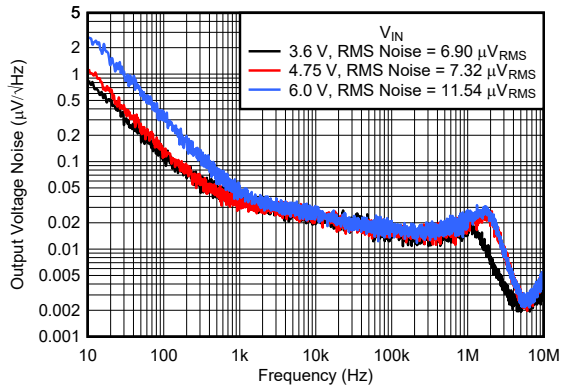
V_{EN} = V_{IN}，I_{OUT} = 500mA

图 5-37. PSRR 与频率和 C_{OUT} 间的关系



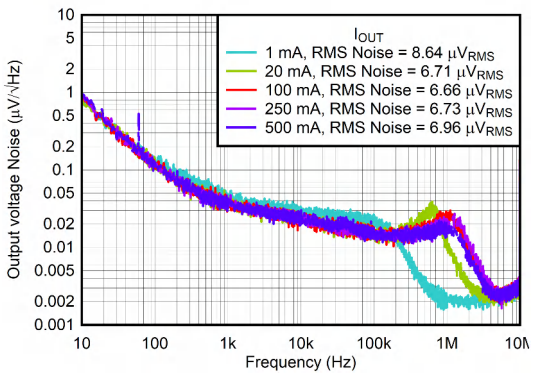
V_{EN} = V_{IN}，I_{OUT} = 20mA

图 5-38. 噪声与频率和 V_{IN} 间的关系



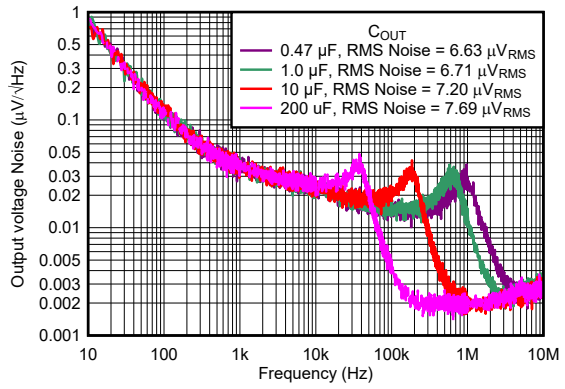
V_{EN} = V_{IN}，I_{OUT} = 500mA

图 5-39. 噪声与频率和 V_{IN} 间的关系



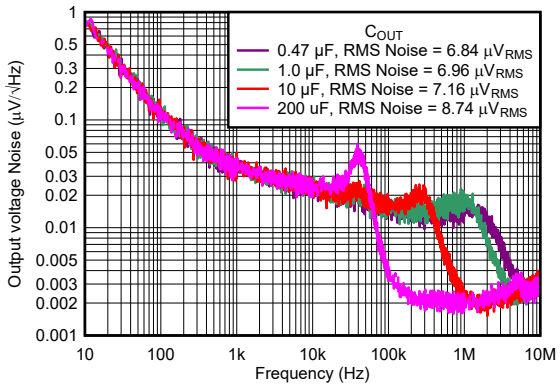
V_{EN} = V_{IN}

图 5-40. 噪声与频率和 I_{OUT} 间的关系



V_{EN} = V_{IN}，I_{OUT} = 20mA

图 5-41. 噪声与频率和 C_{OUT} 间的关系



V_{EN} = V_{IN}，I_{OUT} = 500mA

图 5-42. 噪声与频率和 C_{OUT} 间的关系

Copyright © 2025 Texas Instruments Incorporated

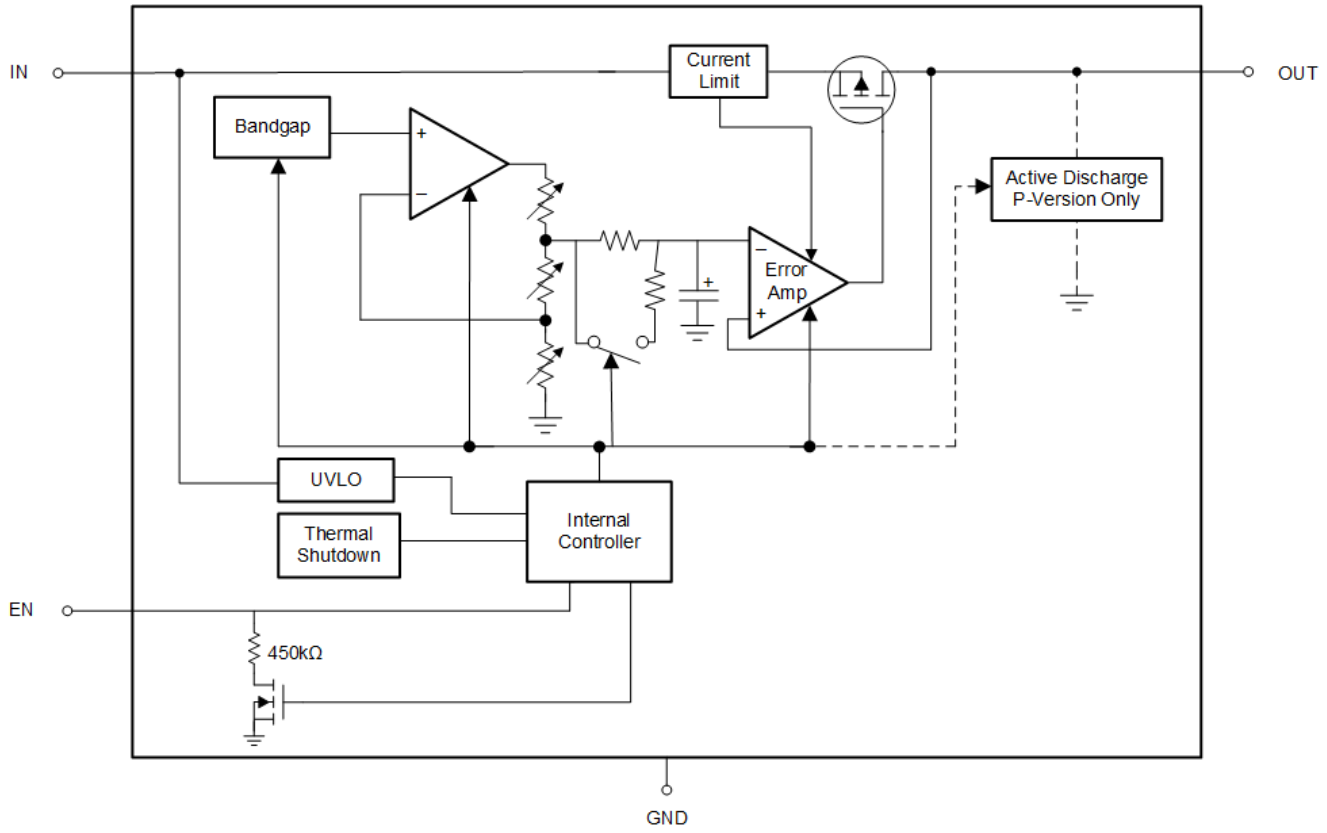
6 详细说明

6.1 概述

TPS7A21-Q1 符合敏感射频和模拟电路要求，可提供低噪声、高 PSRR、低静态电流以及出色的线路和负载瞬态响应。TPS7A21-Q1 可实现出色的噪声性能，无需单独的噪声滤波电容器。

TPS7A21-Q1 设计为使用单个 1µF 输入电容器和单个 1µF 陶瓷输出电容器正常运行。确保在所有工作电压和温度条件下，有效输出电容至少为 0.4µF。

6.2 功能方框图



Copyright © 2025 Texas Instruments Incorporated

6.3 特性说明

6.3.1 智能使能 (EN) 引脚

使能引脚 (EN) 为高电平有效。当对 EN 施加的电压大于 $V_{EN(HI)}$ 时，输出被启用；当施加的电压低于 $V_{EN(LOW)}$ 时，输出被禁用。如果不需要外部控制输出电压，则将 EN 连接至 IN。该器件具有智能使能电路，可降低静态电流。当使能引脚上的电压驱动至高于 $V_{EN(HI}$ 时，输出将被启用，并且智能使能内部下拉电阻 ($R_{EN(PULLDOWN)}$) 断开连接。当使能引脚悬空时，$R_{EN(PULLDOWN)}$ 连接并将使能引脚拉低以禁用输出。除了降低静态电流外，智能下拉还有助于确保逻辑电平正确，即使从电流驱动能力有限的源驱动 EN 也是如此。*电气特性* 表中列出了 $R_{EN(PULLDOWN)}$ 值。

6.3.2 低输出噪声

TPS7A21-Q1 基准电压的内部噪声在传递到输出缓冲级之前由一阶低通 RC 滤波器降低。低通 RC 滤波器的 –3dB 截止频率约为 0.1Hz。在启动期间，会绕过滤波电阻器以缩短输出上升时间。在输出电压达到标称值后，滤波器开始正常运行。

6.3.3 有源放电

该稳压器具有一个内部金属氧化物半导体场效应晶体管 (MOSFET)，当器件被禁用以主动对输出电压进行放电时，该晶体管会在输出引脚和接地引脚之间连接一个下拉电阻器。确保 IN 上的电压足够高，可开启下拉 MOSFET。当 V_{IN} 过低而无法在下拉 MOSFET 上提供足够的 V_{GS} 时，下拉电路未激活。有源放电电路由使能引脚或 IN 上的电压降至欠压锁定 (UVLO) 阈值以下来激活。

不要依赖有源放电电路在输入电源崩溃后释放大量输出电容。反向电流可能从输出端流至输入端。这种反向电流会导致器件损坏。将任何此类瞬态反向电流限制为不超过器件额定电流的 5%。

6.3.4 压降电压

压降电压 (V_{DO}) 被定义为在额定输出电流 (I_{RATED}) 下输入电压减去输出电压 (V_{IN} – V_{OUT})，在这种情形下，导通晶体管完全导通。I_{RATED} 是*建议运行条件* 表中列出的最大 I_{OUT}。导通晶体管处于欧姆区域或三极管区域并充当开关。压降电压间接指定了一个最小输入电压，该电压大于输出电压预计保持稳定的标称编程输出电压。如果输入电压降至低于支持输出调节所需的值，输出电压也会下降。

对于 CMOS 稳压器，压降电压由导通晶体管的漏源导通状态电阻 ($R_{DS(ON)}$) 决定。因此，如果线性稳压器的工作电流小于额定电流，该电流的压降电压会相应地变化。使用方程式 1 计算器件的 $R_{DS(ON)}$。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \tag{1}$$

6.3.5 折返电流限制

TPS7A21-Q1 具有内部电流限制电路，可在瞬态高负载电流故障或短路事件期间保护稳压器。电流限制是混合砖墙折返方案。电流限制在折返电压 ($V_{FOLDBACK}$) 下从砖墙式方案转换为折返方案。

在输出电压高于 $V_{FOLDBACK}$ 的高负载电流故障中，砖墙方案将输出电流限制为电流限值 (I_{CL})。当输出电压降至 $V_{FOLDBACK}$ 以下时，将激活折返电流限制，在输出电压接近 GND 时按比例缩小电流。当输出短路时，该器件会提供一个称为*短路电流限制* (I_{SC}) 的典型电流。*电气特性* 表中列出了 I_{CL} 和 I_{SC}。

当器件处于限流状态时，不会调节输出电压。当发生电流限制事件时，由于功率耗散增加，稳压器开始发热。当器件处于砖墙式电流限制时，导通晶体管会耗散功率 [(V_{IN} – V_{OUT}) × I_{CL}]。当输出短路且输出电压低于 $V_{FOLDBACK}$ 时，导通晶体管将耗散功率 [(V_{IN} – V_{OUT}) × I_{SC}]。如果触发热关断，器件将关闭。器件冷却后，内部热关断电路将器件重新接通。如果输出电流故障条件持续存在，器件会在电流限制状态和热关断状态之间循环。更多有关电流限制的信息，请参阅*了解限制*应用手册。

图 6-1 显示了折返电流限制图。

Copyright © 2025 Texas Instruments Incorporated

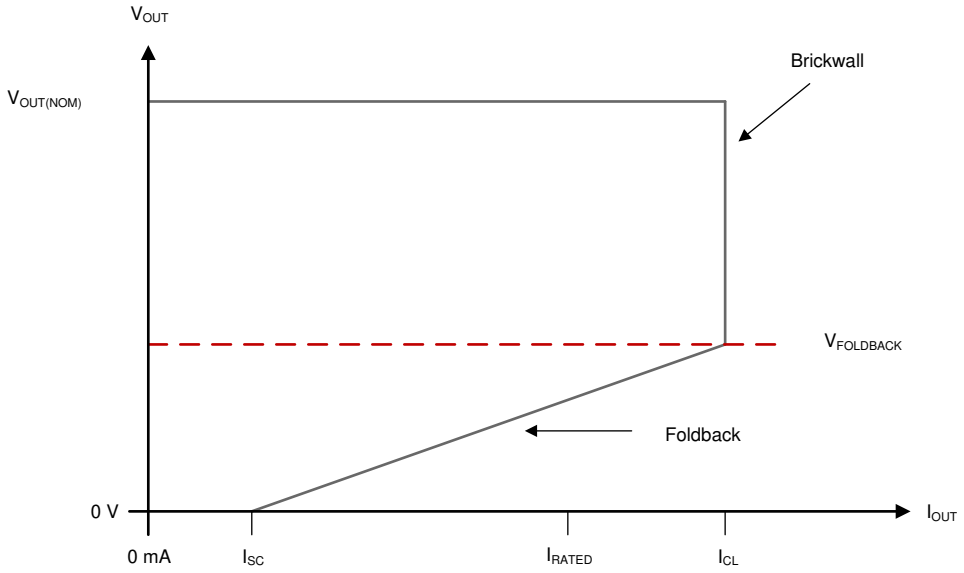


图 6-1. 折返电流限制

6.3.6 欠压锁定

独立的欠压锁定 (UVLO) 电路可监控输入电压，从而以可控且一致的方式导通和关断输出电压。如果在负载瞬态期间输入电压下降（当启用了器件输出时），UVLO 具有内置迟滞，可防止意外关断。

6.3.7 热过载保护 (T_{SD})

当结温 T_J 上升到关断温度阈值 T_{SD} 时，热关断会禁用输出。热关断电路迟滞要求温度下降到较低温度，然后再重新开启。半导体芯片的热时间常数相当短。因此当达到热关断时，器件可以上电下电，直到功率耗散降低。

由于器件上的 V_{IN} – V_{OUT} 压降较大，或为大型输出电容器充电的浪涌电流较高，启动期间的功率耗散较高。在某些情况下，热关断保护功能会在启动完成之前禁用器件。

为了实现可靠运行，请将结温限制在*建议运行条件*表中列出的最大值。在超过这个最高温度的情况下运行会导致稳压器超出运行规格。

虽然热关断电路旨在防止热过载情况，但此电路并不用于替代适当的热设计。使稳压器持续进入热关断状态或在超过建议的最高结温下运行会降低长期可靠性。

6.4 器件功能模式

6.4.1 器件功能模式比较

表 6-1 给出了不同工作模式的参数条件。有关参数值，请参阅*电气特性*表格。

表 6-1. 器件功能模式比较

工作模式	参数			
	V_{IN}	V_{EN}	I_{OUT}	T_J
正常运行	$V_{IN} > V_{OUT(nom)} + V_{DO}$ 和 $V_{IN} > V_{IN(min)}$	$V_{EN} \geqslant V_{EN(HI)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
压降运行	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{EN} \geqslant V_{EN(HI)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
禁用（任何真条件都会禁用该器件）	$V_{IN} < V_{UVLO}$	$V_{EN} \leqslant V_{EN(LOW)}$	不适用	$T_J \geqslant T_{SD(shutdown)}$

Copyright © 2025 Texas Instruments Incorporated

6.4.2 正常运行

当满足下列条件时，器件的输出电压会稳定在标称值：

- 输入电压大于标称输出电压加上压降电压 ($V_{OUT(nom)}$ + V_{DO})
- 输出电流小于电流限制 (I_{OUT} < I_{CL})
- 器件结温低于热关断温度 (T_J < T_{SD})
- 使能电压先前已超过使能上升阈值电压，但尚未降至低于使能下降阈值

6.4.3 压降运行

如果输入电压低于标称输出电压与指定压降电压之和，但仍满足正常工作模式的所有其他条件，则器件将工作在压降模式。在此模式下，输出电压会跟踪输入电压。在此模式下，由于导通晶体管位于欧姆或三极管区域并充当开关，因此器件的瞬态性能会显著降低。压降过程中的线路或负载瞬态会导致输出电压偏差较大。

当器件处于稳定压降状态（是指器件处于压降状态时，V_{IN} < $V_{OUT(NOM)}$ + V_{DO}，紧随正常稳压状态，但*不*在启动期间）时，导通晶体管被驱动到欧姆区或三极管区域。当输入电压恢复到大于或等于标称输出电压加上压降电压 ($V_{OUT(NOM)}$ + V_{DO}) 的值时，输出电压会过冲很短的时间，而器件会将导通晶体管拉回到线性区域。

当输出电流低于约 200mA 时，压降电压曲线的斜率低于大电流时的斜率。此斜率有助于在 LDO 处于压降状态时保持更佳的性能。

6.4.4 禁用

通过强制使能引脚电压小于 $V_{EN(LOW)}$ 来关闭器件的输出。当被禁用时，导通晶体管被关闭，内部电路被关断，并且输出电压由一个从输出到接地的内部放电电路主动放电至接地。

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

7.1.1 建议的电容器类型

该器件设计为在输入和输出端使用低等效串联电阻 (ESR) 陶瓷电容器实现稳定。多层陶瓷电容器已成为许多类型应用的业界标准并推荐使用，但要结合良好的判断力使用。采用 X7R、X5R 和 C0G 额定电介质材料的陶瓷电容器可在整个温度范围内提供良好的电容稳定性，而由于电容变化较大，因此建议不要使用 Y5V 额定电容器。

无论选择哪种陶瓷电容器类型，有效电容都会随工作电压和温度的变化而变化。请查看制造商数据表以验证性能。通常，预计有效电容会降低多达 50%。*建议运行条件* 表中建议的输入和输出电容器的有效电容大约为标称值的 50%。

7.1.2 输入和输出电容器要求

尽管 LDO 在没有输入电容器的情况下是稳定的，但良好的设计做法是在 IN 和 GND 之间连接一个电容器，其值至少等于*建议运行条件* 表中规定的标称值。输入电容器可抵消电抗性输入源，并改善瞬态响应、输入纹波和 PSRR，如果源阻抗大于 0.5Ω，则建议使用这种电容器。当源电阻和电感足够高时，如果 IN 和 GND 之间的电容不足，整个系统容易不稳定（包括振铃和持续振荡），并出现其他性能下降情况。如果发生快速上升时间的较大负载或线路瞬变，或者 LDO 与输入电源的距离超过几厘米，则需要一个大于最小值的电容器。

一个适当值的输出电容器有助于提供稳定性并改进动态性能。请在*建议运行条件* 表中指定的范围内使用输出电容器。

7.1.3 负载瞬态响应

负载阶跃瞬态响应是 LDO 对负载电流阶跃的输出电压响应，从而维持输出电压调节。负载瞬态响应期间有两个关键的转换：从轻负载向重负载的转换以及从重负载向轻负载的转换。图 7-1 中所示区域的细分如下。区域 A、E 和 H 是输出电压处于稳定状态的区域。

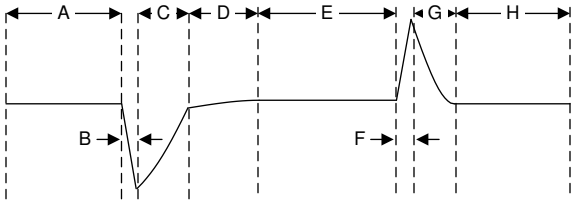


图 7-1. 负载瞬态波形

Copyright © 2025 Texas Instruments Incorporated

在从轻负载转换到重负载期间：

- 初始电压骤降是输出电容器电荷耗尽和输出电容器寄生阻抗所致（区域 B）
- 从骤降中恢复是由于 LDO 增加了拉电流，并实现输出电压调节（区域 C）

在从重负载转换到轻负载期间：

- LDO 提供大电流导致初始电压上升，并导致输出电容器电荷增加（区域 F）
- 从上升中恢复是由于 LDO 降低了拉电流，同时负载使输出电容放电（区域 G）

较大的输出电容可降低负载瞬态期间的峰值，但会减慢器件的响应速度。更大的直流负载也会降低峰值，因为转换振幅降低，并且为输出电容器提供了更高的电流放电路径。

7.1.4 欠压锁定 (UVLO) 操作

UVLO 电路可确保在输入电源达到最小工作电压范围之前器件保持禁用状态，并确保在输入电源崩溃时器件关断。图 7-2 展示了 UVLO 电路对各种输入电压事件的响应。该图分为以下几个部分：

- 区域 A：在输入达到 UVLO 上升阈值之前，器件不会启动。
- 区域 B：正常运行，调节器件。
- 区域 C：高于 UVLO 下降阈值（UVLO 上升阈值 – UVLO 迟滞）的欠压事件。输出会超出稳压范围，但器件保持启用状态。
- 区域 D：正常运行，调节器件。
- 区域 E：低于 UVLO 下降阈值的欠压事件。由于存在负载和有源放电电路，该器件在大多数情况下会被禁用，并且输出会下降。当输入电压达到 UVLO 上升阈值时，器件将重新启用，随后会正常启动。
- 区域 F：正常运行，然后输入下降至 UVLO 下降阈值。
- 区域 G：当输入电压降至 UVLO 下降阈值以下达到 0V 时，该器件被禁用。输出会因为负载和有源放电电路而下降。

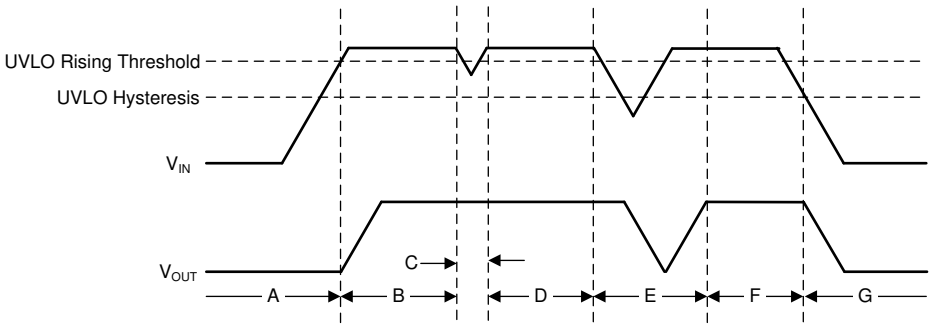


图 7-2. 典型 UVLO 运行

7.1.5 功率耗散 (P_D)

电路可靠性需要适当考虑器件功率耗散、印刷电路板 (PCB) 上的电路位置以及正确的热平面尺寸。确保稳压器周围的 PCB 区域尽量消除其他会导致热应力增加的发热器件。

对于一阶近似，稳压器中的功率耗散取决于输入到输出电压差和负载条件。方程式 2 用于近似计算 P_D：

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (2)$$

通过正确选择系统电压轨，可更大限度地降低功率耗散，从而实现更高的效率。通过适当的选择，可以获得最小的输入到输出电压差。TPS7A21-Q1 的低压降可在宽输出电压范围内实现出色效率。

器件的主要热传导路径是通过封装上的散热焊盘。因此，将散热焊盘焊接到器件下方的铜焊盘区域。此焊盘区域包含一组镀通孔，可将热量传导到任何内部平面区域或底部覆铜平面。

Copyright © 2025 Texas Instruments Incorporated

允许的最高结温 (T_J) 决定了器件的最大功率耗散。根据方程式 3，功率耗散和结温通常与 PCB 和器件封装组合的结至环境热阻 ($R_{\theta JA}$) 和环境空气温度 (T_A) 有关。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (3)$$

方程式 4 会重新排列 方程式 3 用于输出电流。

$$I_{OUT} = (T_J - T_A) / [R_{\theta JA} \times (V_{IN} - V_{OUT})] \quad (4)$$

遗憾的是，此热阻 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力，因此会因铜总面积、铜重量和平面位置而异。*热性能信息* 表中记录的 $R_{\theta JA}$ 由 JEDEC 标准 PCB 和铜扩散面积决定，仅用作封装热性能的相对测量。对于精心设计的热布局，$R_{\theta JA}$ 实际上是封装结至外壳（底部）热阻 ($R_{\theta JC(bot)}$) 与 PCB 铜产生的热阻的总和。

7.1.6 估算结温

JEDEC 标准现在建议使用 psi (Ψ) 热指标来估算 LDO 在典型 PCB 板应用电路中的结温。严格来说，此类指标不是热阻参数，但提供了一种估算结温的相对实用方法。已确定这些 psi 指标与覆铜面积明显无关。关键热指标（Ψ_{JT} 和 Ψ_{JB}）的使用符合方程式 5 并在*热性能信息* 表中给出。

$$\Psi_{JT}: T_J = T_T + \Psi_{JT} \times P_D \text{ and } \Psi_{JB}: T_J = T_B + \Psi_{JB} \times P_D \quad (5)$$

其中：

- P_D 是耗散功率，如*功率耗散 (P_D)* 部分中所述
- T_T 器件封装顶部中间位置的温度
- T_B 是在距器件封装 1mm 且位于封装边缘中心位置测得的 PCB 表面温度

7.1.7 建议的连续运行区域

LDO 的工作区域受压降电压、输出电流、结温和输入电压的限制。线性稳压器连续运行的建议区域如图 7-3 所示，分为以下几个部分：

- 压降电压会限制给定输出电流电平下输入和输出之间的最小差分电压 ($V_{IN} - V_{OUT}$)。更多详细信息，请参阅*压降运行* 部分。
- 额定输出电流会限制最大建议输出电流电平。超过此额定值会导致器件超出规格。
- 额定结温会限制器件的最高结温。超过此额定值会导致器件超出规格并降低长期可靠性。
  - 斜率的形状如图 7-3 的第三个区域所示。斜率是非线性的，因为 LDO 的最大额定结温由 LDO 上的功率耗散控制。因此，当 $V_{IN} - V_{OUT}$ 增加时，输出电流会降低。
- 额定输入电压范围决定了 $V_{IN} - V_{OUT}$ 的最小值和最大值。

图 7-3 展示了该器件在具有 $R_{\theta JA}$ 的 JEDEC 标准高 K 电路板上的建议工作区域，如*热性能信息* 表中所示。

Copyright © 2025 Texas Instruments Incorporated

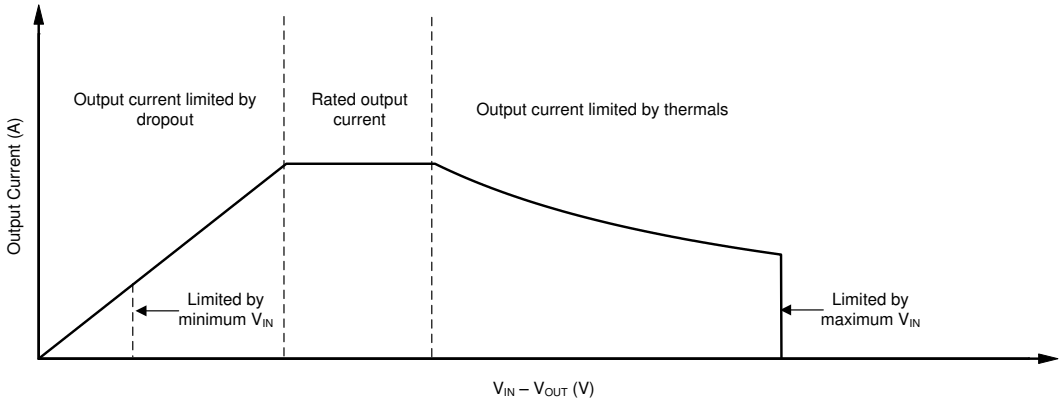


图 7-3. 持续运行机制的区域描述

7.2 典型应用

图 7-4 展示了 TPS7A21-Q1 的典型应用电路。如果某些应用需要，请将输入和输出电容增加到 1µF 最小值以上。

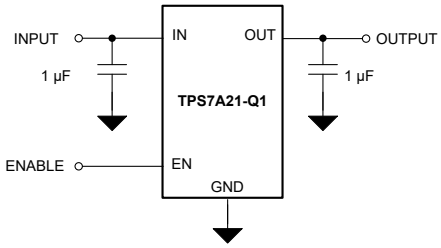


图 7-4. TPS7A21-Q1 典型应用

7.2.1 设计要求

表 7-1 总结了典型应用电路的设计要求。

表 7-1. 设计参数

设计参数	示例值
输入电压范围	3.6V 至 4.2V
输出电压	3.3V
输出电流	350mA
最高环境温度	125°C

7.2.2 详细设计过程

对于本设计示例，选择 3.3V 输出版本 (TPS7A2133PQWDRBRQ1)。假定标称 3.6V 输入电源。使用最小 1.0 µF 输入电容器，尽可能减小电源和 LDO 输入之间的电阻和电感的影响。使用最小的 1.0 µF 输出电容可实现稳定性和良好的负载瞬态响应。当输出电压为 3.3V 且输出电流为 500mA 时，压差电压 (V_{DO}) 最大值小于 150mV，因此当输入电压为 3.6V 且最大输出电流为 350mA 时，不会出现压差问题。

7.2.2.1 功率耗散和器件运行

任何封装的允许功率耗散可衡量器件将热量从电源（器件的接合点）传递到周围环境的最终散热器的能力。因此，功率耗散取决于环境温度以及芯片结与环境空气之间各种接口上的热阻。

方程式 6 可计算器件在给定封装中允许的最大功率耗散：

$$P_{D\text{-}MAX} = ((T_{J\text{-}MAX} - T_A) / R_{\theta JA}) \quad (6)$$

方程式 7 表示器件中耗散的实际功率：

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (7)$$

这两个公式建立了散热考虑导致的最大功率耗散、器件上的压降和器件的持续电流能力之间的关系。使用这两个公式确定器件在应用中的理想工作条件。

在出现功率耗散 (P_D) 较低或出色封装热阻 ($R_{\theta JA}$) 的应用中，提高最高环境温度 ($T_{A\text{-}MAX}$)。

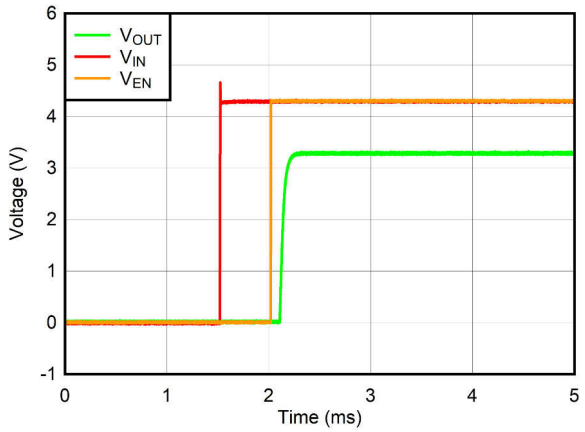
在出现耗散功率较高或封装热阻较差情况的应用中，视需要降低最高额定环境温度 ($T_{A\text{-}MAX}$)。如方程式 8 中所示，$T_{A\text{-}MAX}$ 取决于应用中的最高工作结温 ($T_{J\text{-}MAX\text{-}OP}$ = 150°C)、器件封装中允许的最大功率耗散 ($P_{D\text{-}MAX}$) 以及器件或封装的结至环境热阻 ($R_{\theta JA}$)：

$$T_{A\text{-}MAX} = (T_{J\text{-}MAX\text{-}OP} - (R_{\theta JA} \times P_{D\text{-}MAX})) \quad (8)$$

或者，如果 $T_{A\text{-}MAX}$ 无法降额，请勿降低 P_D 值。这种降低可通过以下方式来实现：降低 $V_{IN} - V_{OUT}$ 项中的 V_{IN}（只要满足最小 V_{IN} 条件），通过减小 I_{OUT} 项，或通过这两者的某种组合来实现。

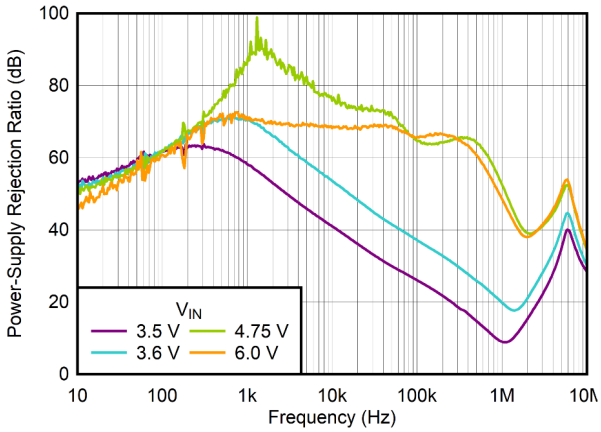
Copyright © 2025 Texas Instruments Incorporated

7.2.3 应用曲线



V_{IN} = 0V 至 4.3V，压摆率 = 1V/μs，I_{OUT} = 1mA

图 7-5. 在先施加 V_{IN} 后施加 V_{EN} 的情况下启动



V_{EN} = V_{IN}，I_{OUT} = 500mA

图 7-6. PSRR 与频率和 V_{IN} 间的关系

7.3 电源相关建议

该 LDO 设计为可在 2.0V 至 5.5V 的输入电源电压范围内运行。确保输入电源经过良好调节并且没有寄生噪声。为确保 TPS7A21-Q1 输出电压得到良好调节且动态性能处于理想状态，请将输入电源设为至少 V_{OUT} + 0.3V。最低电容值 1μF 必须在 IN 引脚的 1cm 范围内。

7.4 布局

7.4.1 布局指南

TPS7A21-Q1 的动态性能取决于 PCB 的布局。满足典型 LDO 需求的 PCB 布局实践可能会降低 TPS7A21-Q1 的 PSRR、噪声或瞬态性能。

通过将 C_{IN} 和 C_{OUT} 放置在与 TPS7A21-Q1 PCB 的同一侧并尽可能靠近封装，可实现出色性能。尽可能使用宽而短的覆铜布线将 C_{IN} 和 C_{OUT} 的接地连接布置回 TPS7A21-Q1 接地引脚。

避免使用较长的布线长度、较窄的布线宽度或通过过孔进行连接。这些连接会增加寄生电感和电阻，导致性能下降，尤其是在瞬态条件下。

Copyright © 2025 Texas Instruments Incorporated

7.4.2 布局示例

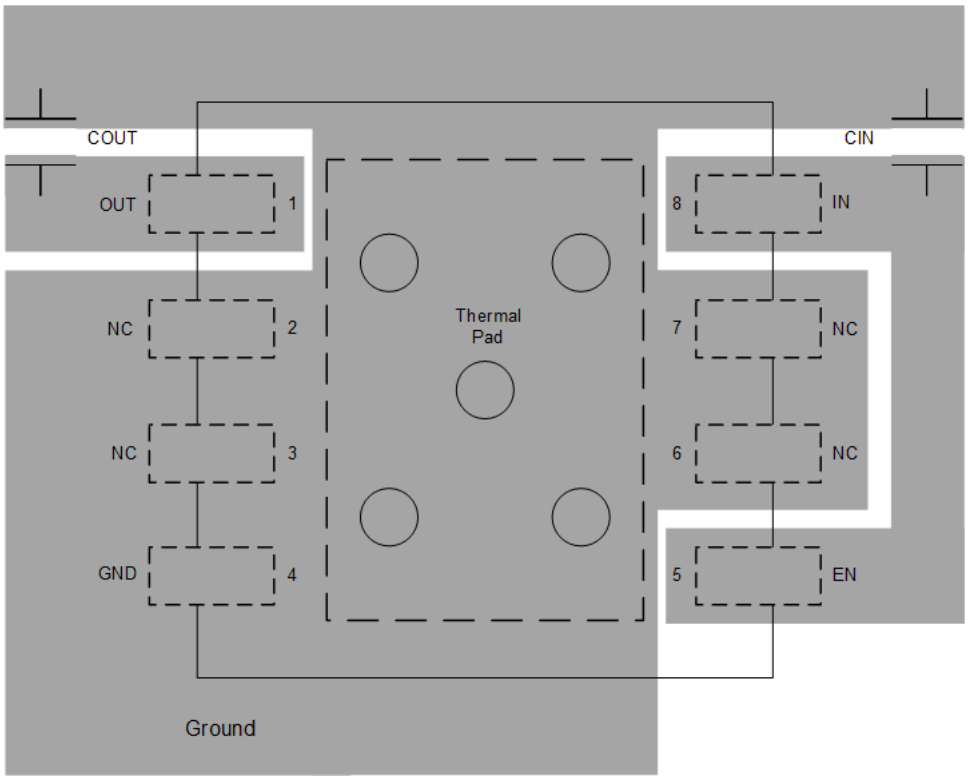


图 7-7. 典型 DRB 布局

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 器件命名规则

产品(1) (2)	V_{OUT}
TPS7A21**xx(x)(C)PQ(W)yyyzQ1**	**xx(x)** 为标称输出电压。对于分辨率为 100mV 的输出电压，订货编号中使用两位数字；否则，使用三位数字（例如，28 = 2.8V；125 = 1.25V）。 **C**（存在时）表示替代引脚配置。 **P** 表示有源输出放电功能。TPS7A21 的所有型号在器件处于禁用状态时都可以对输出进行主动放电。 **Q** 表示此器件是一款符合 AEC-Q100 标准的 1 级器件。 **W**（若存在）表示该封装具有可湿性侧面。 **yyy** 为封装标识符。 **z** 为封装数量。R 表示卷（3,000 片）。 **Q1** 表示这是一款汽车级 (AEC-Q100) 器件。

(1) 如需了解最新的封装及订购信息，请参阅本文档末尾的封装选项附录，或访问 www.ti.com 查看器件产品文件夹。
(2) 可提供 0.8V 至 5.5V 范围内的输出电压（增量 50mV）。有关器件的详细信息和供货情况，请联系制造商。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*QFN/SON PCB 连接* 应用报告

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2025 Texas Instruments Incorporated

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (June 2024) to Revision D (June 2025)	Page
• 将 8 引脚 DSG 器件状态从*预告信息*更改为*量产数据*	1

Changes from Revision B (February 2024) to Revision C (June 2024)	Page
• 将可湿性侧面 WSON (DGS) 封装从*预告信息* 更改为*量产数据*	1
• 将输出电压容差从 *1mA* I_{OUT} *时为* ***±1%*** 更改为*在整个温度范围内为* ***±1%***	1
• 删除了*说明* 部分中最大输出电压容差讨论	1
• 更正了冗余电压容差条件。	5
• 将 EN 引脚的最大漏电流从 250nA 更改为 300nA	5

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PS7A21105PQWDRBRQ1	Active	Production	SON (DRB) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	21105P
PS7A21105PQWDRBRQ1.A	Active	Production	SON (DRB) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	21105P
S7A21105PQWDSGRQ1	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	3JAH
S7A21105PQWDSGRQ1.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	3JAH
TPS7A2109PQWDSGRQ1	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	3J6H
TPS7A2109PQWDSGRQ1.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	3J6H
TPS7A2110PQWDRBRQ1	Active	Production	SON (DRB) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A2110P
TPS7A2110PQWDRBRQ1.A	Active	Production	SON (DRB) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A2110P
TPS7A2110PQWDSGRQ1	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	3J5H
TPS7A2110PQWDSGRQ1.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	3J5H
TPS7A2112PQWDRBRQ1	Active	Production	SON (DRB) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A2112P
TPS7A2112PQWDRBRQ1.A	Active	Production	SON (DRB) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A2112P
TPS7A2112PQWDSGRQ1	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	3J7H
TPS7A2112PQWDSGRQ1.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	3J7H
TPS7A2115PQWDRBRQ1	Active	Production	SON (DRB) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A2115P
TPS7A2115PQWDRBRQ1.A	Active	Production	SON (DRB) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A2115P
TPS7A2115PQWDSGRQ1	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	3J4H
TPS7A2115PQWDSGRQ1.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	3J4H
TPS7A2118CPQDSGRQ1	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	35RH
TPS7A2118CPQDSGRQ1.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	35RH
TPS7A2118PQWDRBRQ1	Active	Production	SON (DRB) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A2118P
TPS7A2118PQWDRBRQ1.A	Active	Production	SON (DRB) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A2118P
TPS7A2118PQWDSGRQ1	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	35QH
TPS7A2118PQWDSGRQ1.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	35QH
TPS7A2128PQWDRBRQ1	Active	Production	SON (DRB) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A2128P
TPS7A2128PQWDRBRQ1.A	Active	Production	SON (DRB) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A2128P
TPS7A2128PQWDSGRQ1	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	3J2H
TPS7A2128PQWDSGRQ1.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	3J2H
TPS7A2131PQDSGRQ1	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	3MJH

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7A2131PQDSGRQ1.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	3MJH
TPS7A2131PQWDSGRQ1	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	3J8H
TPS7A2131PQWDSGRQ1.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	3J8H
TPS7A2133PQWDRBRQ1	Active	Production	SON (DRB) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A2133P
TPS7A2133PQWDRBRQ1.A	Active	Production	SON (DRB) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A2133P
TPS7A2133PQWDSGRQ1	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	3J9H
TPS7A2133PQWDSGRQ1.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	3J9H
TPS7A2150PQWDRBRQ1	Active	Production	SON (DRB) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A2150P
TPS7A2150PQWDRBRQ1.A	Active	Production	SON (DRB) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A2150P
TPS7A2150PQWDSGRQ1	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	3J3H
TPS7A2150PQWDSGRQ1.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	3J3H

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS7A21-Q1 :

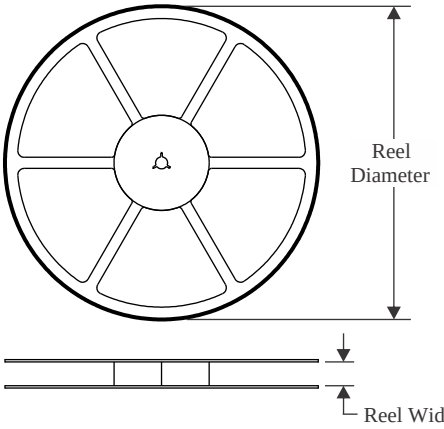
- Catalog : TPS7A21

NOTE: Qualified Version Definitions:

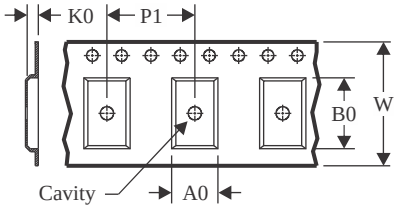
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

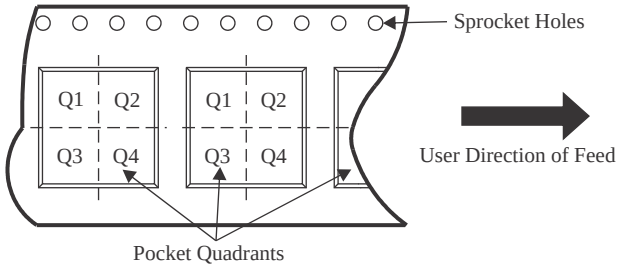


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

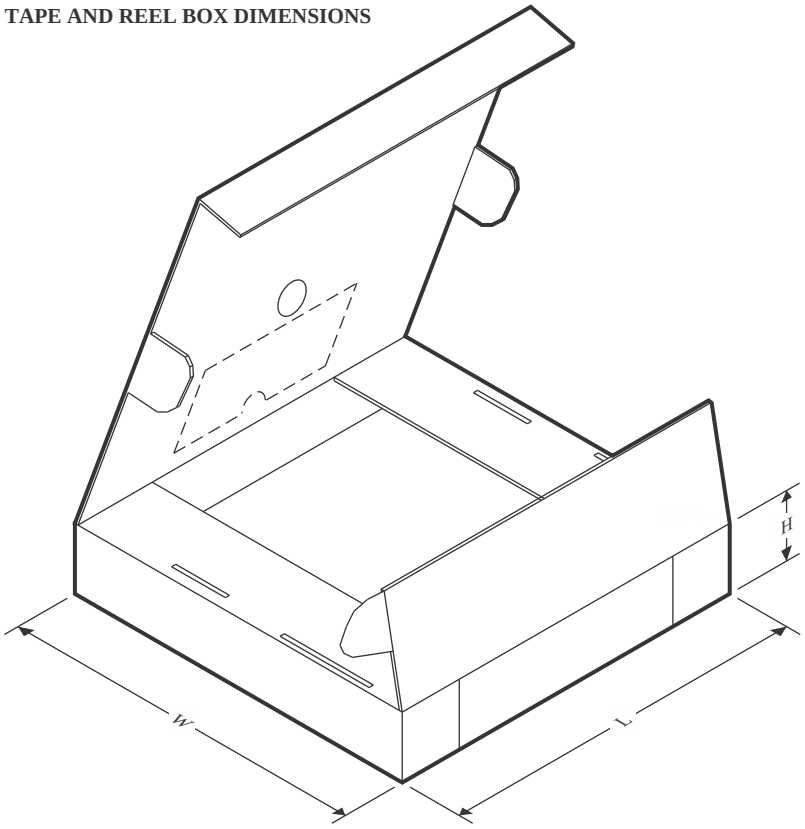


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
PS7A21105PQWDRBRQ1	SON	DRB	8	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
S7A21105PQWDSGRQ1	WSON	DSG	8	3000	180.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TPS7A2109PQWDSGRQ1	WSON	DSG	8	3000	180.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TPS7A2110PQWDRBRQ1	SON	DRB	8	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS7A2110PQWDSGRQ1	WSON	DSG	8	3000	180.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TPS7A2112PQWDRBRQ1	SON	DRB	8	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS7A2112PQWDSGRQ1	WSON	DSG	8	3000	180.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TPS7A2115PQWDRBRQ1	SON	DRB	8	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS7A2115PQWDSGRQ1	WSON	DSG	8	3000	180.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TPS7A2118CPQDSGRQ1	WSON	DSG	8	3000	180.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TPS7A2118PQWDRBRQ1	SON	DRB	8	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS7A2118PQWDSGRQ1	WSON	DSG	8	3000	180.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TPS7A2128PQWDRBRQ1	SON	DRB	8	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS7A2128PQWDSGRQ1	WSON	DSG	8	3000	180.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TPS7A2131PQDSGRQ1	WSON	DSG	8	3000	180.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TPS7A2131PQWDSGRQ1	WSON	DSG	8	3000	180.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7A2133PQWDRBRQ1	SON	DRB	8	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS7A2133PQWDSGRQ1	WSON	DSG	8	3000	180.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TPS7A2150PQWDRBRQ1	SON	DRB	8	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS7A2150PQWDSGRQ1	WSON	DSG	8	3000	180.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
PS7A21105PQWDRBRQ1	SON	DRB	8	5000	367.0	367.0	35.0
S7A21105PQWDSGRQ1	WSON	DSG	8	3000	213.0	191.0	35.0
TPS7A2109PQWDSGRQ1	WSON	DSG	8	3000	213.0	191.0	35.0
TPS7A2110PQWDRBRQ1	SON	DRB	8	5000	367.0	367.0	35.0
TPS7A2110PQWDSGRQ1	WSON	DSG	8	3000	213.0	191.0	35.0
TPS7A2112PQWDRBRQ1	SON	DRB	8	5000	367.0	367.0	35.0
TPS7A2112PQWDSGRQ1	WSON	DSG	8	3000	213.0	191.0	35.0
TPS7A2115PQWDRBRQ1	SON	DRB	8	5000	367.0	367.0	35.0
TPS7A2115PQWDSGRQ1	WSON	DSG	8	3000	213.0	191.0	35.0
TPS7A2118CPQDSGRQ1	WSON	DSG	8	3000	213.0	191.0	35.0
TPS7A2118PQWDRBRQ1	SON	DRB	8	5000	367.0	367.0	35.0
TPS7A2118PQWDSGRQ1	WSON	DSG	8	3000	213.0	191.0	35.0
TPS7A2128PQWDRBRQ1	SON	DRB	8	5000	367.0	367.0	35.0
TPS7A2128PQWDSGRQ1	WSON	DSG	8	3000	213.0	191.0	35.0
TPS7A2131PQDSGRQ1	WSON	DSG	8	3000	213.0	191.0	35.0
TPS7A2131PQWDSGRQ1	WSON	DSG	8	3000	213.0	191.0	35.0
TPS7A2133PQWDRBRQ1	SON	DRB	8	5000	367.0	367.0	35.0
TPS7A2133PQWDSGRQ1	WSON	DSG	8	3000	213.0	191.0	35.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7A2150PQWDRBRQ1	SON	DRB	8	5000	367.0	367.0	35.0
TPS7A2150PQWDSGRQ1	WSON	DSG	8	3000	213.0	191.0	35.0

GENERIC PACKAGE VIEW

DRB 8

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

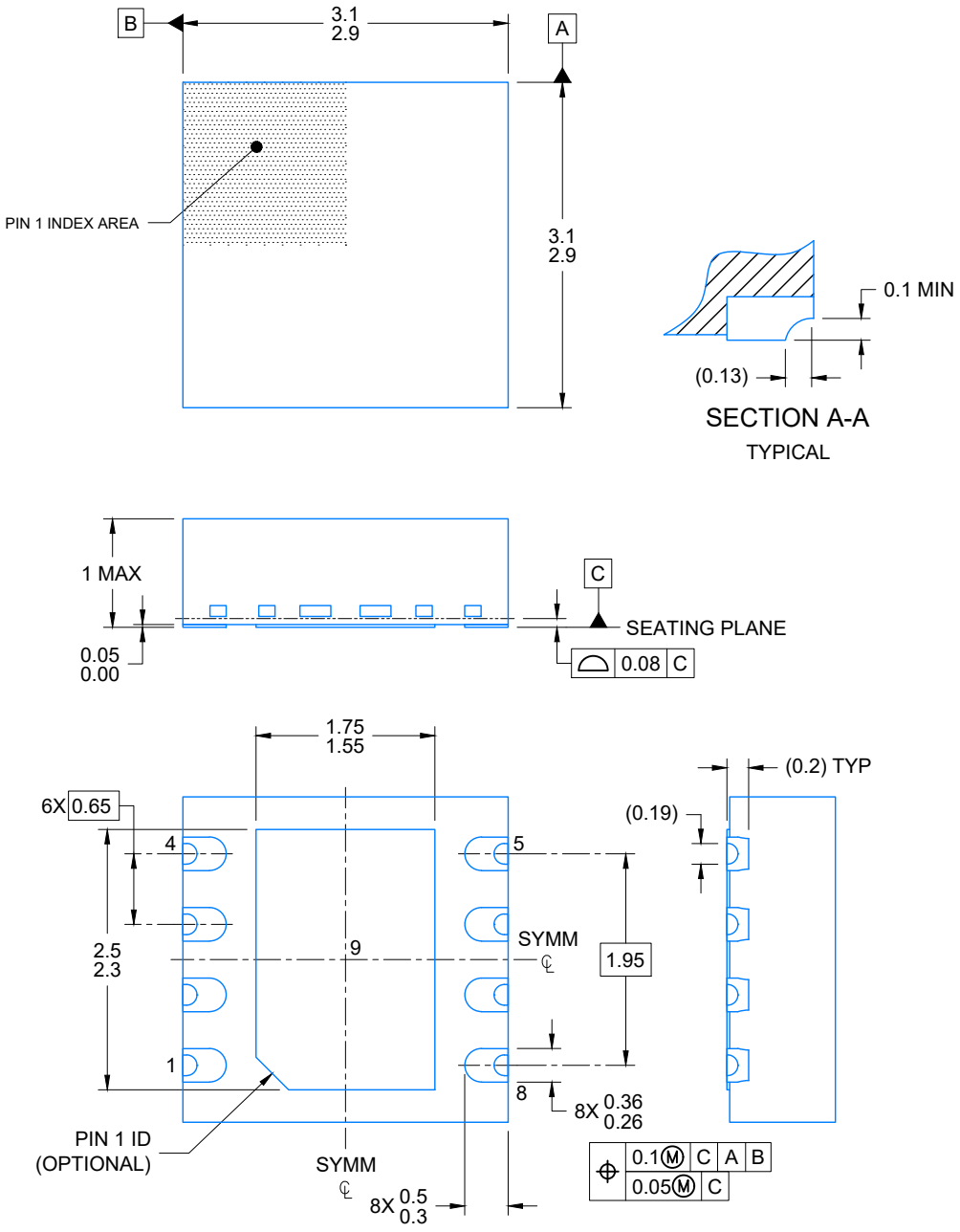
4203482/L

PACKAGE OUTLINE

DRB0008J

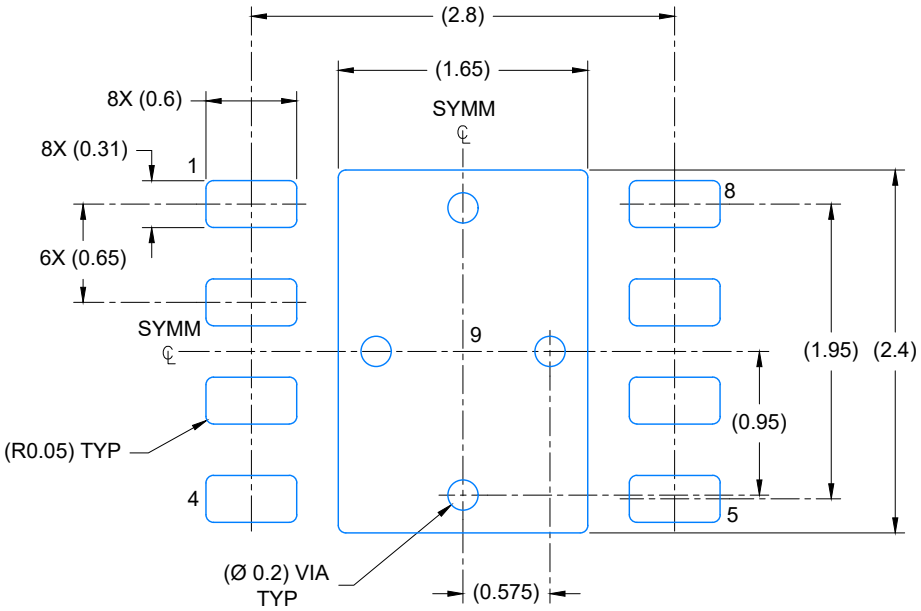
VSON - 1 mm max height

PLASTIC QUAD FLAT PACK- NO LEAD

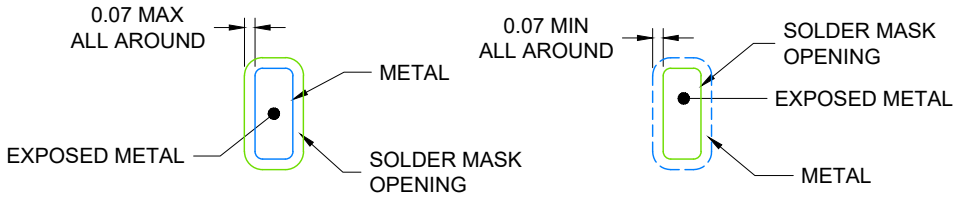


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



NON- SOLDER MASK
DEFINED
(PREFERRED)

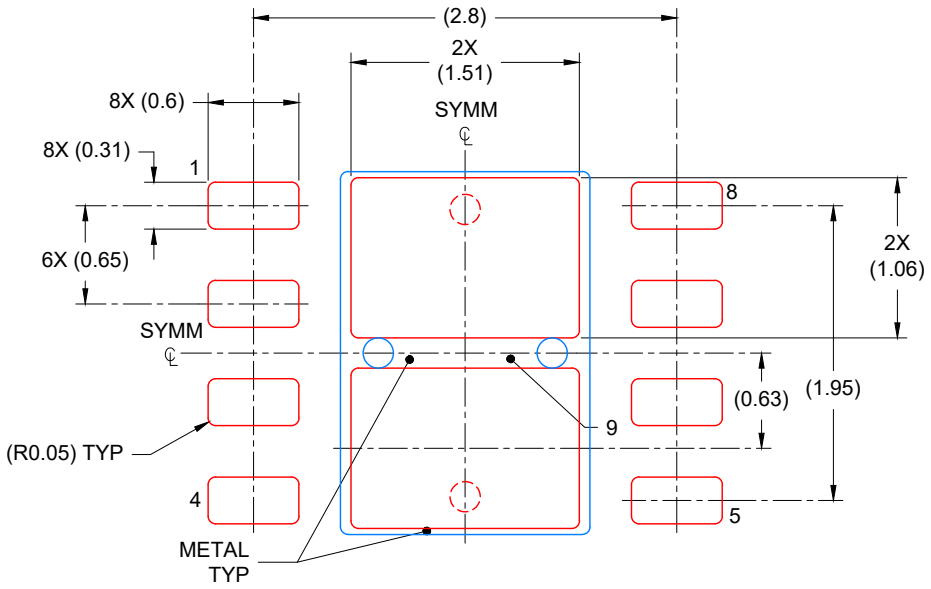
SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4225036/A 06/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
81% PRINTED COVERAGE BY AREA
SCALE: 20X

4225036/A 06/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

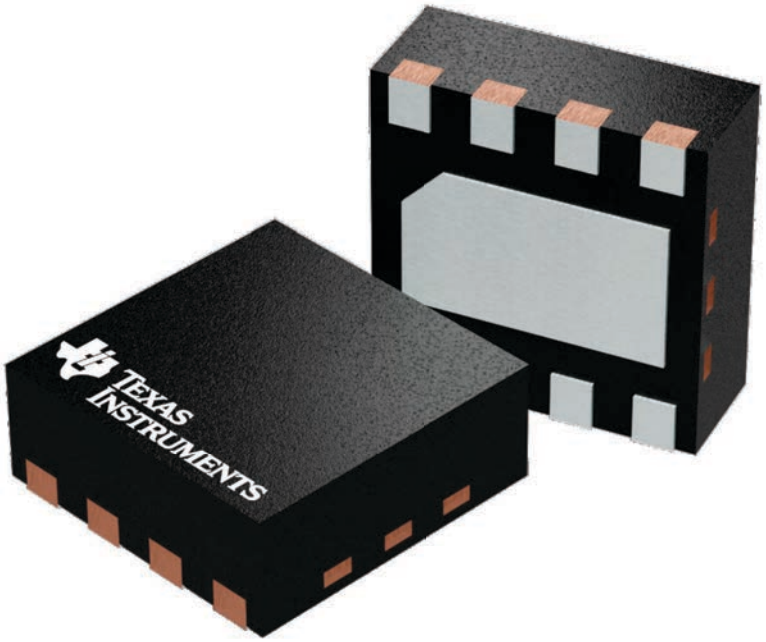
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



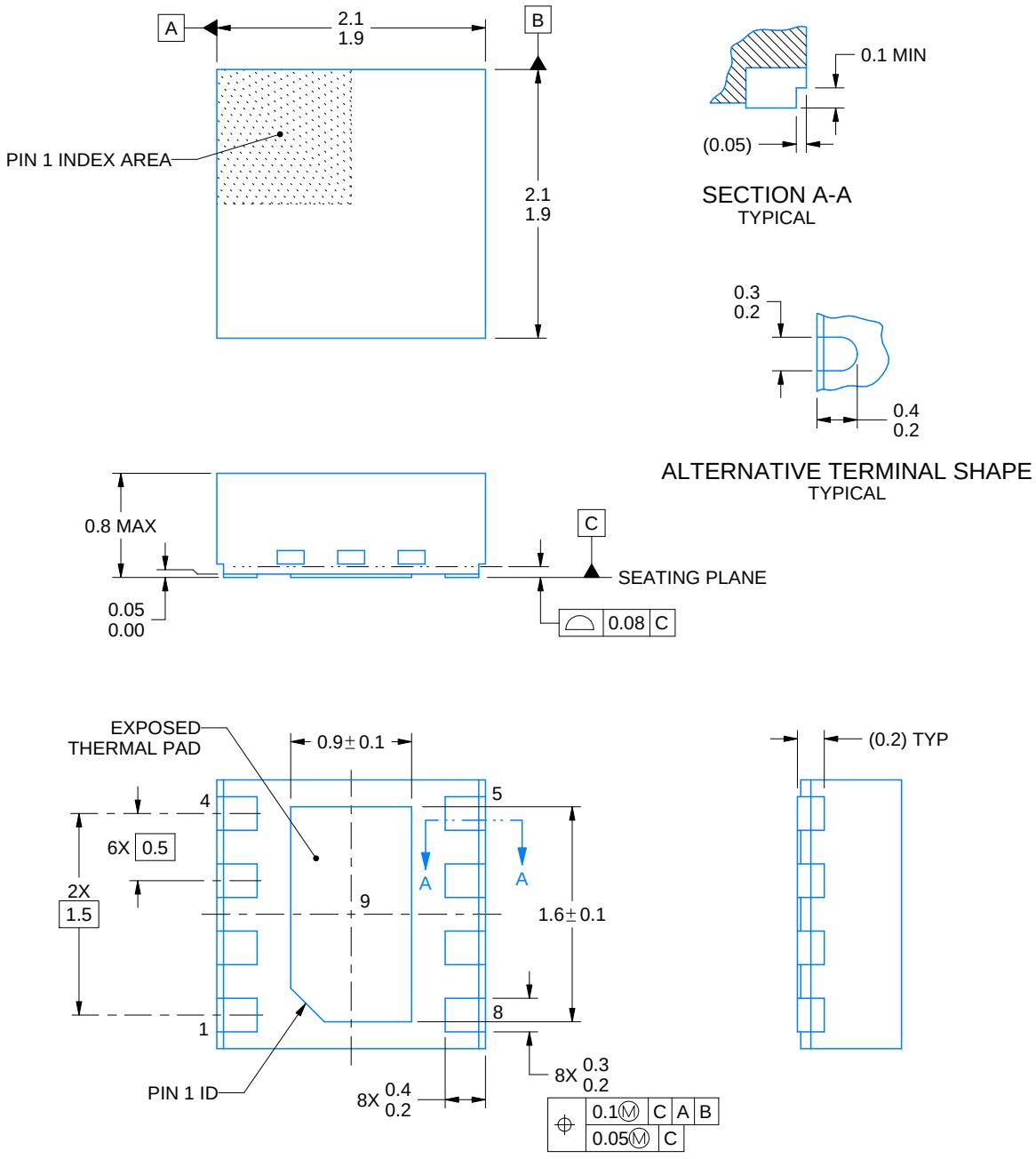
4224783/A

PACKAGE OUTLINE

DSG0008B

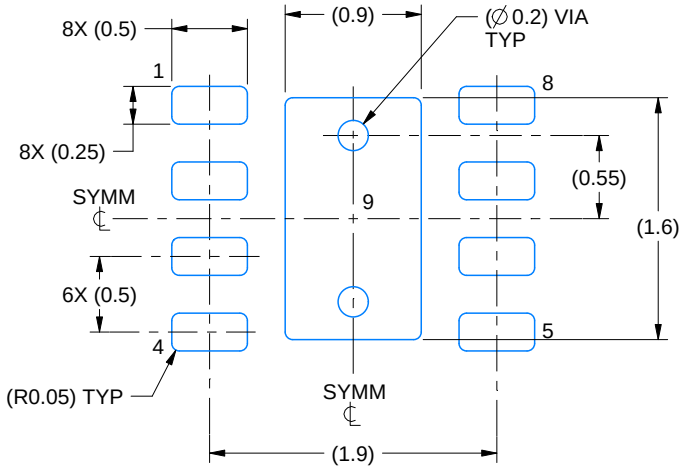
WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

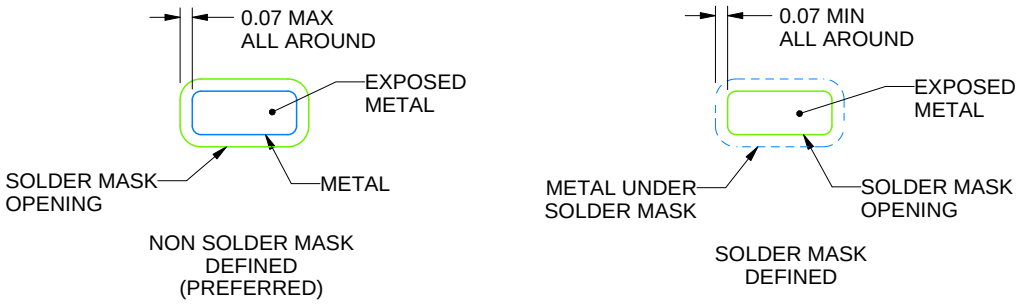


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4222124/E 05/2020

NOTES: (continued)

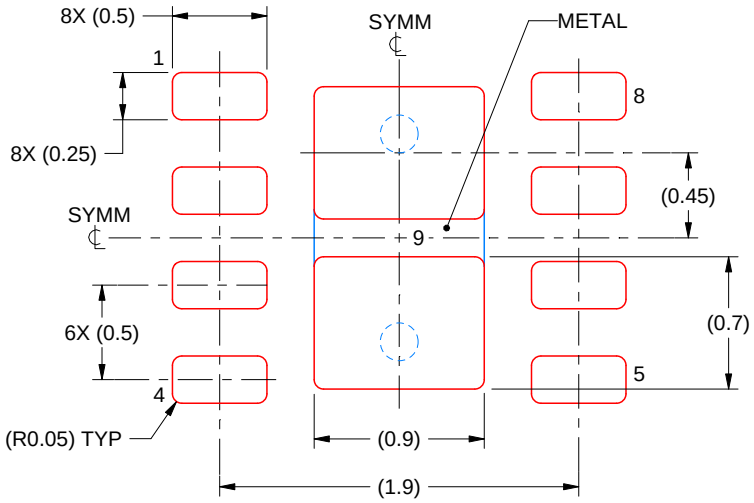
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DSG0008B

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4222124/E 05/2020

NOTES: (continued)

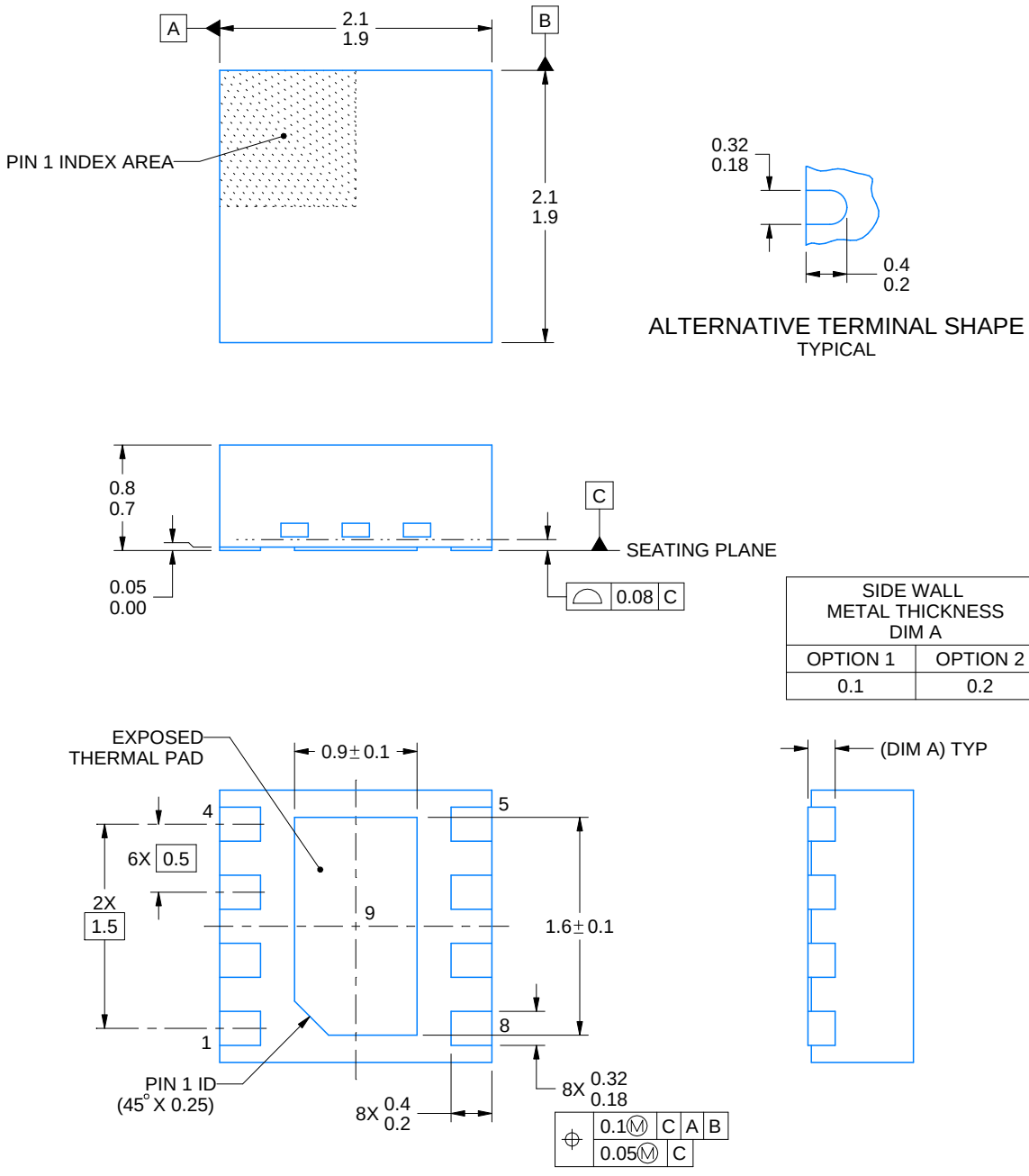
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DSG0008A

WSON - 0.8 mm max height

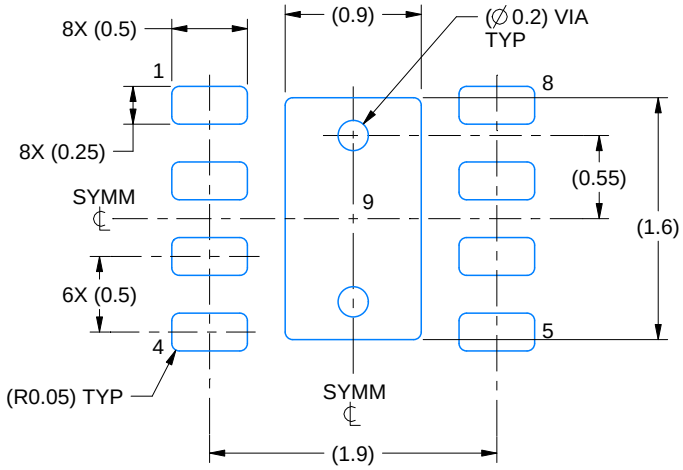
PLASTIC SMALL OUTLINE - NO LEAD



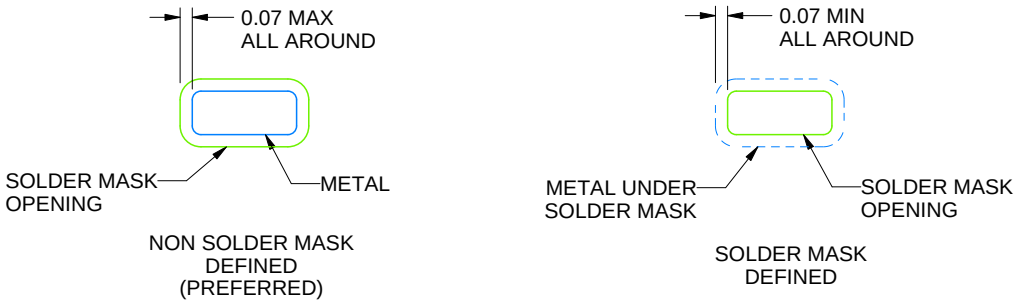
4218900/E 08/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

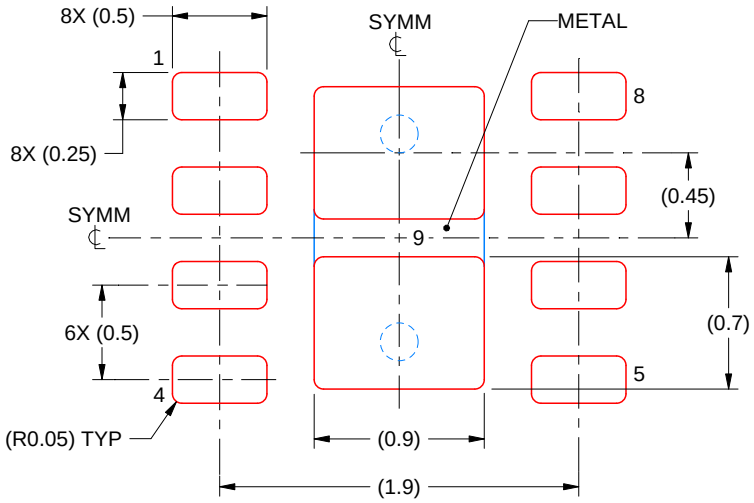


SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月