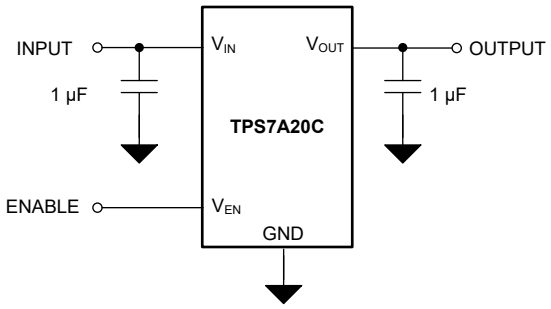
TPS7A20C 300mA 低噪声、快速稳定 LDO

1 特性

- 与低输出电容和电感配合使用时可实现快速稳定
- 低输出电压噪声：7 μ V_{RMS}
  - 无需噪声旁路电容
- 高 PSRR：100kHz、20mA 时为 58dB
- 超低 I_Q：11 μ A
- 输入电压范围：1.6V 至 6.0V
- 输出电压范围：0.8V 至 5.5V
- 输出电压容差：±1.5%（最大值）
- 超低压降：
  - 在 300mA 下为 140mV（最大值）(V_{OUT} = 3.3V)
- 低浪涌电流
- 智能使能下拉
- 与最低 0.75μF 的输出电容搭配使用可保持稳定
- 封装：
  - 0.616mm × 0.616mm DSBGA

2 应用

- 图像传感器
- 智能手机和平板电脑
- IP 网络摄像头
- 便携式医疗设备
- 智能仪表和现场变送器
- 电机驱动器
- 可穿戴设备



简化版应用原理图

3 说明

TPS7A20C 是一款超小型低压降 (LDO) 线性稳压器，可提供 300mA 的输出电流。此 LDO 设计用于为图像传感器等敏感负载供电。当与低输出电容和电感一起使用时，该器件可实现低噪声、高 PSRR 和出色的负载和线路瞬态性能。TPS7A20C 采用创新的设计技术，无需噪声旁路电容器便可提供超低噪声的出色性能。TPS7A20C 还具有低静态电流的优势，在电池供电应用中很有用。1.6V 至 6.0V 的输入电压范围和 0.8V 至 5.5V 的输出电压范围适用于各种应用。该器件使用精密基准电路，可在不同负载、线路和温度变化之间提供 1.5% 的最大精度。

TPS7A20C 具备内部软启动电路，可降低浪涌电流，因此可在启动过程中更大程度地降低输入电压降。该器件在与小型陶瓷电容搭配使用时可保持稳定，因此可实现小尺寸总体解决方案。

TPS7A20C 采用具有内部控制下拉电阻器的智能使能输入电路。此电阻器可使 LDO 保持禁用状态，有助于省去用于下拉 EN 引脚的外部元件。即使 EN 引脚悬空，LDO 仍会保持禁用状态。

封装信息

器件型号	封装(1)	封装尺寸(2)
TPS7A20C	YCK (DSBGA，4)	0.616mm × 0.616mm

(1) 如需更多信息，请参阅*机械、封装和可订购信息*。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 5
5.5 电气特性 5
5.6 开关特性 6
5.7 典型特性 7
6 详细说明 14
6.1 概述 14
6.2 功能方框图 14
6.3 特性说明 15
6.4 器件功能模式 17
7 应用和实施 18
7.1 应用信息 18
7.2 典型应用 22
7.3 电源相关建议 23
7.4 布局 23
8 器件和文档支持 24
8.1 器件支持 24
8.2 接收文档更新通知 24
8.3 支持资源 24
8.4 商标 24
8.5 静电放电警告 24
8.6 术语表 24
9 修订历史记录 24
10 机械、封装和可订购信息 24
10.1 机械数据 25

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

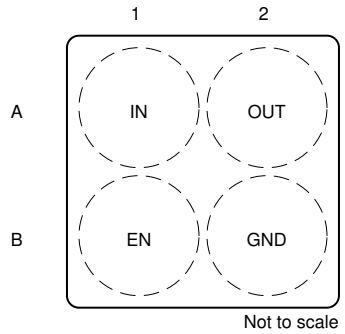


图 4-1. YCK 封装，
4 引脚 DSBGA（顶视图）

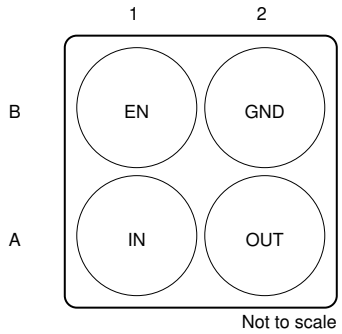


图 4-2. YCK 封装，
4 引脚 DSBGA（底视图）

引脚功能：DSBGA

引脚		I/O	说明
编号	名称		
A1	IN	I	输入电压电源。为获得出色的瞬态响应并尽可能减小输入阻抗，请在 IN 到接地端之间使用标称值或更大的电容器。请参阅 *建议运行条件* 表。将输入电容器放置在尽可能靠近器件的 IN 引脚和 GND 引脚的位置上。
A2	OUT	O	经稳压调节的输出电压。从 OUT 到接地端需要一个低等效串联电阻 (ESR) 电容器以确保稳定性。为了获得出色的瞬态响应，请参阅 *输入和输出电容器要求* 部分。将输出电容器放置在尽可能靠近器件的 OUT 引脚和 GND 引脚的位置上。
B1	EN	I	使能输入。该输入上的低电压 (< $V_{EN(LOW)}$) 将关闭稳压器并将输出引脚放电至 GND。该引脚上的高电压 (> $V_{EN(HI)}$) 会启用稳压器输出。默认情况下，该引脚有一个内部 500kΩ 下拉电阻来使稳压器保持关闭状态。当 V_{EN} > $V_{EN(HI)}$ 时，500kΩ 下拉断开以减少输入电流。
B2	GND	—	共地。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (3)

		最小值	最大值	单位
电压	V_{IN}	-0.3	6.5	V
	V_{OUT}	-0.3	6.5 或 V_{IN} + 0.3 (2)	
	V_{EN}	-0.3	6.5	
电流	最大输出(4)	受内部限制		A
温度	工作结温，T_J	-40	150	°C
	贮存温度，T_{stg}	-65	150	

(1) 应力超出“*绝对最大额定值*”中列出的值时可能会对器件造成永久损坏。这些仅为应力额定值，并不表明器件在这些额定值下或者任何其他超过“建议运行条件”所标明的条件下可正常工作。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) V_{OUT} 的最大值为 6.5V 或 (V_{IN} + 0.3V) 中的较小者。
(3) 所有电压均以 GND 引脚为基准。
(4) 内部热关断电路保护器件不受永久损坏。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±750	

(1) JEDEC 文件 JEP155 规定：500V HBM 可实现在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 规定：250V CDM 可实现在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	标称值	最大值	单位
V_{IN}	输入电源电压	1.6		6.0	V
V_{EN}	使能输入电压	0		6.0	V
V_{OUT}	标称输出电压范围	0.8		5.5	V
I_{OUT}	输出电流	0		300	mA
C_{IN}	输入电容器(2)		1		µF
C_{OUT}	输出电容(3)	0.75		10	µF
ESR	输出电容器等效串联电阻加从输出到电容器布线等效串联电阻	5		50	mΩ
T_J	工作结温	-40		125	°C

(1) 所有电压均以 GND 为基准。
(2) 不需要输入电容器即可实现 LDO 稳定性。但是，建议使用最小有效值为 0.47 µF 的输入电容来抵消源电阻和电感的影响，在某些情况下，这可能会导致系统级不稳定的症状（例如振铃或振荡），尤其是在存在负载瞬态的情况下。使用至少等于输出电容器的输入电容器通常是一种很好的做法。
(3) 为帮助实现快速稳定并避免不稳定，输出电容（包括容差、偏置电压、温度变化等）应在指定范围内。

Copyright © 2025 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		TPS7A20C YCK (DSBGA) 4 引脚	单位
$R_{\theta JA}$	结至环境热阻	201.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	2.8	°C/W
$R_{\theta JB}$	结至电路板热阻	69.3	°C/W
Ψ_{JT}	结至顶部特征参数	1.4	°C/W
Ψ_{JB}	结至电路板特征参数	69.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

5.5 电气特性

在工作温度范围（T_J = –40℃ 至 +125℃）、V_{IN} = $V_{OUT(NOM)}$ + 0.3V 或 1.6V（以较大者为准）、V_{EN} = 1.0V、I_{OUT} = 1mA、C_{IN} = 1μF、C_{OUT} = 0.75μF 降额条件下（除非另有说明）；所有典型值均在 T_J = 25℃ 时测得

参数		测试条件		最小值	典型值	最大值	单位
ΔV_{OUT}	输出电压容差	V_{IN} = ($V_{OUT(NOM)}$ + 0.3V) 至 6.0V，I_{OUT} = 1mA 至 300mA，V_{OUT} ≥ 1.85V		-1.5		1.5	%
		V_{IN} = ($V_{OUT(NOM)}$ + 0.3V) 至 6.0V，I_{OUT} = 1mA 至 300mA，V_{OUT} < 1.85V		-30		30	mV
ΔV_{OUT}	线路调整率	V_{IN} = ($V_{OUT(NOM)}$ + 0.3V) 至 6.0V，I_{OUT} = 1mA			0.03		%/V
ΔV_{OUT}	负载调整率	I_{OUT} = 1mA 至 300mA			11		mV
I_{GND}	静态地电流	V_{EN} = V_{IN} = 6V，I_{OUT} = 0mA	T_J = –40°C 至 125°C			18.5	μA
		V_{EN} = V_{IN} = 6V，I_{OUT} = 300mA			2000		
I_{SHDN}	关断接地电流	V_{EN} = 0V（禁用），V_{IN} = 6.0V，T_J = –40°C 至 125°C				5	μA
$I_{GND(DO)}$	压降中的 I_{GND}	V_{IN} ≤ $V_{OUT(NOM)}$，I_{OUT} = 0mA，V_{EN} = V_{IN}			11	18	μA
V_{DO}	压降电压	I_{OUT} = 300mA，V_{OUT} = 95% x $V_{OUT(NOM)}$	0.8V ≤ V_{OUT} < 1.0V(1)			690	mV
			1.0V ≤ V_{OUT} < 1.2V(1)			490	
			1.2V ≤ V_{OUT} < 1.5V(1)			355	
			1.5V ≤ V_{OUT} < 2.5V			200	
			2.5V ≤ V_{OUT} < 3.3V			140	
			3.3V ≤ V_{OUT} ≤ 5.5V			130	
I_{CL}	输出电流限制	V_{OUT} = 0.9 x $V_{OUT(NOM)}$，V_{IN} = $V_{OUT(NOM)}$ + 0.5V	V_{OUT} < 1.5V	360	520	800	mA
		V_{OUT} = 0.9 x $V_{OUT(NOM)}$，V_{IN} = $V_{OUT(NOM)}$ + 0.3V	V_{OUT} ≥ 1.5V	360	520	770	
I_{SC}	短路电流限制	V_{OUT} = 0V			185		mA

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

在工作温度范围（T_J = –40℃ 至 +125℃）、V_{IN} = $V_{OUT(NOM)}$ + 0.3V 或 1.6V（以较大者为准）、V_{EN} = 1.0V、I_{OUT} = 1mA、C_{IN} = 1μF、C_{OUT} = 0.75μF 降额条件下（除非另有说明）；所有典型值均在 T_J = 25℃ 时测得

参数		测试条件		最小值	典型值	最大值	单位
PSRR	电源抑制比	I_{OUT} = 20mA，V_{IN} = V_{OUT} + 1.0V	f = 100Hz		95		dB
			f = 1kHz		95		
			f = 10kHz		75		
			f = 100kHz		58		
			f = 1MHz		36		
		I_{OUT} = 300mA，V_{IN} = V_{OUT} + 1.0V	f = 100Hz		65		
			f = 1kHz		70		
			f = 10kHz		75		
			f = 100kHz		61		
			f = 1MHz		40		
V_N	输出噪声电压	BW = 10Hz 至 100kHz，V_{OUT} = 2.8V	I_{OUT} = 300mA		7		μV_{RMS}
			I_{OUT} = 1mA		10		
$R_{PULLDOWN}$	输出自动放电下拉电阻	V_{EN} < $V_{EN(LOW)}$（输出禁用），V_{IN} = 3.1V，$V_{OUT(nom)}$=2.85V			285		Ω
T_{SD}	热关断	T_J 上升			165		°C
		T_J 下降			140		
$V_{EN(LOW)}$	低电平输入阈值	V_{IN} = 1.6V 至 6.0V，V_{EN} 下降，直到输出被禁用				0.3	V
$V_{EN(HI)}$	高电平输入阈值	V_{IN} = 1.6V 至 6.0V，V_{EN} 上升，直到输出使能		0.9			V
V_{UVLO}	UVLO 阈值	V_{IN} 上升		1.11	1.35	1.59	V
		V_{IN} 下降		1.05	1.3	1.55	
$V_{UVLO(HYST)}$	UVLO 迟滞				42		mV
I_{EN}	EN 输入漏电流	V_{EN} = 6.0V 和 V_{IN} = 6.0V			90	250	nA
$R_{EN(PULL-DOWN)}$	智能使能下拉电阻	V_{EN} = 0.25V			500		KΩ

(1) 仅设计模拟数据。

5.6 开关特性

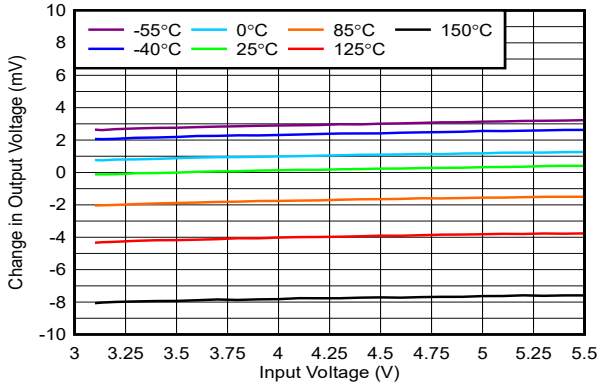
在工作温度范围（T_J = –40℃ 至 +125℃）、V_{IN} = $V_{OUT(NOM)}$ + 0.3V 或 1.6V（以较大者为准）、V_{EN} = 1.0V、I_{OUT} = 1mA、C_{IN} = 1μF、C_{OUT} = 1μF、C_{OUT} ESL = 300pH、C_{OUT} ESL = 8mΩ、电路板 ESL = 1.5nH、电路板 ESR = 5mΩ 条件下（除非另有说明）；所有典型值均在 T_J = 25℃ 时测得

参数		测试条件	最小值	典型值	最大值	单位
t_{STR}	启动时间	从 V_{EN} > $V_{EN(HI)}$ 到 V_{OUT} = $V_{OUT(NOM)}$ 的 95%		750	1150	μs

Copyright © 2025 Texas Instruments Incorporated

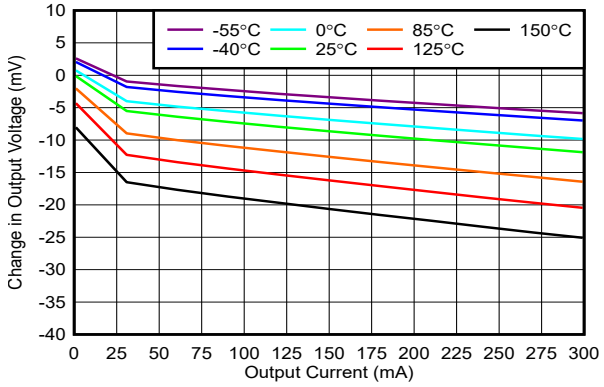
5.7 典型特性

V_{IN} = $V_{OUT(NOM)}$ + 0.3V 或 1.6V（以较大者为准），V_{OUT} = 2.85V，I_{OUT} = 1mA，C_{IN} = 1µF，C_{OUT}（降额）= 0.75µF 且 T_A = 25°C（除非另有说明）



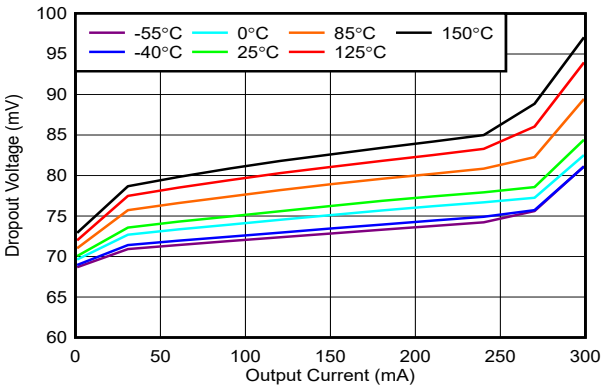
V_{EN} = 1V

图 5-1. 线路调整率



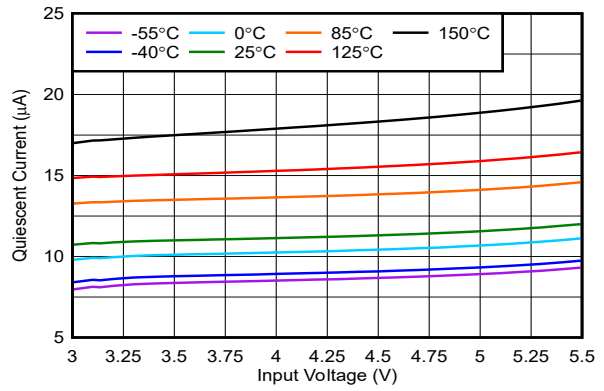
V_{EN} = 1V

图 5-2. 负载调整率



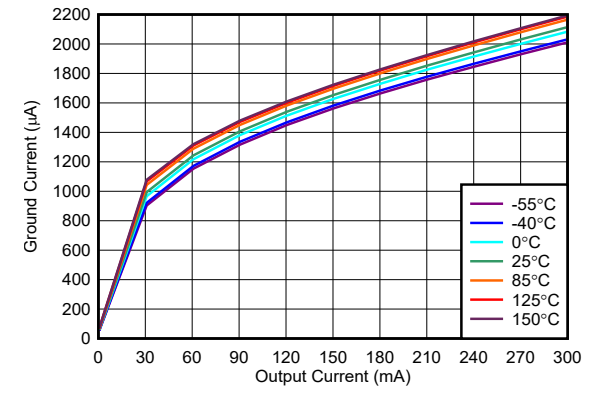
V_{EN} = 1V

图 5-3. 压降与 I_{OUT} 间的关系



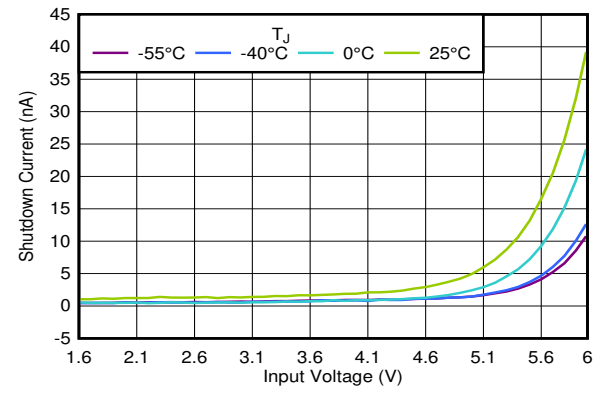
V_{EN} = 1V，I_{OUT} = 0mA

图 5-4. I_{GND} 与 V_{IN} 间的关系



V_{EN} = 1V（0mA 至 300mA）

图 5-5. I_{GND} 与 I_{OUT} 间的关系



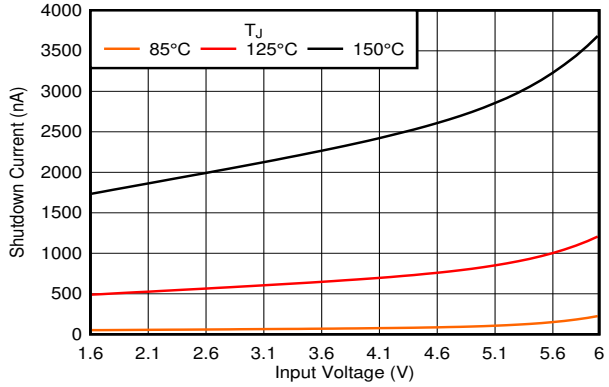
V_{EN} = 0V

图 5-6. 关断电流与 V_{IN} 间的关系

Copyright © 2025 Texas Instruments Incorporated

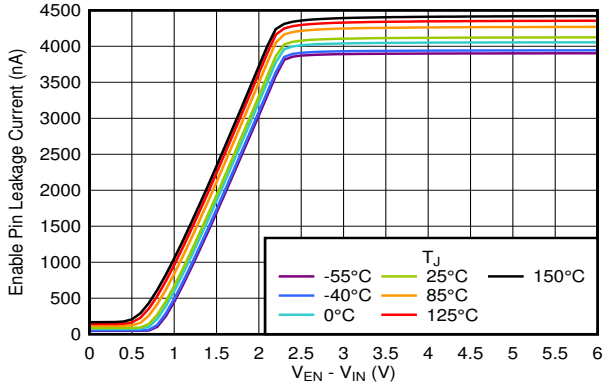
5.7 典型特性（续）

V_{IN} = $V_{OUT(NOM)}$ + 0.3V 或 1.6V（以较大者为准），V_{OUT} = 2.85V，I_{OUT} = 1mA，C_{IN} = 1µF，C_{OUT}（降额）= 0.75µF 且 T_A = 25°C（除非另有说明）



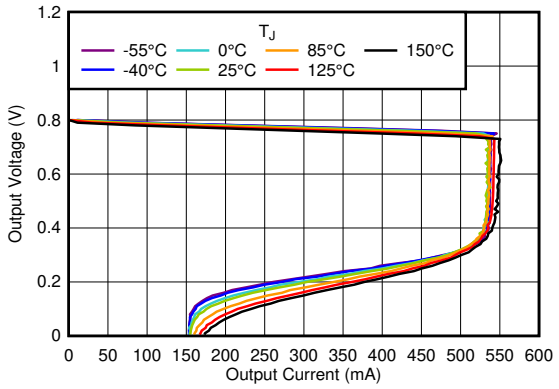
V_{EN} = 0V

图 5-7. 关断电流与 V_{IN} 间的关系



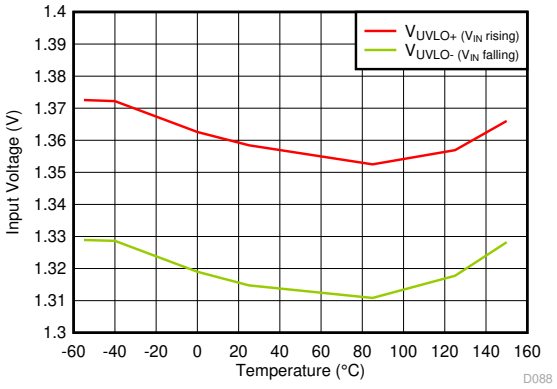
V_{EN} = 6V，I_{OUT} = 0mA

图 5-8. 使能引脚漏电流与 V_{EN} – V_{IN} 间的关系



V_{EN} = 1V

图 5-9. 电流限制



V_{EN} = 1V

图 5-10. UVLO 阈值与温度间的关系

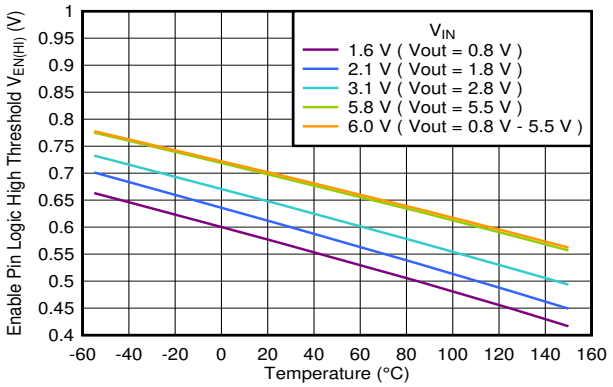


图 5-11. 使能逻辑高电平阈值与温度间的关系

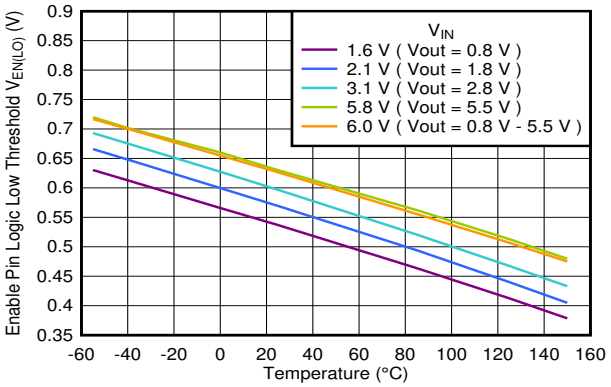
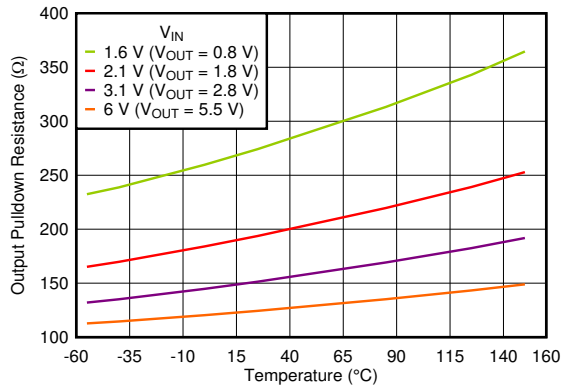


图 5-12. 使能逻辑低电平阈值与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

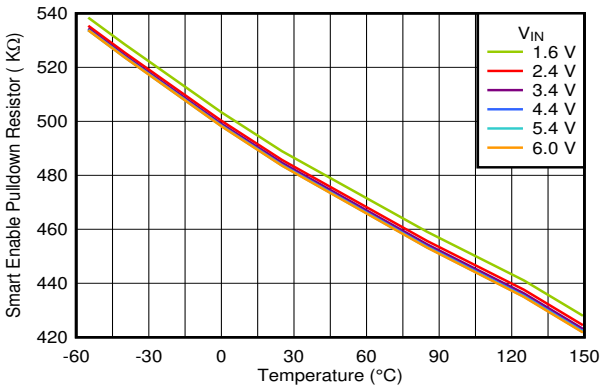
5.7 典型特性（续）

V_{IN} = $V_{OUT(NOM)}$ + 0.3V 或 1.6V（以较大者为准），V_{OUT} = 2.85V，I_{OUT} = 1mA，C_{IN} = 1µF，C_{OUT}（降额）= 0.75µF 且 T_A = 25°C（除非另有说明）



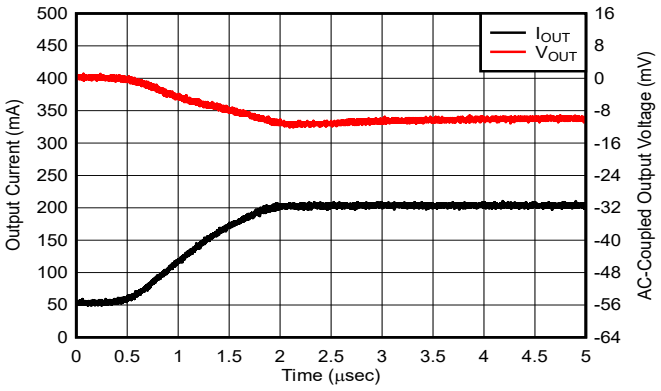
V_{EN} = 0.25V

图 5-13. 输出下拉电阻与温度间的关系



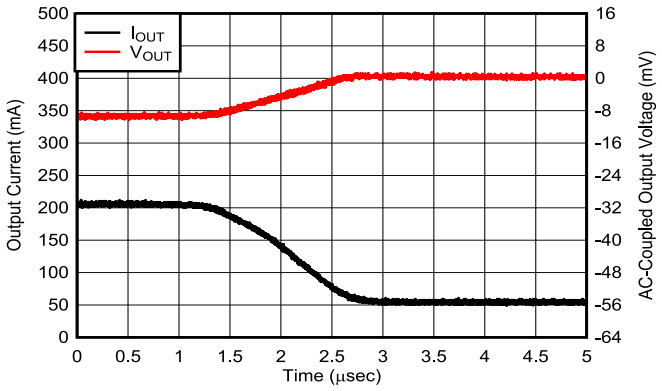
V_{EN} = 0.25V

图 5-14. 智能使能下拉电阻与温度和 V_{IN} 间的关系



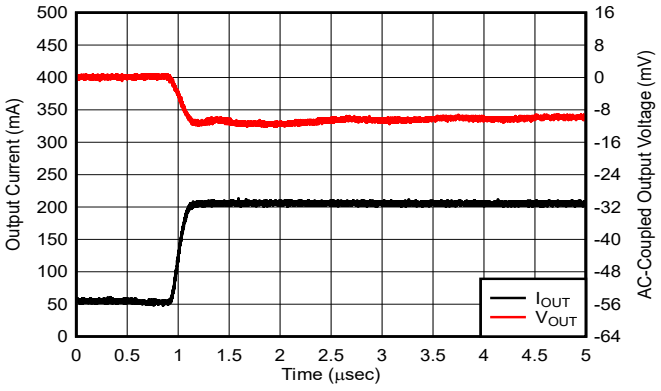
I_{OUT} = 50mA 至 200mA，t_{RISING} = 1µs

图 5-15. 负载瞬态



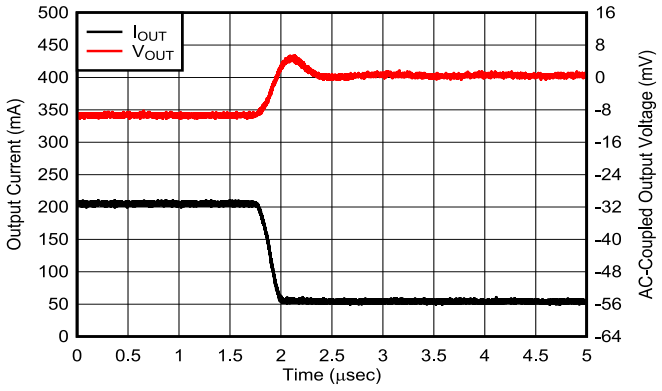
I_{OUT} = 200mA 至 50mA，$t_{FALLING}$ = 1µs

图 5-16. 负载瞬态



I_{OUT} = 50mA 至 200mA，t_{RISING} = 150ns

图 5-17. 负载瞬态



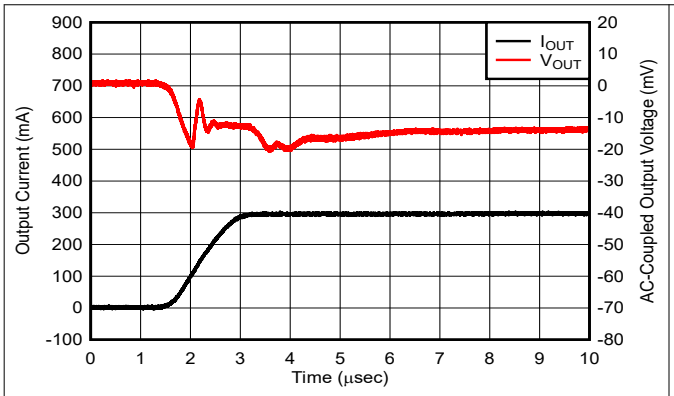
I_{OUT} = 200mA 至 50mA，$t_{FALLING}$ = 150ns

图 5-18. 负载瞬态

Copyright © 2025 Texas Instruments Incorporated

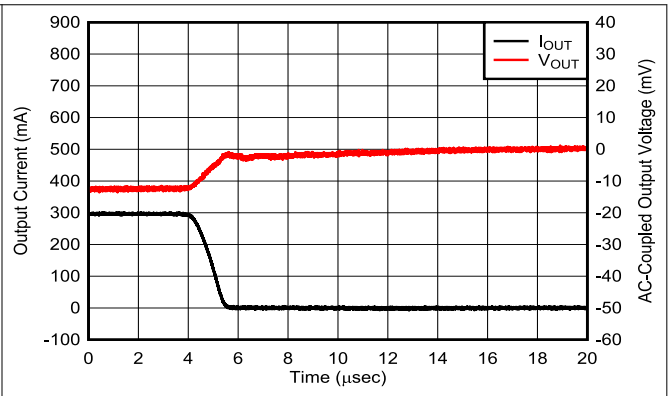
5.7 典型特性（续）

V_{IN} = $V_{OUT(NOM)}$ + 0.3V 或 1.6V（以较大者为准），V_{OUT} = 2.85V，I_{OUT} = 1mA，C_{IN} = 1µF，C_{OUT}（降额）= 0.75µF 且 T_A = 25°C（除非另有说明）



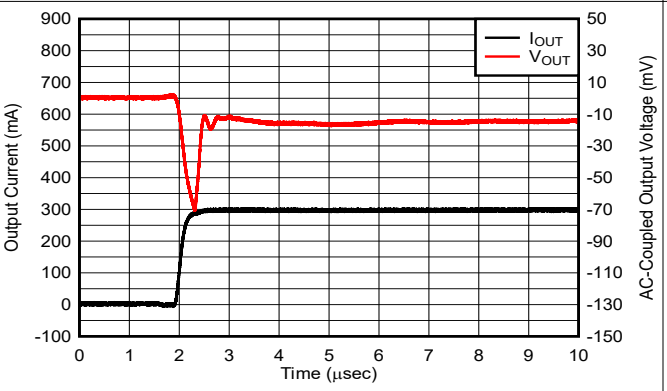
I_{OUT} = 1mA 至 300mA，t_{RISING} = 1µs

图 5-19. 负载瞬态



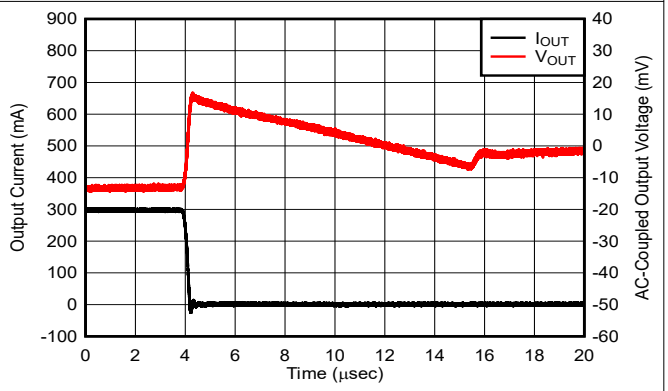
I_{OUT} = 300mA 至 1mA，$t_{FALLING}$ = 1µs

图 5-20. 负载瞬态



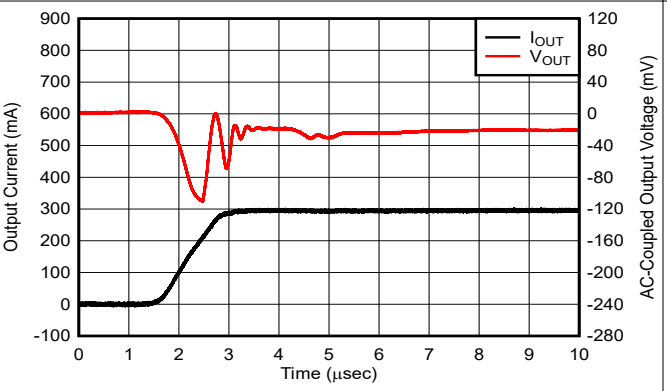
I_{OUT} = 1mA 至 300mA，t_{RISING} = 200ns

图 5-21. 负载瞬态



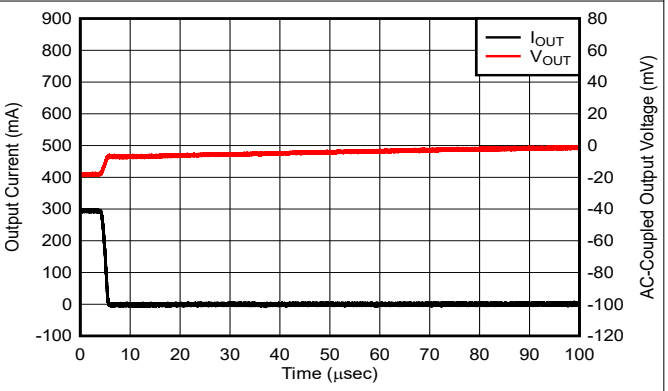
I_{OUT} = 300mA 至 1mA，$t_{FALLING}$ = 200ns

图 5-22. 负载瞬态



I_{OUT} = 0mA 至 300mA，t_{RISING} = 1µs

图 5-23. 负载瞬态



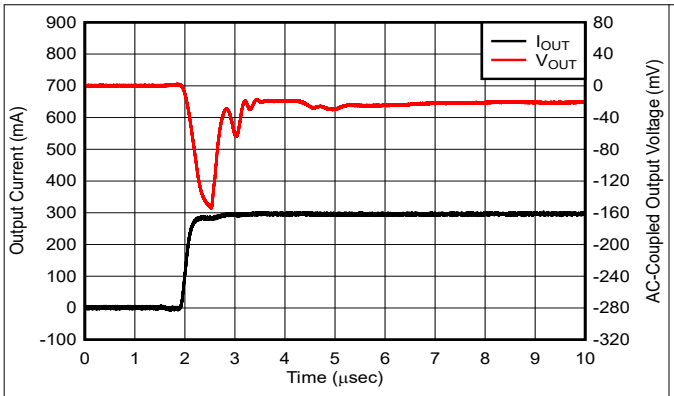
I_{OUT} = 300mA 至 0mA，$t_{FALLING}$ = 1µs

图 5-24. 负载瞬态

Copyright © 2025 Texas Instruments Incorporated

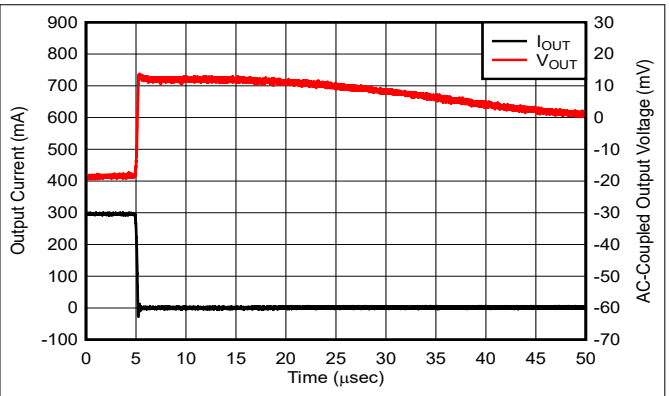
5.7 典型特性（续）

V_{IN} = $V_{OUT(NOM)}$ + 0.3V 或 1.6V（以较大者为准），V_{OUT} = 2.85V，I_{OUT} = 1mA，C_{IN} = 1µF，C_{OUT}（降额）= 0.75µF 且 T_A = 25°C（除非另有说明）



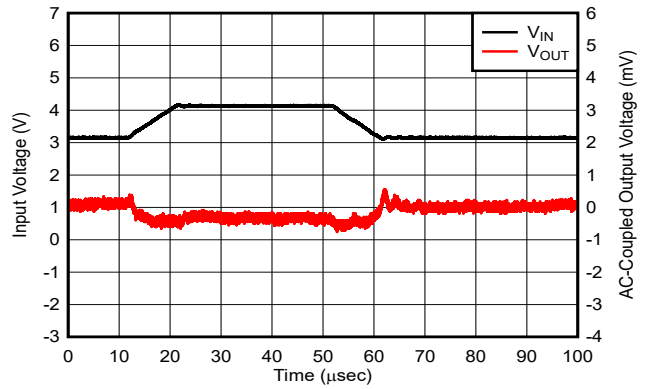
I_{OUT} = 0mA 至 300mA，t_{RISING} = 200ns

图 5-25. 负载瞬态



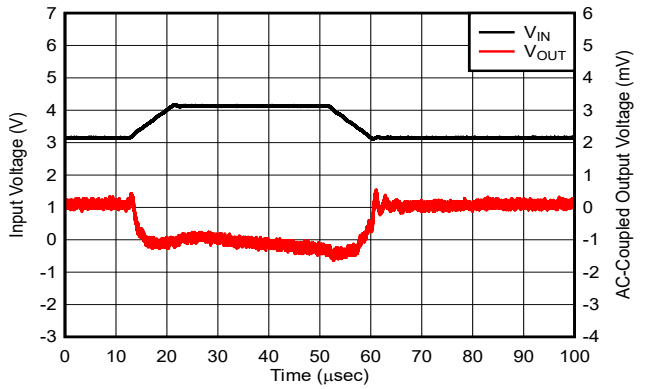
I_{OUT} = 300mA 至 0mA，$t_{FALLING}$ = 200ns

图 5-26. 负载瞬态



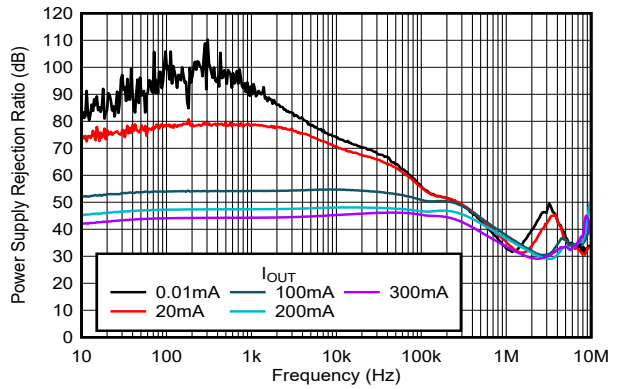
V_{IN} = 3.1V → 4.1V → 3.1V，V_{IN} t_{RISING} = 5µs，I_{OUT} = 150mA

图 5-27. 线路瞬态



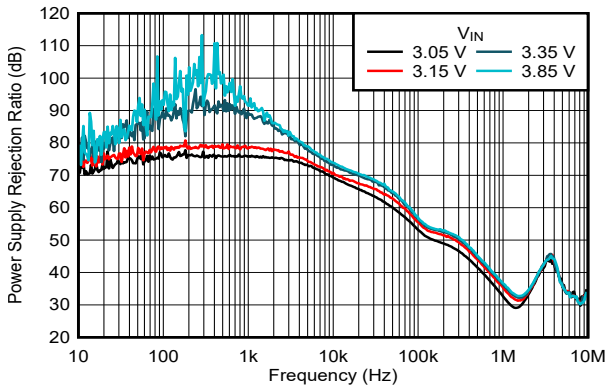
V_{IN} = 3.1V → 4.1V → 3.1V，V_{IN} t_{RISING} = 5µs，I_{OUT} = 300mA

图 5-28. 线路瞬态



V_{IN} = 3.15V，V_{EN} = 1V，C_{IN} = 0.47µF

图 5-29. PSRR 与频率和 I_{OUT} 间的关系



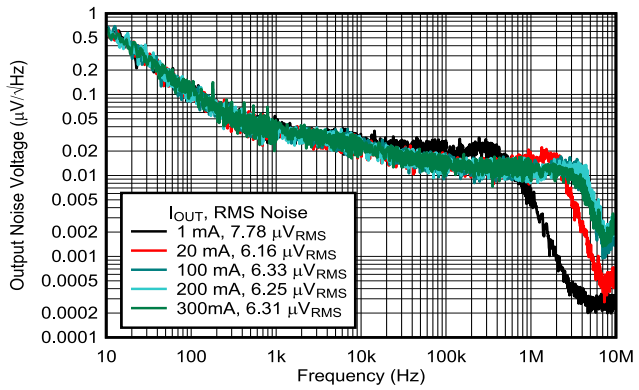
V_{EN} = 1V，I_{OUT} = 20mA，C_{IN} = 0.47µF

图 5-30. PSRR 与频率和 V_{IN} 间的关系

Copyright © 2025 Texas Instruments Incorporated

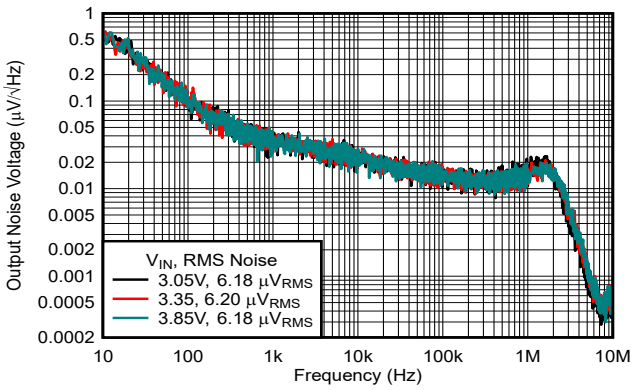
5.7 典型特性（续）

V_{IN} = $V_{OUT(NOM)}$ + 0.3V 或 1.6V（以较大者为准），V_{OUT} = 2.85V，I_{OUT} = 1mA，C_{IN} = 1µF，C_{OUT}（降额）= 0.75µF 且 T_A = 25°C（除非另有说明）



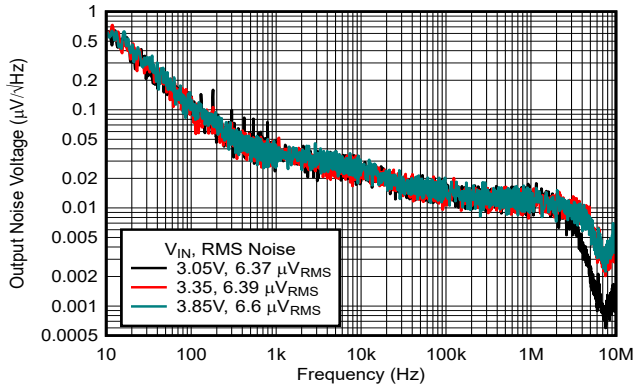
V_{RMS} BW = 10Hz 至 100kHz

图 5-31. 噪声与频率和 I_{OUT} 间的关系



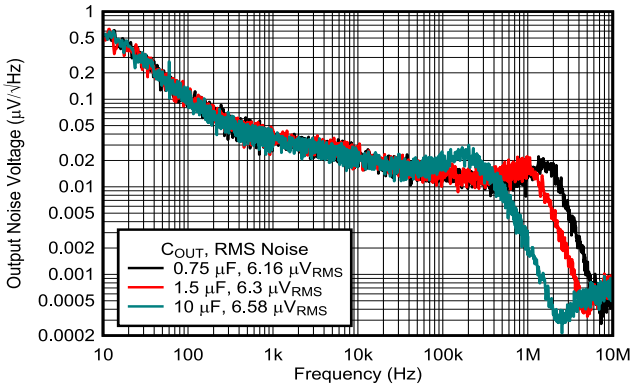
I_{OUT} = 20mA，V_{RMS} BW = 10Hz 至 100kHz

图 5-32. 噪声与频率和 V_{IN} 间的关系



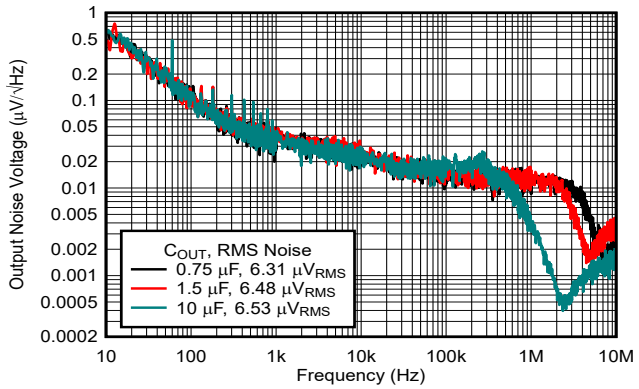
I_{OUT} = 300mA，V_{RMS} BW = 10Hz 至 100kHz

图 5-33. 噪声与频率和 V_{IN} 间的关系



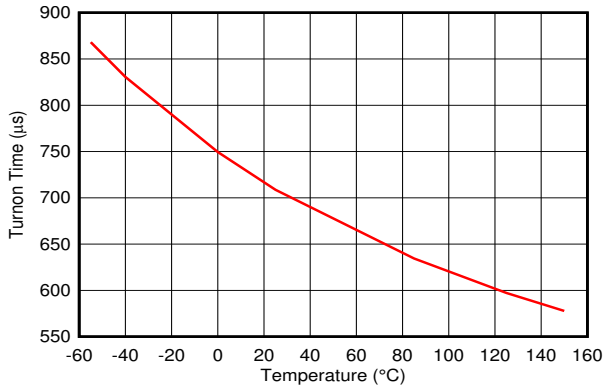
V_{IN} = 3.85V，I_{OUT} = 20mA，V_{RMS} BW = 10Hz 至 100kHz

图 5-34. 噪声与频率和 C_{OUT} 间的关系



V_{IN} = 3.85V，I_{OUT} = 300mA，V_{RMS} BW = 10Hz 至 100kHz

图 5-35. 噪声与频率和 C_{OUT} 间的关系



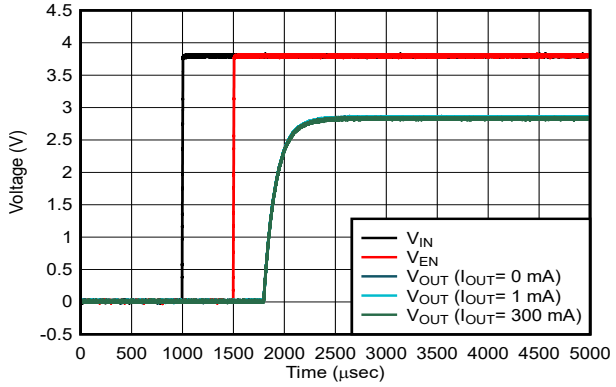
V_{EN} = $V_{EN(HI)}$ 至 V_{OUT} = $V_{OUT(NOM)}$ 的 95%，I_{OUT} = 0mA

图 5-36. 启动开通时间

Copyright © 2025 Texas Instruments Incorporated

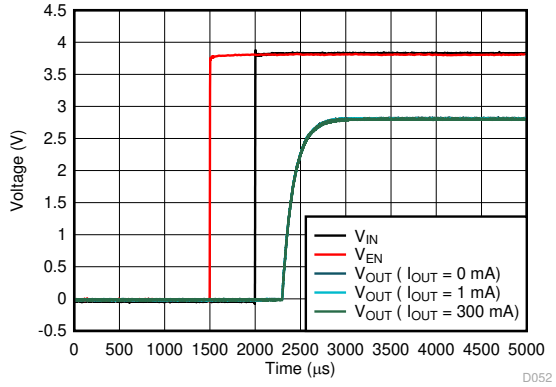
5.7 典型特性（续）

V_{IN} = $V_{OUT(NOM)}$ + 0.3V 或 1.6V（以较大者为准），V_{OUT} = 2.85V，I_{OUT} = 1mA，C_{IN} = 1µF，C_{OUT}（降额）= 0.75µF 且 T_A = 25°C（除非另有说明）



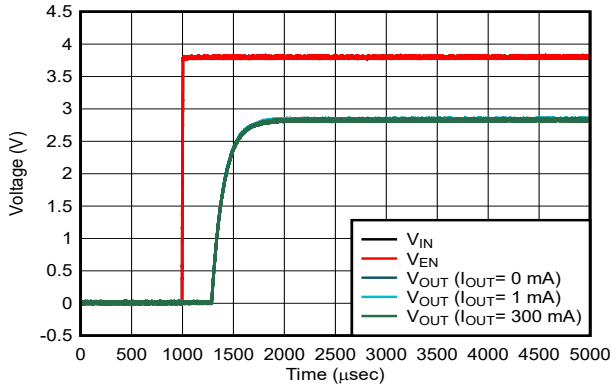
V_{IN} = 0V 至 3.85V，V_{EN} = 0V 至 3.85V，V_{EN} 比 V_{IN} 晚 500µs 上升，V_{IN} 和 V_{EN} 压摆率 = 1V/µs

图 5-37. 启动



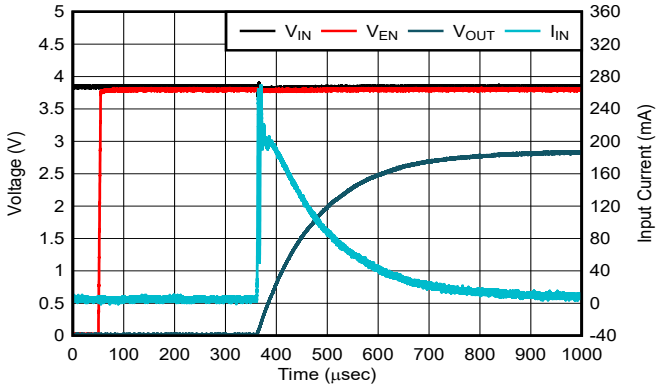
V_{IN} = 0V 至 3.85V，V_{EN} = 0V 至 3.85V，V_{EN} 比 V_{IN} 早 500µs 上升，V_{IN} 和 V_{EN} 压摆率 = 1V/µs

图 5-38. 启动



V_{IN} = V_{EN} = 0V 至 3.85V，V_{IN} 压摆率 = 1V/µs

图 5-39. 启动



V_{IN} = 3.85V，V_{EN} = 0V 至 3.85V，V_{EN} 压摆率 = 1V/µs，C_{OUT} = 10µF

图 5-40. 浪涌电流

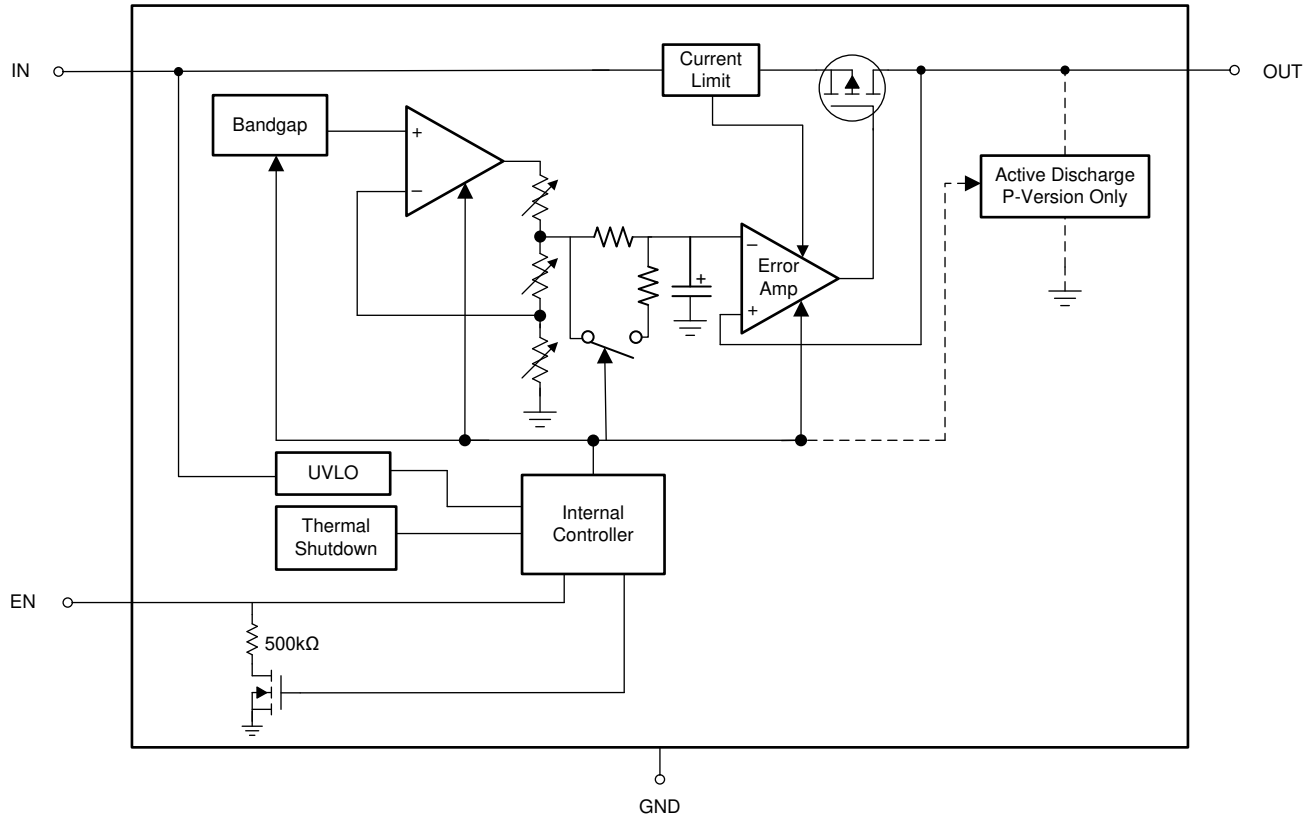
6 详细说明

6.1 概述

TPS7A20C 可提供低噪声、高 PSRR、低静态电流以及低线路和负载瞬态响应系数。此器件专为满足敏感射频和模拟电路的需求而设计。TPS7A20C 采用创新的设计技术，无需单独的噪声滤波电容器便可提供超低的噪声性能。

TPS7A20C 设计为与一个 1µF 输入电容器一起运行。当与 0.75µF 至 1.5µF 范围内的单个陶瓷输出电容器配合使用时，该器件还可提供出色的负载稳定性能。

6.2 功能方框图



Copyright © 2025 Texas Instruments Incorporated

6.3 特性说明

6.3.1 快速稳定

此 LDO 旨在面对高达 200mA 的负载瞬态时，能够实现快速稳定。0.5 µ F 至 1.5 µ F 范围内的输出电容和低于 2.5nH 的 ESL 可用于在负载瞬态下实现快速稳定。

6.3.2 低输出噪声

TPS7A20C 基准电压的内部噪声在传递到输出缓冲级之前由一阶低通 RC 滤波器降低。低通 RC 滤波器的 –3dB 截止频率约为 0.1Hz。

在启动期间，会绕过滤波电阻器以缩短输出上升时间。在输出电压达到正确值后，滤波器开始正常运行。

6.3.3 压降电压

压降电压 (V_{DO}) 定义为额定输出电流 (I_{RATED}) 下的 V_{IN} – V_{OUT} 之差，此时，导通晶体管完全导通。V_{IN} 是输入电压、V_{OUT} 是输出电压、I_{RATED} 是 *建议运行条件* 表中列出的最大 I_{OUT}。在该运行点，导通晶体管驱动为完全导通。压降电压间接指定了一个最小输入电压，该电压大于输出电压预计保持稳定的标称编程输出电压。如果输入电压降至低于标称输出调节，输出电压也会下降。

对于 CMOS 稳压器，压降电压由导通晶体管的漏源导通状态电阻 ($R_{DS(ON)}$) 决定。因此，如果线性稳压器的工作电流小于额定电流，该电流的压降电压会相应地变化。以下公式用于计算器件的 $R_{DS(ON)}$。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \tag{1}$$

6.3.4 智能使能

使能端 (EN) 输入极性为高电平有效。当使能输入电压高于 $V_{EN(HI)}$ 时，输出电压被启用；当使能输入电压低于 $V_{EN(LOW)}$ 时，输出电压被禁用。如果不需要独立控制输出电压，则将 EN 连接至 IN。

该器件具有智能使能电路，可降低静态电流。当使能引脚电压驱动至高于 $V_{EN(HI)}$ 时，器件被启用，并且智能使能内部下拉电阻器 ($R_{EN(PULLDOWN)}$) 断开连接。请参阅 *电气特性* 表。当使能引脚悬空时，$R_{EN(PULLDOWN)}$ 连接并将使能引脚拉低以禁用器件。 *电气特性* 表中列出了 $R_{EN(PULLDOWN)}$ 值。

6.3.5 电流限制

该器件具有内部电流限制电路，可在瞬态高负载电流故障或短路事件期间保护稳压器。电流限制采用混合砖墙式折返方案。电流限制在折返电压 ($V_{FOLDBACK}$) 下从砖墙式方案转换为折返方案。在输出电压高于 $V_{FOLDBACK}$ 的高负载电流故障中，砖墙式方案将输出电流限制为电流限值 (I_{CL})。当电压降至 $V_{FOLDBACK}$ 以下时，将激活折返电流限制，在输出电压接近 GND 时按比例缩小电流。当输出短路时，该器件会提供一个被称为短路电流限制 (I_{SC}) 的典型电流。 *电气特性* 表中列出了 I_{CL} 和 I_{SC}。

当器件处于限流状态时，不会调节输出电压。当发生电流限制事件时，由于功率耗散增加，器件开始发热。当器件处于砖墙式电流限制时，导通晶体管会耗散功率 [(V_{IN} – V_{OUT}) × I_{CL}]。当器件输出短路且输出低于 $V_{FOLDBACK}$ 时，导通晶体管将耗散功率 [(V_{IN} – V_{OUT}) × I_{SC}]。如果触发热关断，器件将关闭。器件冷却后，内部热关断电路将器件重新接通。如果输出电流故障条件持续存在，器件会在电流限制状态和热关断状态之间循环。更多有关电流限制的信息，请参阅 *了解限制* 应用手册。

Copyright © 2025 Texas Instruments Incorporated

图 6-1 显示了折返电流限制图。

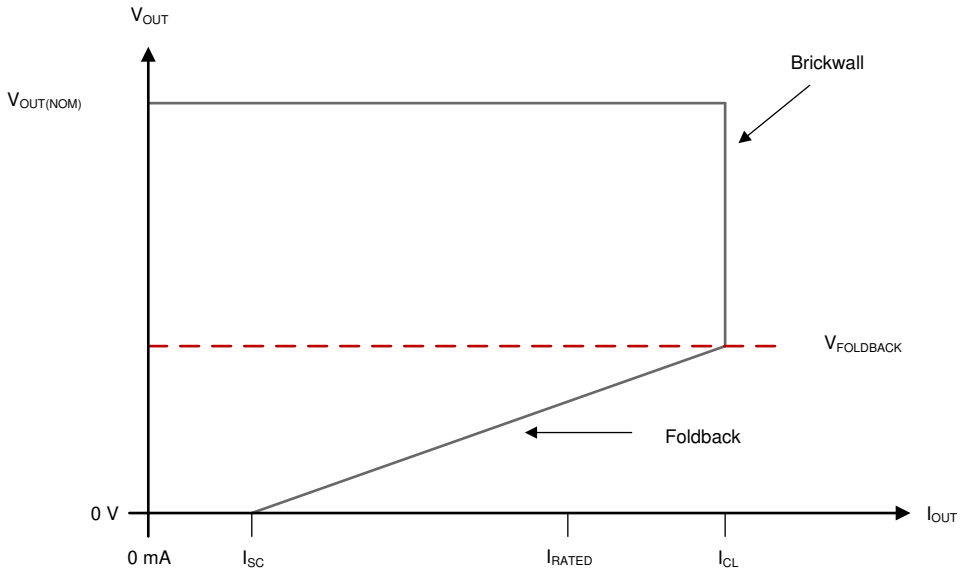


图 6-1. 折返电流限制

6.3.6 欠压锁定 (UVLO)

该器件具有一个独立的欠压锁定 (UVLO) 电路，用于监控输入电压。此电路可实现受控且一致的输出电压导通和关断。为了防止器件在导通期间输入下降时关断，UVLO 会出现迟滞，如 *电气特性* 表中所示。

6.3.7 热关断

热关断保护电路可在导通晶体管的结温 (T_J) 上升到 $T_{SD(shutdown)}$（典型值）时禁用 LDO。热关断迟滞可确保在温度降至 $T_{SD(reset)}$（典型值）时器件复位（导通）。

半导体芯片的热时间常数相当短，因此当达到热关断时，器件可以上电下电，直到功率耗散降低。由于器件上的 V_{IN} – V_{OUT} 压降较大，或为大型输出电容器充电的浪涌电流较高，启动期间的功率耗散较高。在某些情况下，热关断保护功能会在启动完成之前禁用器件。

为了实现可靠运行，请将结温限制在 *建议运行条件* 表中列出的最大值。在超过这个最高温度的情况下运行会导致器件超出运行规格。虽然器件的内部保护电路旨在防止热过载情况，但此电路并不用于替代适当的散热。使器件持续进入热关断状态或在超过建议的最高结温下运行会降低长期可靠性。

Copyright © 2025 Texas Instruments Incorporated

6.3.8 有源放电

当器件被禁用以主动对输出电容放电时，内部下拉 MOSFET 将一个电阻器从 OUT 连接到地。通过将 EN 驱动为低电平或将 IN 上的电压降至欠压锁定 (UVLO) 阈值以下，可激活有源放电电路。

不要依赖有源放电电路在输入电源崩溃后释放大量输出电容。反向电流可能从输出端流至输入端。这种反向电流会导致器件损坏。在短时间内将反向电流限制为不超过器件额定电流的 5%。

6.4 器件功能模式

6.4.1 器件功能模式比较

表 6-1 给出了不同工作模式的参数条件。有关参数值，请参阅 *电气特性* 表。

表 6-1. 器件功能模式比较

工作模式	参数			
	V_{IN}	V_{EN}	I_{OUT}	T_J
正常运行	$V_{IN} > V_{OUT(nom)} + V_{DO}$ 和 $V_{IN} > V_{IN(min)}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
压降运行	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
禁用（任何真条件都会禁用该器件）	$V_{IN} < V_{UVLO}$	$V_{EN} < V_{EN(LOW)}$	不适用	$T_J > T_{SD(shutdown)}$

6.4.2 正常运行

当满足下列条件时，器件的输出电压会稳定在标称值：

- 输入电压大于标称输出电压加上压降电压 ($V_{OUT(nom)} + V_{DO}$)
- 输出电流小于电流限制 ($I_{OUT} < I_{CL}$)
- 器件结温低于热关断温度 ($T_J < T_{SD}$)
- 使能电压先前已超过使能上升阈值电压，但尚未降至低于使能下降阈值

6.4.3 压降运行

如果输入电压低于标称输出电压与指定压降电压之和，则器件在压降模式下运行。在此模式下，输出电压会跟踪输入电压。在此模式下，器件的瞬态性能会显著下降。在此模式下，导通晶体管驱动为完全导通。压降过程中的线路或负载瞬态可能会导致输出电压偏差较大。

当器件处于稳定压降状态时，导通晶体管驱动为完全导通。此状态定义为器件直接在正常稳压状态后，而*非*启动期间处于压降状态。当 $V_{IN} < V_{OUT(NOM)} + V_{DO}$ 时，发生压降。当稳压器退出压降状态时，输入电压恢复为 $\geq V_{OUT(NOM)} + V_{DO}$ 的值。在此期间，输出电压可能会在短时间内过冲。$V_{OUT(NOM)}$ 是标称输出电压，V_{DO} 是压降电压。在退出压降状态期间，该器件使导通晶体管从完全导通状态恢复。

6.4.4 禁用

通过将 EN 驱动至低于 $V_{EN(LOW)}$ 来关断 LDO 的输出（请参阅 *电气特性* 表）。禁用时，导通晶体管关断，内部电路关断。输出电压还通过 OUT 与接地端之间的内部放电电路对地主动放电。

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

7.1.1 建议的电容器类型

该器件设计为在输入和输出端使用低等效串联电阻 (ESR) 陶瓷电容器实现稳定。多层陶瓷电容器已成为这类应用的业界标准并推荐使用，但要经过良好的判断后使用。采用 X7R、X5R 和 C0G 额定电介质材料的陶瓷电容器可在整个温度范围内提供相对良好的电容稳定性。由于电容变化较大，因此不建议使用 Y5V 额定电容器。

无论选择哪种陶瓷电容器类型，有效电容都会随工作电压和温度的变化而变化。通常，预计有效电容会降低多达 50%。*建议运行条件* 表中列出的输入和输出电容器的有效电容大约为标称值的 50%。

7.1.2 输入和输出电容器要求

尽管 LDO 在没有输入电容器的情况下也能保持稳定，但良好的模拟设计实践是将电容器从 IN 连接到 GND。使用一个电容器，其电容值至少等于 *建议运行条件* 表中指定的标称值。该输入电容器可抵消电抗性输入源，并改善瞬态响应、输入纹波和 PSRR。如果源阻抗大于 0.5Ω，请使用该电容器。当源电阻和电感足够高时，特别是存在负载瞬态时，整个系统容易不稳定。不稳定包括振铃和持续振荡，如果 IN 和 GND 之间的电容不足，还会出现其他性能下降情况。如果预计会有较大且快速的上升时间负载或线路瞬变，请使用电容值比最小值大的电容器。如果器件与输入电源的距离超过几厘米，也请使用此电容器。

一个适当值的输出电容器有助于提供稳定性并改进动态性能。请使用电容值在 *建议运行条件* 表中指定范围内的输出电容器。为了实现快速的稳定时间，将降额的输出电容保持在 0.75μF 至 1.5μF 范围内。尽可能将 OUT 和输出电容之间的任何电感（包括电容器 ESL）减至小于 2.5μH，从而避免降低稳定性能。

7.1.3 负载瞬态响应

负载阶跃瞬态响应是 LDO 对负载电流阶跃的输出电压响应，从而维持输出电压调节。负载瞬态响应期间有两个关键的转换：从轻负载向重负载的转换以及从重负载向轻负载的转换。图 7-1 中所示区域的细分如下。区域 A、E 和 H 是输出电压处于稳定状态的区域。

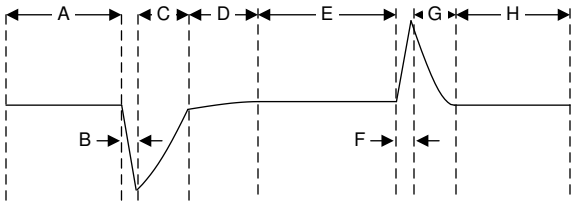


图 7-1. 负载瞬态波形

Copyright © 2025 Texas Instruments Incorporated

在从轻负载转换到重负载期间：

- 初始电压骤降是输出电容器电荷耗尽和输出电容器寄生阻抗所致（区域 B）
- 从骤降中恢复是由于 LDO 增加了拉电流，并实现输出电压调节（区域 C）

在从重负载转换到轻负载期间：

- LDO 提供大电流导致初始电压上升，并导致输出电容器电荷增加（区域 F）
- 从上升中恢复是由于 LDO 降低了拉电流，同时负载使输出电容放电（区域 G）

较大的输出电容可降低负载瞬态期间的峰值，但会减慢器件的响应速度。更大的直流负载也会降低峰值。转换振幅降低，并且为输出电容器提供了更高的电流放电路径。

此 LDO 设计为在负载电流限制为约 200mA 或更低时提供出色的瞬态响应性能。

7.1.4 欠压锁定 (UVLO) 操作

UVLO 电路可确保在输入电源达到最小工作电压范围之前器件保持禁用状态。该电路还可确保在输入电源崩溃时器件关断。图 7-2 展示了 UVLO 电路对各种输入电压事件的响应。该图分为以下几个部分：

- 区域 A：在输入达到 UVLO 上升阈值之前，器件不会启动。
- 区域 B：正常运行，调节器件。
- 区域 C：高于 UVLO 下降阈值（UVLO 上升阈值 – UVLO 迟滞）的欠压事件。输出可能会超出稳压范围，但器件保持启用状态。
- 区域 D：正常运行，调节器件。
- 区域 E：低于 UVLO 下降阈值的欠压事件。由于存在负载和有源放电电路，该器件在大多数情况下会被禁用，并且输出会下降。当输入电压达到 UVLO 上升阈值时，器件将重新启用，随后会正常启动。
- 区域 F：正常运行，然后输入下降至 UVLO 下降阈值。
- 区域 G：当输入电压降至 UVLO 下降阈值以下达到 0V 时，该器件被禁用。输出会因为负载和有源放电电路而下降。

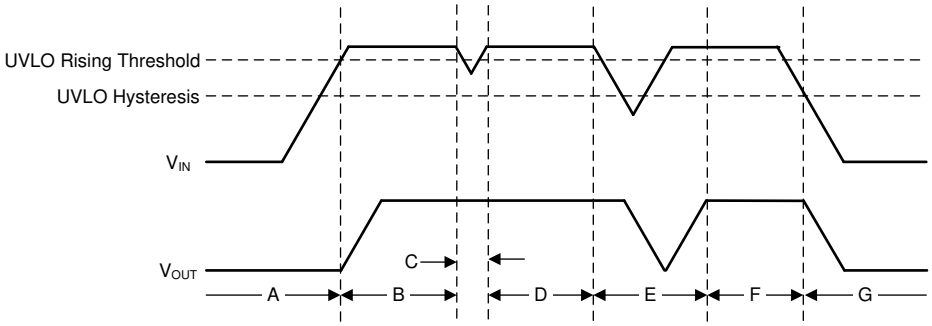


图 7-2. 典型 UVLO 运行

7.1.5 功率耗散 (P_D)

根据电路可靠性要求，需要适当考虑器件功率耗散、PCB 上的电路位置以及正确的热平面尺寸。确保稳压器周围的印刷电路板 (PCB) 区域尽量消除其他会导致热应力增加的发热器件。

对于一阶近似，稳压器中的功率耗散取决于输入到输出电压差和负载条件。方程式 2 用于近似计算 P_D：

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (2)$$

通过正确选择系统电压轨，可更大限度地降低功率耗散，从而实现更高的效率。通过适当的选择，可以获得最小的输入到输出电压差。TPS7A20C 的低压降可在宽输出电压范围内实现出色效率。

最大功耗决定了该器件允许的最高结温 (T_J)。根据方程式 3，功率耗散和结温通常与 PCB 和器件封装组合的 $R_{\theta JA}$ 以及与 T_A 有关。$R_{\theta JA}$ 是结至环境热阻，T_A 是环境空气温度。方程式 4 会重新排列 方程式 3 用于输出电流。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (3)$$

$$I_{OUT} = (T_J - T_A) / [R_{\theta JA} \times (V_{IN} - V_{OUT})] \quad (4)$$

遗憾的是，该热阻 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力。因此，$R_{\theta JA}$ 会根据总铜面积、铜重量和平面位置而变化。*热性能信息* 表中记录的 $R_{\theta JA}$ 由 JEDEC 标准、PCB 和铜扩散面积决定。$R_{\theta JA}$ 仅用作封装热性能的相对测量值。对于精心设计的热布局，$R_{\theta JA}$ 实际上是 $R_{\theta JC(bot)}$ 与 PCB 铜产生的热阻的总和。$R_{\theta JC(bot)}$ 是封装结至外壳（底部）热阻。

7.1.5.1 估算结温

JEDEC 现在建议使用 psi (Ψ)热指标。这些指标估算了在典型 PCB 电路板应用的电路中的 LDO 结温。严格来说，此类指标不是热阻参数，但提供了一种估算结温的相对实用方法。已确定这些 psi 指标与覆铜面积明显无关。关键热指标（Ψ_{JT} 和 Ψ_{JB}）的使用符合方程式 5 并在 *热性能信息* 表中给出。

$$\Psi_{JT}: T_J = T_T + \Psi_{JT} \times P_D \text{ and } \Psi_{JB}: T_J = T_B + \Psi_{JB} \times P_D \quad (5)$$

其中：

- P_D 是耗散功率，如方程式 2 中所述
- T_T 器件封装顶部中间位置的温度
- T_B 是在距器件封装 1mm 且位于封装边缘中心位置测得的 PCB 表面温度

Copyright © 2025 Texas Instruments Incorporated

7.1.5.2 建议的连续运行区域

LDO 的工作区域受压降电压、输出电流、结温和输入电压的限制。线性稳压器连续运行的建议区域如图 7-3 所示，分为以下几个部分：

- 压降电压会限制给定输出电流电平下输入和输出之间的最小差分电压 (V_{IN} – V_{OUT})。更多详细信息，请参阅*压降运行* 部分。
- 额定输出电流会限制最大建议输出电流电平。超过此额定值会导致器件超出规格。
- 额定结温会限制器件的最高结温。超过此额定值会导致器件超出规格并降低长期可靠性。
  - 斜率的形状由方程式 4 给出。斜率是非线性的，因为 LDO 的最大额定结温由 LDO 上的功率耗散控制。因此，当 V_{IN} – V_{OUT} 增加时，输出电流会降低。
- 额定输入电压范围决定了 V_{IN} – V_{OUT} 的最小值和最大值。

图 7-3 展示了该器件在具有 $R_{\theta JA}$ 的 JEDEC 标准高 K 电路板上的建议工作区域，如 *热性能信息* 表中所示。

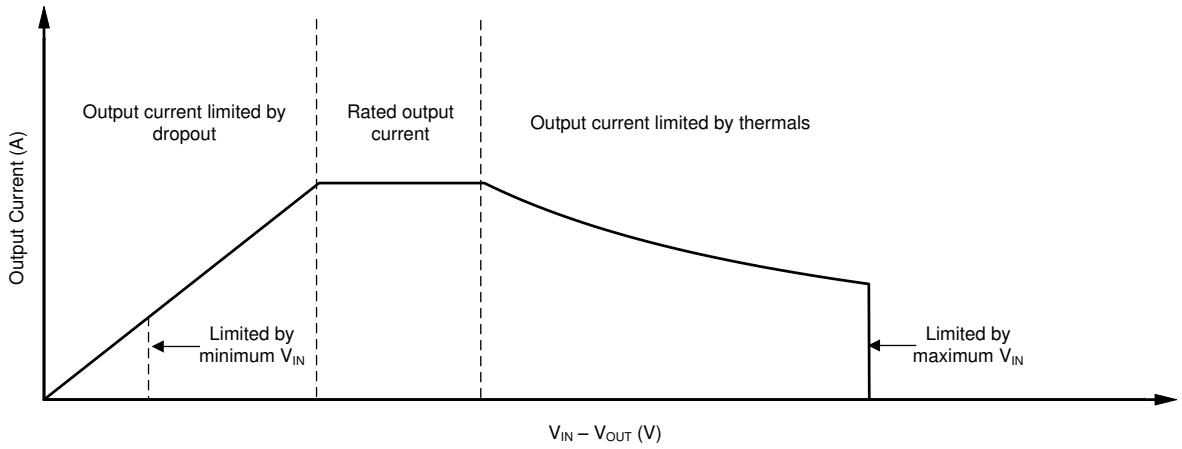


图 7-3. 持续运行机制的区域描述

7.2 典型应用

图 7-4 展示了 TPS7A20C 的典型应用电路。如果某些应用需要，请将输入和输出电容增加到 1µF 最小值以上。

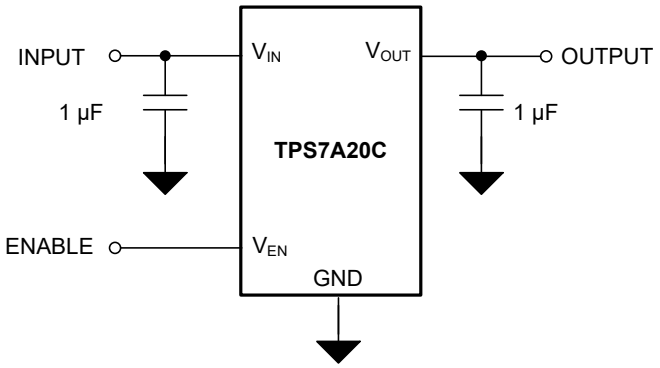


图 7-4. TPS7A20C 典型应用

7.2.1 设计要求

表 7-1 总结了图 7-4 的设计要求。

表 7-1. 设计参数

设计参数	示例值
输入电压范围	3.1V 至 3.6V
输出电压	2.85V
输出电流	200mA
最高环境温度	85°C

7.2.2 详细设计过程

对于本设计示例，选择 2.85V 输出版本 (TPS7A20C285)。假定标称 3.3V 输入电源。使用最小 1.0 µ F 输入电容器，尽可能减小 3.3V 电源和 LDO 输入之间的电阻和电感的影响。还要使用标称 1.0 µ F 的输出电容器实现稳定性和良好的负载瞬态响应。在输出电压为 2.85V、输出电流为 300mA 时，压降电压 (V_{DO}) 低于 140mV 最大值。因此，在最小输入电压为 3.0V、最大输出电流为 200mA 情况下，不存在压降问题。

7.2.3 应用曲线

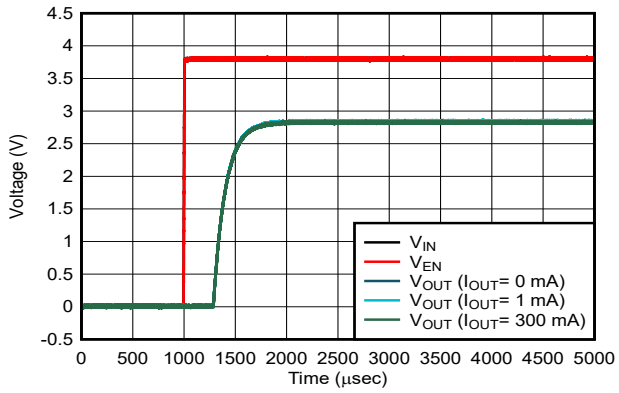


图 7-5. 启动

Copyright © 2025 Texas Instruments Incorporated

7.3 电源相关建议

该器件设计为可在 1.6V 至 6.0V 的输入电源电压范围内运行。确保输入电源经过良好调节并且没有寄生噪声。将输入电源设置为至少 $V_{OUT(nom)}$ + 0.3V 或 1.6V，以较大者为准。此设置可确保输出电压得到良好调节并且动态性能出色。使用 1µF 或更大的输入电容器来降低输入电源的阻抗，尤其是在瞬态期间。

7.4 布局

7.4.1 布局指南

- 将输入和输出电容器放置在尽可能靠近器件的位置
- 使用铜平面进行器件连接以优化热性能
- 在器件周围布置散热过孔以散发热量

7.4.2 布局示例

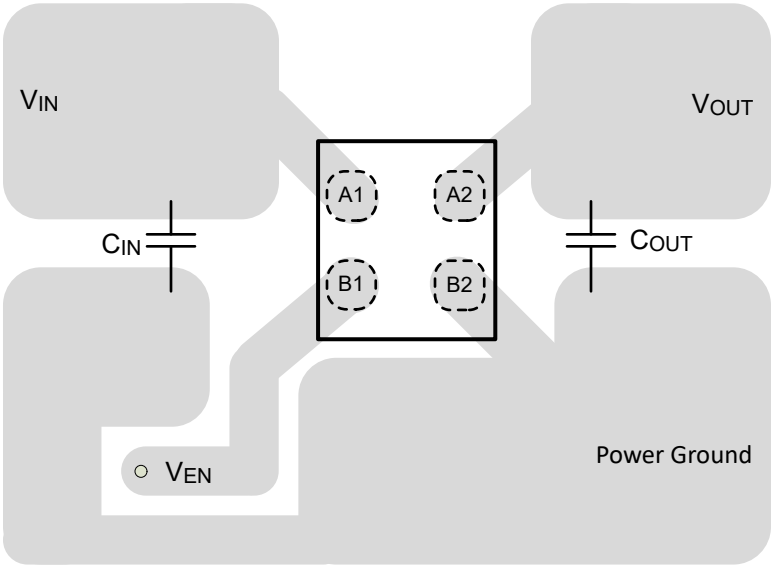


图 7-6. YCK 封装 (DSBGA) 典型布局

8 器件和文档支持

8.1 器件支持

8.1.1 器件命名规则

表 8-1. 器件命名规则

产品(1) (2)	V_{OUT}
TPS7A20C**xx(x)Pyyyz**	**xx(x)** 为标称输出电压。对于分辨率为 100mV 的输出电压，订货编号中使用两位数字。否则，使用三位数字（例如，28 = 2.8V；125 = 1.25V）。 **P** 表示有源输出放电功能。 **yyy** 为封装标识符。 **z** 为封装数量。R 表示卷（YCK 为 12000 片）。

(1) 要获得最新的封装和订购信息，请参阅本文档末尾的“封装选项附录”，或者访问器件产品文件夹 (www.ti.com)。
(2) 可提供 0.8V 至 5.5V 范围内的输出电压（以 25mV 为单位增量）。有关器件的详细信息和供货情况，请联系制造商。

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (August 2024) to Revision A (September 2025)	Page
• 通篇将最低输出电容从 *0.47µF* 更改为 *0.75µF*	1
• 更改了最低输出电容值。	4
• 澄清了关于 ESR 的说明并补充了最低 ESR 值。	4

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

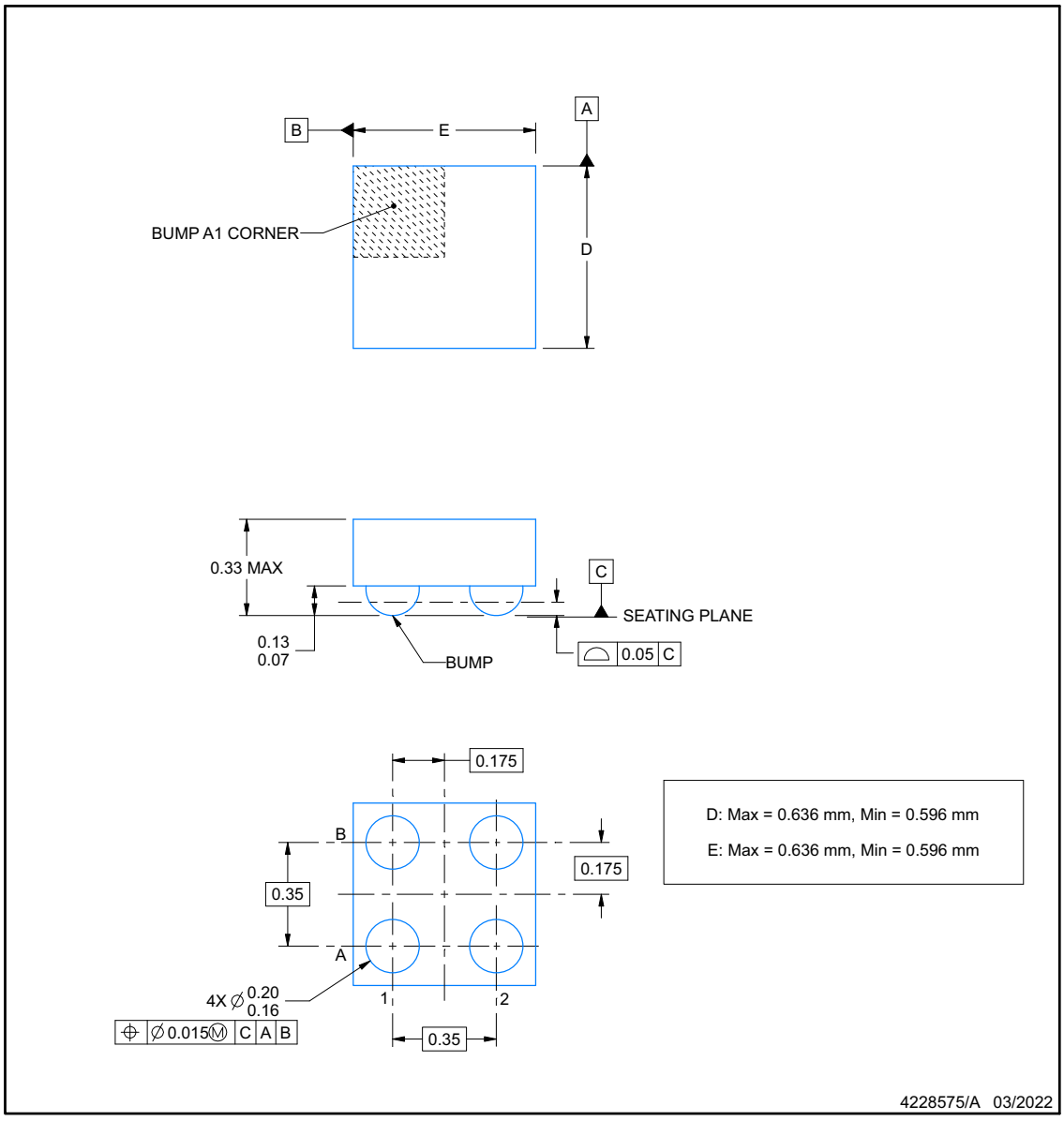
10.1 机械数据

PACKAGE OUTLINE

YCK0004-C01

DSBGA - 0.33mm MAX HEIGHT

DIE SIZE BALL GRID ARRAY



NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

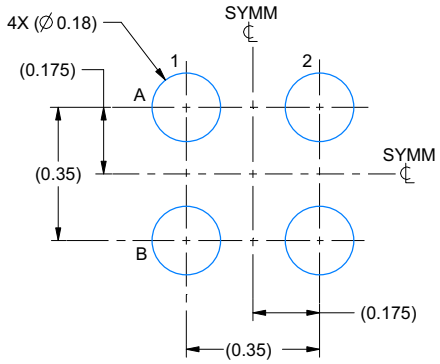
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

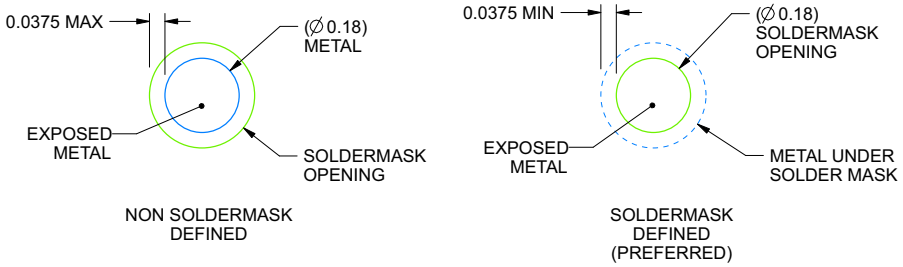
YCK0004-C01

DSBGA - 0.33mm MAX HEIGHT

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:60X



SOLDERMASK DETAILS
NOT TO SCALE

4228575/A 03/2022

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. Refer to Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

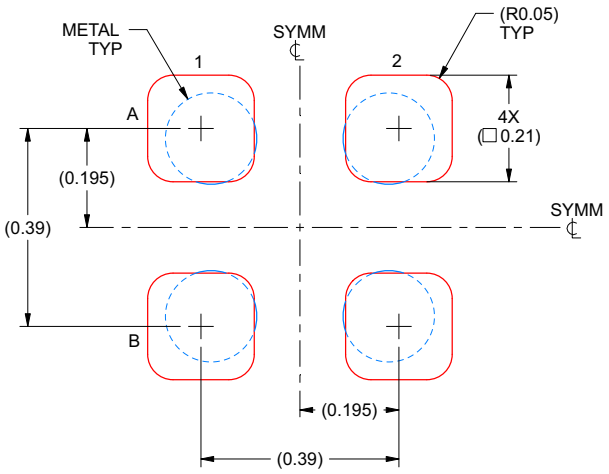
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

YCK0004-C01

DSBGA - 0.33mm MAX HEIGHT

DIE SIZE BALL GRID ARRAY



SOLDERPASTE EXAMPLE
BASED ON 0.075 mm THICK STENCIL
SCALE:80X

4228575/A 03/2022

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7A20C15PYCKR	Active	Production	DSBGA (YCK) | 4	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	J
TPS7A20C18PYCKR	Active	Production	DSBGA (YCK) | 4	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	S
TPS7A20C20PYCKR	Active	Production	DSBGA (YCK) | 4	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	B
TPS7A20C20PYCKR.A	Active	Production	DSBGA (YCK) | 4	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	B
TPS7A20C2275PYCKR	Active	Production	DSBGA (YCK) | 4	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	W
TPS7A20C22PYCKR	Active	Production	DSBGA (YCK) | 4	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	E
TPS7A20C22PYCKR.A	Active	Production	DSBGA (YCK) | 4	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	E
TPS7A20C25PYCKR	Active	Production	DSBGA (YCK) | 4	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	F
TPS7A20C25PYCKR.A	Active	Production	DSBGA (YCK) | 4	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	F
TPS7A20C285PYCKR	Active	Production	DSBGA (YCK) | 4	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	C
TPS7A20C285PYCKR.A	Active	Production	DSBGA (YCK) | 4	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	C
TPS7A20C315PYCKR	Active	Production	DSBGA (YCK) | 4	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	X

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

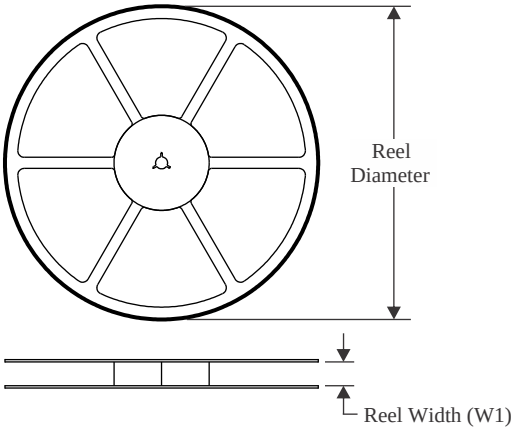
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

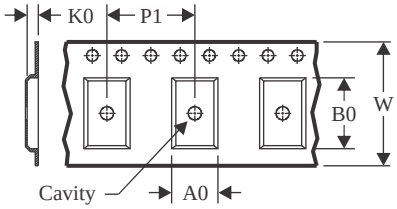
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

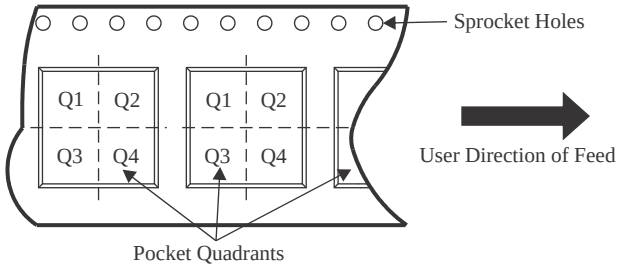


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

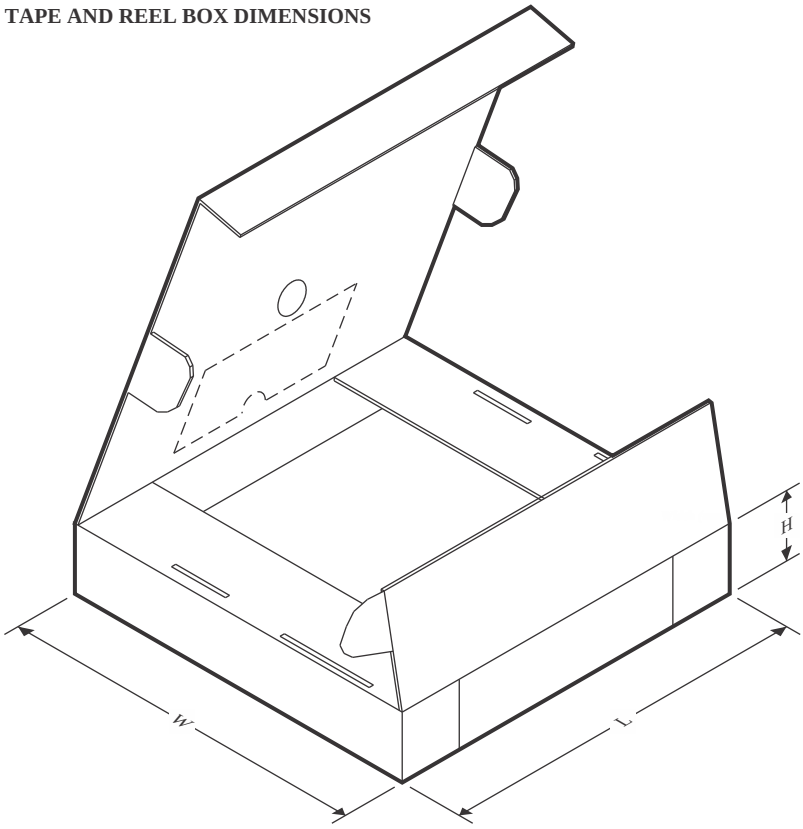
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7A20C15PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C15PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C18PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C18PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C20PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C20PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C2275PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C2275PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C22PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C22PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C25PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C25PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C285PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C285PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C315PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C315PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7A20C15PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C15PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C18PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C18PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C20PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C20PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C2275PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C2275PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C22PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C22PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C25PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C25PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C285PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C285PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C315PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C315PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月