

TPS796-Q1 汽车级、超低噪声、高 PSRR、快速、射频、1A 低压降线性稳压器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
 - 温度等级 1：-40°C 至 +125°C， T_A
- 具有使能功能的 1A 低压降稳压器
- 高 PSRR (频率为 10kHz 时 53dB)
- 低噪声：
 - 54 μV_{RMS} (旧芯片)
 - 78 μV_{RMS} (新芯片)
- 与 1 μF 陶瓷电容器搭配使用时可保持稳定
- 出色的负载、线路瞬态响应
- 超低压降电压：
 - 220mV (典型值) TPS79633-Q1
- SOT-223-6 封装

2 应用

- 中距离和短距离雷达
- 汽车音响主机
- 远程信息处理控制单元
- 混合仪表组

3 说明

TPS796-Q1 低压降 (LDO)、低功耗、线性稳压器具有高电源抑制比 (PSRR)、超低噪声、快速启动能力以及出色的线性和负载瞬态响应。该器件在输出端使用小型 1 μF 陶瓷电容器实现稳定工作。

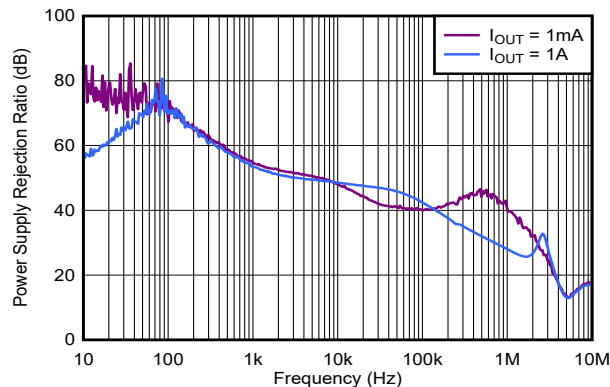
凭借低输出噪声和出色的 PSRR 性能，此器件专为功耗敏感型模拟负载而设计。TPS796-Q1 支持 2.7V 至 5.5V 的输入电压范围，因此是一款灵活的后置稳压器件。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TPS796-Q1	DCQ (SOT-223, 6)	6.5mm × 7.06mm

(1) 如需更多信息，请参阅 [机械、封装和可订购信息](#)。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



PSRR 与频率间的关系



内容

1 特性	1	6.4 器件功能模式	17
2 应用	1	7 应用和实施	18
3 说明	1	7.1 应用信息.....	18
4 引脚配置和功能	3	7.2 典型应用.....	22
5 规格	4	7.3 电源相关建议.....	23
5.1 绝对最大额定值.....	4	7.4 布局.....	24
5.2 ESD 等级.....	4	8 器件和文档支持	26
5.3 建议运行条件.....	5	8.1 器件命名规则.....	26
5.4 热性能信息.....	5	8.2 接收文档更新通知.....	26
5.5 电气特性.....	6	8.3 支持资源.....	26
5.6 典型特性.....	8	8.4 商标.....	26
6 详细说明	14	8.5 静电放电警告.....	26
6.1 概述.....	14	8.6 术语表.....	26
6.2 功能方框图.....	14	9 修订历史记录	26
6.3 特性说明.....	15	10 机械、封装和可订购信息	27

4 引脚配置和功能

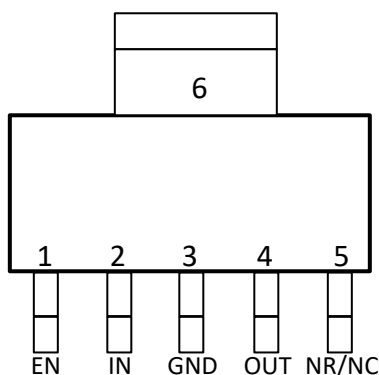


图 4-1. DCQ 封装，6 引脚 SOT-223 (顶视图)

表 4-1. 引脚功能

引脚			说明
名称	SOT223 (DCQ)	类型	
NR/NC	5	—	降噪引脚 (旧芯片)。将一个外部电容器连接到这个引脚来绕开内部带隙生成的噪声，可改善电源抑制并降低输出噪声。无连接引脚 (新芯片)。这个引脚不是内部连接。连接至 GND 或保持悬空。
EN	1	输入	使能引脚。驱动使能引脚 (EN) 为高电平打开稳压器。将这个引脚驱动为低电平来将稳压器置于关断模式。如未使用，EN 可被连接至 IN。
GND	3, Tab	—	器件 GND。将 GND 和 TAB 连接到电路板上的同一接地端。
IN	2	输入	输入引脚。为了获得出色性能，请在 IN 至 GND 之间放置标称推荐值或更大的陶瓷电容器；请参阅 <i>建议运行条件表</i> 。将输入电容器放置在尽可能靠近器件的输入的位置上。
OUT	4	输出	经调节的输出。需要在 OUT 到接地端之间连接一个 1μF 或更大的电容器以确保稳定性。将输出电容器尽可能靠近器件的输出端放置；请参阅 <i>建议运行条件表</i> 。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
电压	电源, V_{IN} (新芯片)	-0.3	6.5	V
	电源, V_{IN} (旧芯片)	-0.3	6	
	使能, V_{EN}	-0.3	$V_{IN} + 0.3$	
	输出, V_{OUT}	-0.3	6	
电流	输出, I_{OUT}	受内部限制		
温度	工作结温, T_J	-40	150	°C
	贮存温度, T_{stg}	-65	150	

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 AEC Q100-011 标准	±500	

- (1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V _{IN}	输入电源电压（旧芯片）		2.7		5.5	V
	输入电源电压（新芯片）		2.7		6.0	
C _{IN}	输入电容器		2.2			μF
C _{OUT}	输出电容器		1 ⁽¹⁾		200	
I _{OUT}	输出电流		0		1	A
V _{EN}	使能电压（旧芯片）		0		5.5	V
	使能电压（新芯片）		0		6.0	
F _{EN}	启用切换频率（新芯片）				10	kHz
T _J	结温		-40		125	°C

(1) 最小有效电容为 0.47μF。

5.4 热性能信息

热指标 ⁽¹⁾		TPS796-Q1		单位
		DCQ (SOT223-6)		
		6 引脚 ⁽²⁾	6 引脚 ⁽³⁾	
R _{θJA}	结至环境热阻	70.4	71.1	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	70	41.6	°C/W
R _{θJB}	结至电路板热阻	不适用	8.8	°C/W
ψ _{JT}	结至顶部特征参数	6.8	3.5	°C/W
ψ _{JB}	结至电路板特征参数	30.1	8.5	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	6.3	6	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

(2) 旧芯片。

(3) 新芯片。

5.5 电气特性

在工作温度范围内测得, ($T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$), $V_{EN} = V_{IN}$, $V_{IN} = V_{OUT(nom)} + 1\text{V}$ ⁽¹⁾, $I_{OUT} = 1\text{mA}$, $C_{OUT} = 10\mu\text{F}$ 和 $C_{NR} = 0.01\mu\text{F}$ (仅限旧芯片), 除非另有说明。所有典型值均在 $T_J = 25^{\circ}\text{C}$ 下测得。

参数		测试条件		最小值	典型值	最大值	单位
V_{IN}	输入电压	旧芯片		2.7		5.5	V
		新芯片		2.7		6.0	
I_{OUT}	持续输出电流			0		1	A
V_{OUT}	输出精度	固定值 $V_{OUT} < 5\text{V}$	$0\mu\text{A} \leq I_{OUT} \leq 1\text{A}$, $V_{OUT(nom)} + 1\text{V} \leq V_{IN} \leq 5.5\text{V}$ ⁽¹⁾	-2.0		2.0	%
$\Delta V_{OUT} / \Delta V_{IN}$	线路调整	$V_{OUT} + 1\text{V} \leq V_{IN} \leq 5.5\text{V}$			0.05	0.12	%/V
$\Delta V_{OUT} / \Delta I_{OUT}$	负载调整率	$0\mu\text{A} \leq I_{OUT} \leq 1\text{A}$			5		mV
V_{DO}	压降电压	$V_{IN} = V_{OUT} - 0.1\text{V}$, $I_{OUT} = 1\text{A}$			220	325	mV
I_{CL}	输出电流限制	$V_{OUT} = 0$ (旧芯片)		2.4		4.2	A
I_{CL}	输出电流限制	$V_{IN} = V_{OUT(nom)} + 1.25\text{V}$ 或 2.0V (以较大者为准), $V_{OUT} = 0.9 \times V_{OUT(nom)}$ (仅限新芯片)		1.04		1.65	A
I_{SC}	短路电流限制	$V_{OUT} = 0$ (仅限新芯片)			550		mA
I_{GND}	接地电流	$0\mu\text{A} \leq I_{OUT} \leq 1\text{A}$ (旧芯片)			265	385	μA
I_{GND}	接地电流	$0\mu\text{A} \leq I_{OUT} \leq 1\text{A}$ (新芯片)			700	1100	μA
I_{SHDN}	关断电流	$V_{EN} = 0\text{V}$, $2.7\text{V} \leq V_{IN} \leq 5.5\text{V}$			0.07	1	μA
PSRR	电源抑制比	$f = 100\text{Hz}$, $I_{OUT} = 10\text{mA}$ (旧芯片)			59		dB
		$f = 100\text{Hz}$, $I_{OUT} = 10\text{mA}$ (新芯片)			64		
		$f = 100\text{Hz}$, $I_{OUT} = 1\text{A}$ (旧芯片)			54		
		$f = 100\text{Hz}$, $I_{OUT} = 1\text{A}$ (新芯片)			74		
		$f = 10\text{kHz}$, $I_{OUT} = 1\text{A}$ (旧芯片)			53		
		$f = 10\text{kHz}$, $I_{OUT} = 1\text{A}$ (新芯片)			49		
		$f = 100\text{kHz}$, $I_{OUT} = 1\text{A}$ (旧芯片)			42		
		$f = 100\text{kHz}$, $I_{OUT} = 1\text{A}$ (新芯片)			42		
V_n	输出噪声电压	$BW = 100\text{Hz}$ 至 100kHz , $I_{OUT} = 1\text{A}$	$C_{NR} = 0.001\mu\text{F}$		54		μV_{RMS}
			$C_{NR} = 0.0047\mu\text{F}$		46		
			$C_{NR} = 0.01\mu\text{F}$		41		
			$C_{NR} = 0.1\mu\text{F}$		40		
		$BW = 10\text{Hz}$ 至 100kHz , $I_{OUT} = 1\text{A}$	新芯片 (10)		78		μV_{RMS}
t_{str}	启动时间	$R_L = 3\Omega$, $C_{OUT} = 1\mu\text{F}$	$C_{NR} = 0.001\mu\text{F}$		50		μs
		$R_L = 3\Omega$, $C_{OUT} = 1\mu\text{F}$	$C_{NR} = 0.0047\mu\text{F}$		75		
		$R_L = 3\Omega$, $C_{OUT} = 1\mu\text{F}$	$C_{NR} = 0.01\mu\text{F}$		110		
t_{str}	启动时间	$R_L = 3\Omega$, $C_{OUT} = 1\mu\text{F}$	新芯片		550		μs
I_{EN}	使能引脚电流	$V_{EN} = 0\text{V}$		-1		1	μA
$R_{PULLDOWN}$	下拉电阻	$V_{IN} = 3.3\text{V}$ (仅限新芯片)			100		Ω
V_{UVLO}	UVLO 阈值	V_{IN} 上升 (旧芯片)		2.25		2.65	V
		V_{IN} 上升 (新芯片)		1.28		1.62	
$V_{UVLO(HYST)}$	UVLO 迟滞	V_{IN} 迟滞 (旧芯片)			100		mV
		V_{IN} 迟滞 (新芯片)			130		

5.5 电气特性 (续)

在工作温度范围内测得, ($T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$), $V_{EN} = V_{IN}$, $V_{IN} = V_{OUT(nom)} + 1\text{V}$ ⁽¹⁾, $I_{OUT} = 1\text{mA}$, $C_{OUT} = 10\mu\text{F}$ 和 $C_{NR} = 0.01\mu\text{F}$ (仅限旧芯片), 除非另有说明。所有典型值均在 $T_J = 25^{\circ}\text{C}$ 下测得。

参数		测试条件	最小值	典型值	最大值	单位
$V_{EN(HI)}$	高电平使能输入电压	$2.7\text{V}^{(1)} \leq V_{IN} \leq 5.5\text{V}$ (旧芯片)	1.7		V_{IN}	V
		$2.7\text{V}^{(1)} \leq V_{IN} \leq 5.5\text{V}$ (新芯片)	0.85		V_{IN}	
$V_{EN(LOW)}$	低电平使能输入电压	$2.7\text{V}^{(1)} \leq V_{IN} \leq 5.5\text{V}$ (旧芯片)			0.7	
		$2.7\text{V}^{(1)} \leq V_{IN} \leq 5.5\text{V}$ (新芯片)			0.425	

(1) 最小 $V_{IN} = V_{OUT} + 1\text{V}$ 或 2.7V , 以较大者为准。时进行测试

5.6 典型特性

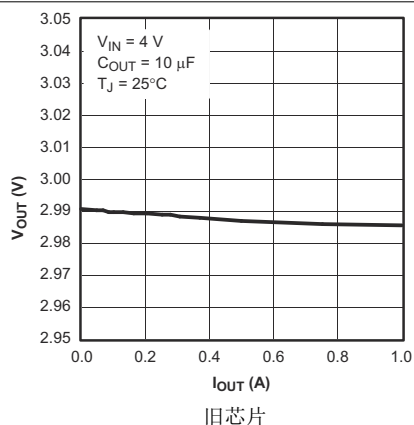


图 5-1. TPS79630-Q1 输出电压与输出电流间的关系

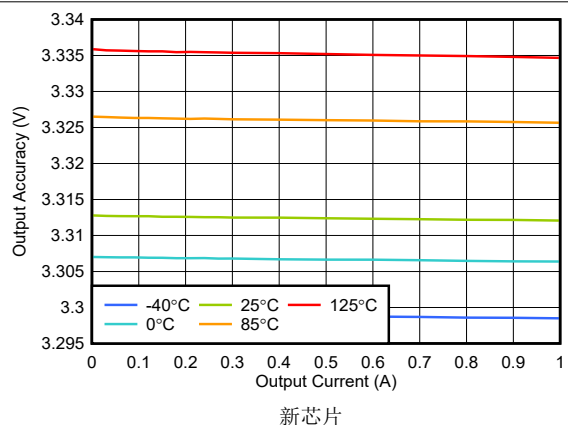


图 5-2. TPS79633-Q1 输出电压与输出电流间的关系

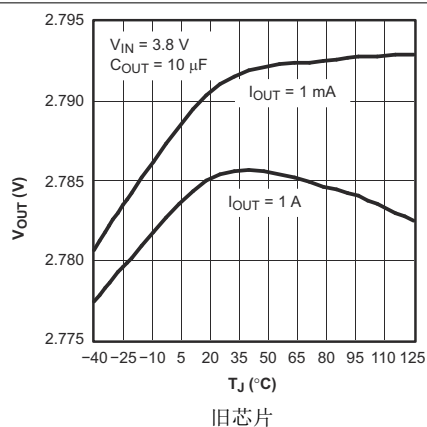


图 5-3. TPS79628-Q1 输出电压与结温间的关系

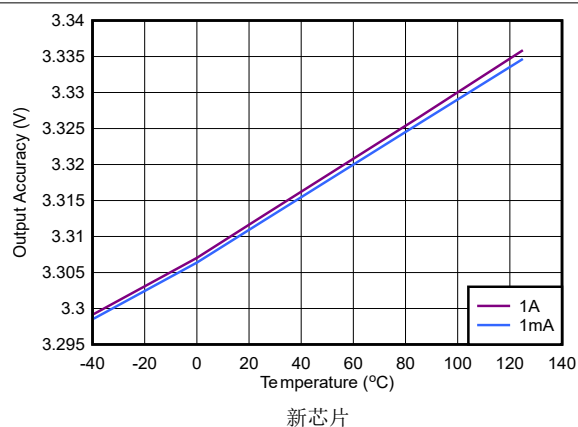


图 5-4. TPS79633-Q1 输出电压与结温间的关系

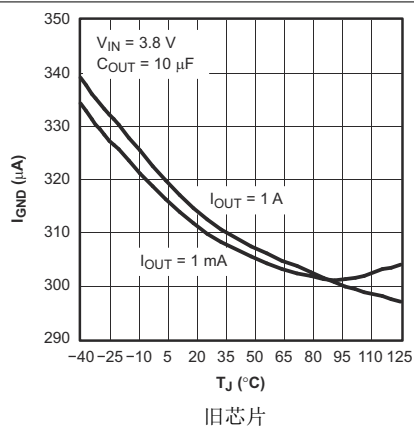


图 5-5. TPS79628-Q1 接地电流与结温间的关系

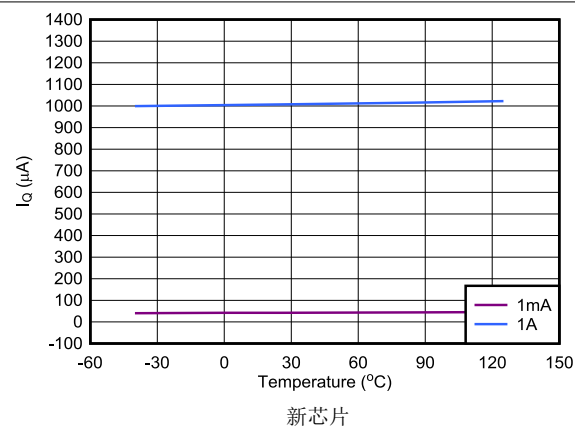


图 5-6. TPS79633-Q1 接地电流与结温间的关系

5.6 典型特性 (续)

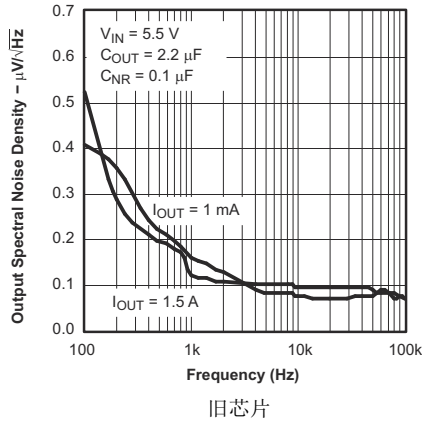


图 5-7. TPS79630-Q1 输出频谱噪声密度与频率间的关系

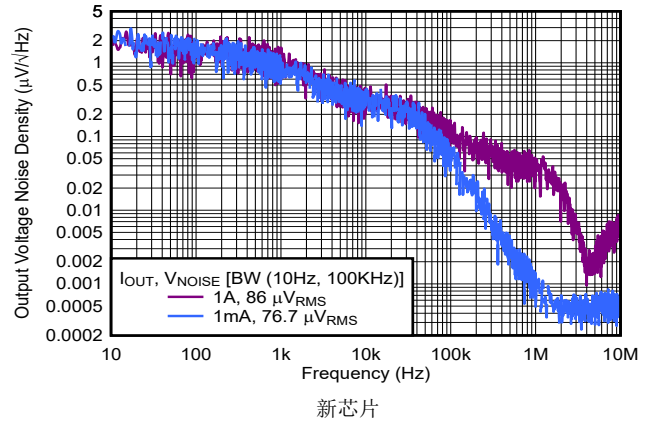


图 5-8. TPS79633-Q1 输出频谱噪声密度与频率间的关系

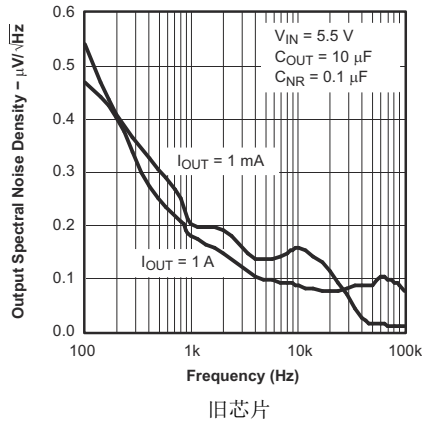


图 5-9. TPS79630-Q1 输出频谱噪声密度与频率间的关系

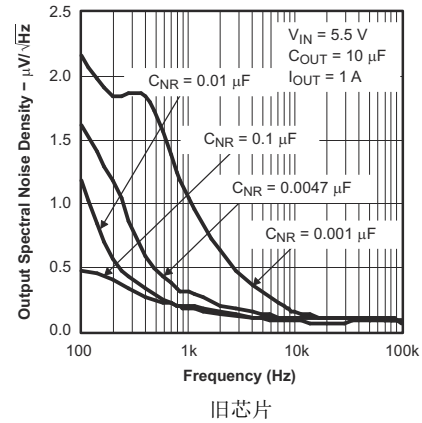


图 5-10. TPS79630-Q1 输出频谱噪声密度与频率间的关系

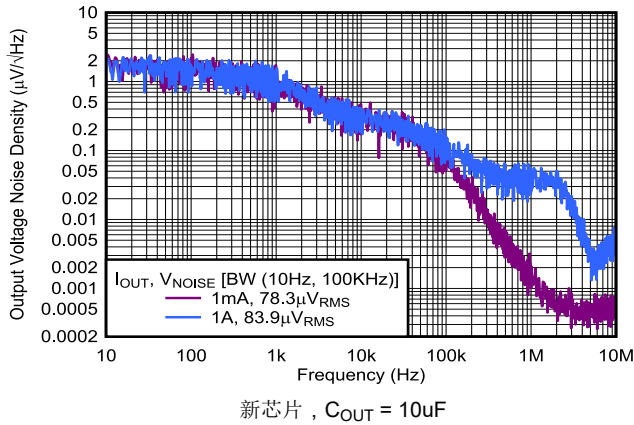


图 5-11. TPS79633-Q1 输出频谱噪声密度与频率间的关系

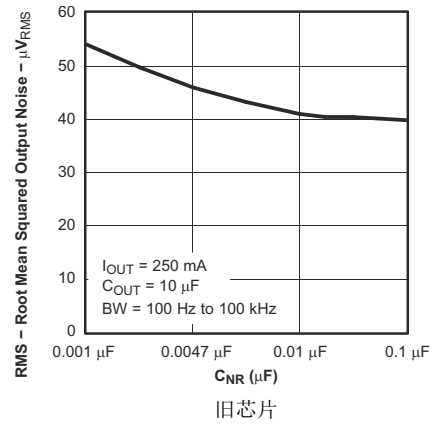
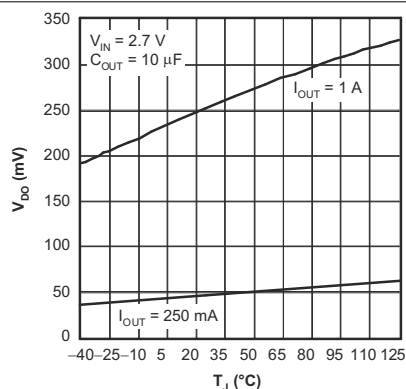


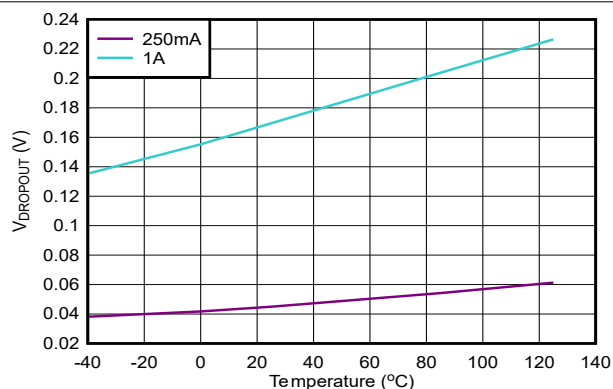
图 5-12. TPS79630-Q1 均方根输出噪声与旁路电容间的关系

5.6 典型特性 (续)



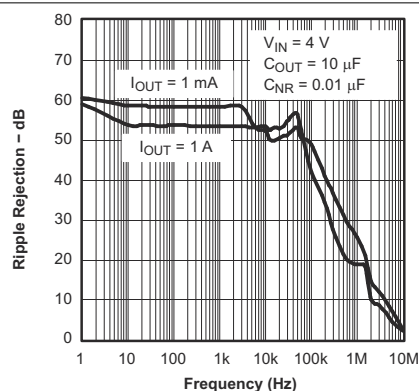
旧芯片

图 5-13. TPS79628-Q1 压降电压与结温间的关系



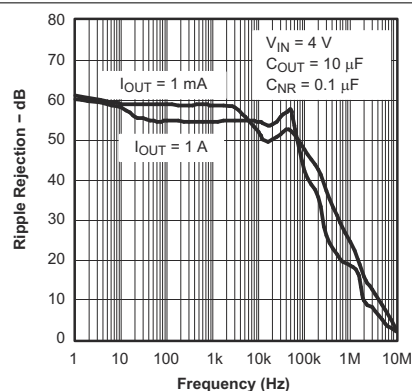
新芯片

图 5-14. TPS79633-Q1 压降电压与结温间的关系



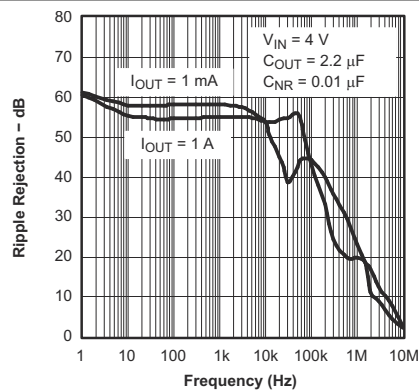
旧芯片

图 5-15. TPS79630-Q1 波纹抑制与频率



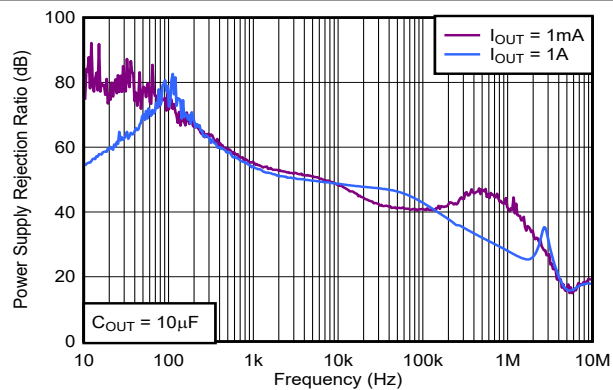
旧芯片

图 5-16. TPS79630-Q1 波纹抑制与频率



旧芯片

图 5-17. TPS79630-Q1 波纹抑制与频率



新芯片

图 5-18. TPS79633-Q1 波纹抑制与频率

5.6 典型特性 (续)

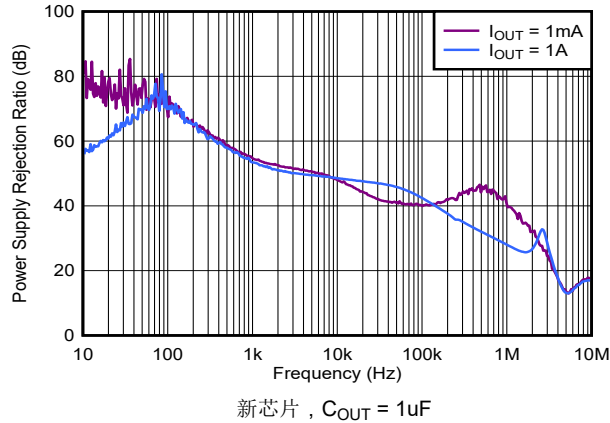


图 5-19. TPS79633-Q1 波纹抑制与频率

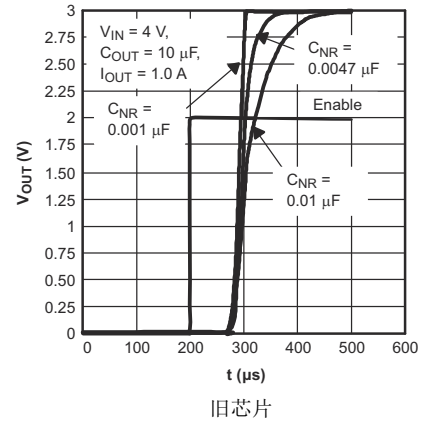


图 5-20. 启动时间

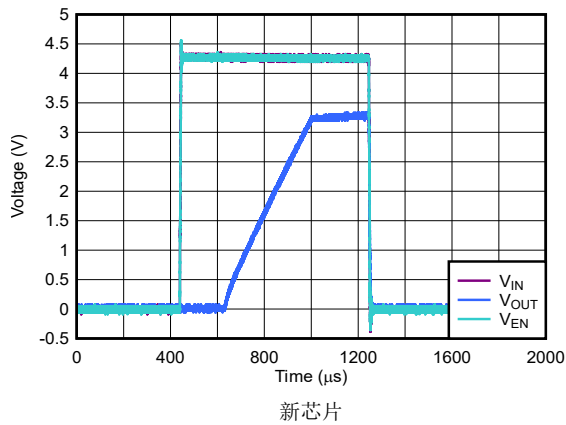


图 5-21. 启动时间

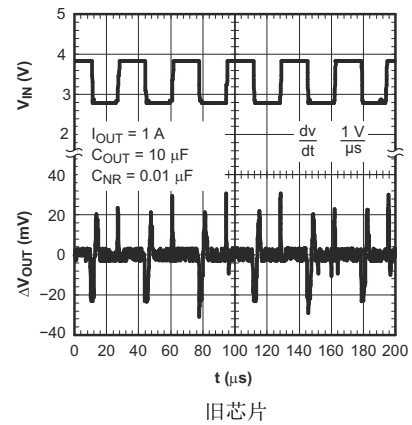


图 5-22. TPS79618-Q1 线路瞬态响应

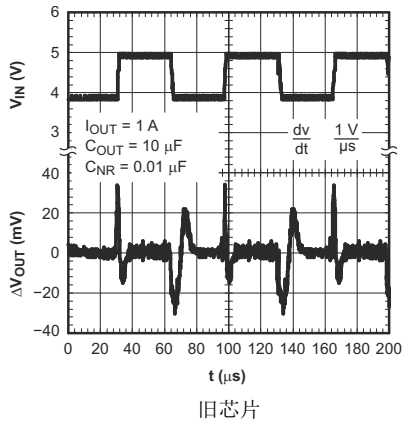


图 5-23. TPS79630-Q1 线路瞬态响应

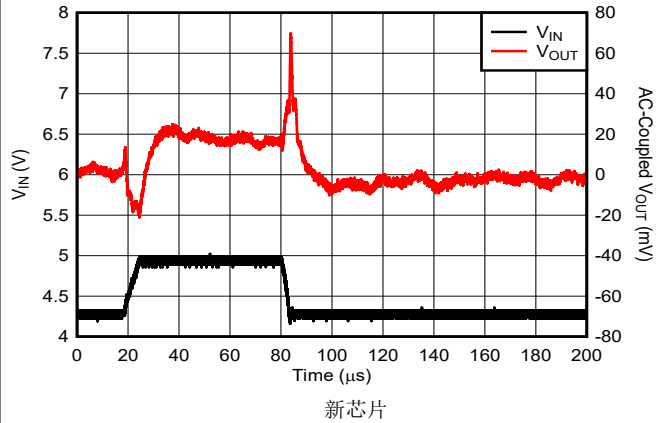
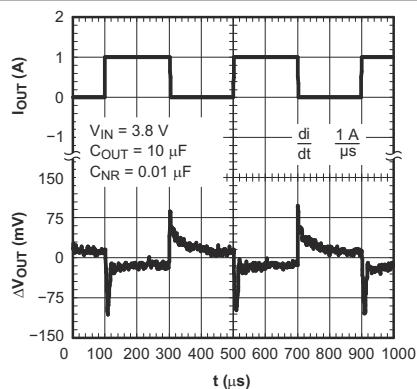


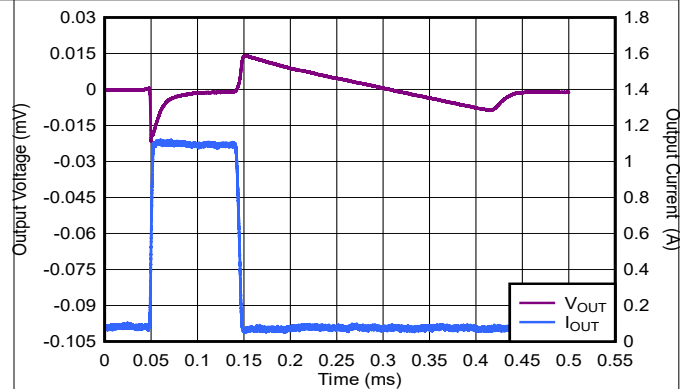
图 5-24. TPS79633-Q1 线路瞬态响应

5.6 典型特性 (续)



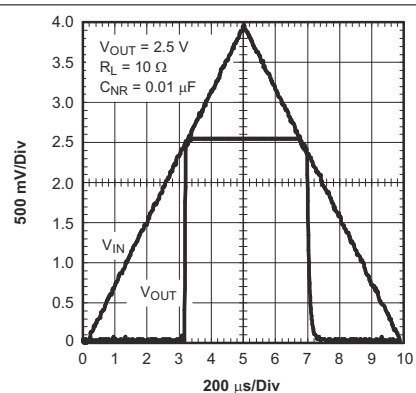
旧芯片

图 5-25. TPS79628-Q1 负载瞬态响应



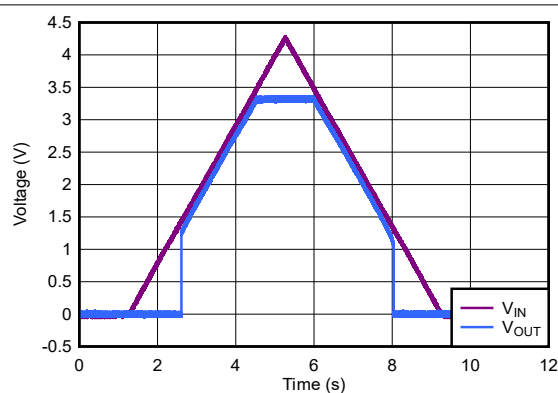
新芯片

图 5-26. TPS79633-Q1 负载瞬态响应



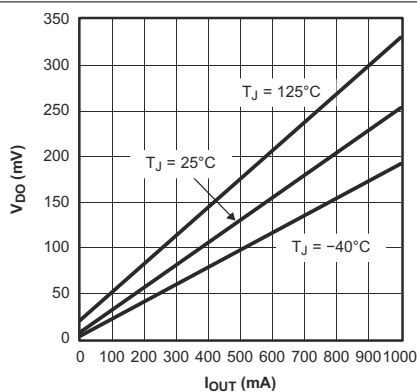
旧芯片

图 5-27. TPS79625-Q1 上电和断电



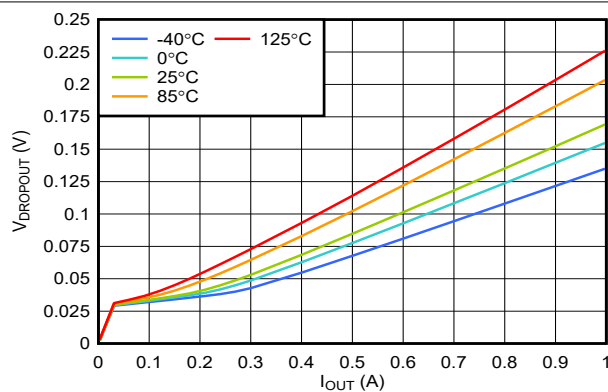
新芯片

图 5-28. TPS79633-Q1 上电和断电



旧芯片

图 5-29. TPS79630-Q1 压降电压与输出电流间的关系



新芯片

图 5-30. TPS79633-Q1 压降电压与输出电流间的关系

5.6 典型特性 (续)

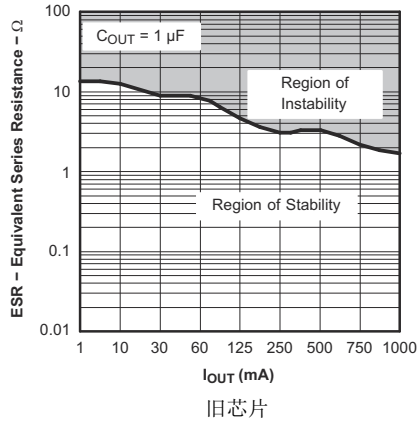


图 5-31. TPS79630-Q1 典型稳定性区域等效串联电阻 (ESR) 与输出电流间的关系

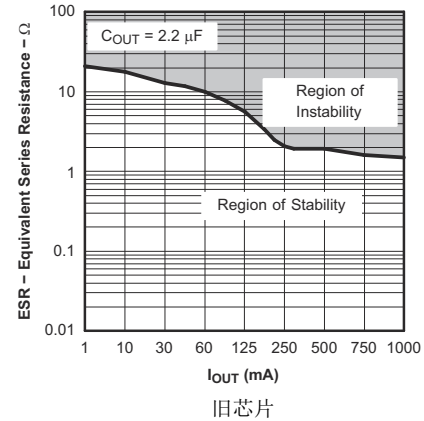


图 5-32. TPS79630-Q1 典型稳定性区域等效串联电阻 (ESR) 与输出电流间的关系

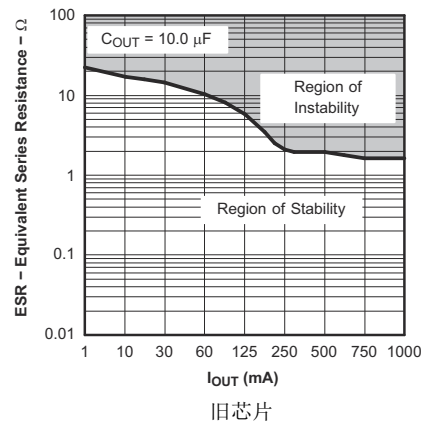


图 5-33. TPS79630-Q1 典型稳定性区域等效串联电阻 (ESR) 与输出电流间的关系

6 详细说明

6.1 概述

TPS796-Q1 是一款超低压差、高 PSRR、高精度线性电压稳压器，经优化具有出色的瞬态性能。这些特性使得该器件非常适合大多数汽车应用。该稳压器提供折返电流限制、输出使能、有源放电、欠压锁定 (UVLO) 和热保护功能。

6.2 功能方框图

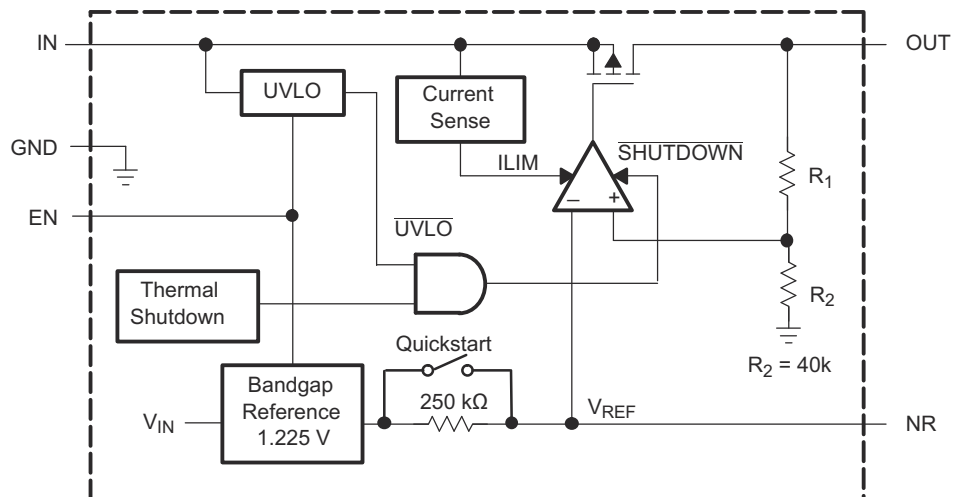


图 6-1. 功能方框图 (旧芯片)

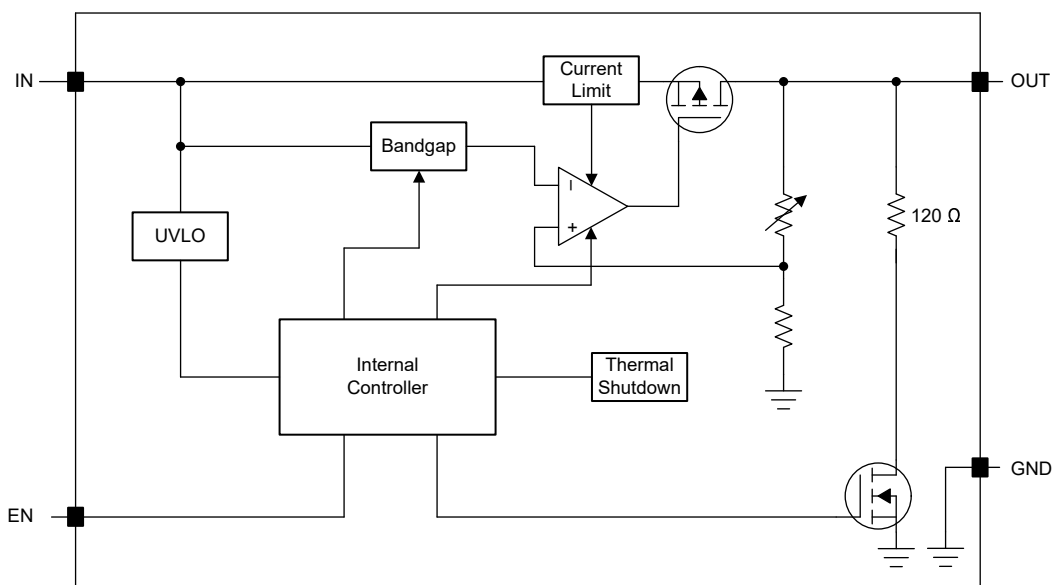


图 6-2. 功能方框图 (新芯片)

6.3 特性说明

6.3.1 欠压锁定 (UVLO)

TPS796-Q1 使用欠压锁定 (UVLO) 电路, 该电路会禁用输出, 直到输入电压大于上升的 UVLO 电压。该电路可确保当电源电压低于内部电路工作电压 $V_{IN(min)}$ 时, 器件不会出现任何不可预测的行为。

6.3.2 关断

使能引脚 (EN) 为高电平有效。通过强制 EN 引脚超过 $V_{EN(high)}$ 来启用器件。通过强制 EN 引脚降至最大 EN 引脚低电平输入电压以下来关闭器件 (请参阅 [电气特性表](#))。如果不需要关断功能, 请将 EN 连接到 IN。

6.3.3 有源放电 (新芯片)

该器件具有一个内部下拉 MOSFET, 当器件被禁用以主动释放输出电压时, 该内部下拉 MOSFET 会将电阻 $R_{PULLDOWN}$ 接地。有源放电电路由使能引脚激活。

请勿依赖有源放电电路在输入电源崩溃后对输出电压进行放电, 因为反向电流可能会从输出端流向输入端。这种反向电流会导致器件损坏, 尤其是在使用大输出电容器时。在短时间内将反向电流限制为不超过器件额定电流的 5%。

6.3.4 热保护

当结温上升至大约 165°C 时, 过热保护会禁用输出以使器件冷却。当结温冷却至大约 140°C 时, 输出电路将被重新使能。根据功率耗散、热阻和环境温度的变化, 过热保护电路可能会循环开启和关断。这一循环操作会限制稳压器耗散, 防止器件因过热而损坏。

任何有可能激活过热保护电路的情况表示过多的功率耗散或者不够充分的散热。为了实现可靠运行, 结温必须被限制为最高 125°C 。为了估算一个完整设计中 (包括散热) 的安全裕量, 增加环境温度直到触发过热保护; 使用最差情况负载和信号条件。

TPS793 内部保护电路旨在防止出现过载情况。该电路并不是为了取代适当的散热装置。TPS793 持续不断地运行至热关断状态会降低器件的可靠性。

6.3.5 稳压器保护

TPS796-Q1 PMOS 导通晶体管具有内置背二极管，能够在输入电压降至输出电压以下时（例如断电期间）导通反向电流。电流是从输出传导到输入，不受内部限制。如果要在较高的反向电压下工作，请酌情使用外部限制。

旧芯片具有内部电流限制和热保护功能。在正常运行期间，TPS796-Q1 将输出电流限制在大约 2.8A。当启用限流功能时，输出电压会线性缩减，直到过流情况结束。虽然电流限制旨在防止器件发生严重故障，但必须注意不得超过封装的功率耗散额定值。如果器件温度超过约 +165°C，热保护电路会关断器件。当器件冷却至低于约 +140°C 时，稳压器恢复运行。

新芯片具有内部电流限制电路，可在瞬态高负载电流故障或短路事件期间保护稳压器。电流限制采用混合砖墙式折返方案。电流限制在折返电压 ($V_{FOLDBACK}$) 下从砖墙式方案转换为折返方案。在输出电压高于 $V_{FOLDBACK}$ 的高负载电流故障中，砖墙式方案将输出电流限制为电流限值 (I_{CL})。当电压降至 $V_{FOLDBACK}$ 以下时，将激活折返电流限制，在输出电压接近 GND 时按比例缩小电流。当输出短路时，该器件会提供一个被称为短路电流限制 (I_{SC}) 的典型电流。电气特性表中列出了 I_{CL} 和 I_{SC} 。

对于此器件， $V_{FOLDBACK} = 0.4 \times V_{OUT(NOM)}$ 。

图 6-3 显示了折返电流限制图。

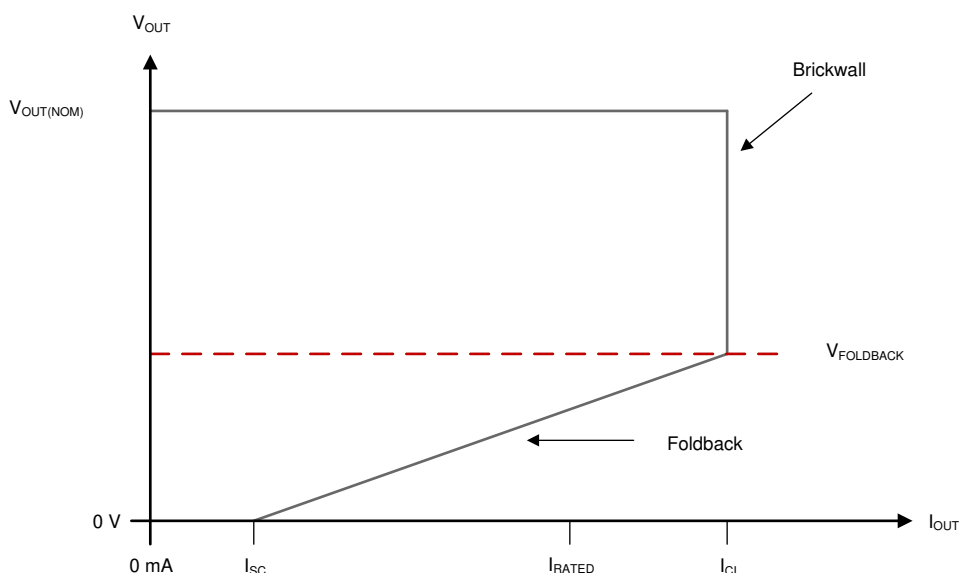


图 6-3. 折返电流限制

6.4 器件功能模式

6.4.1 正常运行

在下列条件下，器件的输出电压会稳定在标称值：

- 输入电压至少可高达 $V_{IN(min)}$ 。
- 输入电压高于标称输出电压与压降电压之和。
- 使能电压大于 $V_{EN(min)}$ 。
- 输出电流低于电流限值。
- 器件结温低于最大指定结温。

6.4.2 压降运行

如果输入电压低于标称输出电压与指定压降电压之和，但仍满足正常工作模式的所有其他条件，则器件将工作在压降模式。在此运行模式下，输出电压等于输入电压与压降电压之差。器件的瞬态性能会显著下降，因为导通晶体管处于线性区域，不再控制流过 LDO 的电流。压降过程中的线路或负载瞬态可能会导致输出电压偏差较大。

6.4.3 禁用

在下列情况下，该器件被禁用：

- 使能电压小于使能下降阈值电压或尚未超过使能上升阈值。
- 器件结温大于热关断温度。
- 输入电压低于 $UVLO_{falling}$ 。

表 6-1 给出了不同工作模式的参数条件。

表 6-1. 器件功能模式比较

工作模式	参数			
	V_{IN}	V_{EN}	I_{OUT}	T_J
正常模式	$V_{IN} > V_{OUT(nom)} + V_{DO}$ 和 $V_{IN} > V_{IN(min)}$	$V_{EN} > V_{EN(high)}$	$I_{OUT} < I_{LIM}$	$T_J < 125^{\circ}C$
压降模式	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{EN(high)}$	—	$T_J < 125^{\circ}C$
禁用模式 (任何真条件都会禁用该器件)	$V_{IN} < UVLO_{falling}$	$V_{EN} < V_{EN(low)}$	—	$T_J > 165^{\circ}C^{(1)}$

(1) 热关断的近似值。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

TPS796-Q1 低压降 (LDO) 稳压器经过优化，适用于噪声敏感型设备。该器件具有极低压降电压、高 PSRR、低输出噪声、低静态电流和使能输入，可在稳压器关闭时降低电源电流。

典型应用电路如 图 7-1 和 图 7-2 所示。

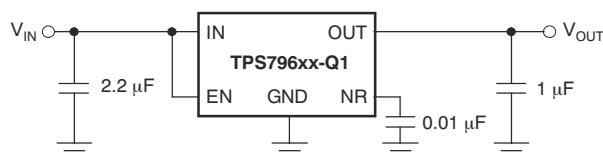


图 7-1. 典型应用电路 (旧芯片)

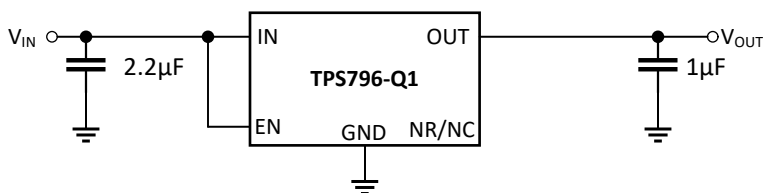


图 7-2. 典型应用 (新芯片)

7.1.1 退出压降

某些应用具有会使 LDO 进入压降状态的瞬态，例如启动期间 V_{IN} 上的斜坡较慢。与其他 LDO 一样，从这些条件中恢复时，输出可能会过冲。当压摆率和电压电平处于正确范围内时，斜升输入电源会导致 LDO 在启动时过冲，如图 7-3 所示。使用使能信号来避免这种情况。

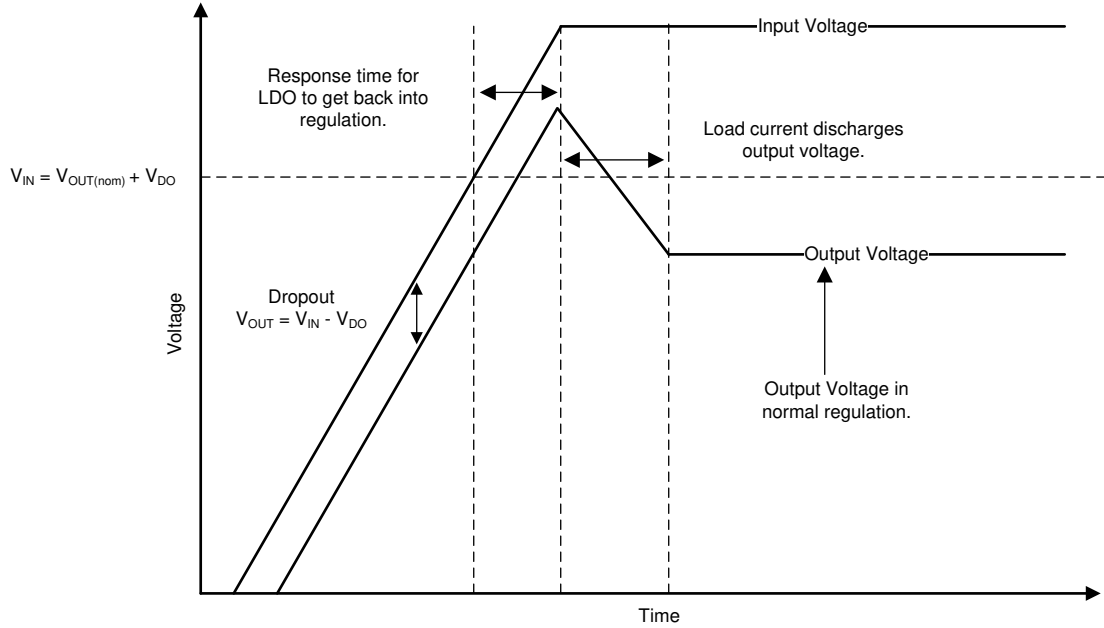


图 7-3. 启动至压降

超出压降的线路瞬变也会导致稳压器输出过冲。这些过冲是由于误差放大器驱动导通晶体管的栅极电容并将栅极恢复到正确电压以进行适当调节。图 7-4 说明了栅极电压在内部发生的情况，以及如何在运行期间引起过冲。当 LDO 处于压降状态时，栅极电压 (V_{GS}) 会一直下拉至接地，以便为导通晶体管提供尽可能低的导通电阻。但是，如果器件处于压降状态时发生线路瞬态，则环路未处于稳压状态，并可能导致输出过冲，直到环路响应、输出电流将输出电压拉回到稳压状态。如果这些瞬变不可接受，则继续在系统中添加输入电容，直到瞬态足够慢，可以减少过冲。

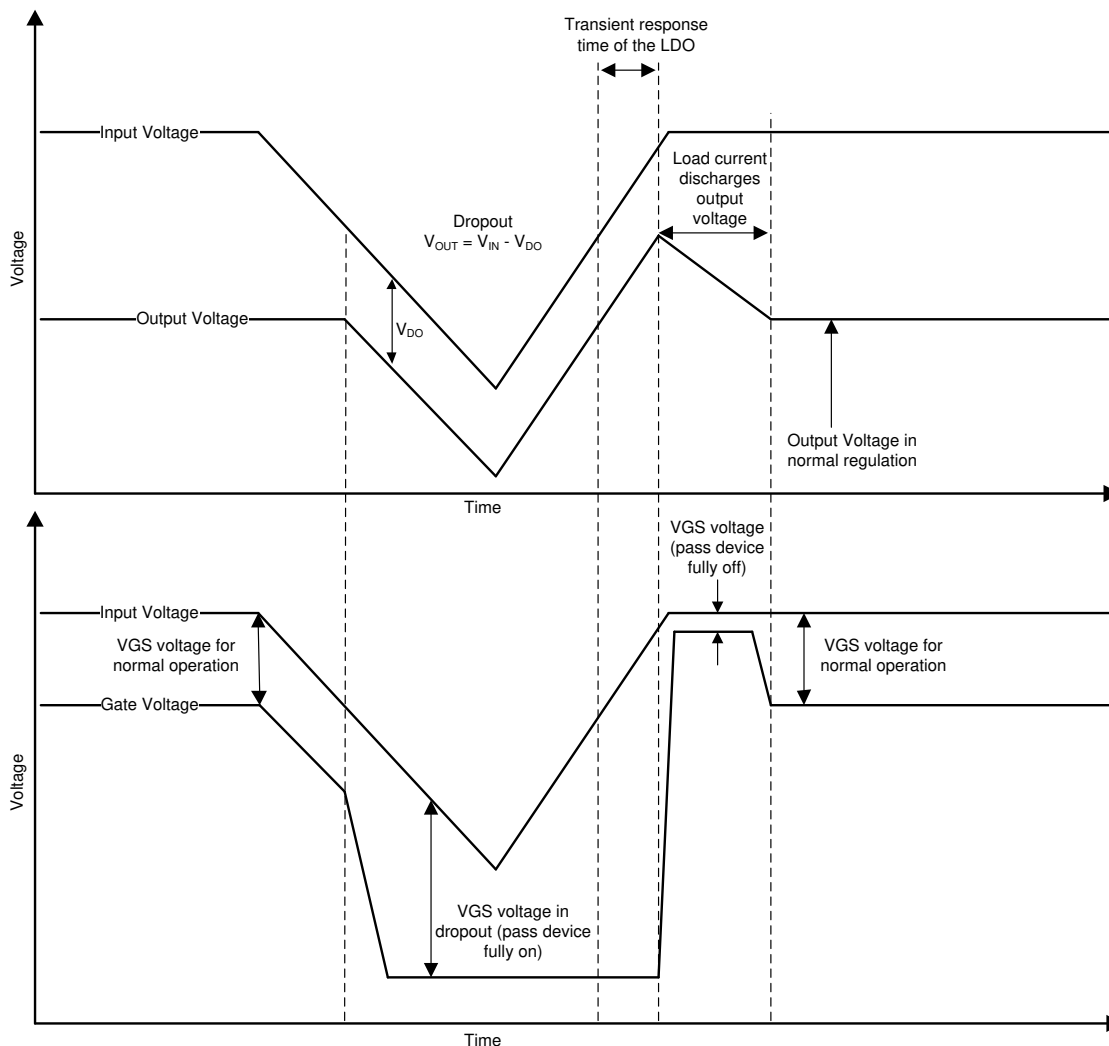


图 7-4. 压降产生的线路瞬变

7.1.2 外部电容器要求

为了实现稳定性并改善瞬态响应、噪声抑制和纹波抑制，需要一个连接在 **IN** 和 **GND** 之间且靠近 **TPS796-Q1** 的 $1.0\ \mu\text{F}$ (新芯片) 或 $2.2\ \mu\text{F}$ (旧芯片) 或更大陶瓷输入电容器。如果有可能出现较大、快速上升时间的负载瞬态且器件距离电源几英寸远的话，有可能需要一个更大电容值的输入电容器。

与大多数 **LDO** 稳压器一样，**TPS796-Q1** 需要在 **OUT** 和 **GND** 之间连接一个输出电容器，以稳定内部控制环路。建议的最小电容器为 $1\ \mu\text{F}$ 。任何 $1\ \mu\text{F}$ 或更大的陶瓷电容器均适用。

内部电压基准是 **LDO** 稳压器中的主要噪声源。**TPS796-Q1** (旧芯片) 具有 **NR** 引脚，通过 $250\text{k}\Omega$ 内部电阻器连接到电压基准。 $250\text{k}\Omega$ 内部电阻器与连接到 **NR** 引脚的外部旁路电容器相结合，形成了一个低通滤波器，可降低电压基准噪声，从而降低稳压器输出的噪声。为了使稳压器正常运行，从 **NR** 引脚流出的电流必须最小，因为任何漏电流都会在内部电阻器上产生 **IR** 压降，从而产生输出误差。因此，旁路电容器必须具有最小的漏电流。旁路电容器不得超过 $0.1\ \mu\text{F}$ ，以验证电容是否在 **功能方框图** 中的内部开关提供的快速启动时间内充满电。

例如，**TPS796-Q1** 使用 $0.1\ \mu\text{F}$ 陶瓷旁路电容器和 $10\ \mu\text{F}$ 陶瓷输出电容器时，输出电压噪声为 $40\ \mu\text{V}_{\text{RMS}}$ 。由于内部 $250\text{k}\Omega$ 电阻器和外部电容器在旁路引脚处产生的 **RC** 时间常数，随着旁路电容增大，输出的启动速度会减慢。

7.1.3 对于改进 PSRR 和噪声性能的电路板布局布线建议

为改善 PSRR、输出噪声和瞬态响应等交性能流，在设计电路时应分别为 V_{IN} 和 V_{OUT} 提供独立的接地层，并且仅在器件的接地引脚上连接接地层。此外，针对旁路电容器的接地连接必须直接接至器件的接地引脚。

7.1.4 稳压器安装

SOT-223-6 封装接片以电气方式接地。为尽可能提高热性能，应将表面贴装版本的接片直接焊接到印刷电路板 (PCB) 覆铜区。增大铜面积可改善散热。

关于该器件的焊盘占用空间建议，请参阅 [表面贴装器件的焊盘建议应用手册](#)，该手册可从 TI 网站 (www.ti.com) 获取。

7.1.5 热性能信息

7.1.5.1 功率耗散

电路可靠性需要适当考虑器件功率耗散、印刷电路板 (PCB) 上的电路位置以及正确的热平面尺寸。稳压器周围的 PCB 区域必须尽量消除其他会导致热应力增加的发热器件。

对于一阶近似，稳压器中的功率耗散取决于输入到输出电压差和负载条件。方程式 1 可计算 P_D ：

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (1)$$

备注

通过适当选择系统电压轨，可更大限度地降低功率耗散，从而实现更高的效率。通过适当的选择，可以获得最小的输入到输出电压差。器件的低压降有助于在宽输出电压范围内实现出色效率。

封装的主要热传导路径是通过连接到 PCB 的散热焊盘。将散热焊盘焊接到器件下方的铜焊盘区域。此焊盘区域包含一组镀通孔，可将热量传导到任何内部平面区域或底部覆铜平面。

通过器件的功率耗散决定了器件的结温 (T_J)。根据方程式 2，功率耗散和结温通常与 PCB 和器件封装组合的结至环境热阻 ($R_{\theta JA}$) 和环境空气温度 (T_A) 有关。该公式重新排列后可得到输出电流 (如方程式 3 所示)。

$$T_J = T_A = (R_{\theta JA} \times P_D) \quad (2)$$

$$I_{OUT} = (T_J - T_A) / [R_{\theta JA} \times (V_{IN} - V_{OUT})] \quad (3)$$

遗憾的是，此热阻 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力，因此会因铜总面积、铜重量和平面位置而异。热性能信息表中记录的 $R_{\theta JA}$ 由 JEDEC 标准 PCB 和铜扩散面积决定，仅用作封装热性能的相对测量。对于精心设计的热布局， $R_{\theta JA}$ 实际上是 RTE 封装结至外壳 (底部) 热阻 ($R_{\theta JCbot}$) 与 PCB 铜产生的热阻的总和。

7.1.5.2 估算结温

JEDEC 标准现在建议使用 ψ (Psi) 热指标来估算 LDO 在典型 PCB 板应用电路中的结温。严格来说，此类指标不是热阻参数，但提供了一种估算结温的相对实用方法。已确定这些 ψ 指标与覆铜面积明显无关。关键热指标 (ψ_{JT} 和 ψ_{JB}) 的使用符合方程式 4 并在电气特性表中给出。

$$\begin{aligned} \psi_{JT}: T_J &= T_T + \psi_{JT} \times P_D \\ \psi_{JB}: T_J &= T_B + \psi_{JB} \times P_D \end{aligned} \quad (4)$$

其中：

- P_D 是耗散功率，如功率耗散部分中所述
- T_T 器件封装顶部中间位置的温度
- T_B 是在距器件封装 1mm 且位于封装边缘中心位置测得的 PCB 表面温度

7.2 典型应用

图 7-5 中显示了一个典型应用电路。

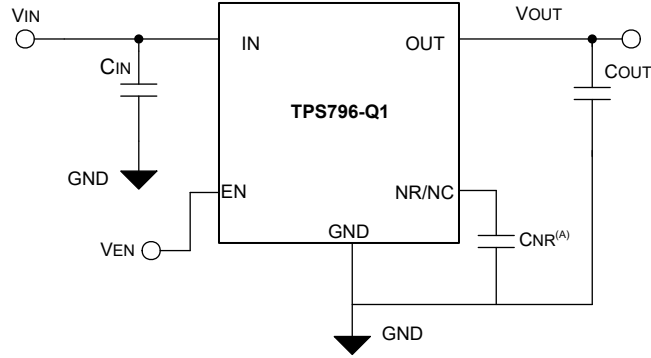


图 7-5. 典型应用电路

备注

不需要 C_{NR} 。TPS796-Q1 (新芯片) 改为使用 NC (无连接) 引脚；保持 C_{NR} 不影响器件性能。

7.2.1 设计要求

表 7-1 总结了该应用的设计要求。

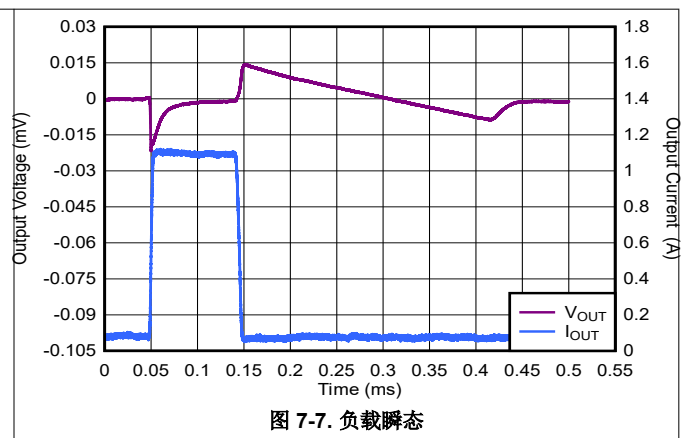
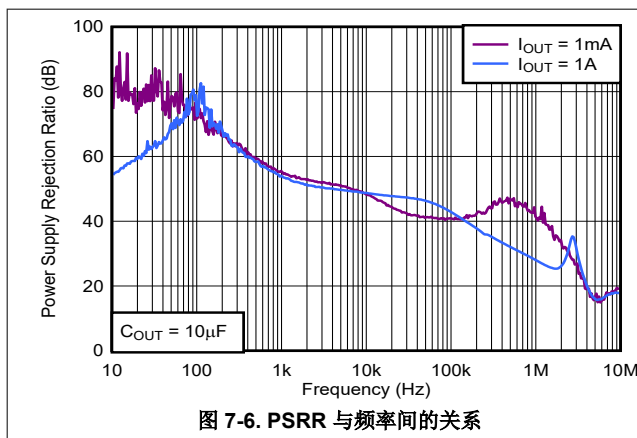
表 7-1. 设计参数

参数	值
输入电压	4.05V
输出电压	3.3V, $\pm 2\%$
输出负载	600mA
最高环境温度	85°C

7.2.2 详细设计过程

对于本设计示例，选择 3.3V 固定版本器件。该器件由连接到电池的直流/直流转换器供电。 V_{IN} 和 V_{OUT} 之间的 750mV 余量用于将器件保持在压降电压规格范围内，并确保器件在本设计的所有负载和温度条件下保持稳定。

7.2.3 应用曲线



7.3 电源相关建议

TPS796-Q1 设计在 2.7V 至 5.5V 的输入电源电压范围内运行。此输入电压范围为器件提供充足的余量来实现稳定输出。该输入电源经过良好调节并保持稳定。如果输入电源存在噪声，则附加具有低 ESR 的输入电容器有助于提高输出噪声性能。

7.4 布局

7.4.1 布局指南

为了获得理想的总体性能，请将所有电路元件放置在电路板的同一侧，并尽可能靠近各自的 LDO 引脚连接。将输入和输出电容器的接地回路连接以及 LDO 接地引脚的接地回路连接放置得尽可能彼此靠近，并通过较宽的元件侧铜表面进行连接。为避免系统性能出现负面影响，请勿对输入和输出电容器使用过孔和长布线。

一个低 ESL 电容器与低布线电感相结合，可以限制输出端的总电感并优化高频 PSRR。为了提高性能，请使用嵌入在 PCB 中或置于 PCB 底面与元件相对位置的接地基准平面。该参考平面用于验证输出电压的精度、屏蔽噪声，当连接到 GND 接地片时，其作用类似于散热平面，可扩散（或吸收）LDO 器件的热量。在大多数应用中，此接地平面是满足散热要求的必要条件。

7.4.2 布局示例

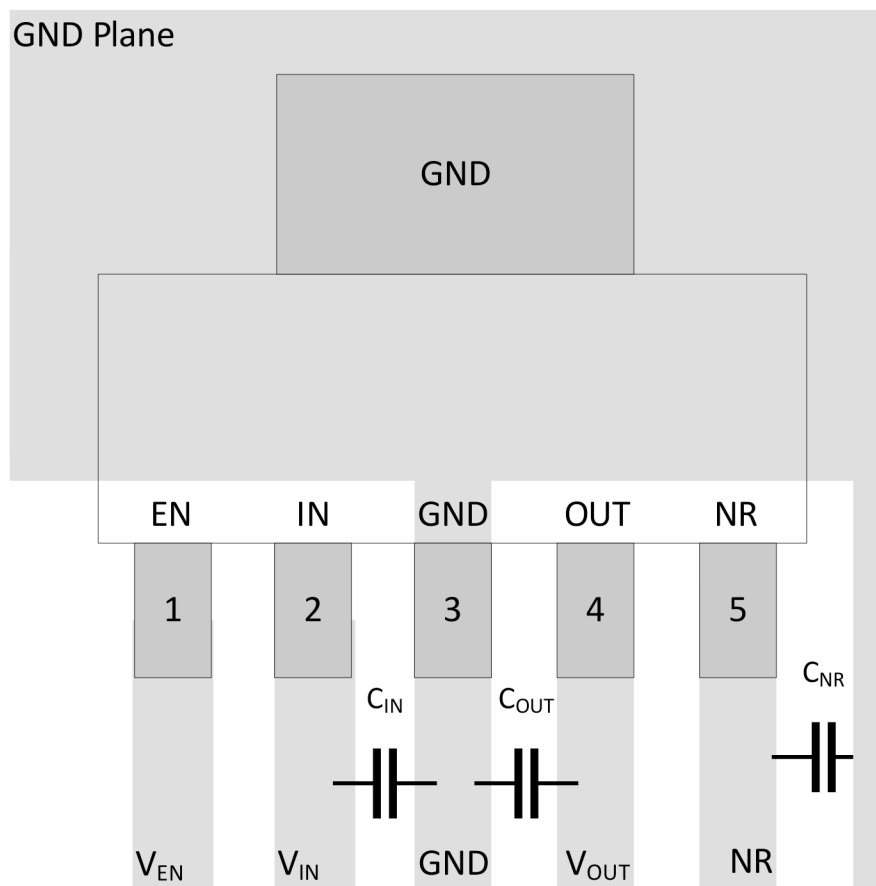


图 7-8. TPS796-Q1 布局示例 (旧芯片)

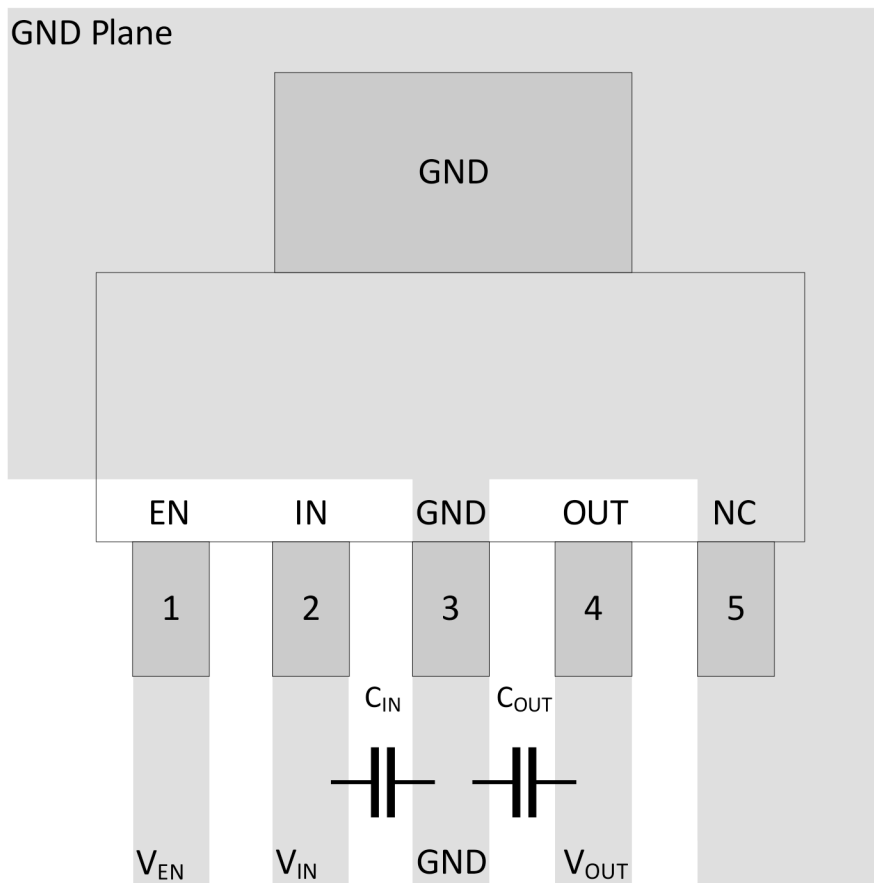


图 7-9. TPS796-Q1 布局示例 (新芯片)

8 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 器件命名规则

表 8-1. 提供的选项

产品 ⁽¹⁾	说明
TPS79633Qyyy zM3 Q1	Q 表示该器件是符合 AEC-Q100 标准的 1 级器件。 yyy 为封装位号。 z 为封装数量。 M3 是仅使用新制造流程的器件的后缀指示符 (CSO:RFB)。没有这个后缀的器件可以随附旧芯片 (CSO:DLN) 或新芯片 (CSO:RFB)。卷带封装标签提供了 CSO 信息以区分所使用的芯片。 Q1 表示此器件是一款汽车级 (AEC-Q100) 器件。

(1) 如需了解最新的封装及订购信息，请参阅本文档末尾的封装选项附录，或访问 www.ti.com 查看器件产品文件夹。

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (March 2012) to Revision A (June 2025)	Page
• 在文档标题中添加了器件名称和汽车	0
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 添加了 器件信息 、 ESD 等级 、 应用和实施 、 器件和文档支持 和 机械、封装和可订购信息 部分	1
• 更改了整个文档以与当前系列格式保持一致，并明确旧芯片和新芯片的特性和差异.....	1
• 向文档添加了新器件 (M3).....	1
• 将 TPS796xx-Q1 更改为 TPS796-Q1 ，并在整个文档中将 端子 改为 引脚	1
• 更改了特定于汽车的 特性 要点.....	1
• 更改了 应用 部分.....	1

• 将终端功能标题改为引脚配置和功能，并添加了引脚功能类型列.....	3
• 为新芯片的引脚 5 添加了 NC 引脚说明.....	3
• 向典型特性 部分添加了新器件图表.....	8
• 在功能方框图部分添加了新的硅框图.....	14
• 删除了对 DRB 封装的引用.....	22
• 添加了器件命名规则 部分.....	26

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS79633QDCQRM3Q1	Active	Production	SOT-223 (DCQ) 6	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	S79633Q
TPS79633QDCQRQ1	Active	Production	SOT-223 (DCQ) 6	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	79633Q
TPS79633QDCQRQ1.A	Active	Production	SOT-223 (DCQ) 6	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	79633Q

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS79633QDCQRM3Q1	SOT-223	DCQ	6	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TPS79633QDCQRQ1	SOT-223	DCQ	6	2500	330.0	12.4	6.8	7.3	1.88	8.0	12.0	Q3

TAPE AND REEL BOX DIMENSIONS



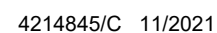
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS79633QDCQRM3Q1	SOT-223	DCQ	6	2500	340.0	340.0	38.0
TPS79633QDCQRQ1	SOT-223	DCQ	6	2500	346.0	346.0	29.0



SOT - 1.8 mm max height

PLASTIC SMALL OUTLINE



1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.

2. This drawing is subject to change without notice.

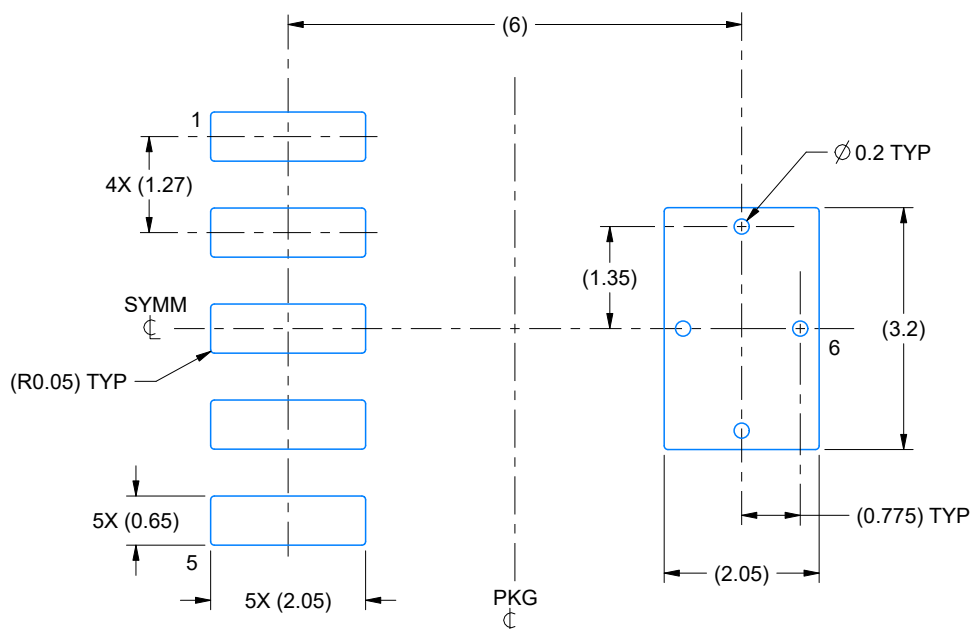
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.

EXAMPLE BOARD LAYOUT

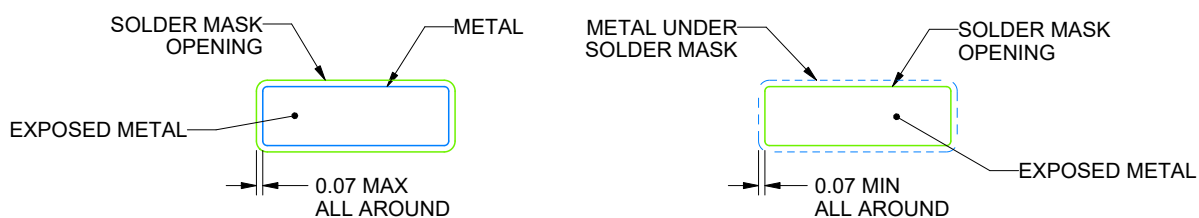
DCQ0006A

SOT - 1.8 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4214845/C 11/2021

NOTES: (continued)

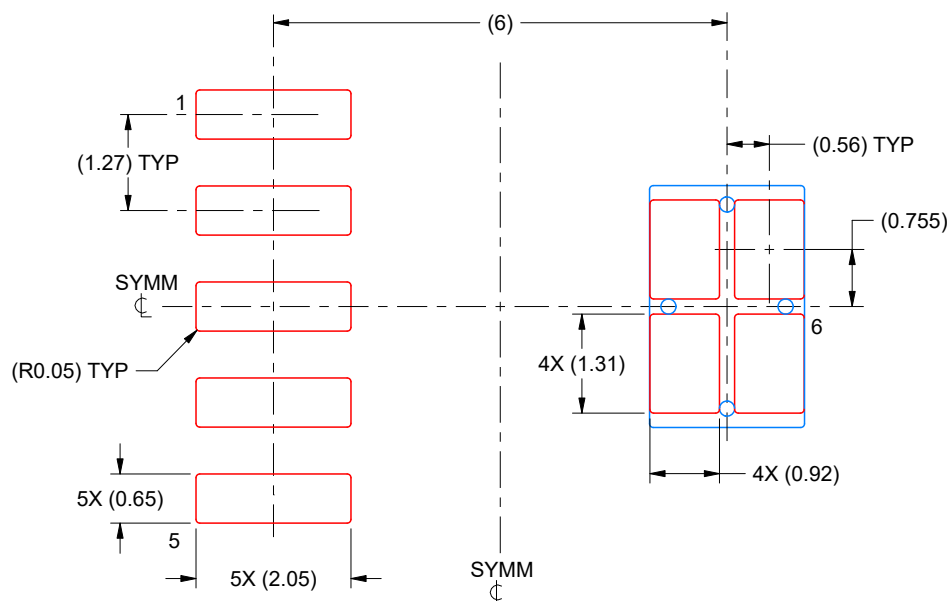
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DCQ0006A

SOT - 1.8 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214845/C 11/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月