TPS742 具有可编程软启动功能的 1.5A 超低压降稳压器

1 特性

- 输入电压范围：0.8V 至 5.5V
- 软启动 (SS) 引脚提供线性启动，斜坡时间由外部电容器设置
- 线路、负载和温度范围内的精度为 1%
- 支持通过外部辅助电源实现低至 0.8V 的输入电压
- 可调节输出（0.8V 至 3.6V）
- 超低压降：
  - 在 1.5A 电流下为 60mV（典型值）（旧芯片）
  - 在 1.5A 电流下为 55mV（典型值）（新芯片）
- 在使用任何 ≥ 2.2μF 的输出电容器时均可保持稳定（新芯片）
- 使用任何输出电容器或不使用输出电容器时均可保持稳定（旧芯片）
- 出色的瞬态响应
- 开漏电源正常
- 高电平有效使能

2 应用

- 网络附加存储 - 企业级
- 机架式服务器
- 网络接口卡 (NIC)
- 商用网络和服务器 PSU

3 说明

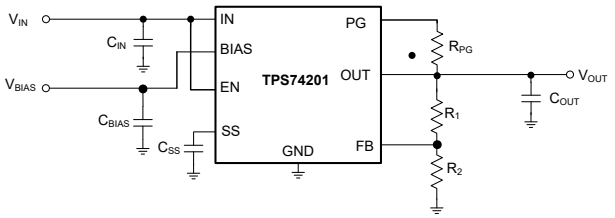
TPS742 系列低压降 (LDO) 线性稳压器提供了易用稳健型电源管理解决方案，适用于各种应用。用户可编程软启动通过减少启动时的容性浪涌电流，更大限度地减少了输入电源上的应力。软启动具有单调性，适合为很多不同类型的处理器和 ASIC 供电。借助使能输入和电源正常输出，可通过外部稳压器轻松实现上电排序。借助这种全方位的灵活性，用户可为 FPGA、DSP 和其他具有特殊启动要求的应用配置可满足其时序要求的解决方案。

该器件还具有高精度的参考电压电路和误差放大器，可在整个负载、线路、温度和过程范围内提供 1% 精度。该器件在使用大于或等于 2.2μF 的任何类型的电容器时均能保持稳定（新芯片），具有 –40°C 至 125°C 的额定工作温度范围。

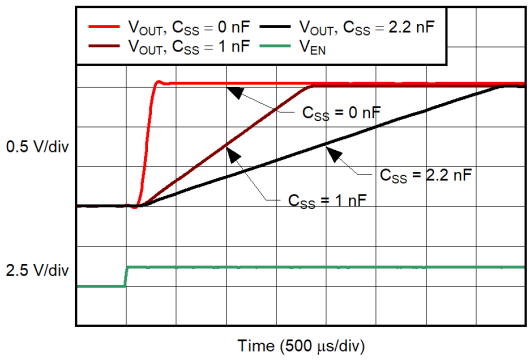
封装信息

器件型号	封装(1)	封装尺寸(2)
TPS74201	RGW（VQFN，20）	5mm × 5mm
	RGR（VQFN，20）	3.5mm × 3.5mm
	KTW（DDPAK/TO-263，7）	10.1mm × 15.24mm

(1) 有关所有可用封装，请参阅*机械、封装和可订购信息*。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



可调节输出版本典型应用



导通响应

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
5 规格.... 4
5.1 绝对最大额定值.... 4
5.2 ESD 等级.... 4
5.3 建议运行条件.... 4
5.4 热性能信息.... 5
5.5 电气特性.... 5
5.6 典型特性.... 8
6 详细说明.... 15
6.1 概述.... 15
6.2 功能方框图.... 15
6.3 特性说明.... 17
6.4 器件功能模式.... 17
7 应用和实施.... 19
7.1 应用信息.... 19
7.2 典型应用.... 23
7.3 电源相关建议.... 24
7.4 布局.... 25
8 器件和文档支持.... 29
8.1 器件支持.... 29
8.2 文档支持.... 29
8.3 接收文档更新通知.... 29
8.4 支持资源.... 29
8.5 商标.... 29
8.6 静电放电警告.... 29
8.7 术语表.... 30
9 修订历史记录.... 30
10 机械、封装和可订购信息.... 30

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

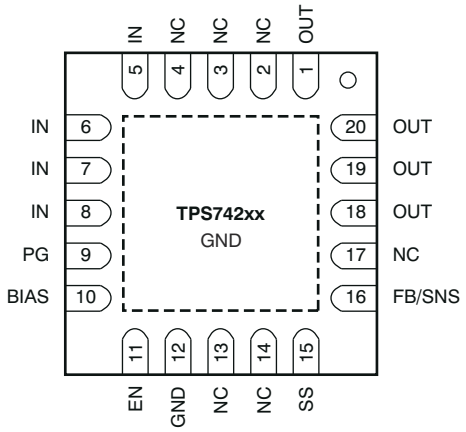


图 4-1. RGW 和 RGR 封装，20 引脚 VQFN（带外露散热焊盘）（顶视图）

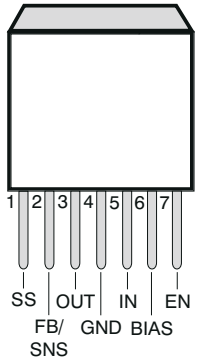


图 4-2. KTW 封装，7 引脚 DDPAK/TO-263（顶视图，旧芯片）

表 4-1. 引脚功能

引脚			类型[1]	说明
名称	KTW[2] (DDPAK/ TO-263)	RGW、RGR[2] (VQFN)		
BIAS	6	10	I	误差放大器、基准和内部控制电路的偏置输入电压。
EN	7	11	I	使能引脚。将该引脚驱动为高电平会启用稳压器。将这个引脚驱动为低电平来将稳压器置于关断模式。该引脚不得悬空。
FB	2	16	I	该引脚是与设置输出电压的外部电阻分压器网络的中心抽头的反馈连接。该引脚不得悬空。（仅限可调版本。）
GND	4	12	—	接地
IN	5	5、6、7、8	I	器件的非稳压输入。
NC	—	2、3、4、13、14、17	O	无连接。此引脚可以悬空或连接到 GND，以实现与顶部平面的更好热接触。
OUT	3	1、18、19、20	O	经稳压调节的输出电压。此引脚上无需电容器即可实现稳定性。
PAD/TAB	—	—	—	焊接到接地平面以提高热性能。
PG	—	9	O	电源正常 (PG) 是一种开漏高电平有效输出，用于指示 V_{OUT} 的状态。当 V_{OUT} 超过 PG 跳变阈值时，PG 引脚进入高阻抗状态。当 V_{OUT} 低于该阈值时，引脚被驱动至低阻抗状态。在该引脚与高达 5.5V 的电源之间连接一个 10kΩ 至 1MΩ 的上拉电阻器。电源电压可能高于输入电压。或者，如果不需要输出监控，则可以将 PG 引脚保持悬空。
SNS	2	16	I	该引脚是负载器件的检测连接。该引脚必须连接到 V_{OUT} 且不得悬空。（仅限固定版本。）
SS	1	15	—	软启动引脚。启动时间可通过该引脚上连接到接地端的电容器来设置。如果该引脚保持悬空，则稳压器输出软启动斜坡时间通常为 100 μs。

(1) I = 输入；O = 输出；
(2) RGR 和 KTW 封装仅适用于旧器件。

5 规格

5.1 绝对最大额定值

在工作温度范围内（除非另有说明）[(1)]

		最小值	最大值	单位
V_{IN}、V_{BIAS}	输入电压	-0.3	6	V
V_{EN}	使能电压	-0.3	6	V
V_{PG}	电源正常状态电压	-0.3	6	V
I_{PG}	PG 灌电流	0	1.5	mA
V_{SS}	软启动电压	-0.3	6	V
V_{FB}	反馈电压	-0.3	6	V
V_{OUT}	输出电压	-0.3	V_{IN} + 0.3	V
I_{OUT}	最大输出电流	受内部限制		
	输出短路持续时间	未确定		
P_{DISS}	持续总功率耗散	请参阅“热性能信息”		
T_J	结温（旧芯片）	-40	125	°C
	结温（新芯片）	-40	150	°C
T_{stg}	贮存温度	-55	150	

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚[(1)]	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚[(2)]	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{IN}	输入电源电压	V_{OUT} + V_{DO} (V_{IN})	V_{OUT} + 0.3	5.5	V
V_{EN}	使能电源电压		V_{IN}	5.5	V
V_{BIAS} [(1)]	辅助电源电压	V_{OUT} + V_{DO} (V_{BIAS})[(2)]	V_{OUT} + 1.6[(2)]	5.5	V
V_{OUT}	输出电压	0.8		3.6	V
I_{OUT}	输出电流	0		1.5	A
C_{OUT}	输出电容器（旧芯片）	0			μF
	输出电容器（新芯片）	2.2			μF
C_{IN}	输入电容器[(3)]	1			μF
C_{BIAS}	偏置电容器	0.1	1		μF
T_J	工作结温	-40		125	℃

(1) 当 V_{IN} 低于 V_{OUT} + V_{DO} (V_{BIAS}) 时，需要辅助电源。
(2) V_{BIAS} 的最低电压为 2.7V，或 V_{OUT} + V_{DO} (V_{BIAS})（以较高者为准）（新芯片）。
(3) 如果 V_{IN} 和 V_{BIAS} 连接至同一电源，为该电源推荐的最小电容器为 4.7 μF。

Copyright © 2025 Texas Instruments Incorporated

5.4 热性能信息

热指标 (1)		TPS742				单位
		RGW (VQFN)（旧芯片）	RGW (VQFN)（新芯片）	RGR (VQFN)	KTW (DDPAK/TO-263)	
		20 引脚	20 引脚	20 引脚	7 引脚	
$R_{\theta JA}$	结至环境热阻	35.4	34.7	44.2	47.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	32.4	31	50.3	63.7	°C/W
$R_{\theta JB}$	结至电路板热阻	14.7	13.5	19.6	19.5	°C/W
ψ_{JT}	结至顶部特征参数	0.4	1.4	0.7	4.2	°C/W
ψ_{JB}	结至电路板特征参数	14.8	13.5	17.8	19.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	3.9	3.6	4.3	3.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

5.5 电气特性

在 V_{EN} = 1.1V 时，V_{IN} = V_{OUT} + 0.3V，C_{BIAS} = 0.1μF，C_{IN} = C_{OUT} = 10μF，I_{OUT} = 50mA，V_{BIAS} = 5.0V，T_J = –40°C 至 125°C（除非另有说明）；典型值的测量温度为 T_J = 25°C

参数		测试条件	最小值	典型值	最大值	单位
V_{IN}	输入电压范围		V_{OUT} + V_{DO}		5.5	V
V_{BIAS}	BIAS 引脚电压范围		2.375		5.25	V
V_{REF}	内部基准	T_J = 25℃	0.796	0.8	0.804	V
V_{OUT}	输出电压	V_{IN} = 5V，I_{OUT} = 1.5A，V_{BIAS} = 5V	V_{REF}		3.6	V
V_{OUT}	精度 (1)	2.375V ≤ V_{BIAS} ≤ 5.25V，V_{OUT} + 1.62V ≤ V_{BIAS} 50mA ≤ I_{OUT} ≤ 1.5A	-1	±0.2	1	%
$\Delta V_{OUT(\Delta VIN)}$	线性调整率	$V_{OUT\ (NOM)}$ + 0.3V ≤ V_{IN} ≤ 5.5V，VQFN		0.0005	0.05	%/V
		$V_{OUT\ (NOM)}$ + 0.3V ≤ V_{IN} ≤ 5.5V，DDPAK/TO-263		0.0005	0.06	
$\Delta V_{OUT(\Delta IOUT)}$	负载调整率	0mA ≤ I_{OUT} ≤ 50mA（旧芯片）		0.013		%/mA
		50mA ≤ I_{OUT} ≤ 1.5A（旧芯片）		0.04		%/A
		50mA ≤ I_{OUT} ≤ 1.5A（新芯片）		0.09		
V_{DO}	V_{IN} 压降电压(2)	I_{OUT} = 1.5A，V_{BIAS} – $V_{OUT\ (NOM)}$ ≥ 1.62V，VQFN		55	100	mV
		I_{OUT} = 1.5A，V_{BIAS} – $V_{OUT\ (NOM)}$ ≥ 1.62V，DDPAK/TO-263（仅旧芯片）		60	120	
	V_{BIAS} 压降电压(2)	I_{OUT} = 1.5A，V_{IN} = V_{BIAS}（旧芯片）			1.4	V
		I_{OUT} = 1.5A，V_{IN} = V_{BIAS}（新芯片）			1.43	
I_{CL}	电流限制	V_{OUT} = 80% × $V_{OUT(nom)}$（旧芯片）	1.8		4	A
		V_{OUT} = 80% × $V_{OUT(nom)}$,（新芯片）	2		5.5	

5.5 电气特性（续）

在 V_{EN} = 1.1V 时，V_{IN} = V_{OUT} + 0.3V，C_{BIAS} = 0.1 μF，C_{IN} = C_{OUT} = 10 μF，I_{OUT} = 50mA，V_{BIAS} = 5.0V，T_J = –40°C 至 125°C（除非另有说明）；典型值的测量温度为 T_J = 25°C

参数		测试条件	最小值	典型值	最大值	单位
I_{BIAS}	BIAS 引脚电流	I_{OUT} = 0mA 至 1.5A（旧芯片）		2	4	mA
		I_{OUT} = 0mA 至 1.5A（新芯片）		1	2	
I_{SHDN}	关断电源电流 (I_{GND})	V_{EN} ≤ 0.4V（旧芯片）		1	100	μA
		V_{EN} ≤ 0.4V（新芯片）		0.85	2.75	
I_{FB}	反馈引脚电流[3]	I_{OUT} = 50mA 至 1.5A（旧芯片）	-250	68	250	nA
		I_{OUT} = 50mA 至 1.5A（新芯片）	-30	0.15	30	nA
PSRR	电源抑制（V_{IN} 至 V_{OUT}）	1kHz，I_{OUT} = 1.5A，V_{IN} = 1.8V，V_{OUT} = 1.5V（旧芯片）		73		dB
		1kHz，I_{OUT} = 1.5A，V_{IN} = 1.8V，V_{OUT} = 1.5V（新芯片）		60		
		300kHz，I_{OUT} = 1.5A，V_{IN} = 1.8V，V_{OUT} = 1.5V（旧芯片）		42		
		300kHz，I_{OUT} = 1.5A，V_{IN} = 1.8V，V_{OUT} = 1.5V（新芯片）		30		
	电源抑制（V_{BIAS} 至 V_{OUT}）	1kHz，I_{OUT} = 1.5A，V_{IN} = 1.8V，V_{OUT} = 1.5V（旧芯片）		62		
		1kHz，I_{OUT} = 1.5A，V_{IN} = 1.8V，V_{OUT} = 1.5V（新芯片）		59		
		300kHz，I_{OUT} = 1.5A，V_{IN} = 1.8V，V_{OUT} = 1.5V		50		
V_n	输出噪声电压	BW = 100Hz 至 100kHz，I_{OUT} = 1.5A，C_{SS} = 1nF（旧芯片）		16		μVrms x Vout
		BW = 100Hz 至 100kHz，I_{OUT} = 3A，C_{SS} = 1nF（新芯片）		20		
V_{TRAN}	负载瞬态期间的 %V_{OUT} 压降	1A/μs 时的 I_{OUT} = 50mA 至 1.5A，C_{OUT}=无（旧芯片）		3.5		%V_{OUT}
V_{TRAN}	负载瞬态期间的 %V_{OUT} 压降	1A/μs 时的 I_{OUT} = 50mA 至 1.5A，C_{OUT}=2.2μF（新芯片）		1.7		%V_{OUT}
t_{STR}	最短启动时间	I_{OUT} = 1.5A 时的 R_{LOAD}，C_{SS} = 开路（旧芯片）		100		μs
		I_{OUT} = 1.0A 时的 R_{LOAD}，C_{SS} = 开路（新芯片）		250		
I_{SS}	软启动充电电流	V_{SS} = 0.4V，I_{OUT} = 0mA（旧芯片）	0.500	0.730	1	μA
		V_{SS} = 0.4V，I_{OUT} = 0mA（新芯片）	0.300	0.530	0.800	

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

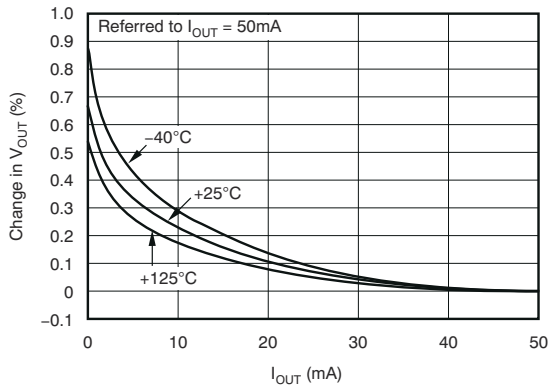
在 V_{EN} = 1.1V 时，V_{IN} = V_{OUT} + 0.3V，C_{BIAS} = 0.1μF，C_{IN} = C_{OUT} = 10μF，I_{OUT} = 50mA，V_{BIAS} = 5.0V，T_J = –40°C 至 125°C（除非另有说明）；典型值的测量温度为 T_J = 25°C

参数		测试条件	最小值	典型值	最大值	单位
$V_{EN(hi)}$	使能输入高电平		1.1		5.5	V
$V_{EN(lo)}$	使能输入低电平		0		0.4	V
$V_{EN(hys)}$	使能引脚迟滞	（旧芯片）		50		mV
		（新芯片）		55		
$V_{EN(dg)}$	使能引脚抗尖峰脉冲时间			20		μs
I_{EN}	使能引脚电流	V_{EN} = 5V（旧芯片）		0.1	1	μA
		V_{EN} = 5V（新芯片）		0.1	0.25	
V_{IT}	PG 跳变阈值	V_{OUT} 降低（旧芯片）	86.5	90	93.5	%V_{OUT}
		V_{OUT} 降低（新芯片）	85	90	94	
V_{HYS}	PG 跳变迟滞	（旧芯片）		3		%V_{OUT}
		（新芯片）		2.5		
$V_{PG(lo)}$	PG 输出低电压	I_{PG} = 1mA（灌电流），V_{OUT} < V_{IT}（旧芯片）			0.3	V
		I_{PG} = 1mA（灌电流），V_{OUT} < V_{IT}（新芯片）			0.12	
$I_{PG(lkg)}$	PG 漏电流	V_{PG} = 5.25V，V_{OUT} > V_{IT}（旧芯片）		0.03	1	μA
		V_{PG} = 5.25V，V_{OUT} > V_{IT}（新芯片）		0.001	0.05	
T_J	工作结温		-40		125	℃
T_{SD}	热关断温度	关断，温度升高（旧芯片）		155		℃
		关断，温度升高（新芯片）		165		
		复位，温度降低		140		

(1) 可调器件在 0.8V 下测试，不考虑电阻器容差。
(2) 压降定义为当 V_{OUT} 比标称值低 2% 时，从输入到 V_{OUT} 的电压。
(3) I_{FB} 电流从器件中流出。

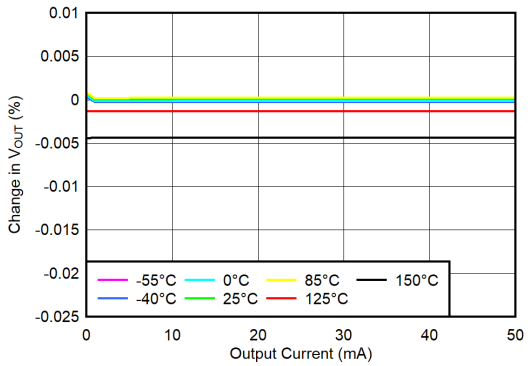
5.6 典型特性

在 T_J = 25°C、V_{OUT} = 1.5V、V_{IN} = $V_{OUT(NOM)}$ + 0.3V、V_{BIAS} = 3.3V（旧芯片）、V_{BIAS} = 5.0V（新芯片）、I_{OUT} = 50mA、V_{EN} = V_{IN}、C_{IN} = 1μF、C_{BIAS} = 4.7μF、C_{SS} = 0.01μF（旧芯片）且 C_{OUT} = 10μF 时（除非另有说明）



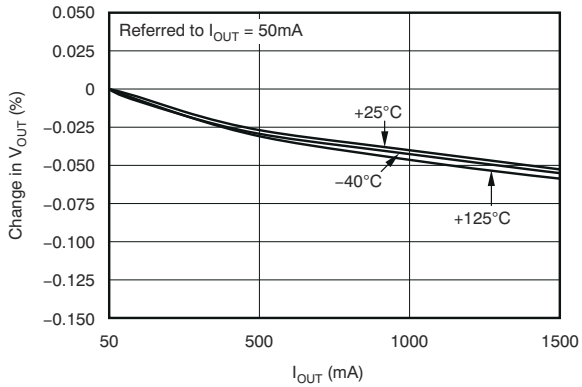
旧芯片

图 5-1. 负载调整率



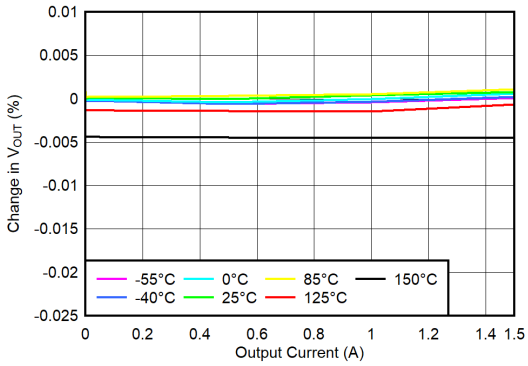
新芯片

图 5-2. 轻负载下的负载调整率



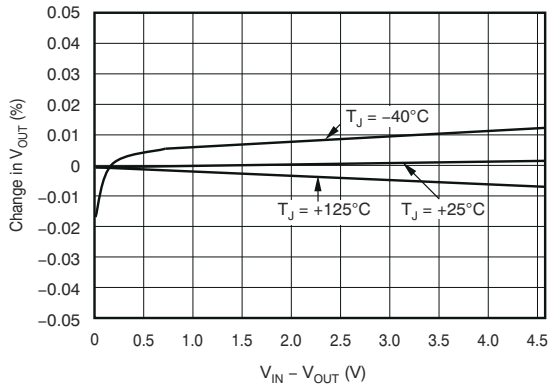
旧芯片

图 5-3. 负载调整率



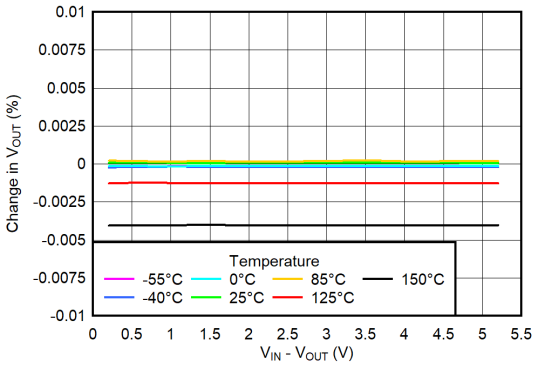
新芯片

图 5-4. 负载调整率



旧芯片

图 5-5. 线性调整率



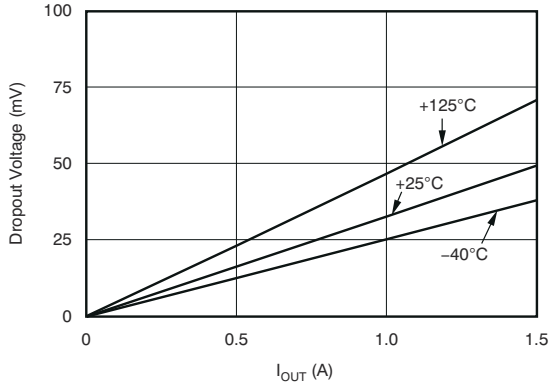
新芯片

图 5-6. 线性调整率

Copyright © 2025 Texas Instruments Incorporated

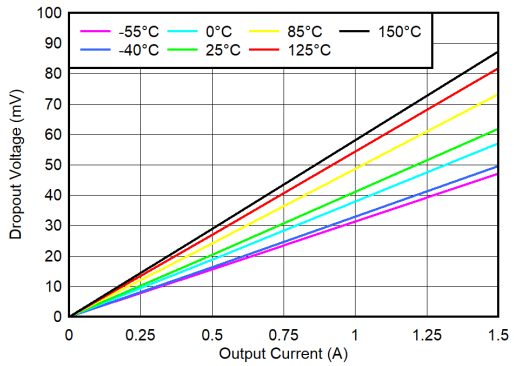
5.6 典型特性（续）

在 T_J = 25°C、V_{OUT} = 1.5V、V_{IN} = $V_{OUT(NOM)}$ + 0.3V、V_{BIAS} = 3.3V（旧芯片）、V_{BIAS} = 5.0V（新芯片）、I_{OUT} = 50mA、V_{EN} = V_{IN}、C_{IN} = 1 μF、C_{BIAS} = 4.7 μF、C_{SS} = 0.01 μF（旧芯片）且 C_{OUT} = 10 μF 时（除非另有说明）



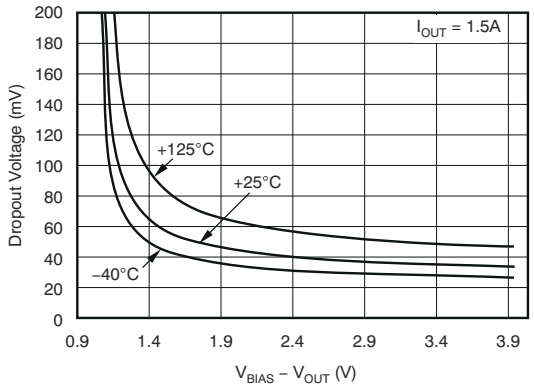
旧芯片

图 5-7. V_{IN} 压降电压与 I_{OUT} 和温度 (T_J) 间的关系



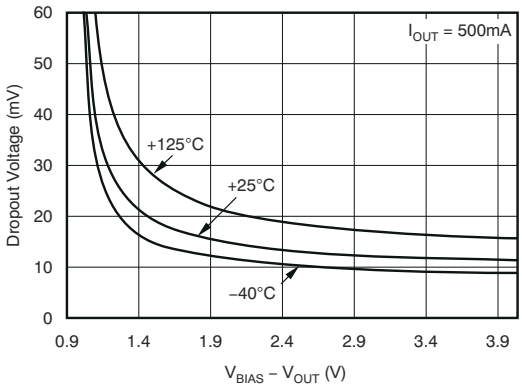
新芯片

图 5-8. V_{IN} 压降电压与 I_{OUT} 和温度 (T_J) 间的关系



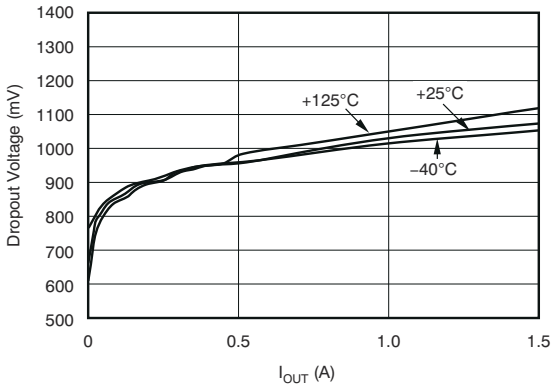
旧芯片

图 5-9. V_{IN} 压降电压与 V_{BIAS} – V_{OUT} 和温度 (T_J) 间的关系



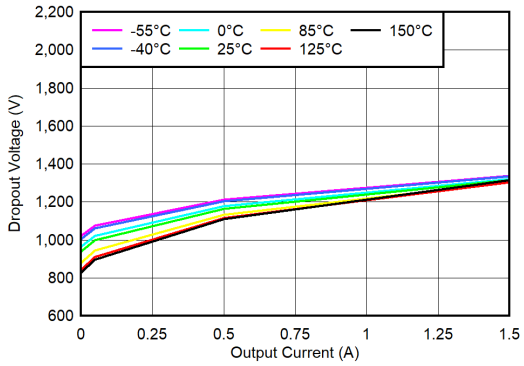
旧芯片

图 5-10. V_{IN} 压降电压与 V_{BIAS} – V_{OUT} 和温度 (T_J) 间的关系



旧芯片

图 5-11. V_{BIAS} 压降电压与 I_{OUT} 和温度间的关系

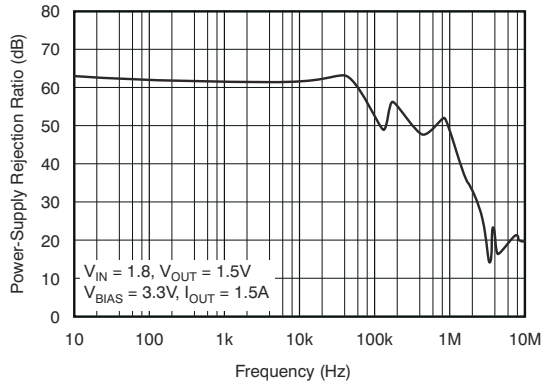


新芯片

图 5-12. V_{BIAS} 压降电压与 I_{OUT} 和温度 (T_J) 间的关系

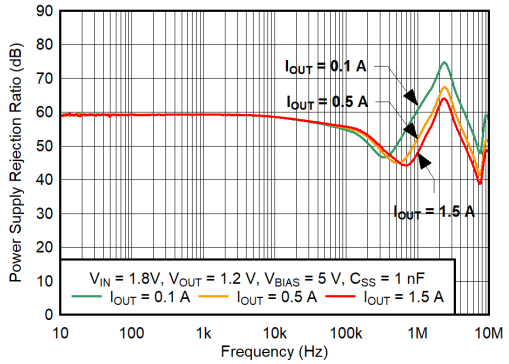
5.6 典型特性（续）

在 T_J = 25°C、V_{OUT} = 1.5V、V_{IN} = $V_{OUT(NOM)}$ + 0.3V、V_{BIAS} = 3.3V（旧芯片）、V_{BIAS} = 5.0V（新芯片）、I_{OUT} = 50mA、V_{EN} = V_{IN}、C_{IN} = 1 μF、C_{BIAS} = 4.7 μF、C_{SS} = 0.01 μF（旧芯片）且 C_{OUT} = 10 μF 时（除非另有说明）



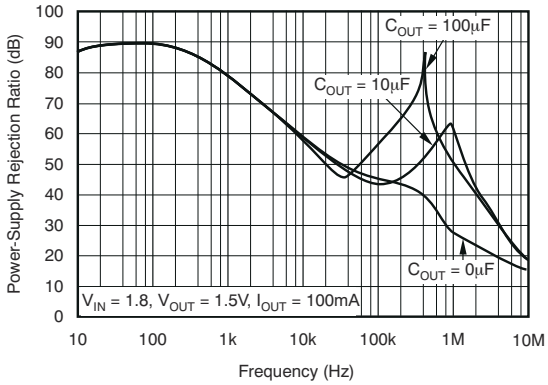
旧芯片

图 5-13. V_{BIAS} PSRR 与频率间的关系



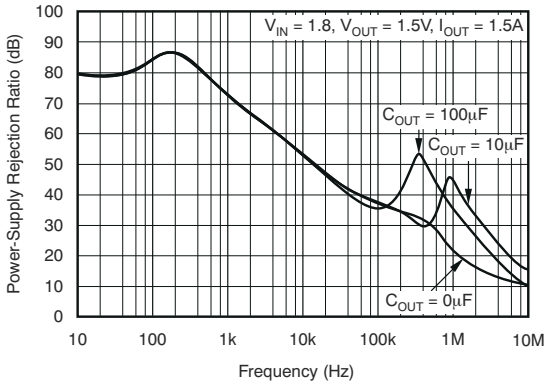
新芯片

图 5-14. V_{BIAS} PSRR 与频率间的关系



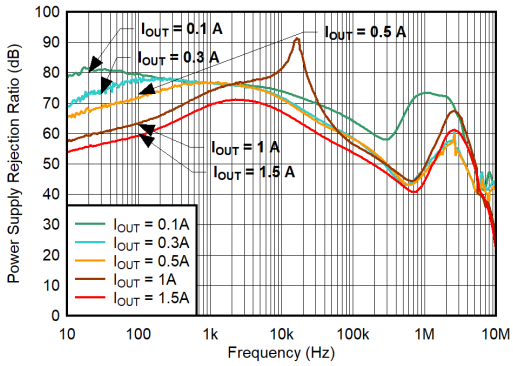
旧芯片

图 5-15. V_{IN} PSRR 与频率间的关系



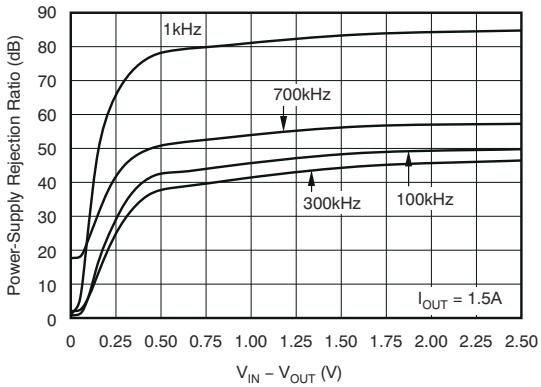
旧芯片

图 5-16. V_{IN} PSRR 与频率间的关系



新芯片

图 5-17. V_{IN} PSRR 与频率间的关系



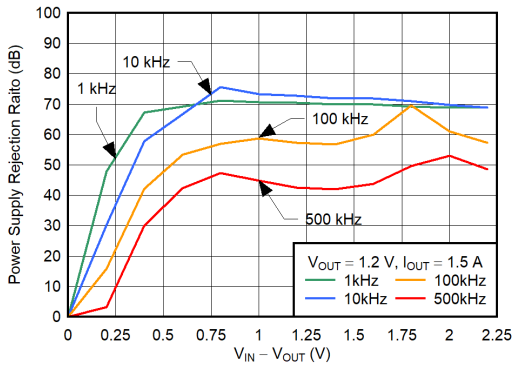
旧芯片

图 5-18. V_{IN} PSRR 与 V_{IN} – V_{OUT} 间的关系

Copyright © 2025 Texas Instruments Incorporated

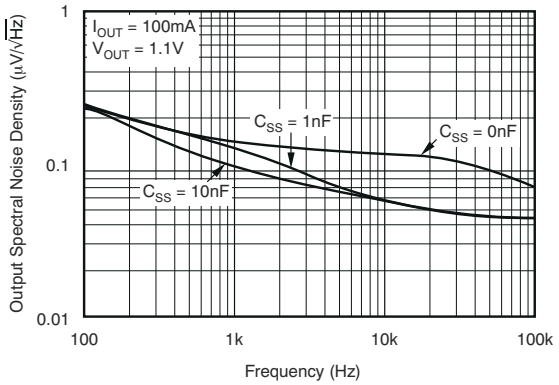
5.6 典型特性（续）

在 T_J = 25°C、V_{OUT} = 1.5V、V_{IN} = $V_{OUT(NOM)}$ + 0.3V、V_{BIAS} = 3.3V（旧芯片）、V_{BIAS} = 5.0V（新芯片）、I_{OUT} = 50mA、V_{EN} = V_{IN}、C_{IN} = 1 μF、C_{BIAS} = 4.7 μF、C_{SS} = 0.01 μF（旧芯片）且 C_{OUT} = 10 μF 时（除非另有说明）



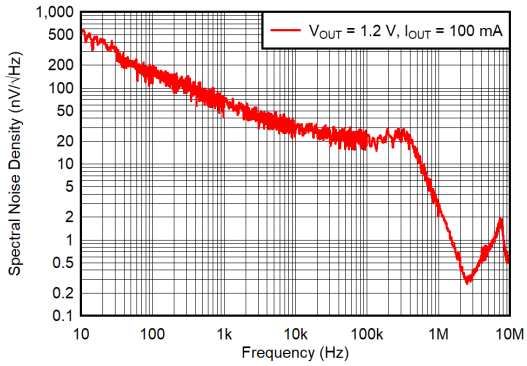
新芯片

图 5-19. V_{IN} PSRR 与 (V_{IN} – V_{OUT}) 间的关系



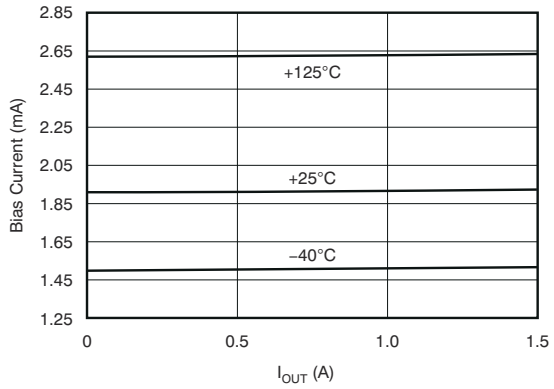
旧芯片

图 5-20. 噪声频谱密度



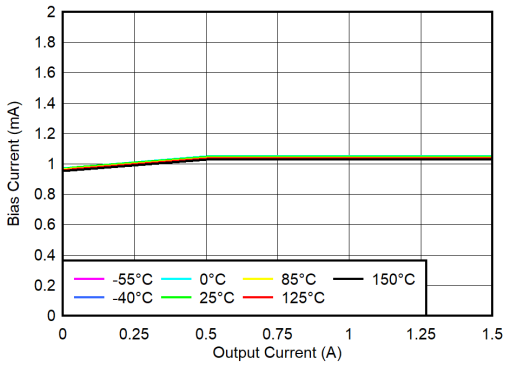
新芯片

图 5-21. 噪声频谱密度



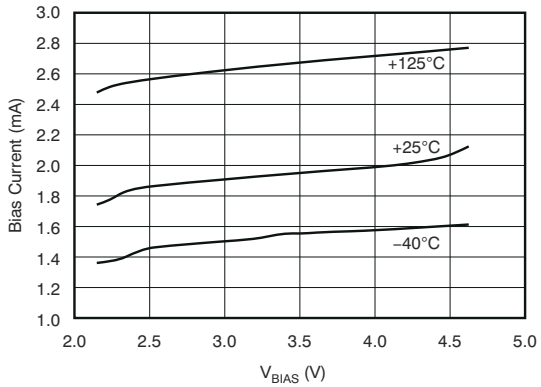
旧芯片

图 5-22. I_{BIAS} 与 I_{OUT} 和温度间的关系



新芯片

图 5-23. BIAS 引脚电流与输出电流和温度 (T_J) 间的关系

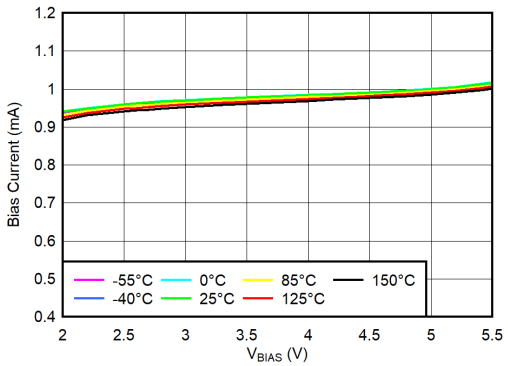


旧芯片

图 5-24. I_{BIAS} 与 V_{BIAS} 和 V_{OUT} 间的关系

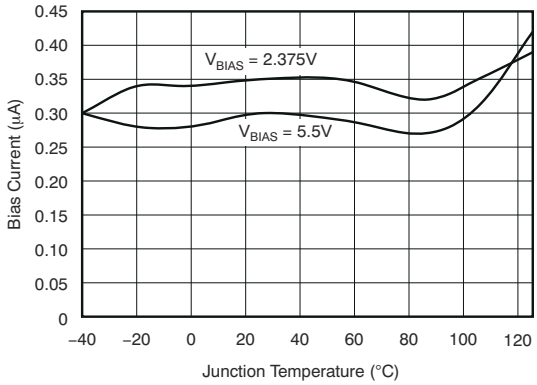
5.6 典型特性（续）

在 T_J = 25°C、V_{OUT} = 1.5V、V_{IN} = $V_{OUT(NOM)}$ + 0.3V、V_{BIAS} = 3.3V（旧芯片）、V_{BIAS} = 5.0V（新芯片）、I_{OUT} = 50mA、V_{EN} = V_{IN}、C_{IN} = 1 μF、C_{BIAS} = 4.7 μF、C_{SS} = 0.01 μF（旧芯片）且 C_{OUT} = 10 μF 时（除非另有说明）



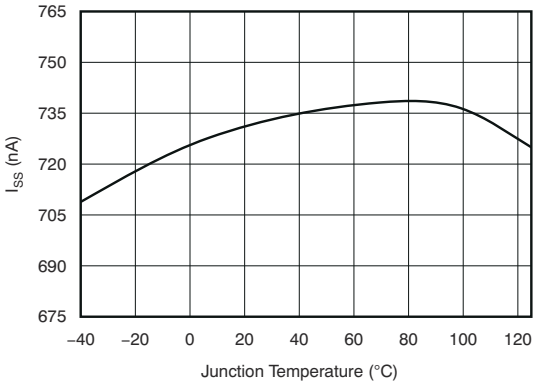
新芯片

图 5-25. BIAS 引脚电流与 V_{BIAS} 和温度 (T_J) 间的关系



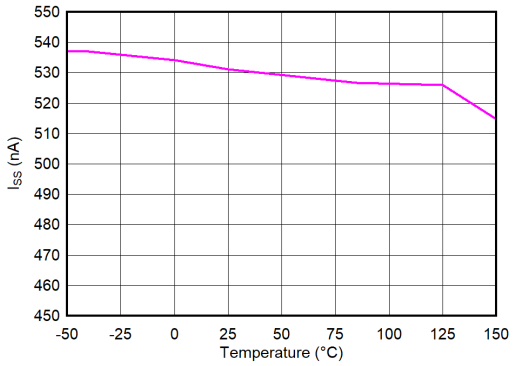
旧芯片

图 5-26. I_{BIAS} 关断与温度间的关系



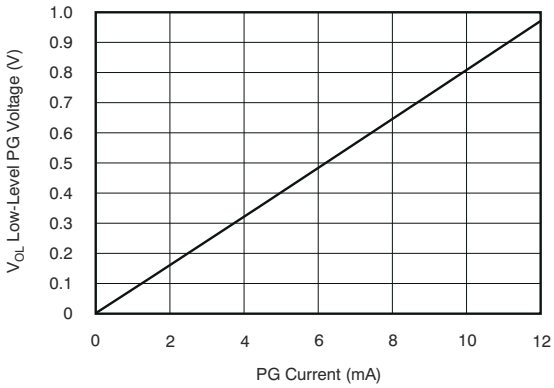
旧芯片

图 5-27. 软启动充电电流 (I_{SS}) 与温度间的关系



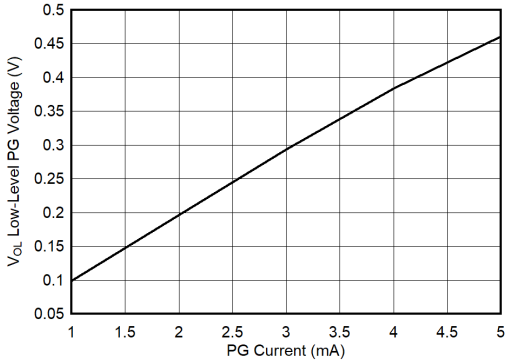
新芯片

图 5-28. 软启动充电电流 (I_{SS}) 与温度 (T_J) 间的关系



旧芯片

图 5-29. 低电平 PG 电压与 PG 电流间的关系



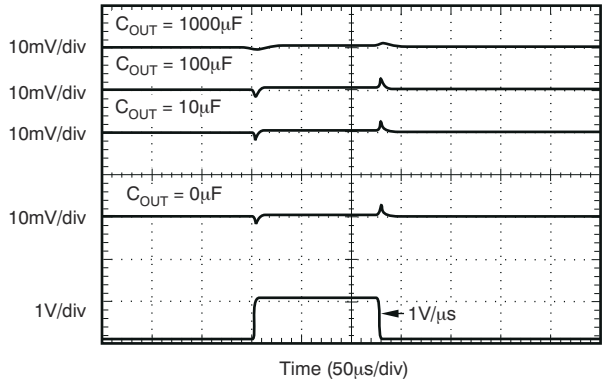
新芯片

图 5-30. 低电平 PG 电压与电流间的关系

Copyright © 2025 Texas Instruments Incorporated

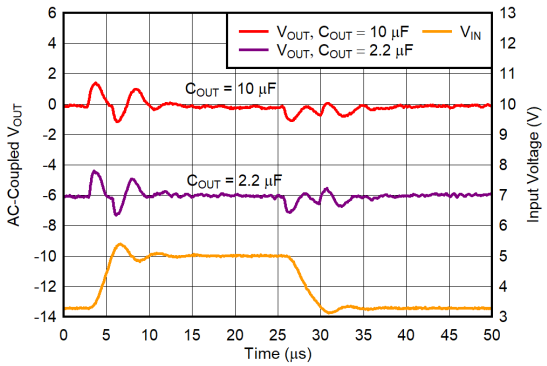
5.6 典型特性（续）

在 T_J = 25°C、V_{OUT} = 1.5V、V_{IN} = $V_{OUT(NOM)}$ + 0.3V、V_{BIAS} = 3.3V（旧芯片）、V_{BIAS} = 5.0V（新芯片）、I_{OUT} = 50mA、V_{EN} = V_{IN}、C_{IN} = 1 μF、C_{BIAS} = 4.7 μF、C_{SS} = 0.01 μF（旧芯片）且 C_{OUT} = 10 μF 时（除非另有说明）



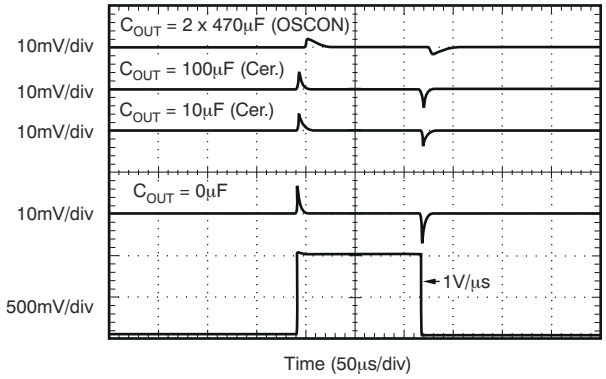
旧芯片

图 5-31. V_{BIAS} 线路瞬态 (1.5A)



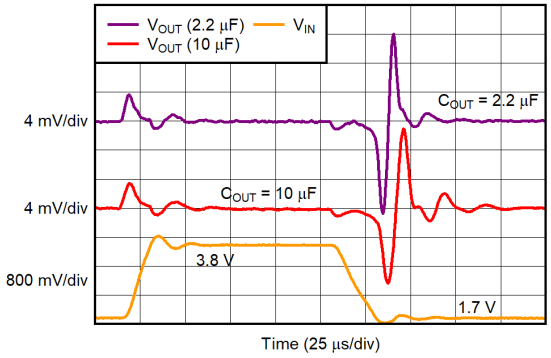
新芯片

图 5-32. V_{BIAS} 线路瞬态



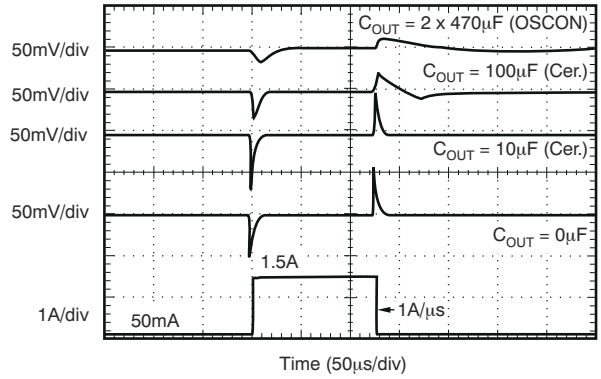
旧芯片

图 5-33. V_{IN} 线路瞬态



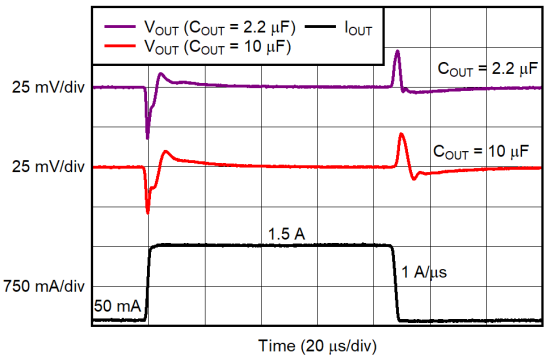
新芯片

图 5-34. V_{IN} 线路瞬态



旧芯片

图 5-35. 输出负载瞬态响应

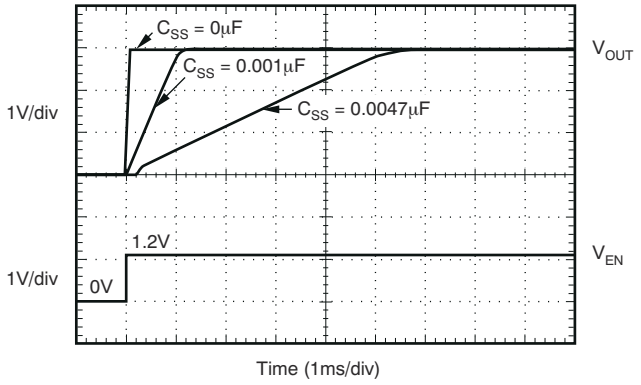


新芯片

图 5-36. 输出负载瞬态响应

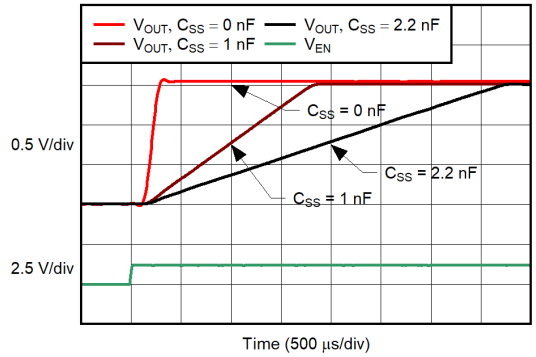
5.6 典型特性（续）

在 T_J = 25°C、V_{OUT} = 1.5V、V_{IN} = $V_{OUT(NOM)}$ + 0.3V、V_{BIAS} = 3.3V（旧芯片）、V_{BIAS} = 5.0V（新芯片）、I_{OUT} = 50mA、V_{EN} = V_{IN}、C_{IN} = 1 μF、C_{BIAS} = 4.7 μF、C_{SS} = 0.01 μF（旧芯片）且 C_{OUT} = 10 μF 时（除非另有说明）



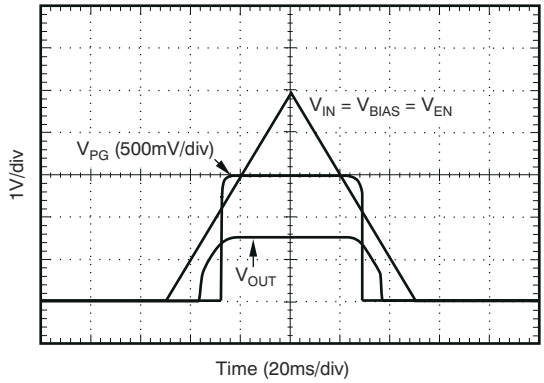
旧芯片

图 5-37. 导通响应



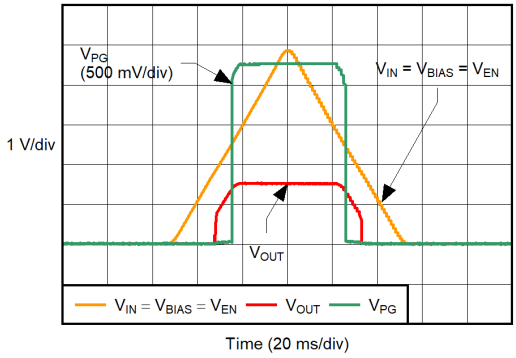
新芯片

图 5-38. 导通响应



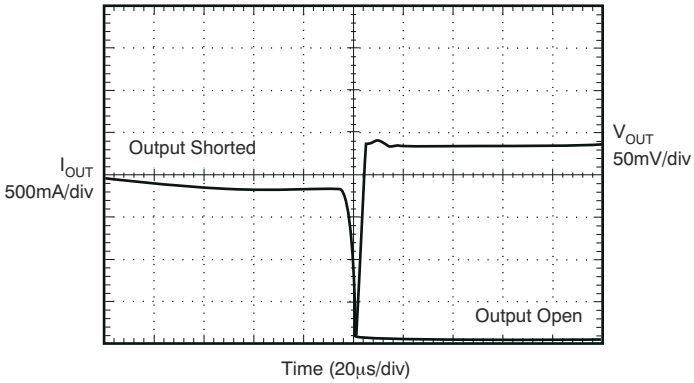
旧芯片

图 5-39. 上电、断电



新芯片

图 5-40. 上电、断电



旧芯片

图 5-41. 输出短路恢复

Copyright © 2025 Texas Instruments Incorporated

6 详细说明

6.1 概述

TPS742 属于具有软启动和跟踪功能的超低压降稳压器系列。这些稳压器使用低电流偏置输入来为所有内部控制电路供电，从而使 NMOS 导通晶体管能够调节非常低的输入和输出电压。

对于许多应用而言，使用 NMOS 导通晶体管可提供多项关键优势。与 PMOS 拓扑器件不同，输出电容器对环路稳定性几乎没有影响。此架构可让 TPS742 器件与 ≥ 2.2 μF 的任何输出电容器一起工作时保持稳定。瞬态响应也优于 PMOS 拓扑，尤其是在低 V_{IN} 应用中。

TPS742 器件具有可编程电压控制软启动电路，可提供平稳、单调的启动，并限制由大容性负载引起的启动浪涌电流。提供电源正常状态 (PG) 输出，以实现电源监控和其他电源的时序控制。具有迟滞和抗尖峰脉冲的使能 (EN) 引脚允许使用缓慢斜升信号对器件进行时序控制。低 V_{IN} 和 V_{OUT} 可在处理器密集型系统中常见的多个电源电压之间实现经济实惠、易于设计的高效线性稳压。

6.2 功能方框图

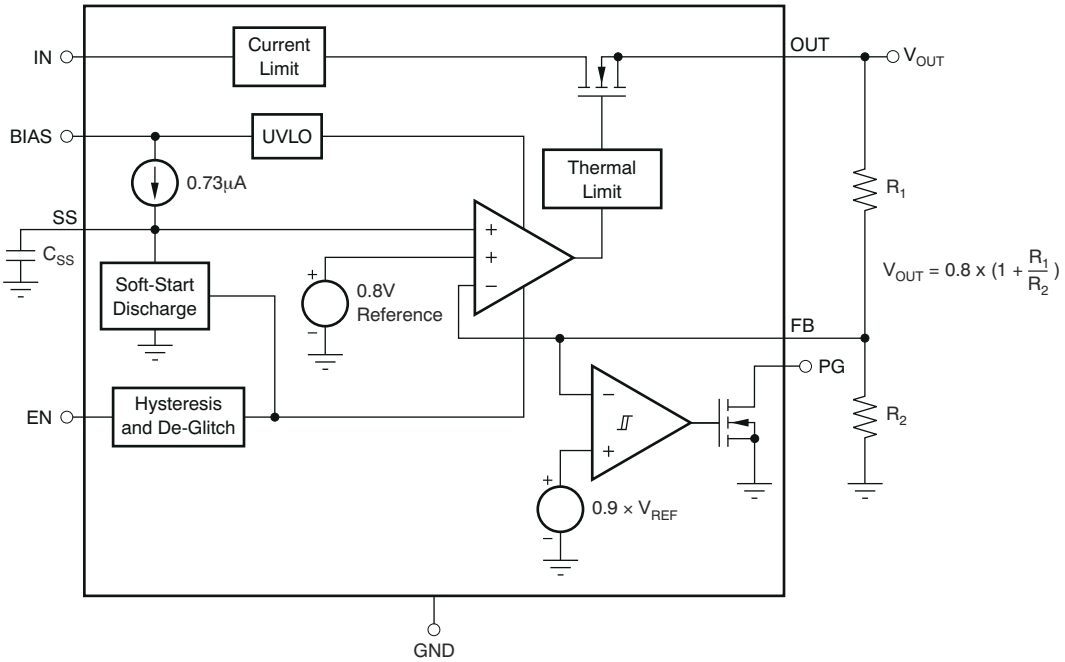


图 6-1. 旧芯片功能方框图

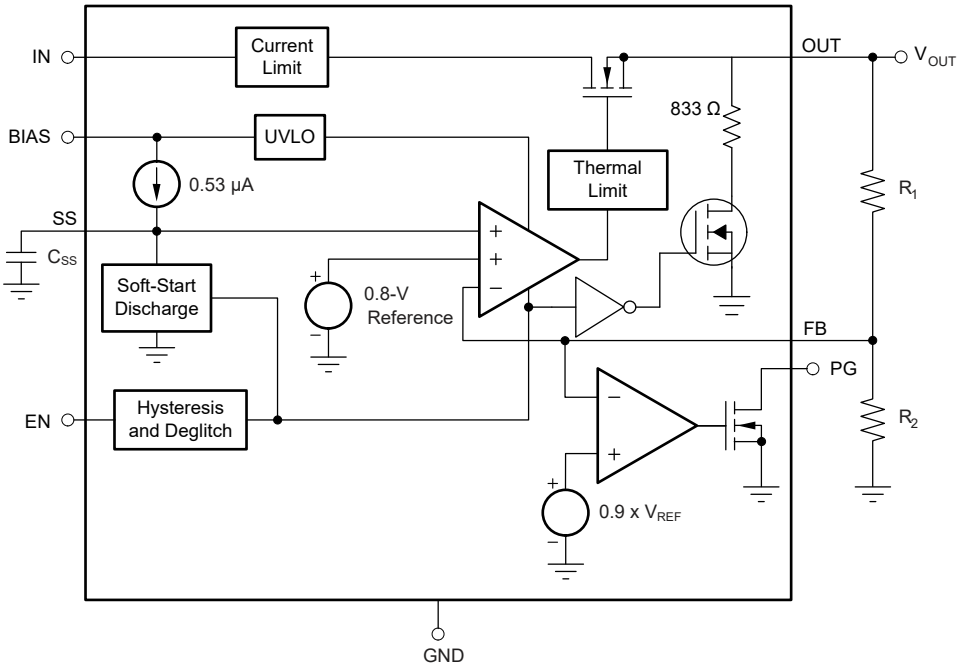


图 **6-2.** 新芯片功能方框图

Copyright © 2025 Texas Instruments Incorporated

6.3 特性说明

6.3.1 使能和关断

使能 (EN) 引脚高电平有效并与标准数字信号电平兼容。低于 0.4V 的 V_{EN} 会关断稳压器，高于 1.1V 的 V_{EN} 会导通稳压器。与许多稳压器不同，使能电路具有迟滞和抗尖峰脉冲功能，可与斜升相对较慢的模拟信号配合使用。此配置允许通过将另一个电源的输出连接到 EN 引脚来启用 TPS742 器件。使能电路通常具有 50mV 的迟滞和抗尖峰脉冲电路，以帮助避免由于 V_{EN} 信号中的微小毛刺脉冲而导致的导通和关断循环。

使能阈值通常为 0.8V，并随温度和工艺变化而变化。温度变化约为 –1mV/°C；因此，使能阈值的大部分变化都是工艺变化导致的。如果需要精确的开通时序，则使用快速上升时间信号来启用 TPS742 器件。

如果未使用，EN 可以连接至 IN 或 BIAS。如果 EN 连接到 IN，则将 EN 连接到尽可能靠近输入端最大电容的位置，以防止该线路上的压降触发使能电路。

6.3.2 电源正常（仅限 VQFN 封装）

电源正常 (PG) 引脚为开漏输出，可通过外部上拉电阻器连接到任何 5.5V 或更低的电源轨。该引脚至少需要 1.1V 的 V_{BIAS} 电压才能实现有效输出。当 V_{OUT} 大于 $V_{IT} + V_{HYS}$ 时，PG 输出为高阻抗。如果 V_{OUT} 降至 V_{IT} 以下或 V_{BIAS} 降至小于 1.9V，开漏输出将导通，并将 PG 输出拉至低电平。禁用器件时，PG 引脚也会置为有效。PG 引脚灌电流的建议运行条件为高达 1mA，因此 PG 的上拉电阻必须在 10kΩ 至 1MΩ 范围内。仅 VQFN 封装提供 PG。如果不需要输出电压监控，则可将 PG 引脚保持悬空。

6.3.3 内部电流限制

TPS742 系列具有工厂修整的精确电流限制，在整个温度和电源电压范围内保持平坦。电流限制允许器件提供高达 1.8A 的浪涌并保持稳定。电流限制在大约 10μs 内响应，以降低短路故障期间的电流。从短路情况中恢复受到很好的控制，当负载被移除时，输出过冲极小。请参阅*典型特性*部分中的 图 5-41，以获得 I_{OUT} 与 V_{OUT} 性能的图表。

TPS742 系列器件的内部电流限制保护电路旨在防止出现过载情况。该电路不支持在高于器件额定电流的条件下运行。TPS742 器件持续运行在额定电流以上会降低器件的可靠性。

6.4 器件功能模式

6.4.1 正常运行

在下列条件下，器件的输出电压会稳定在标称值：

- 输入电压和偏置电压都至少处于相应的最小规格下。
- 使能电压先前已超过使能上升阈值电压，但尚未降至低于使能下降阈值。
- 输出电流低于电流限值。
- 器件结温低于最大指定结温。
- 该器件无法在压降条件下运行。

6.4.2 压降运行

如果输入电压低于标称输出电压与指定压降电压之和，但仍满足正常工作模式的所有其他条件，则器件将工作在压降模式。在这种情况下，输出电压等于输入电压与压降电压之差。器件的瞬态性能会显著下降，因为导通晶体管处于三极管状态，不再控制流过 LDO 的电流。压降过程中的线路或负载瞬态可能会导致输出电压偏差较大。

6.4.3 禁用

在下列情况下，该器件被禁用：

- 输入或偏置电压低于相应的最低规格。
- 使能电压小于使能下降阈值电压或尚未超过使能上升阈值。
- 器件结温大于热关断温度。

表 6-1 给出了不同工作模式的参数条件。

表 6-1. 器件功能模式比较

工作模式	参数				
	V_{IN}	V_{EN}	V_{BIAS}	I_{OUT}	T_J
正常模式	$V_{IN} > V_{OUT(nom)} + V_{DO}(V_{IN})$	$V_{EN} > V_{EN(high)}$	$V_{BIAS} \geqslant V_{OUT} + 1.4V$，	$I_{OUT} < I_{CL}$	$T_J < 125°C$
压降模式	$V_{IN} < V_{OUT(nom)} + V_{DO}(V_{IN})$	$V_{EN} > V_{EN(high)}$	$V_{BIAS} < V_{OUT} + 1.4V$	—	$T_J < 125°C$
禁用模式（任何真条件都会禁用该器件）	$V_{IN} < V_{IN(min)}$	$V_{EN} < V_{EN(low)}$	$V_{BIAS} < V_{BIAS(min)}$	—	$T_J > 155°C$

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

7.1.1 输入、输出和偏置电容器要求

TPS742 系列不需要任何输出电容器即可稳定运行。如果需要输出电容器，此器件旨在与所有可用类型和值的输出电容一起使用时保持稳定。该器件还可以与多个任何类型或值的并联电容器配合使用时保持稳定。

IN 和 BIAS 引脚上所需的电容在很大程度上取决于输入电源阻抗。为了抵消输入端的任何电感，V_{IN} 和 V_{BIAS} 的最小建议电容器是 1 µF。如果 V_{IN} 和 V_{BIAS} 连接至同一电源，为 V_{BIAS} 推荐的最小电容器为 4.7 µF。在输入端使用优质低 ESR 电容器；首选陶瓷 X5R 和 X7R 电容器。这些电容应尽可能靠近引脚放置，以获得更佳性能。

7.1.2 瞬态响应

对于大多数应用，TPS742 系列器件设计成具有 5% 以内的瞬态响应，无需任何输出电容器。在某些情况下，瞬态响应可能会受到输入电源瞬态响应的限制。在输入和输出之间的差异小于 300mV 的应用中，这种限制尤其如此。在本例中，添加额外的输入电容不仅可以改善瞬态响应，还可以增加额外的输出电容。在采用稳定输入电源的情况下，添加额外的输出电容可减少瞬态期间的下冲和过冲，但 V_{OUT} 恢复时间会稍长。请参阅*典型特性*部分中的图 5-35。由于 TPS742 器件在没有输出电容器的情况下很稳定，因此许多应用可能允许 LDO 输出端几乎或完全没有电容。对于这些应用，受电器件的局部旁路电容足以满足应用的瞬态要求。该设计避免了在 LDO 输出端使用昂贵的高值电容器，从而降低了总体解决方案成本。

7.1.3 压降电压

TPS742 系列器件可提供出色的压降性能，使其非常适合高电流低 V_{IN}/低 V_{OUT} 应用。TPS742 的超低压降允许使用器件代替直流/直流转换器，同时仍可实现很高的效率。这种高效率使用户能够重新考虑应用的电源架构，从而获得更小、更简单且成本更低的解决方案。

TPS742 器件有两种不同的压降电压规格。第一种规格（图 7-1 中所示）称为 *V_{IN} 压降*，适用于希望施加外部偏置电压以实现低压降的用户。此规格假定 V_{BIAS} 至少比 V_{OUT} 高 1.62V，当由容差为 5% 且 V_{OUT} = 1.5V 的 3.3V 电源轨供电时，V_{BIAS} 就是这种情况。如果 V_{BIAS} 高于 3.3V × 0.95 或 V_{OUT} 小于 1.5V，则 V_{IN} 压降小于指定值。

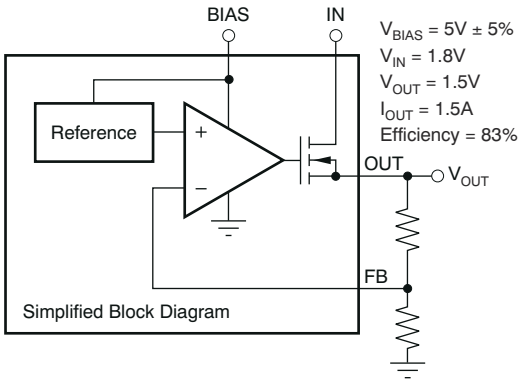


图 7-1. 使用辅助偏置电源轨的 TPS742 的典型应用

第二种规格（图 7-2 中所示）称为 *V_{BIAS} 压降*，适用于希望将 IN 和 BIAS 连接在一起的用户。此选项允许器件用于辅助偏置电压不可用或不需要低压降的应用。在这些应用中压降受 BIAS 限制，因为 V_{BIAS} 为导通晶体管提供栅极驱动，因此必须比 V_{OUT} 高 1.4V。由于这种使用，IN 和 BIAS 连接在一起很容易消耗大功率。请注意，不要超过器件封装的额定功率。

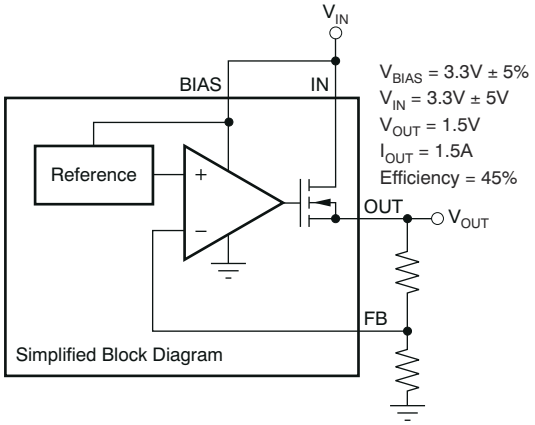


图 7-2. 无辅助偏置的 TPS742 的典型应用

7.1.4 输出噪声

使用软启动电容器时 TPS742 器件提供低输出噪声。当器件到达软启动周期终点时，软启动电容器用作内部基准的滤波器。使用 0.001 μF 软启动电容器，输出噪声减少了一半，对于 1.2V 输出（10Hz 至 100kHz）通常为 30 μV_{RMS}。由于大多数输出噪声由内部基准生成，因此噪声是所设定输出电压的函数。方程式 1 中提供了 0.001 μF 软启动电容器的 RMS 噪声。

$$V_N\left(\mu V_{RMS}\right) = 25\left(\frac{\mu V_{RMS}}{V}\right) \times V_{OUT}\ (V) \tag{1}$$

TPS742 的输出噪声较低，因此非常适合为收发器、PLL 或其他对噪声敏感的电路供电。

Copyright © 2025 Texas Instruments Incorporated

7.1.5 可编程软启动

TPS742 器件具有可编程、单调、电压受控的软启动功能，通过外部电容器 (C_{SS}) 进行设置。该功能对于许多应用都很重要，因为向 FPGA、DSP 或其他处理器供电时可消除上电初始化问题。输出的受控电压斜坡还可以降低启动期间的峰值浪涌电流，从而尽可能减少输入电源总线的启动瞬态。

为了实现线性单调软启动，TPS742 误差放大器可跟踪外部软启动电容器的电压斜坡，直到电压超过内部基准。软启动斜坡时间取决于软启动充电电流 (I_{SS})、软启动电容 (C_{SS}) 和内部基准电压 (V_{REF})，可使用 方程式 2 计算：

$$t_{SS} = \frac{(V_{REF} \times C_{SS})}{I_{SS}} \tag{2}$$

如果使用大输出电容器，则器件电流限制 (I_{CL}) 和输出电容器可以设置启动时间。在这种情况下，启动时间由 方程式 3 给出：

$$t_{SSCL} = \frac{(V_{OUT(NOM)} \times C_{OUT})}{I_{CL(MIN)}} \tag{3}$$

$V_{OUT(NOM)}$ 是用户设置的标称设定输出电压，C_{OUT} 是输出电容，$I_{CL(MIN)}$ 是器件的最小电流限制。在需要单调启动的应用中，方程式 2 给出的软启动时间必须设置为大于 方程式 3。

最大建议软启动电容器为 0.015 µF。可以使用更大的软启动电容器，并且不会损坏器件；但是，软启动电容器放电电路在启用时并非总是能够完全放电。在用户必须快速对使能引脚应用脉冲并且仍然需要器件从接地软启动的应用中，大于 0.015 µF 的软启动电容器可能会引发问题。C_{SS} 必须为低漏电；首选 X7R、X5R 或 C0G 电介质材料。有关建议的软启动电容值，请参阅 表 7-1。

表 7-1. 用于对软启动时间进行编程的标准电容值

C_{SS}	软启动时间[(1)]（旧芯片）	软启动时间[(2)]（新芯片）
开路	0.1ms	0.25ms
470pF	0.5ms	0.7ms
1000pF	1ms	1.5ms
4700pF	5ms	7ms
0.01 µF	10ms	15ms
0.015 µF	16ms	22.6ms

(1) 参阅 方程式 4。
(2) 参阅 方程式 5。

$$t_{SS}(s) = \frac{V_{REF} \times C_{SS}}{I_{SS}} = \frac{0.8V \times C_{SS}(F)}{0.73\mu A} \tag{4}$$

$$t_{SS}(s) = 0.8 \times C_{SS}(F) \div 530nA \tag{5}$$

其中：

- $t_{SS}(s)$ = 软启动时间，单位为秒

7.1.6 时序控制要求

该器件可以按任何顺序对 V_{IN}、V_{BIAS} 和 V_{EN} 进行时序控制，而不会对器件造成损坏。但是，要使软启动功能按预期工作，必须应用某些时序规则。最好在 V_{IN} 和 V_{BIAS} 出现后启用该器件，并且可以使用处理器或电源监控器的数字输出来实现。只要延迟时间长到足以使 V_{IN} 和 V_{BIAS} 出现，也可以使用来自外部 RC 电路的模拟信号，如 图 7-3 中所示。

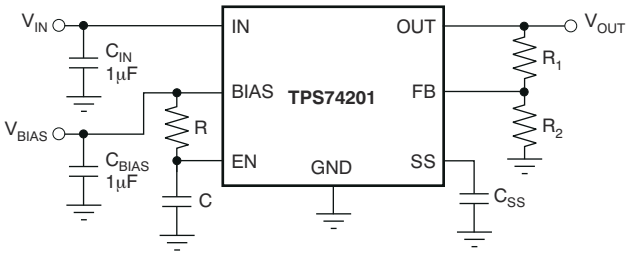


图 7-3. 使用 RC 电路启用时的软启动延迟

如果在 IN 和 BIAS 之后没有信号可用于启用器件，则在大多数应用中，只要 V_{IN} 大于 1.1V 并且 V_{IN} 和 V_{BIAS} 的斜坡速率比设定的软启动斜坡速率更快，只需将 EN 连接到 IN 即可。如果输入源的斜坡速率低于设定的软启动时间，则输出会跟踪较慢的电源减去压降电压，直至达到设定的输出电压。如果 EN 连接到 BIAS，则只要 V_{IN} 在 V_{BIAS} 之前存在，器件就将按照编程的方式进行软启动。如果在施加 V_{IN} 之前存在 V_{BIAS} 和 V_{EN}，并且设定的软启动时间已过期，则 V_{OUT} 会跟踪 V_{IN}。

备注

当存在 V_{BIAS} 和 V_{EN} 并且未提供 V_{IN} 时，该器件会从 OUT 输出约 50 µA 的电流。尽管这种情况不会对器件造成任何损坏，但如果 OUT 和 GND 之间的总电阻（包括外部反馈电阻）大于 10kΩ，输出电流可以为 OUT 节点充电。

Copyright © 2025 Texas Instruments Incorporated

7.2 典型应用

图 7-4 是 TPS742 可调输出器件的典型应用电路。

使用图 7-4 中显示的公式，R_1 和 R_2 可用于计算任一输出电压。有关常见输出电压的采样电阻值，请参阅表 7-2。为了达到最大精度规格，R_2 必须 ≤ 4.99kΩ。

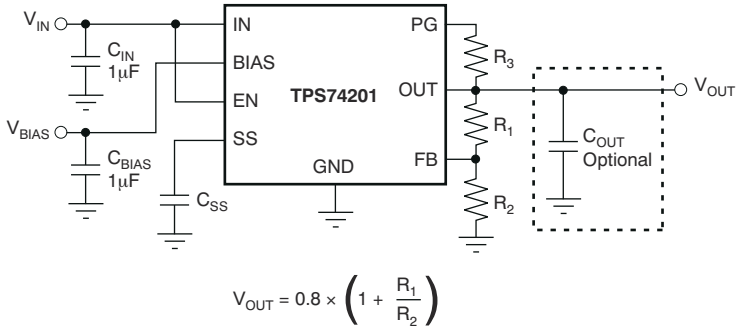


图 7-4. TPS742 的典型应用电路

表 7-2. 用于对输出电压进行编程的标准 1% 电阻值
（请参阅 方程式 6 ）

R_1 (kΩ)	R_2 (kΩ)	V_{OUT} (V)
短路	开路	0.8
0.619	4.99	0.9
1.13	4.53	1
1.37	4.42	1.05
1.87	4.99	1.1
2.49	4.99	1.2
4.12	4.75	1.5
3.57	2.87	1.8
3.57	1.69	2.5
3.57	1.15	3.3

$$V_{OUT} = 0.8 \times (1 + R1/R2) \quad (6)$$

备注

当存在 V_{BIAS} 和 V_{EN} 并且未提供 V_{IN} 时，该器件会从 OUT 输出约 50µA 的电流。尽管这种情况不会对器件造成任何损坏，但如果 OUT 和 GND 之间的总电阻（包括外部反馈电阻）大于 10kΩ，输出电流可以为 OUT 节点充电。

7.2.1 设计要求

设计目标为 V_{IN} = 1.8V、V_{OUT} = 1.5V 且 I_{OUT} = 1A（最大值）。该设计可优化瞬态响应，并满足 1ms 的启动时间要求，启动主要由软启动特性决定。输入电源来自同一电路板上的电源。V_{BIAS} 的可用系统电源轨为 2.7V、3.3V 和 5V。

设计空间包括 C_{IN}、C_{OUT}、C_{BIAS}、C_{SS}、V_{BIAS}、R_1、R_2 和 R_3，电路取自图 7-4。

本示例使用 1.8V 的 V_{IN}，V_{BIAS} 为 2.5V。

7.2.2 详细设计过程

这是假设将标准电容值表重新放回表 6-1。

根据表 7-2，在 V_{OUT} = 1.5V 时，选择 4.12kΩ 的 R1，选择 4.75kΩ 的 R2。根据表 6-1，典型启动时间为 1ms 时，C_{SS} 为 1000pF。为获得出色性能，使用 5V 电源轨作为辅助电源。选择 100kΩ 的 R3，因为 PG 总线供具有额外 100kΩ 上拉电阻的其他器件使用。

10μF 的 C_{IN} 用于改善输入电源的瞬态性能，1μF 的 C_{BIAS} 用于验证辅助电源是否稳定，1μF 的 C_{OUT} 用于在输出端提供一些本地电容。

7.2.3 应用曲线

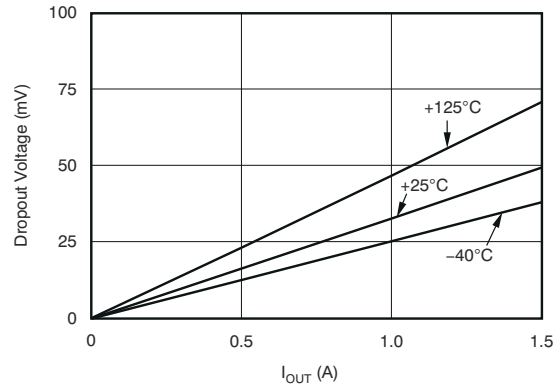


图 7-5. V_{IN} 压降电压与 I_{OUT} 和温度 (T_J) 间的关系

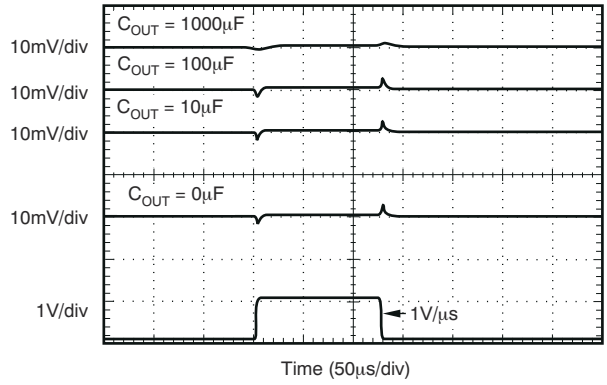


图 7-6. V_{BIAS} 线路瞬态 (1.5A)

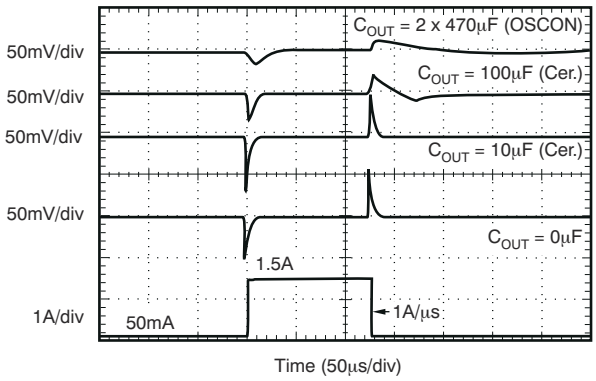


图 7-7. 输出负载瞬态响应

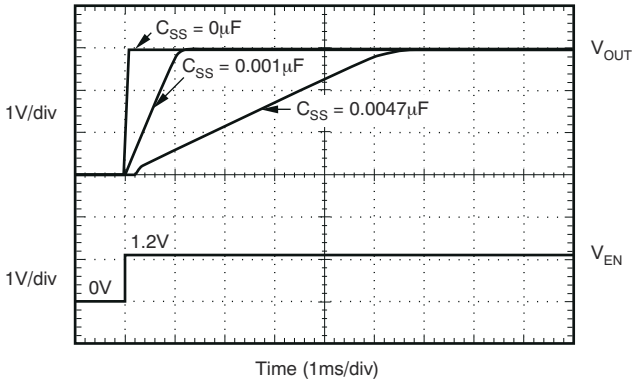


图 7-8. 导通响应

7.3 电源相关建议

TPS742 器件设计为可在 1.1V 至 5.5V 的输入电压下运行，前提是偏置轨至少比输入电源高 1.4V。偏置轨和输入电源都必须为器件正常运行提供足够的余量和电流。

将低输出阻抗电源直接连接到 TPS742 器件的 IN 引脚。为了实现稳定性，该电源在 IN 引脚附近必须至少具有 1μF 的电容。具有类似要求的电源也必须通过单独的 1μF 或更大的电容器直接连接到偏置轨。

如果 IN 引脚连接到 BIAS 引脚，则至少需要 4.7μF 的电容以确保稳定性。

为了在较高频率下提高解决方案的总 PSRR，请在输入电容器之前使用 π 型滤波器或铁氧体磁珠。

Copyright © 2025 Texas Instruments Incorporated

7.4 布局

7.4.1 布局指南

优化的布局可以极大地改善瞬态性能、PSRR 和噪声。为更大程度地减小负载瞬态期间器件输入端的压降，将 IN 和 BIAS 上的电容连接至尽可能靠近器件的位置。该电容还可以更大限度减小寄生电感和输入源电阻的影响，从而提高稳定性。为实现更高瞬态性能和精度，将 图 7-4 中 R_1 的顶侧尽可能靠近负载连接。如果 BIAS 连接到 IN，TI 建议将 BIAS 连接到尽可能靠近输入电源的检测点的位置。该连接可在瞬态条件下更大限度地减少 BIAS 上的压降，并可以改善导通响应。

7.4.1.1 热保护

当结温上升至大约 160°C 时，过热保护会禁用输出以使器件冷却。当结温被冷却至大约 140°C 时，输出电路又会被启用。根据功率耗散、热阻和环境温度的变化，过热保护电路可能会循环开启和关断。这一循环操作会限制稳压器的功耗，防止稳压器因过热而损坏。

激活过热保护电路的情况表示过多的功率耗散或者不够充分的散热。为了实现可靠运行，请将结温限制为最高 125°C。为了估算一个完整设计中（包括散热）的安全裕量，应提高环境温度直到触发过热保护；使用最差情况负载和信号条件。为了实现更好的稳定性，过热保护必须在比您的应用的最大预计环境温度至少高 40°C 时触发。这种情况在最高预计环境温度和最差情况负载上产生了一个 125°C 最差情况结温。

TPS742 器件的内部保护电路经过设计，可防止出现过载情况。该电路并不是为了取代适当的散热装置。TPS742 器件持续不断地运行至热关断状态会降低器件的可靠性。

7.4.1.2 散热注意事项

使用*热性能信息* 表中的热指标 ψ_{JT} 和 ψ_{JB}，可以用相应的公式（在方程式 7 中给出）估算结温。为了实现向后兼容性，还列出了较旧的 $\theta_{JC,Top}$ 参数。

$$\Psi_{JT}: \quad T_J = T_T + \Psi_{JT} \bullet P_D$$
$$\Psi_{JB}: \quad T_J = T_B + \Psi_{JB} \bullet P_D \tag{7}$$

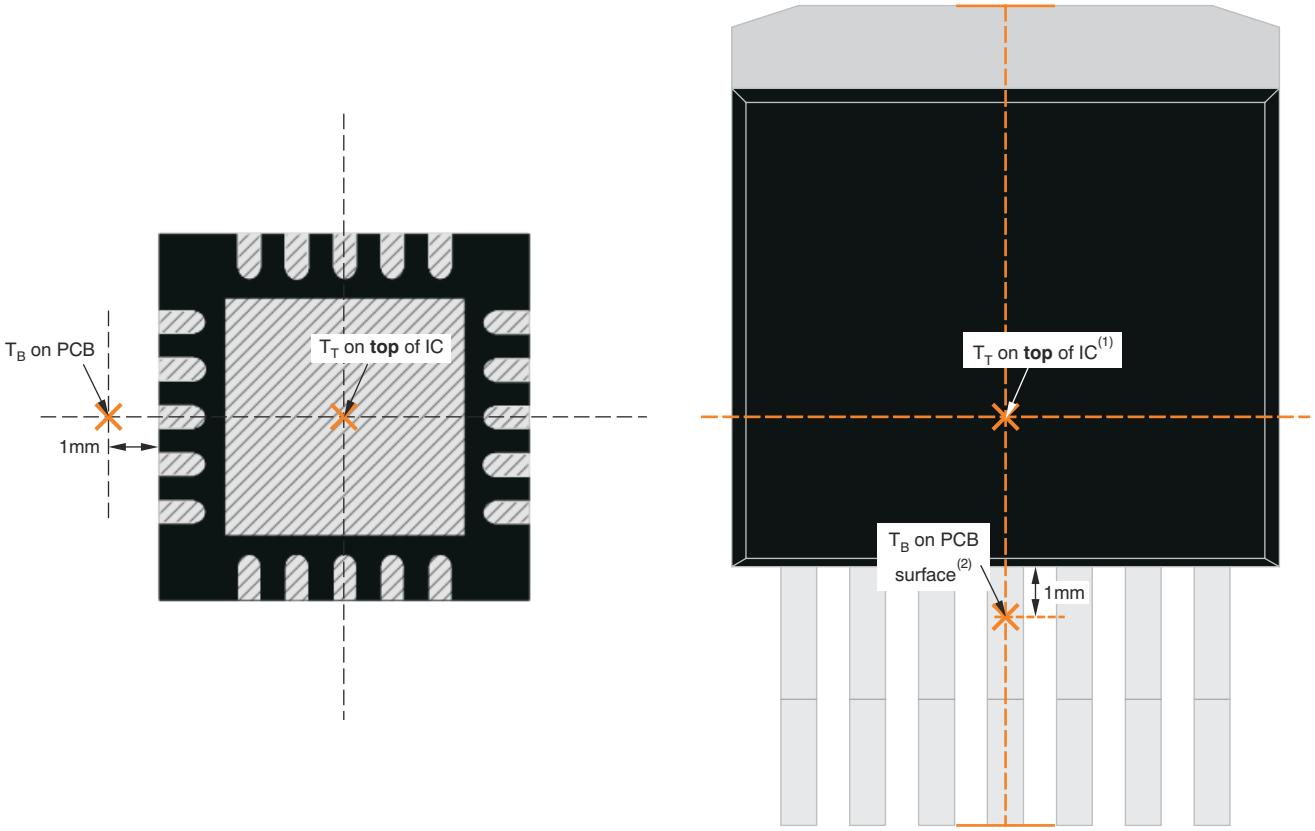
其中

- P_D 是由 $P_D = (V_{IN} - V_{OUT}) \times I_{OUT}$ 给出的功率耗散
- T_T 是 IC 封装顶部中间位置的温度
- T_B 是在 *PCB 表面*距 IC 封装 1mm 测得的 PCB 温度（如 图 7-9 所示）。

备注

T_T 和 T_B 都可以使用实际测温仪（红外温度计）在实际应用板上进行测得。

有关测量 T_T 和 T_B 的详细信息，请参阅*使用新的热指标*应用手册（可从 www.ti.com 下载）。



(a) Example RGW (QFN) Package Measurement

(b) Example KTW (DDPAK) Package Measurement

A. T_T 是在 X 和 Y 维度轴的中心测得的。

B. T_B **在 PCB 表面**上的封装引线 *下方* 测得。

图 7-9. T_T 和 T_B 的测量点

Copyright © 2025 Texas Instruments Incorporated

与 θ_{JA} 相比，新的热指标 ψ_{JT} 和 Ψ_{JB} 与电路板尺寸的关系不大，但也有一定的关系。图 7-10 展示了 ψ_{JT} 和 ψ_{JB} 的表征性能与电路板尺寸的关系。

从 图 7-10 可以看到，RGW 封装的热性能对电路板尺寸的依赖性可以忽略不计。但是，KTW 封装的确与电路板尺寸有一定的关系。之所以存在这种相关性，是因为封装形状与 IC 中心不是点对称。例如，在 KTW 封装中（请参阅 图 7-9），器件不在 T_T 测量点以下，该测量点是 X 和 Y 维度的中心，因此 ψ_{JT} 具有相关性。此外，由于这种非点对称性，PCB 上的器件热分布也不是点对称的，因此 Ψ_{JB} 具有相关性。

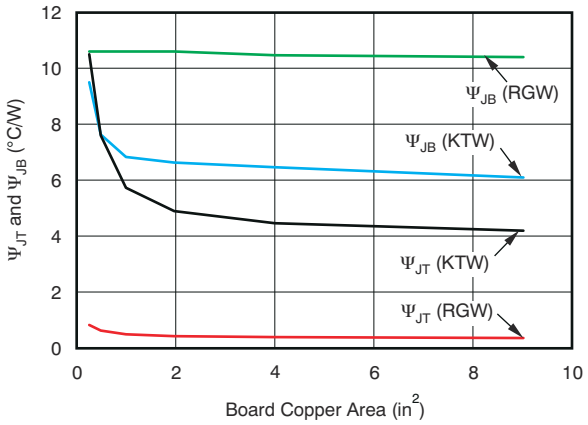


图 7-10. ψ_{JT} 和 ψ_{JB} 与电路板尺寸间的关系

有关 TI 为何不建议使用 $\theta_{JC,Top}$ 确定散热特性的更详细讨论，请参阅*使用新的热指标*应用手册（可从 www.ti.com 下载）。另外，要了解更多信息，请参阅 *IC 封装热指标*应用手册（也可在 TI 网站上获取）。

7.4.2 布局示例

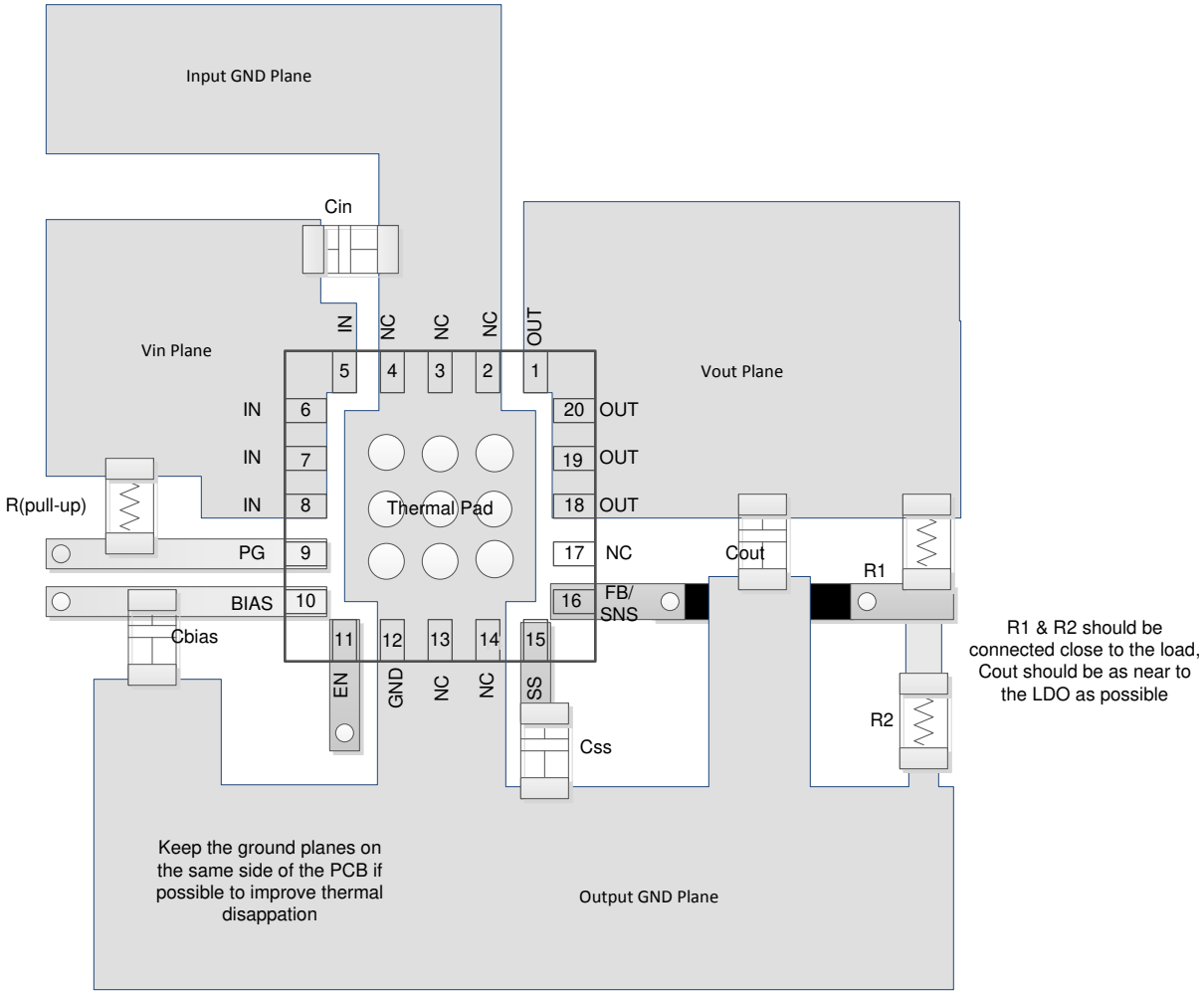


图 7-11. 布局原理图（VQFN 封装）

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.1.1 评估模块

评估模块 (EVM) 可与 TPS744 配套使用，帮助评估初始电路性能。TPS74201EVM-118 评估模块（以及相关的用户指南）可在德州仪器 (TI) 网站上的产品文件夹中获取，也可直接从 TI 网上商店购买。

8.1.1.2 Spice 模型

分析模拟电路和系统的性能时，使用 SPICE 模型通常有利于对电路性能进行计算机仿真。您可以从产品文件夹中的*工具与软件*下获取 TPS744 的 SPICE 模型。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*6A 电流均流双路 LDO 设计指南*
- 德州仪器 (TI)，*使用新的热指标 应用手册*

8.2.2 器件命名规则

表 8-1. 器件命名规则

产品[(1)]	V_{OUT}
TPS74201**yyyzM3**	**yyy** 为封装位号。 **z** 为封装数量。 **M3** 是仅使用新制造流程的器件的后缀指示符（CSO：RFB）。没有这个后缀的器件可以随附旧芯片（CSO：DLN）或新芯片（CSO：RFB）。卷带封装标签提供 CSO 信息以区分正在使用的芯片。通篇对新芯片和旧芯片的器件性能进行了说明。

(1) 要获得最新的封装和订购信息，请参阅本文档末尾的“封装选项附录”，或者访问器件产品文件夹 (www.ti.com)。

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision O (October 2024) to Revision P (February 2025)	Page
• 添加了适用于新芯片的曲线	8
• 向*用于对软启动时间进行编程的标准电容值*表中添加了新芯片信息	21

Changes from Revision N (November 2016) to Revision O (October 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 更改了整个文档以与当前系列格式保持一致	1
• 向文档添加了 M3 器件	1
• 通篇添加了器件措辞以区分传统器件和新器件信息	1
• 将*器件信息* 表更改为*封装信息* 删除了最后一句	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS74201KTWR	Active	Production	DDPAK/TO-263 (KTW) | 7	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TPS74201
TPS74201KTWR.A	Active	Production	DDPAK/TO-263 (KTW) | 7	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TPS74201
TPS74201KTWRG3	Active	Production	DDPAK/TO-263 (KTW) | 7	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TPS74201
TPS74201RGRR	Active	Production	VQFN (RGR) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	12JA
TPS74201RGRR.A	Active	Production	VQFN (RGR) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	12JA
TPS74201RGRT	Obsolete	Production	VQFN (RGR) | 20	-	-	Call TI	Call TI	-40 to 125	12JA
TPS74201RGWR	Active	Production	VQFN (RGW) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 74201
TPS74201RGWR.A	Active	Production	VQFN (RGW) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 74201
TPS74201RGWRG4	Active	Production	VQFN (RGW) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 74201
TPS74201RGWRM3	Active	Production	VQFN (RGW) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 74201
TPS74201RGWRM3.A	Active	Production	VQFN (RGW) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 74201
TPS74201RGWT	Active	Production	VQFN (RGW) | 20	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 74201
TPS74201RGWT.A	Active	Production	VQFN (RGW) | 20	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 74201
TPS74201RGWTG4	Active	Production	VQFN (RGW) | 20	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 74201

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

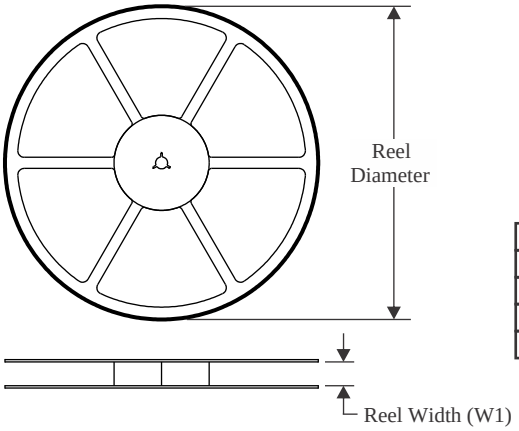
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

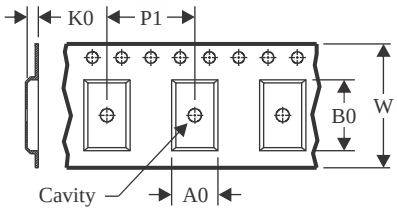
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

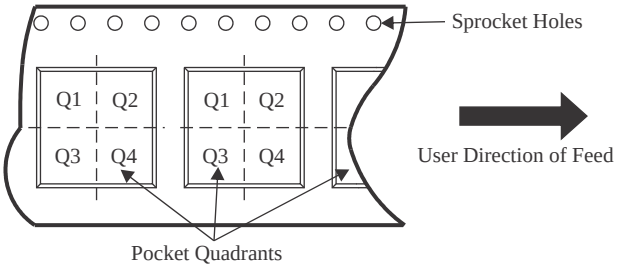


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

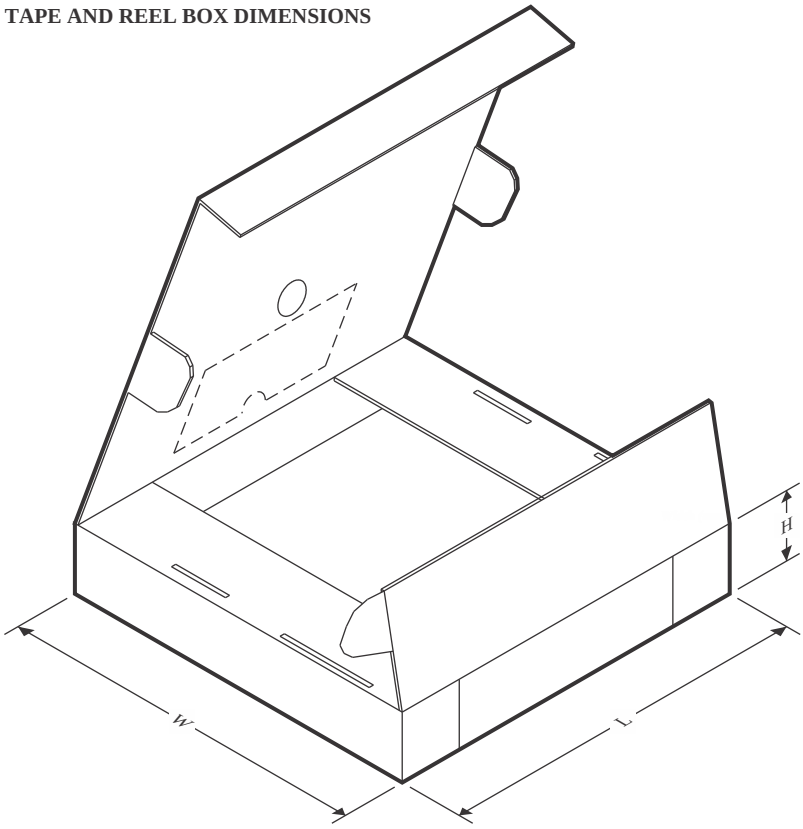
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS74201KTWR	DDPAK/ TO-263	KTW	7	500	330.0	24.4	10.6	15.8	4.9	16.0	24.0	Q2
TPS74201RGRR	VQFN	RGR	20	3000	330.0	12.4	3.8	3.8	1.1	8.0	12.0	Q1
TPS74201RGWR	VQFN	RGW	20	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
TPS74201RGWRM3	VQFN	RGW	20	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
TPS74201RGWT	VQFN	RGW	20	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS74201KTWR	DDPAK/TO-263	KTW	7	500	356.0	356.0	45.0
TPS74201RGRR	VQFN	RGR	20	3000	338.0	355.0	50.0
TPS74201RGWR	VQFN	RGW	20	3000	367.0	367.0	35.0
TPS74201RGWRM3	VQFN	RGW	20	3000	367.0	367.0	35.0
TPS74201RGWT	VQFN	RGW	20	250	210.0	185.0	35.0

GENERIC PACKAGE VIEW

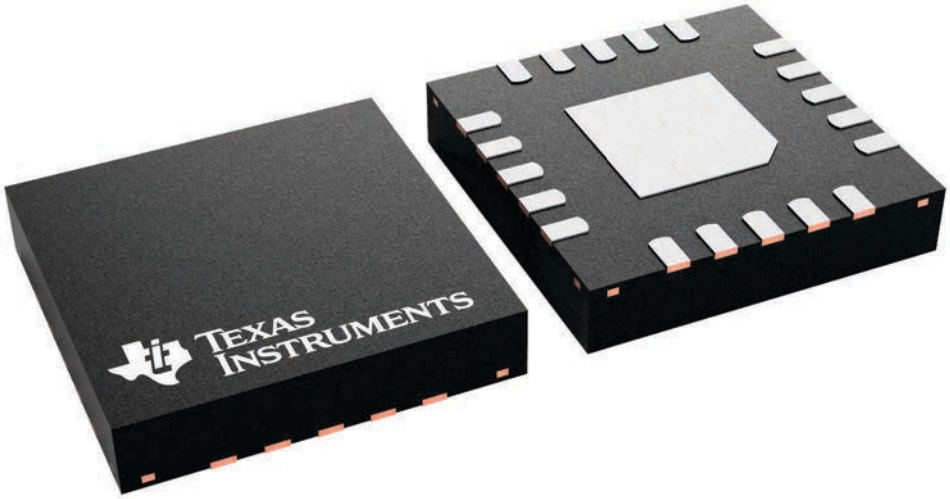
RGW 20

VQFN - 1 mm max height

5 x 5, 0.65 mm pitch

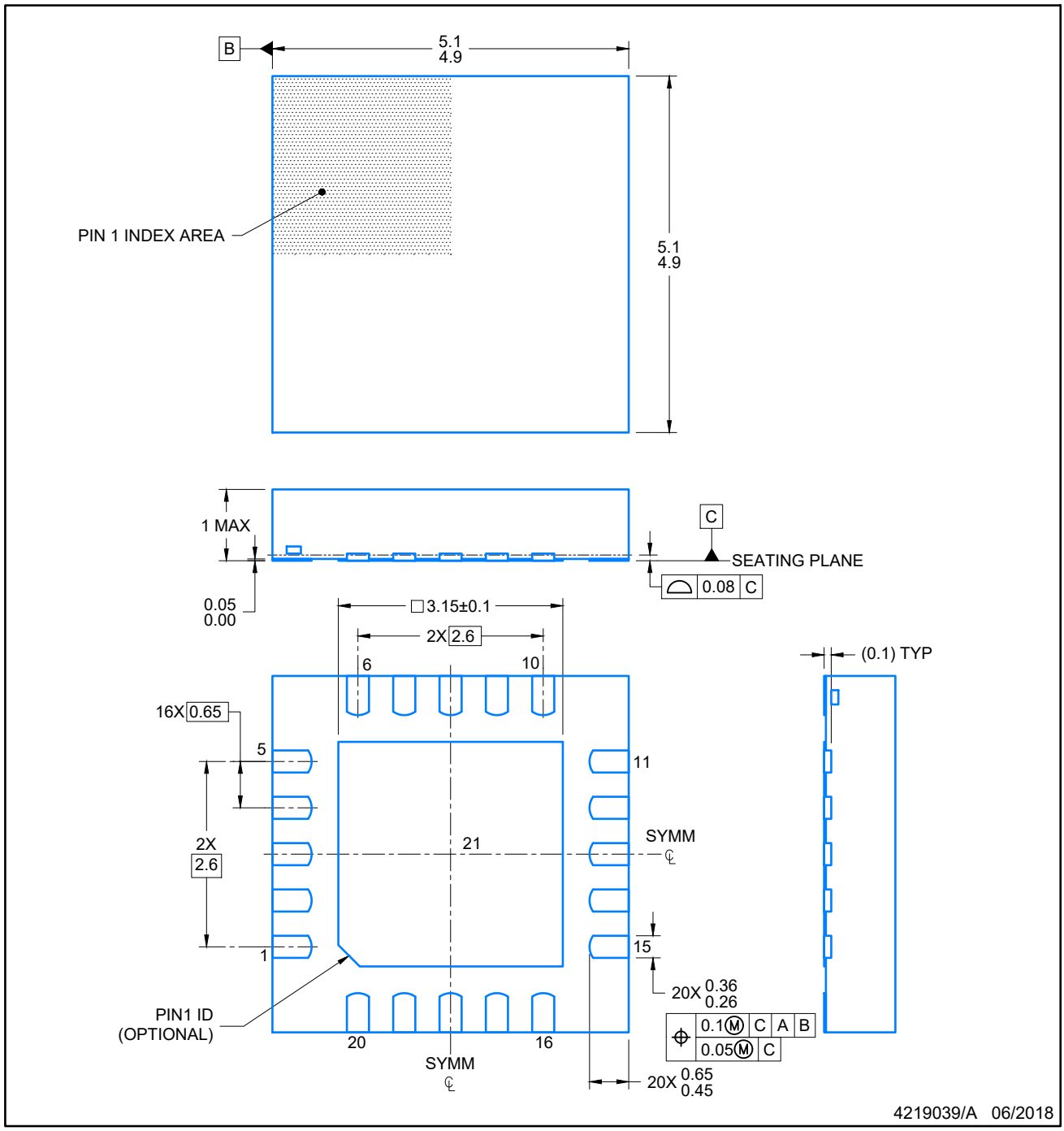
PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



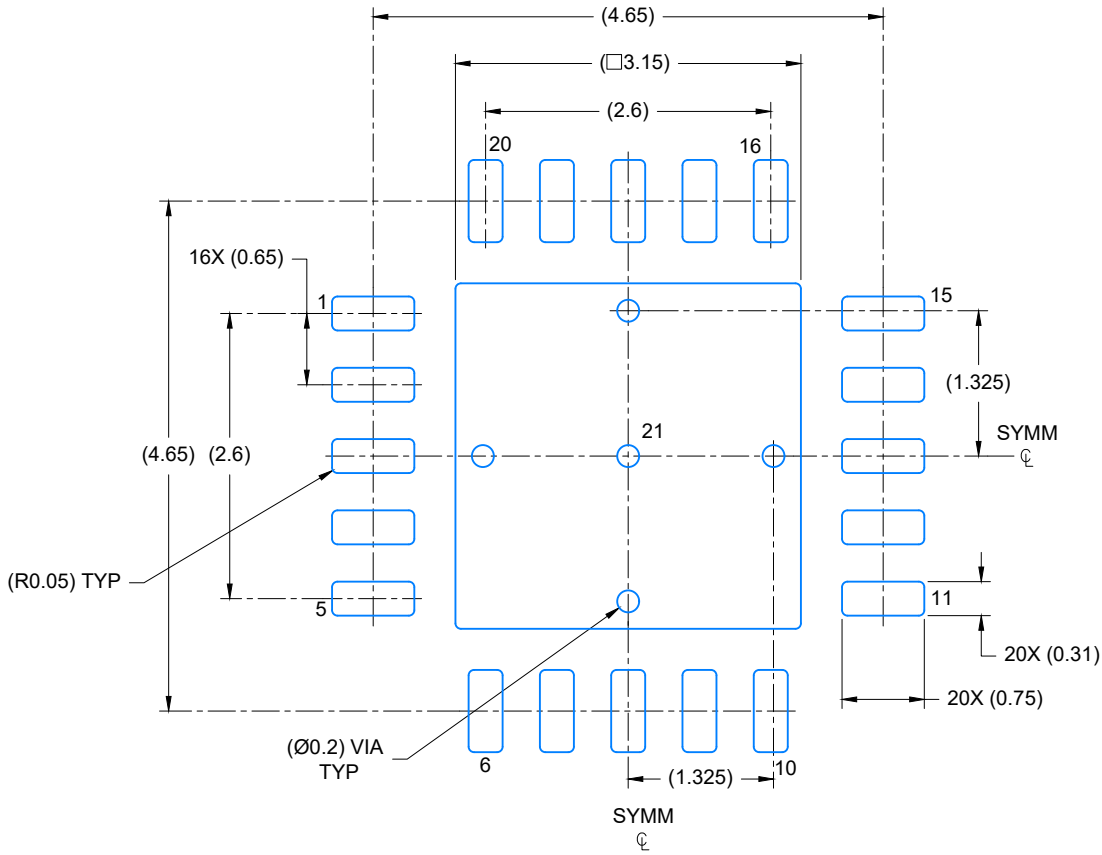
4227157/A

PLASTIC QUAD FLATPACK-NO LEAD



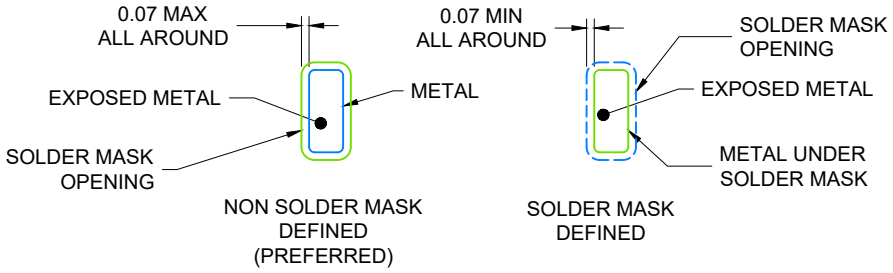
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE

SCALE: 15X

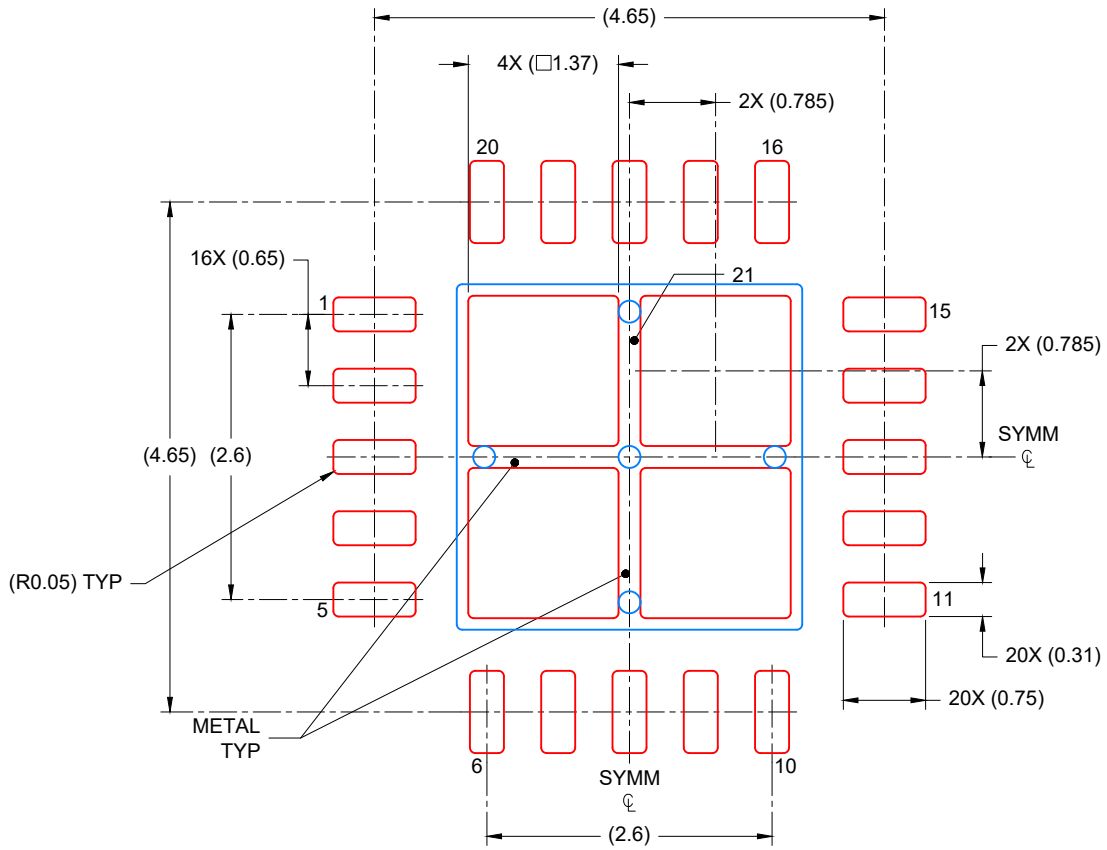


SOLDER MASK DETAILS

4219039/A 06/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



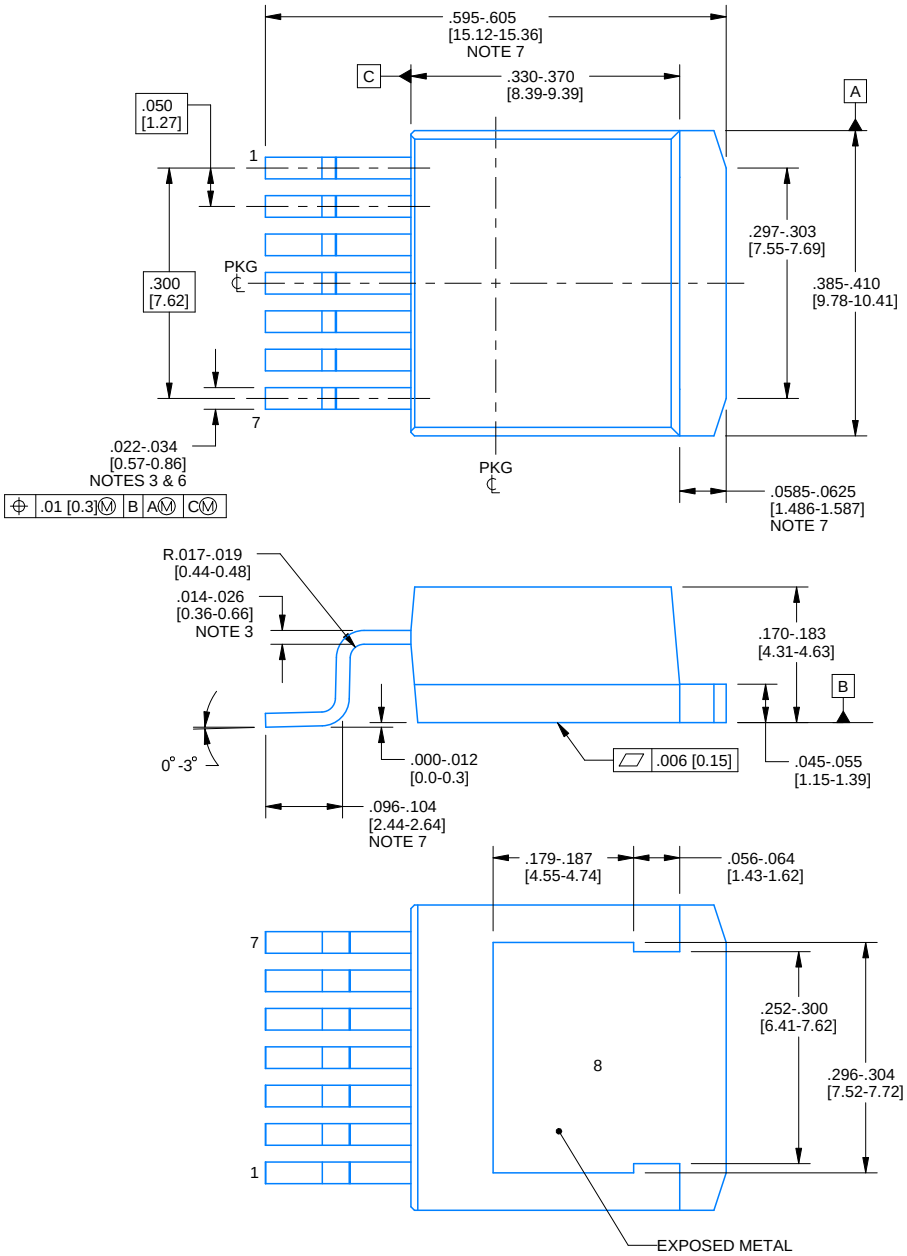
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
75% PRINTED COVERAGE BY AREA
SCALE: 15X

4219039/A 06/2018

NOTES: (continued)

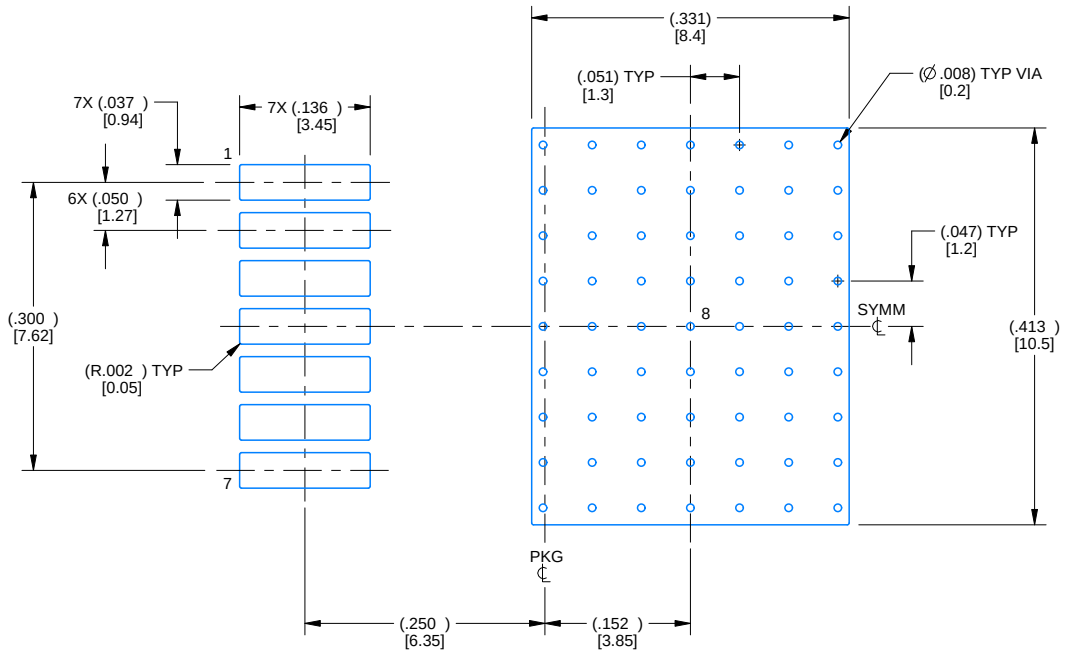
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



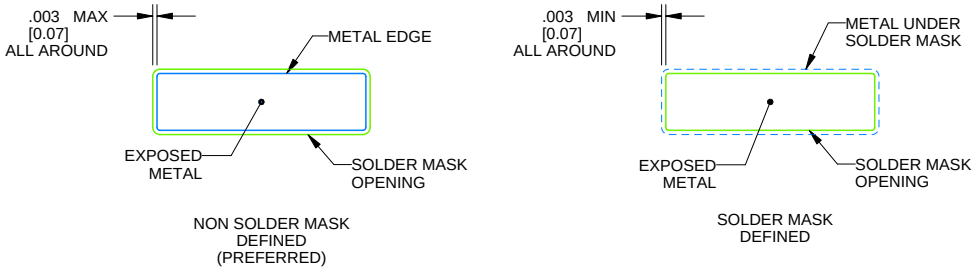
4232469/A 11/2025

NOTES:

1. All linear dimensions are in inches [millimeters]. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Lead width and height dimensions apply to the plated lead.
4. Leads are not allowed above the Datum B.
5. Stand–off height is measured from lead tip with reference to Datum B.
6. Lead width dimension does not include dambar protrusion. Allowable dambar protrusion shall not cause the lead width to exceed the maximum bdimension by more than 0.003”.
7. Falls within JEDEC MO–169 with the exception of the dimensions indicated.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 5X

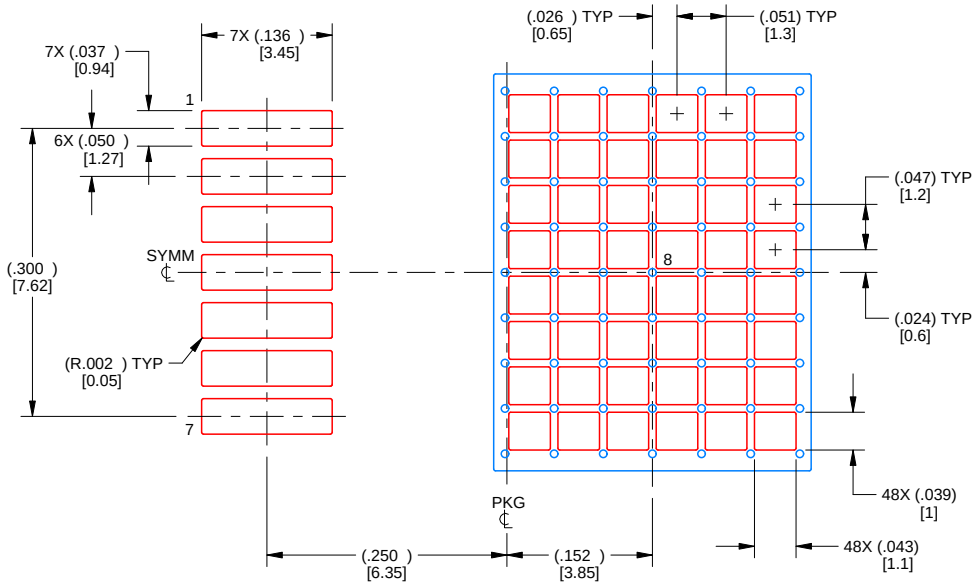


SOLDER MASK DETAILS

4232469/A 11/2025

NOTES: (continued)

8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002(www.ti.com/lit/slm002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 5X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PAD 8: 60%

4232469/A 11/2025

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

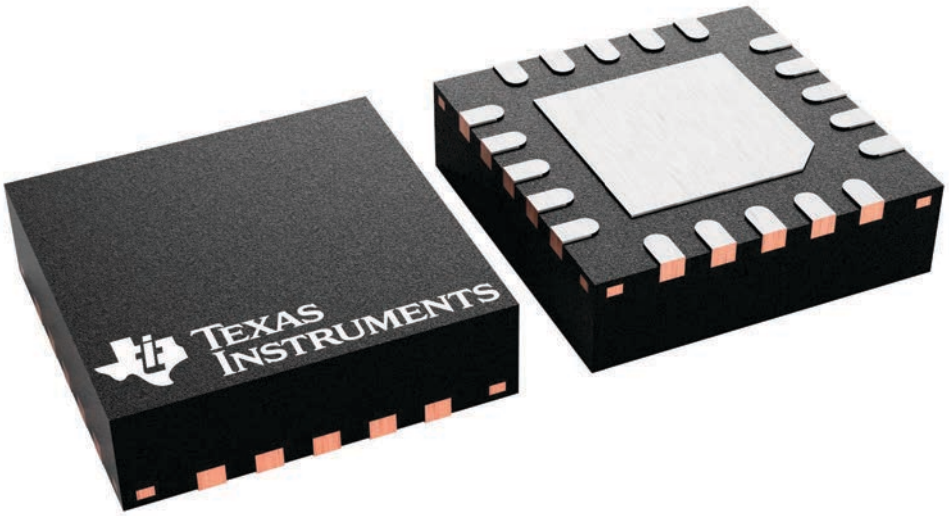
RGR 20

VQFN - 1 mm max height

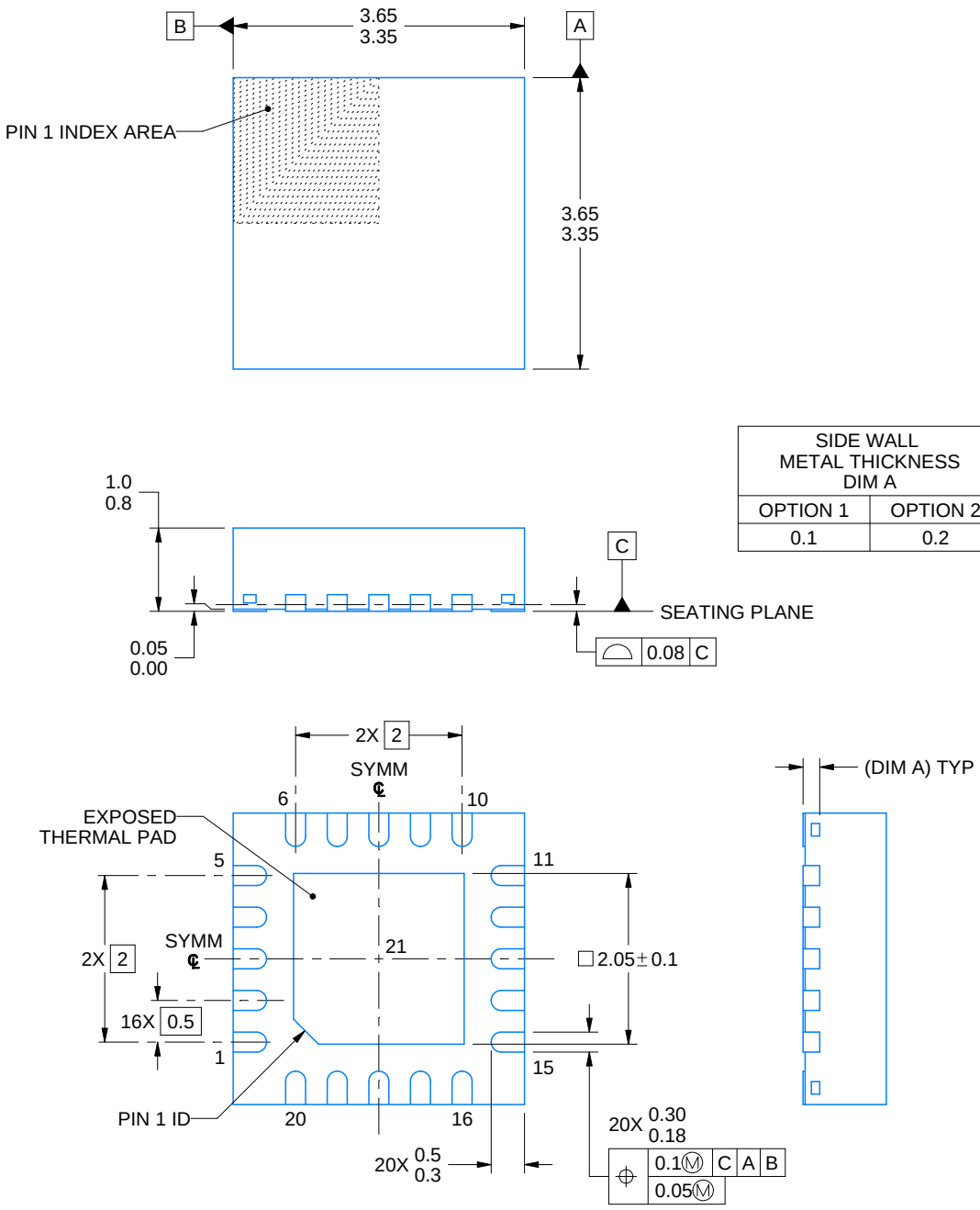
3.5 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



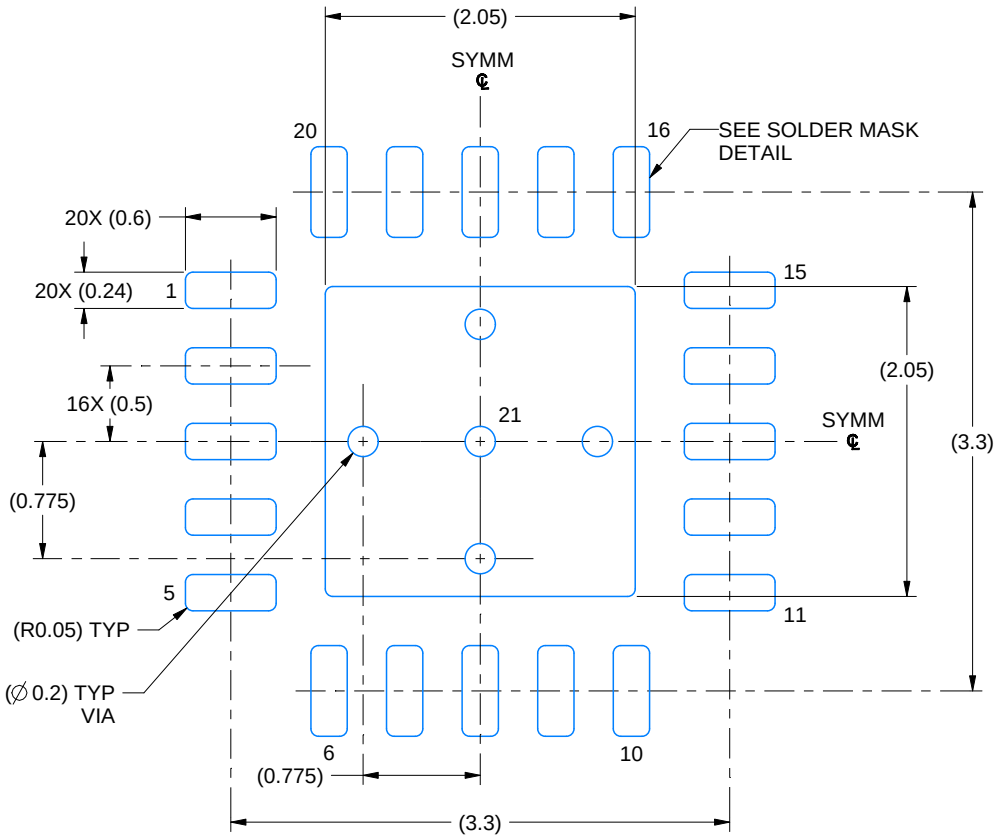
4228482/A



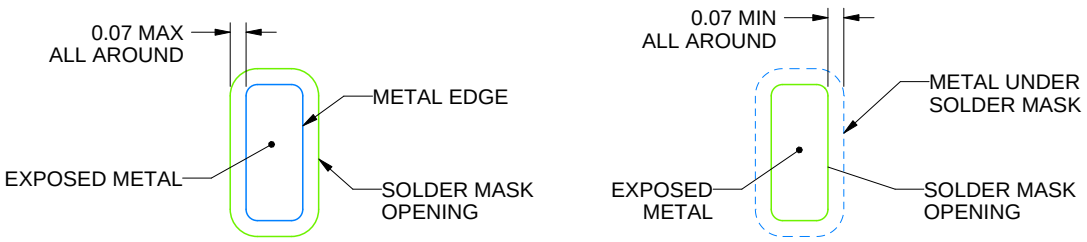
SIDE WALL METAL THICKNESS DIM A	
OPTION 1	OPTION 2
0.1	0.2

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



NON SOLDER MASK DEFINED (PREFERRED)

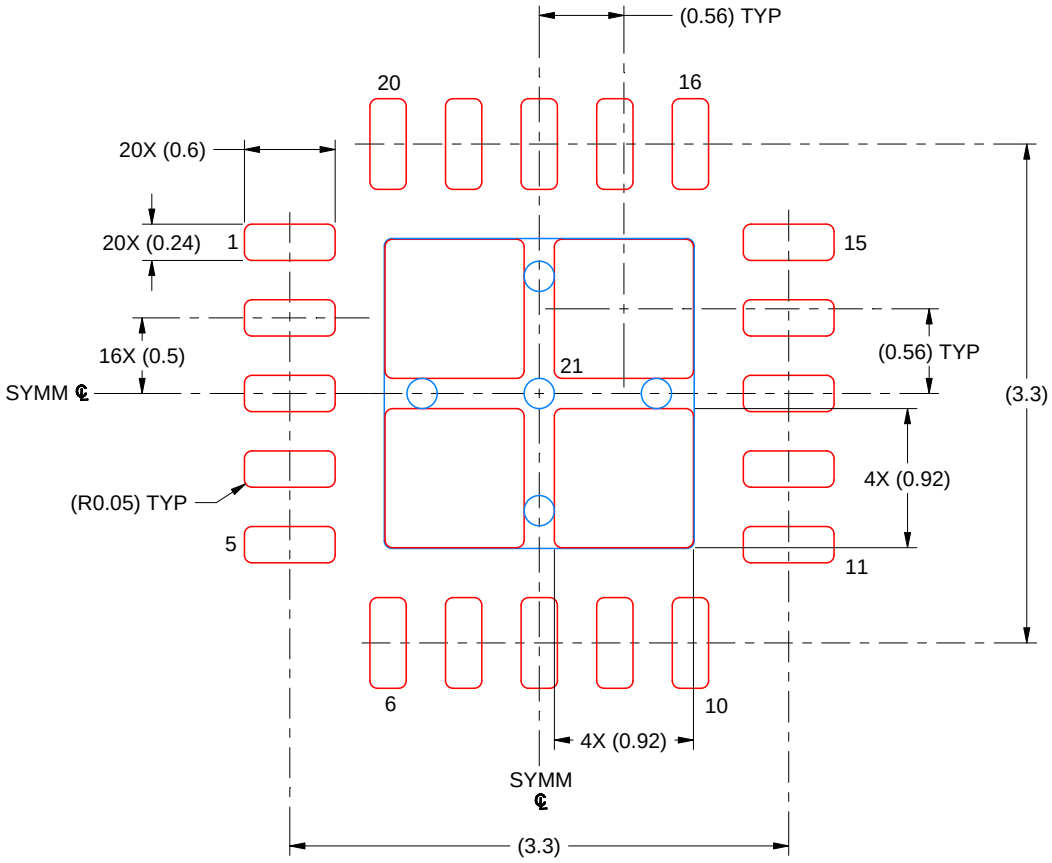
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4219031/B 04/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 21
81% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4219031/B 04/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月