TPS56425xx 采用 SOT-563 封装的 3V 至 17V 输入、4A 同步降压转换器

1 特性

- 经过配置以满足多种应用的需求
  - 输入电压范围为 3V 至 17V
  - 0.6V 至 10V 输出电压范围
  - 0.6V 基准电压
  - 25°C 时，基准精度为 ±1%
  - 在 -40°C 至 125°C 温度范围内，基准精度为 ±1.5%
  - 集成 55.0mΩ 和 24.3mΩ MOSFET
  - 100μA 低静态电流
  - 600kHz 开关频率（TPS564252B、TPS564255B 和 TPS564257B）
  - 1.2MHz 开关频率（TPS564252C、TPS564257C）
  - TPS564252B、TPS564255B 和 TPS564257B 支持高达 97% 的大占空比运行
  - TPS564252C 和 TPS564257C 支持高达 95% 的大占空比运行
  - 精密 EN 阈值电压
  - 1.6ms 固定软启动时间（典型值）
- 易于使用且设计小巧
  - 轻负载条件下，TPS564252B 和 TPS564252C 采用 Eco-mode，TPS564257B 和 TPS564257C 采用 FCCM 模式，TPS564255B 采用 Out-of-Audio™ (OOA) 模式
  - D-CAP3™ 控制模式
  - 通过集成自举电容器轻松布局
  - 支持预偏置输出启动
  - 非锁存 OV、OT 和 UVLO 保护
  - UV 保护的断续模式
  - 逐周期 OC 和 NOC 保护
  - 1.6mm × 1.6mm SOT-563 封装
- 使用 TPS56425xx 和 WEBENCH® Power Designer 创建定制设计方案

2 应用

- WLAN/Wi-Fi 接入点、交换机、路由器
- 专业音频、监控、无人机
- 电视、STB 和 DVR、智能扬声器
- 固态硬盘 (SSD)
- 电表

3 说明

TPS56425xx 是一款简单、易用、高效率、高功率密度的同步降压转换器，输入电压范围为 3V 至 17V，在 0.6V 至 10V 的输出电压范围内，支持高达 4A 的持续电流。

TPS56425xx 采用 D-CAP3 控制模式提供快速瞬态响应并支持低 ESR 输出电容器，无需外部补偿。该器件支持高达 97% 的占空比运行。

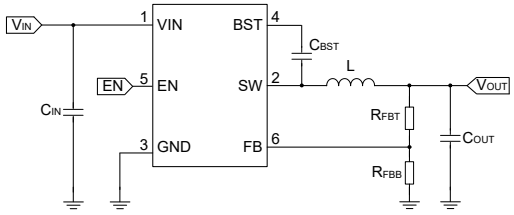
TPS564252B 和 TPS564252C 在 Eco-mode 下运行，可在轻负载时保持高效率。TPS564257B 和 TPS564257C 在 FCCM 模式下运行，可在所有负载条件下保持相同的频率和较低的输出纹波。TPS564255B 在 OOA 模式下运行，可防止产生音频噪声。这些器件集成了全面的断续模式 OVP、OCP、UVLO、OTP 和 UVP 保护。

该器件采用 1.6mm x 1.6mm SOT-563 封装。额定结温范围为 -40°C 至 125°C。

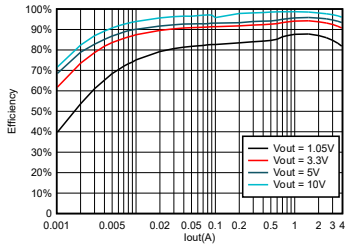
器件信息

器件型号	模式	封装(1)
TPS564252B	ECO	DRL（SOT-563，6）
TPS564252C		
TPS564255B	OOA	
TPS564257B	FCCM	
TPS564257C		

(1) 有关更多信息，请参阅 节 10。



简化版应用



TPS564252B 在 V_{IN} = 12V 时的效率

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 5
5.5 电气特性 5
5.6 典型特性 7
6 详细说明 12
6.1 概述 12
6.2 功能方框图 12
6.3 特性说明 13
6.4 器件功能模式 14
7 应用和实施 15
7.1 应用信息 15
7.2 典型应用 15
7.3 电源相关建议 22
7.4 布局 22
8 器件和文档支持 24
8.1 器件支持 24
8.2 接收文档更新通知 24
8.3 支持资源 24
8.4 商标 24
8.5 静电放电警告 24
8.6 术语表 24
9 修订历史记录 25
10 机械、封装和可订购信息 25

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

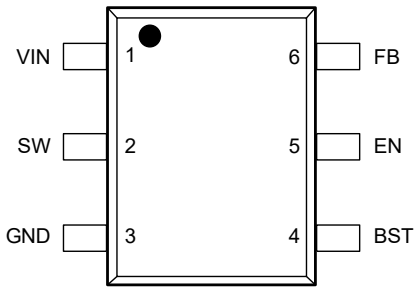


图 4-1. 6 引脚 SOT563 DRL 封装（俯视图）

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
VIN	1	P	输入电压电源引脚。在 VIN 和 GND 之间连接输入去耦电容器。
SW	2	P	开关节点引脚。将输出电感器连接到该引脚。
GND	3	G	控制器电路和内部电路的 GND 引脚。
BST	4	P	在该引脚与 SW 引脚之间连接一个 100nF 陶瓷电容器，或将该引脚悬空。
EN	5	A	使能控制输入。将 EN 驱动为高电平将启用转换器。
FB	6	A	转换器反馈输入。通过反馈电阻分压器连接到输出电压。

(1) A = 模拟，P = 电源，G = 地

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
引脚电压(2)	VIN	-0.3	18	V
	FB、EN	-0.3	6	V
	GND	-0.3	0.3	V
	SW	-2	18	V
	SW（瞬态 < 20ns）	-5.5	20	V
	BST	-2	18	V
	BST（瞬态 < 20ns）	-5.5	20	V
工作结温，T_J		-40	150	°C
贮存温度，T_{stg}		-55	150	°C

(1) 超出*绝对最大额定值*范围操作可能会导致器件永久损坏。*绝对最大额定值* 并不表示器件在这些条件下或在*建议的工作条件* 以外的任何其他条件下能够正常运行。如果超出 *建议运行条件* 但在*绝对最大额定值* 范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 所有电压值都是以网络接地引脚为基准。

5.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)，所有引脚	±2000	V
	充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
引脚电压	VIN	3		17	V
	FB、EN	-0.1		5.5	
	GND	-0.1		0.1	
	SW	-1		17	
	SW（瞬态 < 20ns）	-5		18	
	BST	-1		17	
	BST（瞬态 < 20ns）	-5		18	
输出电流	I_{OUT}	0		4	A
温度	工作结温，T_J	-40		125	°C
	贮存温度，T_{stg}	-40		150	

Copyright © 2026 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		DRL (SOT-563) 6 引脚	单位
$R_{\theta JA}$ (2)	结至环境热阻	137.4	°C/W
$R_{\theta JA_effective}$ (3)	EVM 板上的结到环境热阻	74	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	58.8	°C/W
$R_{\theta JB}$	结至电路板热阻	29.8	°C/W
ψ_{JT}	结至顶部特征参数	1.3	°C/W
ψ_{JB}	结至电路板特征参数	29.4	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。
(2) 此表中给出的 $R_{\theta JA}$ 值仅用于与其他封装的比较，不能用于设计目的。这些值是在标准 JEDEC 板上模拟得出的。这些值并不代表在实际应用中获得的性能。
(3) $R_{\theta JA_effective}$ 在 TPS564252B EVM 板上进行了测试（双层，铜厚度为 2oz），测试条件为 V_{IN} = 12V、V_{OUT} = 5V、I_{OUT} = 4A、T_A = 25°C。

5.5 电气特性

T_J = –40°C 至 125°C，V_{IN} = 12V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
输入电源电压						
V_{IN}	输入电压范围	V_{IN}	3		17	V
I_{VIN}	VIN 电源电流	无负载，V_{EN} = 5V，V_{FB} = 0.65V，非开关，ECO 版本		100		μA
		无负载，V_{EN} = 5V，V_{FB} = 0.65V，非开关，FCCM 版本		370		μA
I_{INSDN}	VIN 关断电流	无负载，V_{EN} = 0V		2		μA
UVLO						
V_{IN_UVLO}	输入欠压锁定阈值	上升阈值	2.80	2.92	3.00	V
		下降阈值	2.60	2.72	2.80	V
		迟滞		200		mV
反馈电压						
V_{REF}	FB 电压	T_J = 25°C	594	600	606	mV
		T_J = -40°C 至 125°C	591	600	609	mV
集成功率 MOSFET						
R_{DSON_HS}	高侧 MOSFET 导通电阻	T_J = 25°C，V_{IN} ≥ 5V		55.0		mΩ
		T_J = 25°C，V_{IN} = 3V(1)		67.5		mΩ
R_{DSON_LS}	低侧 MOSFET 导通电阻	T_J = 25°C，V_{IN} ≥ 5V		24.3		mΩ
		T_J = 25℃，V_{IN} = 3V		30.2		mΩ
开关频率						
f_{sw}	开关频率	T_J = 25°C，V_{OUT} = 3.3V (TPS564252B/5B/7B)		600		kHz
f_{sw}	开关频率	T_J = 25°C，V_{OUT} = 3.3V (TPS564252C/7C)		1.2		MHz
$t_{ON(MIN)}$ (1)	最短导通时间			60		ns
$t_{OFF(MIN)}$ (1)	最短关断时间	V_{FB} = 0.5V		110		ns
逻辑阈值						
V_{ENH}	EN 阈值高电平	上升使能阈值	1.15	1.19	1.25	V
V_{ENL}	EN 阈值低电平	下降禁用阈值	0.90	1.00	1.10	V
V_{ENHYS}	EN 迟滞	迟滞		190		mV

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

T_J = –40°C 至 125°C，V_{IN} = 12V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
R_{EN}	EN 下拉电阻器			2		MΩ
电流限值						
I_{OCL_LS}	过流阈值	谷值电流设定点	4.1	5.5	6.7	A
I_{NOC}	负过流阈值	（TPS564257B、TPS564257C）	1.7	2.4	2.8	A
软启动						
t_{SS}	内部软启动时间			1.6		ms
输出过压和欠压保护						
V_{OVP}	OVP 跳变阈值	V_{FB} 上升	110%	115%	120%	
t_{OVPDLY}	OVP 传播抗尖峰脉冲			24		µs
V_{UVP}	UVP 跳变阈值	V_{FB} 下降	55%	60%	65%	
t_{UVPDLY}	UVP 传播抗尖峰脉冲			220		µs
t_{UVPEN}	断续启用延迟时间	UVP 检测		14		ms
热关断						
T_{SDN} (1)	热关断阈值	关断温度		155		°C
T_{OTPHSY} (1)		迟滞		20		

(1) 根据设计指定

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性

T_J = –40°C 至 125°C，V_{IN} = 12V（除非另有说明）

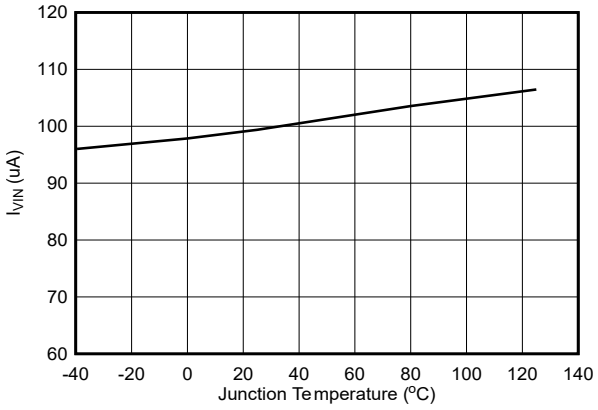


图 5-1. TPS564252B 和 TPS564252C 静态电流

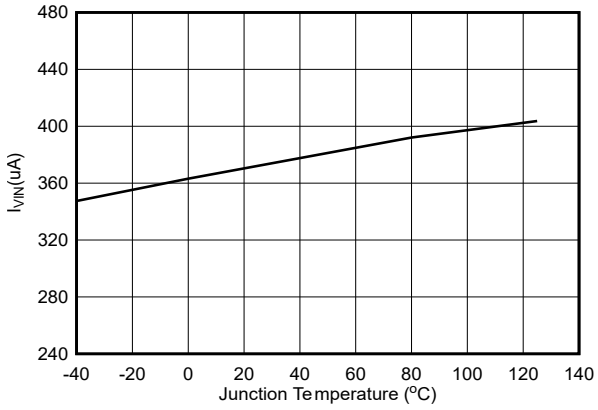


图 5-2. TPS564257B 和 TPS564257C 静态电流

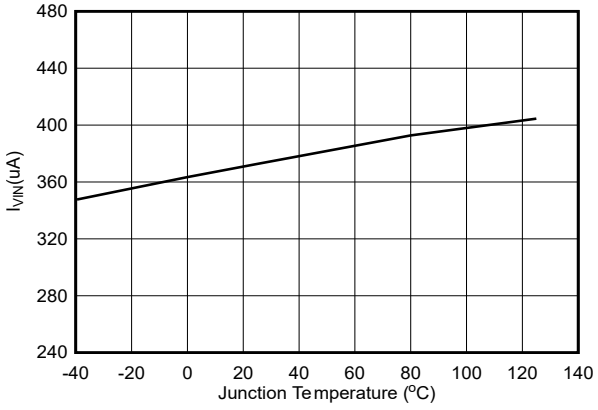


图 5-3. TPS564255B 静态电流

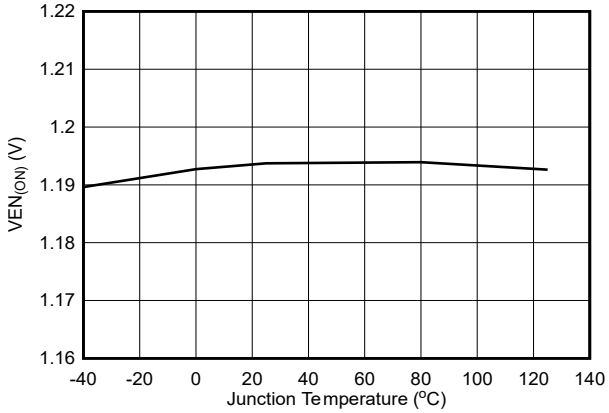


图 5-4. 使能开启阈值电压

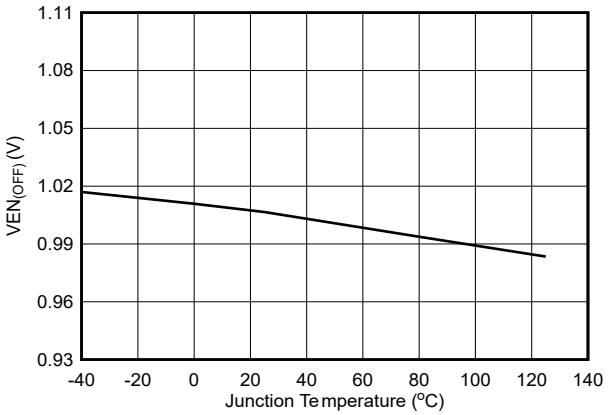


图 5-5. 使能关闭阈值电压

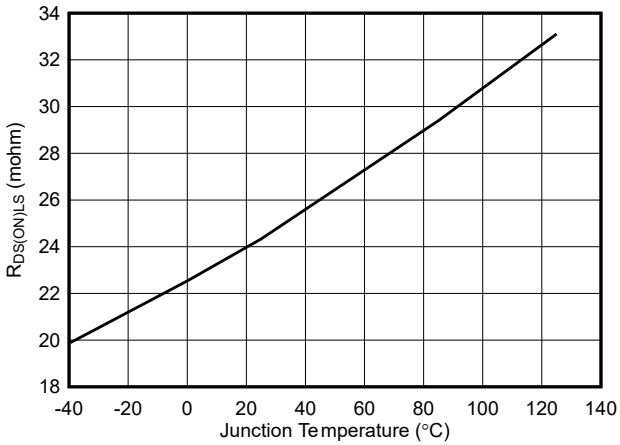


图 5-6. 低侧 $R_{DS(ON)}$

5.6 典型特性（续）

T_J = –40°C 至 125°C，V_{IN} = 12V（除非另有说明）

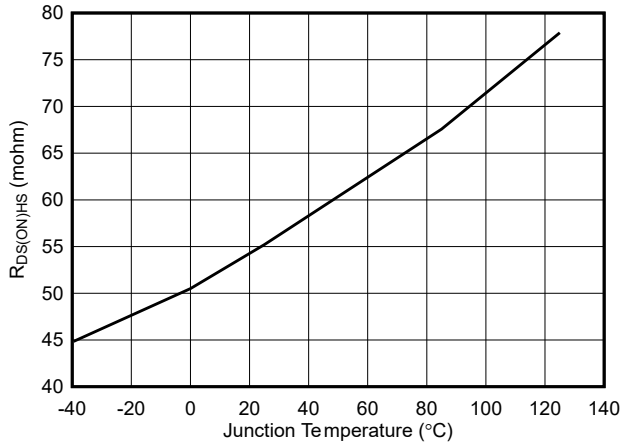


图 5-7. 高侧 $R_{DS(ON)}$

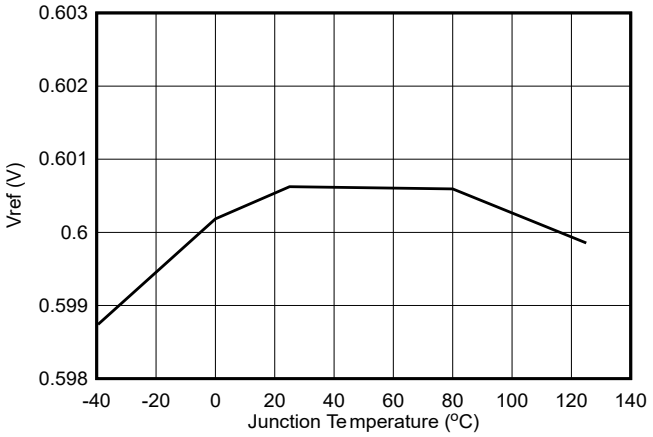


图 5-8. VREF 电压

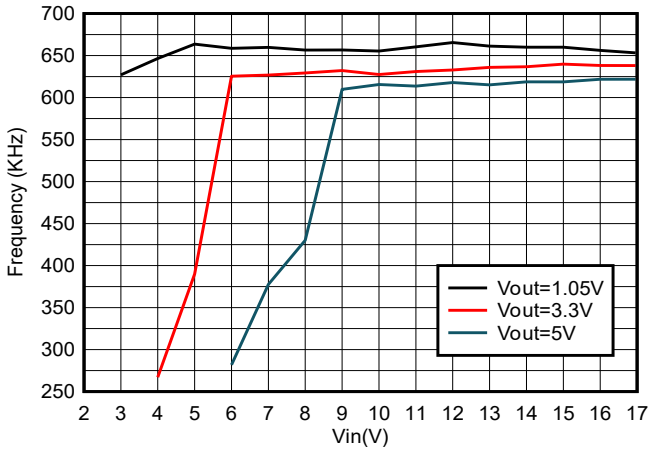


图 5-9. TPS564257B 频率与输入电压间的关系，I_{OUT} = 4A

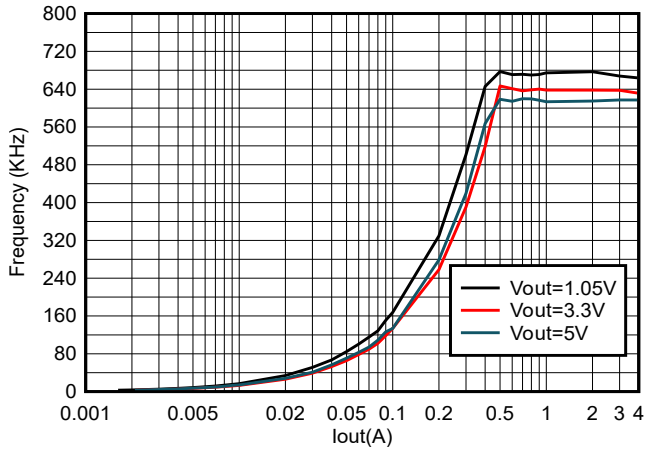


图 5-10. TPS564252B 频率与负载间的关系，V_{IN} = 12V

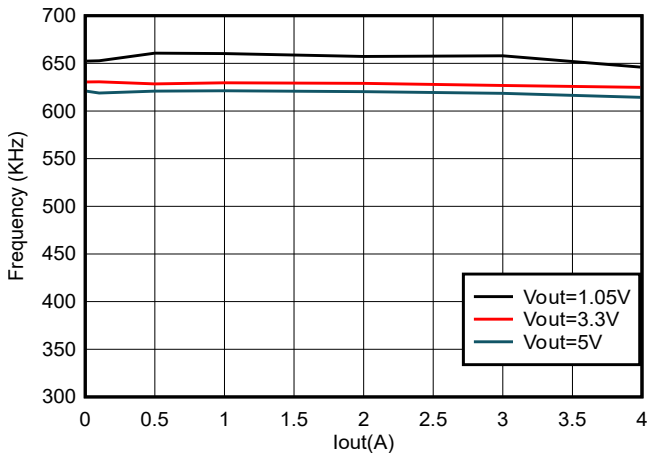


图 5-11. TPS564257B 频率与负载间的关系，V_{IN} = 12V

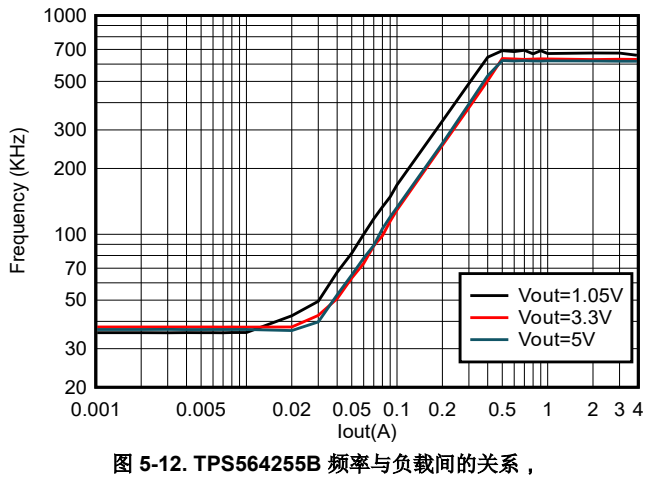


图 5-12. TPS564255B 频率与负载间的关系，V_{IN} = 12V

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性（续）

T_J = –40°C 至 125°C，V_{IN} = 12V（除非另有说明）

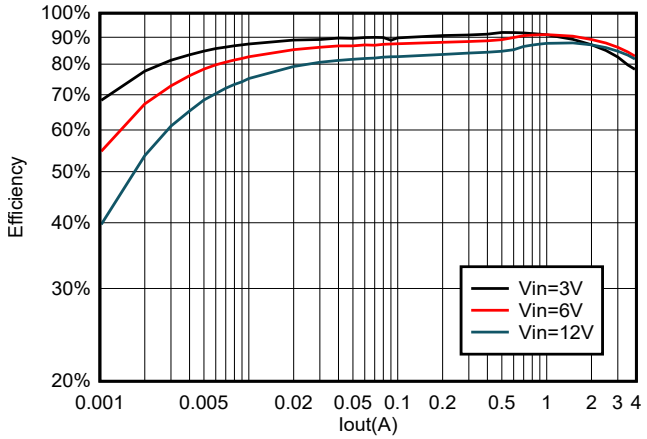


图 5-13. TPS564252B 在 1.05V_{OUT} 且使用 1.5 µH 电感器时的效率

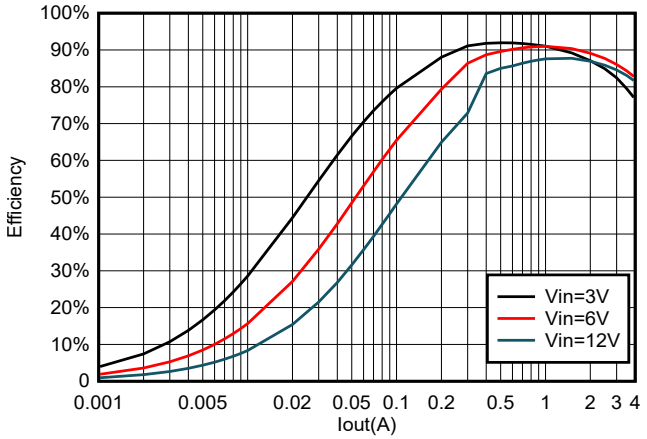


图 5-14. TPS564257B 在 1.05V_{OUT} 且使用 1.5 µH 电感器时的效率

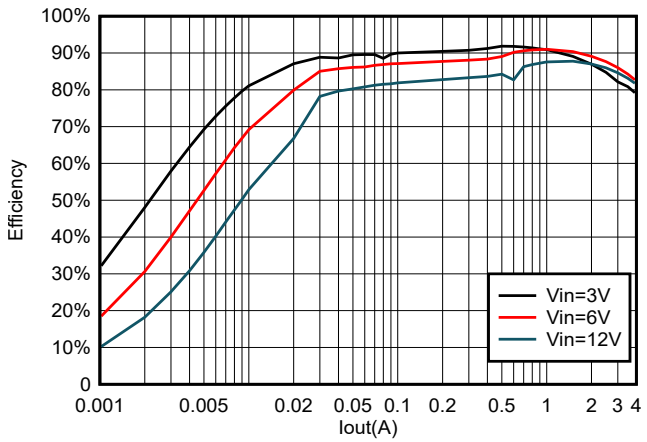


图 5-15. TPS564255B 在 1.05V_{OUT} 且使用 1.5 µH 电感器时的效率

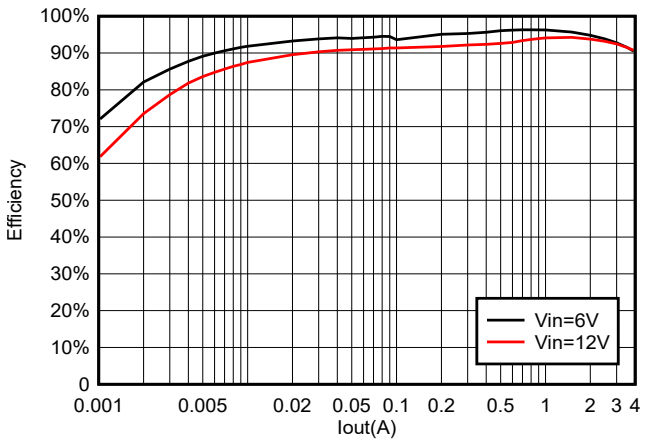


图 5-16. TPS564252B 在 3.3V_{OUT} 且使用 3.3 µH 电感器时的效率

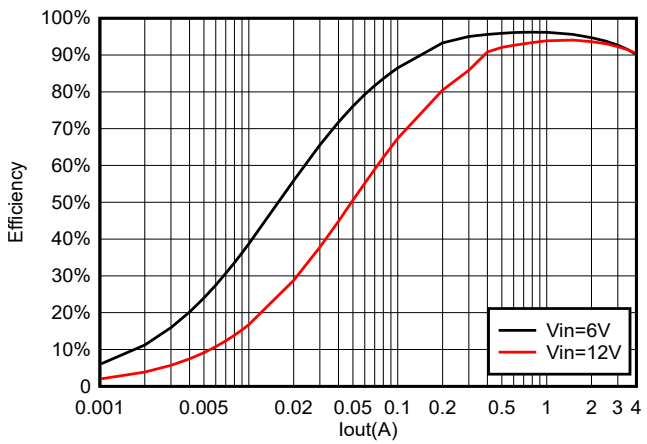


图 5-17. TPS564257B 在 3.3V_{OUT} 且使用 3.3 µH 电感器时的效率

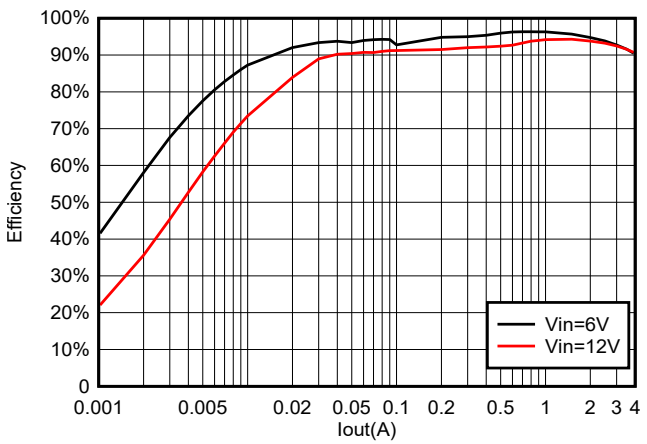


图 5-18. TPS564255B 在 3.3V_{OUT} 且使用 3.3 µH 电感器时的效率

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性（续）

T_J = –40°C 至 125°C，V_{IN} = 12V（除非另有说明）

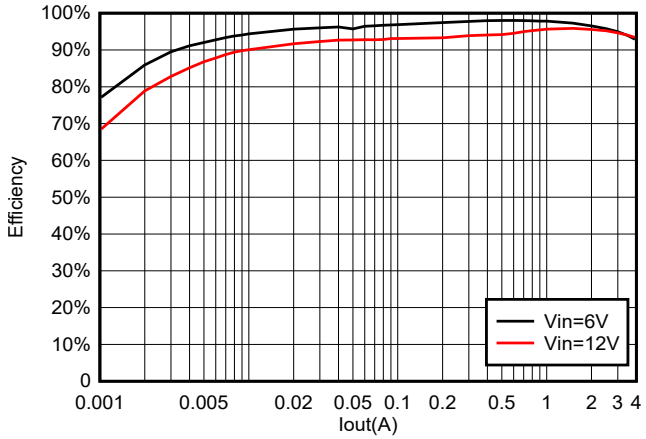


图 5-19. TPS564252B 在 $5V_{OUT}$ 且使用 4.7 µH 电感器时的效率

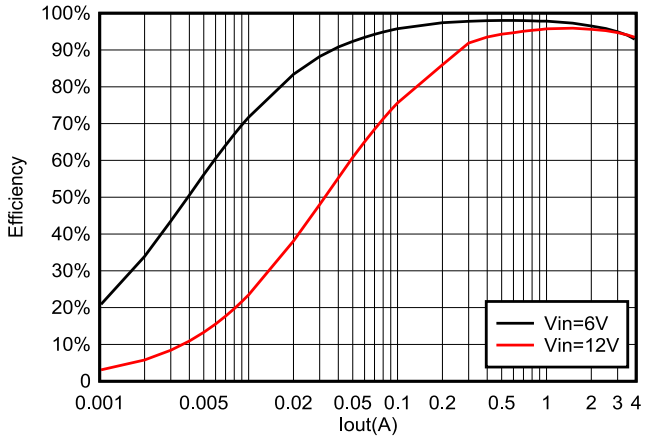


图 5-20. TPS564257B 在 $5V_{OUT}$ 且使用 4.7 µH 电感器时的效率

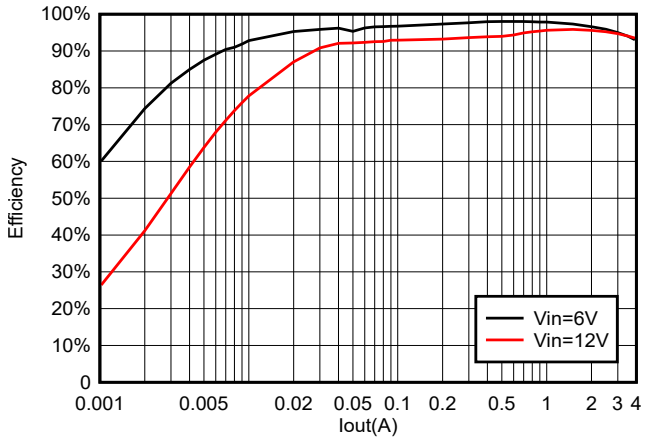


图 5-21. TPS564255B 在 $5V_{OUT}$ 且使用 4.7 µH 电感器时的效率

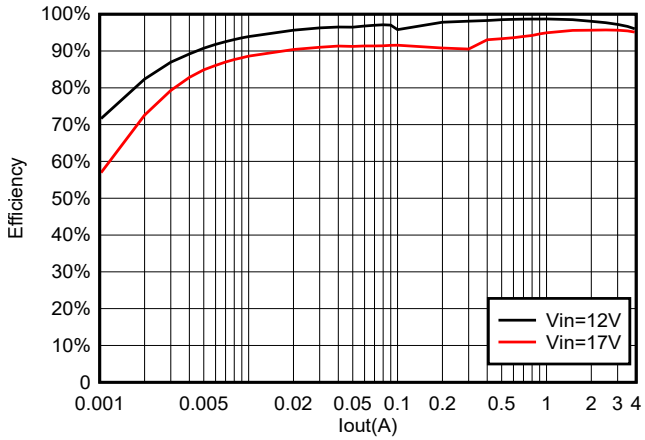


图 5-22. TPS564252B 在 $10V_{OUT}$ 且使用 6.8 µH 电感器时的效率

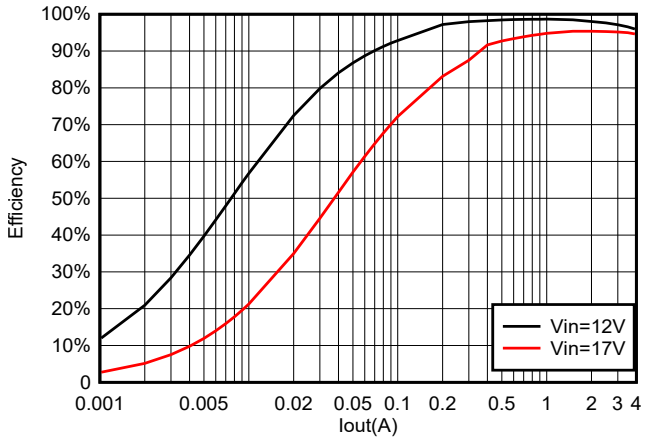


图 5-23. TPS564257B 在 $10V_{OUT}$ 且使用 6.8 µH 电感器时的效率

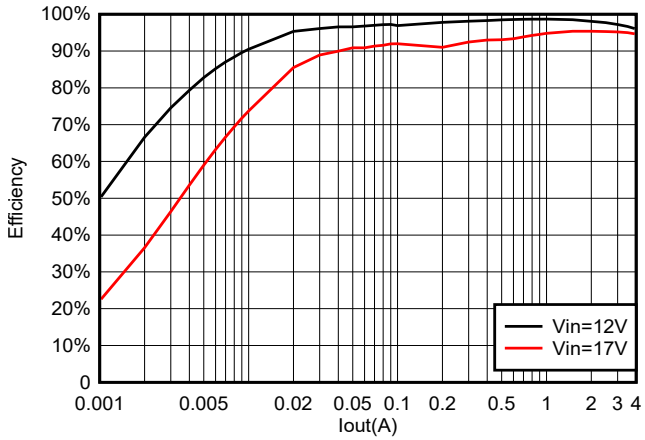


图 5-24. TPS564255B 在 $10V_{OUT}$ 且使用 6.8 µH 电感器时的效率

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性（续）

T_J = –40°C 至 125°C，V_{IN} = 12V（除非另有说明）

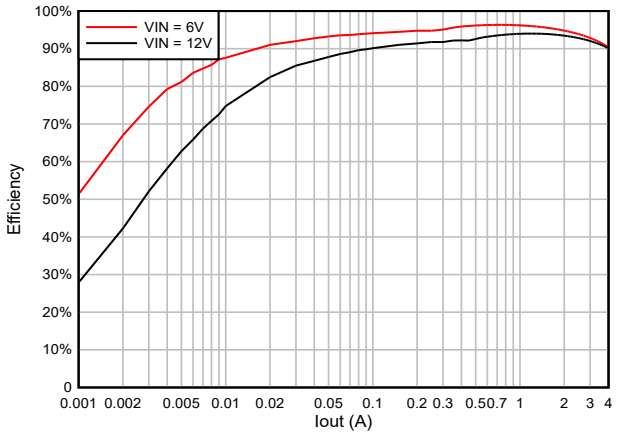


图 5-25. TPS564252C 在 3.3V_{OUT} 且使用 2.2 µH 电感器时的效率

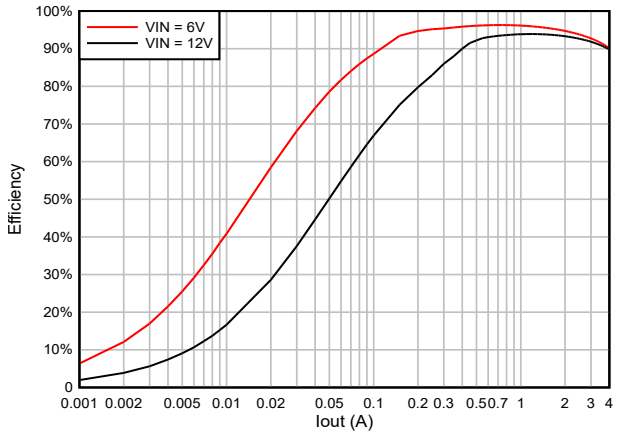


图 5-26. TPS564257C 在 3.3V_{OUT} 且使用 2.2 µH 电感器时的效率

Copyright © 2026 Texas Instruments Incorporated

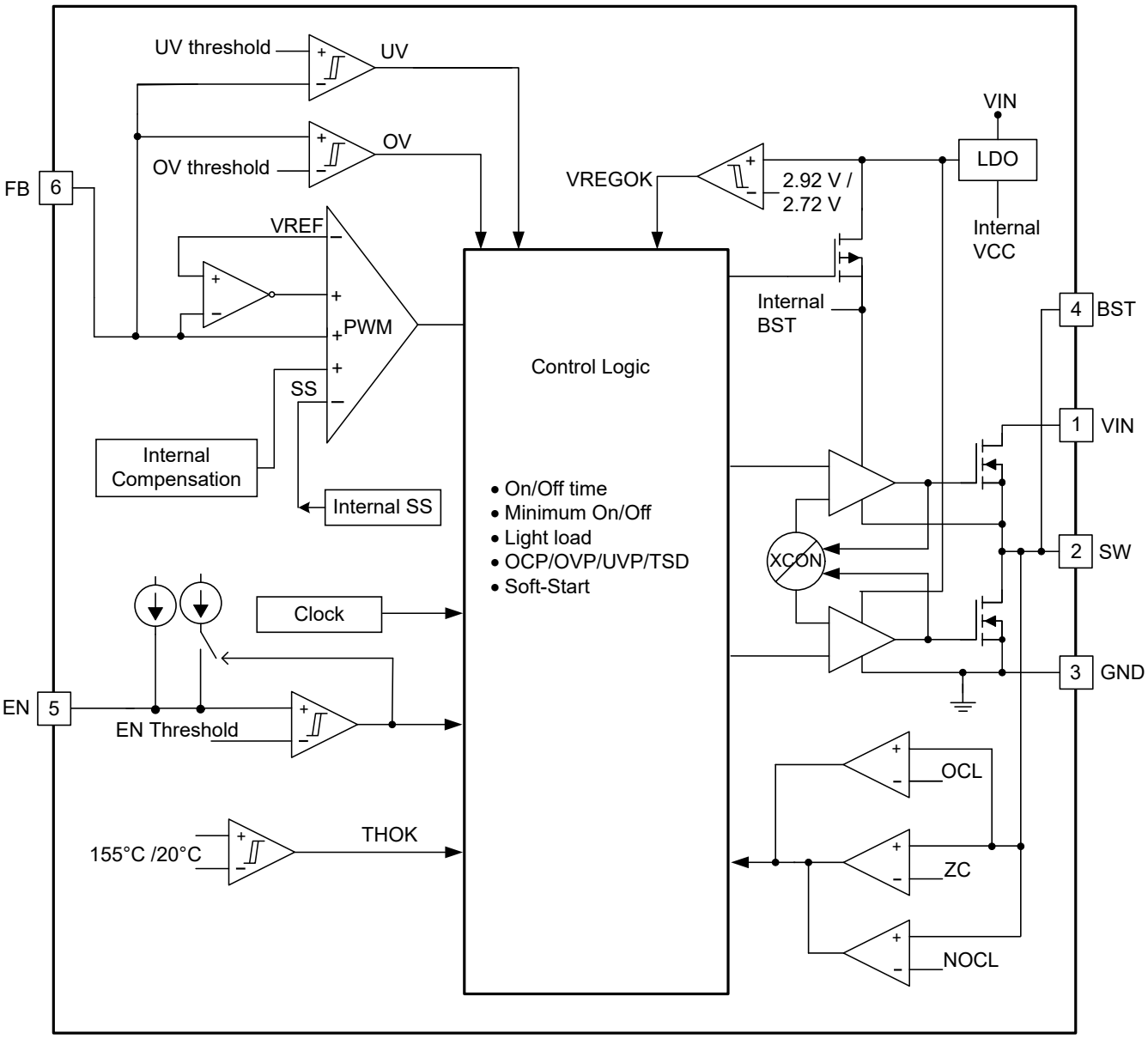
6 详细说明

6.1 概述

TPS56425xx 是一款 4A 集成 FET 同步降压转换器，可在 3V 至 17V 输入电压和 0.6V 至 10V 输出电压范围内工作。该器件采用 D-CAP3 控制模式，无需外部补偿元件即可提供快速瞬态响应，并提供精确的反馈电压。专有 D-CAP3 控制模式可减少外部元件数量，简化设计，并针对成本、尺寸和效率优化电源设计。该拓扑提供在较高负载条件下的 CCM 运行模式与较轻负载条件下的 DCM 运行之间的无缝过渡。

Eco-mode 版本使 TPS564252B 和 TPS564252C 能够在轻负载条件下保持高效率。FCCM 版本使 TPS564257B 和 TPS564257C 可以保持固定的开关频率和较低的输出电压纹波。OOA 模式版本使 TPS564255B 可以防止产生音频噪声。 TPS56425xx 既能够适应低等效串联电阻 (ESR) 输出电容器（例如 POSCAP 或 SP-CAP），也能够适应超低 ESR 陶瓷电容器。

6.2 功能方框图



Copyright © 2026 Texas Instruments Incorporated

6.3 特性说明

6.3.1 PWM 运行和 D-CAP3™ 控制模式

主控制环路是自适应导通时间脉宽调制 (PWM) 控制器，支持专有 D-CAP3 控制模式。D-CAP3 控制模式将自适应导通时间控制与内部补偿电路相结合，在使用低 ESR 和陶瓷输出电容器时，实现伪固定频率和较少的外部元件数配置。即使几乎没有输出纹波，该器件也能保持稳定。TPS56425xx 还包含一个误差放大器，可使输出电压变得非常准确。

在每个周期的开始，高侧 MOSFET 将开启。内部一次性计时器到时后，此 MOSFET 将关闭。这个一次性计时器持续时间是根据输出电压 V_{OUT} 按比例设置的，它与转换器输入电压 V_{IN} 成反比，以便在输入电压范围内保持伪固定频率，因此称为自适应导通时间控制。当反馈电压降至基准电压之下时，一次性计时器将复位，高侧 MOSFET 将再次导通。在基准电压中添加了内部纹波生成电路来模拟输出纹波，从而支持使用 ESR 非常低的输出电容器，例如多层陶瓷电容器 (MLCC)。D-CAP3 控制拓扑不需要外部电流检测网络或环路补偿。

6.3.2 Eco-mode 控制

TPS564252B 和 TPS564252C 设计采用高级 Eco-mode，可在轻负载条件下保持高效率。当输出电流从重负载状态降低时，电感器电流也会减小，最终纹波谷值达到零电平，这是连续导通和不连续导通模式的边界。检测到电感器电流为零后，整流 MOSFET 会关断。随着负载电流进一步降低，转换器会进入不连续导通模式。导通时间几乎与连续导通模式时相同，因此在负载电流较小的情况下，将输出电容器放电至基准电压电平需要更长时间。此操作会降低开关频率，与负载电流成正比，从而保持较高的轻负载效率。使用以下公式计算轻负载运行 $I_{OUT(LL)}$ 电流的过渡点。

$$I_{OUT(LL)} = \frac{1}{2 \times L \times f_{SW}} \times \frac{V_{OUT} \times (V_{IN} - V_{OUT})}{V_{IN}} \quad (1)$$

6.3.3 软启动和预偏置软启动

TPS56425xx 具有内部固定的 1.6ms 软启动时间。EN 默认状态为低电平。EN 引脚变为高电平时，内部软启动功能开始逐步升高 PWM 比较器的基准电压。

如果输出电容器在启动时预偏置，器件将开始切换，只有在内部基准电压大于反馈电压 V_{FB} 时才会开始逐步升高。此方案可确保转换器顺畅上升至调节点。

6.3.4 过压保护

TPS56425xx 具有过压保护功能。当输出电压变得高于 OVP 阈值时，OVP 将以 24 µs 的抗尖峰脉冲时间触发。高侧 MOSFET 驱动器和低侧 MOSFET 驱动器均关断。过压条件消失后，器件恢复开关状态。

6.3.5 大占空比运行

TPS56425xx 可通过平稳降低开关频率来支持高达 97% 的大占空比运行。当 V_{IN}/V_{OUT} < 1.6 且 V_{FB} 低于内部 V_{REF} 时，开关频率可平稳下降，使 t_{ON} 延长以实现大占空比运行并改善负载瞬态性能。请参阅图 5-9 中的频率测试波形。最小开关频率限制为大约 200kHz。

6.3.6 电流保护和欠压保护

使用逐周期谷值检测控制电路来实现输出过流限制 (OCL)。在关断状态期间会监测开关电流，方法是测量低侧 FET 漏源电压。此电压与开关电流成正比。为了提升精确度，对电压感测进行了温度补偿。

在高侧 FET 开关导通期间，开关电流以线性速率增加，此速率由以下各项决定：

- V_{IN}
- V_{OUT}
- 导通时间
- 输出电感值

Copyright © 2026 Texas Instruments Incorporated

在低侧 FET 开关的导通阶段，此电流以线性方式下降。开关电流的平均值是负载电流 I_{OUT}。如果受监测的谷值电流高于 OCL 水平，转换器将维持低侧 FET 的导通状态，暂缓新设置脉冲的生成（即使电压反馈环路有这方面的需要），直到电流水平达到或低于 OCL 水平。在后续的开关周期中，导通时间将设为固定值，电流也将以相同的方式受到监测。

对于此类过流保护，有一些重要的注意事项。负载电流高于过流阈值的部分，为峰峰值电感器纹波电流的一半。另外，如果电流受限，输出电压往往会降低，因为要求的负载电流可能高于转换器可提供的电流，这可能导致输出电压下降。当 FB 电压降至低于 UVP 阈值电压时，UVP 比较器检测到该电压下降，器件会在 UVP 延迟时间（通常为 220 µs）后关断，并在断续等待时间（通常为 14ms）后重新启动。器件进入断续循环后，断续导通时间通常为 2.2ms。

过流状况消除后，输出电压将恢复为调节值。

TPS564257B 和 TPS564257C 是 FCCM 模式器件。在此模式下，器件在轻负载时具有负电感器电流。该器件具有 NOC（负过流）保护功能，以避免出现过大的负电流。NOC 保护功能可检测电感器电流的谷值。当电感器电流的谷值超过 NOC 阈值时，器件会关断低侧 FET，然后导通高侧 FET。NOC 条件消除后，器件恢复正常开关。

因为 TPS564257B 和 TPS564257C 是 FCCM 模式端口，所以，如果电感太小以至于器件触发 NOC，则该操作会导致输出电压高于目标值。最小电感按方程式 2 确定。

$$L = \frac{V_{OUT} \times \left(1 - \frac{V_{OUT}}{V_{IN}}\right)}{2 \times \text{Frequency} \times \text{NOC}_{(\text{min})}} \quad (2)$$

6.3.7 欠压锁定 (UVLO) 保护

UVLO 保护功能监测的是内部稳压器电压。如果电压低于 UVLO 阈值电压，器件会关断。此保护是一种非锁存保护。

6.3.8 热关断

此器件会监测自身的温度。如果温度超出阈值，器件会关断。此保护是一种非锁存保护。

6.4 器件功能模式

6.4.1 Eco-mode 运行

TPS564252B 和 TPS564252C 在 Eco-Mode 下运行，可在轻负载条件下保持高效率。当输出电流从重负载状态降低时，电感器电流也会减小，最终波纹谷达到零电平，这是连续导通和不连续导通模式的边界。检测到电感器电流为零后，整流 MOSFET 会关断。随着负载电流进一步降低，转换器会进入不连续导通模式。导通时间几乎与连续导通模式时相同，因此在负载电流较小的情况下，将输出电容器放电至基准电压电平需要更长时间。此操作会降低开关频率，与负载电流成正比，从而保持较高的轻负载效率。

6.4.2 FCCM 模式运行

TPS564257B 和 TPS564257C 在强制 CCM (FCCM) 模式下运行，这使转换器在轻负载条件下保持以连续电流模式运行，并允许电感器电流变为负值。在 FCCM 模式期间，开关频率在整个负载范围内维持在一个几乎恒定的水平，因此适用于需要严格控制开关频率和输出电压纹波的应用，但其代价是轻负载条件下效率较低。

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

该器件是一个典型的降压直流/直流转换器，通常用于将较高的直流电压转换为较低的直流电压，输出电流最高可达 4A。以下设计过程可用于为 TPS56425xx 选择元件值。或者，也可以用 WEBENCH Power Designer 软件生成完整设计。生成设计时，WEBENCH Power Designer 软件采用一种迭代设计过程并访问综合元件数据库。本部分简要讨论了设计过程。

7.2 典型应用

以下应用原理图是为了满足表 7-1 中的要求而编制的。本电路作为评估模块 (EVM) 提供。以下各节介绍了设计过程。

下图所示为 TPS56425xx 5V 到 17V 输入、1.05V 输出转换器原理图。

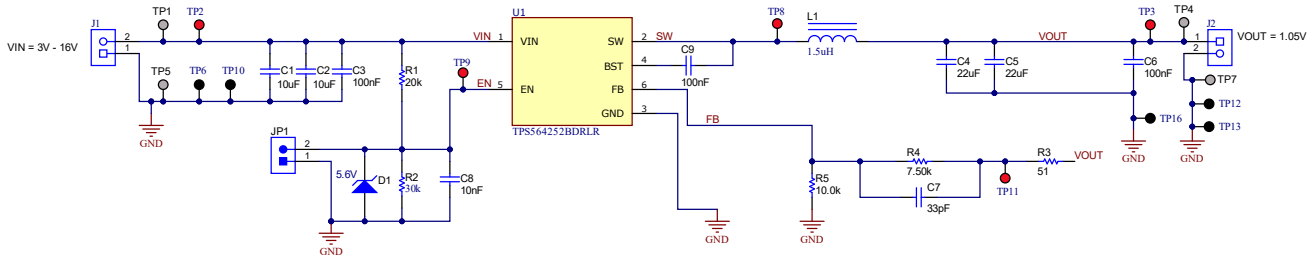


图 7-1. 原理图

7.2.1 设计要求

表 7-1 给出了该应用的设计参数。

表 7-1. 设计参数

参数		条件	最小值	典型值	最大值	单位
V_{OUT}	输出电压			1.05		V
I_{OUT}	输出电流			4		A
ΔV_{OUT}	瞬态响应	0.4A – 3.6A 负载阶跃，0.8A/μs 压摆率		±3% × V_{OUT}		V
V_{IN}	输入电压		5	12	17	V
$V_{OUT(ripple)}$	输出电压纹波	CCM 条件		10		mV
F_{SW}	开关频率			0.6		MHz
T_A	环境温度			25		°C

Copyright © 2026 Texas Instruments Incorporated

7.2.2 详细设计过程

7.2.2.1 使用 WEBENCH® 工具创建定制设计方案

点击此处，使用 TPS564252B 器件并借助 WEBENCH® Power Designer 创建定制设计方案。

点击此处，使用 TPS564257B 器件并借助 WEBENCH® Power Designer 创建定制设计方案。

点击此处，使用 TPS564255B 器件并借助 WEBENCH® Power Designer 创建定制设计方案。

点击此处，使用 TPS564252C 器件并借助 WEBENCH® Power Designer 创建定制设计方案。

点击此处，使用 TPS564257C 器件并借助 WEBENCH® Power Designer 创建定制设计方案。

1. 首先键入输入电压 (V_{IN})、输出电压 (V_{OUT}) 和输出电流 (I_{OUT}) 要求。
2. 使用优化器表盘，优化该设计的关键参数，如效率、占用空间和成本。
3. 将生成的设计与德州仪器 (TI) 其他可行的解决方案进行比较。

WEBENCH Power Designer 提供了定制原理图，并罗列了实时价格和元件供货情况的物料清单。

在多数情况下，可执行以下操作：

- 运行电气仿真，观察重要波形以及电路性能
- 运行热性能仿真，了解电路板热性能
- 将定制原理图和布局方案以常用 CAD 格式导出
- 打印 PDF 格式的设计报告并与同事共享

有关 WEBENCH 工具的更多信息，请访问 www.ti.com/WEBENCH。

7.2.2.2 输出电压电阻器选型

输出电压可通过输出节点和 FB 引脚间的电阻分压器进行设置。TI 建议采用容差为 1% 或更优的分压电阻器。首先使用 方程式 3 计算 V_{OUT}。

为了提高极轻负载时的效率，请考虑使用具有更大阻值的电阻。如果值太大，稳压器更容易受到噪声的影响，并且 FB 输入电流产生的电压误差也很明显。为 R_5 使用一个 10kΩ 电阻器，以开始设计。

$$V_{OUT} = 0.6 \times \left(1 + \frac{R_4}{R_5}\right) \quad (3)$$

7.2.2.3 输出滤波器选型

用作输出滤波器的 LC 滤波器具有双极，如方程式 4 所示。在此公式中，C_{OUT} 使用降额后的有效值，而不是标称值。

$$f_P = \frac{1}{2\pi\sqrt{L_{OUT} \times C_{OUT}}} \quad (4)$$

对于任何内部补偿的控制拓扑，它可以支持一系列输出滤波器。在低频率下，整体环路增益是由输出设定点电阻分压器网络和器件的内部增益设定的。低频相位是 180°。在输出滤波器极点频率下，增益以每十倍频程 –40dB 的速率滚降，且相位下降具有 180 度下降。内部纹波生成网络引入了高频零点，可将增益滚降从每十倍频 –40dB 降低至 –20dB，并导致 90 度相位提升。TPS564252B/5B/7B 的内部纹波注入高频零点约为 66kHz，TPS564252C/7C 的内部纹波注入高频零点约为 156kHz。建议为输出滤波器选择的电感器和电容器应使双极位于 20kHz (TPS564252B/5B/7B) 和 40kHz (TPS564252C/7C) 左右，以便由该高频零点提供的相位提升可提供足够的相位裕度来满足稳定性要求。整个系统的交叉频率通常低于开关频率 (f_{SW}) 的三分之一。对于高输出电压条件，TI 建议使用 10-100pF 前馈电容器（图 7-1 中的 C7）来获得足够的相位裕度。

Copyright © 2026 Texas Instruments Incorporated

表 7-2. TPS564252C 和 TPS564257C 的建议元件值

输出电压 (V)	R4 (kΩ)	R5 (kΩ)	典型 L1 (μH)	典型 C_{OUT} (μF)	典型 C_{OUT} (μF) 标称值范围	典型 C_{OUT} 类别	典型 C6 (pF)
0.6	0	10.0	0.68	44	44-88	MLCC、0805、10V	—
1.05	7.5	10.0	0.82	22	22-44	MLCC、0805、10V	—
3.3	135.0	30.0	2.2	22	22-88	MLCC、0805、10V	33
5	220.0	30.0	2.2	22	22-88	MLCC、0805、10V	22
10	470.0	30.0	4.7	44	44-88	MLCC、0805、16V	47

表 7-3. TPS564252B、TPS564255B 和 TPS564257B 的建议元件值

输出电压 (V)	R4 (kΩ)	R5 (kΩ)	典型 L1 (μH)	典型 C_{OUT} (μF) 标称值范围	建议 C_{OUT} (μF)	典型 C_{OUT} 类别	典型 C7 (pF)
0.6	0	10.0	1.2	66-154	66	MLCC、0805、10V	—
1.05	7.5	10.0	1.5	44-66	44	MLCC、0805、10V	—
2.2	26.0	10.0	2.2	22-88	44	MLCC、0805、10V	90
3.3	45.0	10.0	3.3	22-88	44	MLCC、0805、10V	30
5	220.0	30.0	4.7	22-88	44	MLCC、0805、10V	30
10	470	30.0	6.8	44-88	44	MLCC、0805、16V	36

电感器峰-峰值纹波电流、峰值电流和 RMS 电流使用 方程式 5、方程式 6 和 方程式 7 计算。通常情况下，TI 建议峰峰值纹波电流为平均输出电流的 20% 至 50%，以全面提升效率和优化电感器体积。额定电感器饱和电流必须大于计算出的峰值电流，RMS 或额定加热电流必须大于计算出的 RMS 电流。

$$II_{P-P} = \frac{V_{OUT}}{V_{IN(MAX)}} \times \frac{V_{IN(MAX)} - V_{OUT}}{L_O \times f_{SW}} \quad (5)$$

$$II_{PEAK} = I_O + \frac{II_{P-P}}{2} \quad (6)$$

$$I_{LO(RMS)} = \sqrt{I_O^2 + \frac{1}{12} II_{P-P}^2} \quad (7)$$

对于本设计示例，计算出的峰值电流为 4.545A，计算出的 RMS 电流为 4.146A。使用的电感器是额定电流为 8A、饱和电流为 14.5A 的 74437349015。

电容器值和 ESR 决定输出电压纹波量。TPS56425xx 旨在与陶瓷或其他低 ESR 电容器配合使用。使用方程式 8 确定输出电容器所需的额定 RMS 电流。

$$I_{CO(RMS)} = \frac{V_{OUT} \times (V_{IN} - V_{OUT})}{\sqrt{12} \times V_{IN} \times L_O \times f_{SW}} \quad (8)$$

在此设计中，使用了两个 22μF MuRata GRM21BR61A226ME44L 输出电容器。每个电容器的典型 ESR 为 2mΩ。计算出的 RMS 电流为 0.32A，每个输出电容器的额定电流为 4A。

Copyright © 2026 Texas Instruments Incorporated

7.2.2.4 输入电容器选型

TPS56425xx 需要一个输入去耦电容器，并且根据应用需要一个大容量电容器。TI 建议使用超过 10μF 的陶瓷电容器作为去耦电容器。TI 建议从 VIN 引脚到接地额外设置一个 0.1μF 电容器，用于提供高频滤波。额定电容器电压必须大于最大输入电压。

Copyright © 2026 Texas Instruments Incorporated

7.2.3 应用曲线

以下数据是在 V_{IN} = 12V、V_{OUT} = 1.05V、T_A = 25°C 条件下测试得出的，除非另有说明。

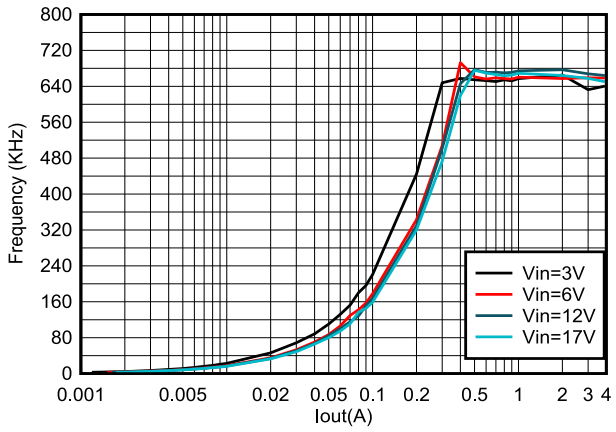


图 7-2. TPS564252B 频率与负载间的关系

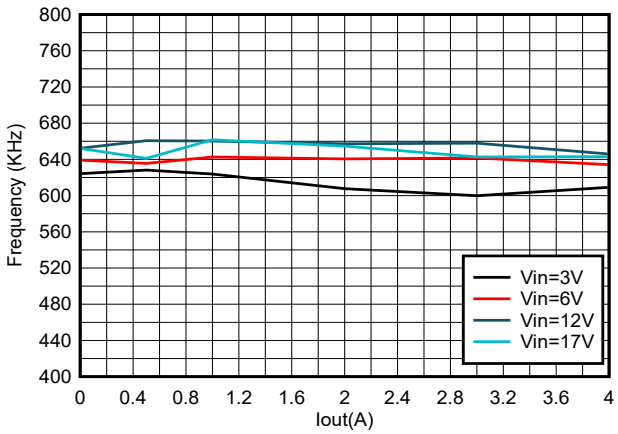


图 7-3. TPS564257B 频率与负载间的关系

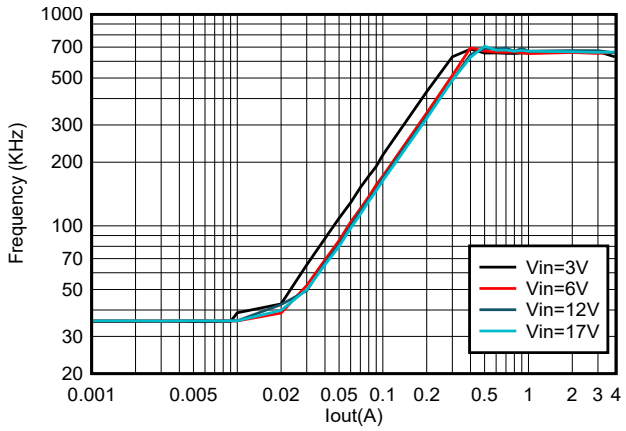


图 7-4. TPS564255B 频率与负载间的关系

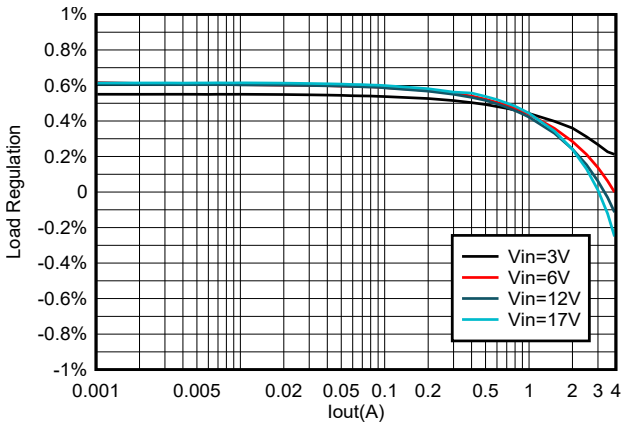


图 7-5. TPS564252B 负载调整率与负载间的关系

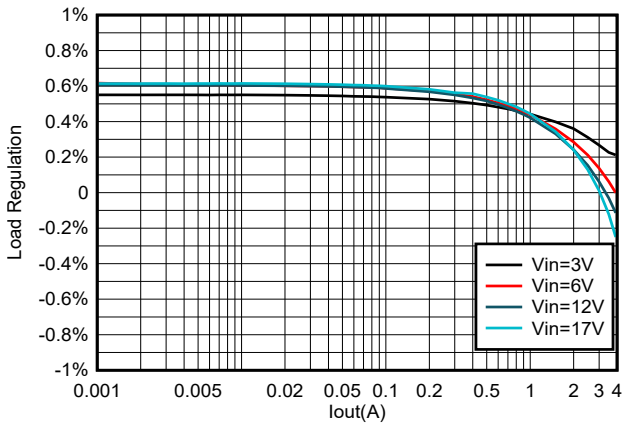


图 7-6. TPS564257B 负载调整率与负载间的关系

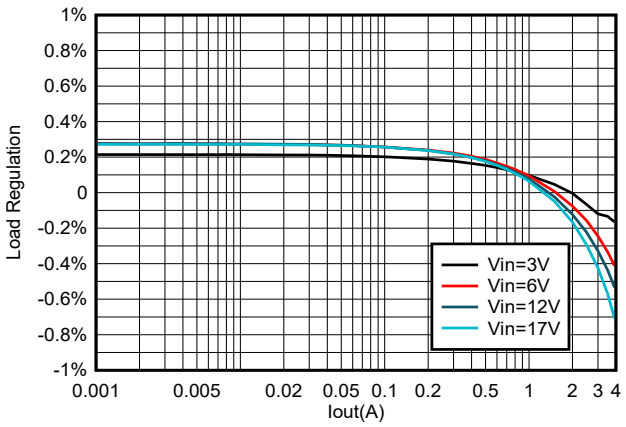


图 7-7. TPS564255B 负载调整率与负载间的关系

Copyright © 2026 Texas Instruments Incorporated

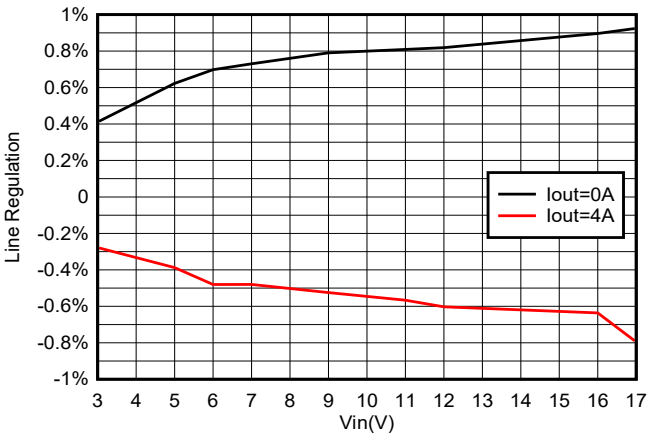


图 7-8. TPS564252B 线性调整率与 V_{IN} 间的关系

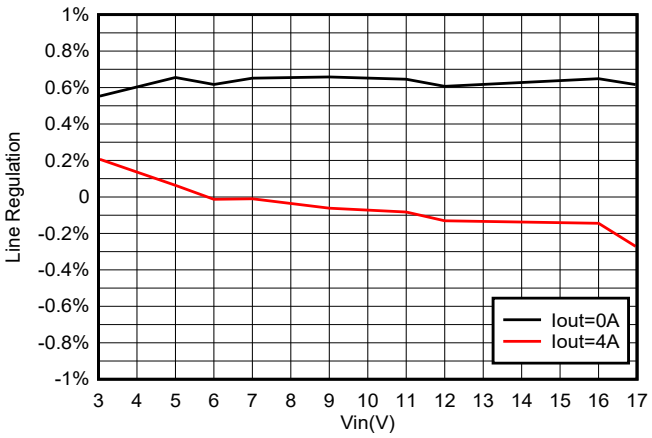


图 7-9. TPS564257B 线性调整率与 V_{IN} 间的关系

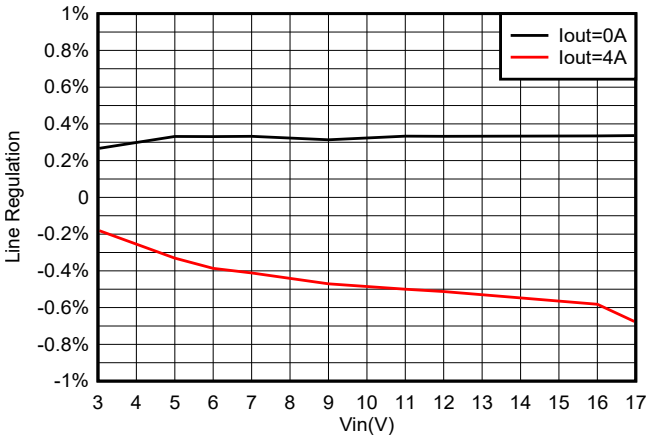


图 7-10. TPS564255B 线性调整率与 V_{IN} 间的关系

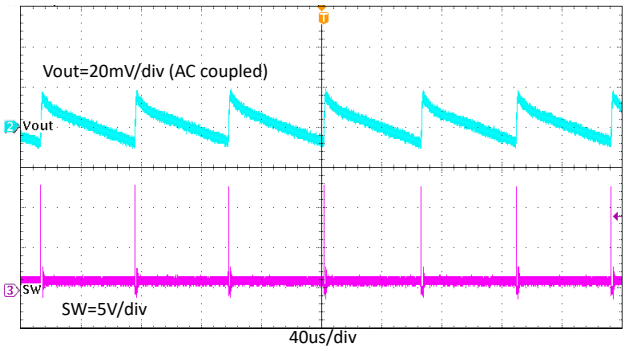


图 7-11. TPS564252B 输出电压纹波（0.01A 负载）

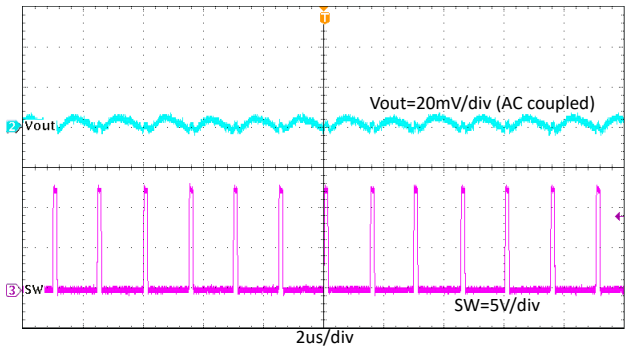


图 7-12. TPS564257B 输出电压纹波（0.01A 负载）

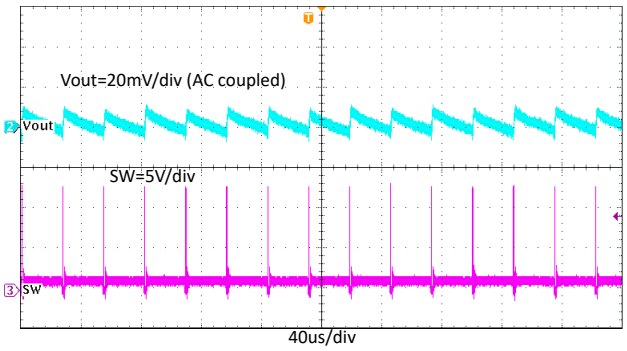


图 7-13. TPS564255B 输出电压纹波（0.01A 负载）

Copyright © 2026 Texas Instruments Incorporated

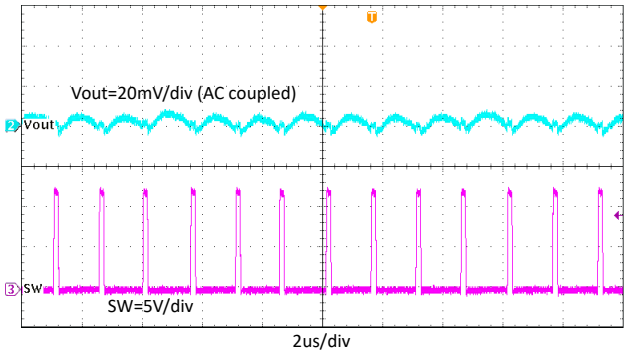


图 7-14. 输出电压纹波（4A 负载）

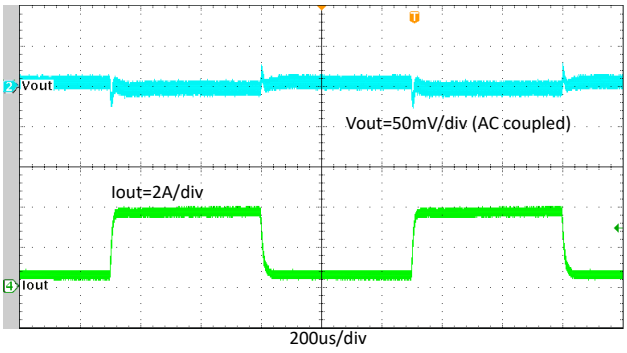


图 7-15. TPS564252B 瞬态响应，0.4A 至 3.6A

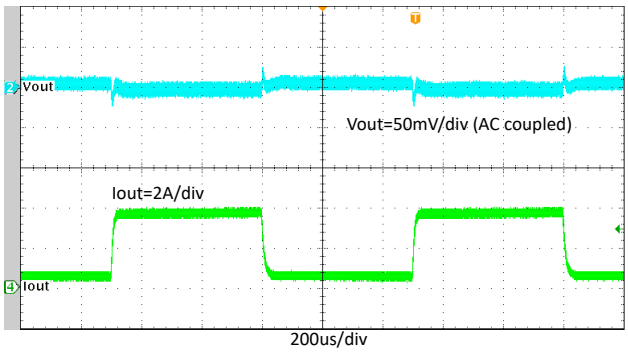


图 7-16. TPS564257B 瞬态响应，0.4A 至 3.6A

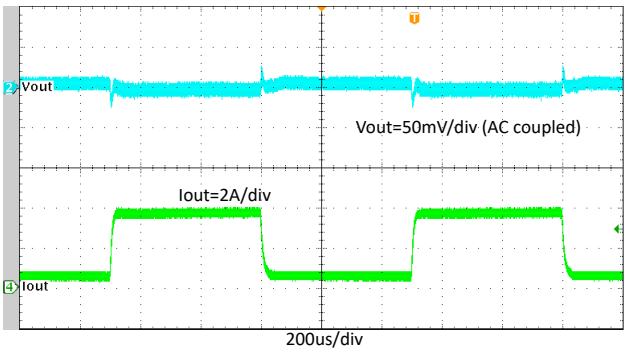


图 7-17. TPS564255B 瞬态响应，0.4A 至 3.6A

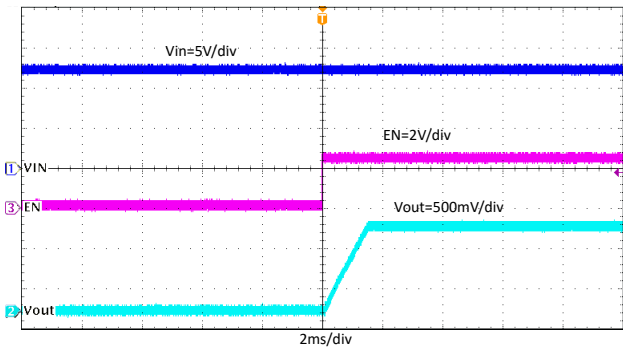


图 7-18. 通过 EN 启动，I_{OUT} = 4A

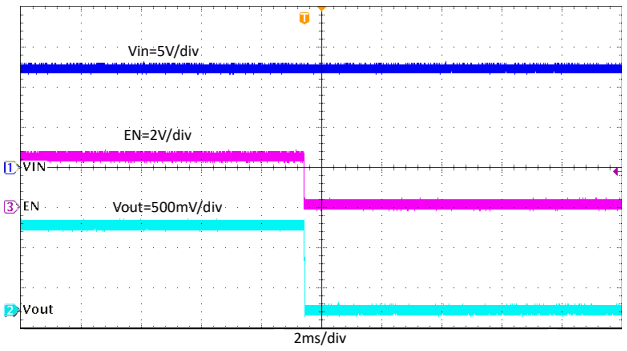


图 7-19. 通过 EN 关断，I_{OUT} = 4A

Copyright © 2026 Texas Instruments Incorporated

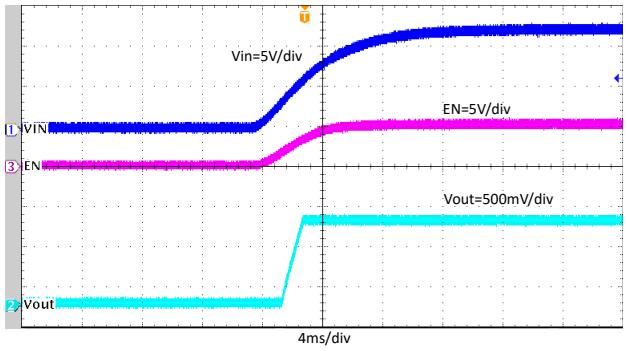


图 7-20. 在 V_{IN} 上升时启动，I_{OUT} = 4A

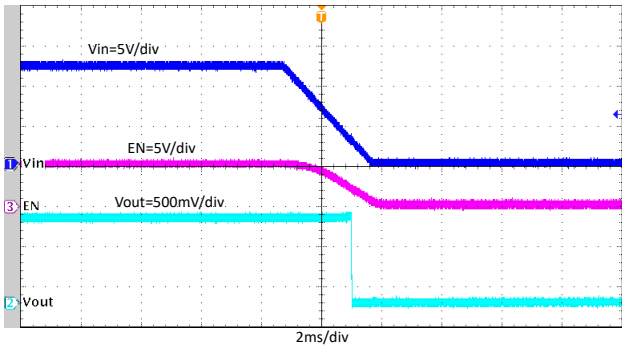


图 7-21. 在 V_{IN} 下降时关断，I_{OUT} = 4A

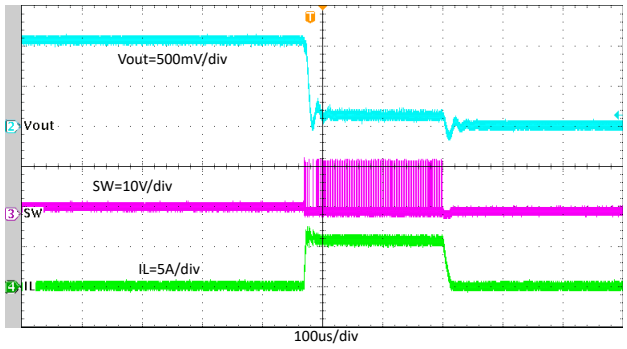


图 7-22. TPS564252B 正常运行至输出硬短路

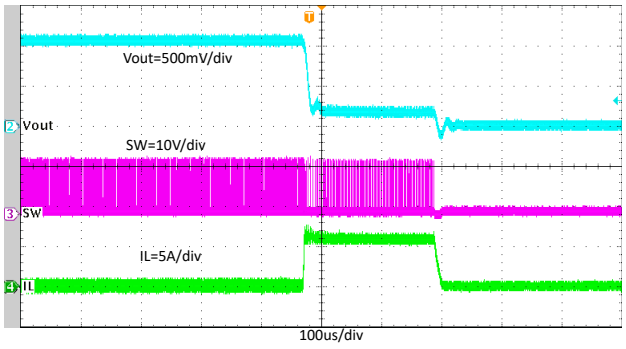


图 7-23. TPS564257B 正常运行至输出硬短路

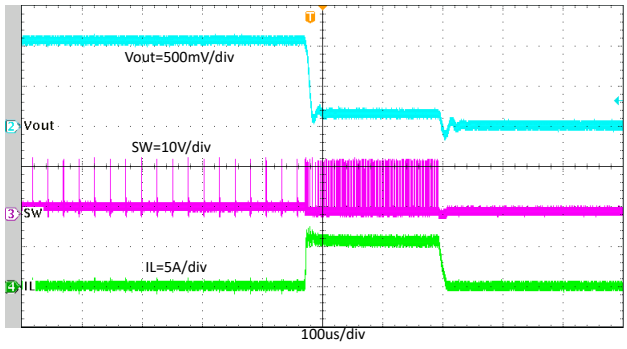


图 7-24. TPS564255B 正常运行至输出硬短路

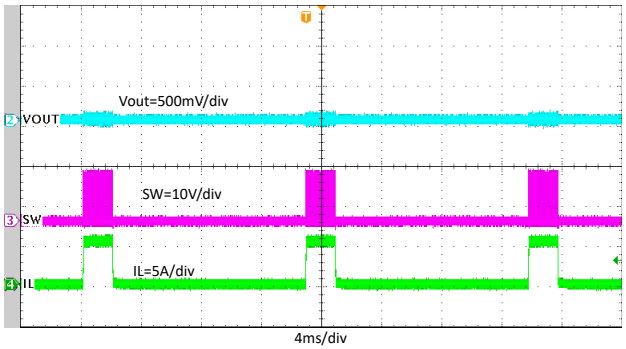


图 7-25. 输出硬短路断续

7.3 电源相关建议

TPS56425xx 设计为在 3V 至 17V 范围内的输入电源电压下运行。降压转换器要求输入电压高于输出电压才能正常工作。

7.4 布局

7.4.1 布局指南

- 为减少布线阻抗，VIN 和 GND 布线越宽越好。从散热的角度来看，宽阔的区域也是有利的。
- 将输入电容器和输出电容器放置在尽可能靠近器件的位置，以尽可能减少布线阻抗。
- 为输入电容器和输出电容器提供足够的通孔。
- 从物理角度而言，SW 布线应尽可能短且宽，从而最大限度地减小辐射发射。
- 不可使开关电流在器件下流过。
- 将单独的 VOUT 路径连接到上部反馈电阻器。
- 与反馈路径的 GND 引脚建立开尔文连接。
- 使电压反馈环路远离高压开关布线的位置，并且最好具有接地屏蔽。

Copyright © 2026 Texas Instruments Incorporated

- 为避免噪声耦合，FB 节点的布线应尽可能小。
- 使输出电容器和 GND 引脚之间的 GND 布线尽可能宽，以尽可能减小布线阻抗。

7.4.2 布局示例

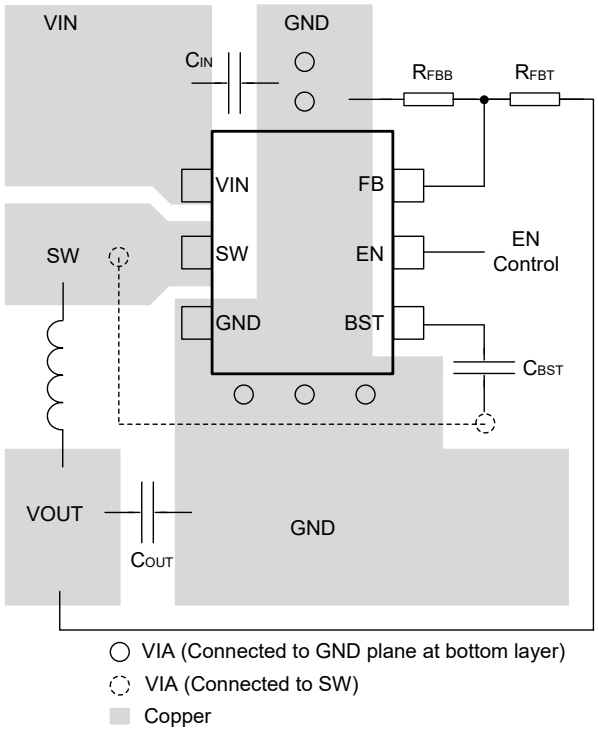


图 7-26. 建议的布局

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.1.1 使用 WEBENCH® 工具创建定制设计方案

点击此处，使用 TPS564252B 器件并借助 WEBENCH® Power Designer 创建定制设计方案。

点击此处，使用 TPS564257B 器件并借助 WEBENCH® Power Designer 创建定制设计方案。

点击此处，使用 TPS564255B 器件并借助 WEBENCH® Power Designer 创建定制设计方案。

点击此处，使用 TPS564252C 器件并借助 WEBENCH® Power Designer 创建定制设计方案。

点击此处，使用 TPS564257C 器件并借助 WEBENCH® Power Designer 创建定制设计方案。

1. 首先键入输入电压 (V_{IN})、输出电压 (V_{OUT}) 和输出电流 (I_{OUT}) 要求。
2. 使用优化器表盘，优化该设计的关键参数，如效率、占用空间和成本。
3. 将生成的设计与德州仪器 (TI) 其他可行的解决方案进行比较。

WEBENCH Power Designer 提供了定制原理图，并罗列了实时价格和元件供货情况的物料清单。

在多数情况下，可执行以下操作：

- 运行电气仿真，观察重要波形以及电路性能
- 运行热性能仿真，了解电路板热性能
- 将定制原理图和布局方案以常用 CAD 格式导出
- 打印 PDF 格式的设计报告并与同事共享

有关 WEBENCH 工具的更多信息，请访问 www.ti.com/WEBENCH。

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

Out-of-Audio™, D-CAP3™, and TI E2E™ are trademarks of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2026 Texas Instruments Incorporated

9 修订历史记录

日期	修订版本	注释
February 2026	*	初始发行版

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS564252BDRLR	Active	Production	SOT-5X3 (DRL) | 6	4000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	252B
TPS564252CDRLR	Active	Production	SOT-5X3 (DRL) | 6	4000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	252C
TPS564255BDRLR	Active	Production	SOT-5X3 (DRL) | 6	4000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	255B
TPS564257BDRLR	Active	Production	SOT-5X3 (DRL) | 6	4000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	257B
TPS564257CDRLR	Active	Production	SOT-5X3 (DRL) | 6	4000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	257C

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

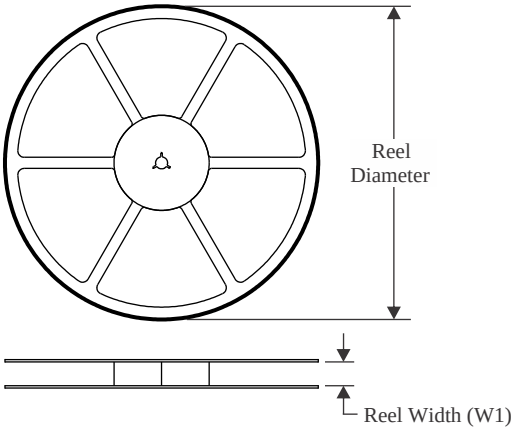
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

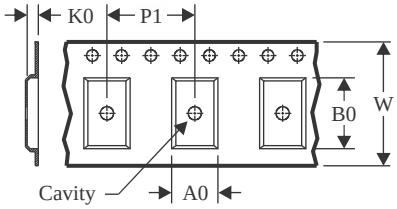
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

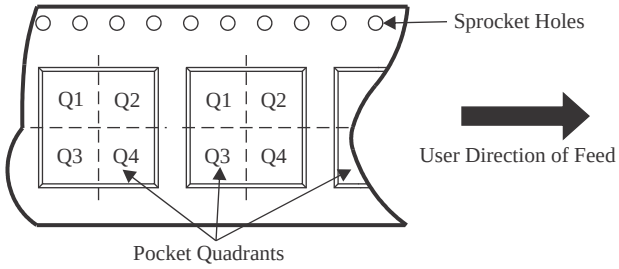


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

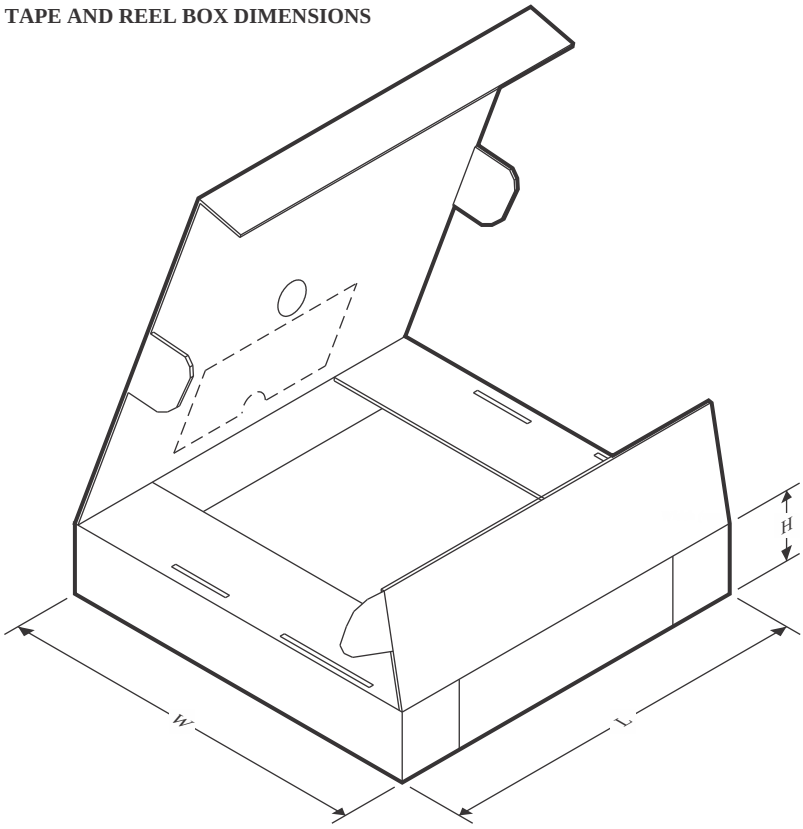
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS564252BDRLR	SOT-5X3	DRL	6	4000	180.0	8.4	1.8	1.8	0.75	4.0	8.0	Q3
TPS564252BDRLR	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3
TPS564252CDRLR	SOT-5X3	DRL	6	4000	180.0	8.4	1.8	1.8	0.75	4.0	8.0	Q3
TPS564255BDRLR	SOT-5X3	DRL	6	4000	180.0	8.4	1.8	1.8	0.75	4.0	8.0	Q3
TPS564255BDRLR	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3
TPS564257BDRLR	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3
TPS564257BDRLR	SOT-5X3	DRL	6	4000	180.0	8.4	1.8	1.8	0.75	4.0	8.0	Q3
TPS564257CDRLR	SOT-5X3	DRL	6	4000	180.0	8.4	1.8	1.8	0.75	4.0	8.0	Q3
TPS564257CDRLR	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS564252BDRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
TPS564252BDRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
TPS564252CDRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
TPS564255BDRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
TPS564255BDRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
TPS564257BDRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
TPS564257BDRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
TPS564257CDRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
TPS564257CDRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0

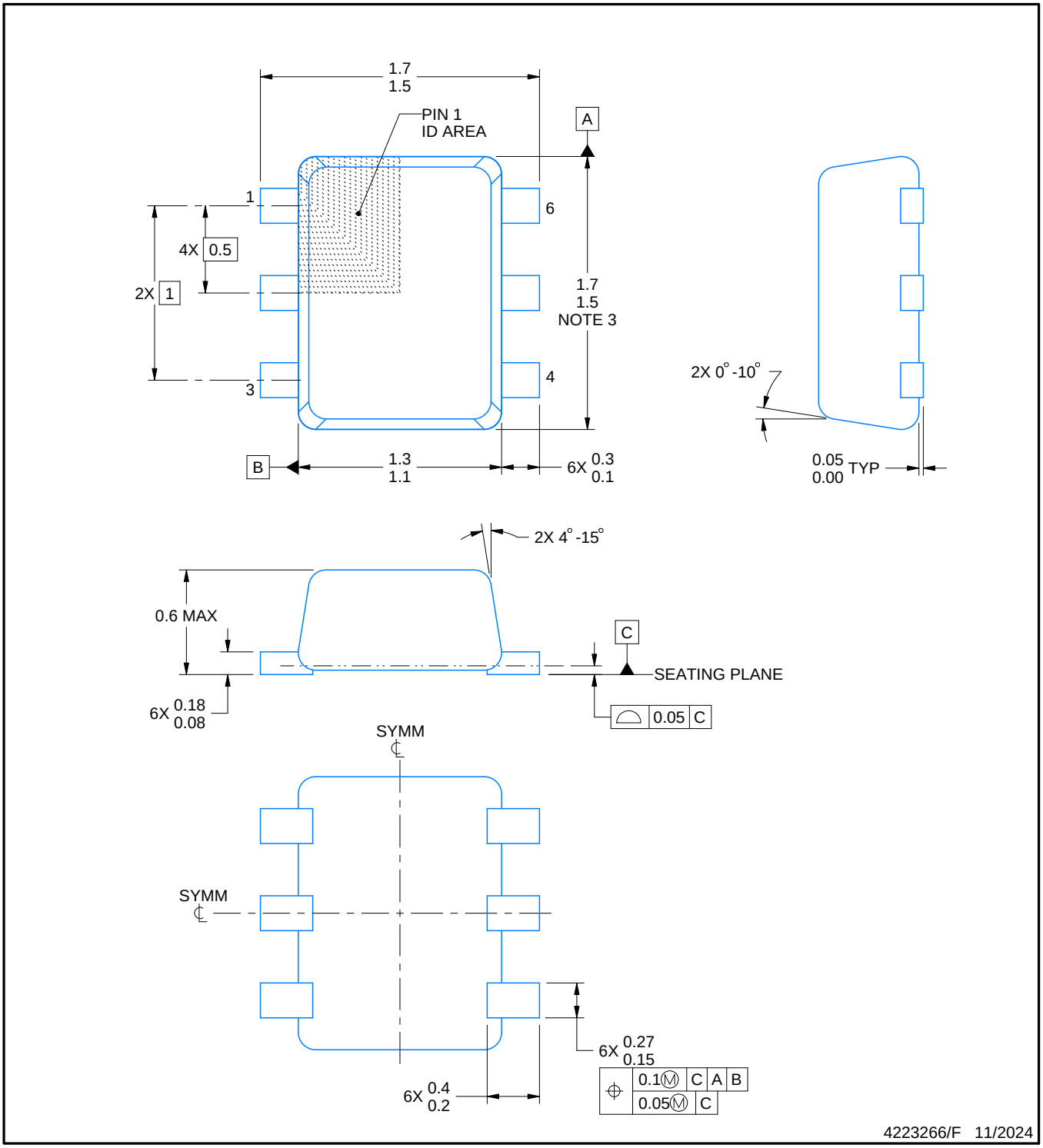


PACKAGE OUTLINE

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



NOTES:

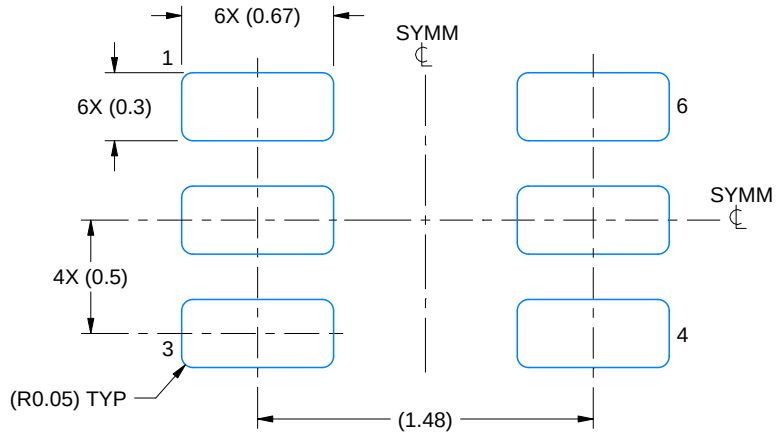
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-293 Variation UAAD

EXAMPLE BOARD LAYOUT

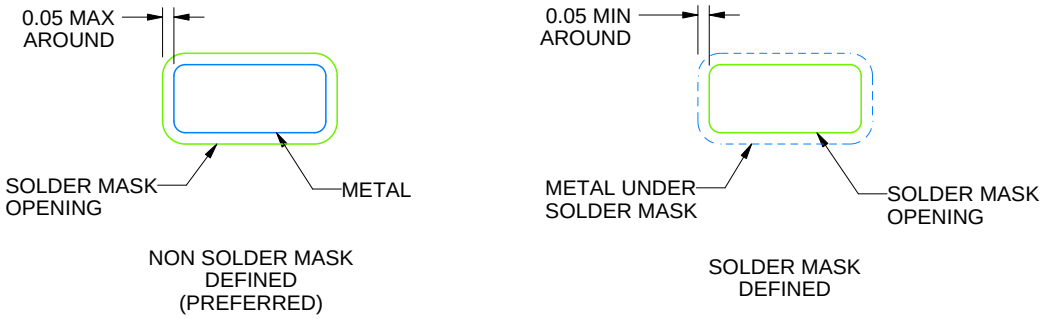
DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:30X



SOLDERMASK DETAILS

4223266/F 11/2024

NOTES: (continued)

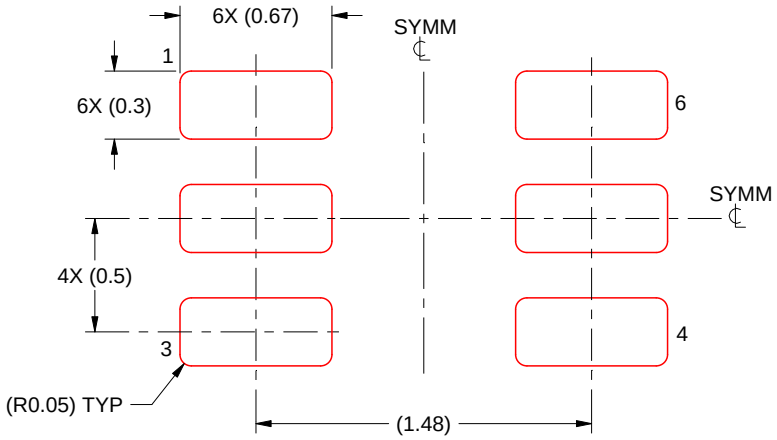
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

EXAMPLE STENCIL DESIGN

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4223266/F 11/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月