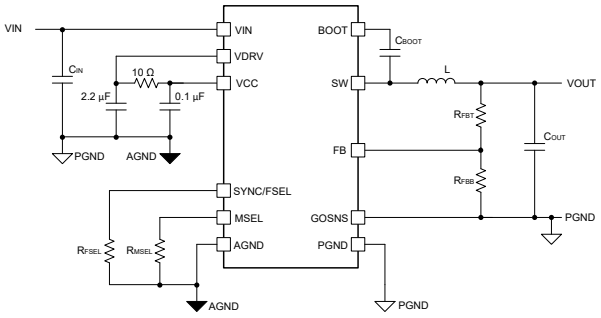
TPS543A26 具有内部补偿高级电流模式控制功能的 4V 至 18V 输入、16A SWIFT™ 同步降压转换器

1 特性

- 固定频率、内部补偿、高级电流模式 (ACM) 控制
- 集成 6.5mΩ 和 2mΩ MOSFET
- 输入电压范围为 4V 至 18V
- 0.5V 至 7V 输出电压范围
- 真差分遥感放大器 (RSA)
- 三种可选的 PWM 斜坡选项，可优化控制环路性能
- 五种可选的开关频率：500kHz、750kHz、1MHz、1.5MHz 和 2.2MHz
- 与一个外部时钟同步
- 0.5V，整个温度范围内的电压基准精度为 ±0.5%
- 1ms、2ms、4ms 和 8ms 可选软启动时间
- 单调启动至预偏置输出
- 可选的电流限制，支持 16A 和 12A 运行
- 具有可调节输入欠压锁定功能的使能端
- 电源正常输出监视器
- 输出过压、输出欠压、输入欠压、过流和过热保护
- –40°C 至 150°C 的工作结温范围
- 2.5mm × 4.5mm，17 引脚 WQFN-HR 封装，间距为 0.5mm
- 无铅（符合 RoHS 标准）
- 与以下器件引脚兼容：TPS543B22 和 TPS543A22
- 采用热增强型封装 TPS543B25T（快插兼容）
- 可提供 SIMPLIS 模型
- 使用 TPS543A26 并借助 WEBENCH® Power Designer 创建定制设计方案



TPS543A26 简化版应用

2 应用

- 无线和有线通信基础设施设备
- 光纤网络
- 测试和测量
- 医疗和保健

3 说明

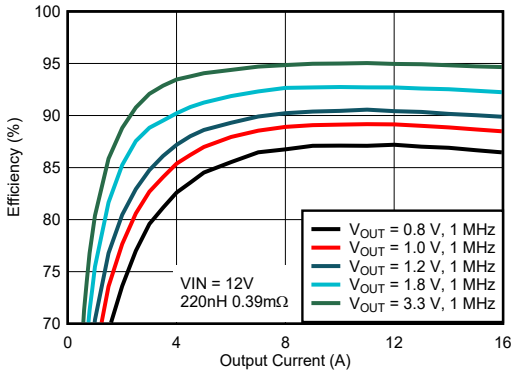
TPS543A26 是一款高效率 18V、16A 同步降压转换器，采用内部补偿的定频高级电流模式 (ACM) 控制架构，可在处于 FCCM 模式长期运行的同时，产生 0.5V 至 7V 的输出电压。该器件可提供高效率，且运行时的开关频率高达 2.2MHz，使得该器件适用于需要小巧解决方案尺寸的设计。固定频率控制器可以在 500kHz 至 2.2MHz 范围内运行，并且可以通过 SYNC 引脚与外部时钟同步。其他功能包括高精度电压基准、双线遥感、可选软启动时间、单调启动至预偏置输出、可选电流限制、可调 UVLO（通过 EN 引脚实现）以及全套故障保护。

TPS543A26 可采用小尺寸 2.5mm × 4.5mm HotRod™ WQFN-FCRLF 封装。

封装信息

器件型号	封装(1)	封装尺寸(2)
TPS543A26	RYS（WQFN-FCRLF，17）	4.50mm × 2.50mm

(1) 如需更多信息，请参阅节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



典型应用效率

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD Ratings.....4
5.3 建议运行条件.....4
5.4 热性能信息.....4
5.5 电气特性.....5
5.6 典型特性.....7
6 详细说明.....10
6.1 概述.....10
6.2 功能方框图.....10
6.3 特性说明.....10
6.4 器件功能模式.....19
7 应用和实施.....21
7.1 应用信息.....21
7.2 典型应用.....21
7.3 电源相关建议.....32
7.4 布局.....32
8 器件和文档支持.....35
8.1 器件支持.....35
8.2 接收文档更新通知.....35
8.3 支持资源.....35
8.4 商标.....35
8.5 静电放电警告.....35
8.6 术语表.....35
9 修订历史记录.....36
10 机械、封装和可订购信息.....36

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

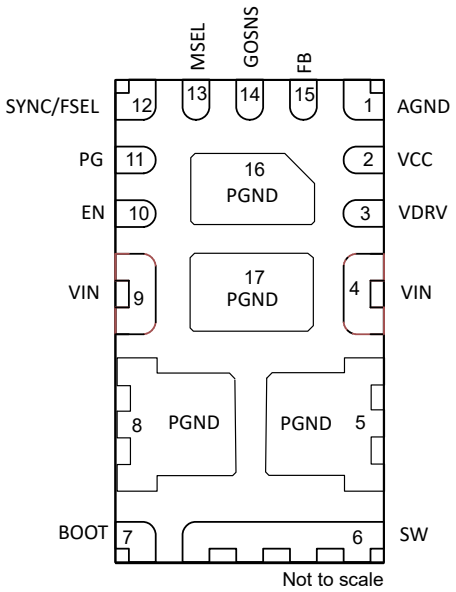


图 4-1. 17 引脚 WQFN-FCRLF RYS 封装（底视图）

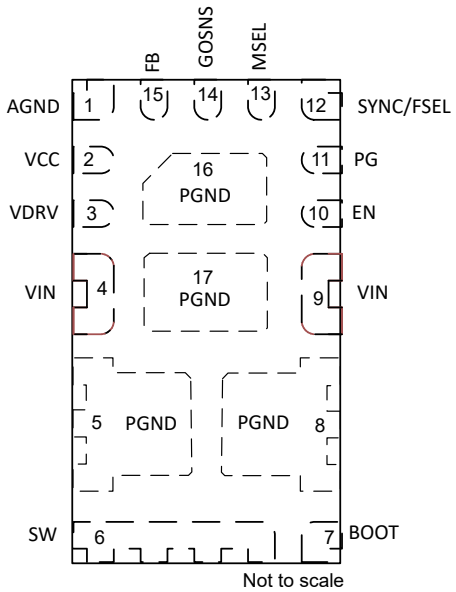


图 4-2. 17 引脚 WQFN-FCRLF RYS 封装（顶视图）

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
AGND	1	—	内部模拟电路的接地回路
VCC	2	I	模拟控制电路的电源。将一个 10Ω 电阻从 VDRV 连接到此引脚，并使用一个 0.1μF 电容器旁路至 AGND。
VDRV	3	O	内部 5V 稳压器输出以及到驱动器的内部连接。通过 2.2μF 陶瓷电容器将这些引脚旁路至 PGND。请参阅节 6.3.2
VIN	4、9	I	功率级的输入功率。这些引脚到 PGND 的低阻抗旁路至关重要。需要靠近 IC 在每个 VIN 和 PGND 之间连接一个 1μF 电容器。
PGND	5、8、16、17	—	功率级接地回路。此引脚在内部连接到低边 MOSFET 的源极。
SW	6	O	转换器的开关节点。将该引脚连接到输出电感器。
BOOT	7	I	内部高侧 MOSFET 栅极驱动器的电源。在此引脚和 SW 之间连接一个电容器。
EN	10	I	启用引脚。悬空或拉高以启用，或使用外部信号启用和禁用，或使用电阻分压器调整输入欠压锁定。请参阅节 6.3.3
PG	11	O	开漏电源正常指示器。请参阅节 6.3.10
SYNC/FSEL	12	I	频率选择和外部时钟同步。接地电阻设置器件的开关频率。还可以在该引脚上应用外部时钟以同步开关频率。请参阅节 6.3.5.3
MSEL	13	I	接地电阻可用于选择电流限制、软启动速率和 PWM 斜坡幅度。请参阅节 6.3.9
GOSNS	14	I	接地检测返回并输入到差分远程检测放大器
FB	15	I	反馈引脚和差分远程检测放大器的输入，用于输出电压调节。将此引脚连接到电阻分压器的中点以设置输出电压。请参阅节 6.3.6

(1) I = 输入，O = 输出

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (2)

		最小值	最大值	单位
引脚电压	VIN	-0.3	20	V
引脚电压	SW，直流	-0.3	20	V
引脚电压	SW，瞬态 20ns	-5	22	V
引脚电压	VIN 到 SW，直流	-0.3	20	V
引脚电压	VIN 到 SW，瞬态 20ns	-6	25	V
引脚电压	BOOT	–0.3	25	V
引脚电压	BOOT 至 SW	–0.3	6	V
引脚电压	EN、PG、MSEL、SYNC/FSEL、FB	–0.3	6	V
引脚电压	VCC、VDRV	–0.3	6	V
引脚电压	GOSNS	–0.3	0.3	V
灌电流	PG		5	mA
T_J	工作结温	-40	150	°C
T_{stg}		-55	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 所有电压值均以 PGND 为基准。

5.2 ESD Ratings

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
$V_{(ESD)}$	静电放电	充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±500	V

(1) JEDEC 文档 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在工作结温范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_{IN}	引脚电压	输入电压范围	4		18	V
V_{OUT}	输出电压范围		0.5		7	V
	引脚电压	SW - PGND	–0.1		18	V
	引脚电压	EN、FB、PG、MSEL、SYNC/FSEL	–0.1		5.5	V
	引脚电压	GOSNS	–0.3		0.3	V
I_{OUT}	输出电流范围				16	A
I_{PG}	电源正常输入电流			2	5	mA
T_J	工作结温	工作结温	-40		150	°C

5.4 热性能信息

热指标(1)		RYS（QFN、JEDEC）	RYS（QFN、TI EVM）	单位
		17 引脚	17 引脚	
$R_{\theta JA}$	结至环境热阻	33.9	18.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	10.6	不适用 (2)	°C/W

Copyright © 2024 Texas Instruments Incorporated

5.4 热性能信息（续）

热指标(1)		RYS（QFN、JEDEC）	RYS（QFN、TI EVM）	单位
		17 引脚	17 引脚	
$R_{\theta JB}$	结至电路板热阻	5.5	不适用 (2)	°C/W
ψ_{JT}	结至顶部特征参数	0.8	1.3	°C/W
ψ_{JB}	结至电路板特征参数	5.5	6.6	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	5.9	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。
(2) 不适用于 EVM 布局。

5.5 电气特性

T_J = –40°C 至 +150°C，V_{VIN} = 4V - 18V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源电压						
$I_{Q(VIN)}$	VIN 工作非开关电源电流	V_{EN} = 1.3V、V_{FB} = 550mV、V_{VIN} = 12V，1MHz		1200	1600	μA
$I_{SD(VIN)}$	VIN 关断电源电流	V_{EN} = 0V、V_{VIN} = 12V		20	32	μA
$VIN_{UVLO(R)}$	VIN UVLO 上升阈值	V_{IN} 上升	3.8	4.00	4.2	V
$VIN_{UVLO(H)}$	VIN UVLO 迟滞			150		mV
内部 LDO						
V_{VDRV}	内部线性稳压器输出电压	V_{VIN} = 12V，I_{VDRV} = 25mA		4.5		V
	内部线性稳压器压降电压	V_{VIN} – V_{VDRV}，V_{VIN} = 3.8V，I_{VDRV} = 25mA			390	mV
	内部线性稳压器短路电流限制	V_{VIN} = 12V		150		mA
$VCC_{UVLO(R)}$	VCC UVLO 上升阈值			3.4		V
$VCC_{UVLO(H)}$	VCC UVLO 迟滞			0.4		V
ENABLE						
$V_{EN(R)}$	EN 电压上升阈值	EN 上升，启用开关		1.2	1.25	V
$V_{EN(F)}$	EN 电压下降阈值	EN 下降，禁用开关	1.05	1.1		V
$V_{EN(H)}$	EN 电压迟滞			100		mV
	EN 引脚拉电流	V_{EN} = 1.1 V		1.75		μA
	EN 引脚拉电流	V_{EN} = 1.3 V		11.6		μA
	EN 高电平到开关延迟开始 (1)	EN 电压范围为 0V 至 3V，上升		1		ms
基准电压						
V_{FB}	反馈电压	T_J = -40°C 至 150°C	497.5	500	502.5	mV
$I_{FB(LKG)}$	流入 FB 引脚的输入漏电流	V_{FB} = 500mV，非开关，V_{VIN} = 12V，V_{EN} = 0V		3		nA
遥感放大器						
$I_{LEAK(GOSNS)}$	GOSNS 引脚的电流输出		85	90	95	μA
$V_{IRNG(GOSNS)}$	用于调节的 GOSNS 共模电压	AGND +/- V_{GOSNS}	–100		100	mV
开关频率和振荡器						
f_{SW}	开关频率	R_{FSEL} = 24.3kΩ 至 AGND	450	500	550	kHz
f_{SW}	开关频率	R_{FSEL} = 17.4kΩ 至 AGND	675	750	825	kHz
f_{SW}	开关频率	R_{FSEL} = 11.8kΩ 至 AGND	900	1000	1100	kHz
f_{SW}	开关频率	R_{FSEL} = 8.06kΩ 至 AGND	1350	1500	1650	kHz
f_{SW}	开关频率	R_{FSEL} = 4.99kΩ 至 AGND	1980	2200	2420	kHz
同步						
$V_{IH(sync)}$	高电平输入电压		1.8			V
$V_{IL(sync)}$	低电平输入电压				0.8	V

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性（续）

T_J = –40°C 至 +150°C，V_{VIN} = 4V - 18V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$F_{SYNC(range)}$	频率同步范围不会对环路稳定性产生不利影响。(1)		F_{CLK} – 20%		F_{CLK} + 20%	
软启动						
t_{SS1}	软启动时间 0 至 100% V_{OUT}	R_{MSEL} = 1.78kΩ		1		ms
t_{SS2}	软启动时间 0 至 100% V_{OUT}	R_{MSEL} = 2.21kΩ		2		ms
t_{SS3}	软启动时间 0 至 100% V_{OUT}	R_{MSEL} = 2.74kΩ		4		ms
t_{SS4}	软启动时间 0 至 100% V_{OUT}	R_{MSEL} = 3.32kΩ		8		ms
功率级						
$R_{DS(on)HS}$	高侧 MOSFET 导通电阻	T_J = 25°C，V_{VIN} = 12V，$V_{BOOT-SW}$ = 4.5V		6.5		mΩ
$R_{DS(on)LS}$	低侧 MOSFET 导通电阻	T_J = 25°C，V_{VDRV} = 4.5V		2.0		mΩ
$V_{VIN(TH_r)}$	VIN 节流上升阈值	T_J = 25°C。VIN 上升时削弱高侧栅极驱动器		16		V
$V_{VIN(TH_f)}$	VIN 节流下降阈值	T_J = 25°C。VIN 下降时恢复高侧栅极驱动器		15.5		V
$V_{BOOT-SW(UV_R)}$	BOOT-SW UVLO 上升阈值	$V_{BOOT-SW}$ 上升		3.2		V
$V_{BOOT-SW(UV_F)}$	BOOT-SW UVLO 下降阈值	$V_{BOOT-SW}$ 下降		2.8		V
$T_{ON(min)}$	最小 ON 脉冲宽度			22	28	ns
$T_{OFF(min)}$	最小 OFF 脉冲宽度 (1)			115		ns
电流检测和过流保护						
$I_{HS(OC1)}$	高侧峰值电流限值	R_{MSEL} = 2.1kΩ	20.7	23	25.3	A
$I_{HS(OC2)}$		R_{MSEL} = 22.1kΩ	16.2	18	19.80	A
$I_{LS1(OC1)}$	低边谷值电流限值	R_{MSEL}= 2.1kΩ	16.74	18.6	20.46	A
$I_{LS(OC2)}$		R_{MSEL} = 22.1kΩ	12.51	13.9	15.29	A
$I_{LS(NOC)}$	低边负电流限值	SW 引脚的输入电流	7			A)
输出过压和欠压保护						
V_{OVP}	过压保护（OVP）阈值电压	V_{FB} 上升		120%		V_{REF}
V_{UVP}	欠压保护 (UVP) 阈值电压	V_{FB} 下降		80%		V_{REF}
电源正常						
	电源正常阈值	V_{FB} 上升（正常）	88%	91%	94%	V_{REF}
	电源正常阈值	V_{FB} 上升（OV 故障）	112%	115%	118%	V_{REF}
	电源正常阈值	V_{FB} 下降（正常）	103.5%	106.5%	109.5%	V_{REF}
	电源正常阈值	V_{FB} 下降（故障）	79%	82%	85%	V_{REF}
$I_{PG(LKG)}$	漏极开路输出为高电平时，流入 PG 引脚的漏电流	V_{PG} = 4.7 V			5	μA
$V_{PG(low)}$	PG 低电平输出电压	I_{PG} = 2mA，V_{IN} = 12V			0.6	V
	有效 PG 输出的最小 VIN	EN = 0V，PG 上拉至 5V		1		V
	PG 延迟，从低到高			201		us
	PG 延迟，从高到低			11		μs
断续						
	重启之前的断续时间			7*t_{SS}		ms
输出放电						
R_{Dischg}	输出放电电阻	V_{VIN} = 12V，V_{SW} = 0.5V，禁用电源转换。		100		Ω
热关断						
$T_{J(SD)}$	热关断阈值(1)	温度上升		165	175	°C
$T_{J(HYS)}$	热关断迟滞 (1)			12		°C

(1) 由设计指定

Copyright © 2024 Texas Instruments Incorporated

5.6 典型特性

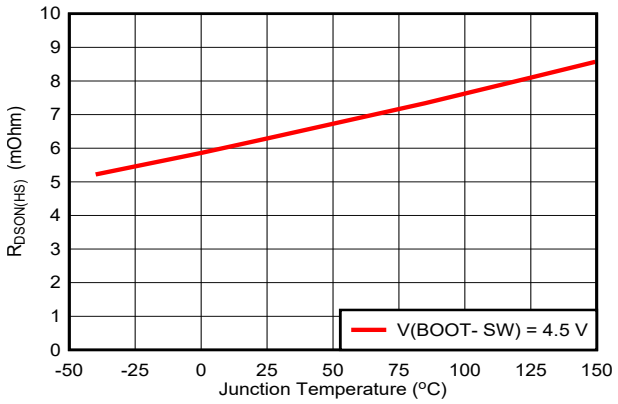


图 5-1. 高侧 FET Rds_{ON}

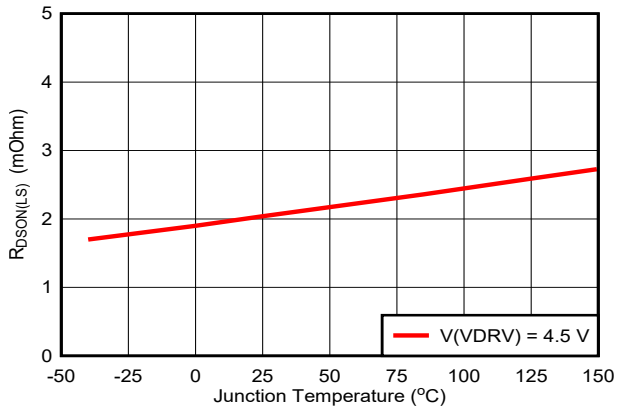


图 5-2. 低侧 FET Rds_{ON}

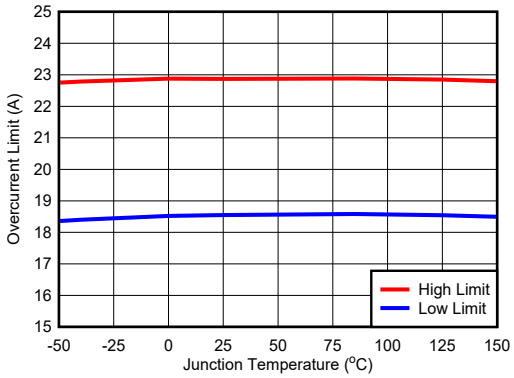


图 5-3. 过流限值

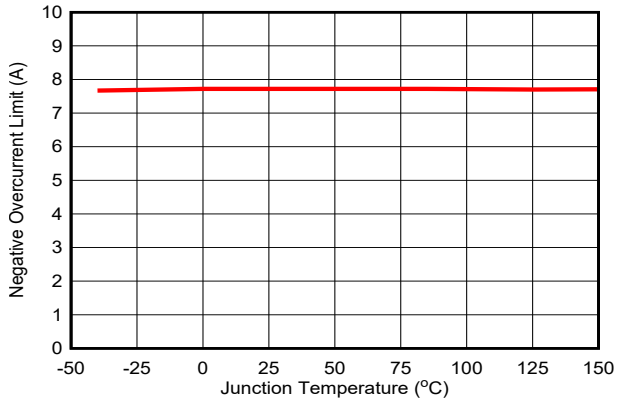


图 5-4. 负过流限制

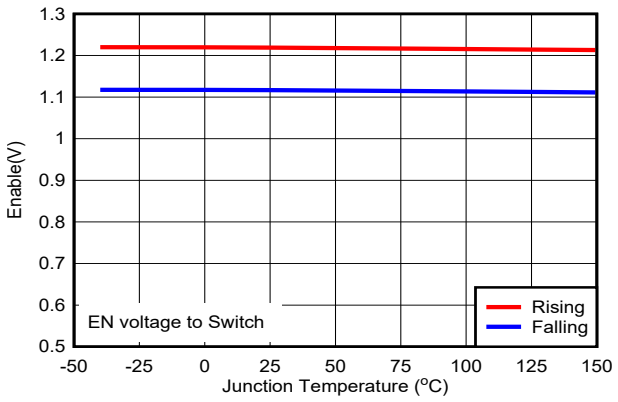


图 5-5. 使能电压

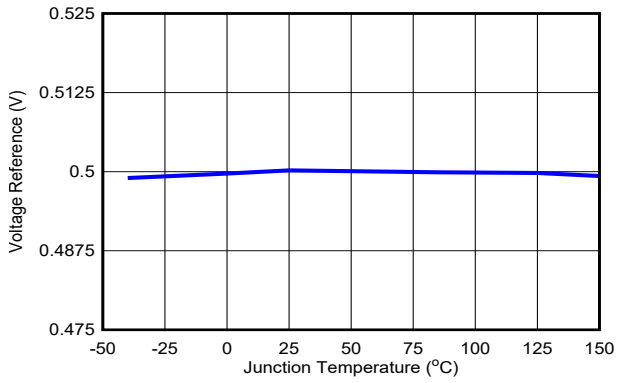


图 5-6. V_{REF}

5.6 典型特性（续）

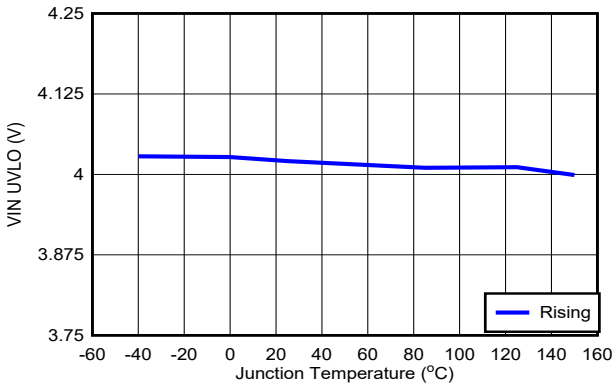


图 5-7. V_{IN} UVLO

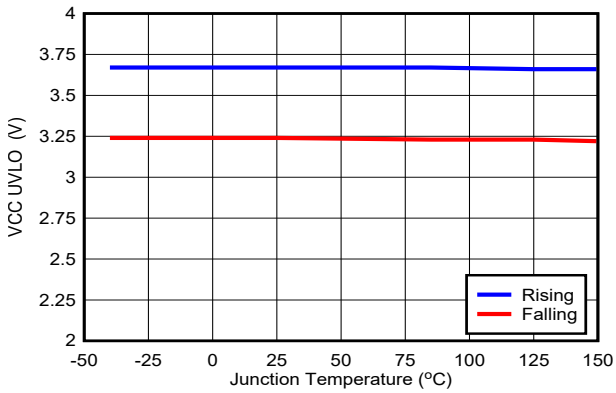


图 5-8. V_{CC} UVLO

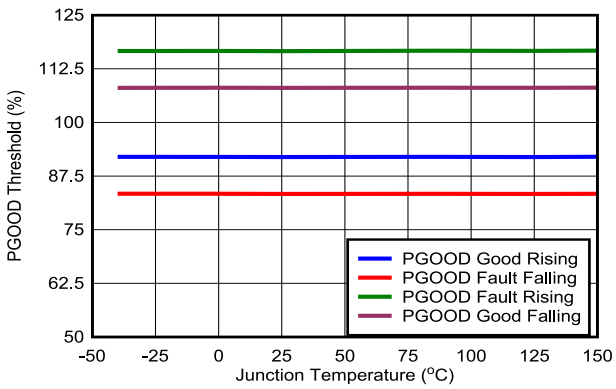


图 5-9. PG 阈值

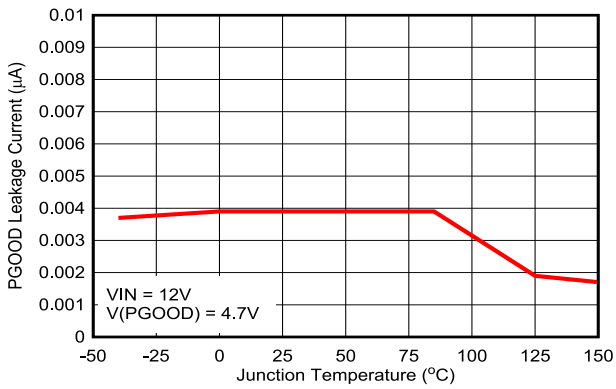


图 5-10. PG 漏电流

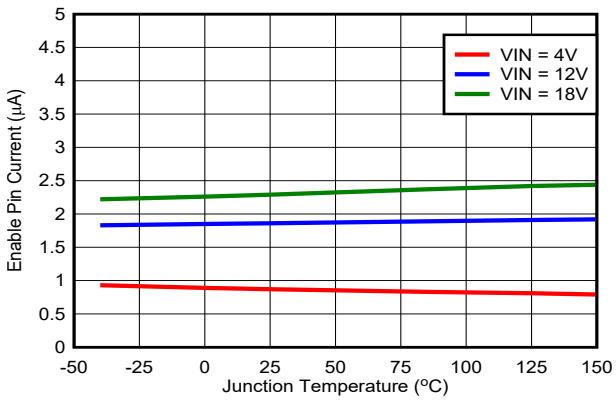


图 5-11. 不同 VIN 下的使能引脚电流

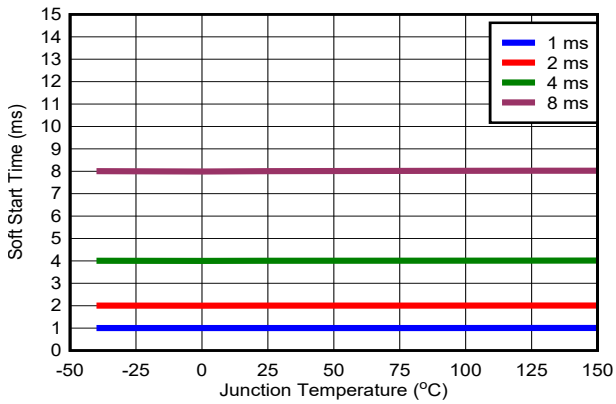


图 5-12. 软启动

Copyright © 2024 Texas Instruments Incorporated

5.6 典型特性（续）

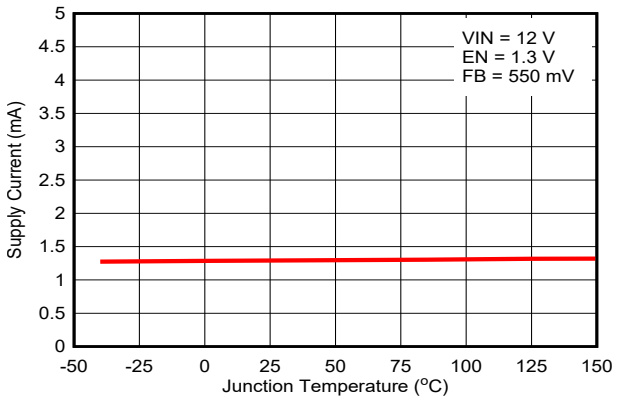


图 5-13. 非开关电源电流

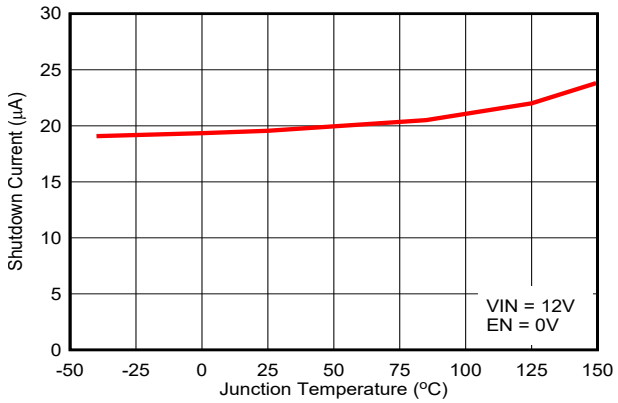


图 5-14. 关断电源电流

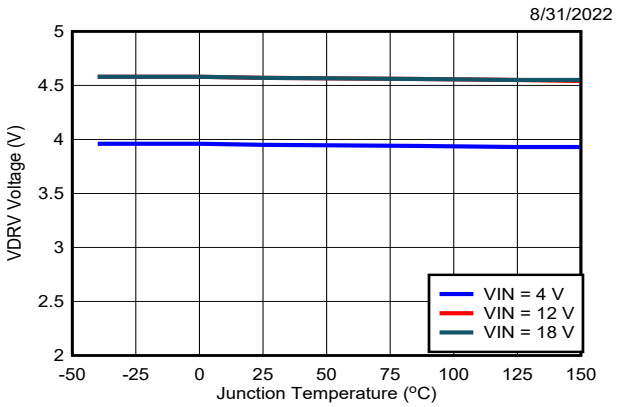


图 5-15. VDRV 与温度间的关系

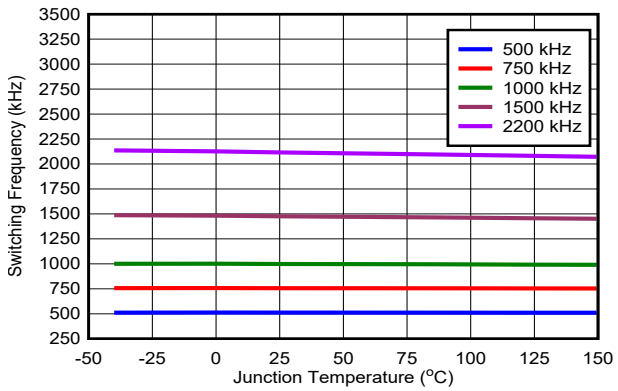


图 5-16. 开关频率与温度间的关系

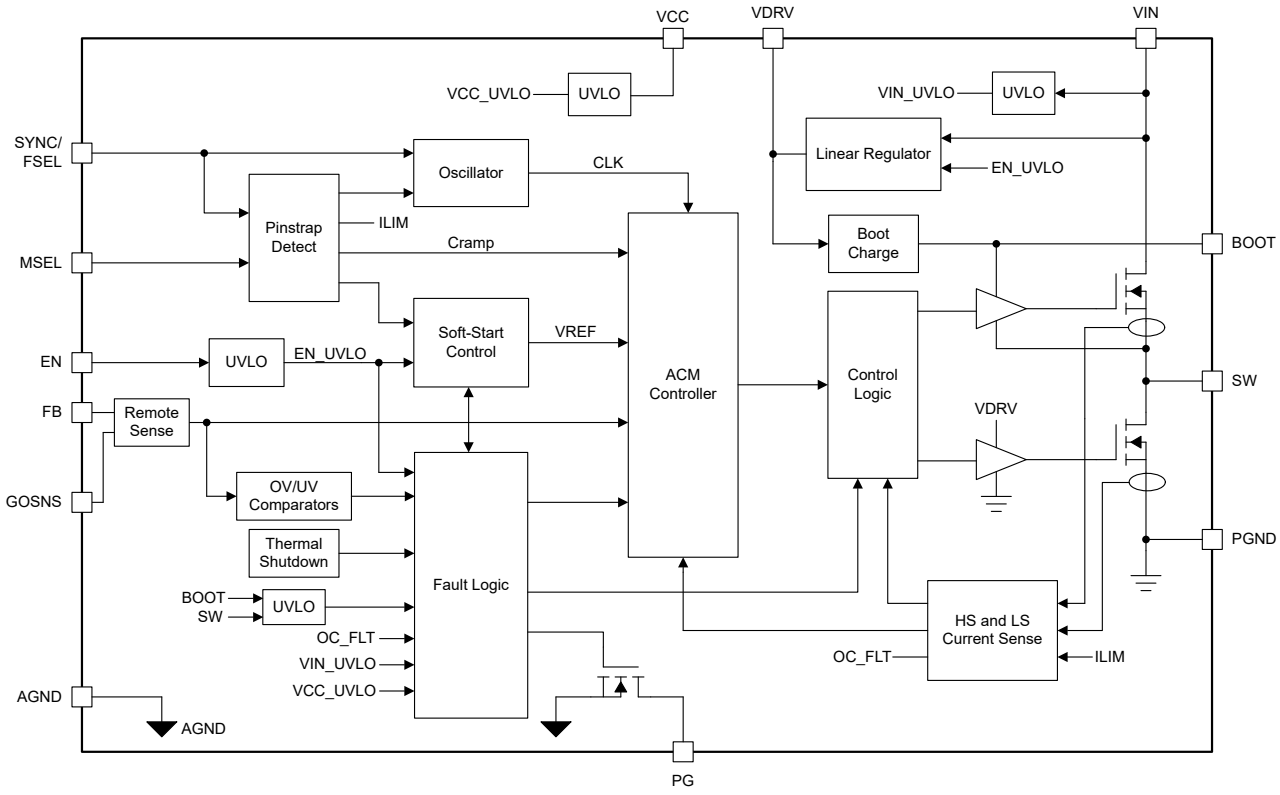
6 详细说明

6.1 概述

TPS543A26 是一款具有两个集成 N 沟道 MOSFET 的 16A 高性能同步降压转换器。TPS543A26 的最高工作结温为 150°C，因此非常适合无线基础设施等高环境温度应用。输入电压范围为 4V 至 18V，输出电压范围为 0.5V 至 7V。该器件采用固定频率高级电流模式 (ACM) 控制架构，具有 500kHz 至 2.2MHz 范围内的五个开关频率选择设置，允许在选择输出滤波器元件时优化效率和尺寸。该器件的开关频率可以与应用于 FSEL/SYNC 引脚的外部时钟同步。

高级电流模式是一种仿真峰值电流模式控制拓扑，支持稳定的静态和瞬态运行，无需复杂的外部补偿设计。ACM 包含一个内部斜坡生成网络，该网络可仿真电感器电流信息，从而支持使用低 ESR 输出电容器，例如多层陶瓷电容器 (MLCC)。内部斜坡还创建了一个高信噪比，以实现良好的抗噪性。TPS543A26 具有三个斜坡选项，可针对各种电感器和输出电容器组合优化内部反馈环路，只有一个电阻器连接到 AGND (请参阅节 6.3.7.2 以了解详细信息) 。TPS543A26 易于使用、需要少量外部元件并可提供快速负载瞬态响应。固定频率调制还提供了滤波器设计的便利性，以克服 EMI 噪声。

6.2 功能方框图



6.3 特性说明

6.3.1 VIN 引脚和 VIN UVLO

VIN 引脚电压为器件的内部控制电路供电，并为功率级提供输入电压。V_{IN} 的输入电压范围为 4V 至 18V。该器件在 VIN 引脚上实现了内部 UVLO 电路。当 VIN 引脚电压降至内部 V_{IN} UVLO 阈值以下时，器件被禁用。启动的内部 V_{IN} UVLO 阈值为 3.95V，典型迟滞为 150mV。

启用该器件的第二种方式为连接 EN 引脚。更多详细信息，请参阅 节 6.3.3。

Copyright © 2024 Texas Instruments Incorporated

6.3.2 内部线性稳压器和旁路

VDRV 引脚在内部连接到内部（4.5V 标称值）线性稳压器 (LDO) 的输出端和 MOSFET 驱动器。使用一个陶瓷电容器来将 VDRV 旁路至 PGND。TI 建议使用 2.2 µ F 至 10 µ F 的值。VCC 引脚是内部控制电路的源。在 VDRV 和 VCC 之间连接一个 10 Ω 电阻器，并使用陶瓷电容器（建议 0.1 µ F）将 VCC 旁路到 AGND。

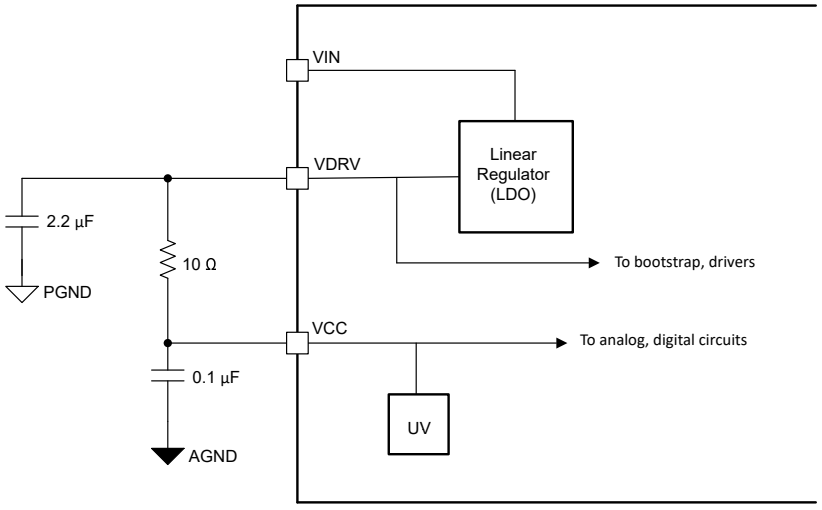


图 6-1. 器件旁路

不用于通过 VDRV 之外的任何源驱动 VCC。

不用于将 VDRV 连接到任何外部源或负载。

6.3.3 使能端和可调节 UVLO

器件的 EN 引脚可提供开/关控制功能。在 EN 引脚电压超过其阈值电压后，器件开始启动序列。如果 EN 引脚电压被拉至阈值电压以下，稳压器会停止切换并进入低工作电流状态。EN 引脚具备一个内部上拉电流源 I_P，默认情况下允许引脚悬空，以便启用器件。确保连接到 EN 引脚的任何电路的漏电流不超过最小 EN 上拉电流，否则器件无法启动。如果应用需要对使能功能进行数字控制，可以将漏极开路或集电极开路输出逻辑与该引脚连接。

或者，可以在 VIN 到 EN 引脚之间添加一个外部电阻分压器，以便实现可调 UVLO，如图 6-2 所示。EN 引脚上拉迟滞电流 *Ih* 用于控制 UVLO 功能的电压迟滞，方法是在 EN 引脚超过使能阈值后增加引脚拉电流。可使用方程式 1 和方程式 2 计算 UVLO 阈值。使用可调 UVLO 功能时，TI 建议使用 500mV 或更大的迟滞。对于输入电压压摆率非常慢的应用，可以在 EN 引脚和地之间放置一个电容器，以滤除输入电压上的任何噪声。

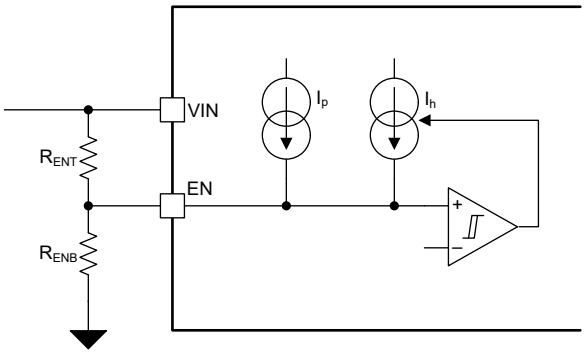


图 6-2. 使用 EN 引脚实现可调 UVLO

$$R_{ENT} = \frac{V_{START} \times \left(\frac{V_{ENFALLING}}{V_{ENRISING}} \right) - V_{STOP}}{I_p \times \left(1 - \frac{V_{ENFALLING}}{V_{ENRISING}} \right) + I_h} \quad (1)$$

$$R_{ENB} = \frac{R_{ENT} \times V_{ENFALLING}}{V_{STOP} - V_{ENFALLING} + R_{ENT} \times \left(I_p + I_h \right)} \quad (2)$$

6.3.3.1 启动期间的内部事件序列

TPS543A26 的使能特性提供了两个阈值级别的功能。当 EN 引脚电压低于内部启动阈值（约 0.8V）时，器件处于低功耗关断模式。当 EN 引脚电压升至高于该阈值时，内部线性稳压器 (LDO) 启用并为外部 VDRV 电容器充电。当 VCC 连接到 VDRV，并且 VCC 引脚上的电压超过其 UVLO 阈值（大约 3.6V）时，TPS543A26 读取由 MSEL 引脚（请参阅节 6.3.9）和 SYNC/FSEL 引脚（请参阅节 6.3.5.3）设置确定的引脚搭接配置，然后进入待机状态。

当超过 VIN UVLO（大约 4V）和 VCC UVLO 阈值时，第二个 EN 引脚阈值变为有效。因此，当 EN 引脚超过（标称值 1.2V）上限阈值时，TPS543A26 会启动上电延迟（通常为 64 µs）以初始化控制环路电路。上电延迟后，启用功率级，开始软启动。

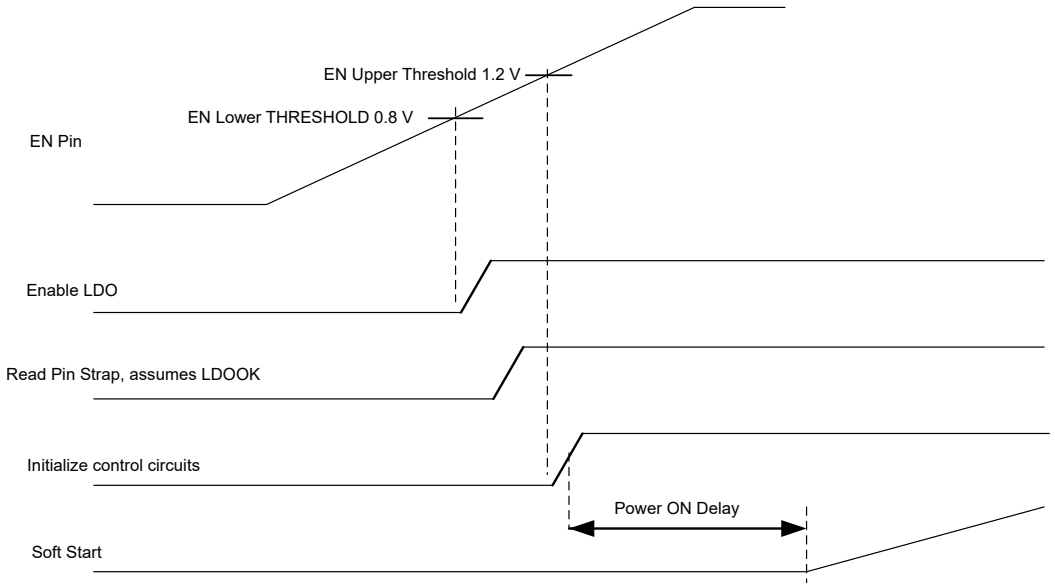


图 6-3. 内部启动序列

如果使能信号上升非常快，从 EN 上升到软启动开始的延迟时间是为器件供电和初始化（线性稳压器的启动、超过 VCC UVLO、读取引脚搭接电平、初始化反馈电路等）所需时间的函数，最长可能需要 1ms（典型值）。

6.3.4 开关频率选择

通过在 SYNC/FSEL 引脚和 AGND 之间连接一个电阻器 (R_{FSEL}) 来选择器件的开关频率。表 6-1 中列出了频率选项及其对应的编程电阻。要求使用容差为 1% 或更好的电阻器。

表 6-1. 开关频率选择

R_{FSEL} 允许的标称范围 (1%) (kΩ)	推荐 E96 标准值 (1%) (kΩ)	推荐 E12 标准值 (1%) (kΩ)	f_{SW} (kHz)
≥ 24.0	24.3	27.0	500

Copyright © 2024 Texas Instruments Incorporated

表 6-1. 开关频率选择（续）

R_{FSEL} 允许的标称范围 (1%) (kΩ)	推荐 E96 标准值 (1%) (kΩ)	推荐 E12 标准值 (1%) (kΩ)	f_{SW} (kHz)
17.4 – 18.0	17.4	17.8	750
11.8 – 12.1	11.8	12.1	1000
8.06 – 8.25	8.06	8.25	1500
⩽ 5.11	4.99	4.75	2200

6.3.5 与外部时钟实现开关频率同步

可以通过向 SYNC/FSEL 引脚施加占空比为 20% 至 80% 的方波时钟信号，将 TPS543A26 同步到外部时钟。可以在器件启动之前或运行期间应用外部时钟。如果在器件启动之前应用外部时钟，则不需要从 SYNC/FSEL 到 AGND 的电阻。如果在器件启动后应用外部时钟，时钟频率必须在 SYNC/FSEL 电阻设置的频率的 ±20% 范围内。在器件启动后应用外部时钟时，器件在外部时钟脉冲存在的情况下计数四个连续的开关周期后开始与该外部时钟同步。请参阅节 6.3.5.2

虽然没有内部电路来检测时钟频率较高的 20% 范围，但它超出了 LC 设计的稳定性范围，因此要求客户确保同步时钟在 SYNC/FSEL 电阻器设置的频率的 ±20% 范围内。

6.3.5.1 内部 PWM 振荡器频率

当存在外部时钟时，器件会将开关频率与时钟同步。只要外部时钟不存在，器件就会默认为内部 PWM 振荡器频率。

如果器件在施加外部时钟信号之前启动，则内部 PWM 振荡器频率由 R_{FSEL} 电阻根据节 6.3.5.3 进行设置。器件以该频率切换，直到应用外部时钟或外部时钟不存在。

如果在器件启动之前应用外部时钟，则不需要 R_{FSEL} 电阻。然后，器件会解码外部时钟频率，并选择内部 PWM 振荡器频率。

表 6-2. 内部振荡器频率解码

外部同步时钟频率 (kHz)	已解码的内部 PWM 振荡器频率 (kHz)
400 – 600	500
600 – 857	750
857 – 1200	1000
1200 – 1810	1500
1810 – 2640	2200

外部同步时钟频率范围的阈值具有大约 ±5% 的容差。如果外部时钟频率在该容差范围内，则内部 PWM 振荡器频率可能被解码为高于或低于该阈值的频率。由于内部频率是在丢失同步时钟的情况下使用的频率，因此 TI 建议选择输出 LC 滤波器和斜坡选择以确保任一频率的稳定性。表 6-3 显示了解码阈值的容差范围。如果外部时钟要在这些范围内，TI 建议设计转换器以确保转换器在两种可能的内部 PWM 振荡器频率下的稳定性。

表 6-3. 频率解码阈值

最小值 (kHz)	典型值 (kHz)	最大值 (kHz)
570	600	630
814	857	900
1140	1200	1260
1736	1810	1884

Copyright © 2024 Texas Instruments Incorporated

6.3.5.2 同步丢失

如果在操作过程中的任何时候出现同步丢失，器件会默认为内部 PWM 振荡器频率，直到同步时钟返回。时钟不再存在后，器件会以内部时钟频率的 70% 连续切换四个周期。在没有时钟脉冲的四个连续周期后，器件以正常的内部 PWM 振荡器频率运行。

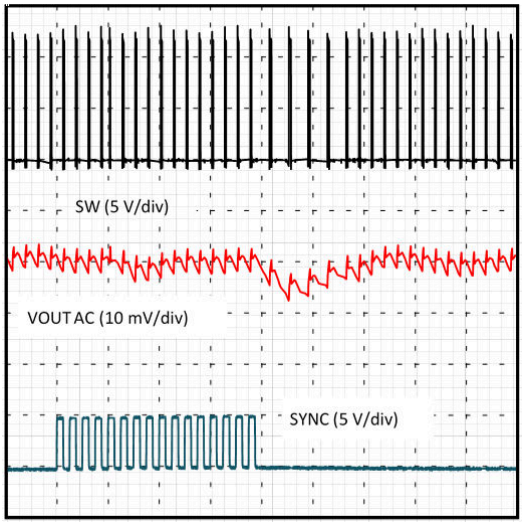


图 6-4. 时钟同步转换

6.3.5.3 与 SYNC/FSEL 引脚相连

如果应用需要与 SYNC 时钟同步，但时钟在器件启用前不可用，TI 建议使用高阻抗缓冲器以确保正确检测 R_{FSEL} 值。图 6-5 展示了建议的实现方式。进入缓冲器输出的漏电流必须小于 5μA，以确保正确检测 R_{FSEL} 值。在器件尝试检测 R_{FSEL} 值之前，从器件的 VDRV 输出为缓冲器供电，以确保其 VCC 电压可用并且缓冲器输出为高阻抗。从 VDRV 引脚为缓冲器供电时，VDRV 引脚上的外部负载必须小于 2mA。

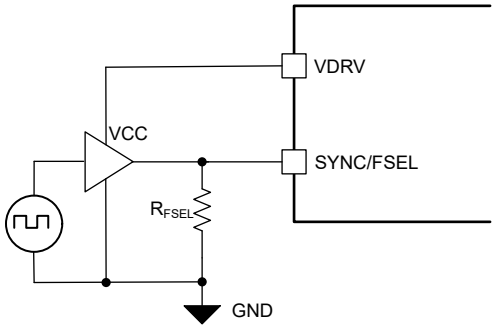


图 6-5. 将 SYNC/FSEL 引脚与缓冲器连接

6.3.6 遥感放大器和调节输出电压

通过专用的高速、低偏移仪表类型放大器提供输出电压的远程感应。将下面描述的输出电压设置电阻分压器从输出电压感应点连接到 GOSNS 引脚。将中心点连接到 FB 引脚。请注意，GOSNS 引脚应连接到靠近负载位置的转换器输出电压回路。

使用电阻分压器对从转换器输出 (V_{OUT}) 到 FB 引脚的输出电压进行编程，如图 6-6 中所示。使用 1% 精度或更优分压电阻。

Copyright © 2024 Texas Instruments Incorporated

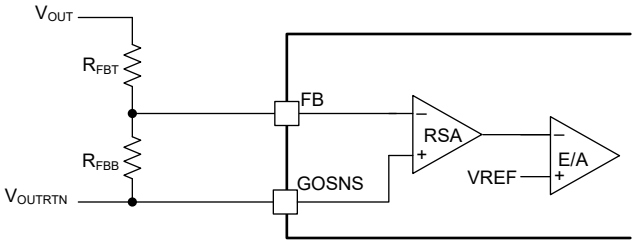


图 6-6. FB 电阻分压器

从底部电阻器的固定值（通常为 10kΩ）开始，使用方程式 3 计算分压器中的顶部电阻器。

$$R_{FBT} = R_{FBB} \times \left(\frac{V_{OUT}}{V_{REF}} - 1 \right) \tag{3}$$

6.3.7 环路补偿指南

TPS543A26 采用高级电流模式控制 (ACM) 架构为大多数应用提供内部反馈环路补偿。通过应用 V_{IN}、占空比和低侧 FET 电流信息来生成内部斜坡，并结合内部感应电感器谷值电流的贡献，ACM 取消了其中一个输出 LC 滤波器极点，并提供相位补偿以确保环路稳定性。与任何内部补偿方案一样，必须遵循某些设计指南。以下部分提供了转换器设计指南。

6.3.7.1 输出滤波电感器折衷

输出电感器的选择是转换器设计中最重要的选择之一。以下是确定所用电感值时要考虑的事项的简短列表。有关其他注意事项，请参阅节 7。

从一个电感值开始，该电感值会导致纹波电流 (ΔI) 在满负载的 30% 到 50% 之间。

$$L = \frac{(V_{IN} - V_{OUT})}{\Delta I} \times \frac{V_{OUT}}{V_{IN}} \times \frac{1}{f_{SW}} \tag{4}$$

- 电感值的选择与负载瞬态响应直接相关。电感值太大会导致负载瞬态响应不佳。
- 纹波电流对转换器进入电流限制的直流负载电流有影响。确保满载时的峰谷电流低于电流限制阈值足够的裕度。推荐范围是电流限制阈值的 60% 到 80%。
- 纹波电流对转换器的 RMS 损耗有影响。纹波电流越高，RMS 损耗就越高。

6.3.7.2 斜坡电容器选型

TPS543A26 使用输入电压、占空比和低侧 FET 电流信息来生成内部斜坡。斜坡幅度由内部斜坡生成电容器 C_{RAMP} 确定。可以通过 MSEL 引脚上连接至 AGND 的电阻器为 C_{RAMP} 选择三个不同值（请参阅节 6.3.9）。电容器选项为 1pF、2pF 和 4pF。较大的斜坡电容器会导致较小的斜坡幅度，从而导致较高的控制环路带宽。下图展示了环路如何随图 7-1 中原理图的每个斜坡设置而变化。

许多应用在 4pF 的 C_{RAMP} 值下表现出色，但是，将由用户来决定测量环路增益和相位，以确定特定应用的理想 C_{RAMP} 值。

1. 首先，使用方程式 5 和表 6-4 计算 RAMP 时间常数。

$$\tau_{CRAMP} = \frac{C_{RAMP} \times 10^{6}}{\text{Lookup1} - \text{Lookup2} \times \frac{V_{OUT}}{V_{IN}}} \tag{5}$$

表 6-4. RAMP 选择查找值

f_{SW} (kHz)	查找 1 值	查找 2 值
500	0.372	0.297
750	0.548	0.445

Copyright © 2024 Texas Instruments Incorporated

表 6-4. RAMP 选择查找值（续）

f_{SW} (kHz)	查找 1 值	查找 2 值
1000	0.719	0.594
1500	1.04	0.891
2200	1.46	1.31

2. 接下来，计算 RAMP 电容器电压以确保为 C_{RAMP} 选择的电容器不会导致大于 1.25V 的斜坡幅度，从而确保斜坡在负载瞬态期间不会饱和接地。

$$V_{CRAMP} = \frac{V_{IN} \times (t_{ON} + 100\ ns)}{\tau_{CRAMP}} \quad (6)$$

- 较大的 C_{RAMP} 电容会导致最高环路增益。
- 较小的 C_{RAMP} 电容需要较少的输出电容器，并导致更高的交叉频率。

图 6-7 和图 6-8 展示了环路如何随节 7 中原理图的每个斜坡设置而变化。

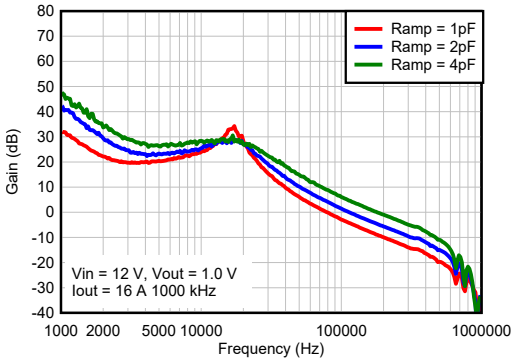


图 6-7. 环路增益与斜坡设置

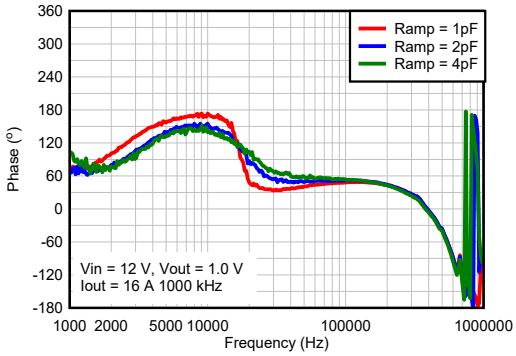


图 6-8. 环路相位与斜坡设置

6.3.7.3 输出电容器选型

- 确保所用电容器的 ESR 零频率至少为预期交叉频率的 5 倍。这样，ESR 对环路增益的影响降低到可管理的水平。

$$f_{ESR_ZERO} = \frac{1}{2\pi \times R_{ESR} \times C} \quad (7)$$

- 输出电容的大小直接影响转换器的闭环带宽。电容太小，带宽可能太高，无法保持稳定性。
- 输出电容的大小对负载下降期间的输出电压过冲有直接影响。太小的电容和输出电感器中存储的能量会导致输出电压在负载急剧下降期间过冲。
- 输出电容的阻抗（电容器的阻抗加上 ESR）对转换器的输出纹波噪声有影响。阻抗过高（由于电容不足、ESR 过高或两者兼而有之）会导致输出纹波超出系统要求。

$$V_{RIPPLE} = \Delta I \times \left(R_{ESR} + \frac{1}{2\pi \times f_{SW} \times C}\right) \quad (8)$$

6.3.7.4 良好瞬态响应的设计方法

以下设计转换器补偿的方法可优化负载瞬态响应。

1. 计算满足瞬态响应目标所需的输出阻抗。该等式假设负载阶跃瞬态比转换器的 BW 快。

$$Z_{OUT_REQUIRED} = \frac{delta_V_{OUT}}{delta_I_{OUT}} \quad (9)$$

2. 选择输出电感值。

Copyright © 2024 Texas Instruments Incorporated

$$L = \frac{(V_{IN} - V_{OUT})}{\Delta I} \times \frac{V_{OUT}}{V_{IN}} \times \frac{1}{f_{SW}} \quad (10)$$

3. 计算满足瞬态响应目标所需的转换器输出阻抗。

$$Z_{OUT_CONVERTER} = \frac{\left(0.00135 + \frac{L}{\tau_{CRAMP}}\right)}{34} \times \frac{V_{OUT}}{V_{REF}} \quad (11)$$

确保 $Z_{OUT_CONVERTER}$ 小于在第 1 步中得出的 $Z_{OUT_REQUIRED}$。此外，再次检查 C_{RAMP} 上的电压是否在可接受的限制范围内。（请参阅上一节）如果太大，使用更大的 C_{RAMP} 值。

4. 计算满足阻抗要求所需的最小输出电容。

$$C_{OUT_MIN} = \frac{1}{2\pi \times Z_{OUT_CONVERTER} \times f_{CO_DESIRED}} \quad (12)$$

其中

- $f_{CO_DESIRED}$ 是所需的转换器闭环交叉频率，通常是转换器开关频率的 1/8 到 1/4。

5. 计算所需的输出电容器的数量。从上一节中，使用 ESR 指南选择电容器类型和值，然后使用此处的公式计算所需电容器的数量。请注意，使用电容器的*阻抗*（ESR 加上电容本身在所选交叉频率下的阻抗）。

$$Z_{CA)PACITOR} = R_{ESR_CA)PACITOR} + \frac{1}{2\pi \times C_{CA)PACITOR} \times F_{CO}} \quad (13)$$

$$N_{CA)PACITORS} = \frac{Z_{CA)PACITOR}}{Z_{OUT_CONVERTER}} \quad (14)$$

6. 使用 TI.com 上的工具之一以及上述值进行设计仿真。

6.3.8 软启动和预偏置输出启动

在启动期间，该器件将参考电压从零缓慢增加至其最终值，从而降低转换器浪涌电流。软启动时间有四个选项，即参考斜升至 0.5V 所需的时间：

- 1 ms
- 2 ms
- 4 ms
- 8 ms

软启动时间通过连接 MSEL 引脚上 AGND 的电阻器来选择。请参阅节 6.3.9

如果在启动前存在预偏置输出条件，该器件会阻止电流从输出端放电。在单调预偏置启动期间，低侧 MOSFET 在 SS 引脚电压高于 FB 引脚电压且高侧 MOSFET 开始开关前不会灌入电流，BOOT-SW 电压低于 UVLO 阈值时除外。当处于 BOOT-SW UVLO 时，可导通低侧 MOSFET 来为启动电容器充电。在高侧 MOSFET 开始开关后，低侧 MOSFET 的反向电流保护功能可为器件提供额外保护。

6.3.9 MSEL 引脚

斜坡幅度、软启动时间和电流限制设置均使用从 MSEL 到 AGND 的单个电阻器 R_{MSEL} 进行编程。表 6-5 列出了可用选项的电阻值。使用容差为 1% 或更好的电阻器。有关“高”和“低”设置的相应电流限制阈值，请参阅节 6.3.11.1。

表 6-5. MSEL 引脚选择

R_{MODE} (kΩ)	电流限值	C_{RAMP} (pF)	软启动时间 (ms)
1.78	高	1	1
2.21	高	1	2
2.74	高	1	4
3.32	高	1	8

Copyright © 2024 Texas Instruments Incorporated

表 6-5. MSEL 引脚选择（续）

R_{MODE} (kΩ)	电流限值	C_{RAMP} (pF)	软启动时间 (ms)
4.02	高	2	1
4.87	高	2	2
5.9	高	2	4
7.32	高	2	8
9.09	高	4	1
11.3	高	4	2
14.3	高	4	4
18.2	高	4	8
22.1	低	1	1
26.7	低	1	2
33.2	低	1	4
40.2	低	1	8
49.9	低	2	1
60.4	低	2	2
76.8	低	2	4
102	低	2	8
137	低	4	1
174	低	4	2
243	低	4	4
412	低	4	8

6.3.10 电源正常 (PG)

TPS543A26 PG 引脚是开漏输出，需要外部上拉电阻才能输出高信号。在 FB 引脚处于内部参考电压的 92% 和 108% 之间之后，软启动完成，并且在 256µs 的抗尖峰脉冲时间之后，PG 引脚变为无效并悬空。TI 建议在 5.5V 或更低的电压源上使用介于 10kΩ 和 100kΩ 之间的上拉电阻。在 VIN 输入电压大于 1V 后，PG 处于定义的状态，但此时电流吸收能力减弱。当 FB 低于标称内部基准电压的 84% 或高于标称内部基准电压的 116% 时，PG 引脚会在 8µs 抗尖峰脉冲时间后被拉低。如果 VIN 低于其 UVLO，EN 引脚被拉低或器件进入热关断模式，PG 会立即被拉低。

6.3.11 输出过载保护

TPS543A26 通过逐周期电流限制高侧 MOSFET 和低侧 MOSFET 来防止输出过载（即过流）事件。在扩展的过流条件下，器件进入断续模式。在正电感电流和负电感电流条件下，不同的保护处于活动状态。

6.3.11.1 正电感器电流保护

当高侧 MOSFET 在较短的消隐时间后导通时，在高侧 MOSFET 中检测电流，以使噪声稳定下来。每当超过高侧过流阈值时，高侧 MOSFET 会立即关断，低侧 MOSFET 导通。在电流降至低于低侧 MOSFET 过流阈值之前，高侧 MOSFET 不会重新导通，从而在短路情况下有效地限制峰值电流。如果连续 15 个周期检测到高侧过流，器件将进入间断模式。

低侧 MOSFET 在较短的消隐时间后导通时也会检测到电流，以使噪声稳定下来。如果在从控制器接收到下一个传入 PWM 信号时超过了低侧过流阈值，则器件将跳过处理该 PWM 脉冲。该器件不会再次接通高侧 MOSFET，直到不再超过低侧过电流阈值。如果连续 15 个周期超过低侧过流阈值，器件将进入间断状态。有两个单独的计数器分别用于高侧电流事件和低侧过电流事件。如果关断时间太短，则低侧过流不会跳闸。然而，低侧过流在超过高侧峰值过流限制后开始跳闸，因为超过峰值电流限制会缩短导通时间并延长关断时间。

Copyright © 2024 Texas Instruments Incorporated

高侧和低侧正过流阈值均可使用 MSEL 引脚进行编程。提供了两组阈值（“高”和“低”），在表 6-6 中进行了汇总。这些阈值的值是使用直流电流的开环测量获得的，以准确指定值。在实际应用中，电感电流斜坡和斜坡速率是电感两端电压的函数 (V_{IN} – V_{OUT}) 以及电感值。然后，斜坡率与电流检测电路中的延迟相结合，导致值与指定值略有不同。高侧过流限制生效的电流可以略高于指定值，而低侧过流限制生效的电流可以略低于指定值。

表 6-6. 过流阈值

MSEL 电流限制设置	高侧过流典型值 (A)	低侧过流典型值 (A)
高	23	17.6
低	17.5	13.2

6.3.11.2 负电感器电流保护

低侧 MOSFET 在较短的消隐时间后导通时会检测到负电流，以使噪声稳定下来。每当超过低侧负过流阈值时，低侧 MOSFET 都会立即关闭。下一个高侧 MOSFET 导通由时钟和 PWM 比较器决定。负过流阈值最小值为 7A。与正电感器电流保护类似，电流检测比较器跳变时电感器电流的实际值是电流斜升速率的函数。因此，负电感电流限制生效时的电流可能略低于规定值。

6.3.12 输出过压和欠压保护

TPS543A26 包含输出过压和欠压保护功能。如果检测到过压，该器件会尝试将输出电压放电至安全水平，然后再尝试重新启动。当超过过压阈值时，低侧 MOSFET 导通，直到达到低侧负过流阈值。此时，高侧 MOSFET 导通，直到电感电流达到零。然后，低侧 MOSFET 重新导通，直到达到低侧负过流阈值。重复该过程，直到输出电压回落到 PG 窗口。发生这种情况后，器件会重新启动并经历一个软启动周期。器件在重新启动之前不会等待间断时间。

当检测到欠压情况时，器件会进入间断状态，将在此状态下等待七个软启动周期，然后再重新启动。软启动完成后启用欠压保护。

6.3.13 过热保护

当内核温度超过 165°C 时，器件关闭。在内核温度冷却到迟滞水平以下（通常为 12°C）之后，器件将重新启动。在等待温度降至迟滞水平以下时，器件不会切换或尝试间断性重启。在温度低于迟滞水平后，器件会重新启动而不会出现间断。

6.3.14 输出电压放电

当 TPS543A26 启用，但高侧 FET 和低侧 FET 由于故障情况而被禁用时，输出电压放电模式启用，会导通 SW 至 PGND 之间的放电 FET 以使输出电压放电。无论是在故障清除之后还是在间断结束之前的等待时间之后，当转换器准备好恢复开关时，放电 FET 都将关闭。

输出电压放电模式由以下任一故障事件激活：

- 高侧或低侧正过流
- 热关断
- 输出电压欠压
- VIN UVLO

6.4 器件功能模式

6.4.1 强制连续导通模式

TPS543A26 在整个正常运行期间以强制连续导通模式 (FCCM) 运行。

Copyright © 2024 Texas Instruments Incorporated

6.4.2 软启动期间的不连续导通模式

在软启动开始时，转换器在前 16 个 PWM 周期内以不连续导通模式 (DCM) 运行。在此期间，过零检测比较器用于在电流达到零安培时关闭低侧 MOSFET，防止输出端上任何预偏置条件的放电。在以 DCM 模式运行 16 个周期之后，转换器进入 FCCM 模式，以便进行启动剩余部分并进入稳压状态。

Copyright © 2024 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

TPS543A26 是一款同步降压转换器，专为 4V 至 18V 输入和 16A 负载而设计。此过程说明了使用陶瓷输出电容器的高频开关稳压器的设计。

7.2 典型应用

7.2.1 1.0V 输出、1MHz 应用

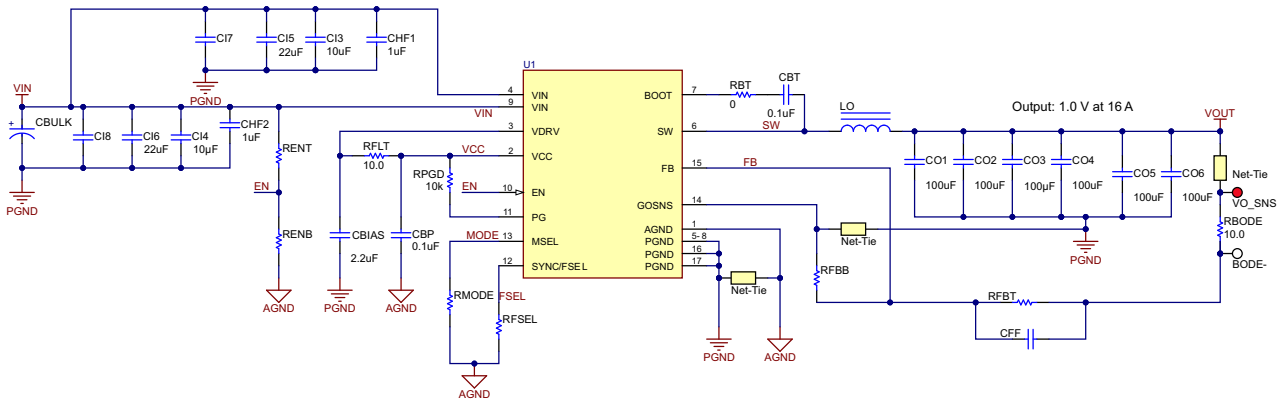


图 7-1. 12V 输入、1.0V 输出、1MHz 原理图

7.2.1.1 设计要求

对于这个设计示例，请使用表 7-1 中显示的参数。

表 7-1. 设计参数

参数	示例值
输入电压范围 (V_{IN})	4.5V 至 18V、12V 额定电压
输出电压 (V_{OUT})	1.0V
输出电流额定值 (I_{OUT})	16A
开关频率 (f_{SW})	1000kHz
稳态输出纹波电压	10mV
输出电流负载阶跃	8A
瞬态响应	± 50mV (± 5%)

Copyright © 2024 Texas Instruments Incorporated

7.2.1.2 详细设计过程

7.2.1.2.1 使用 WEBENCH® 工具创建定制设计方案

点击此处，使用 TPS543A26 器件并借助 WEBENCH® Power Designer 创建定制设计方案。

1. 首先输入输入电压 (VIN)、输出电压 (VOUT) 和输出电流 (IOUT) 要求。
2. 使用优化器表盘优化该设计的关键参数，如效率、占用空间和成本。
3. 将生成的设计与德州仪器 (TI) 其他可行的解决方案进行比较。

WEBENCH Power Designer 提供了定制原理图，并罗列了实时价格和元件供货情况的物料清单。在多数情况下，可执行以下操作：

- 运行电气仿真，观察重要波形以及电路性能
- 运行热性能仿真，了解电路板热性能
- 将定制原理图和布局方案以常用 CAD 格式导出
- 打印 PDF 格式的设计报告并与同事共享

有关 WEBENCH 工具的详细信息，请访问 www.ti.com/WEBENCH。

7.2.1.2.2 开关频率

第一步是决定开关频率。TPS543A26 可以在从 500kHz 到 2.2MHz 之间的五种不同频率下运行。f_{SW} 由 FSEL 引脚到地的电阻值设置。通常，需要尽可能高的开关频率，因为这样可以实现超小的设计尺寸。与以较低频率开关的电源相比，高开关频率允许使用更小的电感器和输出电容器。选择更高开关频率的主要代价是额外的开关功率损耗，这会降低稳压器的效率。

给定应用的最大开关频率可受稳压器的最短导通时间限制，最大 f_{SW} 可通过方程式 15 估算。对于此应用，使用 40ns 的最大最短导通时间和 18.0V 最大输入电压，最大开关频率为 1389kHz。所选的开关频率还必须考虑开关频率的容差。选择 1000kHz 的开关频率，以实现设计尺寸和效率的良好平衡。要将频率设置为 1000kHz，根据表 6-1，所选 FSEL 电阻为 11.8kΩ。

$$f_{SW}(max) = \frac{1}{tonmin} \times \frac{V_{OUT}}{V_{IN}(max)} \quad (15)$$

图 7-2 展示了每个 FSEL 频率下建议的最大输入电压与输出电压间的关系。该图使用 40ns 的最大最短导通时间，并具有 10% 的开关频率容差。

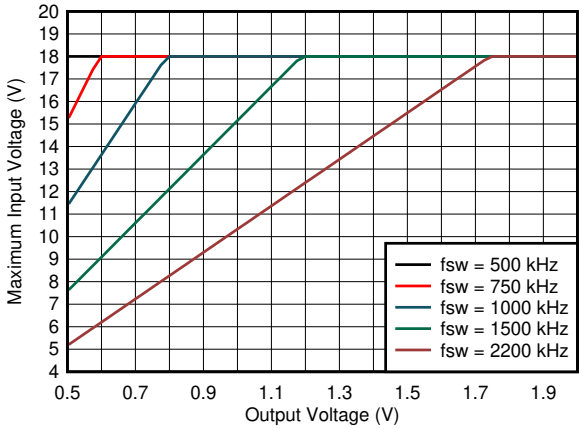


图 7-2. 最大输入电压与输出电压间的关系

Copyright © 2024 Texas Instruments Incorporated

7.2.1.2.3 输出电感器选择

要计算输出电感器的最小值，请使用方程式 16。K_{IND} 是一个比率，表示电感器纹波电流值与最大输出电流之比。电感纹波电流通过输出电容器进行滤波。因此，选择高电感纹波电流将影响输出电容器的选择，原因是输出电容器的额定纹波电流必须大于等于电感纹波电流。选择较小的电感纹波电流会降低瞬态响应性能。对于大多数应用，电感纹波 K_{IND} 通常为 0.1 至 0.4，纹波电流峰峰值范围为 2A 至 8A。目标 I_{RIPPLE} 必须为 1A 或更大。

对于此设计示例，使用 K_{IND} = 0.2，计算出的电感值为 0.286µH。选择电感值为 0.220µH 的电感器。重要的是不要超过电感器的 RMS（均方根）电流和饱和电流额定值。RMS 电流和峰值电感电流可根据方程式 18 和方程式 19 进行计算。对于此设计，RMS 电感电流为 16.53A，峰值电感电流为 18.6A。所选电感器为 SLR1050A-221。该电感器的饱和电流额定值为 35A，RMS 电流额定值为 56.7A，典型直流串联电阻为 0.39mΩ。

通过电感器的峰值电流是电感器纹波电流加上输出电流。在上电、故障或瞬态负载条件下，电感电流可能会增加到方程式 19 中计算的峰值电感电流水平以上。在瞬态条件下，电感电流可升至器件的开关电流限值。出于这个原因，保守的方法是根据开关电流限制，而不是稳态峰值电感电流来指定电感的电流额定值。

$$L1 = \frac{(V_{IN} - V_{OUT})}{Io \times K_{IND}} \times \frac{V_{OUT}}{V_{IN}} \times \frac{1}{f_{SW}} \tag{16}$$

$$I_{ripple} = \frac{(V_{INMAX} - V_{OUT})}{L1} \times \frac{V_{OUT}}{V_{INMAX} \times f_{SW}} \tag{17}$$

$$IL_{rms} = \sqrt{I_O^2 + \frac{1}{12} \times \left(\frac{(V_{INMAX} - V_{OUT})}{L1} \times \frac{V_{OUT}}{V_{INMAX} \times f_{SW}}\right)^2} \tag{18}$$

$$IL_{peak} = I_{OUT} + \frac{I_{ripple}}{2} \tag{19}$$

7.2.1.2.4 输出电容器

选择输出电容器值时，主要考虑两点。输出电压纹波以及稳压器如何响应负载电流的大幅变化。输出电容必须根据比这些指标更为严苛的标准进行选择。

对负载电流较大变化的期望响应是首要标准，通常也是最严格的。稳压器不会立即响应负载电流的大幅快速增加或减小。输出电容器提供或吸收电荷，直到稳压器响应负载阶跃。控制环路必须检测输出电压的变化，然后根据负载变化调整峰值开关电流。最小输出电容是根据对环路带宽的估计来选择的。通常，环路带宽接近 f_{SW} / 10。方程式 20 可估算所需的最小输出电容。

对于此示例，瞬态负载响应指定为 5% 的 V_{OUT} 变化，负载阶跃为 8A。因此，ΔI_{OUT} 为 8A，而 ΔV_{OUT} 为 50mV。使用此目标给出的最小电容为 255µF。该值未将输出电容 ESR 纳入输出电压变化的考量范围。对于陶瓷电容器，ESR 的影响小到可以忽略不计。铝电解电容器和钽电容器具有更高的 ESR，这点必须在负载阶跃响应中考虑到。

$$C_{OUT} > \frac{\Delta I_{OUT}}{\Delta V_{OUT}} \times \frac{1}{2\pi \times \frac{f_{SW}}{10}} \tag{20}$$

其中

- ΔI_{OUT} 是输出电流变化。
- ΔV_{OUT} 是允许的输出电压变化。

除了环路带宽之外，电感电流压摆率也可能限制稳压器响应负载阶跃的速度。对于低占空比应用，电感电流在负载降压后斜坡下降所需的时间可能是限制因素。方程式 21 用于估算限制负载降压后输出电压变化所需的最小输出电容。使用所选的 0.22µH 电感，得出的最小电容为 59µF。

Copyright © 2024 Texas Instruments Incorporated

$$C_{OUT} > \frac{L_{OUT} \times \Delta I_{OUT}^2}{2 \times \Delta V_{OUT} \times V_{OUT}} \quad (21)$$

方程式 22 计算必须符合输出电压纹波规范的最小输出电容。在此示例中，目标最大稳态输出电压纹波为 10mV。在该要求下，方程式 22 得到的值为 52µF。

$$Co > \frac{1}{8 \times fsw} \times \frac{1}{\frac{Voripple}{Iripple}} \quad (22)$$

其中

- ΔI_{OUT} 是输出电流变化。
- ΔV_{OUT} 是允许的输出电压变化。
- f_{SW} 是稳压器的开关频率。
- $V_{ORIPPLE}$ 是允许的最大稳态输出电压纹波。
- I_{RIPPLE} 是电感器纹波电流。

最后，即使应用没有严格的负载瞬态响应或输出纹波要求，仍需要最小电容，确保在 MODE 引脚上具有最低增益斜坡设置的情况下，控制环路可以保持稳定。方程式 23 可用于估算保持环路稳定所需的最小电容。方程式 23 通过将 LC 频率相对于开关频率保持在最小值来设置最小电容量。请参阅图 7-3，了解最低增益斜坡设置为 1pF 时，该限值与输出电压间的关系。使用 1V 输出和最小比值 35 时，方程式 23 得出的最小电容为 141µF。

$$C_{OUT} > \left(\frac{Ratio}{2\pi \times f_{SW}}\right)^2 \times \frac{1}{L_{OUT}} \quad (23)$$

方程式 24 可用于计算输出电容器必须满足输出电压纹波规格的最大组合 ESR，结果表明 ESR 必须小于 6mΩ。在这种情况下，使用陶瓷电容器，并联陶瓷电容器的组合 ESR 远小于满足纹波所需的 ESR。电容还会将纹波电流限制在处理电流时不会导致过热或故障的范围内。必须指定一个支持电感纹波电流的输出电容。电容数据表指定了最大纹波电流的 RMS 值。方程式 25 可用于计算输出电容必须支持的 RMS 纹波电流。对于此应用，方程式 25 得出 1.2A，陶瓷电容器的纹波电流额定值通常远高于此值。

$$Resr < \frac{Voripple}{Iripple} \quad (24)$$

$$Icorms = \frac{Vout \times (Vinmax - Vout)}{\sqrt{12} \times Vinmax \times L1 \times fsw} \quad (25)$$

为电源稳压器的电容选用 X5R 和 X7R 陶瓷介电材料或等效的介电材料，原因是其电容体积比较高并具有极强的温度稳定性。还必须在考虑直流偏置和交流电压降额的情况下选择输出电容器。通常可在电容器制造商的网站上找到陶瓷电容器因直流电压偏置和交流 RMS 电压而降额的电容值。对于此应用示例，使用了六个 100µF、10V、X5R、1210 陶瓷电容器，每个电容器的 ESR 为 3mΩ。对于这六个并联电容器，使用电容器制造商网站估算的降额后有效输出电容为 570µF。1V 电压下的直流偏置降额约为 -5%。由于环路交叉频率高于 f_{SW}/10 估算值（如图 7-8 中所示），因此本设计能够使用的值小于计算得出的最小值。

7.2.1.2.5 输入电容器

需要从 VIN 到 PGND 的 X5R、X7R 或类似的输入去耦陶瓷电容器，这些电容器应尽可能靠近 IC。总共需要至少 66µF 的电容，某些应用可能需要大容量电容。TI 建议至少将 1µF 的旁路电容尽可能靠近每个 VIN 引脚，以尽可

Copyright © 2024 Texas Instruments Incorporated

能减少输入电压纹波。必须将一个 1µF 电容器尽可能靠近器件电路板同一侧的 VIN 引脚 4 和 9，以提供高频旁路，从而减少 VIN 和 SW 引脚上的高频过冲和下冲。输入电容的额定电压必须高于最高输入电压。电容器的纹波电流额定值还必须大于最大 RMS 输入电流。可以使用方程式 26 计算 RMS 输入电流。

该示例设计要求使用额定电压不低于 25V 的陶瓷电容器，从而支持最高输入电压。已选择将两个 22µF，1210，X7R，25V、两个 10µF，0805，X7S，25V 和两个 1µF，0402 或 0603，X7R 25V 电容器并联放置在 IC 的两侧靠近这两个 VIN 引脚和 PGND 引脚的位置。根据电容器制造商的网站，在 12V 的标称输入电压下，总陶瓷输入电容降额至 25µF。额外的 100µF 陶瓷电容和 220µF 铝电解电容器在连接实验室台式电源时也用于旁路长引线。

输入电容值决定了稳压器的输入纹波电压。输入电压纹波可以根据方程式 26 进行计算。当以最接近 50% 的占空比运行时，会出现最大输入纹波。使用标称设计示例值 $I_{OUT(MAX)}$ = 16A、C_{IN} = 25µF 和 f_{SW} = 1000kHz，12V 标称输入的输入电压纹波为 48.7mV，4.5V 最小输入的 RMS 输入纹波电流为 6.7A。

$$I_{CINRMS} = I_{OUT} \times \sqrt{\frac{(V_{INMIN} - V_{OUT})}{V_{INMIN}} \times \frac{V_{OUT}}{V_{INMIN}}} \tag{26}$$

$$\Delta V_{IN} = \frac{I_{OUTMAX} \times \left(1 - \frac{V_{OUT}}{V_{IN}}\right) \times \frac{V_{OUT}}{V_{IN}}}{C_{IN} \times fsW} \tag{27}$$

7.2.1.2.6 可调节欠压锁定

欠压锁定 (UVLO) 使用 R_{ENT} 和 R_{ENB} 的外部分压器网络进行调节。UVLO 有两个阈值：一个用于上电期间输入电压由小变大时，另一个用于下电或欠压期间输入电压由大变小时。对于此示例设计，电源设置为在输入电压增加到 4.5V 以上（UVLO 启动或使能）之后接通并开始切换。在稳压器开始切换后，它会继续切换，直到输入电压降至 3.95V 以下（UVLO 停止或禁用）。在此示例中，选择了 EN 电阻分压器设置的这些启动和停止电压，以实现比内部固定 VIN UVLO 更大的迟滞。

使用方程式 1 和方程式 2 来计算上电阻器和下电阻器的值。为了使这些公式起作用，由于 EN 引脚的电压迟滞，V_{START} 必须为 1.1 × V_{STOP}。对于指定的电压，用于 R_{ENT} 的标准电阻器值为 16.9kΩ，用于 R_{ENB} 的标准电阻器值为 6.04kΩ。

Copyright © 2024 Texas Instruments Incorporated

7.2.1.2.7 输出电压电阻器选型

输出电压通过由 R_{FBT} 和 R_{FBB} 从输出节点到 FB 引脚创建的电阻分压器进行设置。使用容差为 1% 或更好的电阻器。在此示例设计中，为 R_{FBB} 选择 4.99kΩ。根据方程式 28 计算得出的 R_{FBT} 等于 4.99kΩ。这是标准 1% 电阻器。

$$R_{FBT} = R_{FBB} \times \left(\frac{V_{OUT}}{V_{REF}} - 1 \right) \tag{28}$$

如果 PCB 布局不使用节 7.4.1 中推荐的 AGND 至 PGND 连接，反馈引脚上的噪声会降低最大负载情况下的输出电压调节性能。使用 1.00kΩ 的较小 R_{FBB} 可尽可能减少这种噪声的影响。

7.2.1.2.8 自举电容器选型

BOOT 和 SW 引脚之间必须连接一个 0.1μF 陶瓷电容器，以确保正常运行。电容器的额定电压必须至少为 10V，以便更大限度地降低直流偏置降额。

可以将一个电阻器与 BOOT 电容器串联，以减慢高侧 MOSFET 的导通速度，并减少 SW 引脚上的过冲上升沿过冲。这会导致损耗更多功率并降低效率。妥善做法是在原型设计中包含一个 0Ω 占位符，以防 PCB 布局中的寄生电感导致 SW 引脚上的电压过冲高于正常情况。这有助于将电压保持在器件的额定范围内，并降低 SW 节点上的高频噪声。

7.2.1.2.9 VDRV 和 VCC 电容器选择

VDRV 引脚和 PGND 之间必须连接一个 2.2μF 陶瓷电容器，用于确保正常运行。电容器的额定电压必须至少为 10V，以更大限度地降低直流偏置降额。VDRV 引脚是内部线性稳压器的输出和栅极驱动器的电源。VCC 引脚是模拟控制电路的电源，必须在 VCC 和 AGND 之间连接一个额定值为 0.1μF 和 10V 或更好的陶瓷电容器。必须在 VDRV 和 VCC 引脚之间连接一个 10Ω 0402 电阻器。

7.2.1.2.10 PGOOD 上拉电阻器

当满足 FB 条件时，使用 10kΩ 电阻器上拉电源正常信号。上拉电压源必须小于 PGOOD 引脚的 6V 绝对最大值。

7.2.1.2.11 电流限制选择

MODE 引脚用于在两种电流限制设置之间进行选择。选择最小值至少大于最大稳定状态峰值电流 1.1 倍的电流限制设置。这旨在为元件容差和负载瞬态提供裕度。对于此设计，最小电流限制必须大于 7.45A，因此选择了高电流限制设置。

7.2.1.2.12 软启动时间选择

MODE 引脚用于在四种不同的软启动时间之间进行选择，如果负载对稳压器的输出电压有特定的时序要求，这将非常有用。如果输出电容非常大，并且需要大量电流以将输出电容器快速充电至输出电压电平，则较长的软启动时间也很有用。为电容器充电所需的大电流可能会达到电流限制，或导致输入电压轨由于从输入电源汲取过多电流而下降。限制输出电压压摆率可以解决这两个问题。该示例设计将软启动时间设置为 1.0ms。在此软启动时间下，将输出电容器充电至标称输出电压所需的电流仅为 0.14A。

Copyright © 2024 Texas Instruments Incorporated

7.2.1.2.13 斜坡选择和控制环路稳定性

MODE 引脚用于在三种不同的斜坡设置之间进行选择。理想斜坡设置取决于 V_{OUT}、f_{SW}、L_{OUT} 和 C_{OUT}。首先，使用方程式 29 计算 LC 双极点频率。然后，计算 f_{SW} 和 f_{LC} 之间的比值。根据此比率和输出电压，使用图 7-3 选择建议的斜坡设置。对于 1V 输出，比值介于约 35 和 58 之间时、介于约 58 和 86 之间时以及大于约 86 时，TI 分别建议使用 1pF 斜坡、2pF 斜坡和 4pF 斜坡。通常，使用设计可以支持的最大斜坡电容器。增加斜坡电容器可改善瞬态响应，但会降低稳定性裕度或增加导通时间抖动。

对于此设计，f_{LC} 为 17.5kHz，比值为 57，位于 1pF 和 2pF 斜坡设置的边界。通过工作台评估，发现使用 2pF 斜坡时，设计可具有足够的稳定性裕度，因此选择此设置用于获得出色的瞬态响应。图 7-3 中给出的建议斜坡设置包括裕度，以考虑可能的组件容差和不同运行条件下的变化，因此可以使用如本示例所示的更高斜坡设置。

$$f_{LC} = \frac{1}{2 \times \pi \times \sqrt{L_{OUT} \times C_{OUT}}} \tag{29}$$

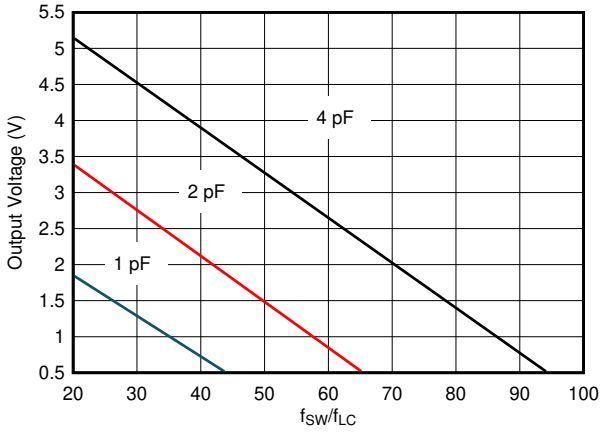


图 7-3. 推荐的斜坡设置

将前馈电容器 (C_{FF}) 与上反馈电阻器 (R_{FBT}) 并联使用，在控制环路中添加一个零点以提供相位提升。包括此电容器的占位符，因为它提供的零点可能需要满足相位裕度要求。该电容器还添加了一个频率高于零的极点。极点和零点频率不是独立的，因此，选择零点位置后，极点也固定了。通过使用方程式 30 计算 C_{FF} 的值，将零点放在 f_{SW} 的 1/4 处。计算值为 128pF — 向下舍入为最接近的标准值 120pF。

使用交流响应的工作台测量，将此示例设计的前馈电容器增加到 180pF 以改善瞬态响应。

$$C_{FF} = \frac{1}{\pi \times R_{FBT} \times \frac{f_{SW}}{2}} \tag{30}$$

Copyright © 2024 Texas Instruments Incorporated

可以使用更大的前馈电容器进一步改善瞬态响应，但要注意确保在所有工作条件下至少有 –9dB 的增益裕度。前馈电容器将输出端的噪声注入 FB 引脚。这种增加的噪声会导致开关节点处的导通时间抖动增加。增益裕度太小会导致重复的宽脉冲和窄脉冲行为。在 PCB 布局不理想的情况下，添加一个与前馈电容器串联的 100Ω 电阻器有助于降低噪声对 FB 引脚的影响。该电阻器的值必须保持较小，因为较大的值会使前馈极点和零点靠得更近，从而降低前馈电容器提供的相位提升。

当使用较高的 ESR 输出电容器（例如聚合物电容器或钽电容器）时，必须考虑它们的 ESR 零点 (f_{ESR})。可以使用方程式 31 计算 ESR 零点。如果 ESR 零点频率小于 f_{SW} 的估计带宽的 1/10，它会影响增益裕度和相位裕度。如有必要，可使用从 FB 引脚到地的串联 R-C 将极点添加到控制环路中。本设计中使用了所有陶瓷电容器，因此忽略了 ESR 零点的影响。

$$f_{ESR} = \frac{1}{2 \times \pi \times C_{OUT} \times R_{ESR}} \tag{31}$$

7.2.1.2.14 MODE 引脚

MODE 电阻器设置为 4.87kΩ，以便选择高电流限制设置、2.0ms 软启动和 2pF 斜坡。有关 MODE 引脚设置的完整列表，请参阅表 6-5。

Copyright © 2024 Texas Instruments Incorporated

7.2.1.3 应用曲线

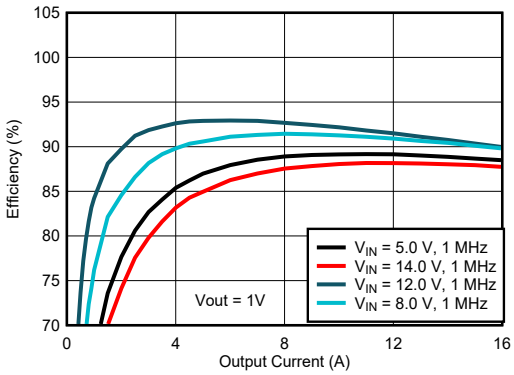


图 7-4. 效率曲线

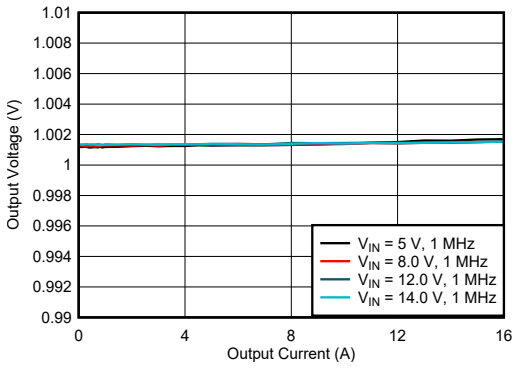


图 7-5. 负载调整率

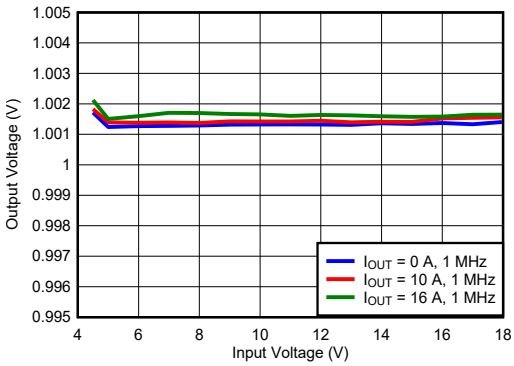


图 7-6. 线路调节

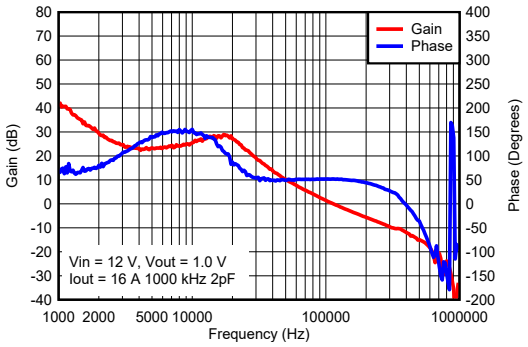


图 7-7. 波特图

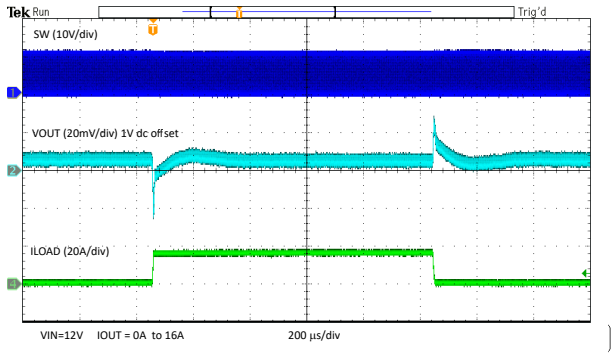


图 7-8. 负载瞬态

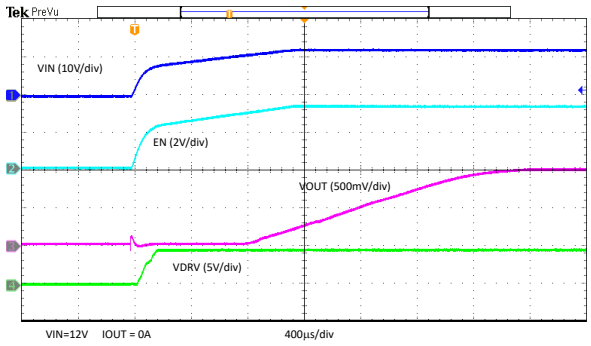


图 7-9. EN 启动 – 测量 BP5

Copyright © 2024 Texas Instruments Incorporated

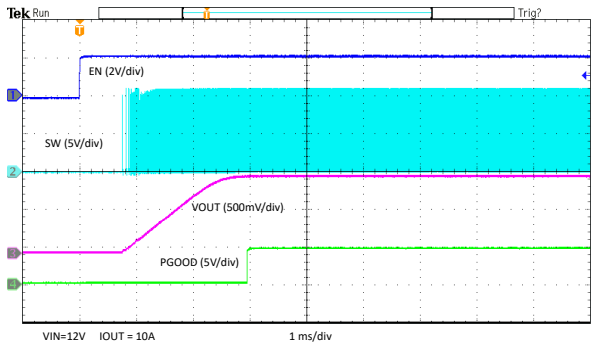


图 7-10. EN 启动 – 测量 SW

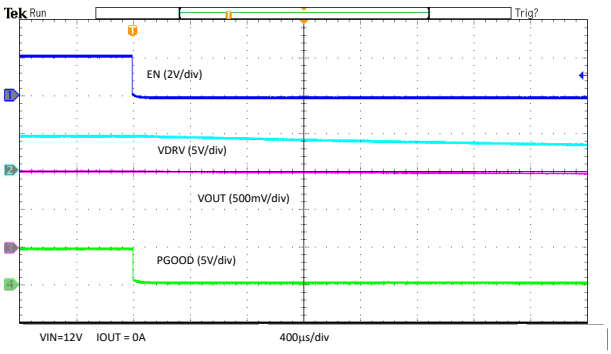


图 7-11. EN 关断

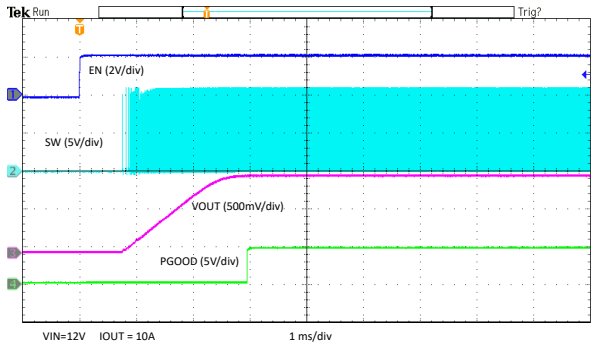


图 7-12. EN 启动 – 带负载

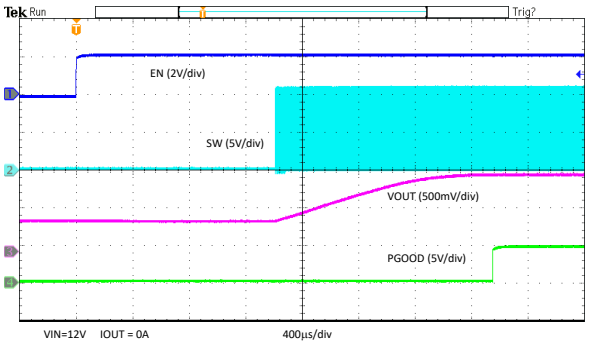


图 7-13. EN 启动 – 0.5V 预偏置

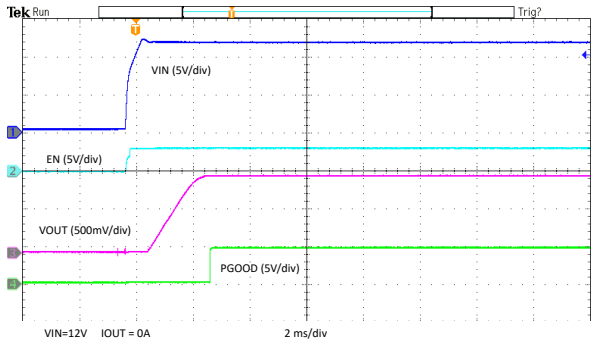


图 7-14. V_{IN} 启动

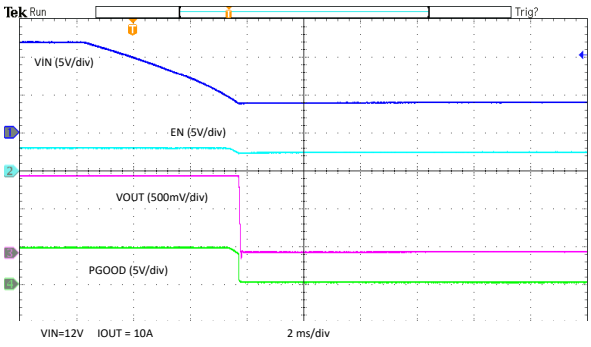


图 7-15. V_{IN} 关断

Copyright © 2024 Texas Instruments Incorporated

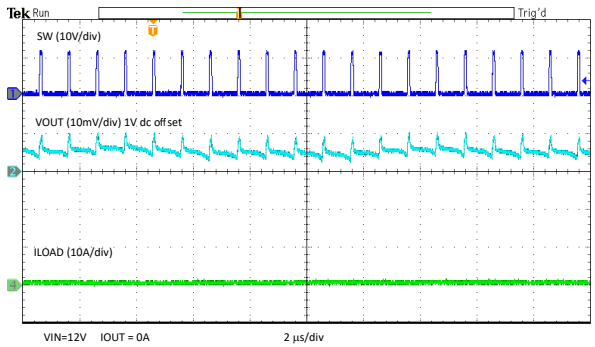


图 7-16. 输出纹波 – 空载

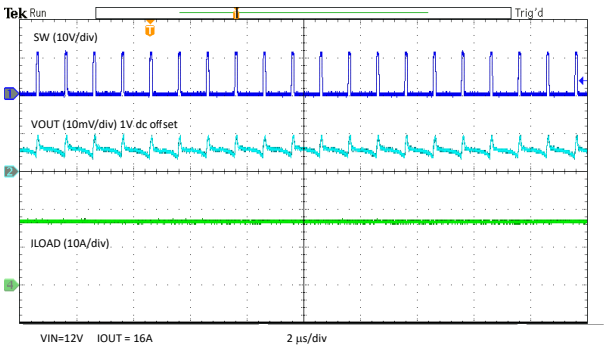


图 7-17. 输出纹波 – 满载

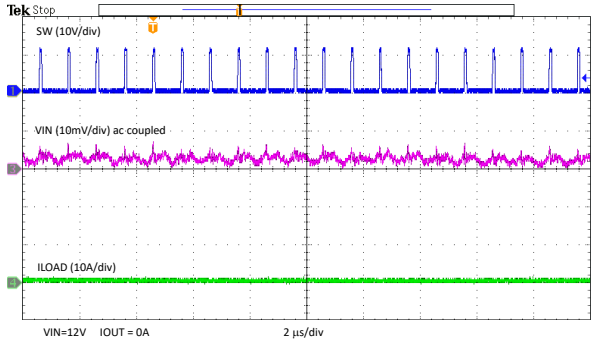


图 7-18. 输入纹波 – 空载

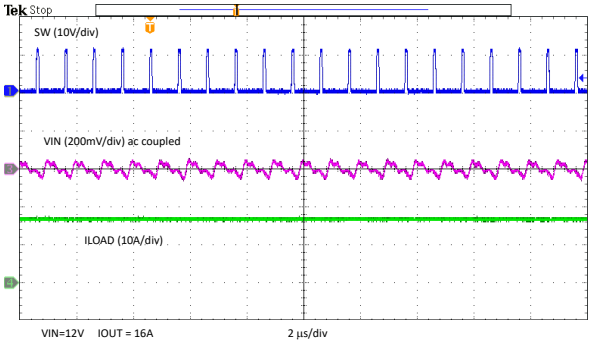


图 7-19. 输入纹波 – 满载

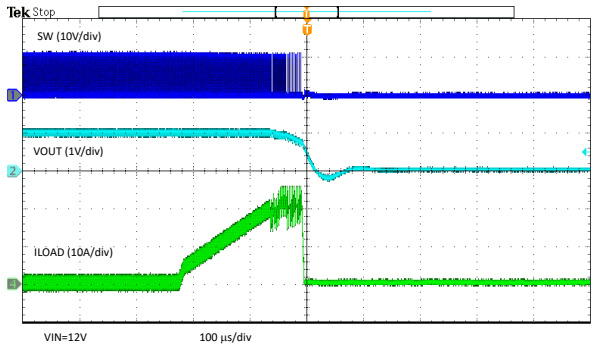


图 7-20. 过流保护 – 过载

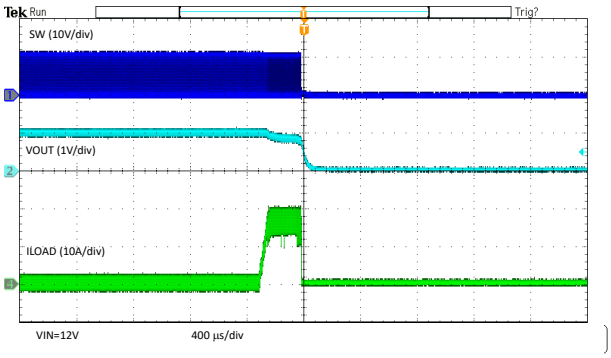


图 7-21. 过流保护 – 短路

Copyright © 2024 Texas Instruments Incorporated

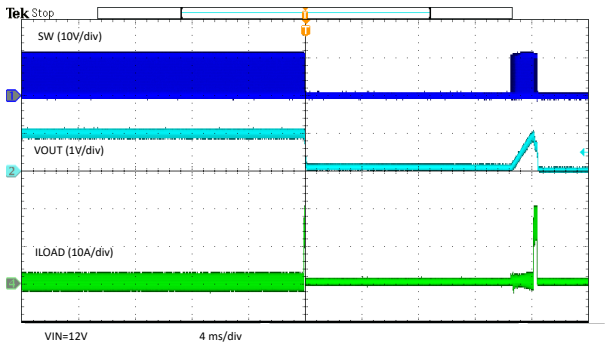


图 7-22. 过流保护 – 断续和恢复

7.3 电源相关建议

TPS543A26 设计用于在 4V 和 18V 之间的输入电源电压范围内工作。该供电电压必须经过良好调节。输入电源的正确旁路对于正确的电气性能至关重要，PCB 布局和接地方案也是如此。必须在器件附近放置至少 10 µ F (降额后) X5R 型或更佳的陶瓷电容。TI 建议在器件每一侧的 VIN 和 PGND 引脚之间平均分配陶瓷输入电容，从而在器件每一侧产生至少 5µF 的陶瓷电容。

7.4 布局

7.4.1 布局指南

好的布局是衡量电源设计的一个重要部分。有关 PCB 布局示例，请参阅 图 7-23。布局布线要遵循的主要准则：

- 让 VIN、PGND 和 SW 布线尽可能宽，以便降低布线阻抗并改善散热。在其他层上使用过孔和布线以减小 VIN 和 PGND 布线阻抗。
- 在 PGND 引脚附近使用多个过孔，并使用器件正下方的层将它们连接在一起，这有助于尽可能降低噪声和提升散热。
- 在两个 VIN 引脚附近使用过孔，并通过内部层在过孔之间实现低阻抗连接。
- 在每个 VIN 到 PGND 引脚之间放置一个 1 µ F/25V/X6R 或更好的电介质陶瓷电容器，并将它们放置在 PCB 同一侧上尽可能靠近器件的位置。将剩余的陶瓷输入电容放置在这些高频旁路电容器旁边。剩余的输入电容可以放置在电路板的另一侧，但要使用尽可能多的过孔，以尽可能减少电容器和 IC 引脚之间的阻抗。
- 将电感器尽可能靠近器件放置，以尽量缩短 SW 节点布线的长度。
- 将 BOOT-SW 电容器尽可能靠近 BOOT 和 SW 引脚放置。将 0.1 µ F/16V/X6R 或更好的电介质陶瓷电容器用于 BOOT 电容器。
- 将 2.2 µ F/10V/X6R 或更好的电介质陶瓷电容器尽可能靠近 VDRV 和 PGND 引脚放置。
- 在 VDRV 和 VCC 之间连接一个 10 Ω 电阻，在 VCC 和 AGND 之间连接一个 0.1 µ F/10V/X6R 或更好电介质陶瓷电容器。
- 将 FB 分压器中的底部电阻尽可能靠近 IC 的 FB 引脚和 GOSNS 引脚放置。还应将上部反馈电阻和前馈电容放在 IC 附近。将 FB 分压器连接到所需调节点的输出电压。
- 使用顶层 AGND 岛上的过孔连接到内部层上的 AGND 层岛。在一点上将内部 AGND 岛连接到 PGND。
- 将 FSEL 和 MODE 电阻返回到一个安静的 AGND 岛。

Copyright © 2024 Texas Instruments Incorporated

7.4.2 布局示例

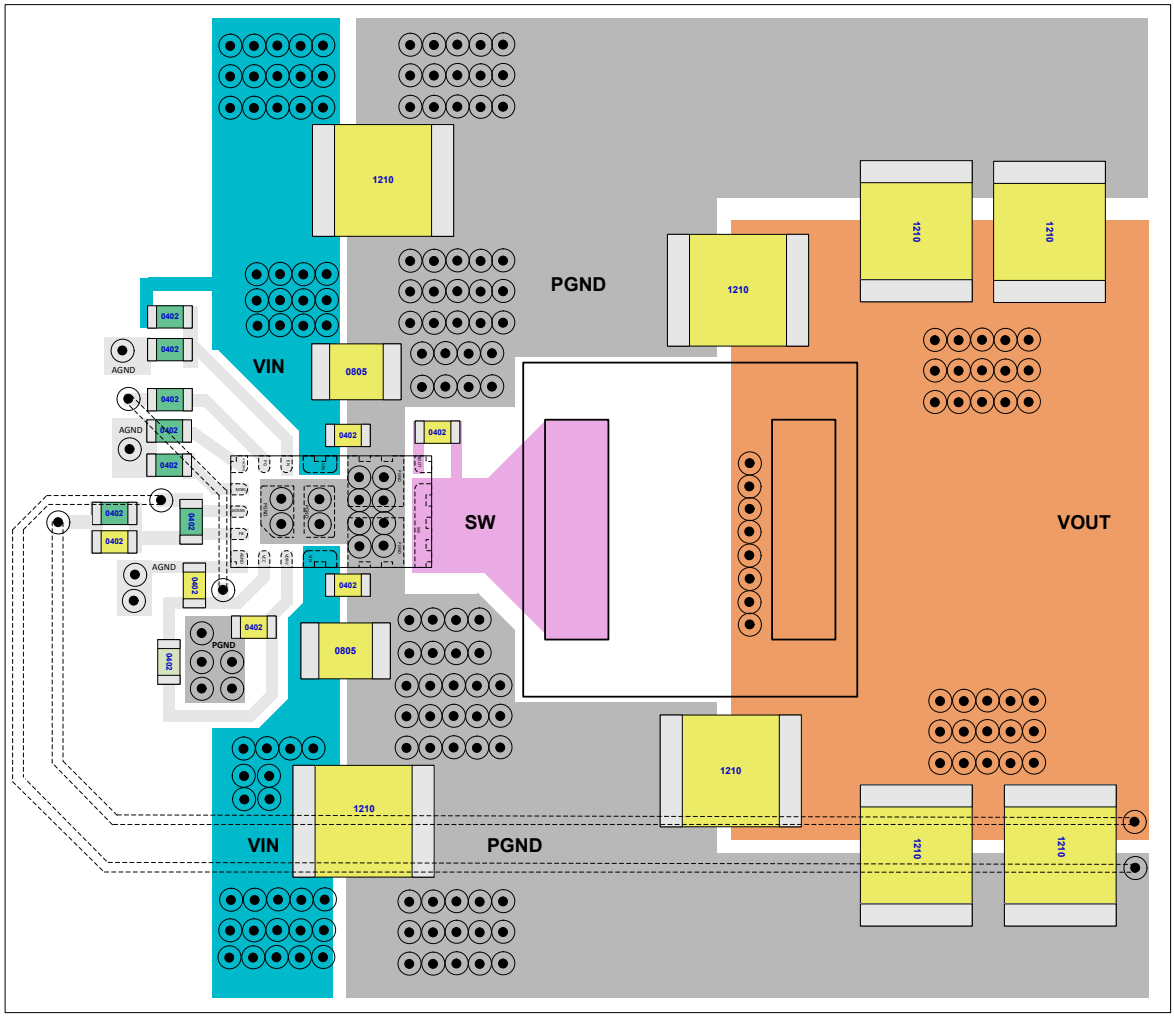


图 7-23. 示例 PCB 布局

7.4.3 热性能

测试条件：f_{SW} = 1MHz，V_{IN} = 12V，V_{OUT} = 1V，I_{OUT} = 16A，电感 = 220nH（典型值为 0.325mΩ），环境温度 = 25°C

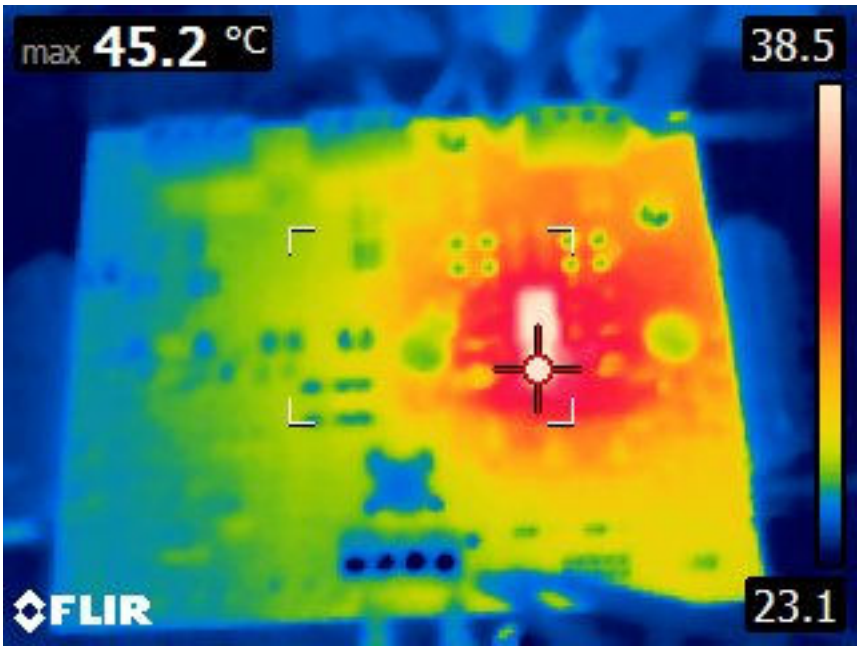


图 7-24. 25°C 环境温度下的热图像

Copyright © 2024 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.1.1 使用 WEBENCH® 工具创建定制设计方案

点击此处，使用 TPS543A26 器件并借助 WEBENCH® Power Designer 创建定制设计方案。

1. 首先输入输入电压 (VIN)、输出电压 (VOUT) 和输出电流 (IOUT) 要求。
2. 使用优化器表盘优化该设计的关键参数，如效率、占用空间和成本。
3. 将生成的设计与德州仪器 (TI) 其他可行的解决方案进行比较。

WEBENCH Power Designer 提供了定制原理图，并罗列了实时价格和元件供货情况的物料清单。在多数情况下，可执行以下操作：

- 运行电气仿真，观察重要波形以及电路性能
- 运行热性能仿真，了解电路板热性能
- 将定制原理图和布局方案以常用 CAD 格式导出
- 打印 PDF 格式的设计报告并与同事共享

有关 WEBENCH 工具的详细信息，请访问 www.ti.com/WEBENCH。

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

SWIFT™, HotRod™, and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2024 Texas Instruments Incorporated

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (December 2022) to Revision A (February 2024)	Page
• 添加了新的器件超链接	1
• 添加了 WEBENCH 内容	1
• 添加了 WEBENCH 内容	22
• 添加了 WEBENCH 内容	35

10 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS543A26RYSR	Active	Production	WQFN-FCRLF (RYS) | 17	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	T543A26
TPS543A26RYSR.A	Active	Production	WQFN-FCRLF (RYS) | 17	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	T543A26

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

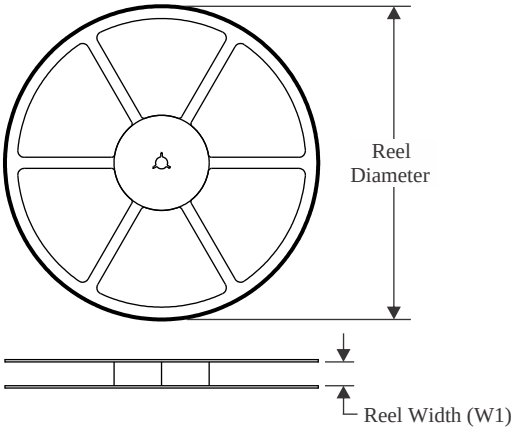
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

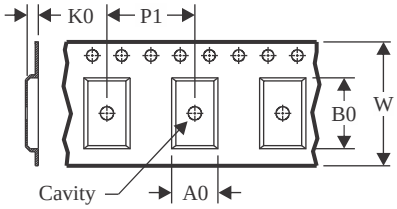
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

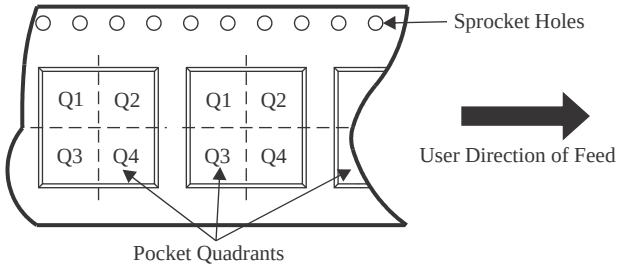


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

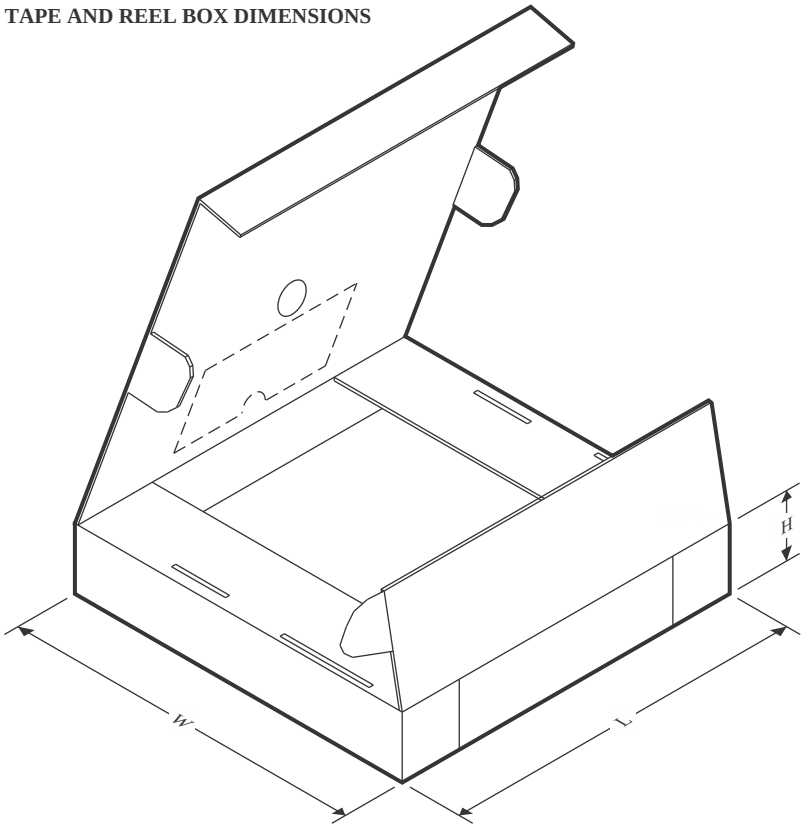
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS543A26RYSR	WQFN-FCRLF	RYS	17	5000	330.0	12.4	2.7	4.75	0.9	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

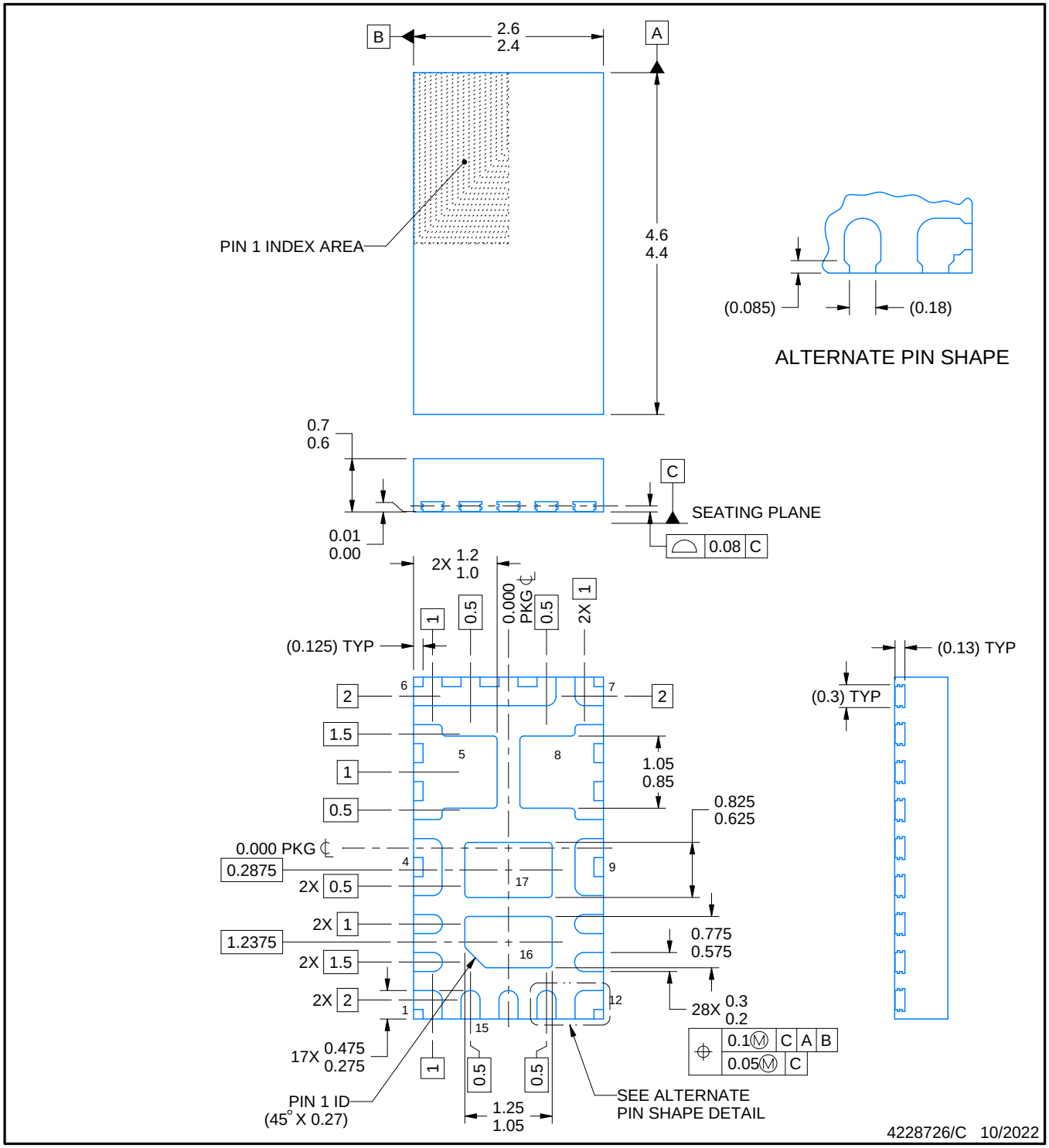
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS543A26RYSR	WQFN-FCRLF	RYS	17	5000	454.0	454.0	35.0

PACKAGE OUTLINE

RYS0017A

WQFN-FCRLF - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

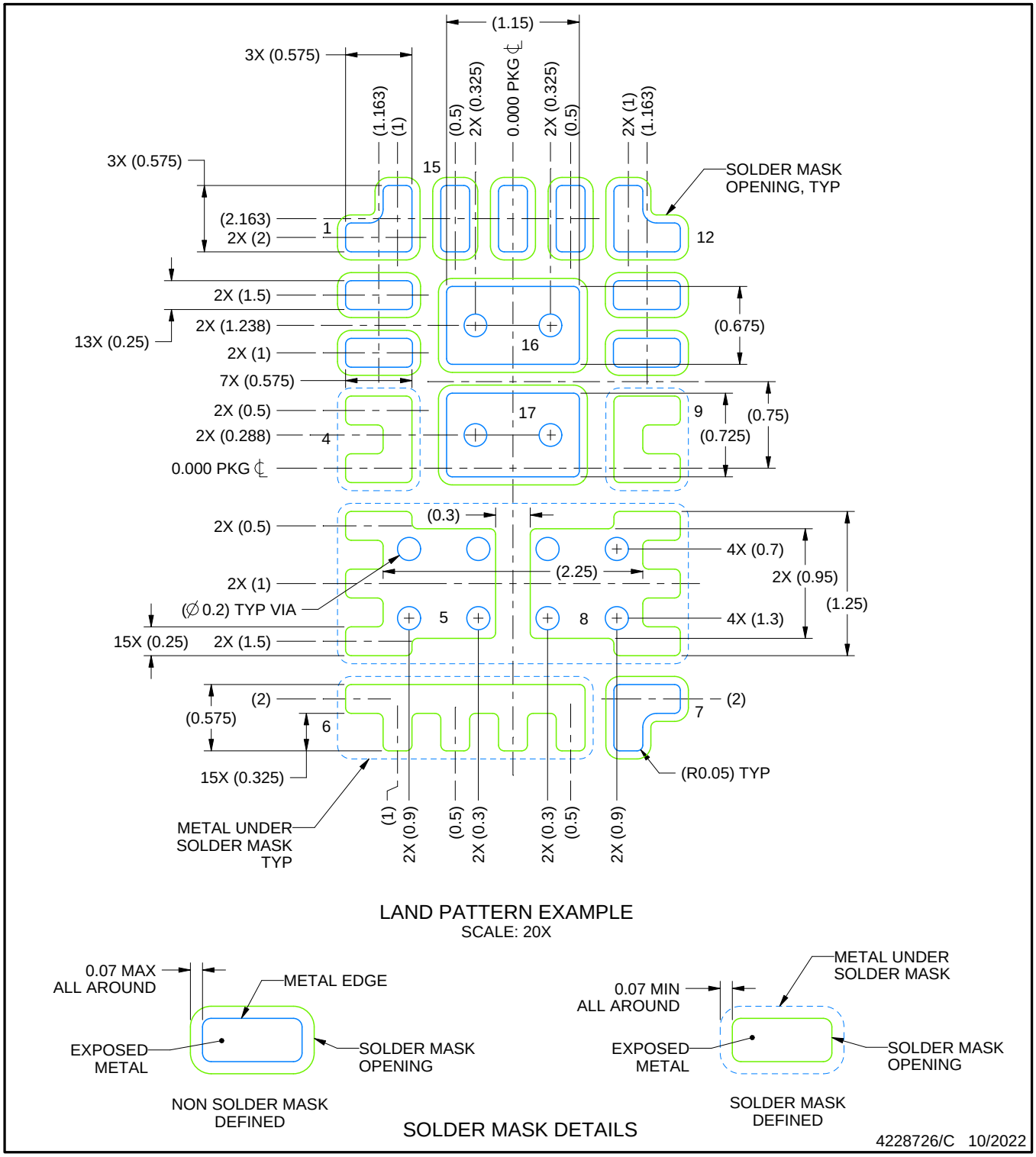
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RYS0017A

WQFN-FCRLF - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE

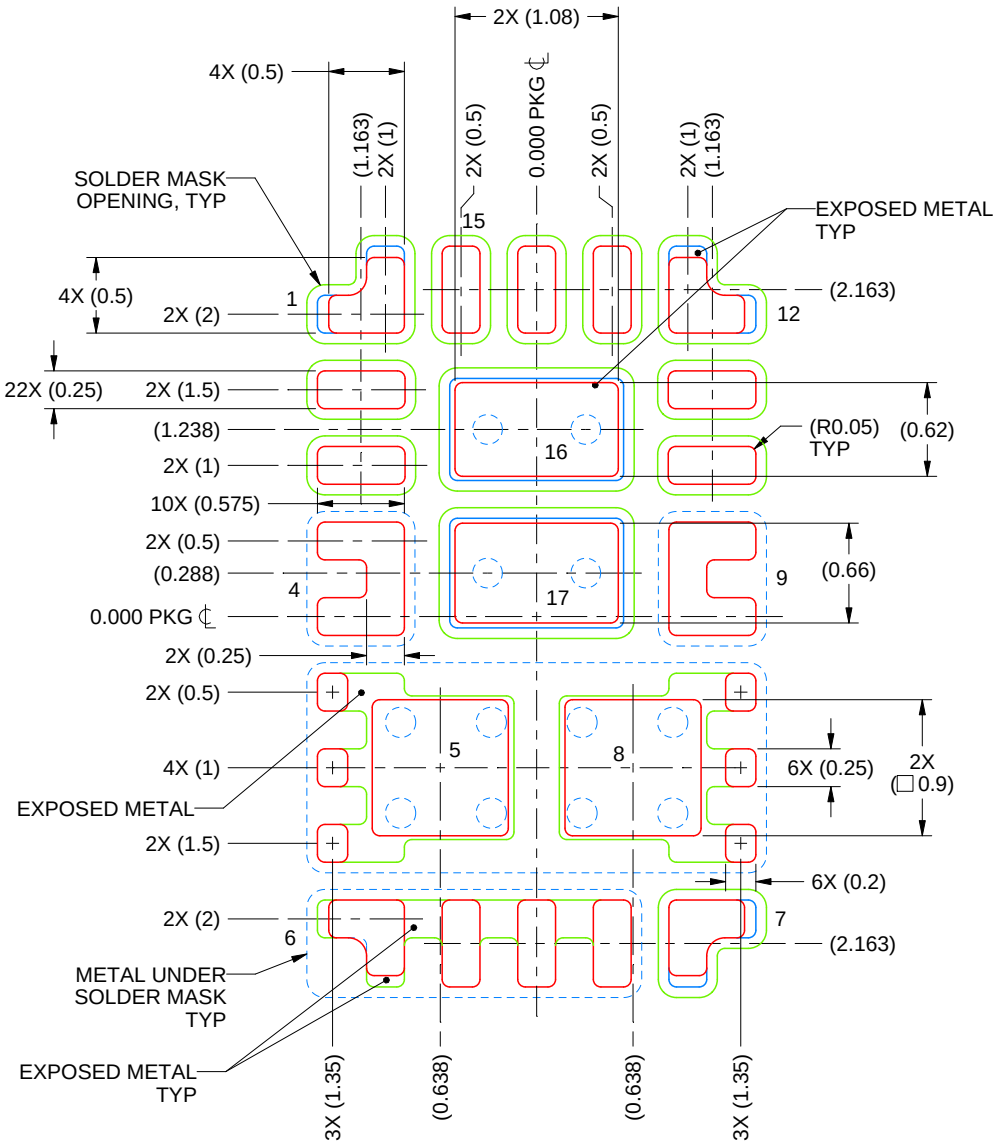
SCALE: 20X

SOLDER MASK DETAILS

4228726/C 10/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

PRINTED SOLDER COVERAGE BY AREA
PADS 1, 7 & 12: 83%
PAD 5 & 8: 87%
PAD 6: 73%
PAD 16: 85%
PAD 17: 86%

4228726/C 10/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月