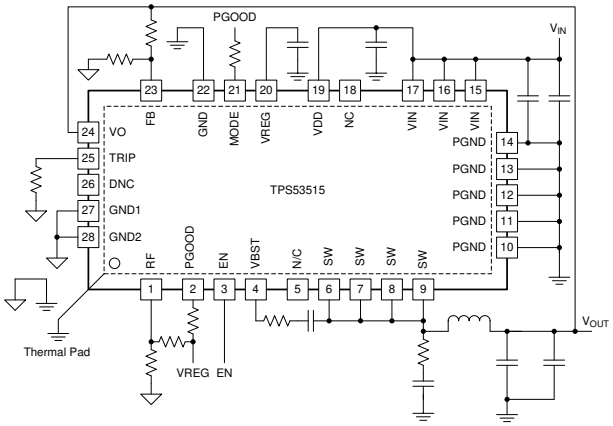
TPS53515 1.5V 至 18V（4.5V 至 25V 偏置）输入、12A SWIFT™ 单路同步降压转换器

1 特性

- 集成 13.8mΩ 和 5.9mΩ 功率 MOSFET，可实现 12A 持续输出电流
- 支持所有陶瓷输出电容器
- 600mV 基准电压，容差为 0.5%
- 输出电压范围：0.6V 至 5.5V
- 在 D-CAP3™ 控制模式下可提供快速负载阶跃响应
- 自动跳跃 Eco-mode™ 可实现较高的轻负载效率
- FCCM，满足严格的输出纹波和电压要求
- 8 种频率设置可选（250kHz 至 1MHz）
- 预充电启动功能
- 内置输出放电电路
- 开漏电源正常状态输出
- 3.5mm × 4.5mm，28 引脚 VQFN-CLIP 封装

2 应用

- 服务器和云计算 POL
- 宽带、网络及光纤通信基础设施
- I/O 电源
- 在 WEBENCH® 设计中心内受支持



简化版原理图

3 说明

TPS53515 器件是一款具有自适应导通时间 D-CAP3 控制模式的小尺寸同步降压转换器。此器件简单易用，具有较少的外部元件数量，适用于空间受限的电源系统。

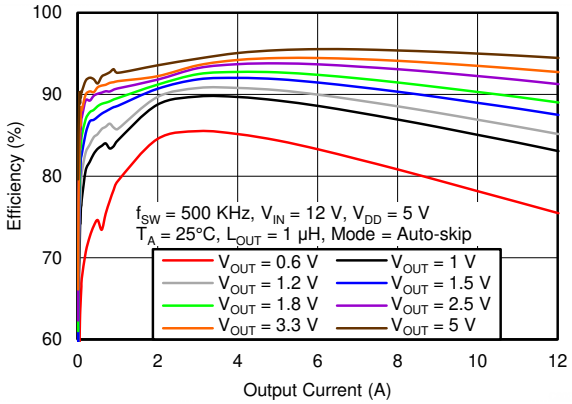
该器件集成了高性能 MOSFET、精确的 0.5% 0.6V 基准电压源以及集成升压开关。具有竞争力的特性包括极少的外部元件数量、快速负载瞬态响应、自动跳跃模式运行、内部软启动控制以及无需外部补偿。

强制持续导通模式有助于满足高性能 DSP 和 FPGA 的严格电压调节精度要求。TPS53515 器件采用 28 引脚 VQFN-CLIP 封装，额定环境温度范围为 –40°C 至 85°C。

封装信息

器件型号	封装(1)	封装尺寸(2)
TPS53515	RVE（VQFN-CLIP，28）	4.50mm × 3.50mm

(1) 有关更多信息，请参阅 节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



效率

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
5 规格.... 5
5.1 绝对最大额定值.... 5
5.2 ESD 等级.... 5
5.3 建议运行条件.... 5
5.4 热性能信息.... 6
5.5 电气特性.... 7
5.6 典型特性.... 9
6 详细说明.... 15
6.1 概述.... 15
6.2 功能方框图.... 15
6.3 特性说明.... 16
6.4 器件功能模式.... 23
7 应用和实施.... 24
7.1 应用信息.... 24
7.2 典型应用.... 24
7.3 电源相关建议.... 29
7.4 布局.... 29
8 器件和文档支持.... 32
8.1 文档支持.... 32
8.2 接收文档更新通知.... 32
8.3 支持资源.... 32
8.4 商标.... 32
8.5 静电放电警告.... 32
8.6 术语表.... 32
9 修订历史记录.... 32
10 机械、封装和可订购信息.... 33

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

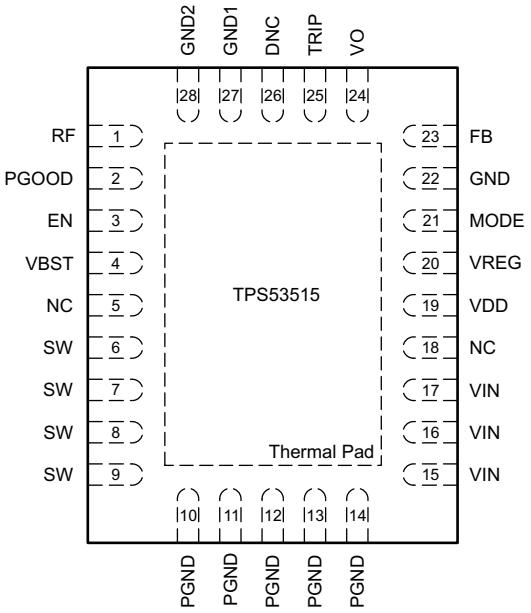


图 4-1. RVE 封装 28 引脚 VQFN-CLIP 顶视图

表 4-1. 引脚功能

引脚		类型[(1)]	说明
名称	编号		
DNC	26	O	请勿连接。该引脚是未使用内部电路的输出端，必须悬空。
EN	3	I	使能引脚可开启 DC-DC 开关转换器。
FB	23	I	V_{OUT} 反馈输入。将此引脚连接到 VOUT 引脚与 GND 之间的电阻分压器。
GND	22	G	该引脚是内部模拟电路和驱动程序电路的接地端。通过短布线将 GND 连接到 PGND 平面（例如，将该引脚通过单根布线连接到热焊盘，再将热焊盘连接到 PGND 引脚和 PGND 平面）。
GND1	27	I	将该引脚连接到系统接地。GND1 是未使用内部电路的输入端，必须连接到地。
GND2	28	I	将该引脚连接到系统接地。GND2 是未使用内部电路的输入端，必须连接到地。
模式	21	I	MODE 引脚可设置强制连续导通模式 (FCCM) 或跳跃模式的工作模式。MODE 引脚还用于选择 D-CAP3 控制模式的斜坡系数。
NC	5	—	未连接。这些引脚在内部悬空。
	18		
PGND	10	G	这些接地引脚连接到内部低侧 MOSFET 的回路。
	11		
	12		
	13		
	14		
PGOOD	2	O	漏极开路电源正常状态信号，在 FB 电压落在指定限值范围内后提供启动延迟。当 FB 电压超出指定限值时，PGOOD 会在 2μs 内变为低电平。
RF	1	I	RF 是 SW 频率配置引脚。将此引脚连接到 VREG 和 GND 之间的电阻分压器，以编程不同的 SW 频率设置。
SW	6	I/O	SW 是电源转换器的输出开关端子。将该引脚连接到输出电感器。
	7		
	8		
	9		

表 4-1. 引脚功能（续）

引脚		类型[(1)]	说明
名称	编号		
TRIP	25	I/O	TRIP 是 OCL 检测阈值设置引脚。在室温下，I_{TRIP} = 10μA，源出 3000ppm/°C 的电流并设置 OCL 跳变电压。有关详细的 OCP 设置，请参阅*电流检测和过流保护*。
VBST	4	P	VBST 是高侧栅极驱动器（升压端子）的电源轨。从该引脚到 SW 节点之间连接自举电容器。通过自举 PMOS 开关在内部连接到 VREG。
VDD	19	P	控制器的电源输入引脚。VREG LDO 的输入。输入范围为 4.5V 至 25V。
VIN	15	P	VIN 是转换电源输入引脚。
	16		
	17		
VREG	20	O	VREG 是 5V LDO 输出。此输出端为内部电路和栅极驱动器提供电压。
VO	24	I	VOUT 电压输入到控制器

(1) I = 输入，O = 输出，P = 电源，G = 接地

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[1]

			最小值	最大值	单位
输入电压范围[2]	EN		-0.3	7.7	V
	SW	DC	-3	30	
		瞬态值 < 10ns	-5	32	
	VBST		-0.3	36	
	VBST[3]		-0.3	6	
	瞬态 < 10ns 时的 VBST			38	
	VDD		-0.3	28	
	VIN		-0.3	30	
	VIN-SW，直流		-3	30	
	VIN-SW < 10ns 瞬态		-5	32	
	VO、FB、MODE、RF		-0.3	6	
输出电压范围	PGOOD		-0.3	7.7	V
	VREG、TRIP		-0.3	6	
结温，T_J			-40	150	°C
贮存温度，T_{stg}			-55	150	°C

(1) 应力超出*绝对最大额定值*中列出的值时，可能会对器件造成永久损坏。这些仅仅是压力额定值，并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 所有电压都是相对于网络接地端的电压。
(3) 所有电压值均以 SW 终端为基准。

5.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[1]	±2500	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22C101[2]	±1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
输入电压	EN	-0.1	7	V
	SW	-3	27	
	VBST	-0.1	28	
	VBST[1]	-0.1	5.5	
	VDD	4.5	25	
	VIN	1.5	18	
	VO、FB、MODE、RF	-0.1	5.5	
输出电压	PGOOD	-0.1	7	V
	VREG、TRIP	-0.1	5.5	

在自然通风条件下的工作温度范围内测得（除非另有说明）

	最小值	最大值	单位
自然通风工作温度范围，T_A	-40	85	°C

(1) 电压值均以 SW 引脚为基准。

5.4 热性能信息

热指标[1]		TPS53515 RVE (VQFN-CLIP) 28 引脚	单位
$R_{\theta JA}$	结至环境热阻	37.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	34.1	°C/W
$R_{\theta JB}$	结至电路板热阻	18.1	°C/W
ψ_{JT}	结至顶部特征参数	1.8	°C/W
ψ_{JB}	结至电路板特征参数	18.1	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	2.2	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性

在自然通风条件下的工作温度范围内且 VREG = 5V、EN = 5V 的条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源电流						
I_{VDD}	VDD 偏置电流	T_A = 25°C，空载 启用电源转换（无开关动作）		1350	1850	μA
$I_{VDDSTBY}$	VDD 待机电流	T_A = 25°C，空载 禁用电源转换		850	1150	μA
$I_{VIN(leak)}$	VIN 漏电流	V_{EN} = 0V			0.5	μA
VREF 输出						
V_{VREF}	基准电压	FB w/r/t GND，T_A = 25°C	597	600	603	mV
$V_{VREFTOL}$	基准电压容差	FB w/r/t GND，0°C ≤ T_J ≤ 85°C	-0.6%		0.5%	
		FB w/r/t GND，= –40°C ≤ T_J ≤ 85°C	-0.7%		0.5%	
输出电压						
I_{FB}	FB 输入电流	V_{FB} = 600mV		50	100	nA
I_{VODIS}	VO 放电电流	V_{VO} = 0.5V，禁用电源转换	10	12	15	mA
SMPS 频率						
f_{SW}	VO 开关频率[2]	V_{IN} = 12V，V_{VO} = 3.3V，R_{DR} < 0.041		250		kHz
		V_{IN} = 12V，V_{VO} = 3.3V，R_{DR} = 0.096		300		
		V_{IN} = 12V，V_{VO} = 3.3V，R_{DR} = 0.16		400		
		V_{IN} = 12V，V_{VO} = 3.3V，R_{DR} = 0.229		500		
		V_{IN} = 12V，V_{VO} = 3.3V，R_{DR} = 0.297		600		
		V_{IN} = 12V，V_{VO} = 3.3V，R_{DR} = 0.375		750		
		V_{IN} = 12V，V_{VO} = 3.3V，R_{DR} = 0.461		850		
		V_{IN} = 12V，V_{VO} = 3.3V，R_{DR} > 0.557		1000		
$t_{ON(min)}$	最短导通时间	T_A = 25°C[1]		60		ns
$t_{OFF(min)}$	最短关断时间	T_A = 25°C	175	240	310	ns
内部自举 SW						
V_F	正向电压	$V_{VREG-VBST}$，T_A = 25°C，I_F = 10mA		0.15	0.25	V
I_{VBST}	VBST 漏电流	T_A = 25°C，V_{VBST} = 33V，V_{SW} = 28V		0.01	1.5	μA
逻辑阈值						
V_{ENH}	EN 使能阈值电压		1.3	1.4	1.5	V
V_{ENL}	EN 禁用阈值电压		1.1	1.2	1.3	V
V_{ENHYST}	EN 迟滞电压			0.22		V
V_{ENLEAK}	EN 输入漏电流		-1	0	1	μA
软启动						
t_{SS}	软启动时间			1		ms
PGOOD 比较器						
V_{PGTH}	VDDQ PGOOD 阈值	从高侧触发 PGOOD 输入	104%	108%	111%	
		从低侧触发 PGOOD 输入	89%	92%	96%	
		PGOOD 输出至高电平	113%	116%	120%	
		PGOOD 输出至低电平	80%	84%	87%	
I_{PG}	PGOOD 灌电流	V_{PGOOD} = 0.5V	4	6		mA
t_{PGDLY}	PGOOD 延迟时间	PGOOD 进入延迟	0.8	1.0	1.2	ms
		PGOOD 输出延迟		2		μs

5.5 电气特性（续）

在自然通风条件下的工作温度范围内且 VREG = 5V、EN = 5V 的条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
I_{PGLK}	PGOOD 漏电流	V_{PGOOD} = 5V	-1	0	1	μA
电流检测						
R_{TRIP}	TRIP 引脚电阻范围		20		70	kΩ
I_{OCL}	电流限制阈值，谷值	R_{TRIP} = 52.3kΩ	10.1	12	13.9	A
		R_{TRIP} = 38kΩ	7.2	9.1	11.0	
I_{OCLN}	负电流限制阈值，谷值	R_{TRIP} = 52.3kΩ	-15.3	-11.9	-8.5	A
		R_{TRIP} = 38kΩ	-12	-9	-6	
V_{ZC}	过零检测偏移			0		mV
保护						
$V_{VREGUVLO}$	VREG 欠压锁定 (UVLO) 阈值电压	唤醒	3.25	3.34	3.41	V
		关断	3.00	3.12	3.19	
$V_{VDDUVLO}$	VDD UVLO 阈值电压	唤醒（默认）	4.15	4.25	4.35	V
		关断	3.95	4.05	4.15	
V_{OVP}	过压保护（OVP）阈值电压	OVP 检测电压	116%	120%	124%	
t_{OVPDLY}	OVP 传播延迟	施加 100mV 过驱		300		ns
V_{UVP}	欠压保护 (UVP) 阈值电压	UVP 检测电压	64%	68%	71%	
t_{UVPDLY}	UVP 延迟	UVP 滤波器延迟		1		ms
热关断						
T_{SDN}	热关断阈值(1)	关断温度		140		°C
		迟滞		40		
LDO 电压						
V_{REG}	LDO 输出电压	V_{IN} = 12V，I_{LOAD} = 10mA	4.65	5	5.45	V
V_{DOVREG}	LDO 低压降电压	V_{IN} > 4.5V，I_{LOAD} = 30mA，T_A = 25°C			365	mV
I_{LDOMAX}	LDO 过流限制	V_{IN} = 12V，T_A = 25°C	170	200		mA
内部 MOSFET						
$R_{DS(on)H}$	高侧 MOSFET 导通电阻	T_A = 25°C		13.8	15.5	mΩ
$R_{DS(on)L}$	低侧 MOSFET 导通电阻	T_A = 25°C		5.9	7.0	mΩ

(1) 根据设计指定。未经生产测试。
(2) 方程式 1 中介绍了电阻分压器分压比 (R_{DR})。

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性

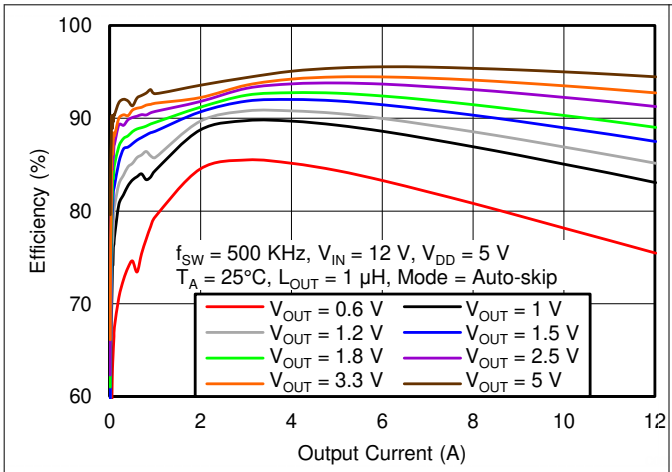


图 5-1. 效率与输出电流的关系

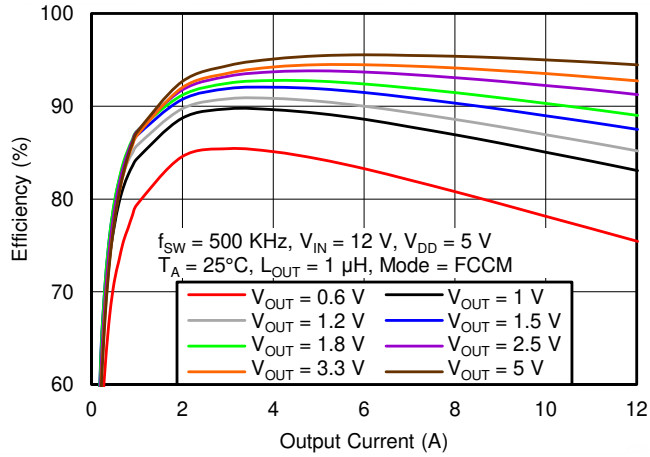


图 5-2. 效率与输出电流的关系

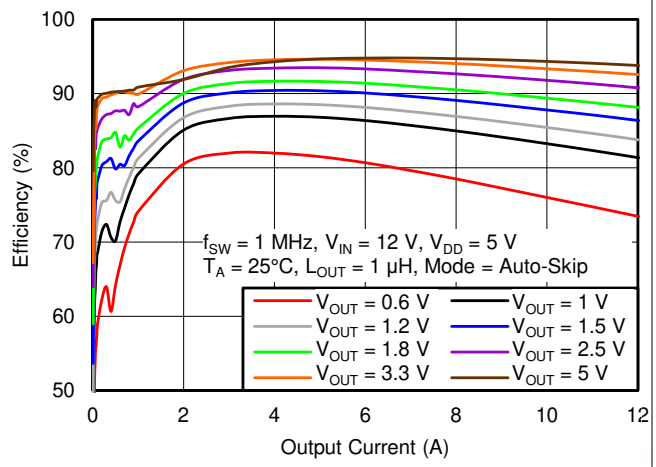


图 5-3. 效率与输出电流的关系

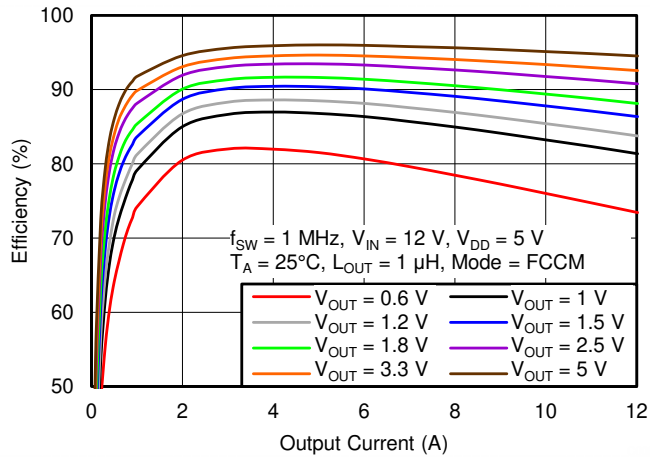


图 5-4. 效率与输出电流的关系

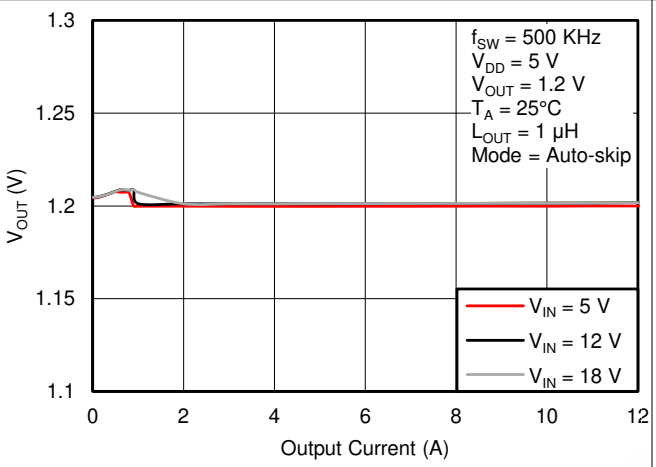


图 5-5. 输出电压与输出电流间的关系

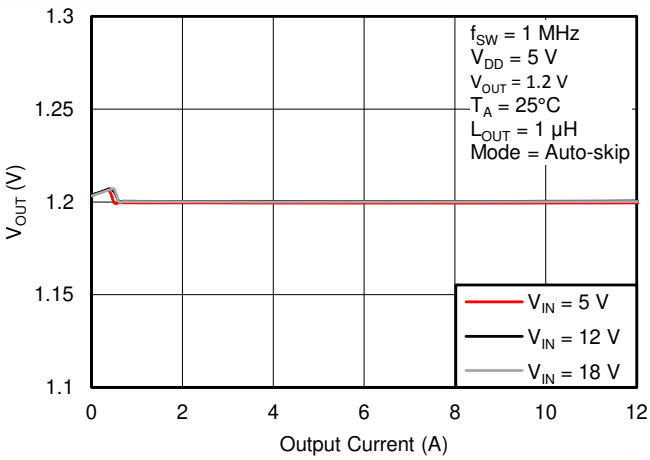


图 5-6. 输出电压与输出电流间的关系

5.6 典型特性（续）

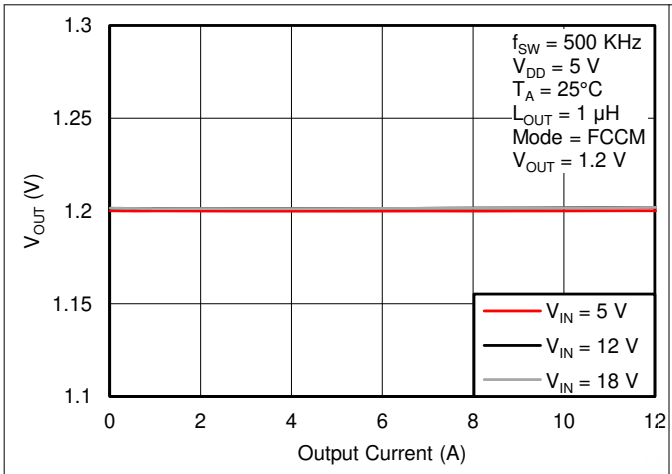


图 5-7. 输出电压与输出电流间的关系

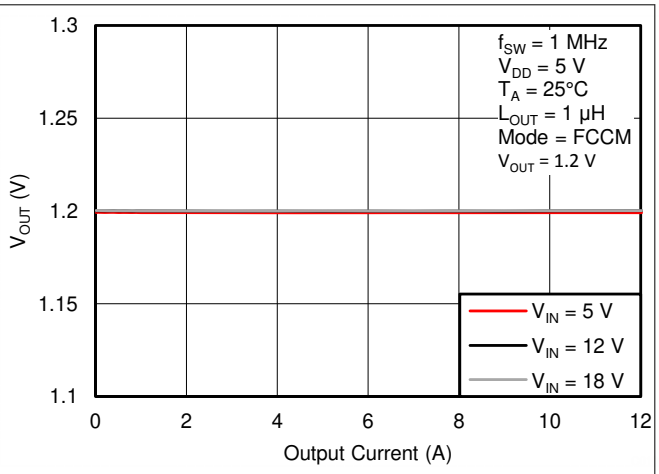


图 5-8. 输出电压与输出电流间的关系

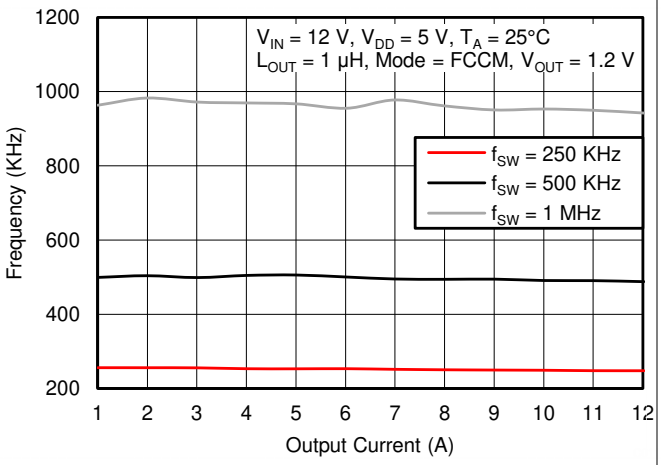


图 5-9. 开关频率与输出电流间的关系

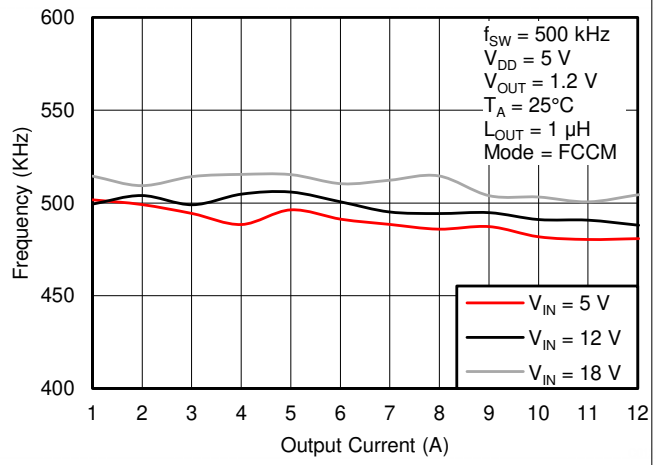


图 5-10. 开关频率与输出电流间的关系

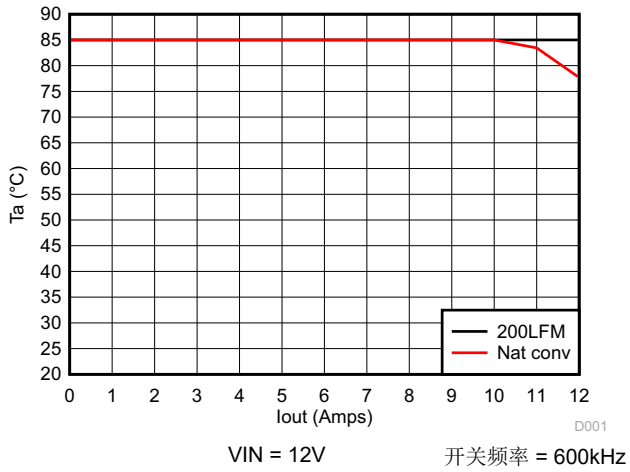


图 5-11. 安全工作区，V_O = 1.2V

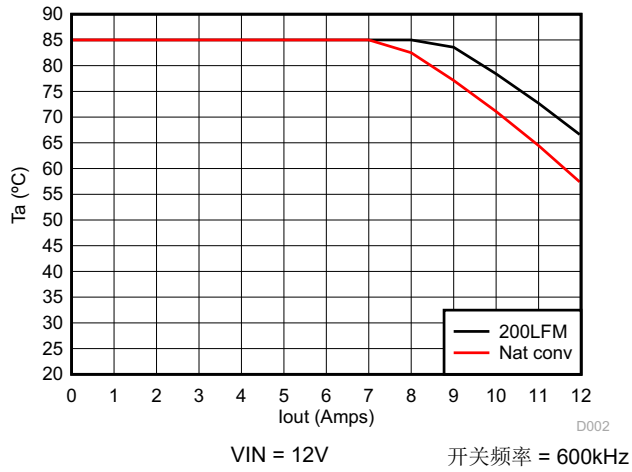


图 5-12. 安全工作区，V_O = 5V

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性（续）

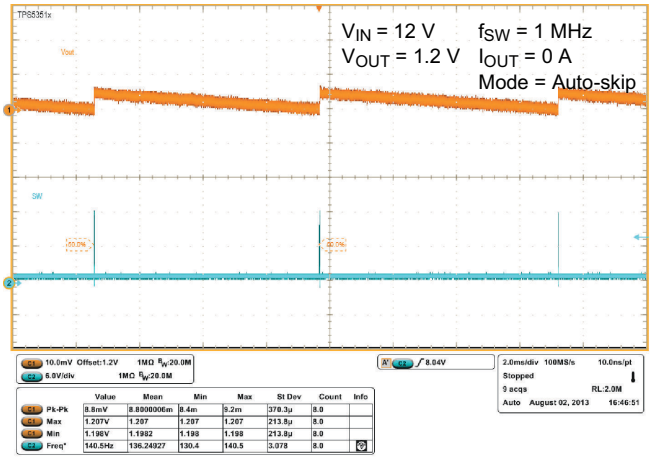


图 5-13. 自动跳跃模式稳态运行

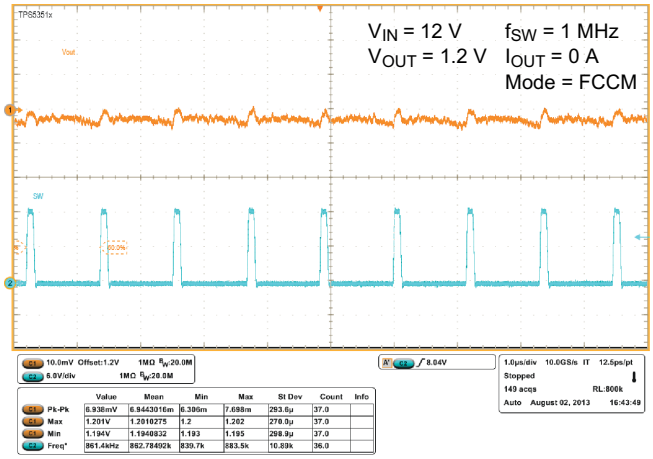


图 5-14. FCCM 稳态运行

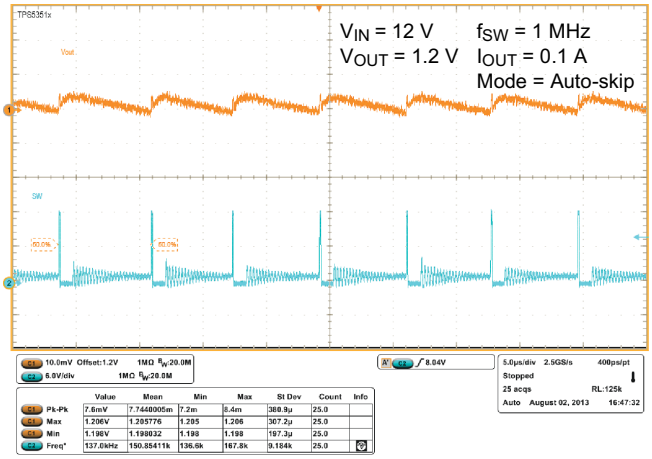


图 5-15. 自动跳跃模式稳态运行

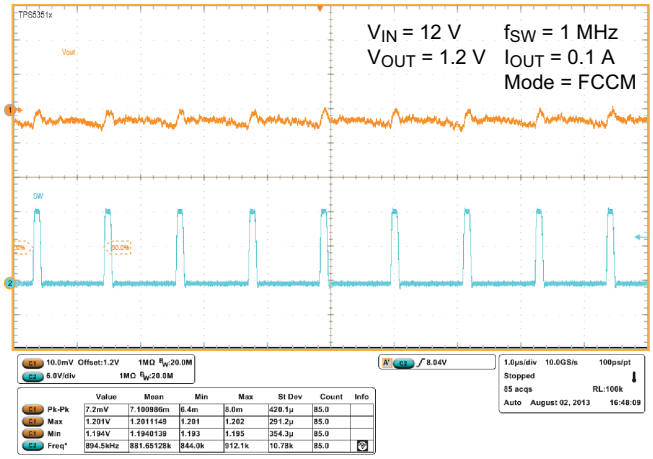


图 5-16. FCCM 稳态运行

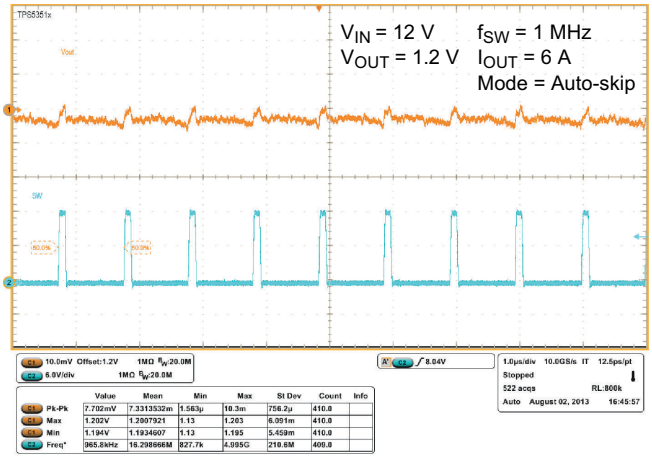


图 5-17. 自动跳跃模式稳态运行

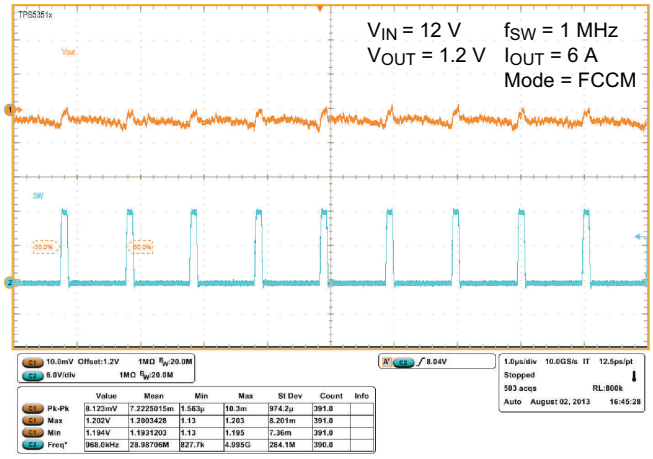


图 5-18. FCCM 稳态运行

5.6 典型特性（续）

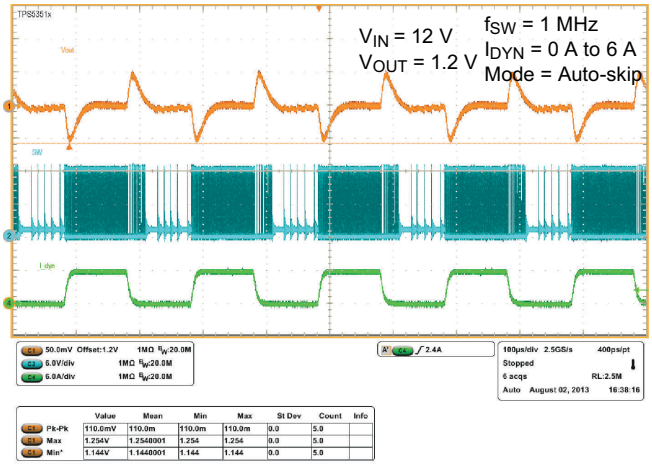


图 5-19. 自动跳跃模式负载瞬变

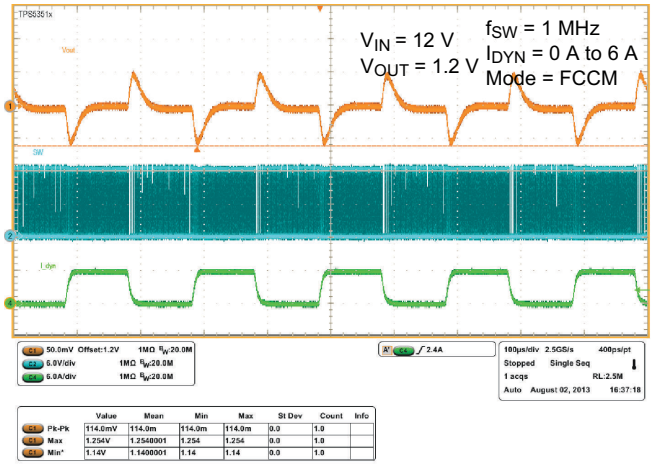


图 5-20. FCCM 负载瞬态

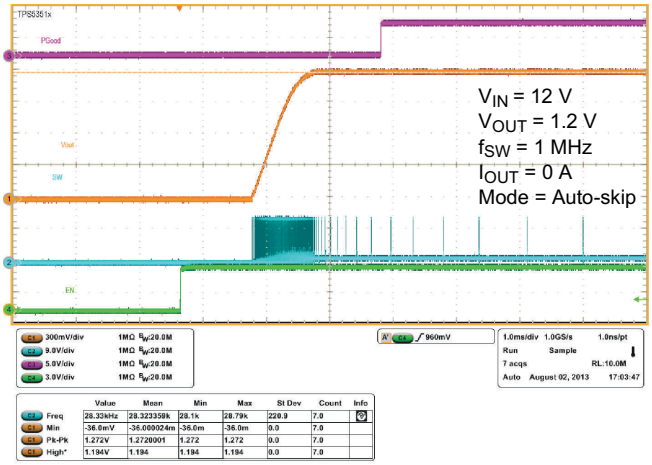


图 5-21. 自动跳跃模式启动

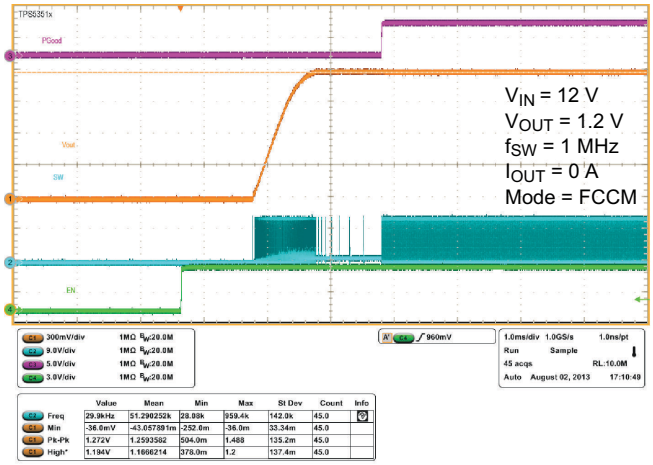


图 5-22. FCCM 启动

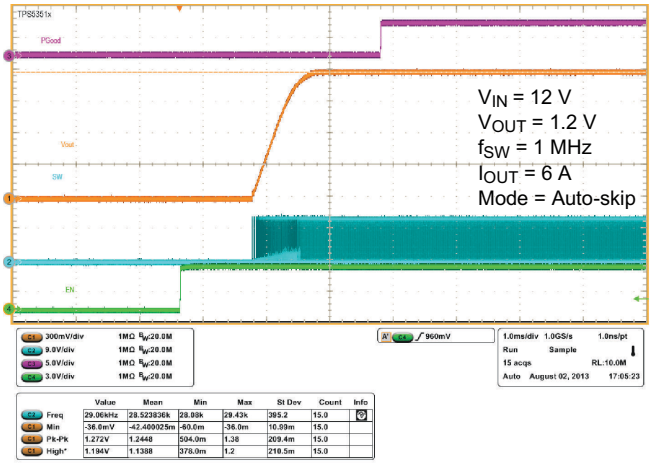


图 5-23. 自动跳跃模式启动

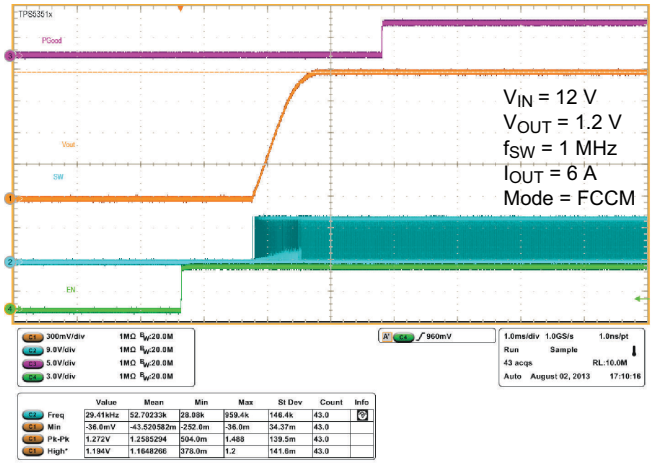


图 5-24. FCCM 启动

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性（续）

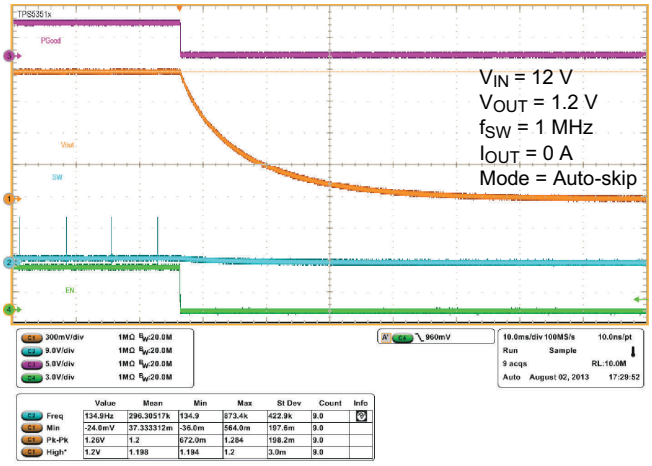


图 5-25. 自动跳跃模式关断操作

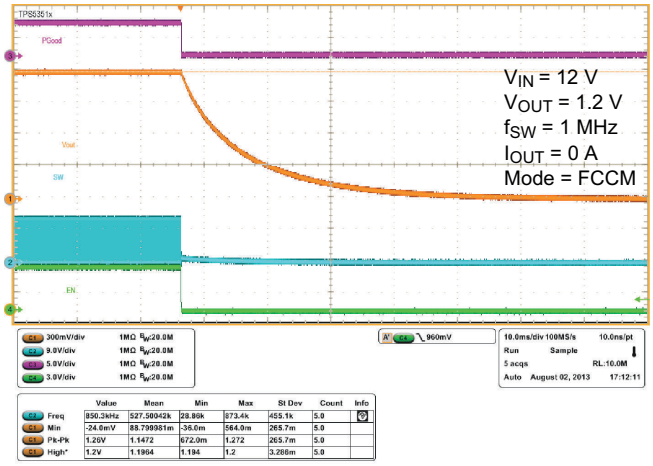


图 5-26. FCCM 关断操作

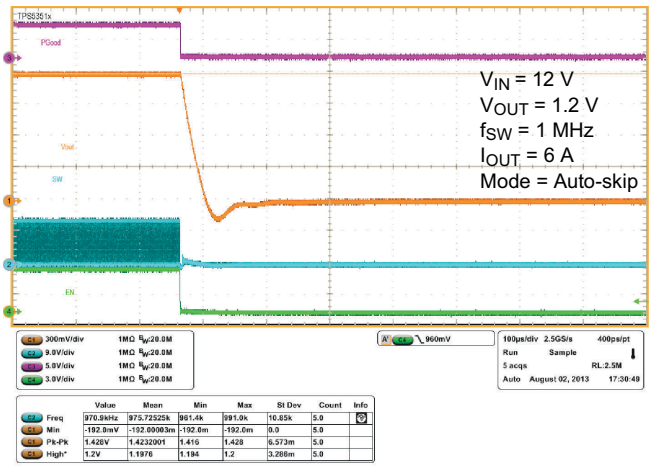


图 5-27. 自动跳跃模式关断操作

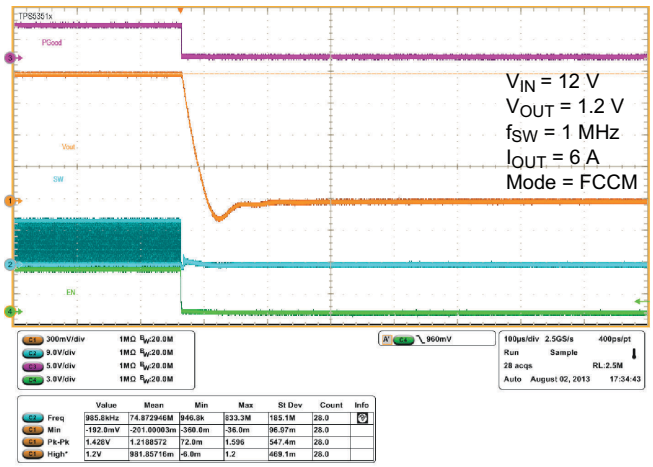


图 5-28. FCCM 关断操作

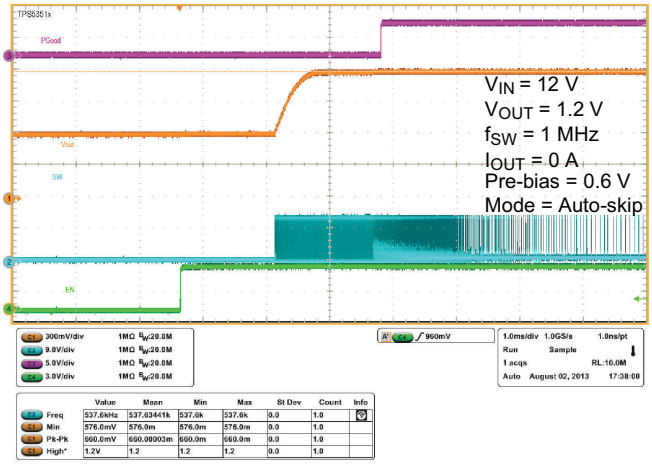


图 5-29. 预偏置运行

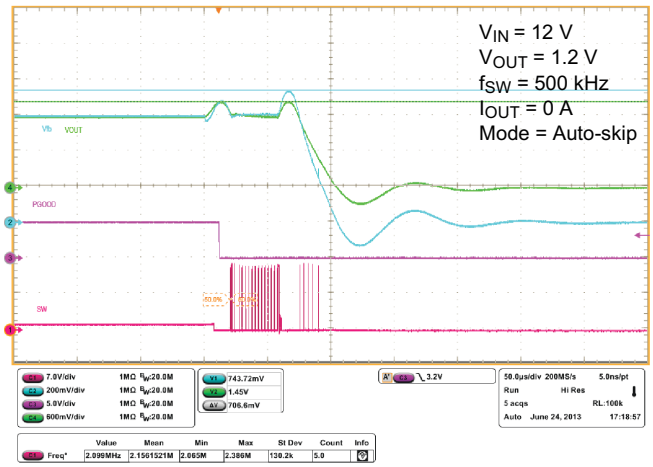


图 5-30. 过压保护

5.6 典型特性（续）

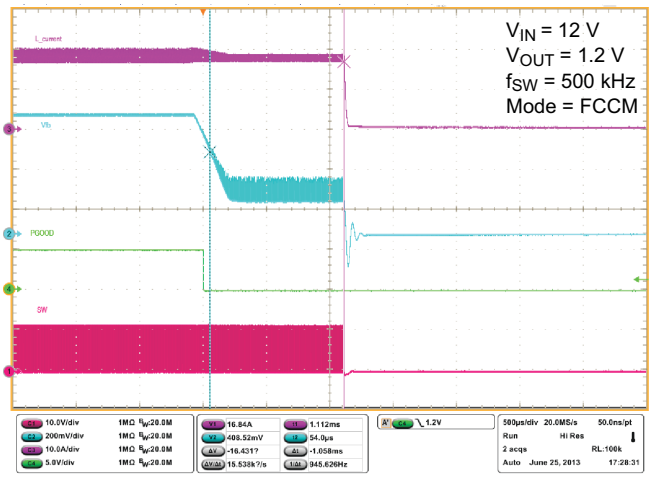
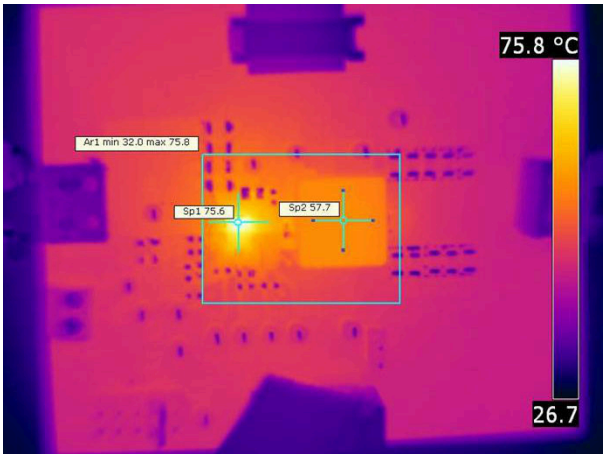


图 5-31. 过流保护



f_{SW} = 500kHz　V_I = 12V　V_O = 5V

I_O = 12A　C_{OUT}= 10x 22 µF　（1206、6.3V、X5R）

SNB = 3Ω + 470pF　R_{BOOT} = 0Ω

电感器：PCMC135T-1R0MF　L_{OUT} = 1µH　2.1mΩ（典型值）　12.6mm × 13.8mm × 5mm

图 5-32. SP1：75.6℃，SP2：57.7℃（电感器）

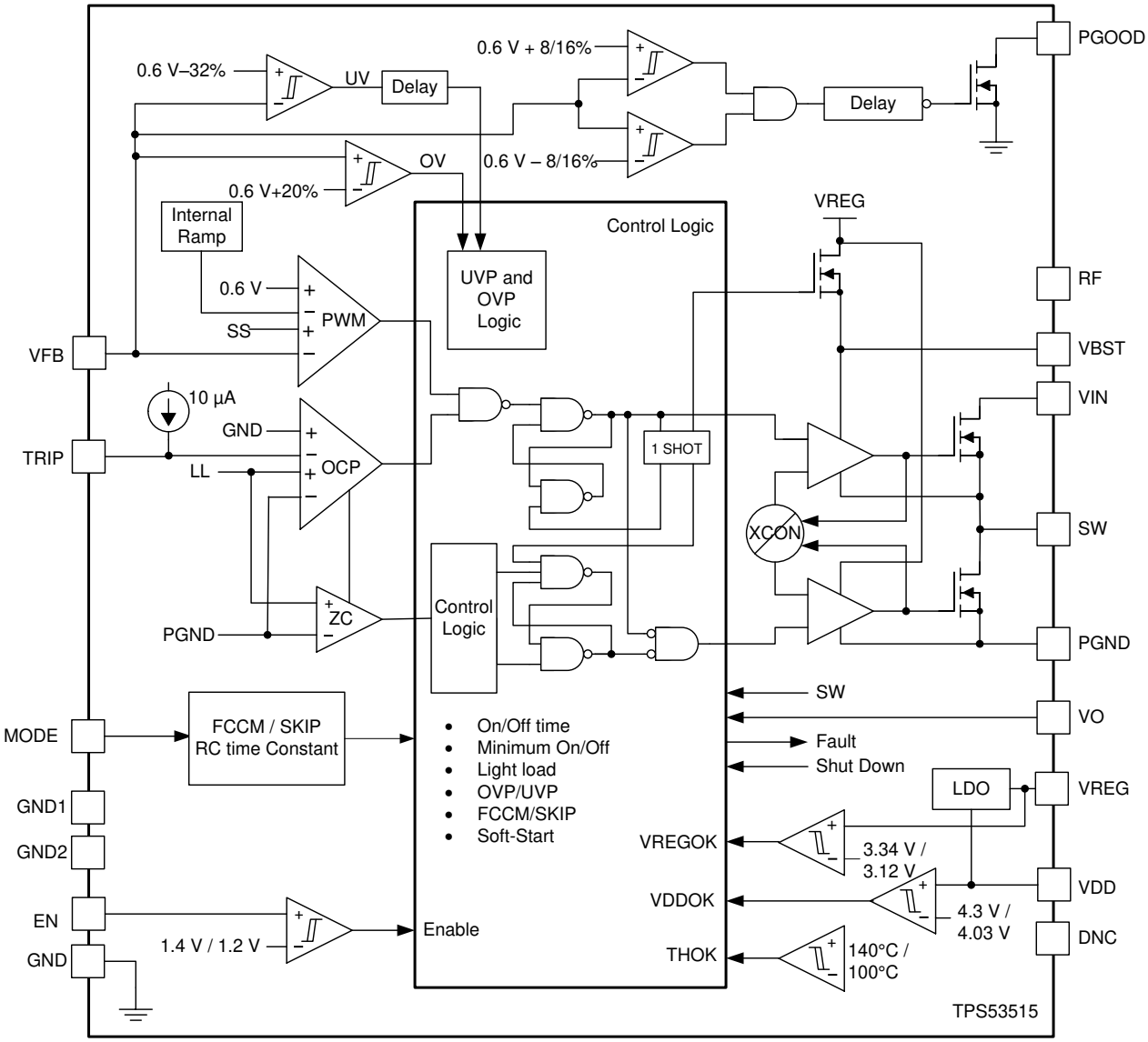
Copyright © 2026 Texas Instruments Incorporated

6 详细说明

6.1 概述

TPS53515 器件是一款高效的单通道同步降压转换器。该器件适用于计算及类似数字消费类应用中输出电流为 12A 或更低的低输出电压负载点应用。TPS53515 器件具有专有的 D-CAP3 控制模式和自适应导通时间架构。这种组合以理想的方式构建具有低占空比和超快速负载阶跃响应的现代直流/直流转换器。输出电压范围为 0.6V 到 5.5V。转换输入电压介于 1.5V 至 18V 之间，VDD 输入电压介于 4.5V 至 25V 之间。D-CAP3 控制模式使用仿真电流信息来控制调制。该控制方案的一个优势是其不需要外部的相位补偿网络，这使得该器件易于使用，并且所需的外部组件数量较少。自适应导通时间控制功能可在宽输入和输出电压范围内跟踪预设开关频率，同时可在负载阶跃瞬态期间根据需要增大开关频率。

6.2 功能方框图



6.3 特性说明

6.3.1 5V LDO 和 VREG 启动

TPS53515 器件具有内部 5V LDO 特性，并使用 VDD 输入和 VREG 输出。当 VDD 电压上升至高于 2.8V 时，内部 LDO 将启用并输出电压到 VREG 引脚。VREG 电压为内部模拟电路提供偏置电压。VREG 电压还为栅极驱动器提供电源电压。

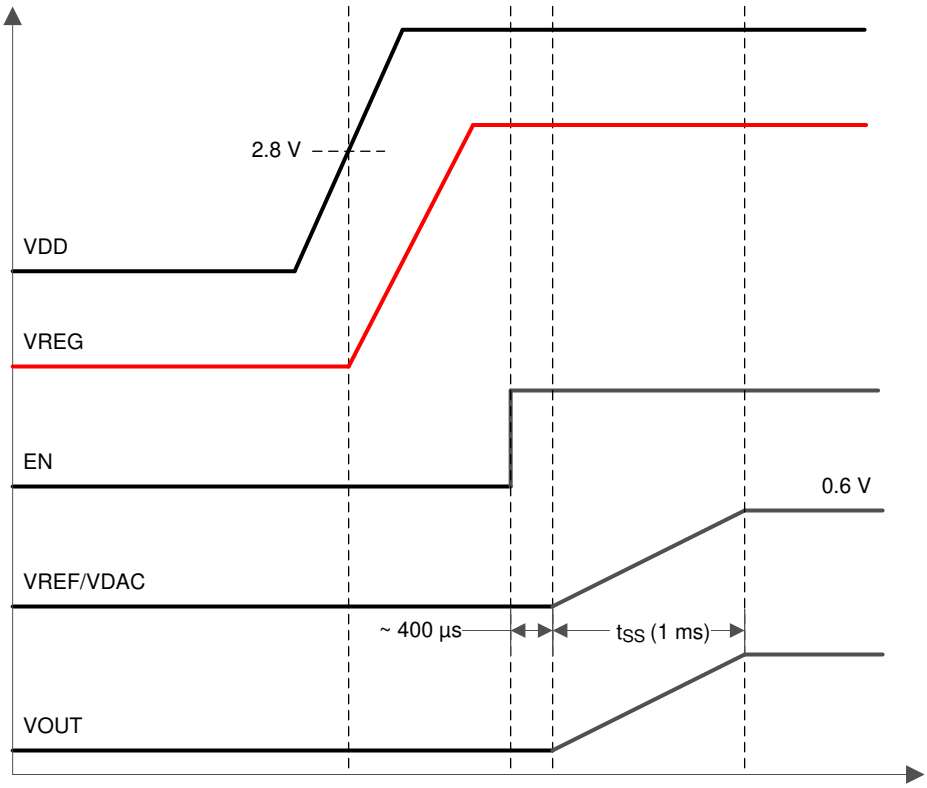


图 **6-1.** 上电序列波形

6.3.2 使能、软启动和模式选择

内部 LDO 稳压器立即启动并在 VREG 引脚上稳压至 5V。

当 EN 引脚电压上升至高于使能阈值电压（通常为 1.4V）时，控制器将进入启动序列。然后，该控制器使用前 400 µs 来校准连接到 RF 引脚的开关频率设置电阻，并将开关频率代码存储在内部寄存器中。在此期间，MODE 引脚还会检测连接到该引脚的电阻，并决定工作模式。在第二个阶段，内部 DAC 开始将基准电压从 0V 提升至 0.6V。斜升时间为 1ms。在启动期间，无论负载电流如何，该器的件输出电压都将保持平稳且恒定的斜升。

6.3.3 频率选择

TPS53515 器件允许用户使用 RF 引脚选择开关频率。表 6-1 列出了分压器分压比和用于开关频率选择的一些示例电阻值。推荐使用容差为 1% 且典型温度系数为 ±100ppm/°C 的电阻器。如果设计需要更严苛的噪声容限以实现更可靠的 SW 频率检测，请使用性能更高的电阻器。

表 **6-1.** 开关频率选择

开关频率 (f_{SW}) (kHz)	电阻分压比[(1)] (R_{DR})	射频频率组合示例	
		R_{RF_H} (kΩ)	R_{RF_L} (kΩ)
1000	> 0.557	1	300
850	0.461	180	154
750	0.375	200	120

Copyright © 2026 Texas Instruments Incorporated

表 6-1. 开关频率选择（续）

开关频率 (f_{SW}) (kHz)	电阻分压比[1] (R_{DR})	射频频率组合示例	
		R_{RF_H} (kΩ)	R_{RF_L} (kΩ)
600	0.297	249	105
500	0.229	240	71.5
400	0.16	249	47.5
300	0.096	255	27
250	< 0.041	270	11.5

(1) 方程式 1 中介绍了电阻分压器分压比 (R_{DR})。

$$R_{DR} = \frac{R_{RF_L}}{\left(R_{RF_L} + R_{RF_H}\right)} \tag{1}$$

其中

- R_{RF_L} 是 RF 引脚电阻分压器的低侧电阻
- R_{RF_H} 是 RF 引脚电阻分压器的高侧电阻

6.3.4 D-CAP3 控制和模式选择

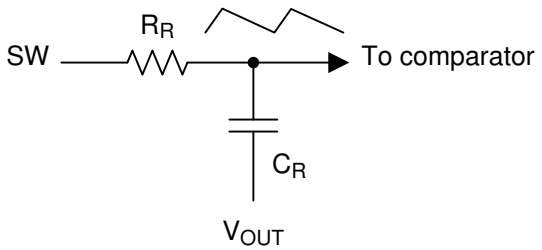


图 6-2. 内部斜坡生成电路

TPS53515 器件使用 D-CAP3 控制模式来实现快速负载瞬态，同时保持易用特性。生成一个内部斜坡并馈送到 VFB 引脚，以降低抖动并保持稳定性。斜坡的幅度由图 6-2 中所示的 R-C 时间常数决定。在不同的开关频率下 (f_{SW})，R-C 时间常数会改变，以便保持相对恒定的斜坡幅度。

6.3.4.1 D-CAP3™ 控制模式

根据小信号环路分析，使用 D-CAP3 模式控制架构的降压转换器可以简化为如图 6-3 所示。

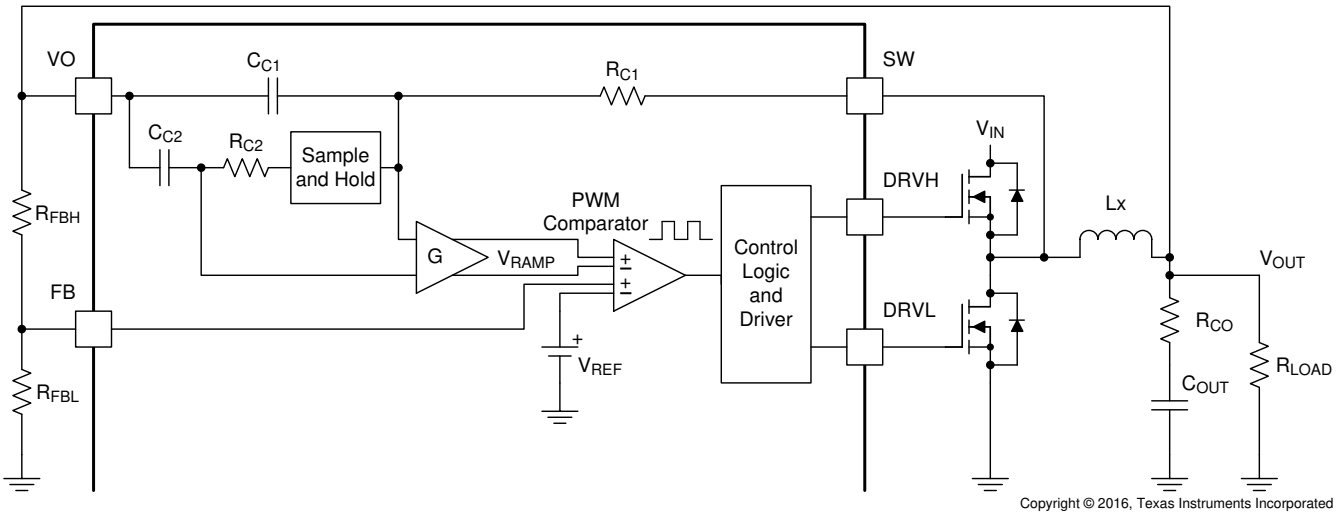


图 6-3. D-CAP3™ 控制模式

D-CAP3 控制模式架构包括一个内部纹波生成网络，支持使用 ESR 非常低的输出电容器，例如多层陶瓷电容器 (MLCC)。使用 D-CAP3 控制模式架构时无需外部电流检测网络或电压补偿器。内部纹波生成网络的作用是仿真电感器电流信息的纹波分量，然后将其与电压反馈信号相结合以调节环路运行。对于任何不支持外部补偿设计的控制拓扑，控输出滤波器的最小值范围和/或最大值范围适用。与 TPS53515 器件搭配使用的输出滤波器是一个低通 L-C 电路。此 L-C 滤波器具有方程式 2 中所示的双极点。

$$f_P = \frac{1}{2 \times \pi \times \sqrt{L_{OUT} \times C_{OUT}}} \tag{2}$$

在低频率下，整体环路增益是由输出设定点电阻分压器网络和 TPS53515 器件的内部增益设定的。低频 L-C 双极的相位为 180 度。在输出滤波器频率下，增益以每十倍频程 –40dB 的速率滚降，且相位快速下降。内部纹波生成网络引入了高频零点，可将增益滚降从每十倍频 –40dB 降低到 –20dB，并将相位增加到零点频率之上每十倍频程 90°。

为输出滤波器选择的电感器和电容器必须确保 方程式 2 的双极位置足够靠近高频零点，以便由该高频零点提供的相位提升可提供足够的相位裕度来满足稳定性要求。

表 6-2. 查找零点

开关频率 (f_{SW}) (kHz)	零点 (f_Z) 位置 (kHz)
250 和 300	6
400 和 500	7
600 和 750	9
850 和 1000	12

Copyright © 2026 Texas Instruments Incorporated

确定应用要求后，必须设计输出电感，使电感器峰峰值纹波电流大约介于 $I_{CC(max)}$（应用中的峰值电流）的 25% 至 35% 之间。在表 6-2 中可以根据所选开关频率找到内部零点频率。通常，在需要合理（或更小）输出电容的情况下，可以使用 方程式 3 来确定稳定运行所需的输出电容。

$$f_P = \frac{1}{2 \times \pi \times \sqrt{L_{OUT} \times C_{OUT}}} = f_Z \tag{3}$$

如果使用 MLCC，请考虑降额特性来确定设计的最终输出电容。例如，当使用规格为 10μF、X5R 和 6.3V 的 MLCC 时，直流偏置和交流偏置的降额分别为 80% 和 50%。实际降额是这两个系数（在本例中为 40% 和 4μF）的乘积。如需了解要在系统/应用中使用的电容器的具体特性，请咨询电容器制造商。

表 6-3 展示了规格如下的应用设计的建议输出滤波器范围：

- 输入电压 V_{IN} = 12V
- 开关频率，f_{SW} = 600kHz
- 输出电流 I_{OUT} = 8A

最小输出电容通过在 EVM 上进行的微小信号测量，根据以下两个标准进行验证：

- 环路交叉频率小于开关频率 (300kHz) 的一半
- 环路交叉频率下的相位裕度大于 50 度

对于最大输出电容建议，简化程序，采用对此类转换器设计而言高得不切实际的输出电容，然后在 EVM 上使用以下一个标准验证微小信号响应：

- 环路交叉频率下的相位裕度大于 50 度

如相位裕度所示，实际最大输出电容 ($C_{OUT(max)}$) 可以继续增加。但是，必须进行小信号测量（波特图）来确认设计。

选择 MODE 引脚配置（如 表 6-4 中所示），为最大输出电容设计和应用选择两倍 R-C 时间常数选项。选择 MODE 引脚配置，为正常（或更小）输出电容设计和应用使用单个 R-C 时间常数选项。

MODE 引脚还可用于选择跳跃模式或 FCCM 模式运行。

表 6-3. 建议的元件值

V_{OUT} (V)	R_{LOWER} (kΩ)	R_{UPPER} (kΩ)	L_{OUT} (μH)	$C_{OUT(min)}$ (μF) (1)	交叉频率 (kHz)	相位裕度 (°)	$C_{OUT(max)}$ (μF) (1)	内部 RC 设置 (μs)	电感器 $\Delta I/I_{CC(max)}$	$I_{CC(max)}$ (A)
0.6	10	0	0.36 PIMB065T-R36MS	3 × 100	247	70		40	33%	8
					48	62	30x 100	80		
1.2		10	0.68 PIMB065T-R68MS	9 × 22	207	53		40	33%	
					25	84	30x 100	80		
2.5		31.6	1.2 PIMB065T-1R2MS	4 × 22	185	57		40	34%	
					11	63	30x 100	80		
3.3		45.3	1.5 PIMB065T-1R5MS	3 × 22	185	57		40	33%	
					9	59	30x 100	80		
5.5		82.5	2.2 PIMB065T-2R2MS	2 × 22	185	51		40	28%	
					7	58	30x 100	80		

(1) 所有 $C_{OUT(min)}$ 和 $C_{OUT(max)}$ 电容器规格均为 1206 X5R 10V。

对于 2.0V 或以上的高输出电压，在基于固定导通时间拓扑的工作模式中，由于高输出电压（长导通时间 (t_{ON})）设置的相位延迟/损耗，可能需要进一步提升相位来确保足够的相位裕度。

与 R_{UPPER} 并联的前馈电容器对于提升环路交叉频率下的相位裕度非常有效。请参阅 TI 应用手册 SLVA289，以了解详细信息。

表 6-4. 模式选择和内部斜坡 R-C 时间常数

模式选择	操作	R_{MODE} (kΩ)	R-C 时间常数 (µs)	开关频率 (f_{SW}) (kHz)
跳跃模式	下拉至 GND	0	60	250 和 300
			50	400 和 500
			40	600 和 750
			30	850 和 1000
		150	120	250 和 300
			100	400 和 500
			80	600 和 750
			60	850 和 1000
FCCM (1)	连接到 PGOOD	20	60	250 和 300
			50	400 和 500
			40	600 和 750
			30	850 和 1000
		150	120	250 和 300
			100	400 和 500
			80	600 和 750
			60	850 和 1000
FCCM	连接到 VREG	0	120	250 和 300
			100	400 和 500
			80	600 和 750
			60	850 和 1000

(1) PGOOD 变为高电平后，器件会进入强制 CCM (FCCM)。

6.3.4.2 采样和保持电路

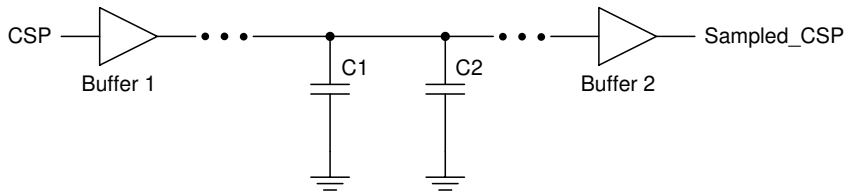


图 6-4. 采样和保持逻辑电路

采样保持电路是 D-CAP3 控制模式和 D-CAP2 之间的区别。采样保持电路是 TPS53515 器件的一项特性，它是一种高级控制方案，用于提高 TPS53515 器件的输出电压精度。该采样保持电路会生成一个新的 CSN 直流电压，而不是由 R_{C2} 和 C_{C2} 生成的电压，这可实现严格的输出电压精度并使 TPS53515 器件更具竞争力。

Copyright © 2026 Texas Instruments Incorporated

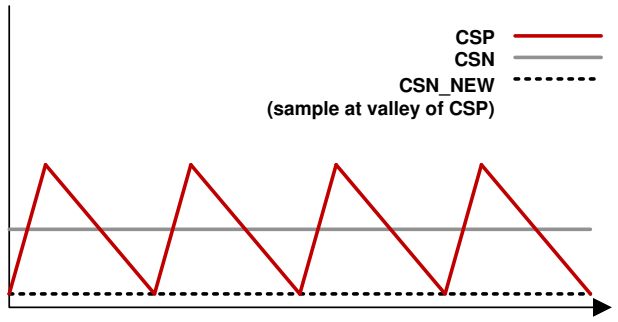


图 6-5. 具有采样保持电路的连续导通模式 (CCM)

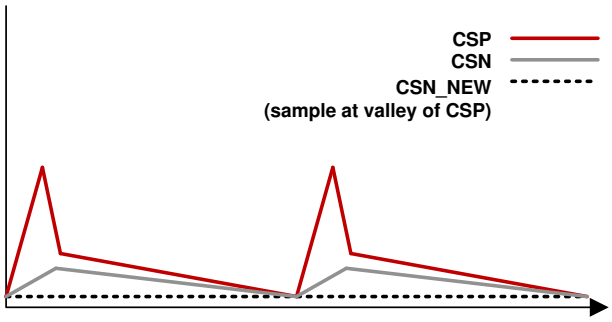


图 6-6. 带有采样保持电路的非连续导通模式 (DCM)

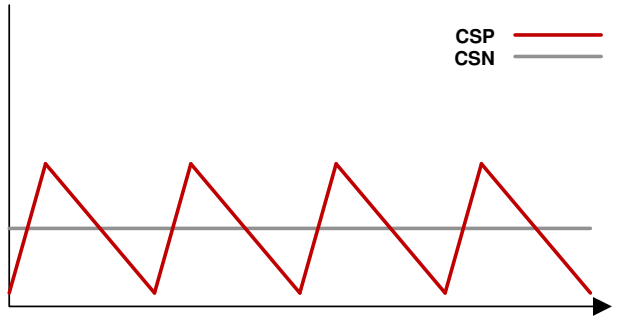


图 6-7. 没有采样保持电路的连续导通模式 (CCM)

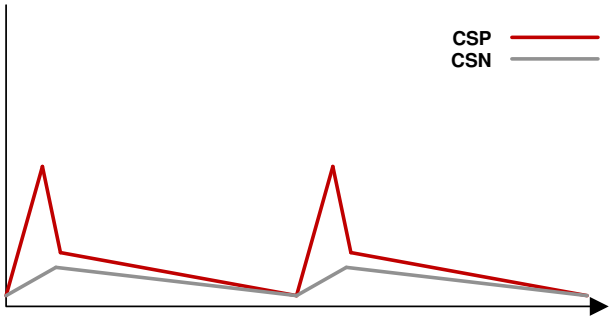


图 6-8. 没有采样保持电路的非连续导通模式 (DCM)

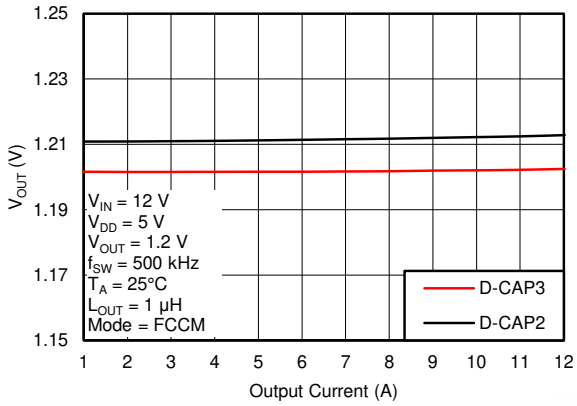


图 6-9. 输出电压与输出电流间的关系

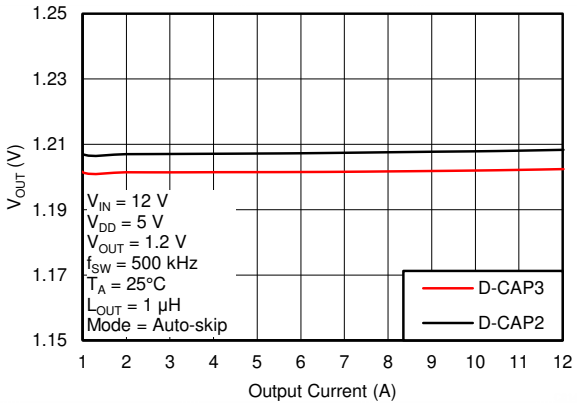


图 6-10. 输出电压与输出电流间的关系

6.3.4.3 自适应过零

TPS53515 器件使用自适应过零电路在运行跳跃模式期间优化零电感器电流检测。此功能可实现理想的低侧 MOSFET 关断时序。该功能还可补偿 Z-C 比较器的固有失调电压和 Z-C 检测电路的延迟时间。自适应过零可防止因检测过晚导致的 SW 节点上摆，并尽可能缩短因检测过早导致的二极管导通周期。因此，该器件可提供更高的轻负载效率。

6.3.5 电源正常

TPS53515 器件具有电源正常信号输出，可在转换器输出处于目标范围内时指示为高电平。软启动操作完成后，电源正常功能将激活。如果输出电压在目标值的 ±8% 范围内，则内部比较器会检测到电源正常状态，并且电源正常信号会在 1ms 内部延迟后变为高电平。如果输出电压超出目标值的 ±16%，则电源正常信号会在 2µs 内部延迟后变为低电平。电源正常信号输出是一个漏极开路输出，必须从外部上拉。

6.3.6 电流检测和过流保护

s

TPS53515 器件具有逐周期过流限制控制。在关断状态期间会监测电感器电流，而控制器会在电感器电流大于过流跳变电平期间保持关断状态。为了实现良好的精度和经济高效的设计，TPS53515 器件支持温度补偿 MOSFET $R_{DS(on)}$ 检测。通过跳变电压设置电阻器 R_{TRIP} 将 TRIP 引脚连接到 GND。TRIP 引脚提供 I_{TRIP} 电流，该电流在室温下的典型值为 10 μA，跳变电平则设置为 OCL 跳变电压 V_{TRIP}，如方程式 4 所示。

$$V_{TRIP} = R_{TRIP} \times I_{TRIP} \tag{4}$$

其中

- V_{TRIP} 以 mV 为单位
- R_{TRIP} 以 kΩ 为单位
- I_{TRIP} 以 μA 为单位

电感器电流通过 GND 引脚和 SW 引脚之间的电压进行监控，因此 SW 引脚应正确连接到低侧 MOSFET 的漏极引脚。I_{TRIP} 具有 3000ppm/°C 的温度斜率，以补偿 $R_{DS(on)}$ 对温度的依赖性。GND 引脚用作正电流检测节点。将 GND 引脚连接到合适的电流检测器件（例如，低侧 MOSFET 的源极引脚）。

由于在关断状态下进行比较，所以 V_{TRIP} 将设置电感器电流的谷值电平。因此，过流阈值 I_{OCP} 下的负载电流可按方程式 5 所示进行计算。

$$I_{OCP} = \frac{V_{TRIP}}{\left(8 \times R_{DS(on)}\right)} + \frac{I_{IND(ripple)}}{2} = \frac{V_{TRIP}}{\left(8 \times R_{DS(on)L}\right)} + \frac{1}{2 \times L \times f_{SW}} \times \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{V_{IN}} \tag{5}$$

其中

- $R_{DS(on)L}$ 为低侧 MOSFET 的导通电阻
- R_{TRIP} 以 kΩ 为单位

方程式 5 可计算典型的直流 OCP 电平（必须使用 5.9mΩ 的典型低侧导通电阻 [$R_{DS\ (on)}$]）；若要按最坏情况下的最小 OCP 进行设计，则必须使用 8mΩ 的最大低侧导通电阻值。

在过流情况下，流向负载的电流超过流向输出电容器的电流，且输出电压趋于下降。最终，输出电压会跨过欠压保护阈值并关断。

对于 TPS53515 器件，建议的最大过流保护电流不超过 14A。

6.3.7 过压和欠压保护

TPS53515 器件可监测经过电阻分压的反馈电压以检测过压和欠压。当反馈电压低于目标电压的 68% 时，UVP 比较器输出变为高电平，且内部 UVP 延迟计数器开始计数。1ms 后，TPS53515 器件会锁存关断高侧和低侧 MOSFET 驱动器。UVP 功能在软启动完成后启用。

当反馈电压高于目标电压的 120% 时，OVP 比较器输出变为高电平，电路将锁存关断高侧 MOSFET 驱动器并锁存导通低侧 MOSFET，直到达到负电流限值。在达到负电流限值时，低边 FET 将关断，高边 FET 将再次开启一个最小导通时间。TPS53515 器件在此周期内运行，直至输出电压拉至低于 UVP 阈值电压的时间达到 1ms。在 1ms UVP 延迟时间后，高侧 FET 锁存为关断状态，低侧 FET 锁存为导通状态。清除故障的方法是复位 VDD 或重新切换 EN 引脚。

6.3.8 越界运行

TPS53515 器件具有一种越界 (OOB) 过压保护功能，可在比目标电压高 8% 的低得多的过压阈值下保护输出负载。OOB 保护功能不会触发过压故障，因此该器件在 OOB 事件后处于非锁存模式。OOB 保护功能用作一种早期无故障过压保护机制。在 OOB 运行期间，控制器仅通过导通低侧 FET 来在强制 PWM 模式下运行。在电感器电流超过零的情况下导通低侧 FET 会使输出电容器快速放电，从而确保输出电压快速下降至设定点。在运行期间，还会激活逐周期负电流限制，从而确保内部 FET 的安全运行。

Copyright © 2026 Texas Instruments Incorporated

6.3.9 UVLO 保护

TPS53515 器件监测 VDD 引脚上的电压。如果 VDD 引脚电压低于 UVLO 关断阈值电压，开关模式电源将关闭。如果 VDD 电压增加到超过 UVLO 导通阈值电压，该控制器将重新开启。UVLO 是一种非锁存保护机制。

6.3.10 热关断

TPS53515 器件可监控内部温度。如果温度超出阈值（通常为 140°C），TPS53515 器件会关断。当温度降至阈值以下约 40°C 时，器件会导通。热关断是一种非锁存保护机制。

6.4 器件功能模式

6.4.1 自动跳跃 Eco-mode 轻负载运行

当 MODE 引脚直接连接至 GND 或通过 150kΩ 电阻连接至 GND 时，TPS53515 器件会在轻负载条件下自动降低开关频率，以保持高效率。本节详细介绍该运行模式。

随着输出电流从重负载条件下减小，电感器电流也会减小，直到电感器电流的纹波谷值达到零电平。零电平是连续导通模式和不连续导通模式之间的边界。当检测到该电感器电流为零时，同步 MOSFET 会关断。随着负载电流进一步降低，转换器会进入不连续导通模式 (DCM)。导通时间保持在与连续导通模式运行期间大致相同的水平，因此以较小的负载电流将输出电容器放电至基准电压电平需要更多的时间。轻载运行条件下的 $I_{O(LL)}$ 的转换点（例如，连续导通模式和不连续导通模式之间的阈值）的计算方法如方程式 6 所示。

$$I_{OUT(LL)} = \frac{1}{2 \times L \times f_{SW}} \times \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{V_{IN}} \tag{6}$$

其中

- f_{SW} 是 PWM 开关频率

建议在自动跳跃模式下仅使用陶瓷电容器。

6.4.2 强制连续导通模式

当 MODE 引脚通过电阻连接到 PGOOD 引脚时，控制器会在轻负载条件下以连续导通模式 (CCM) 运行。在 CCM 期间，开关频率在整个负载范围内维持在一个几乎恒定的水平，因此适用于需要严格控制开关频率的应用，但其代价是效率较低。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

TPS53515 器件是一款高效的单通道同步降压转换器。该器件适用于计算及类似数字消费类应用中输出电流为 12A 或更低的低输出电压负载点应用。

7.2 典型应用

此设计示例介绍了具有集成 MOSFET 的 D-CAP3 控制模式 8A 同步降压转换器。此器件通过 1.2V 输入总线在高达 8A 的电流下提供固定 12V 输出。

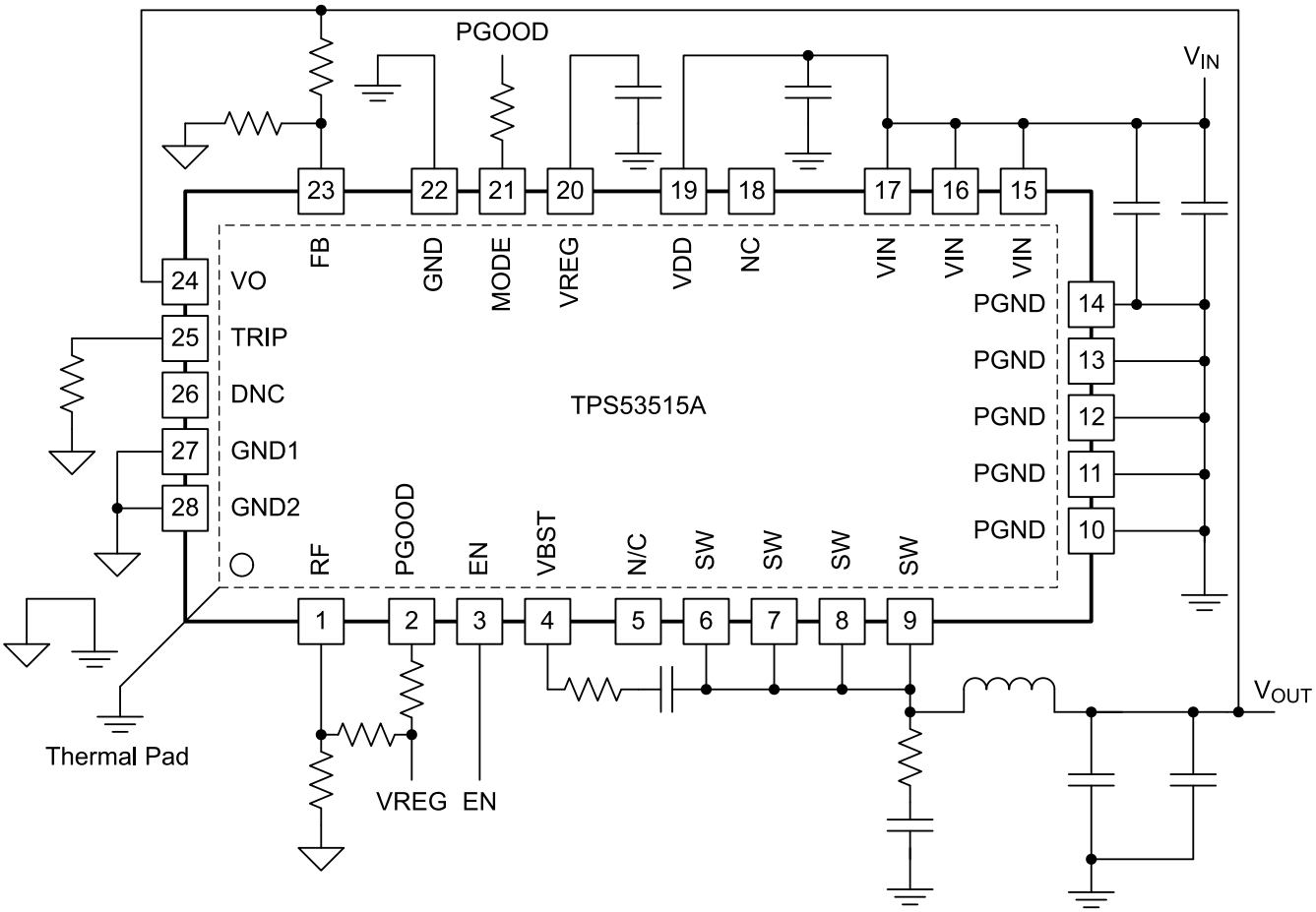


图 7-1. 应用电路图

Copyright © 2026 Texas Instruments Incorporated

7.2.1 设计要求

此设计使用表 7-1 中列出的参数。

表 7-1. 设计示例规格

参数		测试条件	最小值	典型值	最大值	单位
输入特性						
V_{IN}	电压范围		5	12	18	V
I_{MAX}	最大输入电流	V_{IN} = 5V，I_{OUT} = 8A		2.5		A
	空载输入电流	自动跳跃模式下 V_{IN} = 12V，I_{OUT} = 0A		1		mA
输出特性						
V_{OUT}	输出电压			1.2		V
	输出电压调节	线路调整率， FCCM 模式下 5V ≤ V_{IN} ≤ –14V		0.2%		
		负载调整率， FCCM 模式下 V_{IN} = 12V，0A ≤ I_{OUT} ≤ 8A		0.5%		
V_{RIPPLE}	输出电压纹波	FCCM 模式下 V_{IN} = 12V，I_{OUT} = 8A		10		mV_{PP}
I_{LOAD}	输出负载电流		0		12	A
I_{OVER}	输出过流			11		
t_{SS}	软启动时间			1		ms
系统特性						
f_{SW}	开关频率			1		MHz
η	峰值效率	V_{IN} = 12V，V_{OUT} = 1.2V，I_{OUT} = 4A		88.5%		
η	满负载效率	V_{IN} = 12V，V_{OUT} = 1.2V，I_{OUT} = 8A		86.9%		
T_A	工作温度			25		°C

7.2.2 详细设计过程

外部元件的选择是一个使用 D-CAP3 控制模式的简单过程。请按照以下步骤选择外部元件。

7.2.2.1 选择开关频率

开关频率通过 RF 引脚上的电阻分压器进行配置。从 250kHz 至 1MHz 的八个开关频率中选择一个。请参阅表 6-1，了解开关频率和电阻分压器之间的关系。

7.2.2.2 选择运行模式

使用 表 6-4 选择运行模式。

7.2.2.3 选择电感器

确定电感值，使纹波电流设置在最大输出电流的约 ¼到 ½ 之间。较大的纹波电流会增加输出纹波电压，同时会改善信噪比并有助于使运行保持稳定。

$$L = \frac{1}{I_{IND(ripple)} \times f_{SW}} \times \frac{\left(V_{IN(max)} - V_{OUT}\right) \times V_{OUT}}{V_{IN(max)}} = \frac{3}{I_{OUT(max)} \times f_{SW}} \times \frac{\left(V_{IN(max)} - V_{OUT}\right) \times V_{OUT}}{V_{IN(max)}}$$
$$= \frac{3}{6 \times 500\,kHz} \times \frac{(12\,V - 1.2\,V) \times 1.2\,V}{12\,V} = 1.08\,\mu H \quad (7)$$

电感器需要低 DCR 才能实现良好的效率。在饱和前，电感器还需要有高于峰值电感器电流的足够余量。峰值电感器电流根据方程式 8 估算得出。

$$I_{IND(peak)} = \frac{V_{TRIP}}{8 \times R_{DS(on)}} + \frac{1}{L \times f_{SW}} \times \frac{\left(V_{IN(max)} - V_{OUT}\right) \times V_{OUT}}{V_{IN(max)}} = \frac{10\,\mu A \times R_{TRIP}}{8 \times 5.9\,m\Omega} + \frac{1}{1\,\mu H \times 500\,kHz} \times \frac{(12\,V - 1.2\,V) \times 1.2\,V}{12\,V} \quad (8)$$

7.2.2.4 选择输出电容器

输出电容器的选择取决于输出纹波和瞬态响应要求。在 CCM 下运行时，输出纹波有两个分量组成，如方程式 9 所示。方程式 10 和方程式 11 定义了这些元件。

$$V_{RIPPLE} = V_{RIPPLE(C)} + V_{RIPPLE(ESR)} \quad (9)$$

$$V_{RIPPLE(C)} = \frac{I_{L(ripple)}}{8 \times C_{OUT} \times f_{SW}} \quad (10)$$

$$V_{RIPPLE(ESR)} = I_{L(ripple)} \times ESR \quad (11)$$

7.2.2.5 确定 R1 和 R2 的值

输出电压由分压电阻 R1 和 R2 进行编程（如方程式 12 所示）。在 VFB 引脚和输出端之间连接 R1，并在 VFB 引脚和 GND 之间连接 R2。建议的 R2 值范围为 1kΩ 至 20kΩ。使用方程式 12 确定 R1 的值。

$$R1 = \frac{V_{OUT} - 0.6}{0.6} \times R2 = \frac{1.2\,V - 0.6}{0.6} \times 10\,k\Omega = 10\,k\Omega \quad (12)$$

Copyright © 2026 Texas Instruments Incorporated

7.2.3 应用曲线

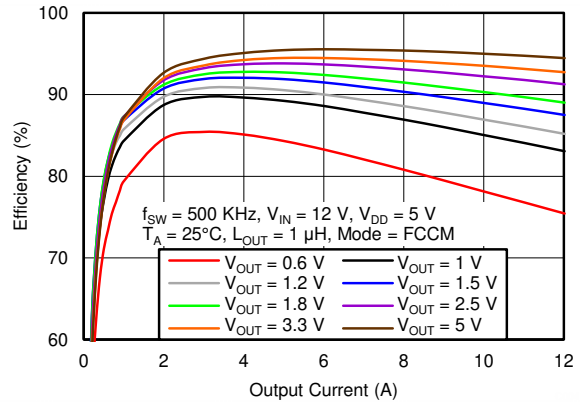


图 7-2. 效率与输出电流的关系

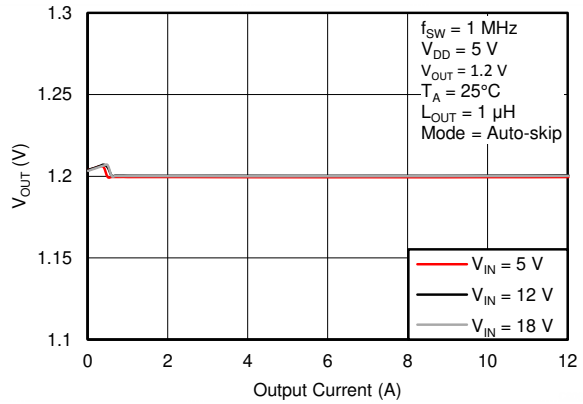


图 7-3. 输出电压与输出电流间的关系

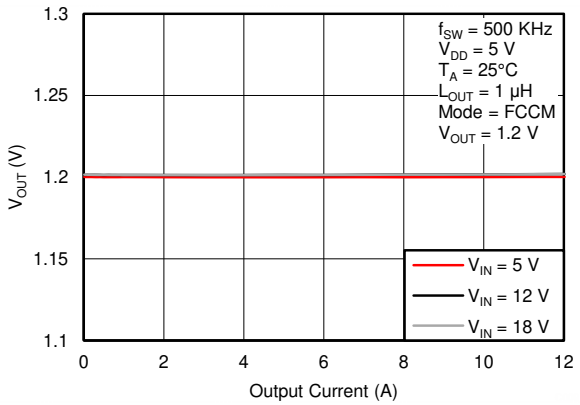


图 7-4. 输出电压与输出电流间的关系

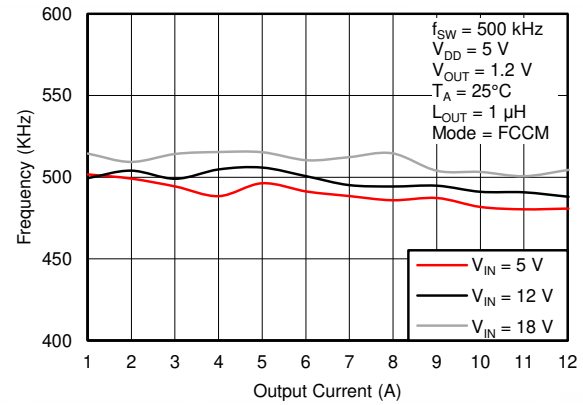
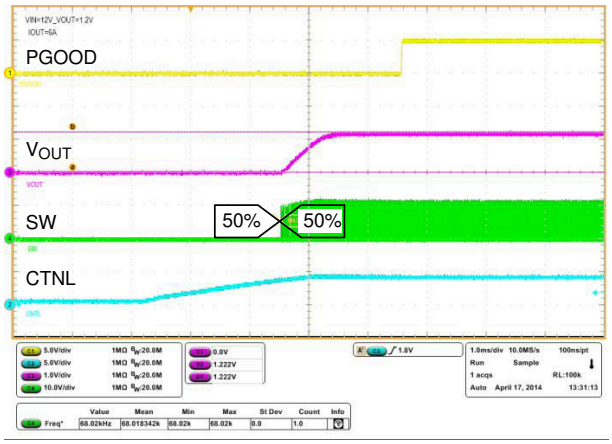
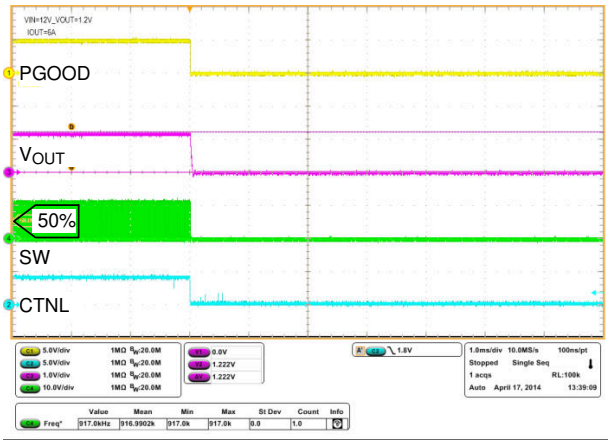


图 7-5. 开关频率与输出电流间的关系



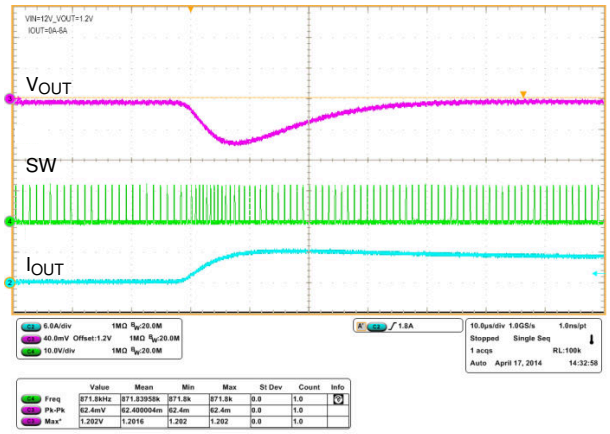
I_{LOAD} = 6A

图 7-6. 启动序列



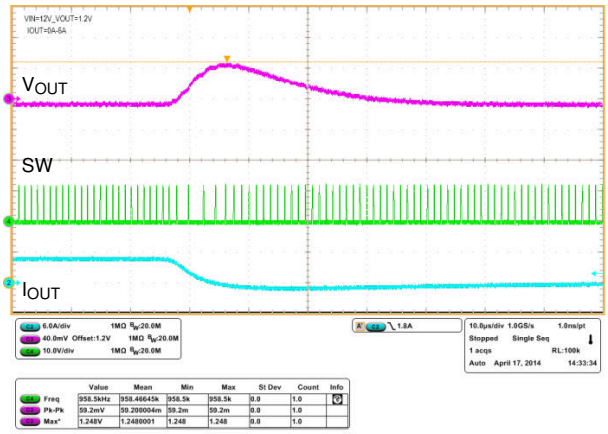
I_{LOAD} = 6A

图 7-7. 关断序列



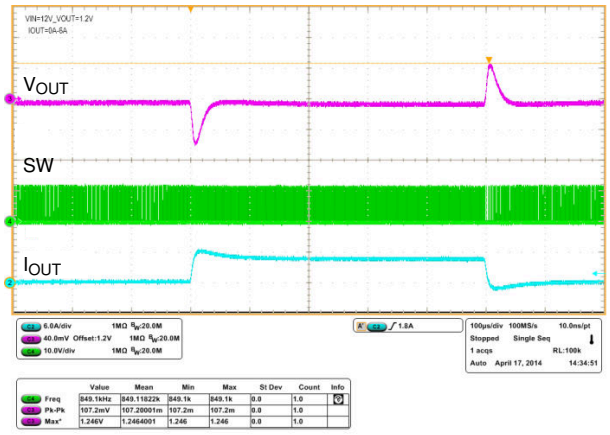
I_{LOAD} 从 0A 至 6A

图 7-8. 负载瞬态



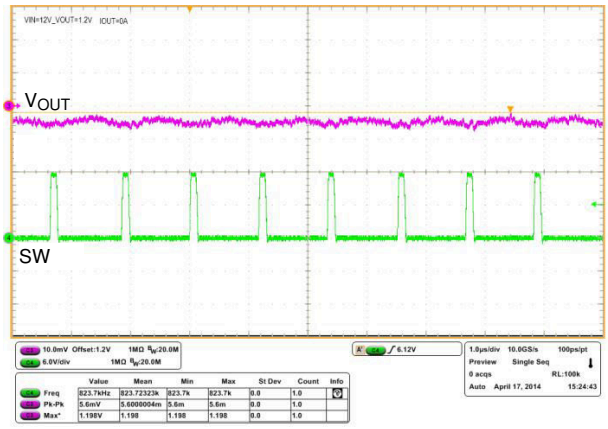
I_{LOAD} 从 6A 至 0A

图 7-9. 负载瞬态



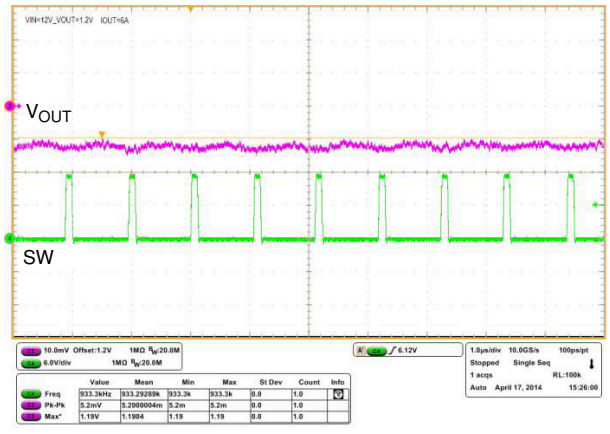
I_{LOAD} 从 0A 至 6A 再至 0A

图 7-10. 全周期负载瞬态



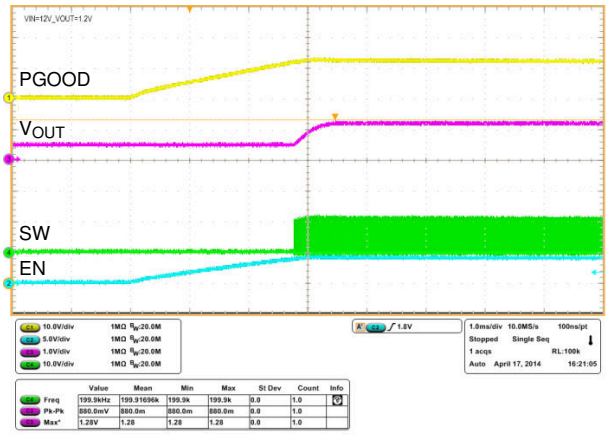
I_{LOAD} = 0A

图 7-11. 输出电压纹波



I_{LOAD} = 6A

图 7-12. 输出电压纹波



复位 V_{OUT} = 0.5V

图 7-13. 预偏置启动

Copyright © 2026 Texas Instruments Incorporated

7.3 电源相关建议

该器件设计为在介于 1.5V 和 18V 之间的输入电源电压范围（4.5V 至 25V 偏置电压范围）内工作。该输入电源必须经过良好调节。除了 PCB 布局和接地方案外，对输入电源和内部稳压器进行正确旁路对于噪声性能也至关重要。请参阅 *节 7.4* 中的建议。

7.4 布局

7.4.1 布局指南

在开始使用 TPS53515 器件进行设计之前，请注意以下事项：

- 将功率元件（包括输入和输出电容器、电感器和 DPA02259 器件）放置在 PCB 的焊接面。为了屏蔽小信号布线并使其与有噪声的电源线隔离，请至少插入一个内部平面并接地。
- 所有敏感的模拟布线和元件（例如 VFB、PGOOD、TRIP、MODE 和 RF）必须远离高压开关节点（例如 SW 和 VBST）放置，以免发生耦合。应使用内部层作为接地平面，并屏蔽反馈布线以使其与电源布线和功率元件隔离开。
- GND（引脚 22）必须直接连接到散热焊盘。将散热焊盘连接到 PGND 终端，然后再连接到 GND 平面。
- GND1 终端（引脚 27）和 GND2 终端（引脚 28）不是实际的 GND 终端，这些终端都不得用于专用接地连接。建议将 GND1 终端（引脚 27）和 GND2 终端（引脚 28）连接到附近的接地端。
- 将 VIN 去耦电容器尽可能靠近 VIN 和 PGND 终端放置，以最大程度减小输入交流电流环路。
- 将反馈电阻放置在器件附近以尽可能缩短 VFB 布线距离。
- 将频率设置电阻器 (R_{RF})、OCP 设置电阻器 (R_{TRIP}) 和模式设置电阻器 (R_{MODE}) 靠近器件放置。使用公共 GND 过孔将这些电阻连接到内部 GND 平面（如果适用）。
- 将 VDD 和 VREG 去耦电容器尽可能靠近器件放置。为每个去耦电容器提供 GND 过孔，并确保环路尽可能小。
- 此设计将 PCB 布线定义为开关节点，该节点连接 SW 终端和电感器的高压侧。开关节点必须尽可能短且宽。
- 使用单独的过孔或迹线将 SW 节点连接到缓冲器、自举电容器和纹波注入电阻器。请勿将这些连接组合在一起。
- 在 VIN 和 PGND 终端之间再放置一个小型电容器（2.2nF、0402 尺寸）。必须尽可能靠近器件放置该电容器。
- TI 建议在 SW 和 GND 之间放置一个缓冲器来有效减少振铃。缓冲器设计值的起点为 3Ω + 470pF。
- 考虑 R-C-C_C 网络（纹波注入网络）元件的放置，并将交流耦合电容器 C_C 靠近器件放置，以及将 R 和 C 靠近功率级放置。（输出电容低于最小值的应用设计可能只需要一个 R - C - C 网络。在这种情况下，需要进行波特图验证以验证设计）。
- 请参阅图 7-14 了解布局建议。

7.4.2 布局示例

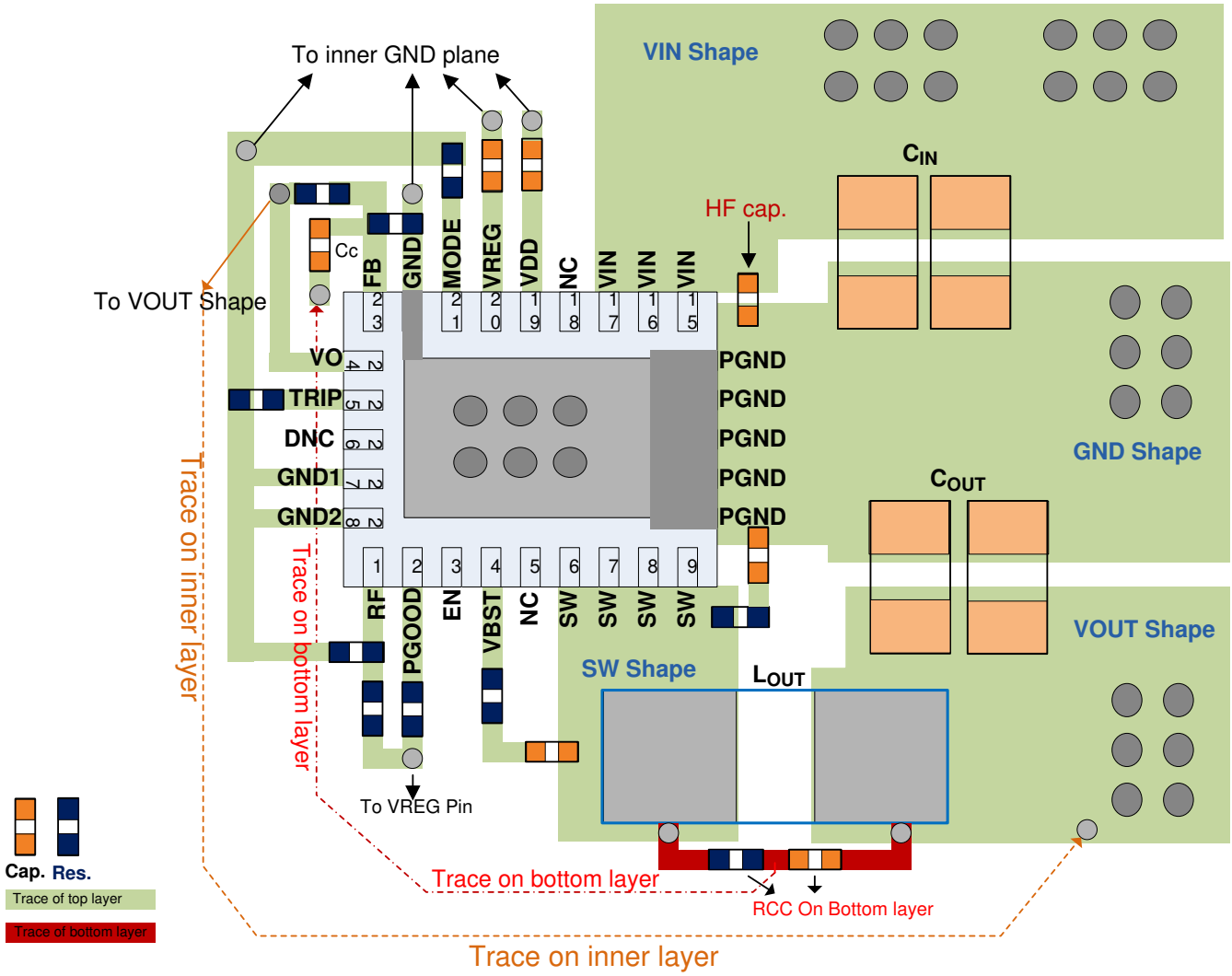
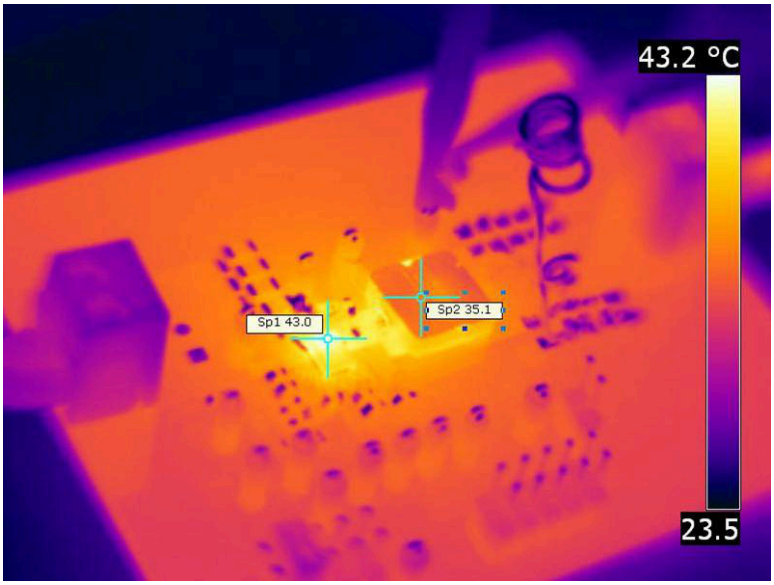


图 7-14. 布局建议

Copyright © 2026 Texas Instruments Incorporated

7.4.3 热性能



T_A = 23°C，f_{SW} = 500kHz，V_{IN} = 12V，V_{OUT} = 1.24V，I_{OUT} = 8A，R_{BOOT} = 0Ω，SNB = 3Ω + 470pF
电感器：L_{OUT} = 1μH，PIMB103T-1R0MS-63，10mm × 11.2mm × 3mm，5.3mΩ

图 7-15. SP1：43℃ (TPS53515)，SP2：35.1℃（电感器）

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

德州仪器 (TI)，*采用前馈电容器优化内部补偿直流/直流转换器的瞬态响应* 应用手册

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

D-CAP3™, Eco-mode™, and TI E2E™ are trademarks of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (July 2015) to Revision C (February 2026) — **Page**

- 更新了整个文档中的表、图和交叉参考的编号格式 1
- 在*绝对最大额定值* 表中添加了 VIN-SW 直流和 VIN-SW < 10ns 瞬态参数 5
- 更新了图 7-1 24

Changes from Revision A (December 2013) to Revision B (July 2015) — **Page**

- 添加了*引脚配置和功能* 部分、*处理等级* 表、*特性说明* 部分、*器件功能模式*、*应用和实施* 部分、*电源相关建议* 部分、*布局* 部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分 1

Changes from Revision * (August 2013) to Revision A (December 2013) — **Page**

- 在首页图中添加了更新 1
- 向*电气规范* 部分添加了更新 7

Copyright © 2026 Texas Instruments Incorporated

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS53515RVER	Active	Production	VQFN-CLIP (RVE) | 28	3000 | LARGE T&R	ROHS Exempt	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 85	TPS53515
TPS53515RVER.A	Active	Production	VQFN-CLIP (RVE) | 28	3000 | LARGE T&R	ROHS Exempt	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS53515
TPS53515RVET	Active	Production	VQFN-CLIP (RVE) | 28	250 | SMALL T&R	ROHS Exempt	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 85	TPS53515
TPS53515RVET.A	Active	Production	VQFN-CLIP (RVE) | 28	250 | SMALL T&R	ROHS Exempt	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS53515
TPS53515RVETG4	Active	Production	VQFN-CLIP (RVE) | 28	250 | SMALL T&R	ROHS Exempt	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS53515
TPS53515RVETG4.A	Active	Production	VQFN-CLIP (RVE) | 28	250 | SMALL T&R	ROHS Exempt	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS53515

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

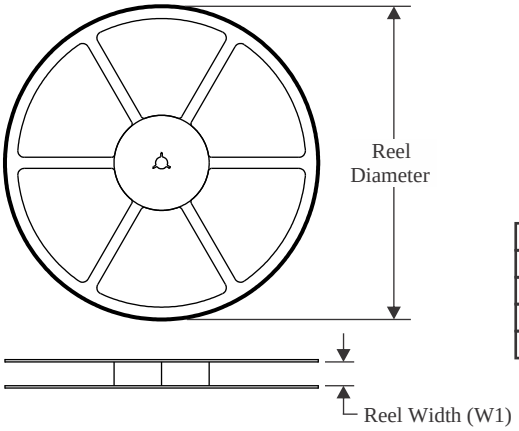
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

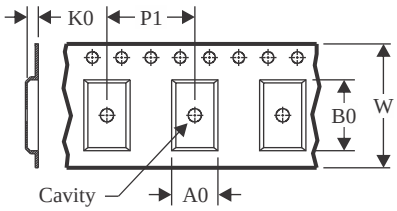
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

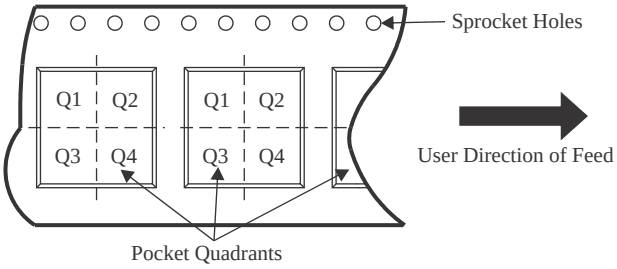


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

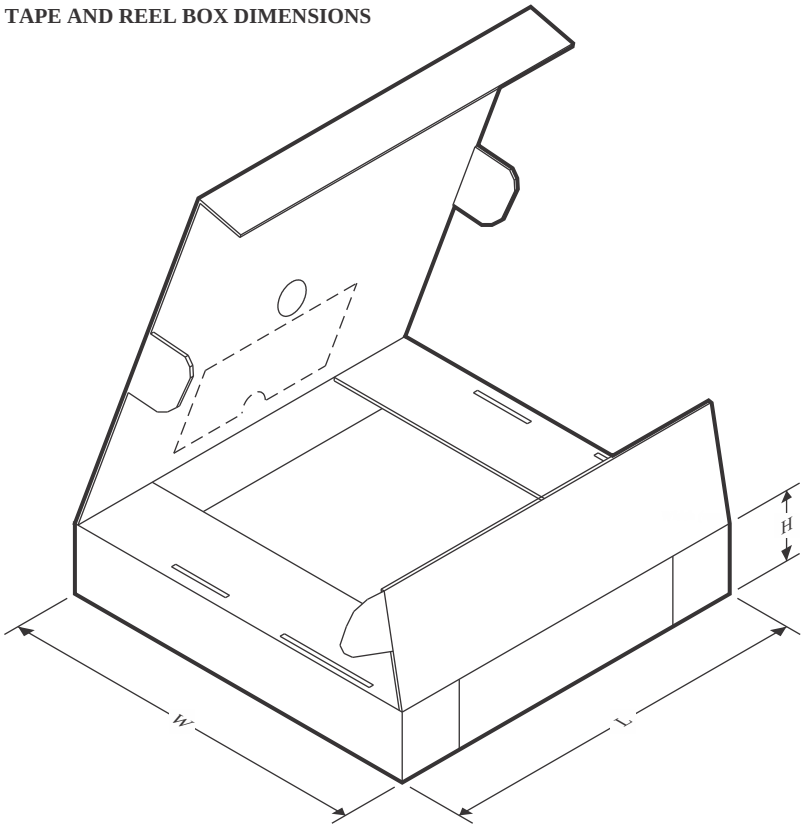
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS53515RVER	VQFN-CLIP	RVE	28	3000	330.0	12.4	3.71	4.71	1.1	8.0	12.0	Q1
TPS53515RVET	VQFN-CLIP	RVE	28	250	180.0	12.4	3.71	4.71	1.1	8.0	12.0	Q1
TPS53515RVETG4	VQFN-CLIP	RVE	28	250	180.0	12.4	3.71	4.71	1.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

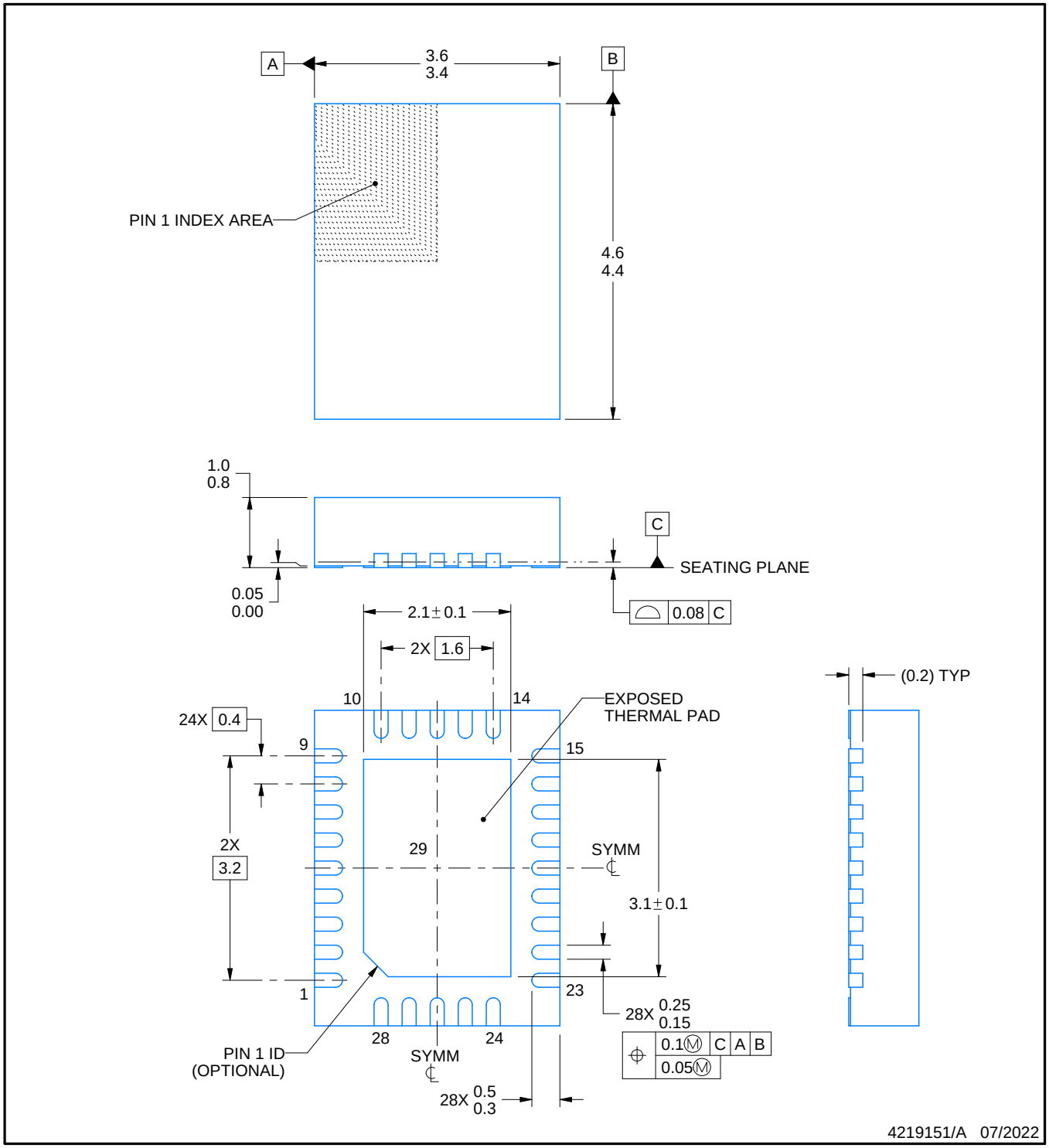
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS53515RVER	VQFN-CLIP	RVE	28	3000	346.0	346.0	33.0
TPS53515RVET	VQFN-CLIP	RVE	28	250	210.0	185.0	35.0
TPS53515RVETG4	VQFN-CLIP	RVE	28	250	210.0	185.0	35.0

RVE0028A

PACKAGE OUTLINE

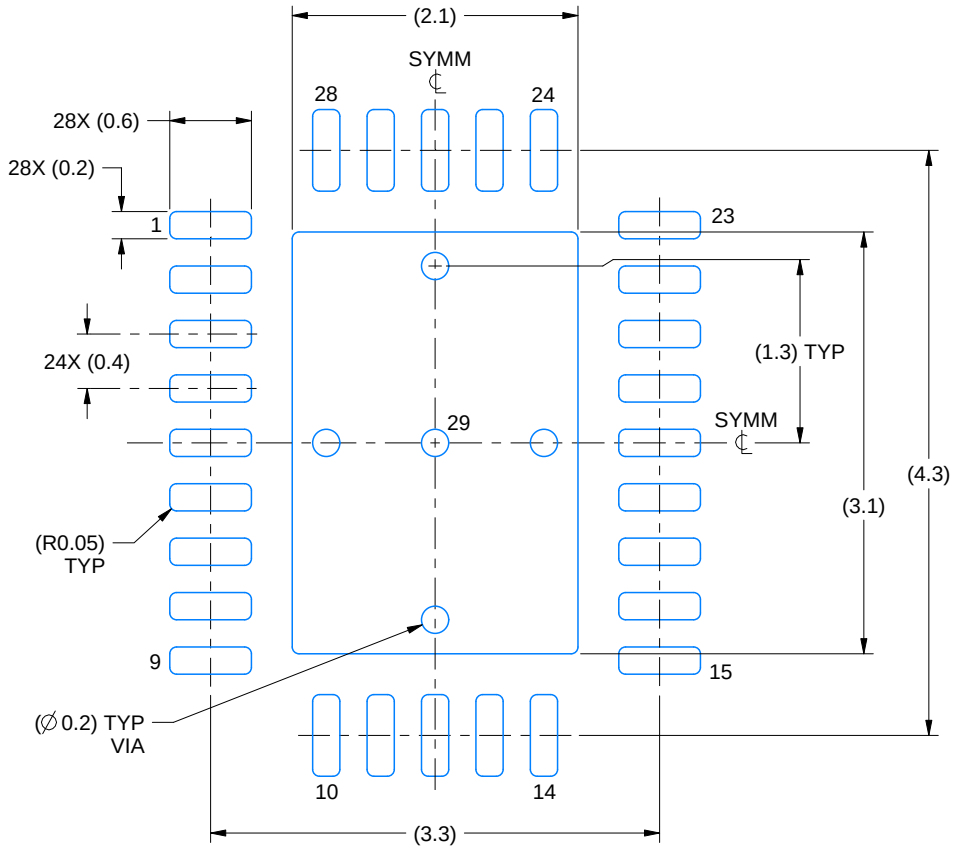
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

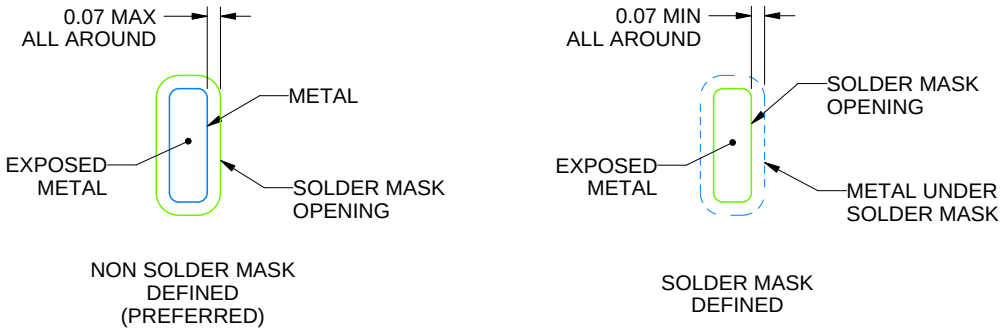


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

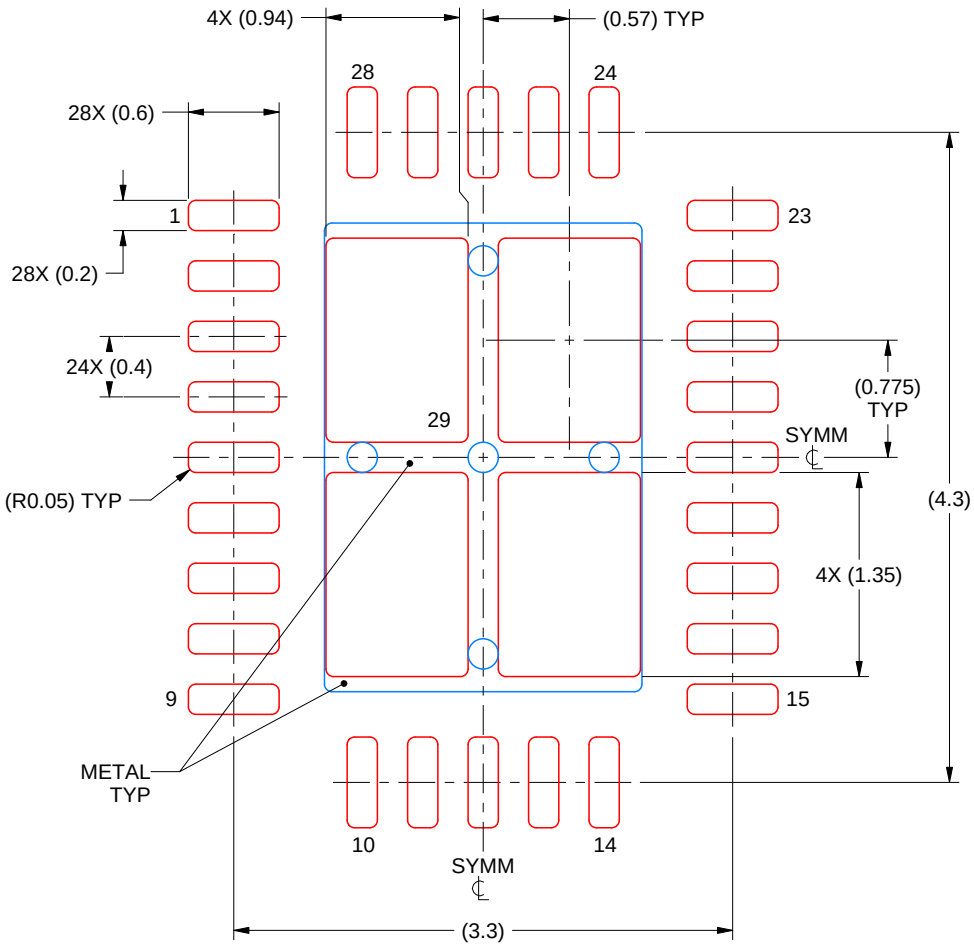


SOLDER MASK DETAILS

4219151/A 07/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 29
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4219151/A 07/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

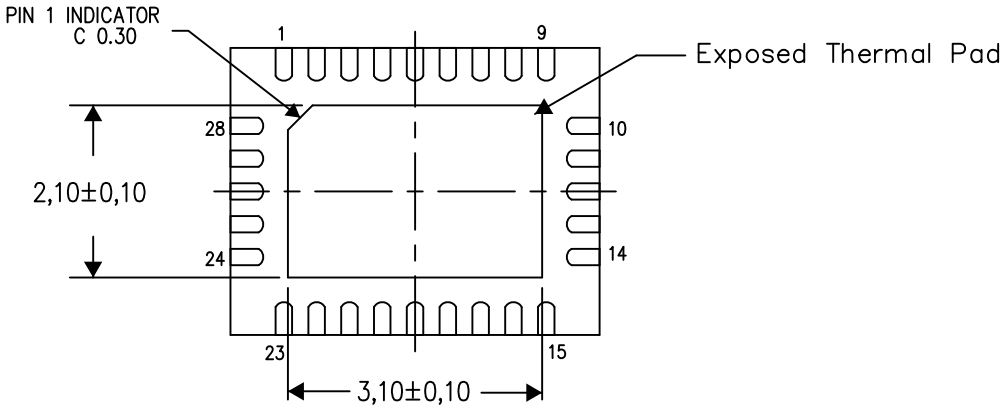
RVE (R–PVQFN–N28) PLASTIC QUAD FLATPACK NO–LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No–Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



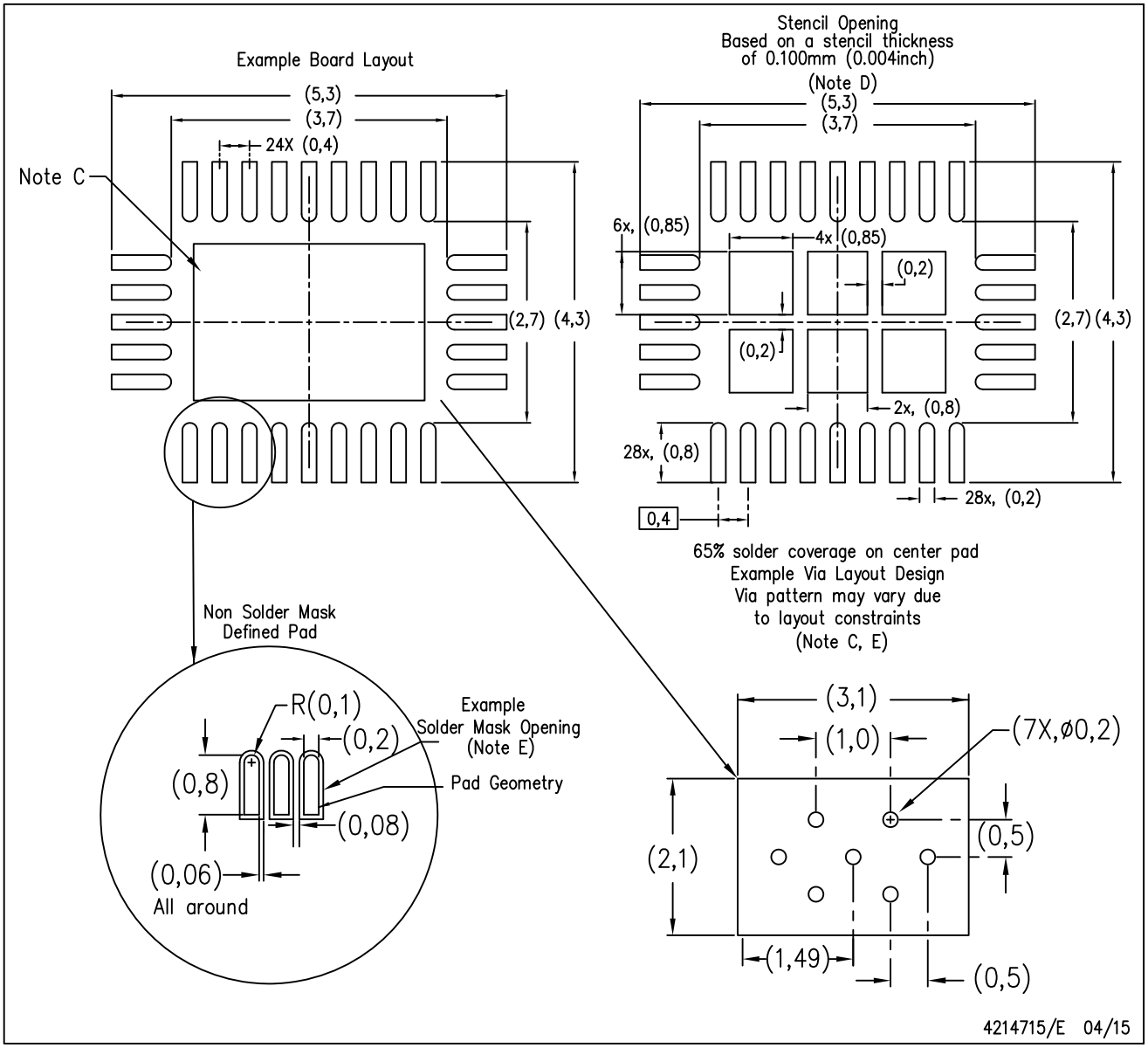
Bottom View

Exposed Thermal Pad Dimensions

4211776/E 04/15

NOTE: All linear dimensions are in millimeters

RVE (R–PWQFN–N28) PLASTIC QUAD FLATPACK NO–LEAD



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, Quad Flat–Pack Packages, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <http://www.ti.com>.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Electroformed stencils offer adequate release at thicker values/lower Area Ratios. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
E. Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月