

TPS51488 完整的 LPDDR5 存储器电源设计

1 特性

- 同步降压转换器 (VDD2)
 - 输入电压范围：4.5V 至 24V
 - 输出电压固定为 1.065V
 - D-CAP3™ 控制模式，用于快速瞬态响应
 - 持续输出电流：8A
 - 用于高级脉冲跳跃的 Eco-mode
 - 集成 $22\text{m}\Omega$ / $8.6\text{m}\Omega$ $R_{\text{DS(on)}}$ 内部电源开关
 - 600kHz 开关频率
 - 内部软启动：1.6ms
 - 逐周期过流保护
 - 锁存输出 OV/UV 保护
- 同步降压转换器 (VDD1)
 - 输入电压范围：3V 至 5.5V
 - 输出电压固定为 1.8V
 - D-CAP3 控制模式，用于快速瞬态响应
 - 持续输出电流：1A
 - 用于高级脉冲跳跃的 Eco-mode
 - 集成 $150\text{m}\Omega$ / $120\text{m}\Omega$ $R_{\text{DS(on)}}$ 内部电源开关
 - 580kHz 开关频率
 - 内部软启动：1ms
 - 逐周期过流保护
 - 锁存输出 OV/UV 保护
- 内置的 500mV、1.5A LDO (VDDQ)
 - 输出电压固定为 500mV
 - 1.5A 持续输出电流
 - 只需 $10\mu\text{F}$ 陶瓷输出电容器
 - 在 S3 中支持高阻态
- 低静态电流：150 μA
- 电源正常指示器
- 输出放电功能
- 上电和断电序列控制
- 非锁存 OT 和 UVLO 保护
- 18 引脚 3.0mm × 3.0mm HotRod™ VQFN 封装

2 应用

- 笔记本电脑、PC 计算机和服务器
- 超极本、平板电脑
- 单板计算机、工业 PC
- 分布式电源系统

3 说明

TPS51488 以极低总成本和设计大小为 LPDDR5 存储器系统提供完整的电源设计。器件符合 JEDEC 标准中的 LPDDR5 加电和断电顺序要求。TPS51488 集成了两个同步降压转换器 (VDD1 和 VDD2) 和一个 1.5A LDO (VDDQ)。

TPS51488 采用 D-CAP3 控制模式，开关频率为 600kHz，可实现快速瞬态响应、良好的负载/线路调节，并支持陶瓷输出电容器，而无需外部补偿电路。

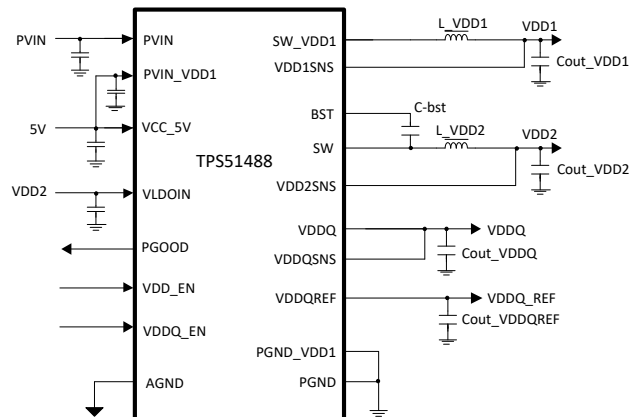
TPS51488 具有集成的低 R_{dson} 功率 MOSFET，因此具有高度可配置性和高效率。器件支持灵活功率级控制，将 VDDQ 置于高阻抗状态（处于 S3）并在 S4/S5 状态下对 VDD1、VDD2 和 VDDQ 进行放电。全面的保护特性包括 OVP、UVP、OCP、UVLO 和热关断保护。器件可采用耐热增强 18 引脚 HotRod VQFN 封装，额定结温范围为 -40°C 至 125°C 。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TPS51488	RJE (VQFN-HR , 18)	3mm × 3mm

(1) 有关更多信息，请参阅节 10。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



典型应用



内容

1 特性	1	6.4 器件功能模式	16
2 应用	1	7 应用和实施	18
3 说明	1	7.1 应用信息.....	18
4 引脚配置和功能	3	7.2 典型应用.....	18
5 规格	4	7.3 电源相关建议.....	25
5.1 绝对最大额定值.....	4	7.4 布局.....	25
5.2 ESD 等级.....	4	8 器件和文档支持	27
5.3 建议运行条件.....	5	8.1 器件支持.....	27
5.4 热性能信息.....	5	8.2 接收文档更新通知.....	27
5.5 电气特性.....	5	8.3 支持资源.....	27
5.6 典型特性.....	8	8.4 商标.....	27
6 详细说明	13	8.5 静电放电警告.....	27
6.1 概述.....	13	8.6 术语表.....	27
6.2 功能方框图.....	14	9 修订历史记录	27
6.3 特性说明.....	15	10 机械、封装和可订购信息	27

4 引脚配置和功能

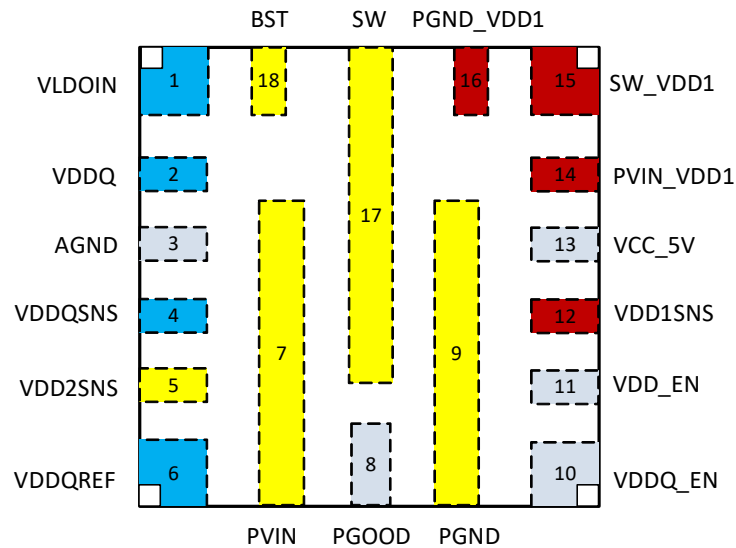


图 4-1. 18 引脚 VQFN-HR、RJE 封装 (顶视图)

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
VLDOIN	1	P	VDDQ LDO 的电源输入。在典型应用中连接 VDD2。
VDDQ	2	O	VDDQ 1.5-A LDO 输出。连接到 10 μ F 或更大的电容以实现稳定性。
AGND	3	G	信号地
VDDQSNS	4	I	VDDQ 输出电压反馈
VDD2SNS	5	I	VDD2 输出电压反馈
VDDQREF	6	O	VDDQ 的内部基准。连接到 0.22 μ F 或更大的电容以实现稳定性。
PVIN	7	P	用于 VDD2 降压的输入电源
PGOOD	8	O	电源良好信号漏极开路输出。当 VDD1 和 VDD2 输出电压处于目标范围内时，PGOOD 变为高电平。
PGND	9	G	用于 VDD2 降压的电源接地
VDDQ_EN	10	I	用于 VDDQ LDO 使能控制的 VDDQ_EN 信号输入。有关详细的控制设置，请参阅表 6-1。
VDD_EN	11	I	用于 VDD1 降压和 VDD2 降压使能控制的 VDD_EN 信号输入。有关详细的控制设置，请参阅表 6-1。
VDD1SNS	12	I	VDD1 输出电压反馈
VCC_5V	13	P	VDD1 和 VDD2 降压转换器控制逻辑电路的电源
PVIN_VDD1	14	P	用于 VDD1 降压的输入电源
SW_VDD1	15	O	连接到电感器的 VDD1 开关节点
PGND_VDD1	16	G	用于 VDD1 降压的电源接地
SW	17	O	电感器和自举电容器的 VDD2 开关节点连接
BST	18	I	用于 VDD2 降压的高侧 MOSFET 栅极驱动器自举电压输入。在 BST 和 SW 引脚间连接电容器。

(1) I = 输入；O = 输出；P = 电源

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
输入电压	PVIN	-0.3	26	V
	VBST	-0.3	31	
	VBST-SW	-0.3	6	
	VCC_5V、PVIN_VDD1、VLDOIN、VDD1SNS、VDD2SNS、VDDQSNS	-0.3	6	
	VDD_EN、VDDQ_EN	-0.3	4	
	PGND、AGND、PGND_VDD1	-0.3	0.3	
输出电压	SW	-0.3	26	V
	SW (10ns 瞬态值)	-3	28	
	SW_VDD1	-0.3	7	
	SW_VDD1 (10ns 瞬态值)	-3	8	
	PGOOD、VDDQ、VDDQREF	-0.3	6	
T _J	工作结温	-40	150	°C
T _{stg}	贮存温度	-55	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议的工作条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚 ⁽¹⁾	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚 ⁽²⁾	±500	

(1) JEDEC 文件 JEP155 指出，500V HBM 可通过标准 ESD 管控流程安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	最大值	单位
输入电压	PVIN	4.5	24	V
	VBST	-0.3	29	
	VBST-SW	-0.3	5.5	
	VCC_5V、PVIN_VDD1、VLDOIN、VDD1SNS、VDD2SNS、VDDQSNS	-0.3	5.5	
	VDD_EN、VDDQ_EN	-0.3	3.6	
	PGND、AGND、PGND_VDD1	-0.3	0.3	
输出电压	SW	-0.3	24	V
	SW (10ns 瞬态值)	-3	26	
	SW_VDD1	-0.3	6	
	SW_VDD1 (10ns 瞬态值)	-3	7	
	PGOOD、VDDQ、VDDQREF	-0.3	5.5	
I _{VDD2OUT}	VDD2 输出电流		8	A
T _J	工作结温	-40	125	°C

5.4 热性能信息

热指标 ⁽¹⁾		TPS51488	单位
		RJE (VQFN)	
		18 引脚	
R _{θJA}	结至环境热阻	58.1	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	26.1	°C/W
R _{θJB}	结至电路板热阻	17.7	°C/W
ψ _{JT}	结至顶部特征参数	0.5	°C/W
ψ _{JB}	结至电路板特征参数	17.7	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	不适用	°C/W

(1) 更多有关新旧热指标的信息，请参阅 [IC 封装热指标应用报告](#)。

5.5 电气特性

T_J = -40°C 至 125°C，V_{PVIN} = 12V，V_{PVIN_VDD1} = 5V (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
输入电源电压					
I _{VCC_5V}	V _{VDD_EN} = V _{VDDQ_EN} = 0V		5		μA
	V _{VDD_EN} = 5V，V _{VDDQ_EN} = 0V，空载		110		μA
	V _{VDD_EN} = V _{VDDQ_EN} = 5V，空载		150		μA
V _{IN}	PVIN 输入电压范围	4.5		24	V
UVLO					
UVLO	VCC_5V 唤醒电压		4.1	4.5	V
	关断 VCC_5V 电压	3.3	3.6		V
	迟滞 VCC_5V 电压		500		mV
VDD2					
V _{VDD2SNS}	VDD2 检测电压	1.054	1.065	1.076	V

5.5 电气特性 (续)

$T_J = -40^{\circ}\text{C}$ 至 125°C , $V_{PVIN} = 12\text{V}$, $V_{PVIN_VDD1} = 5\text{V}$ (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
$I_{VDD2SNS}$ VDD2SNS 输入电流	$V_{VDD2SNS} = 1.065\text{V}$		35		μA
$I_{VDD2DIS}$ VDD2 放电电流	$V_{VDD_EN} = V_{VDDQ_EN} = 0\text{V}$, $V_{VDD2SNS} = 0.5\text{V}$		12		mA
t_{VDD2SS} VDD2 软启动时间			1.6	2.65	ms
$t_{VDD2DLY}$ VDD2 斜升延迟时间			2		ms
R_{DSONH} 高侧开关电阻	$T_J = 25^{\circ}\text{C}$, $V_{PVIN} = 19\text{V}$, $V_{VCC_5V} = 5\text{V}$		22		$\text{m}\Omega$
R_{DSONL} 低侧开关电阻	$T_J = 25^{\circ}\text{C}$, $V_{PVIN} = 19\text{V}$, $V_{VCC_5V} = 5\text{V}$		8.6		$\text{m}\Omega$
$I_{VDD2OCL}$ 低侧谷值电流限值	$V_{OUT} = 1.065\text{V}$, $L = 0.68\mu\text{H}$, $T_J = -40^{\circ}\text{C}$ 至 125°C	8.2	9.8	11.5	A
	$V_{OUT} = 1.065\text{V}$, $L = 0.68\mu\text{H}$, $T_J = 0^{\circ}\text{C}$ 至 125°C	8.6	9.8	11.5	A
f_{sw} VDD2 开关频率			600		kHz
$t_{OFF(MIN)}$ 最短关断时间			198		ns
PGOOD (VDD2 , VDD1)					
V_{THPG} PGOOD 阈值	VDD2SNS/VDD1SNS 下降 (故障)		87%		
	VDD2SNS/VDD1SNS 上升 (正常)		93%		
	VDD2SNS/VDD1SNS 上升 (故障)		115%		
	VDD2SNS/VDD1SNS 下降 (正常)		110%		
I_{PGMAX} PG 灌电流	$V_{PGOOD} = 0.5\text{V}$, $V_{VDD_EN} = V_{VDDQ_EN} = 5\text{V}$, 空载		46		mA
t_{PGDLY} PG 启动延迟	PG 从低到高		1		ms
VDD1					
$V_{VDD1SNS}$ VDD1 检测电压		1.75	1.8	1.85	V
$I_{VDD1SNS}$ VDD1SNS 输入电流	$V_{VDD1SNS} = 1.8\text{V}$		20		μA
$I_{VDD1DIS}$ VDD1 放电电流	$V_{VDD_EN} = V_{VDDQ_EN} = 0\text{V}$, $V_{VDD1SNS} = 0.5\text{V}$		12		mA
t_{VDD1SS} VDD1 软启动时间			1.0	2	ms
R_{DSONH} 高侧开关电阻	$T_J = 25^{\circ}\text{C}$, $V_{PVIN_VDD1} = 5\text{V}$, $V_{VCC_5V} = 5\text{V}$		150		$\text{m}\Omega$
R_{DSONL} 低侧开关电阻	$T_J = 25^{\circ}\text{C}$, $V_{PVIN_VDD1} = 5\text{V}$, $V_{VCC_5V} = 5\text{V}$		120		$\text{m}\Omega$
$I_{VDD1OCL}$ 低侧谷值电流限值	$V_{VDD1SNS} = 1.8\text{V}$, $L = 4.7\mu\text{H}$	1.5	2	2.5	A
f_{sw} VDD1 开关频率			580		kHz
$t_{OFF(MIN)}$ 最短关断时间			195		ns
OVP AND UVP (VDD2 , VDD1)					
V_{OVP} OVP 阈值电压	OVP 检测电压	120%	125%	130%	
V_{UVP1} UVP 阈值电压	UVP 检测电压	57.5%	62.5%	67.5%	
t_{OVPDLY} OVP 延迟			20		μs
t_{UVPDLY} UVP 延迟			250		μs
VDDQ OUTPUT					
V_{VDDQ} 输出电压	$T_J = 25^{\circ}\text{C}$, $I_{VDDQ} \leq 1.5\text{A}$	0.475	0.5	0.525	V
$I_{VDDQOCLSRC}$ 拉电流限制	$V_{VDD2SNS} = 1.065\text{V}$, $V_{VDDQ} = V_{VDDQSNS} = 0.4\text{V}$	1.55	2.2		A
I_{VDDQLK} 漏电流	$T_J = 25^{\circ}\text{C}$, $V_{VDD_EN} = 5\text{V}$, $V_{VDDQ_EN} = 5\text{V}$			5	μA
$I_{VDDQSNSBIA}$ VDDQSNS 输入偏置电流	$V_{VDD_EN} = 5\text{V}$, $V_{VDDQ_EN} = 5\text{V}$	-0.5	0	0.5	
$I_{VDDQSNSLK}$ VDDQSNS 漏电流	$V_{VDD_EN} = 5\text{V}$, $V_{VDDQ_EN} = 0\text{V}$	-1	0	1	

5.5 电气特性 (续)

$T_J = -40^{\circ}\text{C}$ 至 125°C , $V_{PVIN} = 12\text{V}$, $V_{PVIN_VDD1} = 5\text{V}$ (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
$I_{VDDQDLY}$ 相对于 VDDQ_EN 的 VDDQ 输出延迟				35	μs
$I_{VDDQDIS}$ VDDQ 放电电流	$T_J = 25^{\circ}\text{C}$, $V_{VDD_EN} = V_{VDDQ_EN} = 0\text{V}$, $V_{VDD2SNS} = 1.065\text{V}$, $V_{VDDQ} = 0.4\text{V}$		5.7		mA
VDD_EN、VDDQ_EN 逻辑阈值					
V_{IH} VDD_EN/VDDQ_EN 高电平电压		1.35			V
V_{IL} VDD_EN/VDDQ_EN 低电平电压				0.5	V
R_{TOGND} VDD_EN/VDDQ_EN 至 GND 电阻			500		$\text{k}\Omega$
热保护					
T_{OTP} OTP 跳变阈值			150		$^{\circ}\text{C}$
T_{OTPHSY} OTP 迟滞			20		$^{\circ}\text{C}$

5.6 典型特性

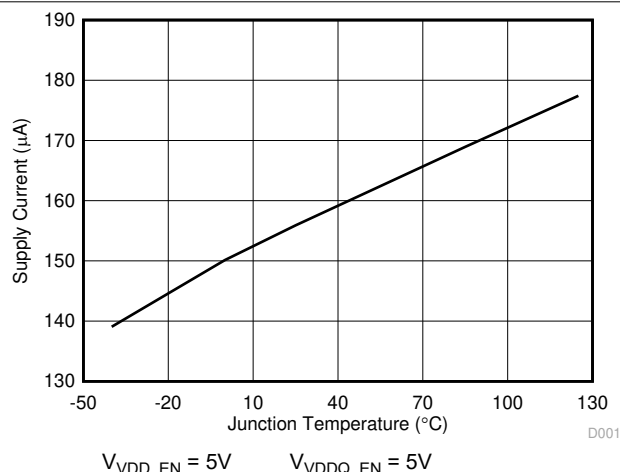


图 5-1. VCC_5V 电源电流与结温间的关系

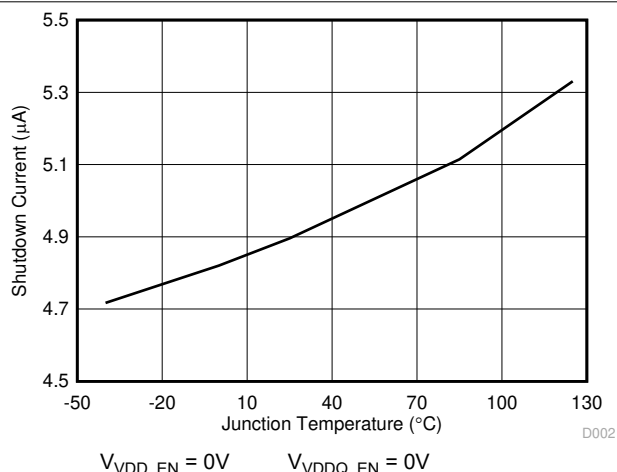


图 5-2. VCC_5V 关断电流与温度间的关系

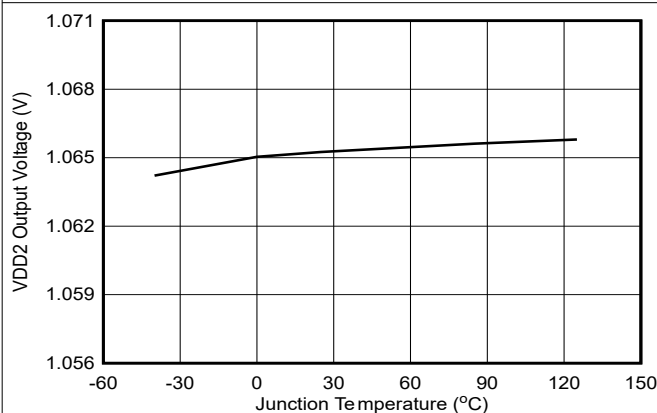


图 5-3. VDD2 输出电压与结温间的关系

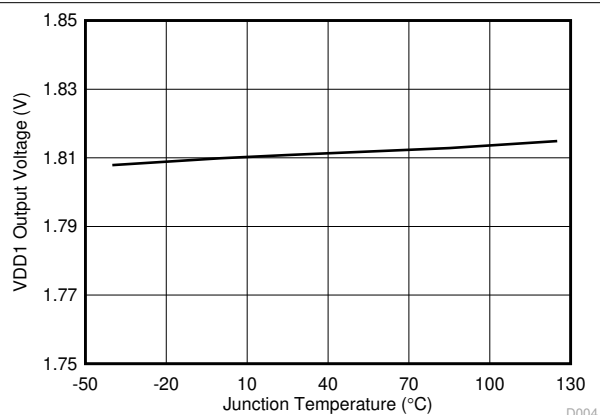


图 5-4. VDD1 输出电压与结温间的关系

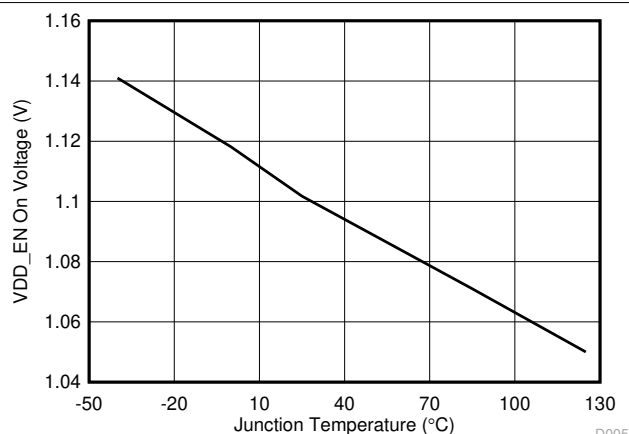


图 5-5. 使能开启电压 (VDD_EN) 与结温间的关系

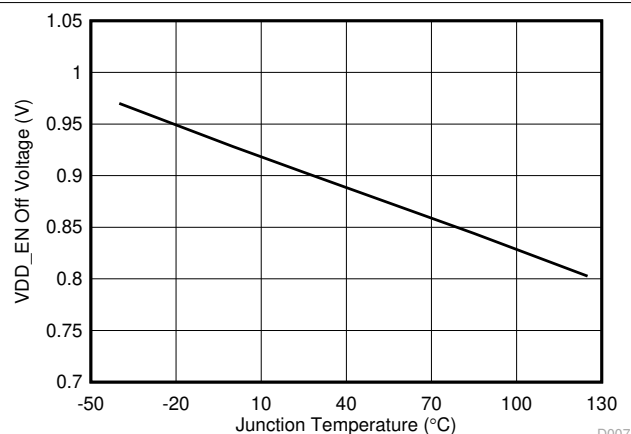


图 5-6. 使能关闭电压 (VDD_EN) 与结温间的关系

5.6 典型特性 (续)

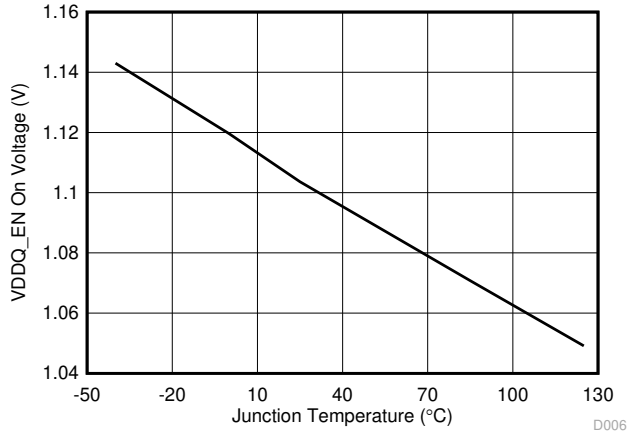


图 5-7. 使能开启电压 (VDDQ_EN) 与结温间的关系

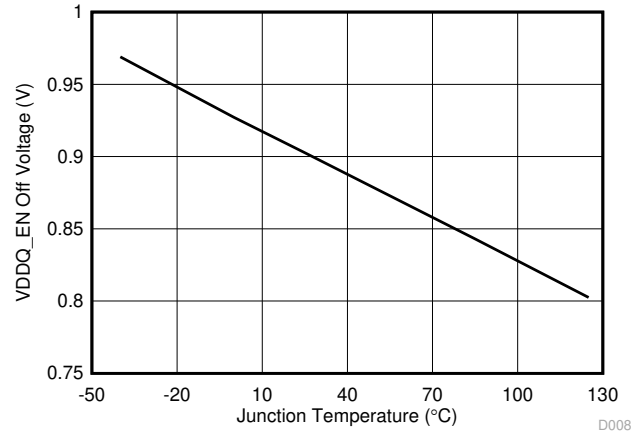


图 5-8. 使能关闭电压 (VDDQ_EN) 与结温间的关系

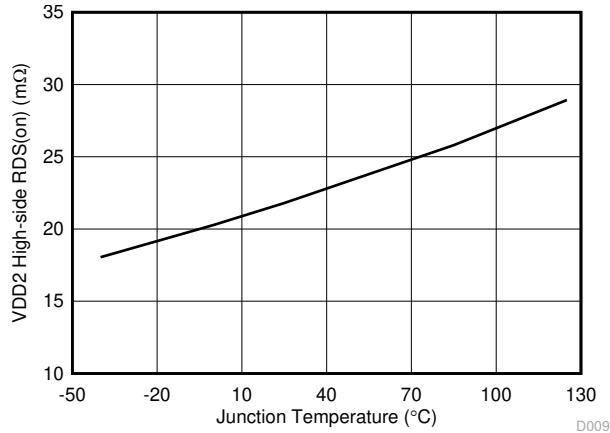


图 5-9. VDD2 高侧 $R_{DS(on)}$ 与结温间的关系

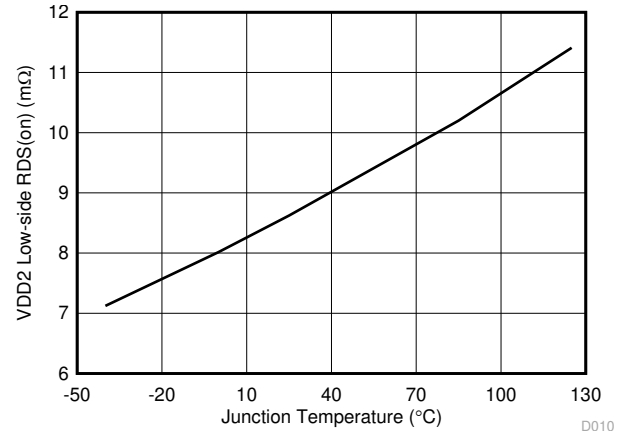


图 5-10. VDD2 低侧 $R_{DS(on)}$ 与结温间的关系

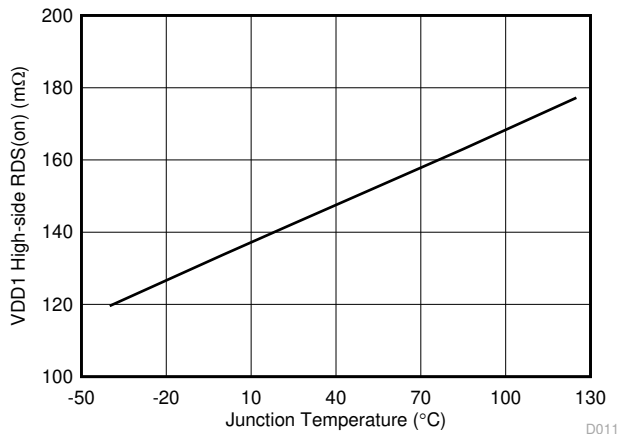


图 5-11. VDD1 高侧 $R_{DS(on)}$ 与结温间的关系

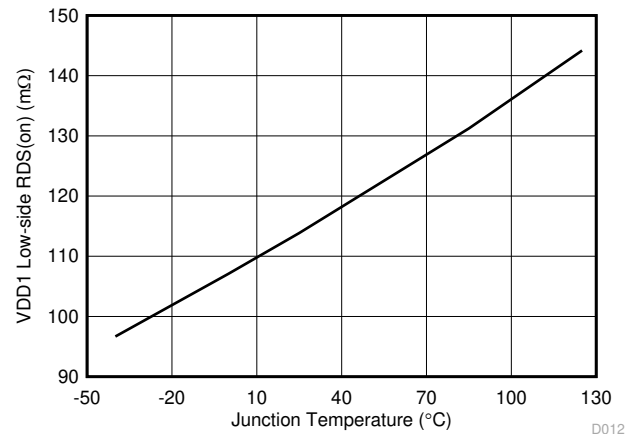


图 5-12. VDD1 低侧 $R_{DS(on)}$ 与结温间的关系

5.6 典型特性 (续)

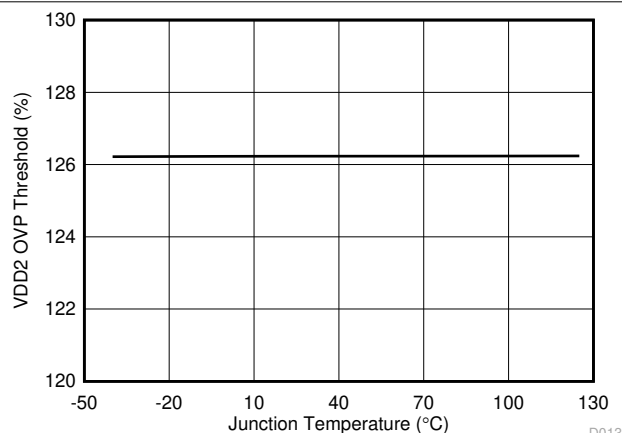


图 5-13. VDD2 OVP 阈值与结温间的关系

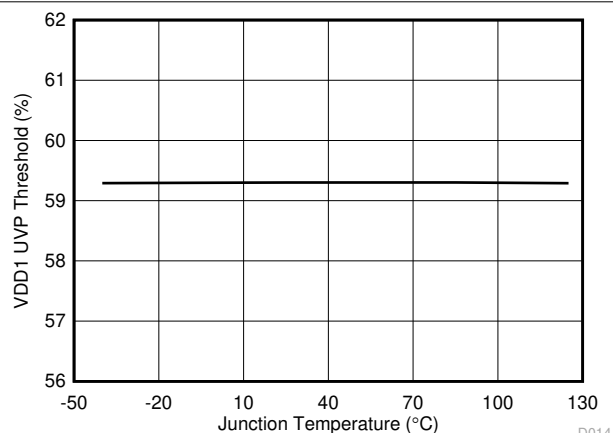


图 5-14. VDD2 UVP 阈值与结温间的关系

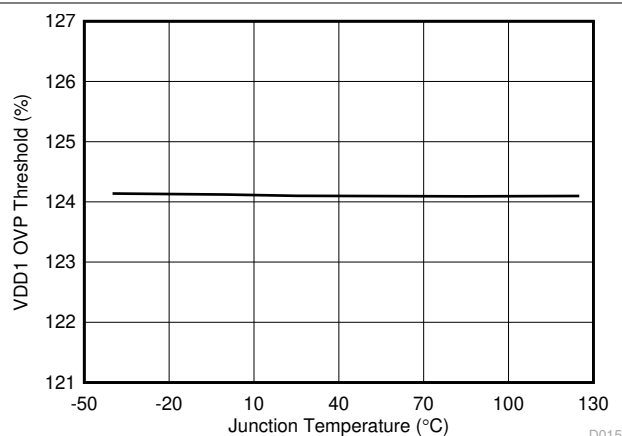


图 5-15. VDD1 OVP 阈值与结温间的关系

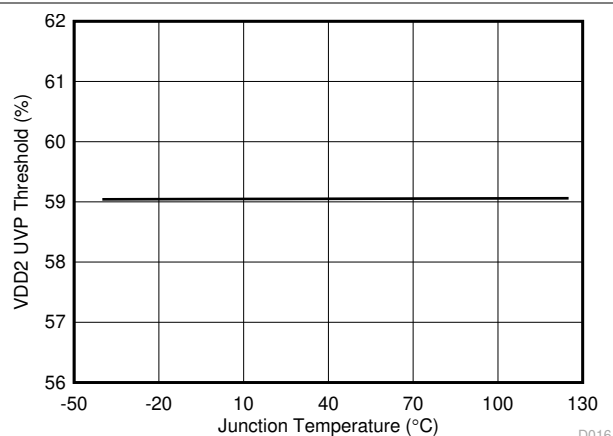


图 5-16. VDD1 UVP 阈值与结温间的关系

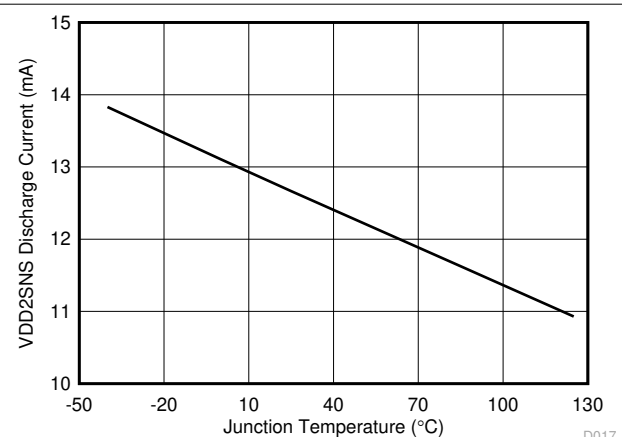


图 5-17. VDD2SNS 放电电流与结温间的关系

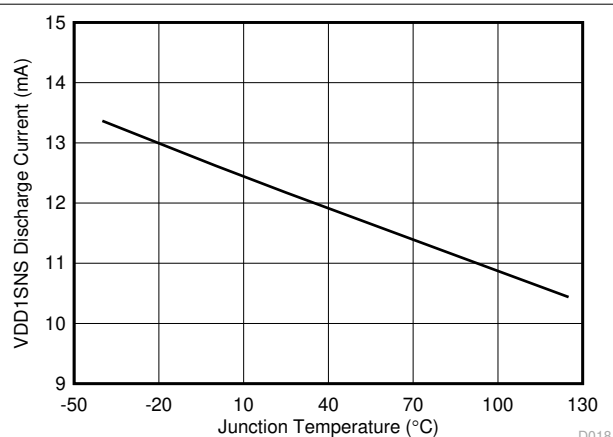


图 5-18. VDD1SNS 放电电流与结温间的关系

5.6 典型特性 (续)

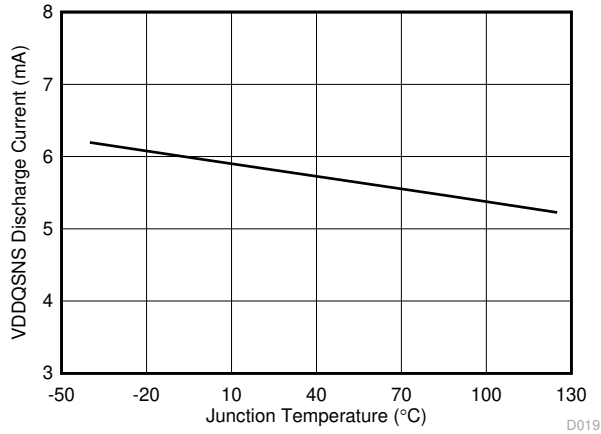


图 5-19. VDDQSNS 放电电流与结温间的关系

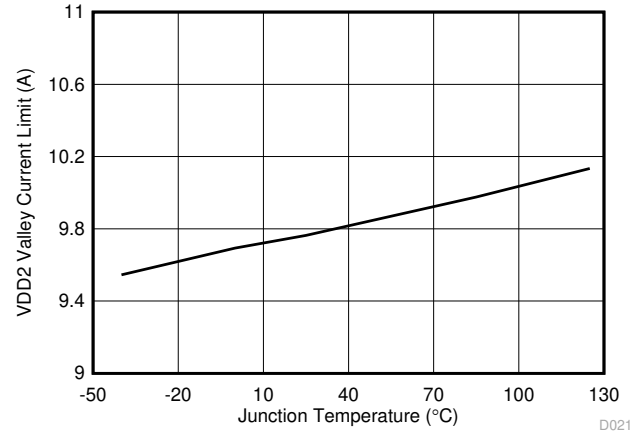


图 5-20. VDD2 谷值电流限值与结温间的关系

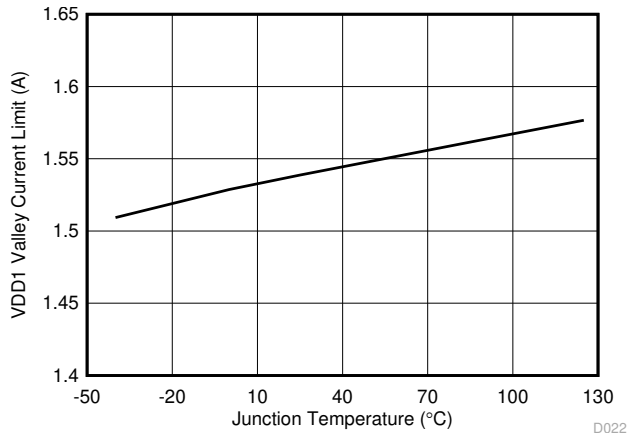


图 5-21. VDD1 谷值电流限值与结温间的关系

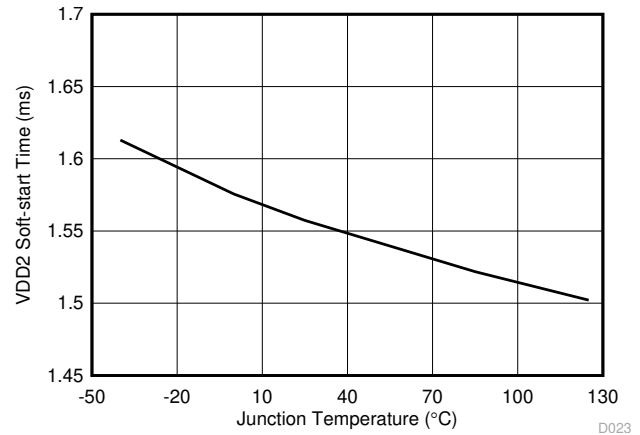


图 5-22. VDD2 软启动时间与结温间的关系

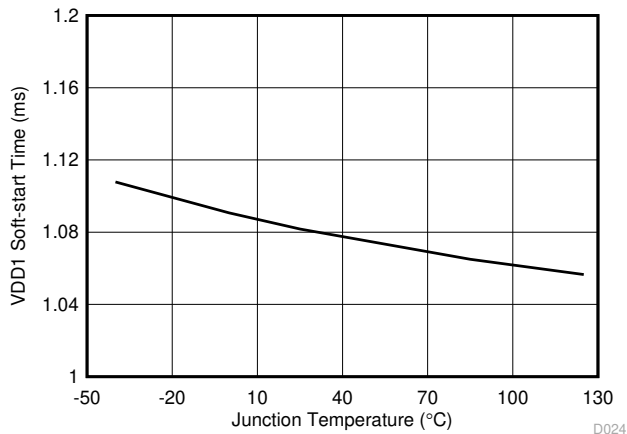


图 5-23. VDD1 软启动时间与结温间的关系

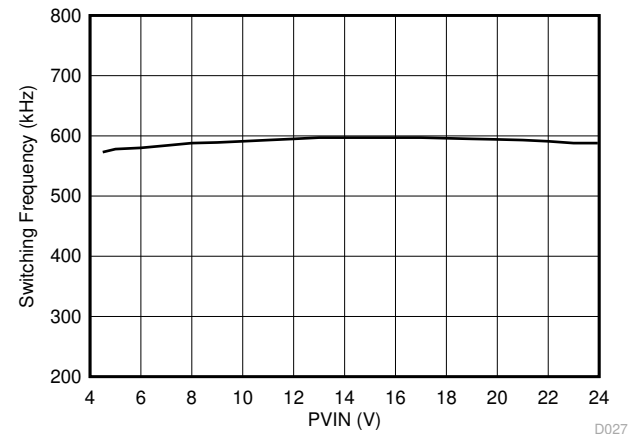


图 5-24. VDD2 开关频率与输入电压之间的关系 ($I_{OUT} = 8\text{ A}$)

5.6 典型特性 (续)

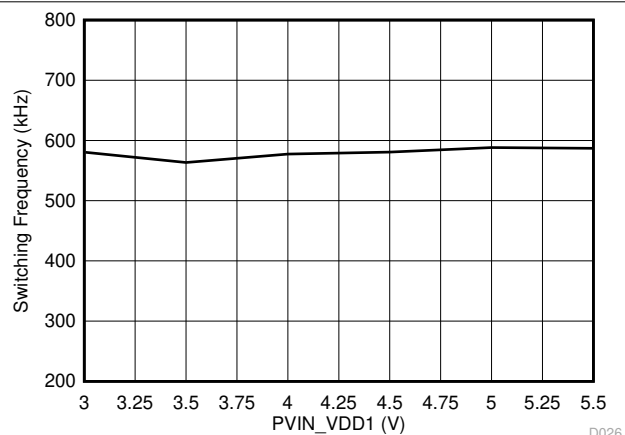
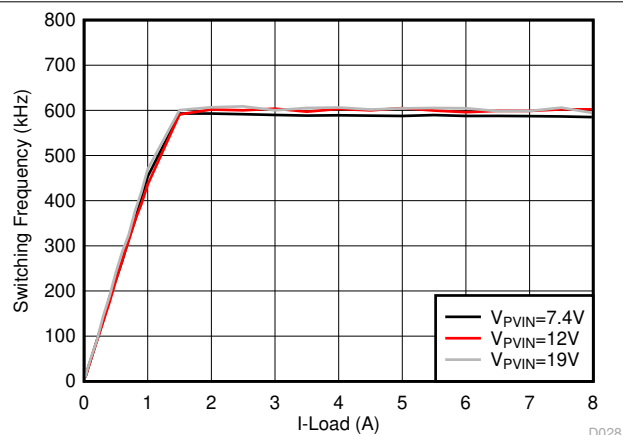
图 5-25. VDD1 开关频率与输入电压之间的关系 ($I_{OUT} = 1\text{ A}$)

图 5-26. VDD2 开关频率与负载电流间的关系

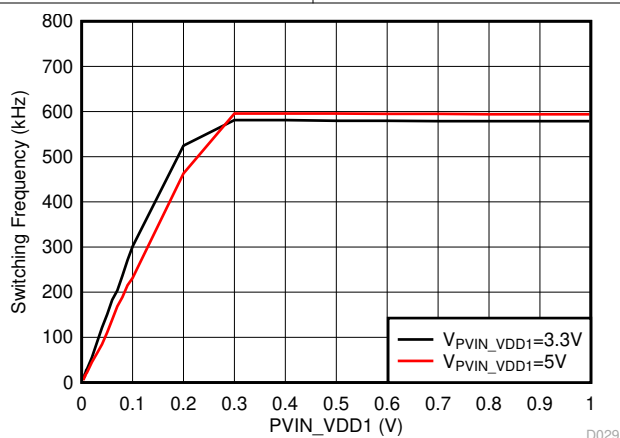


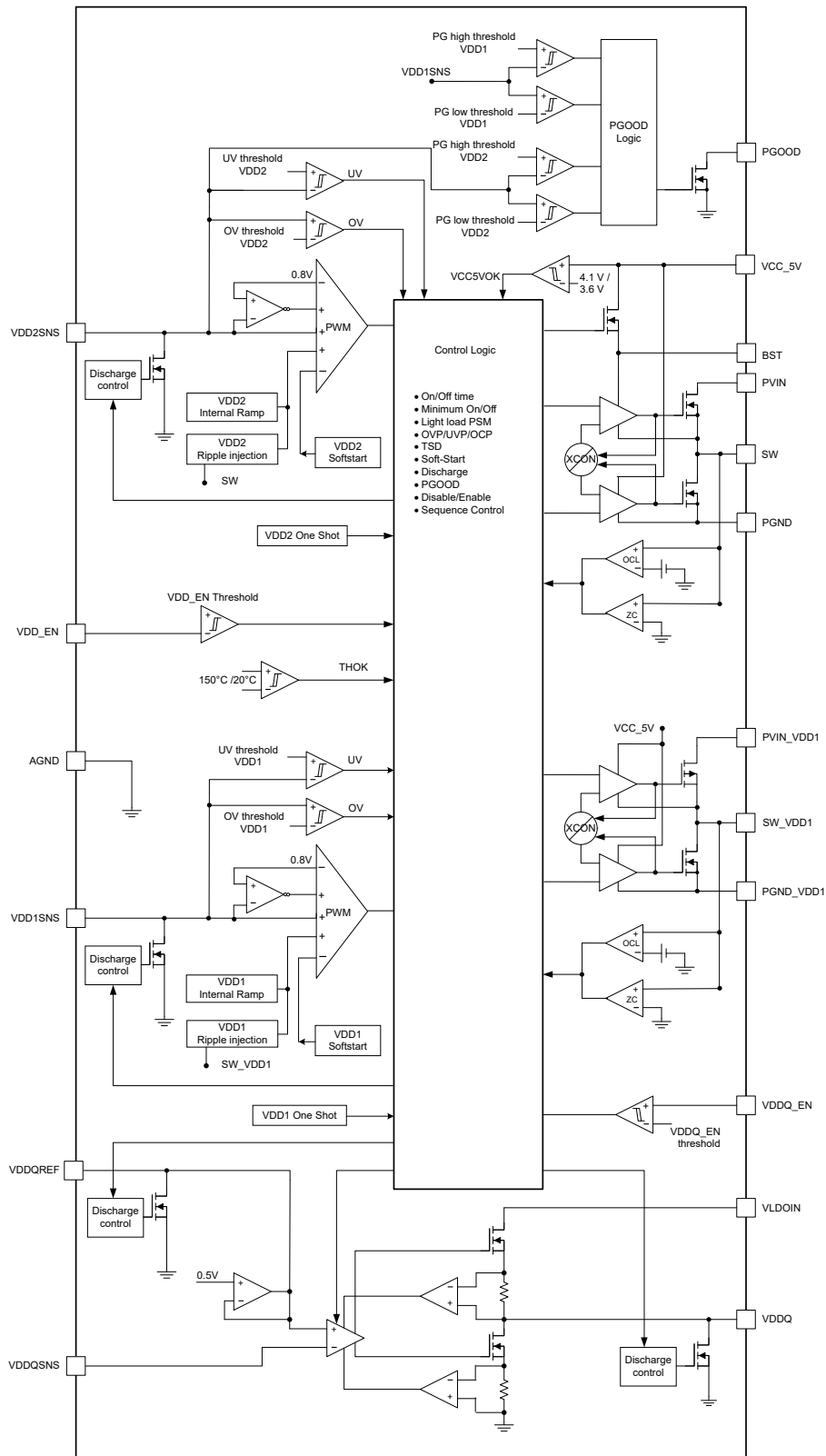
图 5-27. VDD1 开关频率与负载电流间的关系

6 详细说明

6.1 概述

TPS51488 集成了两个同步降压转换器和一个 LDO，以支持完整的 LPDDR5 电源设计。VDD2 降压转换器具有固定的 1.065V 输出，支持 8A 连续输出电流，并可在 4.5V 至 24V PVIN 输入电压范围内运行。VDD1 降压转换器具有固定的 1.8V 输出，支持 1A 连续输出电流，并且可在 3V 至 5.5V PVIN_VDD1 输入电压范围内工作。VDDQ LDO 具有 1.5A 的连续输出电流能力。

6.2 功能方框图



6.3 特性说明

6.3.1 PWM 运行和 D-CAP3™ 控制模式

两个降压转换器的主控制环路是自适应导通时间脉宽调制 (PWM) 控制器，支持专有 D-CAP3 控制模式。D-CAP3 控制模式将自适应导通时间控制与内部补偿电路相结合，在使用低 ESR 和陶瓷输出电容器时，实现伪固定频率和较少的外部元件数配置。即使输出端几乎没有纹波，D-CAP3 控制模式也很稳定。TPS51488 还包含一个误差放大器，可使输出电压变得非常准确。

在每个周期的开始，高侧 MOSFET 将开启。内部一次性计时器到时后，此 MOSFET 将关闭。这个一次性计时器持续时间是根据转换器输入电压 VIN 按比例设置的，它与输出电压 VO 成反比，以便在输入电压范围内保持伪固定频率，因此称为自适应导通时间控制。当反馈电压降至基准电压之下时，一次性计时器将复位，高侧 MOSFET 将再次导通。在基准电压中添加了内部纹波生成电路来模拟输出纹波，从而支持使用 ESR 非常低的输出电容器，例如多层陶瓷电容器 (MLCC)。D-CAP3 控制模式拓扑不需要外部电流检测网络或环路补偿。

VDD1 降压转换器和 VDD2 降压转换器包含一个误差放大器，可使输出电压变得非常准确。对于任何内部补偿的控制拓扑，它可以支持一系列输出滤波器。与 TPS51488 搭配使用的输出滤波器是一个低通 L-C 电路。此 L-C 滤波器具有方程式 1 中计算出的双极点频率。

$$f_P = \frac{1}{2 \times \pi \times \sqrt{L_{OUT} \times C_{OUT}}} \quad (1)$$

在低频率下，整体环路增益是由内部输出设定点电阻分压器网络和 TPS51488 的内部增益设定的。低频 L-C 双极的相位为 180 度。在输出滤波器频率下，增益以每十倍频程 -40dB 的速率滚降，且相位快速下降。内部纹波生成网络引入了高频零点，可将增益滚降从每十倍频程 -40dB 降低到 -20dB，并将相位增加到零点频率之上每十倍频程 90°。内部纹波注入高频零点与开关频率有关。为输出滤波器选择的电感器和电容器必须确保双极位置足够靠近高频零点，以便由该高频零点提供的相位提升可提供足够的相位裕度来满足稳定性要求。整个系统的交叉频率通常必须低于开关频率 (F_{SW}) 的五分之一。

6.3.2 高级 Eco-mode 控制

VDD1 降压和 VDD2 降压采用先进的 Eco 模式控制方案设计，以保持高轻载效率。当输出电流从重负载状态降低时，电感器电流也会减小，最终纹波谷达到零电平，这是连续导通模式与不连续导通模式的边界。检测到电感器电流为零后，整流 MOSFET 会关断。随着负载电流进一步降低，转换器会进入不连续导通模式。导通时间几乎与连续导通模式中的导通时间相同，并且由于负载电流相比基准电压的电平更低，输出电容器放电需要更长时间。这会使开关频率降低，与负载电流成正比，从而使轻负载保持高效率。使用方程式 2 可计算在转换到 Eco-mode 工作模式时的轻负载电流 (I_{OUT(LL)})。

$$I_{OUT(LL)} = \frac{1}{2 \times L_{OUT} \times F_{SW}} \times \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{V_{IN}} \quad (2)$$

确定应用要求后，在设计中采用的输出电感 (L_{OUT})，应使电感器峰峰值纹波电流大约介于 I_{OUT(max)} (应用中的峰值电流) 的 20% 与 30% 之间。适当调整电感器的电感，使谷值电流不会达到低侧负电流限值，这一点很重要。

6.3.3 软启动和预偏置软启动

VDD2 降压具有内部 1.6ms 软启动时间，VDD1 降压具有内部 1ms 软启动时间。在将 VDD_EN 置为高电平之前，为 PVIN、PVIN_VDD1 和 VCC_5V 提供电压电源。VDD_EN 引脚变为高电平时，内部软启动功能开始逐步升高 PWM 比较器的基准电压。

如果输出电容器在启动时预偏置，器件将开始切换，只有在内部基准电压大于反馈电压时才会开始逐步升高。此方案确保转换器顺畅上升至调节点。

6.3.4 电源正常

电源正常 (PGOOD) 引脚为开漏输出。在 VDD1SNS 和 VDD2SNS 引脚的电压在目标输出电压的 93% 和 110% 之间后, PGOOD 被取消激活, 并在 1ms 的限位时间后浮动。建议使用 100k Ω 的上拉电阻器将电压上拉至 VCC_5V。在以下情况下, PGOOD 引脚拉至低电平:

- VDD1SNS 或 VDD2SNS 引脚电压低于目标输出电压的 87% 或高于其 115%
- 发生 OVP、UVP 或热关断事件
- 在软启动期间

6.3.5 过流保护和欠压保护

VDD1 和 VDD2 降压模式都具有过流保护和欠压保护功能, 并且实现方式相同。使用逐周期谷值检测控制电路来实现输出过流限制 (OCL)。在关断状态期间会监测开关电流, 方法是测量低侧 FET 漏源极电压。此电压与开关电流成正比。为了提升精确度, 对电压感测进行了温度补偿。

在高侧 FET 开关导通期间, 开关电流以线性速率增加, 此速率由以下各项决定:

- V_{IN}
- V_{OUT}
- 接通时间
- 输出电感值

在低侧 FET 开关的导通阶段, 此电流以线性方式下降。开关电流的平均值是负载电流 I_{OUT} 。如果监控电流高于 OCL 水平, 转换器将维持低侧 FET 的导通状态, 暂缓新置位脉冲的生成。即使是电压反馈环路也需要一个, 直到电流电平达到或低于 OCL 电平。在后续的开关周期中, 导通时间将设为固定值, 电流也将以相同的方式监控。

对于此类过流保护, 有一些重要的注意事项。当负载电流高过电流阈值与一半的峰峰值电感器纹波电流之和时, 触发 OCL, 电流受到限制, 输出电压往往会下降, 因为负载需求高于转换器可以支持的水平。当输出电压降至低于目标电压的 62.5% 时, UVP 比较器会检测到该电压降低, 在 250 μ s 的等待时间后, 输出被放电并锁存。当过电流条件消失后, 输出电压会被锁存, 直到切换 VDD_EN 或对 VCC_5V 电源输入重新供电。

6.3.6 过压保护

VDD1 和 VDD2 降压具有过压保护功能, 并且采用相同的实现方式。当输出电压高于目标电压的 125% 时, OVP 比较器输出变为高电平, 在等待 20 μ s 后对输出放电并发生锁存。当过压条件消失后, 输出电压会被锁存, 直到切换 VDD_EN 或对 VCC_5V 电源输入重新供电。

6.3.7 UVLO 保护

欠压锁定 (UVLO) 保护功能会监测 VCC_5V 电源输入。如果电压低于 UVLO 阈值电压, 器件会关断并且输出被废弃。这是非闩锁保护。

6.3.8 输出电压放电

VDD1 降压、VDD2 降压和 VDDQ LDO 块都通过使用内部 MOSFET 实现放电功能, 这些内部元件连接到相应的输出端子 VDD1SNS、VDD2SNS 和 VDDQ。由于这些 MOSFET 的电流能力较低, 放电速度较慢。

6.3.9 热关断

TPS51488 监控内部内核温度。如果温度超出阈值 (通常为 150 $^{\circ}$ C), 器件会关断且输出放电。这是非闩锁保护。当温度低于热关断恢复阈值时, 该器件重新开始开关。

6.4 器件功能模式

6.4.1 VDD1 降压及 VDD2 降压的轻负载运行

当 VDD1 或 VDD2 输出上的负载较轻时, 该降压稳压器在电感器电流过零后进入脉冲跳跃模式。这是 Eco-mode, 可在轻负载条件下以较低的开关频率提升效率。每个开关周期之后, 都会有一段节能睡眠时间。

VDD1SNS 或 VDD2SNS 电压降至低于 Eco-mode 阈值电压后，睡眠时间结束。随着输出电流下降，开关脉冲之间的周期时间增加。

6.4.2 输出状态控制

TPS51488 具有两个使能输入引脚 VDD_EN 和 VDDQ_EN，可提供简单的输出状态控制方案。VDD1、VDD2 和 VDDQ 均在 S0 状态 (VDD_EN = VDDQ_EN = 高电平) 下开启。在 S3 状态 (VDDQ_EN = 低电平、VDD_EN = 高电平) 下，VDD1 和 VDD2 电压保持开启，同时 VDDQ 关闭，保持高阻抗状态 (高阻态)。在这种状态下，VDDQ 输出会悬空，不会提供电流。在 S4/S5 状态 (VDD_EN = VDDQ_EN = 低电平) 下，所有三个输出均关闭并放电至 GND。每个状态代码表示如下：S0 = 全开，S3 = 挂起至 RAM (STR)，S4 = 挂起至磁盘 (STD)，S5 = 软关闭 (请参阅表 6-1)。

表 6-1. 输出状态的 VDDQ_EN 及 VDD_EN 控制

STATE	VDDQ_EN	VDD_EN	VDD1	VDD2	VDDQ
S0	HI	HI	导通	导通	导通
S3	LO	HI	导通	导通	关闭 (高阻态)
S5/S4	LO	LO	关闭 (放电)	关闭 (放电)	关闭 (放电)

6.4.3 输出序列控制

LPDDR5 VDD1 和 VDD2 导轨有特定的序列要求。TPS51488 遵循图 6-1 和图 6-2 中所示的电源轨序列要求。在斜升、运行和斜降期间，VDD1 始终大于 VDD2。VDDQ 输出在 VDDQ_EN 置为有效后在 35μs 内斜升并稳定。

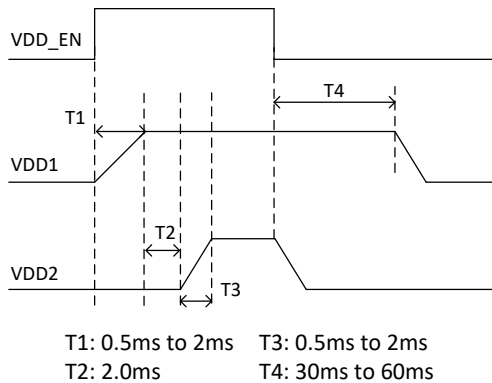


图 6-1. 电源序列，VDD1/VDD2 与 VDD_EN 间的关系

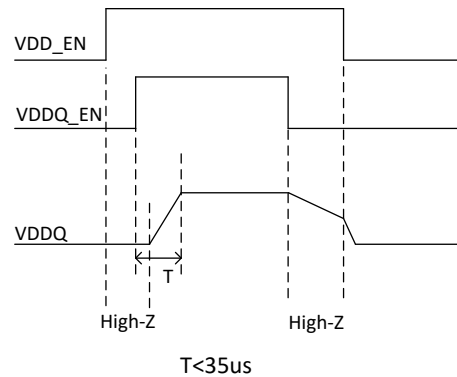


图 6-2. 电源序列，VDDQ 与 VDDQ_EN 间的关系

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

TPS51488 器件为 LPDDR5 存储器系统提供完整的电源设计。表 7-1 显示 LPDDR5 的电源要求。

表 7-1. LPDDR5 应用

	VDD1	VDD2	VDDQ
LPDDR5	是	是	是

图 7-1 显示了 LPDDR5 的典型应用电路。对于 VDD2 降压，PVIN 支持 4.5V 至 24V 输入范围以及 1.065V VDD2 输出，且持续电流能力为 8A。通常，PVIN_VDD1 和 VCC_5V 可以共享一个 5V 电源输入，并支持 1.8V VDD1 输出，具有 1A 持续电流能力。PVIN_VDD1 可降低至 3.3V 电源。VLDOIN 电源输入通常连接至 VDD2 输出。VLDOIN 电源输入还可以连接至外部电源输入。

7.2 典型应用

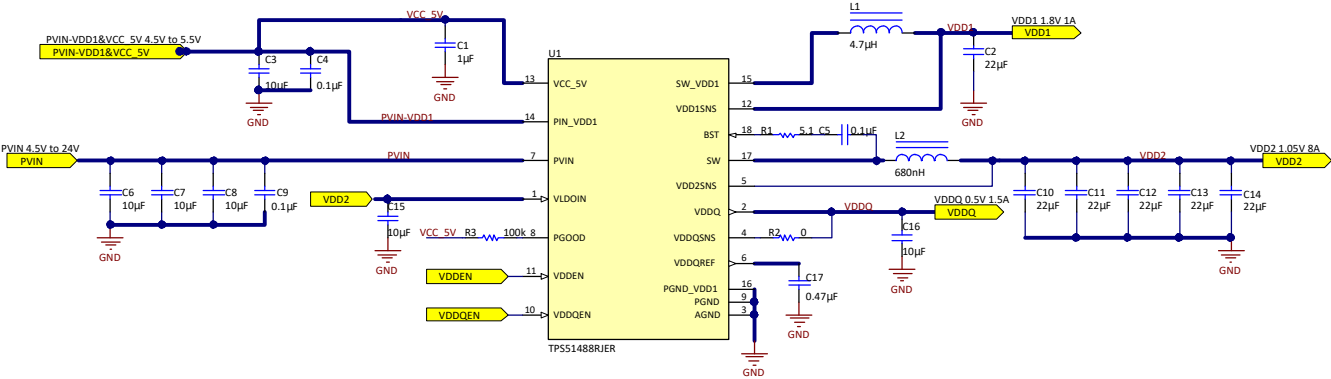


图 7-1. LPDDR5 应用原理图

7.2.1 设计要求

表 7-2 列出了此示例的设计参数。

表 7-2. 设计参数

参数		条件	最小值	典型值	最大值	单位
VDD2 OUTPUT						
V _{OUT}	输出电压			1.065		V
I _{OUT}	输出电流			8		A
ΔV _{OUT}	瞬态响应	8A 负载阶跃		±53		mV
V _{IN}	输入电压		4.5	19	24	V
V _{OUT(ripple)}	输出电压纹波			30		mV _(P-P)
F _{SW}	开关频率			600		kHz
VDD1 OUTPUT						
V _{OUT}	输出电压			1.8		V
I _{OUT}	输出电流			1		A
ΔV _{OUT}	瞬态响应	1A 负载阶跃		±90		mV

表 7-2. 设计参数 (续)

参数	条件	最小值	典型值	最大值	单位
V _{IN}	输入电压	3	5	5.5	V
V _{OUT(ripple)}	输出电压纹波		30		mV _(P-P)
F _{SW}	开关频率		580		kHz
其他					
V _{VCC_5V}	启动 VCC_5V 输入电压	VCC_5V 输入电压上升	内部 UVLO		V
	停止 VCC_5V 输入电压	VCC_5V 输入电压下降	内部 UVLO		V
	轻负载工作模式		ECO		

7.2.2 详细设计过程

7.2.2.1 外部元件选型

7.2.2.1.1 电感器选型

电感纹波电流通过输出电容器进行滤波。较高的电感器纹波电流意味着输出电容器的纹波电流额定值必须高于电感器纹波电流。请参阅表 7-3，了解建议的电感器值。

通过电感器的 RMS 电流和峰值电流可使用方程式 3 和方程式 4 进行计算。确保电感器的额定值能够处理这些电流很重要。

$$I_{L(rms)} = \sqrt{I_{OUT}^2 + \frac{1}{12} \times \left(\frac{V_{OUT} \times (V_{IN(max)} - V_{OUT})}{V_{IN(max)} \times L_{OUT} \times F_{SW}} \right)^2} \quad (3)$$

$$I_{L(peak)} = I_{OUT} + \frac{I_{OUT(ripple)}}{2} \quad (4)$$

在瞬态和短路条件下，电感器电流可能会增至器件的电流限值，因此可以安全地选择饱和电流高于电流限制条件下的峰值电流的电感器。

7.2.2.1.2 输出电容器选型

选择电感器后，需要优化输出电容器。在 D-CAP3 控制模式下，稳压器会在一个周期内对占空比的变化作出反应，因此无需大量输出电容即可实现良好的瞬态性能。表 7-3 给出了建议的输出电容范围。

陶瓷电容器具有非常低的 ESR，否则电容器的最大 ESR 必须小于 V_{OUT(ripple)}/I_{OUT(ripple)}。

表 7-3. 建议的元件值

V _{OUT} (V)	F _{SW} (kHz)	L _{OUT} (μH)	C _{OUT(min)} (μF)	C _{OUT(max)} (μF)
1.065	600	0.68	88	142
	600	0.56	88	142
	600	0.47	88	142
1.8	580	6.8	20	66
	580	4.7	20	66
	580	3.3	20	66

对于 VDDQ 输出，建议使用高质量 X5R 或 X7R 10μF 电容器，并建议将 0.47μF 用于 VDDQREF 输出。

7.2.2.1.3 输入电容器选型

根据应用，TPS51488 需要在电源输入引脚 PVIN 和 PVIN_VDD1 上使用输入去耦电容器，还需使用大容量电容器。方程式 5 中给出了所需的最小输入电容。

$$C_{IN(min)} = \frac{I_{OUT} \times V_{OUT}}{V_{IN(ripple)} \times V_{IN} \times F_{SW}} \quad (5)$$

TI 建议在 VDD2 降压输入电压引脚 PVIN 上使用 30μF 的高质量 X5R 或 X7R 输入去耦电容器，在 VDD1 降压输入电压引脚 PVIN_VDD1 上使用 10μF 的电容器。输入电容器上的额定电压必须高于最高输入电压。电容器的纹波电流额定值也必须大于应用的最大输入电流纹波。输入纹波电流通过 [方程式 6](#) 计算得出：

$$I_{CIN(rms)} = I_{OUT} \times \sqrt{\frac{V_{OUT}}{V_{IN(min)}} \times \frac{(V_{IN(min)} - V_{OUT})}{V_{IN(min)}}} \quad (6)$$

从 PVIN 到地以及从 PVIN_VDD1 到地的额外 0.1μF 电容器是可选的，可用于提供额外的高频滤波。建议将一个 10μF 陶瓷电容器作为 VLDOIN 引脚上的去耦电容器，以在 VDDQ LDO 块上提供稳定的电源。VCC_5V 输入上的去耦电容器需要一个 1μF 陶瓷电容器。

7.2.2.1.4 自举电容器和电阻器选型

建议在 BST 和 SW 引脚之间串联一个 0.1μF 的陶瓷电容和一个 5.1Ω 的电阻器，以确保正常工作。TI 建议使用陶瓷电容器。

7.2.3 应用曲线

图 7-2 至图 7-29 适用于图 7-1 的电路。V_{IN} = 12V, T_A = 25°C (除非另有规定)。

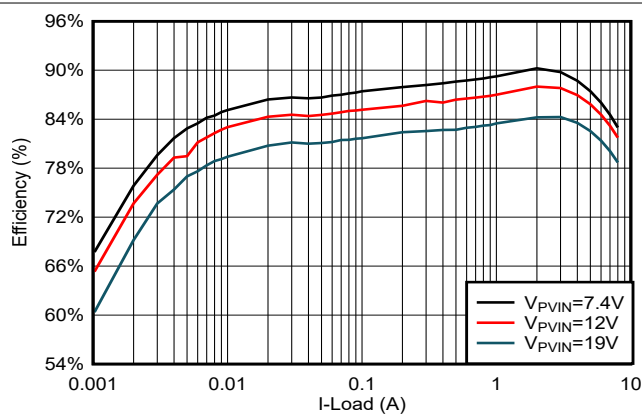


图 7-2. VDD2 效率曲线 (V_{OUT} = 1.065V)

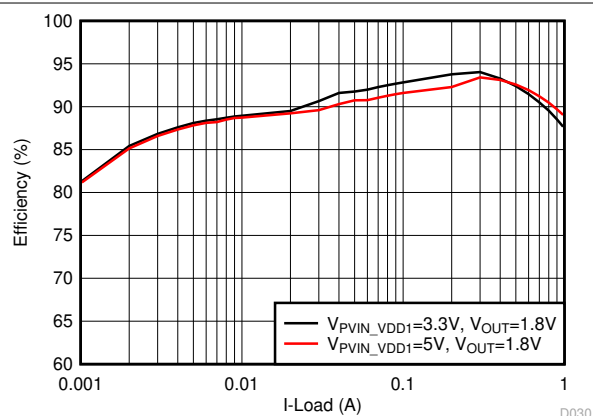


图 7-3. VDD1 效率曲线 (V_{OUT} = 1.8V)

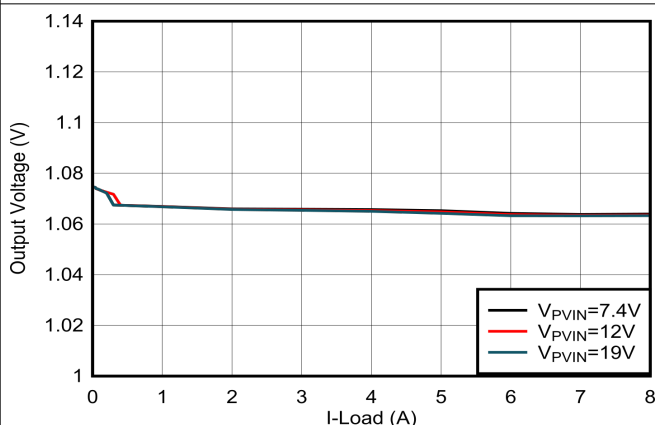


图 7-4. VDD2 负载调整率, V_{OUT} = 1.065V

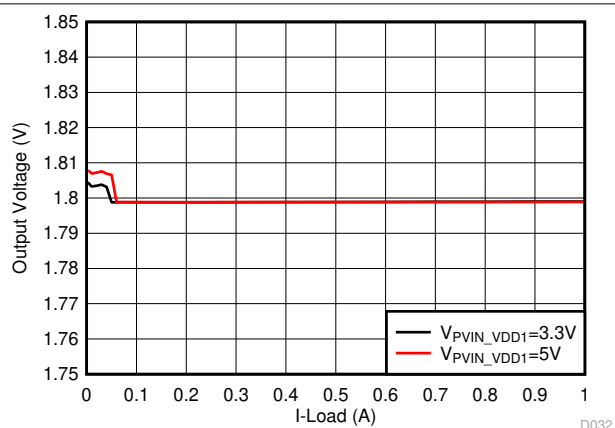


图 7-5. VDD1 负载调整率, V_{OUT} = 1.8V

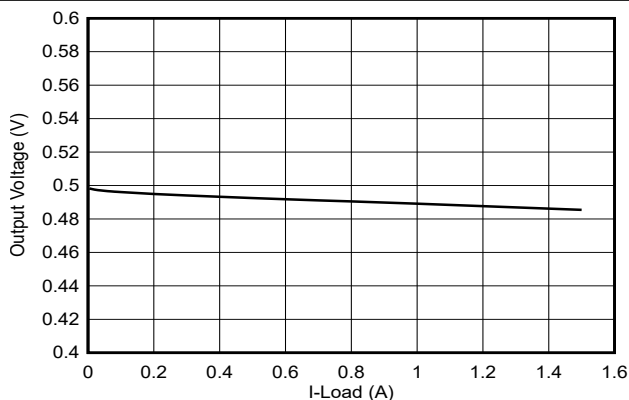


图 7-6. VDDQ 负载调整率, V_{OUT} = 0.5V

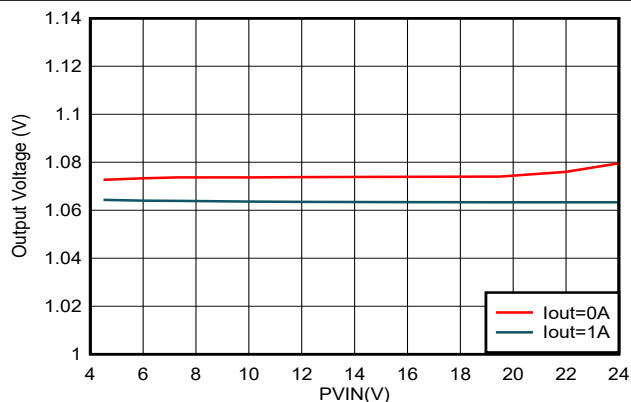


图 7-7. VDD2 线性调整率, V_{OUT} = 1.065V

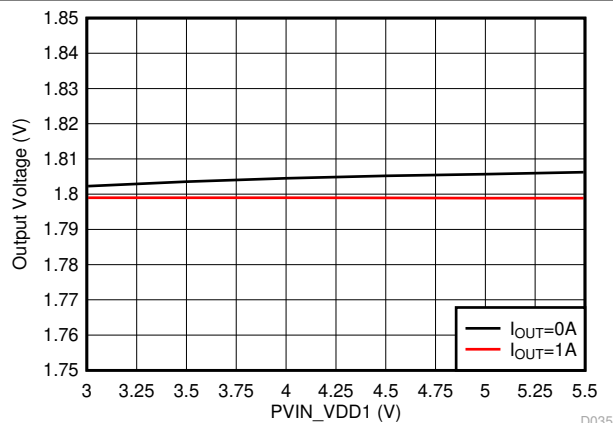
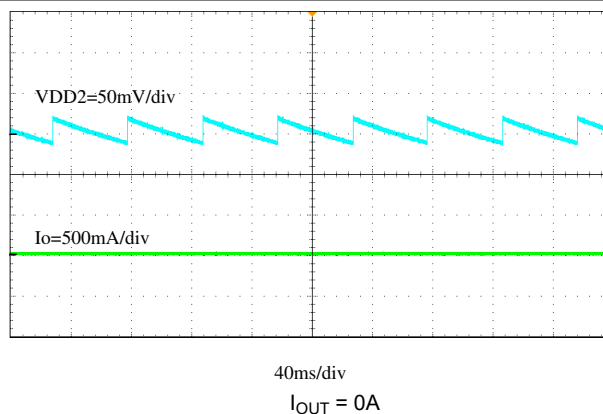
图 7-8. VDD1 线路调节, $V_{OUT} = 1.8V$ 

图 7-9. VDD2 输出电压纹波

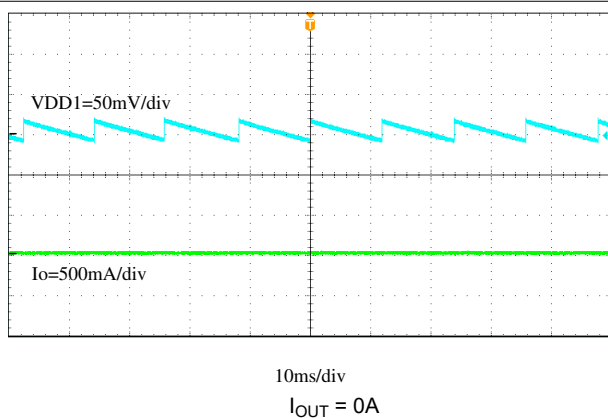


图 7-10. VDD1 输出电压纹波

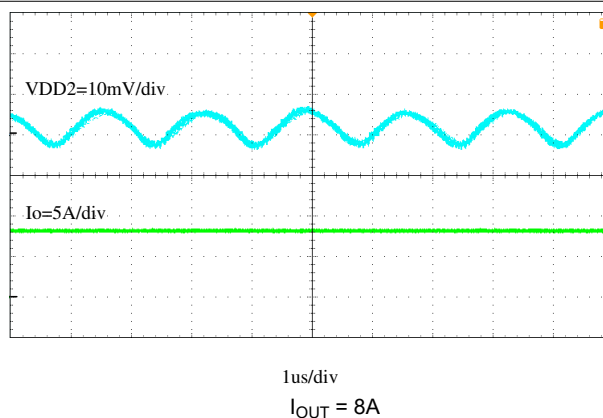


图 7-11. VDD2 输出电压纹波

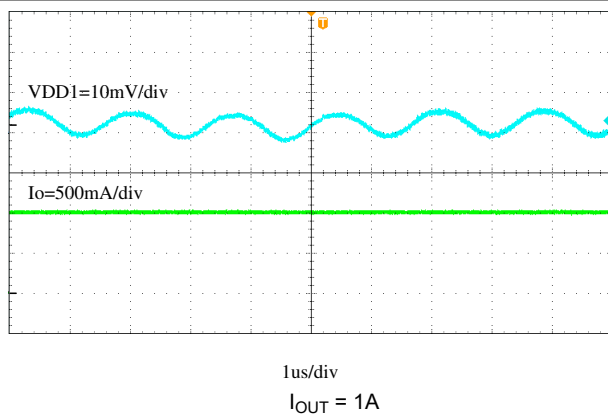


图 7-12. VDD1 输出电压纹波

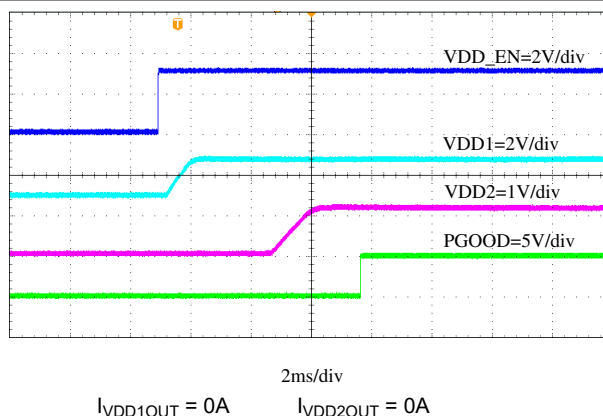
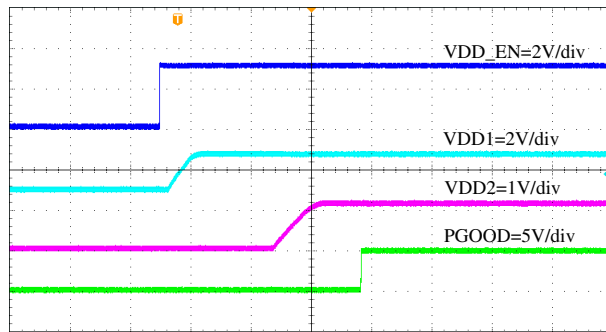
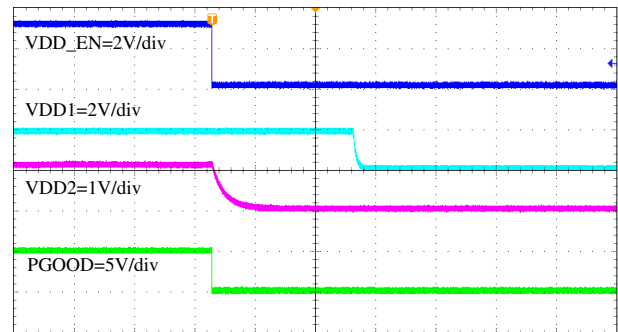


图 7-13. 通过 VDD_EN 启动



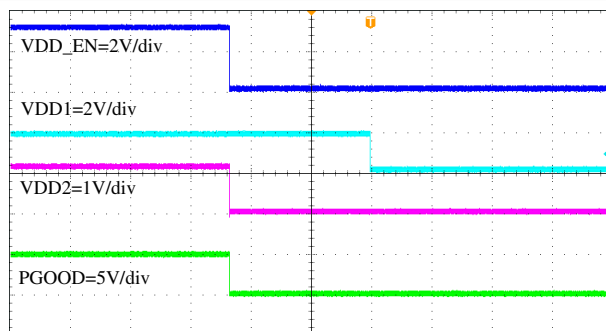
2ms/div
 $I_{VDD1OUT} = 1A$ $I_{VDD2OUT} = 8A$

图 7-14. 通过 VDD_EN 启动



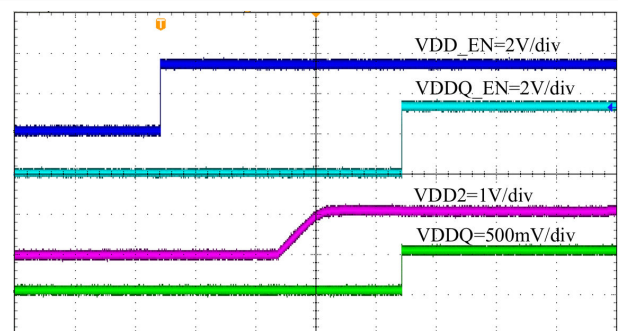
20ms/div
 $I_{VDD1OUT} = 0A$ $I_{VDD2OUT} = 0A$

图 7-15. 通过 VDD_EN 关断



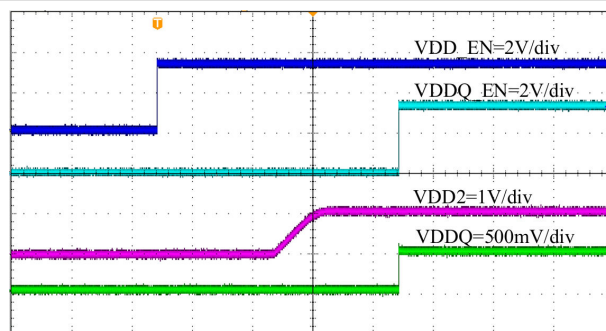
20ms/div
 $I_{VDD1OUT} = 1A$ $I_{VDD2OUT} = 8A$

图 7-16. 通过 VDD_EN 关断



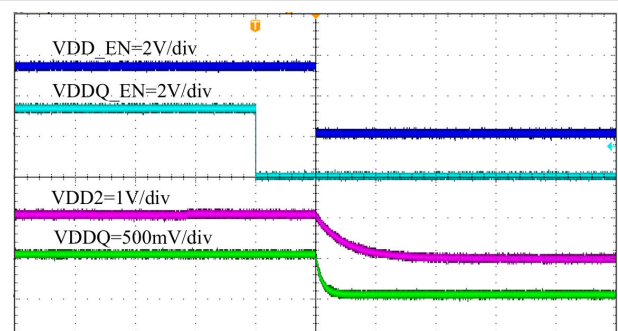
2ms/div
 $I_{VDD2OUT} = 0A$ $I_{VDDQ} = 0A$

图 7-17. VDDQ 通过 VDDQ_EN 启动



2ms/div
 $I_{VDD2OUT} = 8A$ $I_{VDDQ} = 1.5A$

图 7-18. VDDQ 通过 VDDQ_EN 启动



10ms/div
 $I_{VDD2OUT} = 0A$ $I_{VDDQ} = 0A$

图 7-19. VDDQ 通过 VDDQ_EN 关断

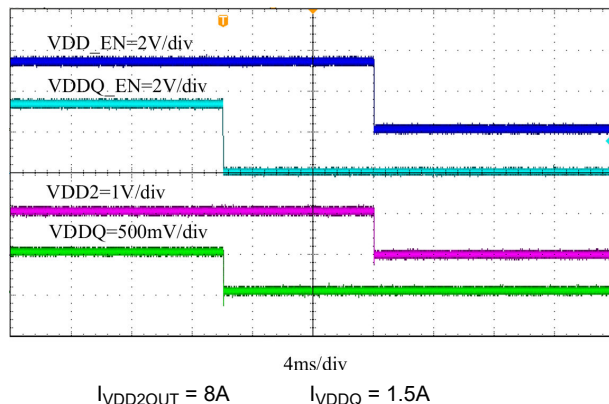


图 7-20. VDDQ 通过 VDDQ_EN 关断

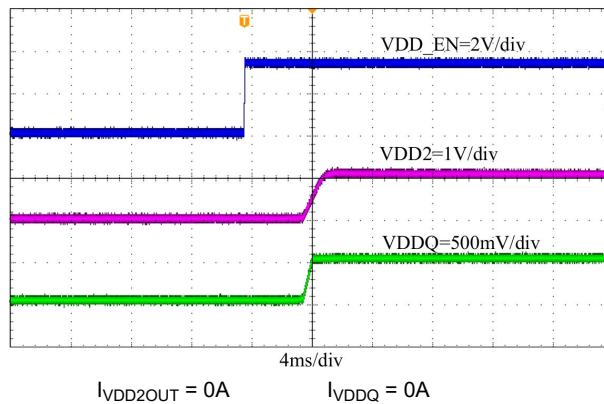


图 7-21. VDDQ 通过 VDD_EN 启动

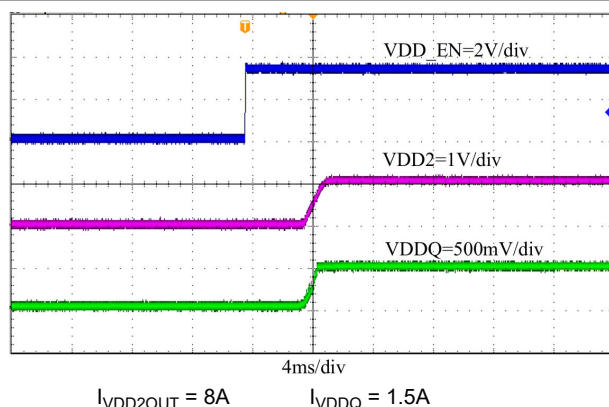


图 7-22. VDDQ 通过 VDD_EN 启动

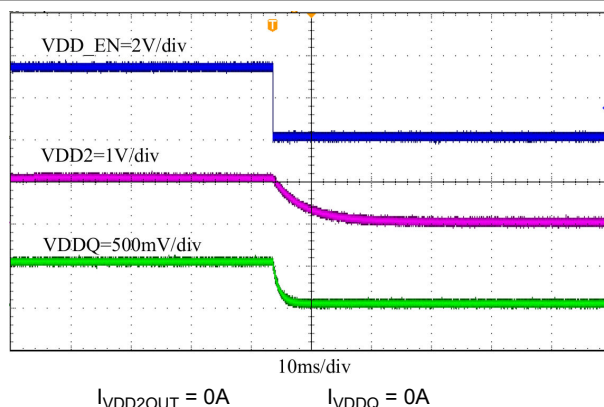


图 7-23. VDDQ 通过 VDD_EN 关断

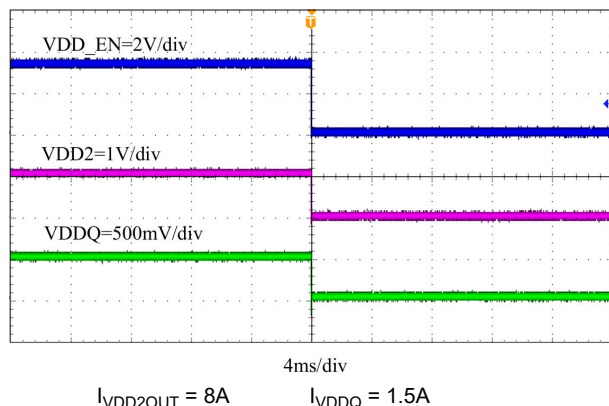


图 7-24. VDDQ 通过 VDD_EN 关断

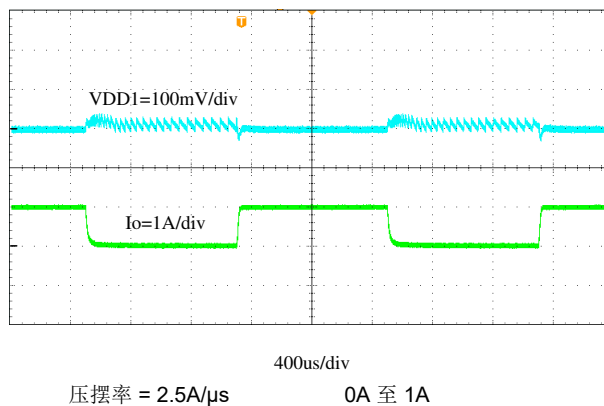
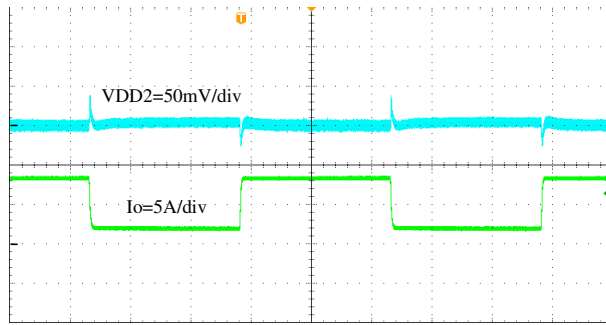
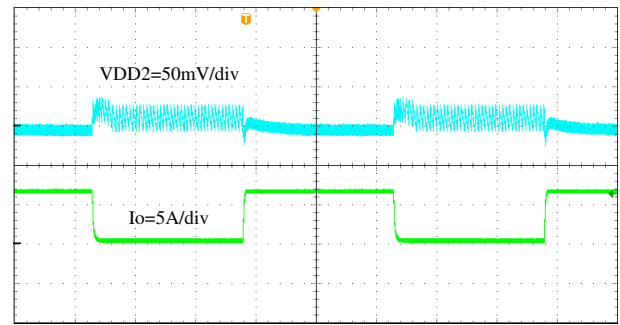


图 7-25. VDD1 瞬态响应



压摆率 = 2.5A/ μ s
1.6A 至 8A

图 7-26. VDD2 瞬态响应



压摆率 = 2.5A/ μ s
0.1A 至 6.4A

图 7-27. VDD2 瞬态响应

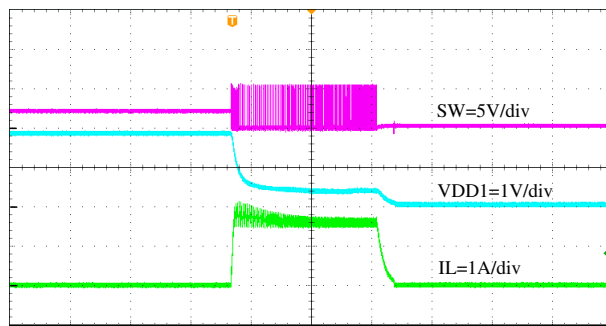


图 7-28. VDD1 正常运行至输出硬短路

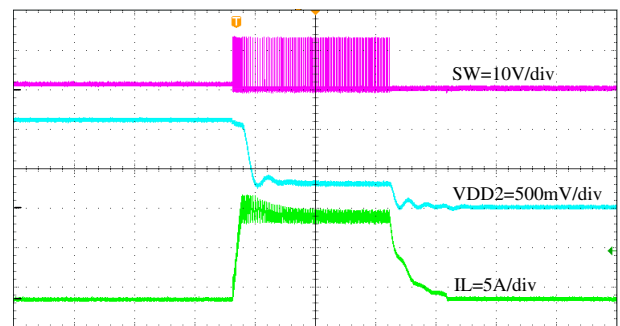


图 7-29. VDD2 正常运行至输出硬短路

7.3 电源相关建议

TPS51488 旨在实现 LPDDR5 完整电源设计。

- PVIN 是 VDD2 降压的电源输入。
- PVIN_VDD1 是 VDD1 降压的电源输入。
- VLDOIN 输入用于 VDDQ LDO 电源。
- VCC_5V 是内部控制逻辑的电源。

下文列出了上电序列场景。

- 在 PVIN 或 PVIN_VDD1 具有电源输入之前，VDD_EN 为高电平。VCC_5V 电源必须在 PVIN 或 PVIN_VDD1 之后或与其同时提供，否则输出会被锁存。可以通过切换 VDD_EN 引脚或者为 VCC_5V 重新供电来恢复该锁存器。
- 在 PVIN 和 PVIN_VDD1 具有电源输入之前，VDD_EN 为低电平，因此 VCC_5V、PVIN 和 PVIN_VDD1 没有电源输入序列要求。

7.4 布局

7.4.1 布局指南

- TI 建议采用四层 PCB，以获得良好的热性能和更大的接地层。例如，使用具有 2oz 覆铜的 3 英寸 × 3 英寸四层 PCB。
- 将去耦电容器放置在 PVIN、PVIN_VDD1 和 VLDOIN 之间，并尽可能靠近。
- 将输出电感器和具有 IC 的电容器放在同一层。SW 布线必须尽可能短，以最大程度地降低 EMI，并且必须是宽平面以承载大电流。必须向输出电容器的 PGND 连接添加足够的过孔，并且过孔应尽可能靠近输出引脚。在 VDD1 扼流圈和 VDD2 扼流圈之间保留一些空间，仅更大限度地减少辐射串扰。

- 将 BST 电阻器和电容器与 IC 放置在同一层，靠近 BST 和 SW 平面，建议使用宽度大于 15mil 的布线以减少线路寄生电感。
- VDD1SNS/VDD2SNS/VDDQSNS 可为 10mil 宽，并且必须远离开关节点、BST 节点或其他高效率信号。
- PVIN 和 PVIN_VDD1 布线必须较宽以降低布线阻抗并提供足够的电流能力。
- 用于 VDDQ 和 VDDQREF 的输出电容器必须尽量靠近输出引脚放置。

7.4.2 布局示例

图 7-30 展示了建议的顶面布局。元件参考标号与图 7-1 中所示电路一致。

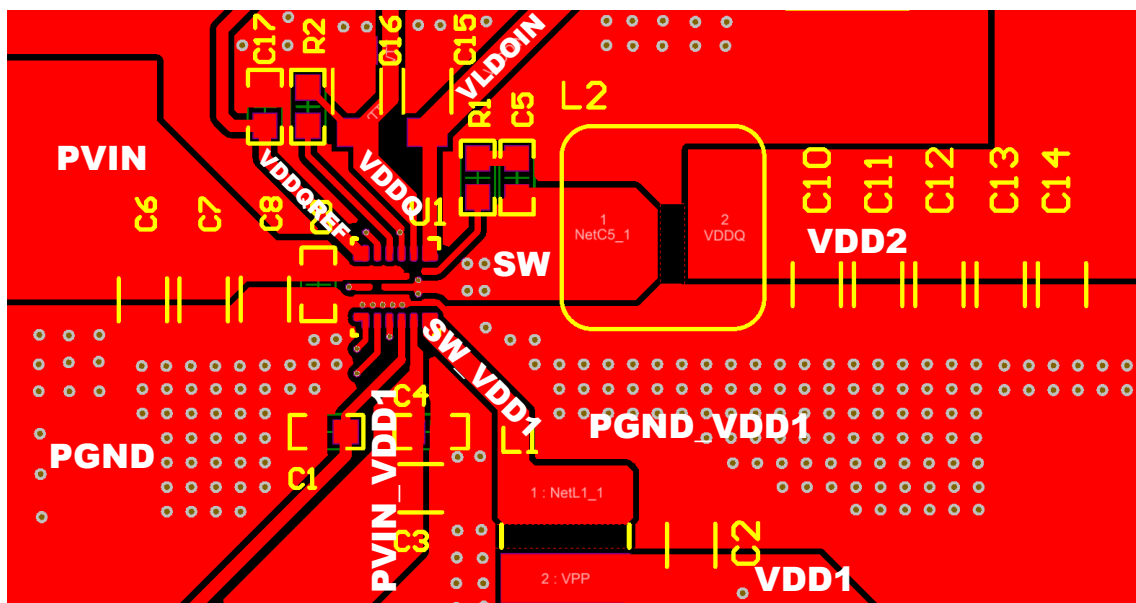


图 7-30. 顶面布局

8 器件和文档支持

8.1 器件支持

8.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.4 商标

D-CAP3™, HotRod™, and TI E2E™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (August 2021) to Revision A (May 2026)		Page
• 首次公开发布数据表.....		1
• 通篇删除了 Eco-mode 中的商标符号.....		1
• 更改了 ESD 等级描述.....		4

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS51488RJER	Active	Production	VQFN-HR (RJE) 18	3000 LARGE T&R	Yes	Call TI Sn	Level-2-260C-1 YEAR	-40 to 125	T51488

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

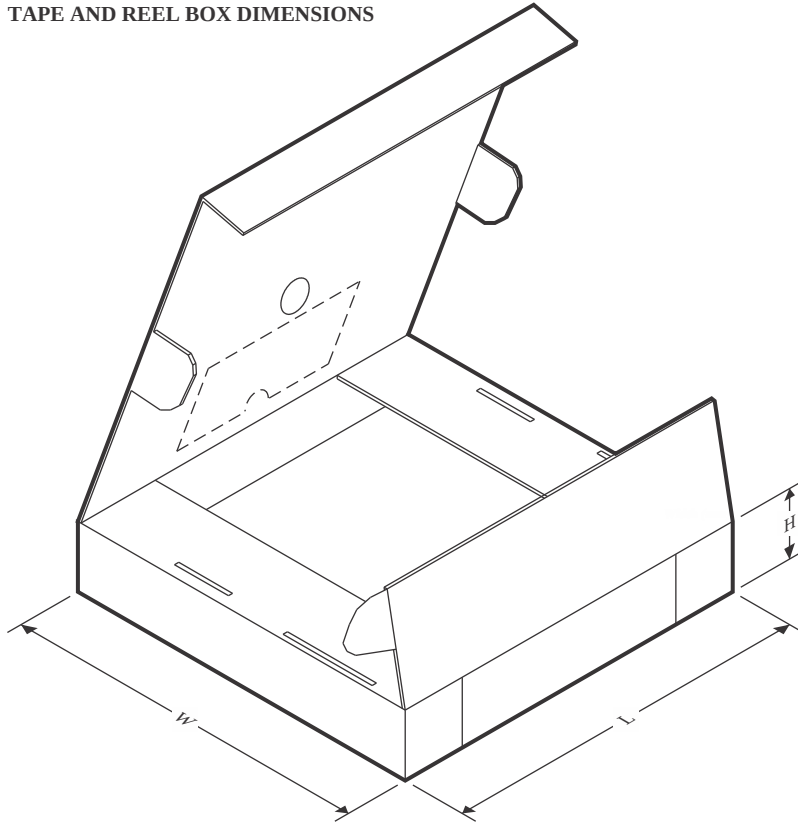
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS51488RJER	VQFN-HR	RJE	18	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

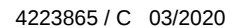
TAPE AND REEL BOX DIMENSIONS



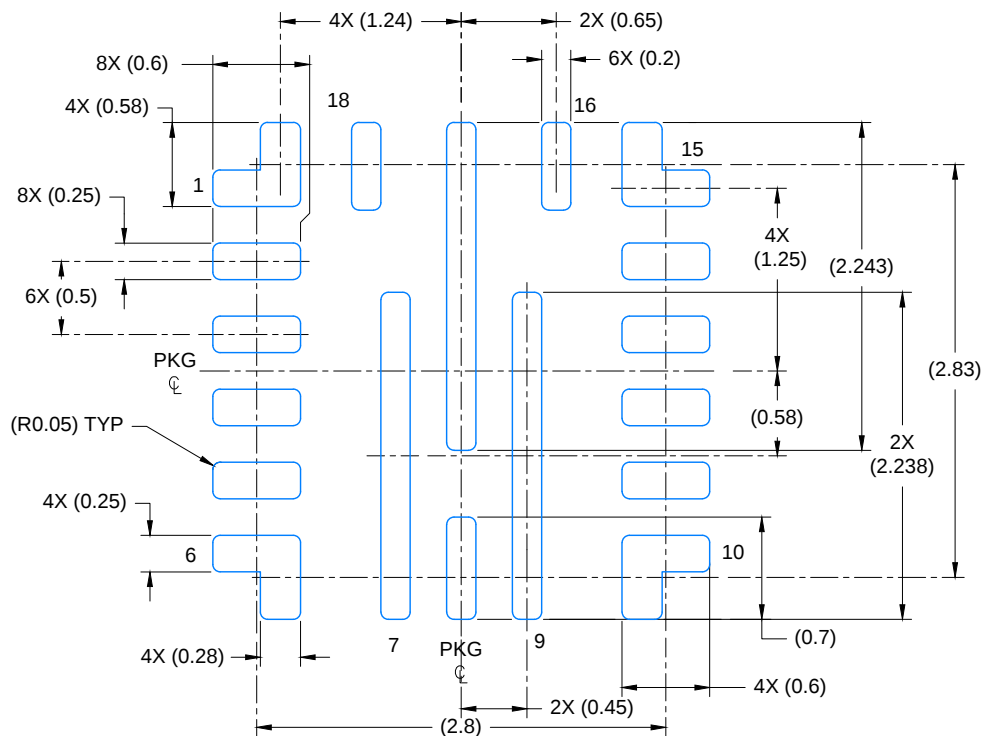
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS51488RJER	VQFN-HR	RJE	18	3000	367.0	367.0	35.0

PLASTIC QUAD FLATPACK- NO LEAD



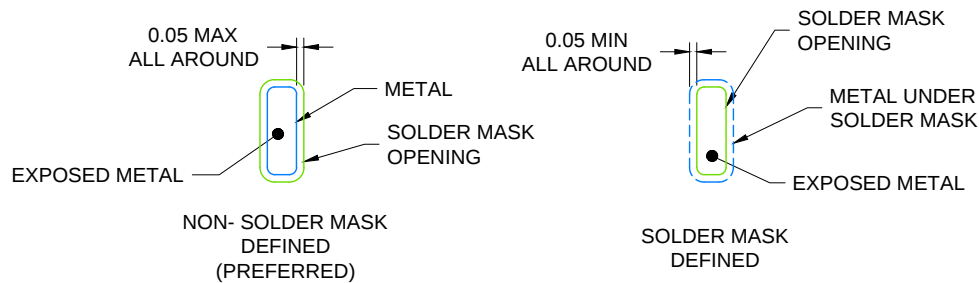
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN

SCALE: 20X

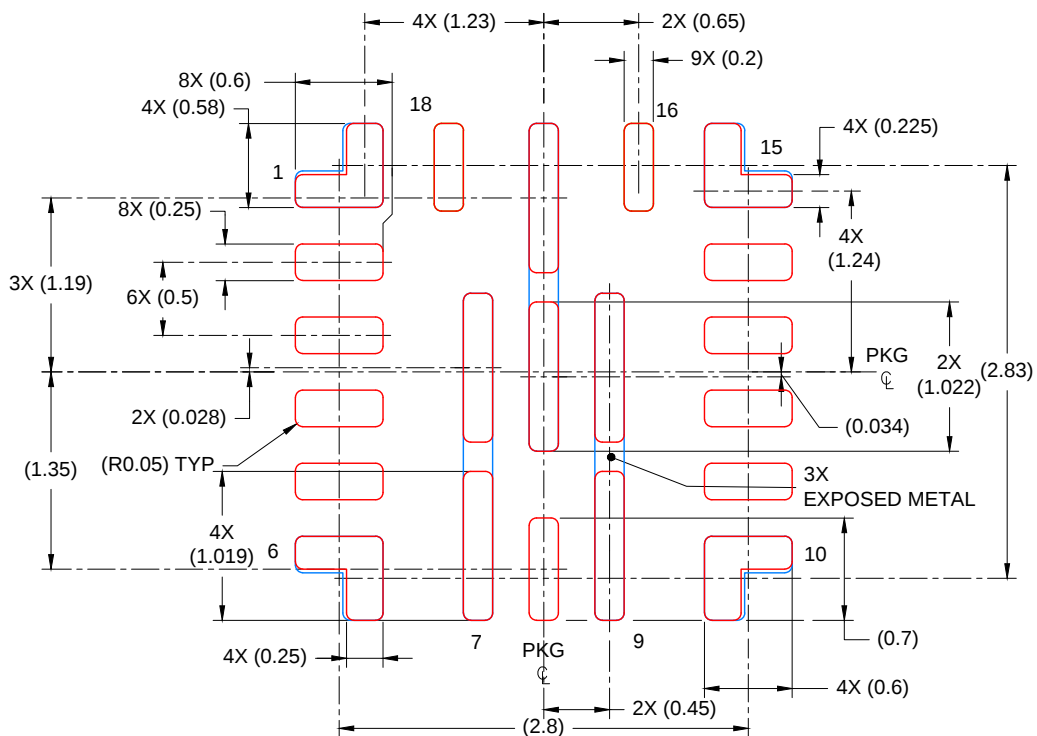


SOLDER MASK DETAILS

4223865 / C 03/2020

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
4. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
 BASED ON 0.1 mm THICK STENCIL

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
 PADS 1, 6, 10 & 15: 93% & PADS 7-9, 17: 89%
 SCALE: 20X

4223865 / C 03/2020

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations..

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月