TPS4813-Q1 具有低功耗模式和可调节负载唤醒触发器的 100V 低 I_Q 汽车级高侧驱动器

1 特性

- 符合 AEC-Q100 汽车级 1 级温度标准
  - 器件温度等级 1：–40°C 至 +125°C 环境工作温度范围
- 功能安全型
  - 可提供用于功能安全系统设计的文档
- 3.5V 至 95V 输入范围（绝对最大值为 100V）
- 反向输入保护低至 –65V
- 集成 11V 电荷泵
- 低静态电流，在低功耗模式下（$\overline{LPM}$ = 低电平时）为 35µA
- 1µA（典型值）低关断电流（EN/UVLO = 低电平）
- 强栅极驱动（G1PU/G1PD：1.69A 拉电流和 2A 灌电流）
- 可调节短路保护 (ISCP)，具有可调节响应时间 (TMR) 和故障标志输出 ($\overline{FLT}$)
- 从低功耗模式快速转换到工作模式，具有唤醒指示
  - 通过外部 $\overline{LPM}$ 触发器从低功耗路径切换到主路径（低电平到高电平）的时间为 8µs
  - 可调节负载唤醒阈值 (I_{LWU})，可从低功耗路径切换到主路径（所需时间为 6µs）
- 在短路故障、电荷泵欠压和输入欠压期间提供故障指示 ($\overline{FLT}$)
- 可调节输入欠压锁定 (UVLO)
- 短路比较器诊断 (SCP_TEST)

2 应用

- 汽车类 48V 锂离子电池
- 配电盒

3 说明

TPS48130-Q1 是一款具有保护和诊断功能的 100V 低 I_Q 智能高侧驱动器。该器件具有 3.5V 至 95V 的宽工作电压范围，适用于 12V、24V 和 48V 系统设计。该器件可以承受低至 –65V 的负电源电压并保护负载免受这些电压的影响。

TPS48130-Q1 集成了两个栅极驱动器，在主路径中具有驱动 MOSFET 的 1.69A 拉电流和 2A 灌电流能力，在低功耗路径中具有 165µA 拉电流和 2A 灌电流能力。

在 $\overline{LPM}$ 为低电平的低功耗模式下，低功耗路径 FET 保持导通，而主 FET 关断。在此模式下，该器件具有低的 I_Q 消耗，为 35µA（典型值）。可使用 ISCP/LWU 引脚调整进入工作状态的自动负载唤醒阈值。在 EN/UVLO 处于低电平时，I_Q 降至 1µA（典型值）。

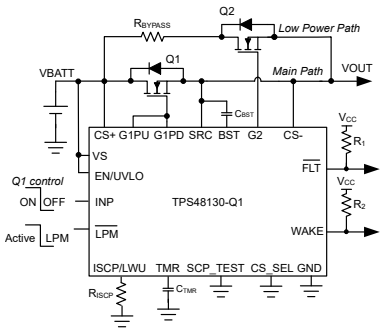
该器件使用 MOSFET VDS 检测或外部 R_{SNS} 电阻器来提供可调节的短路保护。可以配置自动重试和锁存故障行为。该器件还通过对 SCP_TEST 输入的外部控制来诊断内部短路比较器。

TPS48130-Q1 可采用 19 引脚 VSSOP 封装。

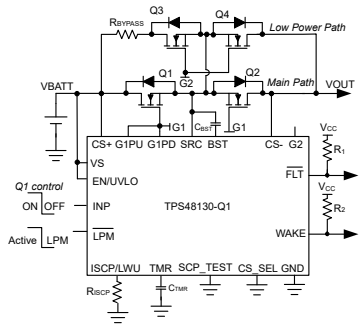
封装信息

器件型号	封装(1)	封装尺寸(2)
TPS48130-Q1	DGX（VSSOP，19）	5.1mm × 3.0mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



常开型汽车级电子保险丝



常开型汽车级电子保险丝驱动背对背 FET

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....5
5.1 绝对最大额定值.....5
5.2 ESD 等级.....5
5.3 建议运行条件.....5
5.4 热性能信息.....6
5.5 电气特性.....6
5.6 开关特性.....7
5.7 典型特性.....9
6 参数测量信息.....11
7 详细说明.....13
7.1 概述.....13
7.2 功能方框图.....13
7.3 特性说明.....14
7.4 器件功能模式.....23
8 应用和实施.....28
8.1 应用信息.....28
8.2 典型应用 1：使用自动负载唤醒功能来驱动全时供电 (PAAT) 负载.....28
8.3 典型应用 2：使用自动负载唤醒和输出大容量电容器充电功能来驱动全时供电 (PAAT) 负载.....33
8.4 TIDA-020065：使用自动负载唤醒、输出大容量电容器充电、双向电流检测和软件 I^2t 驱动全时供电 (PAAT) 负载的汽车级智能保险丝参考设计.....36
8.5 电源相关建议.....36
8.6 布局.....37
9 器件和文档支持.....39
9.1 接收文档更新通知.....39
9.2 支持资源.....39
9.3 商标.....39
9.4 静电放电警告.....39
9.5 术语表.....39
10 修订历史记录.....39
11 机械、封装和可订购信息.....39

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

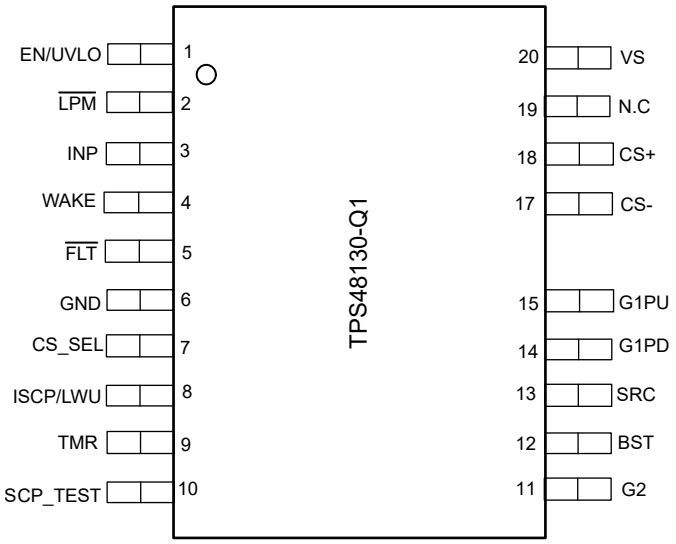


图 4-1. DGX 封装，19 引脚 VSSOP（顶视图）

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
EN/UVLO	1	I	EN/UVLO 输入。此引脚上的电压高于 $V_{(ENR)}$ 将实现正常运行。如果 EN/UVLO 低于 $V_{(ENF)}$，则栅极驱动器将关闭，且 $\overline{FLT}$ 将置为低电平有效。 强制此引脚低于 $V_{(ENF)}$ (0.3V) 可关断器件，从而降低静态电流。（可选）通过电阻分压器连接到输入电源以设置欠压锁定。 当 EN/UVLO 保持悬空时，100nA 的内部下拉会将 EN/UVLO 拉至低电平并使器件保持关断状态。
$\overline{LPM}$	2	I	低功耗模式输入。当被驱动为高电平时，器件将进入工作模式。当被驱动为低电平时，器件将进入低功耗模式。 $\overline{LPM}$ 具有下拉至 GND 的 100nA 内部弱下拉，可在 $\overline{LPM}$ 悬空时使 G2 保持高电平。
INP	3	I	用于外部 FET 控制的输入信号。对 GND 的 CMOS 兼容输入基准，可设置 G1PD 和 G1PU 引脚的状态。 INP 具有下拉至 GND 的 100nA 内部弱下拉，可在 INP 悬空时使 G1PD 拉至 SRC。
WAKE	4	O	开漏唤醒输出。当器件进入工作模式时（当 $\overline{LPM}$ 被驱动为高电平或当发生负载唤醒事件时），此引脚将置为低电平有效。
$\overline{FLT}$	5	O	开漏故障输出。在短路故障、电荷泵 UVLO、输入 UVLO 和 SCP 比较器诊断期间，此引脚将置为低电平有效。如果不需要 $\overline{FLT}$ 功能，请将其连接到 GND。
GND	6	G	将 GND 连接到系统地。
CS_SEL	7	—	保留供将来使用。连接至 GND。
ISCP/LWU	8	I	短路检测和负载唤醒阈值设置。 工作模式期间（$\overline{LPM}$ = 高电平）G1 的 SCP 控制以及低功耗模式期间（$\overline{LPM}$ = 低电平）G2 的负载唤醒控制。
TMR	9	I	故障计时器输入。TMR 引脚与 GND 之间的电容器可设置故障关断时间。保持开路将获得最快的设置 (< 10µs)。将 ISCP/LWU 和 TMR 引脚连接到 GND 将禁用过流保护。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型(1)	说明
名称	编号		
SCP_TEST	10	I	内部短路比较器 (SCP) 诊断输入。 如果在 INP 拉至高电平的情况下将 SCP_TEST 驱动为低电平至高电平，则会检查内部 SCP 比较器的运行情况。如果 SCP 比较器正常运行，则 $\overline{FLT}$ 变为低电平，而 G1PD 被拉至 SRC。 如果不需要此功能，请将 SCP_TEST 引脚连接到 GND。 SCP_TEST 具有下拉至 GND 的 100nA 内部弱下拉。
G2	11	O	低功耗模式 FET 栅极驱动输出。它具有 165μA 上拉电流和 2A 灌电流能力。
BST	12	O	高侧自举电源。必须在此引脚和 SRC 之间连接一个最小值超过外部 FET $Q_{g(tot)}$ 的外部电容器。
SRC	13	O	外部 FET 的源极连接。
G1PD	14	O	大电流栅极驱动器下拉。此引脚下拉至 SRC。为了实现最快的关断，请将此引脚直接连接到外部高侧 MOSFET 的栅极。
G1PU	15	O	大电流栅极驱动器上拉。此引脚上拉至 BST。将此引脚连接到 G1PD 可获得最大栅极驱动转换速度。在此引脚和外部 MOSFET 的栅极之间可以连接一个电阻器来控制开通期间的浪涌电流。
CS-	17	I	电流检测负输入。
CS+	18	I	电流检测正输入。
N.C	19	—	无连接。
VS	20	P	控制器的电源引脚。

(1) I = 输入，O = 输出，I/O = 输入和输出，P = 电源，G = 地

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
输入引脚	VS、CS+、CS– 至 GND	-65	100	V
	SRC 至 GND	-65	100	
	G1PU、G1PD、G2、BST 至 SRC	-0.3	19	
	ISCP/LWU、TMR、SCP_TEST 至 GND	-0.3	5.5	
	EN/UVLO、$\overline{LPM}$、INP、CS_SEL，$V_{(VS)}$ > 0V	-1	70	
	EN/UVLO、$\overline{LPM}$、INP、CS_SEL，$V_{(VS)}$ ≤ 0V	$V_{(VS)}$	(70 + $V_{(VS)}$)	
	CS+ 至 CS–	-1	100	V
	$\overline{FLT}$、WAKE 至 GND	-1	20	V
灌电流	$I_{(\overline{FLT})}$、$I_{(WAKE)}$		10	mA
	$I_{(CS+)}$、$I_{(CS-)}$，1ms	-100	100	mA
输出引脚	G1PU、G1PD、G2、BST 至 GND	-65	112	V
工作结温，T_j (2)		-40	150	°C
贮存温度，T_{stg}		-55	150	

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 高结温会缩短工作寿命。结温高于 125°C 时，工作寿命会缩短。

5.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)		±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 标准	转角引脚（EN/UVLO、VS、SCP_TEST、G2）	±750	
			其他引脚	±500	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	标称值	最大值	单位
输入引脚	VS 至 GND	3.5		95	V
	用于短路保护的 VS 引脚上的最小电压	4			
	EN/UVLO、INP、$\overline{LPM}$ 至 GND	0		65	
输出引脚	$\overline{FLT}$、WAKE 至 GND	0		15	V
外部电容器	VS、SRC 至 GND	22			nF
	BST 至 SRC	0.1			µF
Tj	工作结温(2)	-40		150	°C

(1) 建议运行条件是器件可正常运行的条件。有关规格和测试条件，请参阅“电气特性”。
(2) 高结温会缩短工作寿命。结温高于 125°C 时，工作寿命会缩短。

Copyright © 2025 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		TPS4813-Q1 DGX 19 引脚	单位
$R_{\theta JA}$	结至环境热阻	92.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	28.6	°C/W
$R_{\theta JB}$	结至电路板热阻	47.5	°C/W
Ψ_{JT}	结至顶部特征参数	0.6	°C/W
Ψ_{JB}	结至电路板特征参数	47.2	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

5.5 电气特性

T_J = –40°C 至 +125°C。$V_{(VS)}$ = 12V，$V_{(BST-SRC)}$ = 11V

参数		测试条件	最小值	典型值	最大值	单位
电源电压						
VS	工作输入电压		3.5		95	V
$V_{(S_PORR)}$	输入电源 POR 阈值，上升		1.86	2.55	3.29	V
$V_{(S_PORF)}$	输入电源 POR 阈值，下降		1.73	2.36	3.02	V
$I_{(Q)}$	工作模式下的系统总静态电流，$I_{(GND)}$	$V_{(EN/UVLO)}$ = $V_{(\overline{LPM})}$ = 2V		43	55	µA
	低功耗模式下的系统总静态电流，$I_{(GND)}$	$V_{(EN/UVLO)}$ = 2V，$V_{(\overline{LPM})}$ = 0V		35	44	µA
		$V_{(EN/UVLO)}$ = 2V，$V_{(\overline{LPM})}$ = 0V，–40°C ≤ T_J ≤ +85°C			43	µA
$I_{(SHDN)}$	SHDN 电流，$I_{(GND)}$	$V_{(EN/UVLO)}$ = 0V，$V_{(SRC)}$ = 0V		1	3.3	µA
$I_{(REV)}$	反极性期间的漏电流，$I_{(VS)}$	$V_{(VS)}$ = –40V	11	13	23	µA
使能、欠压锁定 (EN/UVLO)、短路比较器测试 (SCP_TEST) 输入						
$V_{(UVLOR)}$	UVLO 阈值电压，上升		1.176	1.23	1.287	V
$V_{(UVLOF)}$	UVLO 阈值电压，下降		1.06	1.13	1.184	V
$V_{(ENR)}$	低 Iq 关断使能阈值电压，上升				1	V
$V_{(ENF)}$	低 Iq 关断使能阈值电压，下降		0.3			V
$I_{(EN/UVLO)}$	使能输入漏电流	$V_{(EN/UVLO)}$ = 12V		180	309	nA
$V_{(SCP_TEST_H)}$	SCP 测试模式上升阈值				2	V
$V_{(SCP_TEST_L)}$	SCP 测试模式下降阈值		0.8			V
$I_{(SCP_TEST)}$	SCP_TEST 输入漏电流			90	700	nA
电荷泵 (BST-SRC)						
$I_{(BST)}$	电荷泵电源电流	$V_{(BST-SRC)}$ = 10V，$V_{(EN/UVLO)}$ = 2V	196	345	484	µA
$V_{(BST_UVLOR)}$	$V_{(BST-SRC)}$ UVLO 电压阈值，上升	$V_{(EN/UVLO)}$ = 2V	8.1	9	9.9	V
$V_{(BST_UVLOF)}$	$V_{(BST-SRC)}$ UVLO 电压阈值，下降	$V_{(EN/UVLO)}$ = 2V	7.3	8.2	8.9	V
$V_{(BST-SRC_ON)}$	电荷泵导通电压	$V_{(EN/UVLO)}$ = 2V	9.3	10.3	11.4	V
$V_{(BST-SRC_OFF)}$	电荷泵关断电压	$V_{(EN/UVLO)}$ = 2V	10.4	11.6	12.8	V
$V_{(BST-SRC)}$	$V_{(VS)}$ = 3.5V 时的电荷泵电压	$V_{(EN/UVLO)}$ = 2V	9.1	10.5	11.62	V
$V_{(G1_GOOD)}$	G1 正常上升阈值		5.5	7	8.3	V
$V_{(G2_GOOD)}$	G2 正常上升阈值		5.5	7	8.3	V
栅极驱动器输出（G1PU、G1PD、G2）						
$I_{(G2)}$	G2 拉电流		134	165	189	µA
$I_{(G2)}$	G2 峰值灌电流			2		A

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

T_J = –40°C 至 +125°C。$V_{(VS)}$ = 12V，$V_{(BST-SRC)}$ = 11V

参数		测试条件	最小值	典型值	最大值	单位
$I_{(G1PU)}$	峰值拉电流			1.69		A
$I_{(G1PD)}$	峰值灌电流			2		A
短路保护和负载唤醒阈值 (ISCP/LWU)						
$I_{SCP/LWU}$	SCP/LWU 输入偏置电流		8.4	10	12.33	µA
$V_{(SCP_HS)}$	HS 配置的 SCP 阈值	$V_{(ISCP)}$ = 1.405V，CS_SEL = 0V	277	300	332	mV
$V_{(SCP/LWU)}$	SCP/LWU 阈值	$R_{(ISCP/LWU)}$ = 140.5kΩ		300		mV
		$R_{(ISCP/LWU)}$ = 28kΩ	60	75	90	mV
		$R_{(ISCP/LWU)}$ = 10.5kΩ	32	40	48	mV
		$R_{(ISCP/LWU)}$ = 500Ω	15	20	25	mV
		$R_{(ISCP/LWU)}$ = 开路			757	mV
延迟计时器(TMR)						
$I_{(TMR_SRC_CB)}$	TMR 源电流		67	87	104	µA
$I_{(TMR_SRC_FLT)}$	TMR 源电流		1.4	2.73	3.8	µA
$I_{(TMR_SNK)}$	TMR 灌电流		2.17	2.8	3.4	µA
$V_{(TMR_SC)}$			0.93	1.1	1.2	V
$V_{(TMR_LOW)}$			0.15	0.21	0.25	V
$N_{(A\text{-}R\ Count)}$				32		
输入控制（INP、$\overline{LPM}$）、故障 ($\overline{FLT}$) 和唤醒标志 (WAKE)						
$R_{(\overline{FLT})}$，$R_{(WAKE)}$	$\overline{FLT}$，WAKE 下拉电阻		53	82	106.6	Ω
$I_{(\overline{FLT})}$，$I_{(WAKE)}$	$\overline{FLT}$，WAKE 输入漏电流	0V ≤ $V_{(\overline{FLT})}$ ≤ 20V			410	nA
$V_{(INP_H)}$，$V_{(\overline{LPM}_H)}$					2	V
$V_{(INP_L)}$，$V_{(\overline{LPM}_L)}$			0.8			V
$I_{(INP)}$，$I_{(\overline{LPM})}$	INP，$\overline{LPM}$ 输入漏电流			89	206	nA

5.6 开关特性

T_J = –40°C 至 +125°C。$V_{(VS)}$ = 12V，$V_{(BST-SRC)}$ = 11V

参数		测试条件	最小值	典型值	最大值	单位
$t_{G1PU(INP_H)}$	INP 导通传播延迟	INP ↑ 至 G1PU ↑，C_L = 47nF	0.45		1.53	µs
$t_{G1PD(INP_L)}$	INP 关断传播延迟	INP ↓ 至 G1PD ↓，C_L = 47nF		0.24	0.6	µs
$t_{G2_ON(\overline{LPM})}$	工作模式到 LPM 模式转换延迟，G2 导通	$\overline{LPM}$ ↓ 至 G2 ↑		6.4		µs
$t_{G1_OFF(\overline{LPM})}$	工作模式到 LPM 模式转换延迟，G1 关断	$\overline{LPM}$ ↓，G2 ↑（高于 $V_{(G2_GOOD)}$）至 G1 ↓，WAKE ↑，$C_{L(G1)}$ = 47nF		3.5		µs
$t_{G2(WAKE_\overline{LPM})}$	LPM 模式到工作模式转换延迟，使用 $\overline{LPM}$ 触发器	$\overline{LPM}$ ↑，G1 ↑（高于 $V_{(G1_GOOD)}$）至 G2 ↓，WAKE ↓，$C_{L(G2)}$ = 47nF，$V_{(\overline{LPM})}$ = 0V		6.6		µs
$t_{G1(WAKE_\overline{LPM})}$	LPM 模式到工作模式转换延迟，使用 $\overline{LPM}$ 触发器	$\overline{LPM}$ ↑ 至 G1 ↑，C_L = 47nF	2	4.5	7.2	µs
$t_{G2(WAKE_LWU)}$	负载唤醒期间的 LPM 模式到工作模式转换延迟（G2 关断）	$V_{(CS+-CS-)}$ ↑ $V_{(SCP/LWU)}$，G1 ↑（高于 $V_{(G1_GOOD)}$）至 G2 ↓，WAKE ↓，C_L = 47nF，$V_{(\overline{LPM})}$ = 0V		6.9		µs
$t_{G1(WAKE_LWU)}$	负载唤醒期间的 LPM 模式到工作模式转换延迟（G1 导通）	$V_{(CS+-CS-)}$ ↑ $V_{(SCP/LWU)}$ 至 G1 ↑，C_L = 47nF，$V_{(\overline{LPM})}$ = 0V			3	µs
$t_{PD(EN_OFF)}$	EN 关断传播延迟	EN ↓ 至 G1PD ↓，C_L = 47nF	2.2	4.6	6	µs

Copyright © 2025 Texas Instruments Incorporated

5.6 开关特性（续）

T_J = –40°C 至 +125°C。$V_{(VS)}$ = 12V，$V_{(BST-SRC)}$ = 11V

参数		测试条件	最小值	典型值	最大值	单位
$t_{PD(UVLO_OFF)}$	UVLO 关断传播延迟	UVLO ↓ 至 G1PD ↓ 和 $\overline{FLT}$ ↓，C_L = 47nF	2.8	4.4	6	µs
$t_{PD(VS_OFF)}$	输入电源 (VS) 中断期间的 PD 关断延迟	VS ↓（越过 VPORF）至 G1PD ↓，C_L = 47nF，INP = EN/UVLO = 2V	25	42	69.5	µs
$t_{PU(VS_ON)}$	输入电源 (VS) 恢复期间的 PU 导通延迟	VS ↑（越过 VPORR）至 PU ↑，C_L = 47nF，INP = EN/UVLO = 2V，V，$V_{(BST-SRC)} > V_{(BST_UVLOR)}$	220		657	µs
t_{SC}	硬短路保护传播延迟	$V_{(CS+-CS-)}$ ↑ $V_{(SCP/LWU)}$ 至 G1PD ↓，CL = 47nF，$C_{(TMR)}$ = 开路，LPM = 2V			4	µs
t_{SC_PUS}	上电期间输出短路时的短路保护传播延迟	C_{TMR} = 开路			10	µs
$t_{PD(\overline{FLT}_SC)}$	短路期间的 $\overline{FLT}$ 置为有效延迟	$V_{(CS+-CS-)}$ ↑ $V_{(SCP/LWU)}$ 至 $\overline{FLT}$ ↓，$C_{(TMR)}$ = 开路		10.5	15	µs
F_{ISCP}	ISCP 脉冲电流频率			1.18		kHz
$t_{(\overline{FLT}_BSTUVLO)}$	栅极驱动 UVLO 期间的 $\overline{FLT}$ 置为有效延迟	$V_{(BST-SRC)}$ ↓ $V_{(BST_UVLOF)}$ 至 $\overline{FLT}$ ↓		28		µs
$t_{(\overline{FLT}_BSTUVLO)}$	栅极驱动 UVLO 期间的 $\overline{FLT}$ 置为无效延迟	$V_{(BST-SRC)}$ ↑ $V_{(BST_UVLOR)}$ 至 $\overline{FLT}$ ↑		17		µs

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性

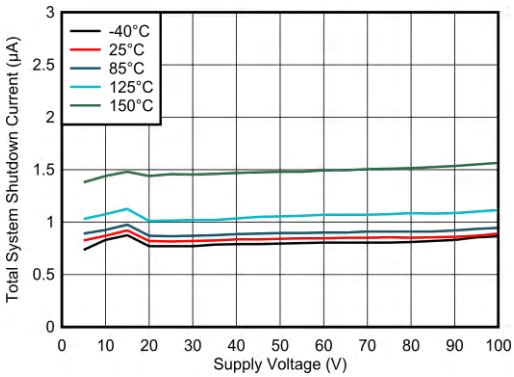


图 5-1. 关断电源电流与电源电压间的关系

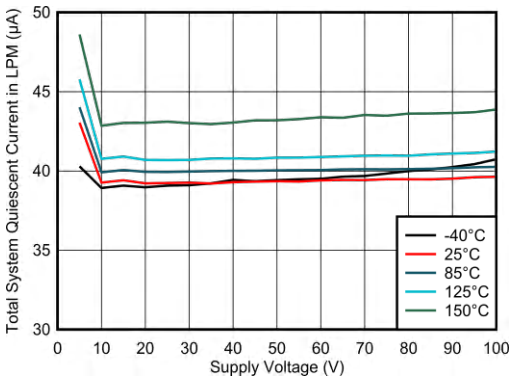


图 5-2. LPM 下的工作静态电流与电源电压间的关系

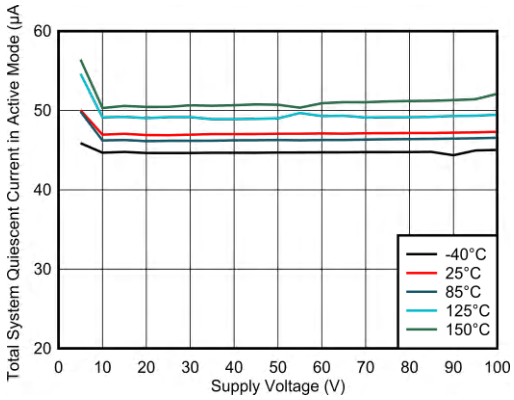


图 5-3. 工作模式下的工作静态电流与电源电压间的关系

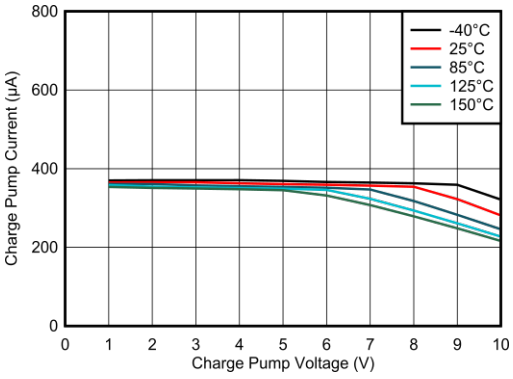


图 5-4. 电荷泵电流与电荷泵电压间的关系

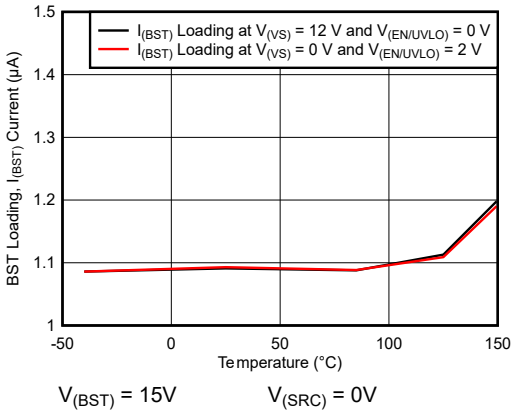


图 5-5. BST 负载电流 ($I_{(BST)}$) 与温度间的关系

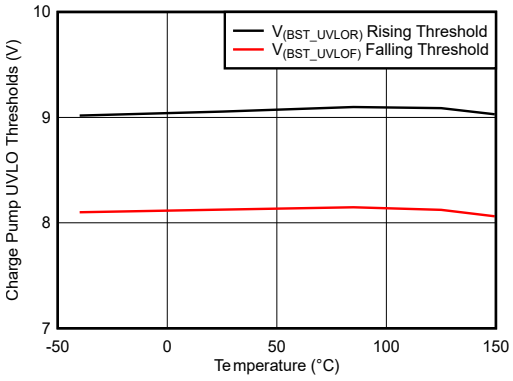


图 5-6. 电荷泵 UVLO 阈值与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

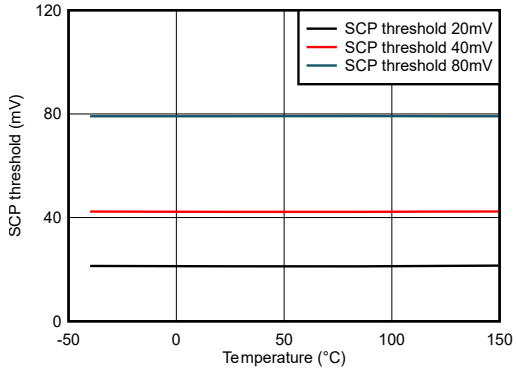


图 5-7. 短路阈值 ($V_{(SCP/LWU)}$) 与温度间的关系

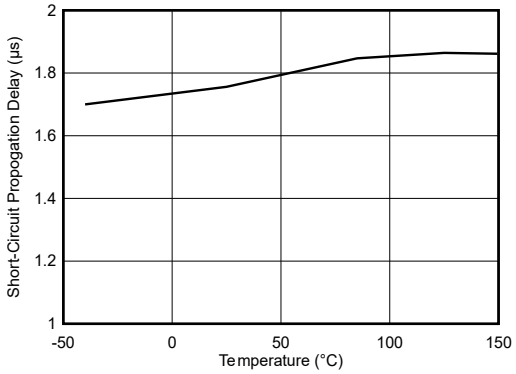


图 5-8. 短路保护响应时间 (t_{SC}) 与温度间的关系

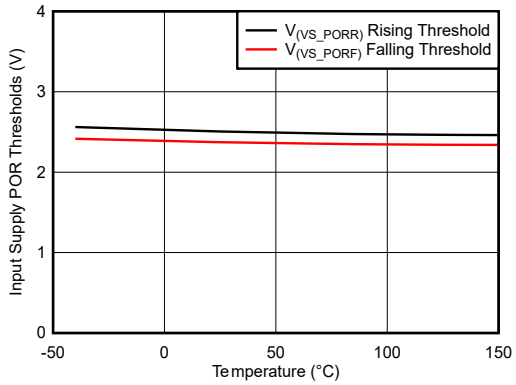


图 5-9. 输入电源 POR 阈值与温度间的关系

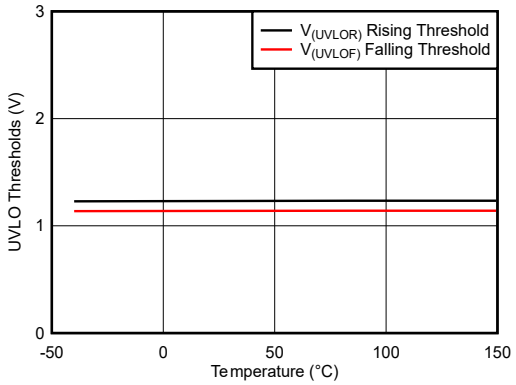


图 5-10. 输入电源 UVLO 阈值与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息

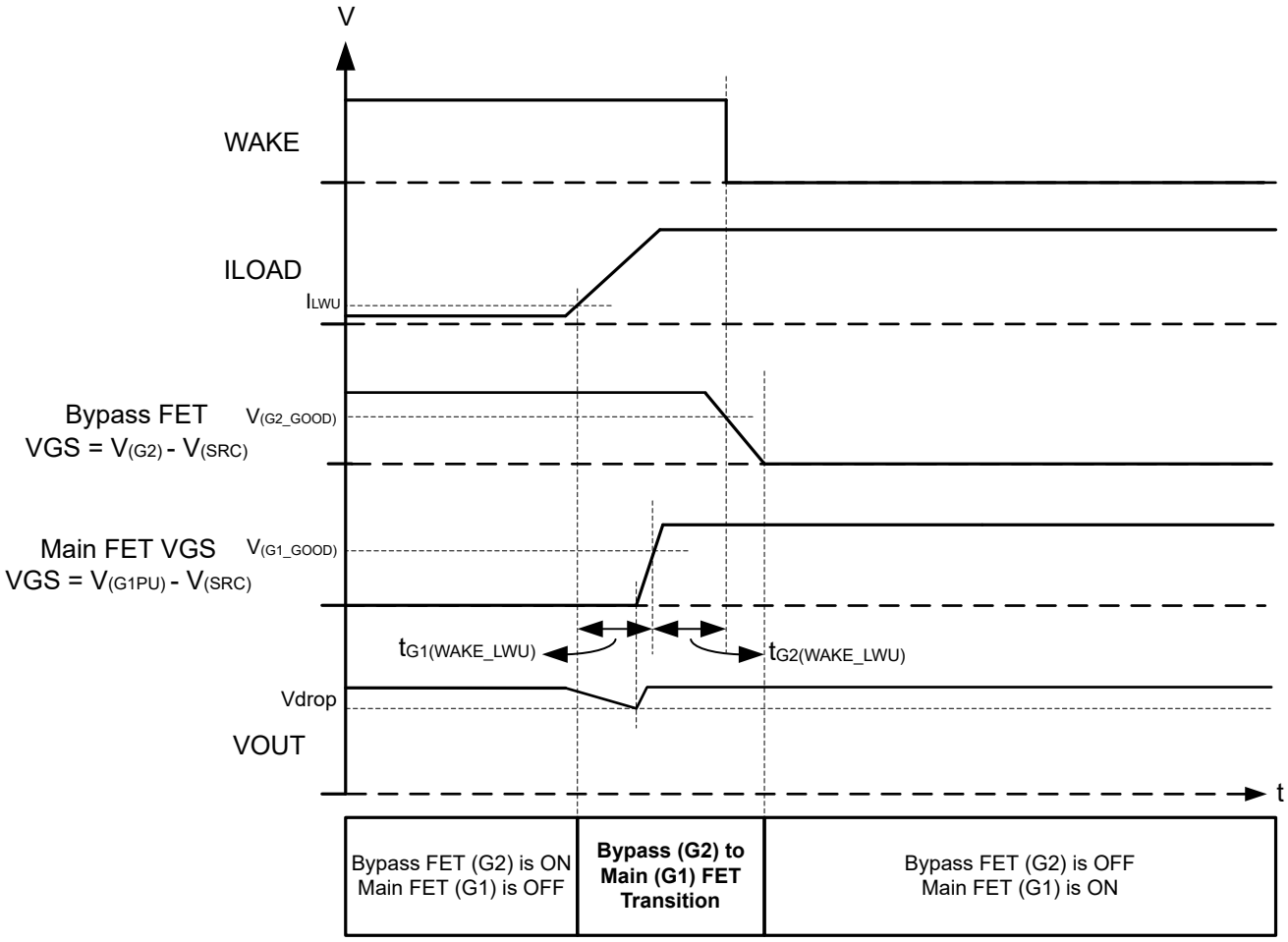


图 6-1. 通过负载唤醒将系统从低功耗模式唤醒至工作模式

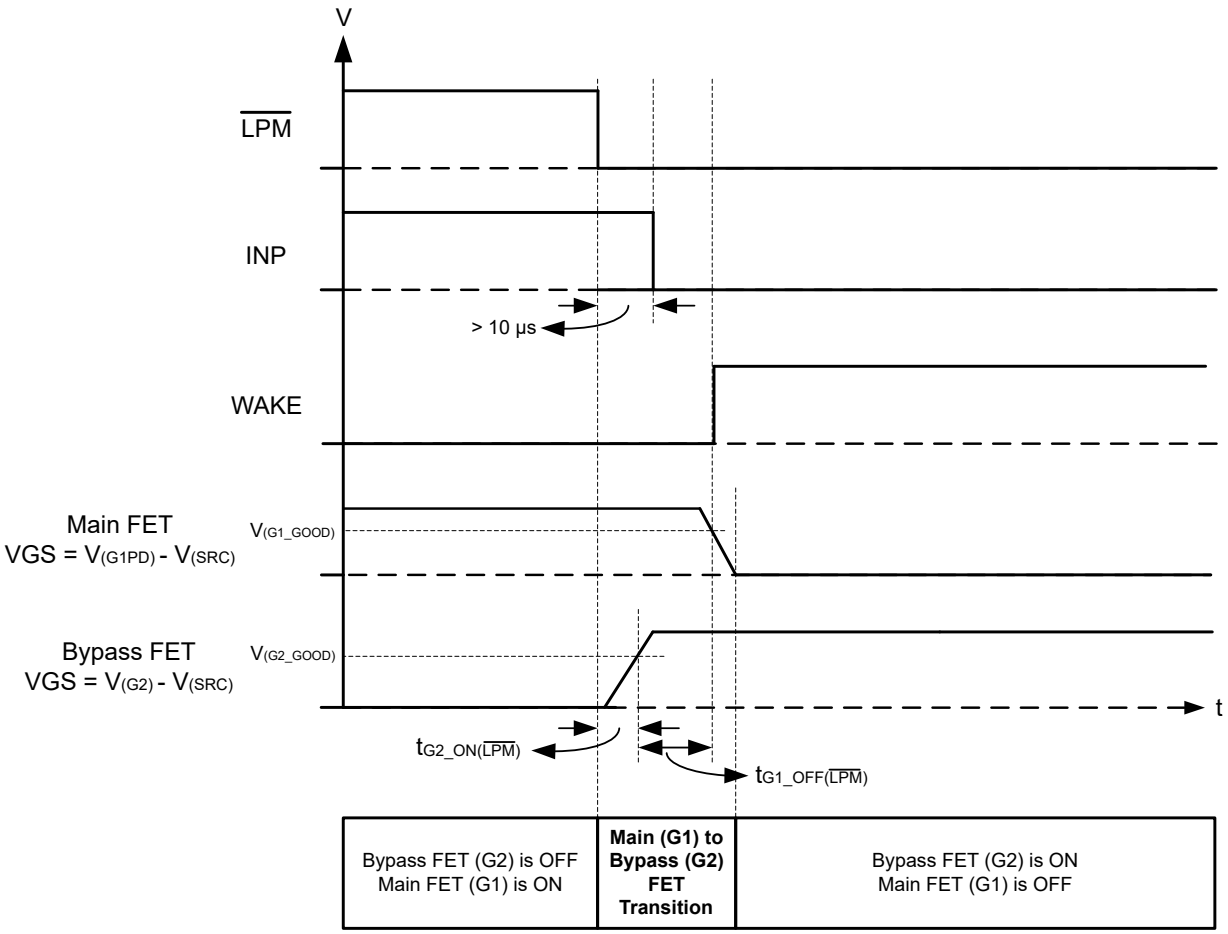


图 6-2. 通过 LPM 触发器将工作模式转换为低功耗模式

Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

TPS48130-Q1 是一款具有保护和诊断功能的 100V 低 I_Q 智能高侧驱动器。该器件具有 3.5V 至 95V 的宽工作电压范围，适用于 12V、24V 和 48V 系统设计。该器件可以承受低至 –65V 的负电源电压并保护负载免受这些电压的影响。

TPS48130-Q1 集成了两个栅极驱动器，在主路径中具有驱动 MOSFET 的 1.69A 拉电流和 2A 灌电流能力，在低功耗路径中具有 165µA 拉电流和 2A 灌电流能力。

在 $\overline{\text{LPM}}$ 为低电平的低功耗模式下，低功耗路径 FET 保持导通，而主 FET 关断。在此模式下，该器件具有低的 I_Q 消耗，为 35 µ A (典型值) 。可使用 ISCP/LWU 引脚调整进入工作状态的自动负载唤醒阈值。在 EN/UVLO 处于低电平时，I_Q 降至 1 µ A (典型值) 。

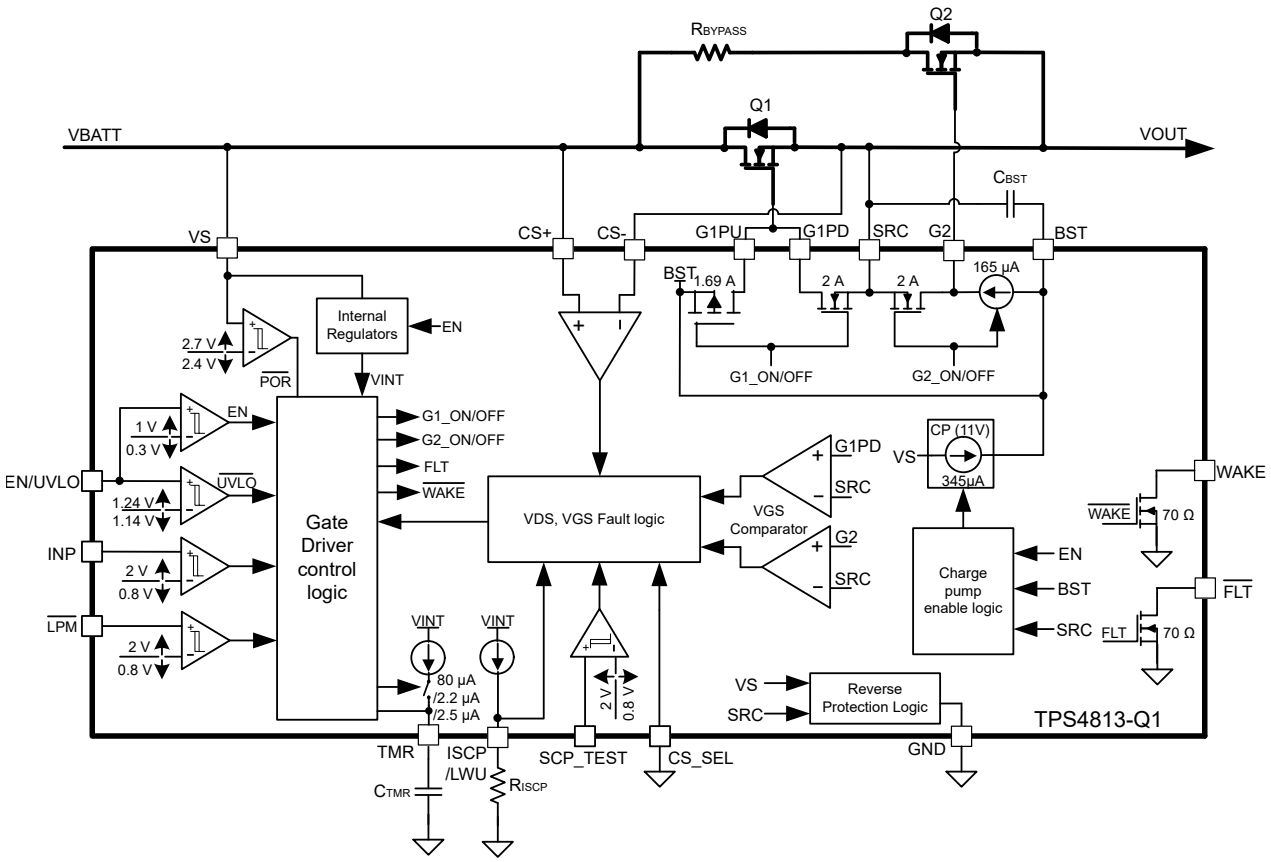
该器件有一个 WAKE 输出引脚用于指示运行模式 (工作模式/低功耗模式) 。

该器件使用 MOSFET VDS 检测或外部 R_{SNS} 电阻器来提供可调节的短路保护。可以配置自动重试和锁存故障行为。该器件还通过对 SCP_TEST 输入的外部控制来诊断内部短路比较器。

在短路、电荷泵欠压和输入欠压条件下，该器件会在开漏输出中指示故障 ($\overline{\text{FLT}}$)。

TPS48130-Q1 可采用 19 引脚 VSSOP 封装。

7.2 功能方框图



7.3 特性说明

7.3.1 电荷泵和栅极驱动器输出（VS、G1PU、G1PD、BST、SRC）

图 7-1 显示了电荷泵和栅极驱动器电路实施方案的简化图。该器件包含用于主 FET 的强大的 1.69A/2A 峰值拉电流/灌电流栅极驱动器 (G1) 和用于旁路 FET 的 165µA/2A 峰值拉电流/灌电流栅极驱动器 (G2)。这些强大的栅极驱动器可在大功率系统设计中支持 FET 并联，从而确保在饱和区实现最短的转换时间。一个 11V、345µA 电荷泵源自 VS 端子，能够为放置在栅极驱动器（BST 和 SRC）上的外部自举电容器 C_{BST} 充电。

VS 是连接到控制器的电源引脚。在施加 VS 且 EN/UVLO 被拉至高电平的情况下，电荷泵将开启并为 C_{BST} 电容器充电。当 C_{BST} 上的电压超过 $V_{(BST_UVLOR)}$ 后，栅极驱动器部分将被激活。该器件具有 1V（典型值）的 UVLO 迟滞，可确保在初始栅极导通期间减少性能抖动。根据外部 FET Q_G 和 FET 开通期间允许的骤降，选择 C_{BST}。电荷泵保持启用状态，直到 BST 至 SRC 的电压达到 11.8V，此时电荷泵通常处于禁用状态，从而减少 VS 引脚上的电流消耗。电荷泵保持禁用状态，直到 BST 至 SRC 的电压放电至 10V，此时电荷泵通常处于启用状态。BST 与 SRC 之间的电压继续在 11.8V 和 10V 之间充电和放电，如图 7-2 所示。

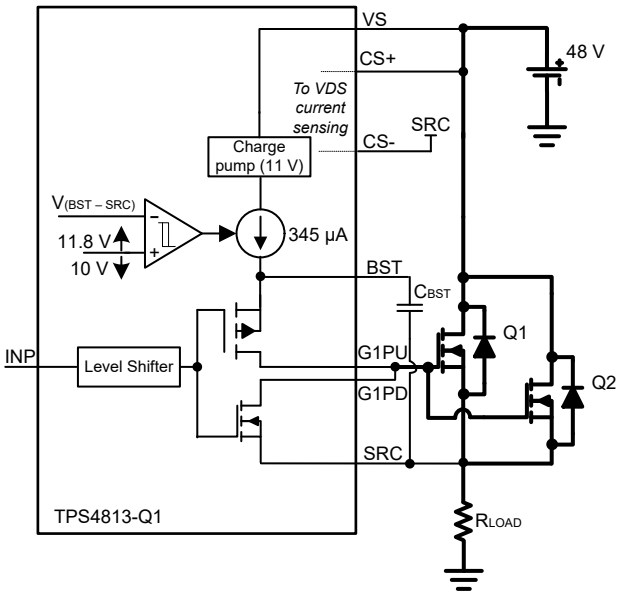


图 7-1. 主 FET 栅极驱动器

Copyright © 2025 Texas Instruments Incorporated

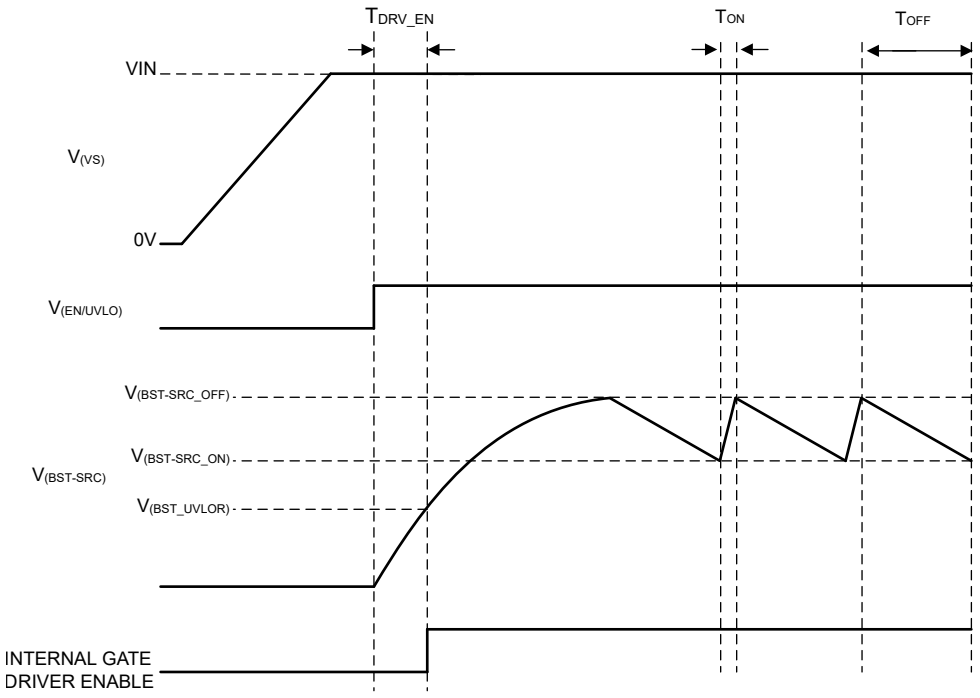


图 7-2. 电荷泵运行情况

使用以下公式可以计算初始栅极驱动器使能延迟：

$$T_{DRV_EN} = \frac{C_{BST} \times V_{(BST_UVLOR)}}{345\ \mu A} \quad (1)$$

其中，

C_{BST} 是 BST 和 SRC 引脚上的电荷泵电容。

$V_{(BST_UVLOR)}$ = 9.5V（最大值）。

7.3.2 容性负载驱动

诸如汽车配电单元之类的某些终端设备为包括其他 ECU 在内的不同负载供电。这些 ECU 可能具有很大的输入电容。如果 ECU 的电源以不受控制的方式打开，则可能会产生大浪涌电流，并可能损坏功率 FET。

为了限制容性负载开关期间的浪涌电流，可对 TPS48130-Q1 器件使用以下系统设计技术。

7.3.2.1 使用低功耗旁路 FET（G2 驱动器）为负载电容器充电

在有多个 FET（Q1、Q2）并联的大电流应用中，可使用旁路 FET (Q3) 的栅极压摆率控制来对容性负载进行预充电，并限制浪涌电流。

TPS48130-Q1 将栅极驱动器 (G2) 与专用的控制输入 ($\overline{LPM}$) 集成。此特性可用于驱动独立的低功耗旁路 FET (Q3)，并对容性负载进行预充电，同时限制浪涌电流。图 7-3 显示了采用 TPS48130-Q1 的低功耗旁路 FET 实施方案，用于为容性负载充电。外部电容器 C_g 可降低栅极开通压摆率并控制浪涌电流。

Copyright © 2025 Texas Instruments Incorporated

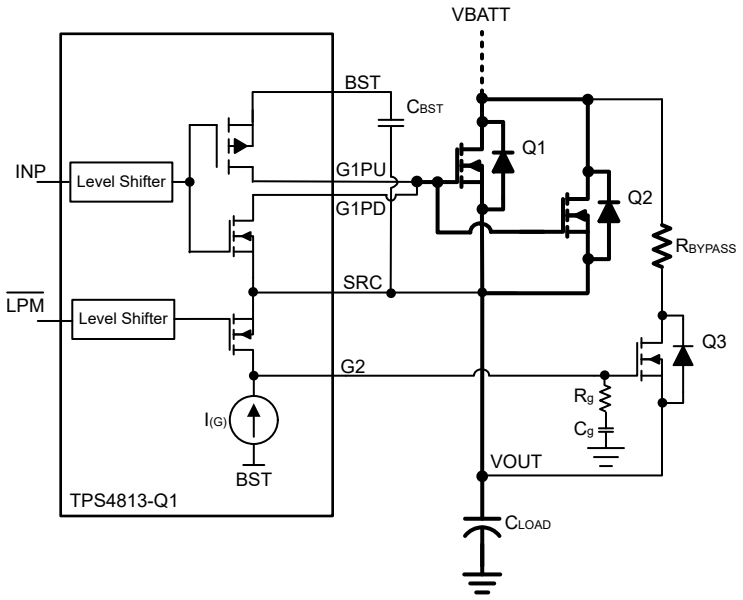


图 7-3. 使用低功耗旁路 FET 的栅极压摆率控制为电容器充电

在上电过程中，当 EN/UVLO 被拉至高电平且 $\overline{\text{LPM}}$ 被拉至低电平的时间超过 500µs 时，器件会通过 165µA 拉电流将 G2 拉至高电平来导通 Q3，而主 FET（G1 栅极驱动器）保持关断状态。

使用方程式 2 可计算 I_{INRUSH}：

$$I_{INRUSH} = C_{LOAD} \times \frac{V_{BATT}}{T_{charge}} \quad (2)$$

其中，

C_{LOAD} 是负载电容。

VBATT 是输入电压，T_{charge} 是充电时间。

使用方程式 3 可计算所需的 C_g 值。

$$C_g = \frac{C_{LOAD} \times I_{(G)}}{I_{INRUSH}} \quad (3)$$

其中，

$I_{(G)}$ 为 165µA（典型值）。

串联电阻 R_g 必须与 C_g 一起用于限制关断期间来自 C_g 的放电电流。Rg 的建议值介于 220Ω 和 470Ω 之间。

对输出电容器充电后，可以通过从外部将 $\overline{\text{LPM}}$ 驱动为高电平来控制主 FET（G1 栅极驱动器）并关断旁路 FET（G2 栅极驱动器）。现在可以通过将 INP 驱动为高电平来开通主 FET（G1 栅极驱动器）。

图 7-4 显示了在大电流应用中使用低功耗旁路路径为大型输出电容器充电的应用电路。此设计涉及一个与旁路 FET 串联的功率电阻器 (R_{BYPASS})，如图 7-4 所示。

Copyright © 2025 Texas Instruments Incorporated

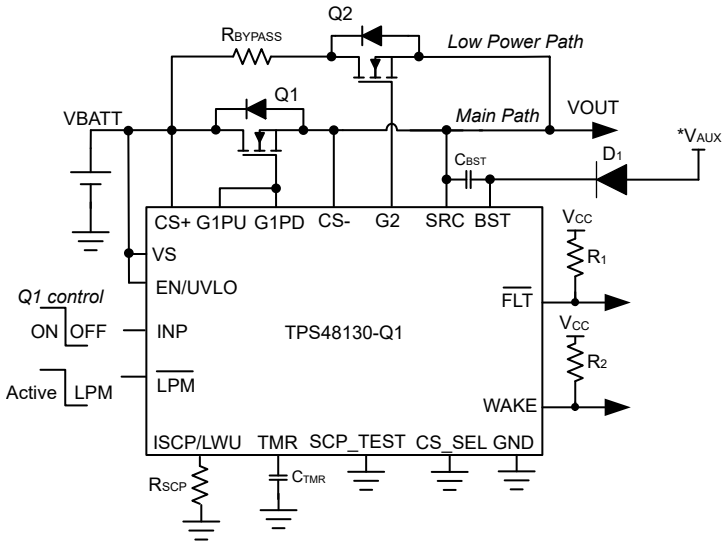


图 7-4. 使用低功耗旁路 FET 和串联功率电阻器 (RBYPASS) 驱动容性负载的 TPS48130-Q1 应用电路

使用旁路路径进行负载电容器充电和自动负载唤醒

TPS48130-Q1 支持使用公共旁路路径的负载电容器充电和自动负载唤醒功能。使用电阻器 R_{BYPASS} 和 FET Q3，如图 7-4 所示。

在负载电容器充电期间，器件通过监测 G2 和 SRC 上的电压来检测旁路 FET Q3 的 VGS。一旦检测到的阈值达到 V_{G2_GOOD} 阈值（典型值为 7V），表明 Q3 栅极得到增强（负载电容器已充电），因此会监测 CS+ 和 CS– 引脚上的电压。

使用此方案，电容器充电电流 (I_{INRUSH}) 也可以设置为高于负载唤醒阈值 (I_{LWU})，如图 7-5 所示。

Copyright © 2025 Texas Instruments Incorporated

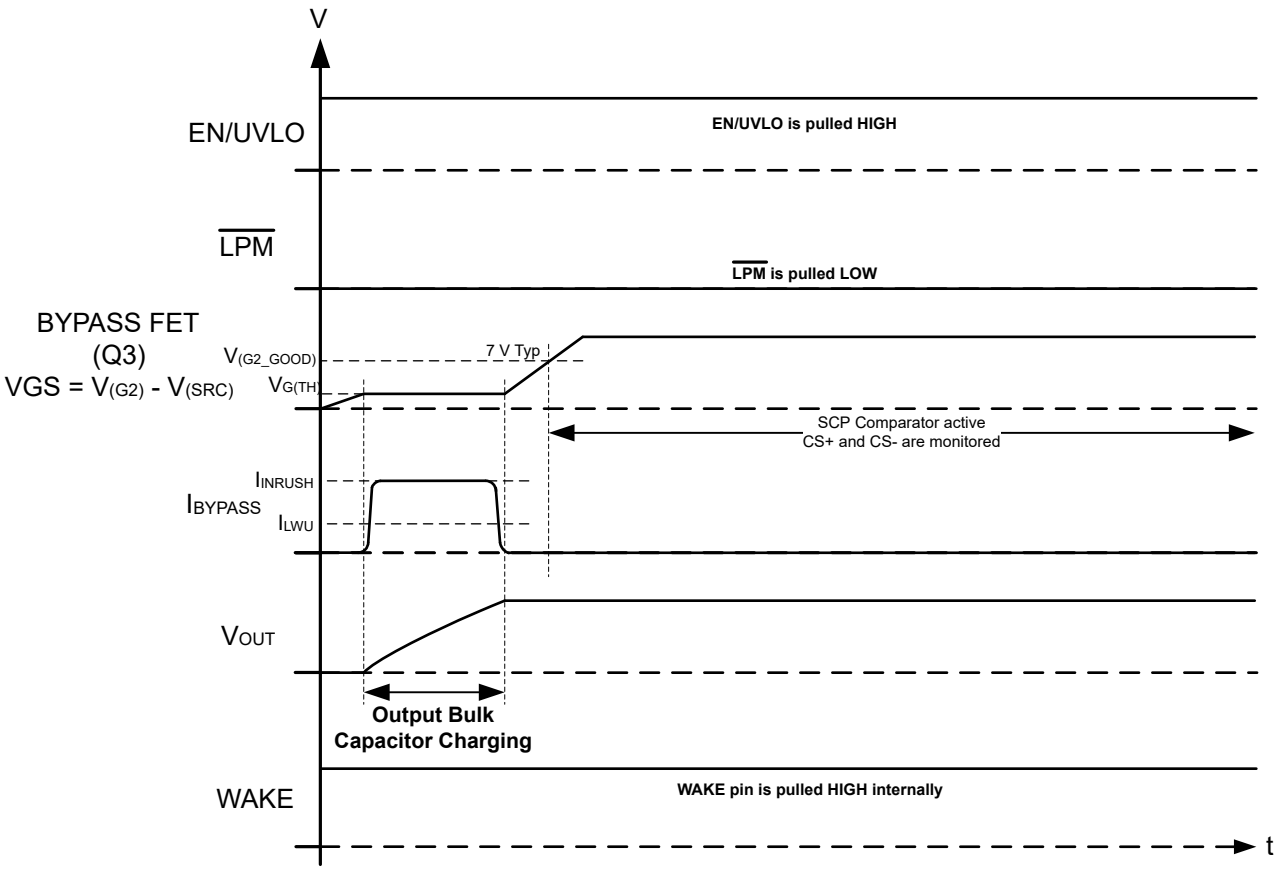


图 7-5. 使用旁路路径为输出大容量电容器充电的时序图

设置负载唤醒触发器阈值：在正常运行期间，串联功率电阻器 R_{BYPASS} 与旁路 FET R_{DSON} 一起用于设置负载唤醒电流阈值。可使用以下公式选择 R_{BYPASS}：

$$R_{BYPASS}\left(\Omega\right) = \frac{\left(2\,\mu A \times R_{ISCP} + 19\,mV\right)}{I_{LWU}} - R_{DSON_BYPASS} \quad (4)$$

其中，

R_{ISCP} 是根据短路阈值（使用方程式 8 进行设置）选择的电阻器。

I_{LWU} 是所需的负载电流唤醒阈值。

R_{DSON_BYPASS} 是旁路 FET 的 R_{DSON}。

R_{BYPASS} 还有助于在上电进入短路期间限制电流以及 Q3 上的应力。

7.3.2.2 使用主 FET（G1 驱动器）栅极压摆率控制

在未使用低功耗旁路路径的应用中，可以使用主 FET 栅极驱动控制来完成电容充电。

为了在具有容性负载的主 FET 导通期间限制浪涌电流，请使用 R_1、R_2、C_1，如图 7-6 所示。R_1 和 C_1 元件会减慢主 FET 栅极的电压斜坡速率。FET 源极跟随栅极电压，从而在输出电容器上实现受控电压斜坡。

Copyright © 2025 Texas Instruments Incorporated

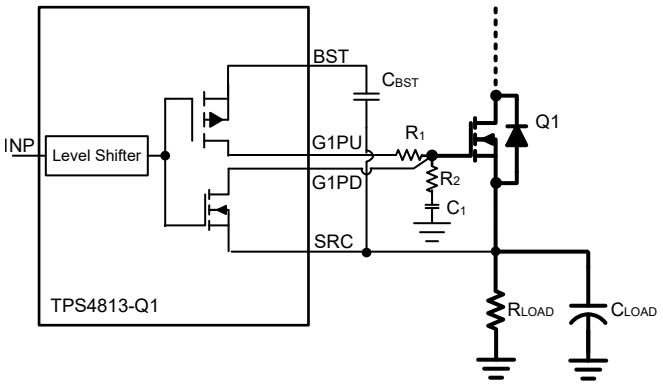


图 7-6. 浪涌电流限制

使用方程式 5 可以计算 FET 导通期间的浪涌电流。

$$I_{INRUSH} = C_{LOAD} \times \frac{V_{BATT}}{T_{charge}} \quad (5)$$

$$C_1 = \frac{0.63 \times V_{(BST\ -\ SRC)} \times C_{LOAD}}{R_1 \times I_{INRUSH}} \quad (6)$$

其中，

C_{LOAD} 是负载电容。

VBATT 是输入电压，T_{charge} 是充电时间。

$V_{(BST-SRC)}$ 是电荷泵电压 (11V)。

使用与 C_1 串联的阻尼电阻 R_2（大约 10Ω）。方程式 6 可用于计算目标浪涌电流所需的 C_1 值。R_1 的 100kΩ 电阻可以作为计算的良好起点。

将 TPS48130-Q1 的 G1PD 引脚直接连接到外部 FET 的栅极可确保快速关断，而不会影响 R_1 和 C_1 元件。

C_1 会在开通期间在 C_{BST} 上产生额外的充电负载。使用以下公式可计算所需的 C_{BST} 值：

$$C_{BST} = \frac{Q_{g(total)}}{\Delta V_{BST}} + 10 \times C_1 \quad (7)$$

其中，

$Q_{g(total)}$ 是 FET 的总栅极电荷。

ΔV_{BST}（典型值为 1V）是 BST 到 SRC 引脚上的纹波电压。

7.3.3 短路保护

TPS48130-Q1 具有可调节的短路保护功能。阈值和响应时间可分别用 R_{ISCP} 电阻器和 C_{TMR} 电容器来调整。该器件会检测 CS+ 和 CS– 引脚上的电压。这些引脚可连接在 FET 漏极和源极端子上以用于 FET R_{DSON} 检测，或连接在外部电流检测电阻 (R_{SNS}) 上，分别如图 7-7 和图 7-8 所示。

Copyright © 2025 Texas Instruments Incorporated

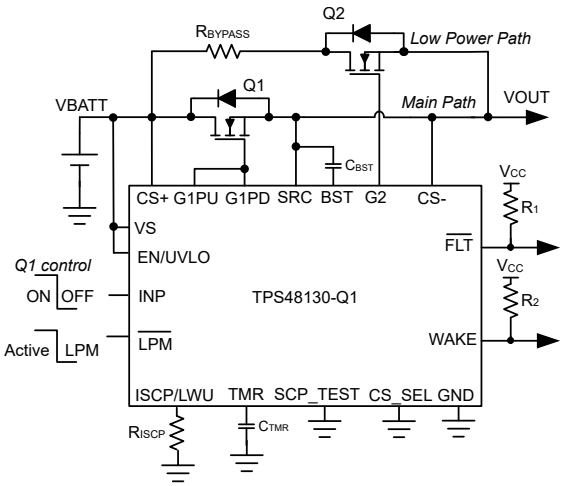


图 7-7. TPS48130-Q1 应用电路，其电流检测功能基于主 FET RDSON

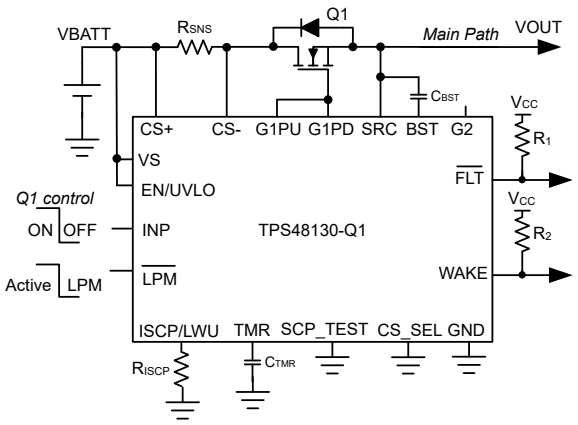


图 7-8. TPS48130-Q1 应用电路，其电流检测功能基于外部检测电阻 R_{SNS}

使用 ISCP/LWU 和 GND 引脚上的外部 R_{ISCP} 电阻器设置硬短路检测阈值。使用方程式 8 可计算所需的 R_{ISCP} 值：

$$R_{ISCP}\left(\Omega\right) = \frac{\left(I_{SC} \times R_{SNS} - 19\ mV\right)}{2\ \mu A} \tag{8}$$

其中，

R_{SNS} 是电流检测电阻值或 FET R_{DSON} 值。

I_{SC} 是所需的短路电流电平。

无需在 TMR 和 GND 引脚上连接 C_{TMR} 电容器，硬短路保护响应最快。

器件通电且 EN/UVLO、INP 被拉至高电平时，在 Q1 开通期间，通过监控 G1PD 到 SRC 的电压可检测主 FET 的第一个 VGS。一旦 G1PD 到 SRC 的电压升至高于 $V_{(G1_GOOD)}$ 阈值（这样可确保外部 FET 增强），便会监控 SCP 比较器输出。如果在 CS+ 和 CS– 上检测到的电压超过短路设定点 ($V_{SCP/LWU}$)，则 G1PD 会拉低至 SRC，而 $\overline{FLT}$ 在 10 µs 内将置为低电平（TMR 引脚开路）。后续事件可以设置为自动重试或闭锁，如后续部分所述。

7.3.3.1 带自动重试的短路保护

C_{TMR} 对短路保护延迟 (t_{SC}) 和自动重试时间 (t_{RETRY}) 进行编程。一旦 CS+ 和 CS– 上的电压超过设定点，C_{TMR} 便会以 80 µA 的上拉电流开始充电。

C_{TMR} 充电至 $V_{(TMR_SC)}$ 后，G1PD 将拉低至 SRC，$\overline{FLT}$ 将置为低电平，从而提供 FET 即将关断的警告。发布此事件后，自动重试行为将开始。C_{TMR} 电容器开始放电，下拉电流为 2.5µA。电压达到 $V_{(TMR_LOW)}$ 电平后，电容器开始充电，上拉电流为 2.2µA。在 C_{TMR} 的 32 个充放电周期之后，FET 重新开通且 $\overline{FLT}$ 置为无效。

在第一次中，器件重试时间 (t_{RETRY}) 基于 C_{TMR}（根据方程式 10 计算得出），对于后续的自动重试事件，此重试时间 (t_{RETRY}) 小于 10 µs。

使用方程式 9 可计算要在 TMR 和 GND 上连接的 C_{TMR} 电容器容值。

$$C_{TMR} = \frac{I_{TMR} \times t_{SC}}{1.1} \tag{9}$$

其中，

Copyright © 2025 Texas Instruments Incorporated

I_{TMR} 是 80 µA 的内部上拉电流。

t_{SC} 是所需的短路响应时间。

在未连接 C_{TMR} 电容器的情况下，最快的 t_{SC} 小于 10 µs。

$$t_{RETRY} = 22.7 \times 10^6 \times C_{TMR} \quad (10)$$

如果短路脉冲持续时间低于 t_{SC}，则 FET 保持开通，C_{TMR} 通过内部下拉开关放电。

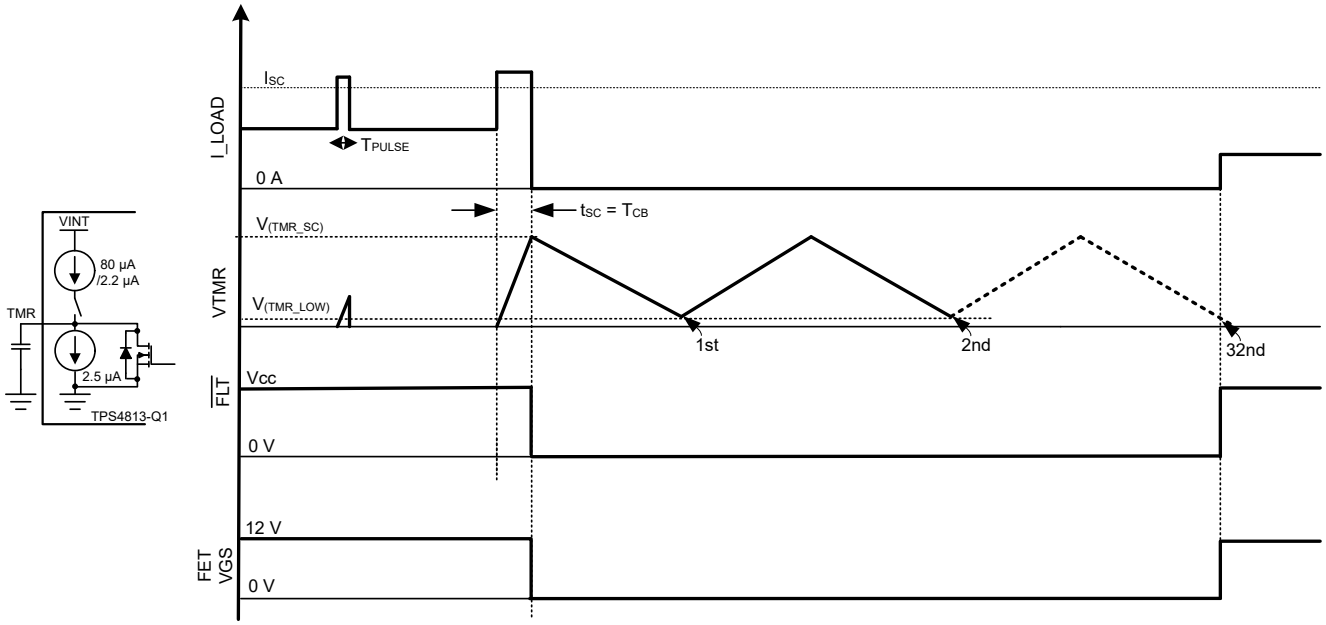


图 7-9. 带自动重试的短路保护

7.3.3.2 带闭锁的短路保护

在 C_{TMR} 上连接一个约 100kΩ 的电阻，如图 7-10 所示。使用此电阻可以在充电周期内使 C_{TMR} 上的电压被钳位到低于 $V_{(TMR_SC)}$ 的电平，从而产生闭锁行为，同时将 $\overline{FLT}$ 置为低电平有效。

使用方程式 11 计算当 R_{TMR} = 100kΩ 时 TMR 和 GND 之间要连接的 C_{TMR} 电容。

$$C_{TMR} = \frac{t_{SC}}{R_{TMR} \times \ln\left(\frac{1}{1 - \frac{1}{1.1}}\right)} \quad (11)$$

其中，

I_{TMR} 是 80 µA 的内部上拉电流。

t_{SC} 是所需的短路响应时间。

将 INP 或 $\overline{LPM}$ 下拉至低电平或下拉 EN/UVLO（低于 $V_{(ENF)}$），或将 VS 下电上电至低于 $V_{(VS_PORF)}$ 以复位闭锁状态。在低沿上，计时器计数器复位且 C_{TMR} 放电。当 INP 上拉至高电平时，G1PU 上拉至 BST。

Copyright © 2025 Texas Instruments Incorporated

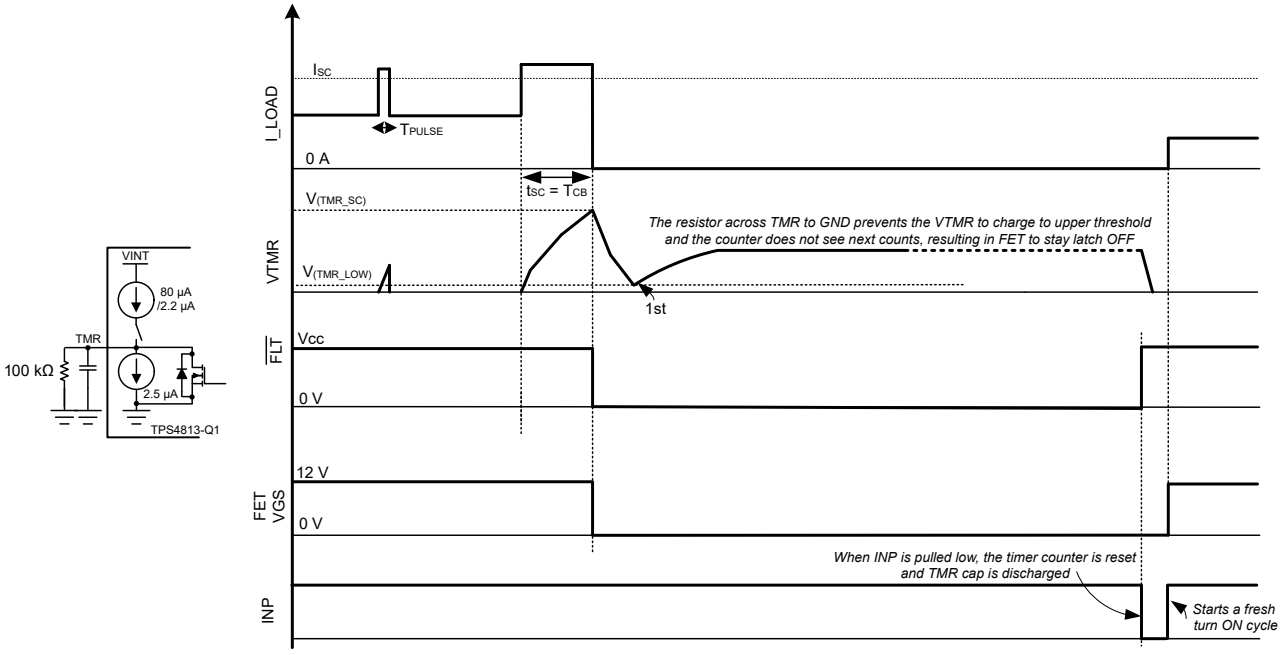


图 7-10. 带闭锁的短路保护

7.3.4 欠压保护 (UVLO)

TPS48130-Q1 使用 EN/UVLO 引脚提供精确可靠的欠压保护 (< ±2%)。如图 7-11 中所示，连接一个电阻梯以进行欠压保护阈值编程。

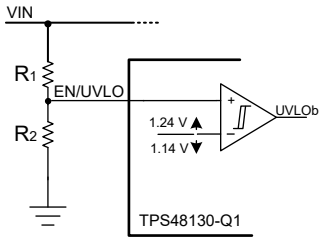


图 7-11. 欠压保护阈值编程

7.3.5 反极性保护

TPS48130-Q1 器件具有集成的反极性保护功能，可防止器件在输入和输出反极性故障期间失效。在终端设备的安装和维护过程中会发生反极性故障。该器件能够在输入端和输出端承受低至 -65V 的反极性电压。

在输出侧，该器件会在正常运行期间由于开关关断时的输出电缆线束电感反冲而出现瞬态负电压。在此类系统中，输出负电压电平受输出侧 TVS 或二极管限制。

7.3.6 短路保护诊断 (SCP_TEST)

在安全关键型设计中，短路保护 (SCP) 功能及其诊断非常重要。

TPS48130-Q1 具有内部短路保护诊断功能。当 SCP_TEST 被驱动为低电平至高电平时，内部会在 SCP 比较器输入上施加电压以模拟短路事件。比较器输出将控制栅极驱动器 (G1PU/G1PD) 以及 $\overline{\text{FLT}}$。如果栅极驱动器变为低电平（最初为高电平）且 $\overline{\text{FLT}}$ 也变为低电平，则表明 SCP 正常，否则视为 SCP 功能不正常。

如果未使用 SCP_TEST 功能，则应将 SCP_TEST 引脚连接到 GND。

Copyright © 2025 Texas Instruments Incorporated

7.4 器件功能模式

7.4.1 状态图

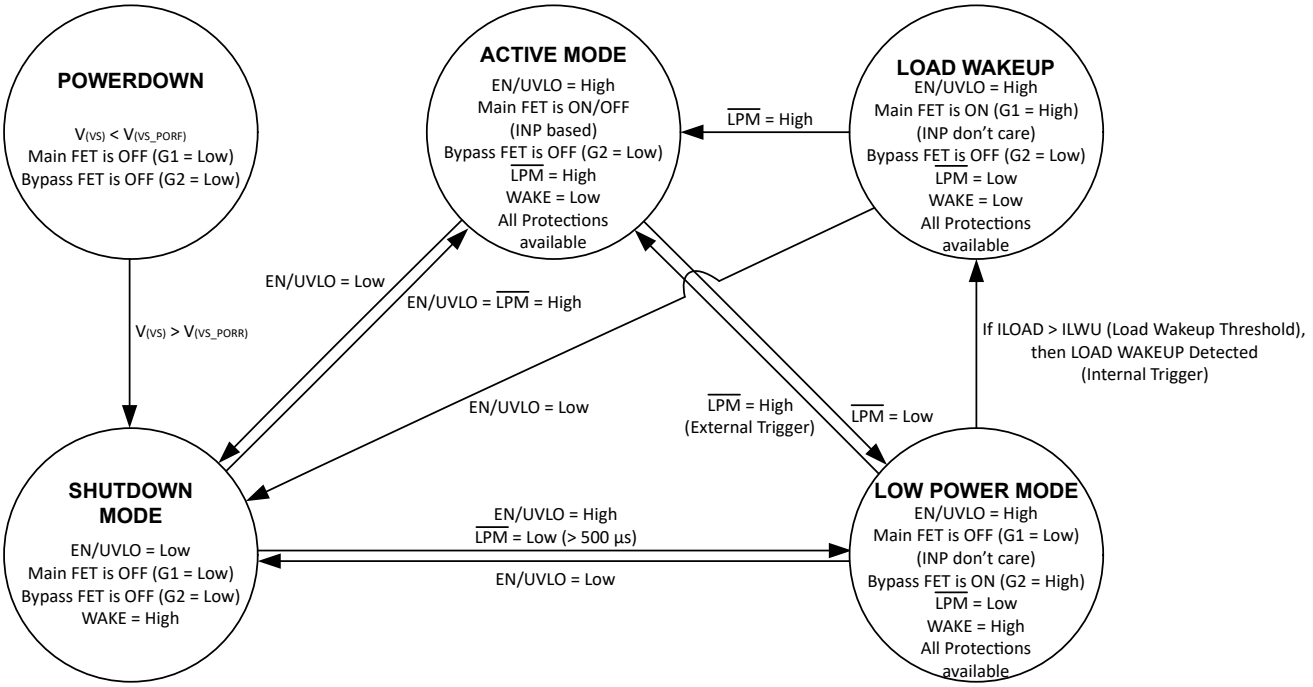


图 7-12. TPS48130-Q1 状态图

7.4.2 状态转换时序图

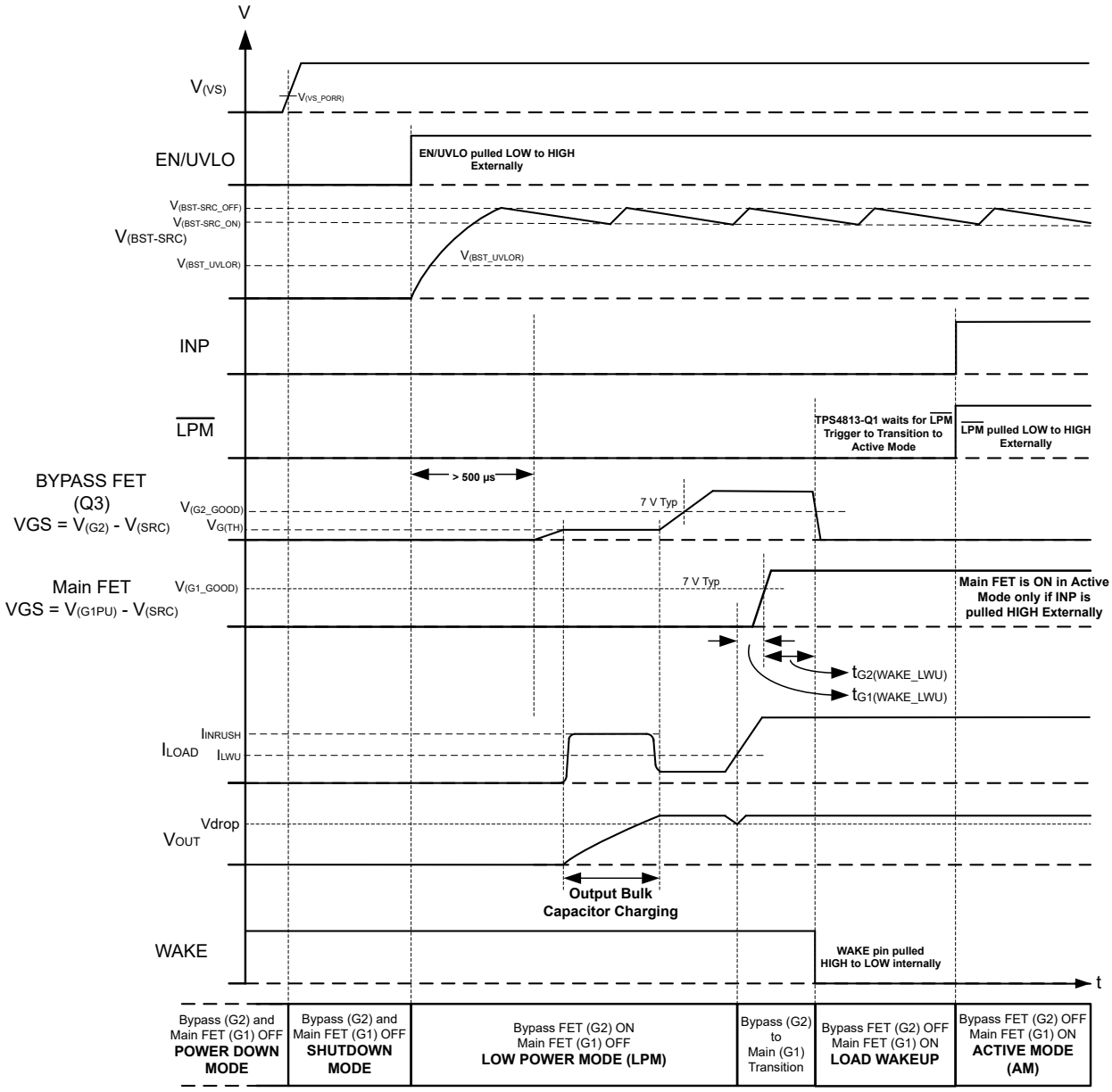


图 7-13. 包含负载唤醒事件的状态转换时序图

Copyright © 2025 Texas Instruments Incorporated

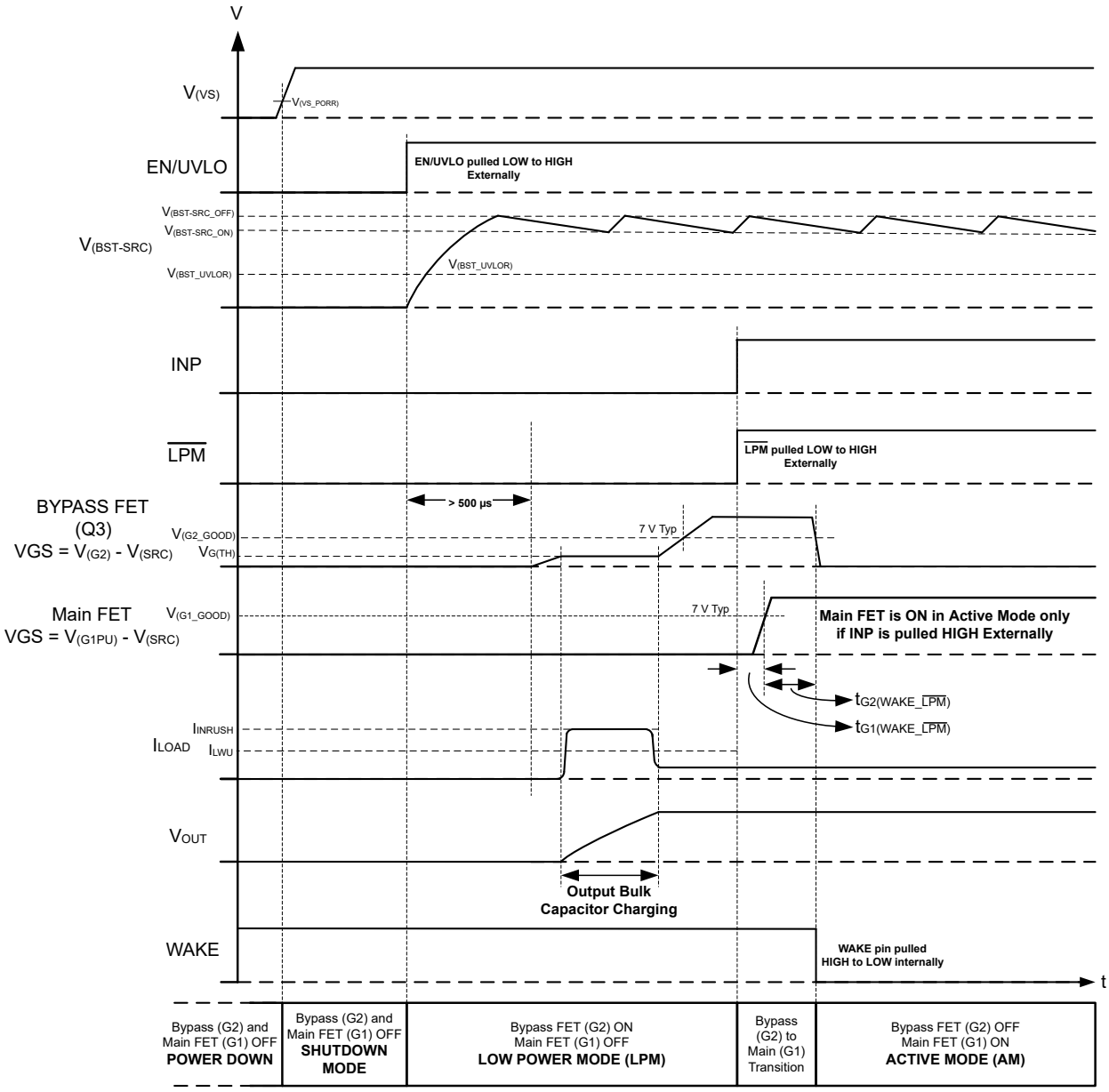


图 7-14. 包含 $\overline{\text{LPM}}$ 触发器的状态转换时序图

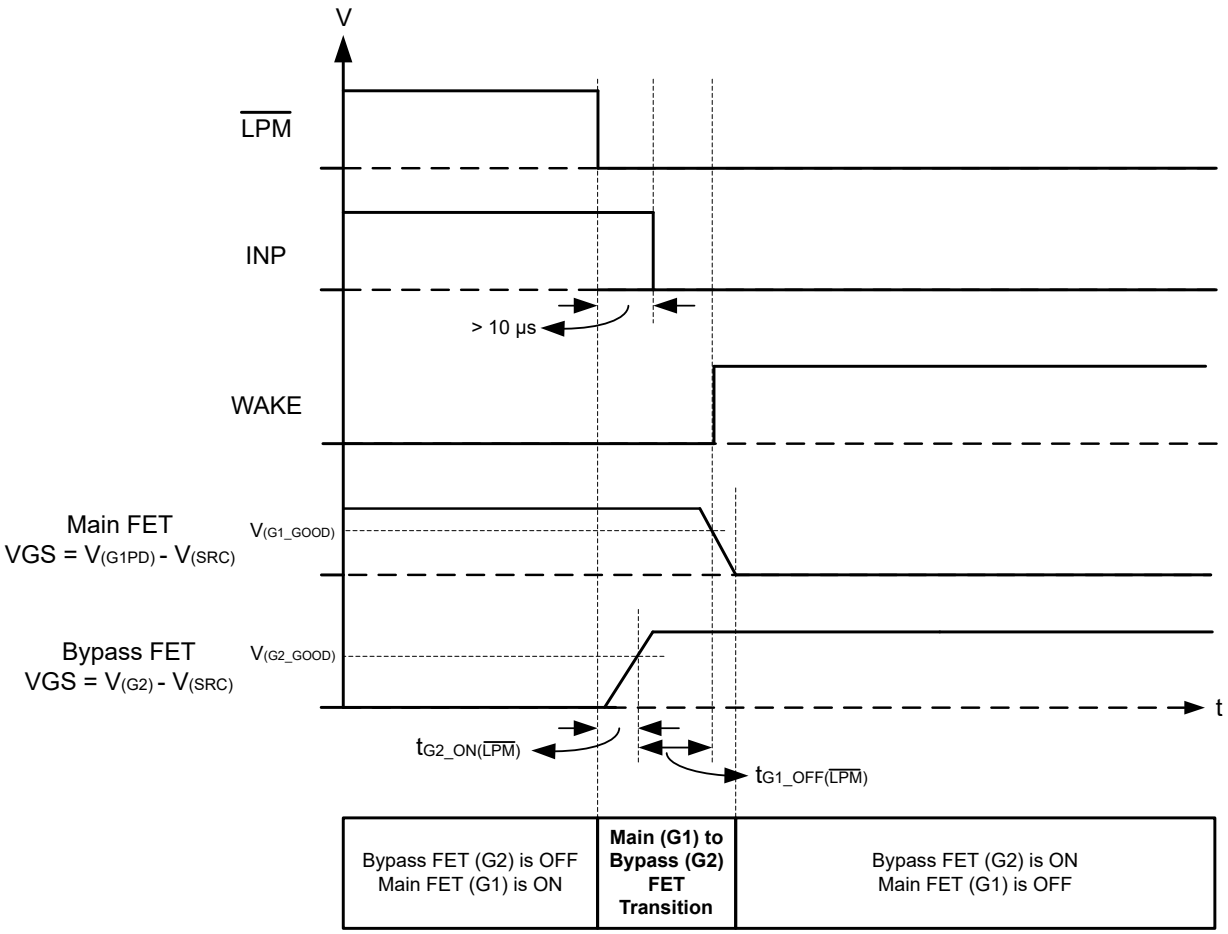


图 7-15. 从工作模式进入低功耗模式的 LPM 和 INP 信号时序控制注意事项

7.4.3 断电

如果施加的 VS 电压低于 $V_{(VS_PORF)}$，则器件处于禁用状态。在该模式下，电荷泵和所有保护特性都被禁用。两个栅极驱动输出（G1PD 和 G2）都是低电平。

7.4.4 关断模式

当 VS > $V_{(VS_PORR)}$ 且 EN/UVLO 拉至 < $V_{(ENF)}$ 时，器件转换至低 I_Q 关断模式。在该模式下，电荷泵和所有保护特性都被禁用。两个栅极驱动输出（G1PD 和 G2）都是低电平。在此模式下，该器件具有低的 I_Q 消耗，为 1 µA（典型值）。

- **从关断模式转换至低功耗模式：**

  要从关断模式转换至低功耗模式，请将 EN/UVLO 驱动为高电平 (> $V_{(ENR)}$)，同时将 $\overline{LPM}$ 驱动为低电平持续超过 500µs。
- **从关断模式转换至工作模式：**

  要直接从关断模式转换至工作模式，请同时将 EN/UVLO 和 $\overline{LPM}$ 均驱动为高电平。

Copyright © 2025 Texas Instruments Incorporated

7.4.5 低功耗模式

当 EN/UVLO 被驱动为高电平 (> $V_{(ENR)}$) 并且同时 $\overline{LPM}$ 被驱动为低电平的时间超过 500µs 时，器件将从关断模式转换为低功耗模式。

当 $\overline{LPM}$ 被拉至低电平时，器件也可以从工作模式转换为低功耗模式。从工作模式进入低功耗模式时，可以按照图 7-15 所述遵循 $\overline{LPM}$ 和 INP 信号时序控制注意事项。在 $\overline{LPM}$ 之前将 INP 拉至低电平会导致主 FET（G1 栅极驱动器）关断，进而会导致在旁路 FET（G2 栅极驱动器）开通之前输出电压暂时下降。在 $\overline{LPM}$ 被拉至低电平至少 10µs 后将 INP 拉至低电平，可实现从工作模式到低功耗模式的无缝转换，而不会出现任何输出电压骤降。

在此模式下会启用电荷泵和栅极驱动器。在此状态下，主 FET（G1 栅极驱动器）关断，旁路 FET（G2 栅极驱动器）开通，WAKE 引脚置为高电平有效。低功耗模式下，TPS48130-Q1 具有低的 I_Q 消耗，为 35µA（典型值）。

在以下情况下，器件会从低功耗模式转换为工作模式：

- **外部触发器：** $\overline{LPM}$ 从外部被拉至高电平
- **内部触发器：**负载电流超过由方程式 4 设置的负载唤醒触发器阈值 (I_{LWU})

当负载电流超过负载唤醒阈值 (I_{LWU}) 后，器件会自动关断旁路 FET（G2 栅极驱动器）并开通主 FET（G1 栅极驱动器），并且 WAKE 会置为低电平有效以指示从低功耗模式退出。

器件等待外部 $\overline{LPM}$ 信号变为高电平以转换到工作模式。

低功耗模式下的可用保护功能包括：

- 输入 UVLO：当 EN/UVLO 上的电压降至低于 $V_{(UVLOF)}$ 且 $\overline{FLT}$ 置为低电平有效时，旁路 FET（G2 栅极驱动器）关断。
- 电荷泵 UVLO：当 BST 和 SRC 之间的电压降至低于 $V_{(BST_UVLOF)}$ 且 $\overline{FLT}$ 置为低电平有效时，旁路 FET（G2 栅极驱动器）关断。
- 短路保护：如果在低功耗模式下发生输出短路事件，器件会通过负载唤醒功能关断旁路 FET（G2 栅极驱动器）并开通主 FET（G1 栅极驱动器）以自动退出低功耗模式。在负载唤醒状态下，如果 CS+ 和 CS– 上的电压超过设置的短路阈值 ($V_{SCP/LWU}$)，则主 FET（G1 栅极驱动器）将关断且 $\overline{FLT}$ 置为低电平有效。根据配置，后续操作基于自动重试或闭锁。

7.4.6 工作模式

当 EN/UVLO 和 $\overline{LPM}$ 同时被驱动为高电平时，器件会直接从关断模式转换到工作模式。

TPS48130-Q1 通过以下方式从低功耗模式转换到工作模式：

- **外部触发器：**从外部将 $\overline{LPM}$ 驱动为高电平。
- **内部触发器：**当负载电流超过负载唤醒阈值 (I_{LWU}) 后，TPS48130-Q1 会自动关断旁路 FET（G2 栅极驱动器）。在负载唤醒事件后将 $\overline{LPM}$ 驱动为高电平以切换到工作模式。

在此模式下会启用电荷泵、栅极驱动器和所有保护功能。通过分别将 INP 驱动为高电平或低电平可以开通或关断主 FET（G1 栅极驱动器），在此状态下，旁路 FET（G2 栅极驱动）关断，WAKE 引脚置为低电平有效。

当 $\overline{LPM}$ 被拉至低电平时，器件会退出工作模式并进入低功耗模式。

工作状态下可用的保护功能包括：

- 输入 UVLO：当 EN/UVLO 上的电压降至低于 $V_{(UVLOF)}$ 且 $\overline{FLT}$ 置为低电平有效时，主 FET（G1 栅极驱动器）关断。
- 电荷泵 UVLO：当 BST 和 SRC 之间的电压降至低于 $V_{(BST_UVLOF)}$ 且 $\overline{FLT}$ 置为低电平有效时，主 FET（G1 栅极驱动器）关断。
- 短路保护：当 CS+ 和 CS– 之间的电压超过设定的短路阈值 ($V_{SCP/LWU}$) 时，主 FET（G1 栅极驱动器）关断。器件会根据所选配置进入自动重试或闭锁模式，且 $\overline{FLT}$ 置为低电平有效。

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

TPS48130-Q1 是一款具有保护和诊断功能的 100V 低 I_Q 智能高侧驱动器。该器件具有 3.5V 至 95V 的宽工作电压范围以及支持自动负载唤醒功能和短路保护功能等的低功耗模式，适用于 12V、24V 和 48V 配电系统设计。该器件还可以承受低至 –65V 的负电源电压并保护负载免受这些电压的影响。

可使用以下设计过程，根据应用要求选择支持的元件值。

8.2 典型应用 1：使用自动负载唤醒功能来驱动全时供电 (PAAT) 负载

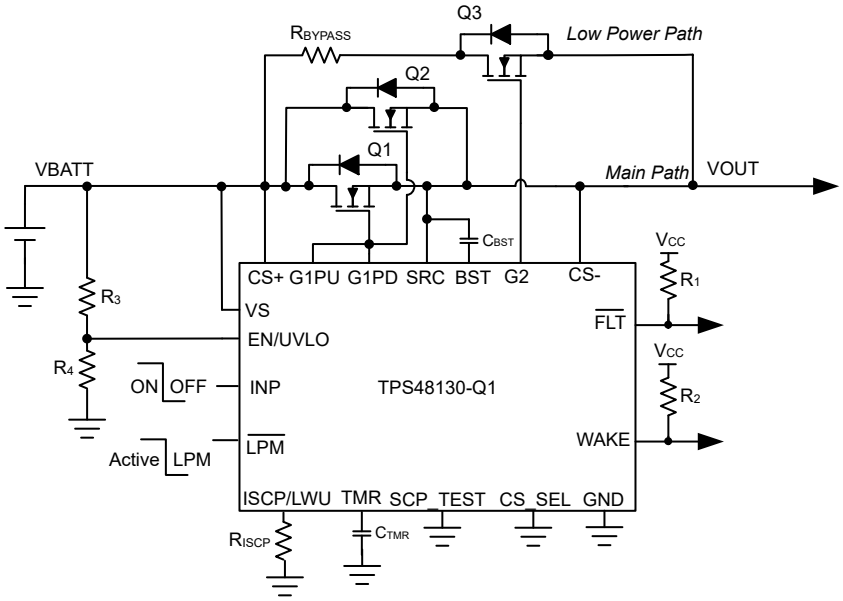


图 8-1. 适用于使用自动负载唤醒功能来驱动全时供电 (PAAT) 负载的 TPS48130-Q1 应用电路

8.2.1 设计要求

表 8-1. 设计参数

参数	值
典型输入电压，V_{BATT_MIN} 至 V_{BATT_MAX}	36V 至 60V
欠压锁定设定点，V_{INUVLO}	24V
最大负载电流，I_{OUT}	40A
短路保护阈值，I_{SC}	100A
故障计时器周期 (t_{SC})	20 µ s
故障响应	自动重试
负载唤醒阈值，I_{LWU}	50mA

Copyright © 2025 Texas Instruments Incorporated

8.2.2 详细设计过程

选择 MOSFET Q_1 和 Q_2

选择 MOSFET Q_1 和 Q_2 时，重要的电气参数包括最大持续漏极电流 I_D、最大漏源电压 $V_{DS(MAX)}$、最大栅源电压 $V_{GS(MAX)}$ 以及漏源导通电阻 R_{DSON}。

最大持续漏极电流 I_D 额定值必须超过最大持续负载电流。

最大漏源电压 $V_{DS(MAX)}$ 必须足够高，以便承受应用中所见的最高电压。考虑负载突降导致最高应用电压为 70V，因此该应用选择 V_{DS} 额定电压为 80V 的 MOSFET。

TPS48130-Q1 可驱动的最大 V_{GS} 为 11V，因此必须选择 V_{GS} 最小额定值为 15V 的 MOSFET。

为了降低 MOSFET 导通损耗，建议选择合适的 $R_{DS(ON)}$。

根据设计要求，选择的是两个 IAUS200N08S5N023，其电压等级为：

- 80V $V_{DS(MAX)}$ 和 ±20V $V_{GS(MAX)}$
- 当 V_{GS} 为 10V 时，$R_{DS(ON)}$ 的典型值为 2.3mΩ
- MOSFET $Q_{g(total)}$ 的最大值为 110nC

TI 建议确保短路条件（例如最大 V_{IN} 和 I_{SC}）处于所选 FET（Q_1 和 Q_2）的 SOA 范围内，确保大于 t_{SC} 定时。

选择自举电容器 C_{BST}

内部电荷泵以大约 345μA 的电流为外部自举电容器（连接在 BST 和 SRC 引脚之间）充电。使用以下公式，计算驱动两个并联 IAUS200N08S5N023 MOSFET 所需的自举电容最小值。

$$C_{BST} = \frac{Q_{g(total)}}{1\,V} = 2 \times 100\,nF = 220\,nF \quad (12)$$

选择最接近的可用标准值：220nF，10%。

对短路保护阈值进行编程 – R_{ISCP} 选型

R_{ISCP} 用于设置短路保护阈值，该值可使用以下公式计算：

$$R_{ISCP}\left(\Omega\right) = \frac{(I_{SC} \times R_{SNS} - 19\,mV)}{2\,\mu A} \quad (13)$$

为了将短路保护阈值设置为 100A，两个并联 FET 的 R_{ISCP} 计算值应为 48kΩ。

选择最接近的可用标准值：48.1kΩ，1%。

对故障计时器周期进行编程 – C_{TMR} 选型

对于本文所讨论的设计示例，允许的过流瞬态持续时间为 20μs。此消隐间隔 t_{SC}（或断路器间隔 T_{CB}）可以通过在 TMR 引脚到接地端之间选择合适的电容器 C_{TMR} 来设置。使用以下公式可计算 C_{TMR} 的值以便将 t_{SC} 设置为 20μs：

$$C_{TMR} = \frac{80\,\mu A \times t_{SC}}{1.1} \quad (14)$$

选择最接近的可用标准值：1.5nF，10%。

TMR 引脚可保持悬空以实现 t_{SC} < 10μs 的快速响应。

Copyright © 2025 Texas Instruments Incorporated

对负载唤醒阈值进行编程 – R_{BYPASS} 和 Q_3 选型

在正常运行期间，电阻 R_{BYPASS} 与旁路 FET R_{DSON} 一起用于设置负载唤醒电流阈值。

选择 MOSFET Q_3 时，重要的电气参数包括最大持续漏极电流 I_D、最大漏源电压 $V_{DS(MAX)}$、最大栅源电压 $V_{GS(MAX)}$ 以及漏源导通电阻 R_{DSON}。

根据设计要求，选择的是 SQS182ELNW-T1，其电压等级为：

- 80V $V_{DS(MAX)}$ 和 ±20V $V_{GS(MAX)}$
- 当 V_{GS} 为 10V 时，$R_{DS(ON)}$ 的典型值为 11mΩ
- MOSFET $Q_{g(total)}$ 的典型值为 26nC
- MOSFET $V_{GS(th)}$ 的最小值为 1.4V
- MOSFET C_{ISS} 的典型值为 1457pF

与负载唤醒阈值相同的短路阈值电压 $V_{(SCP/LWU)}$ 的建议范围为 20mV 至 500mV。接近下限阈值 20mV 的值可能会受到系统噪声的影响。接近上限阈值 500mV 的值将导致较高的短路电流阈值。为了最大限度减少这两个问题，选择 50mV 作为短路阈值电压或负载唤醒阈值电压。

$V_{(SCP/LWU)}$ 值也可以根据所选的 R_{ISCP} 电阻通过以下公式进行计算：

$$V_{(SCP/LWU)}\left(mV\right) = 2\,\mu A \times R_{ISCP} + 19\,mV \tag{15}$$

可以使用以下公式选择 R_{BYPASS} 电阻值：

$$R_{BYPASS} = \frac{V_{(SCP/LWU)}}{I_{LWU}} - R_{DSON_BYPASS} \tag{16}$$

要将负载唤醒阈值设置为 50mA，R_{BYPASS} 的计算值应为大约 2.3Ω。

可通过以下公式计算旁路电阻器的平均额定功率：

$$P_{AVG} = {I_{LWU}}^2 \times R_{BYPASS} \tag{17}$$

计算得出的 R_{BYPASS} 平均功率耗散大约为 5.75mW

以下公式可计算旁路电阻器中的峰值功率耗散：

$$P_{PEAK} = \frac{{V_{BATT_MAX}}^2}{R_{BYPASS}} \tag{18}$$

R_{BYPASS} 的峰值功率耗散计算结果为约 1565W

在 LPM 短路的情况下，上电的峰值功率耗散时间可根据以下公式计算得出：

$$T_{PULSE} = C_{ISS} \times \frac{\left(V_{(G2_GOOD)} - V_{GS(th)}\right)}{I_{(G2)}} + 10\,\mu s \tag{19}$$

其中，

$V_{(G2_GOOD)}$ 是内部阈值，值为 7V（典型值）。

$I_{(G2)}$ 为 165μA（典型值）。

$V_{GS(th)}$ 是栅源电压，C_{ISS} 是所选旁路 FET 的有效输入电容。

根据方程式 19 计算出的 T_{PULSE} 值大约为 60μs。

Copyright © 2025 Texas Instruments Incorporated

为了在超过方程式 19 中计算得出的 T_{PULSE} 时间内支持平均功率耗散和峰值功率耗散，需要使用两个 4.7Ω、1.5W、1% CRCW25124R70FKEGHP 电阻器。

TI 建议设计人员与电阻制造商分享旁路电阻器的整个功率耗散曲线并获取他们的建议。

可根据以下公式计算旁路路径中的峰值短路电流：

$$I_{PEAK_BYPASS} = \frac{V_{IN_MAX}}{R_{BYPASS}} \quad (20)$$

根据方程式 16 中选择的 R_{BYPASS}，计算出 I_{PEAK_BYPASS} 的值为 26A。

设置欠压锁定设定点 R_3 和 R_4

通过连接在器件 VS、EN/UVLO 和 GND 引脚之间的 R_3 和 R_4 外部分压器网络可调整欠压锁定 (UVLO)。设置欠压和过压所需的值通过求解以下公式计算得出：

$$V_{(UVLOR)} = V_{INUVLO} \times \frac{R_4}{R_3 + R_4} \quad (21)$$

为了尽可能降低从电源汲取的输入电流，TI 建议对 R_3 和 R_4 使用较高的电阻值。但是，由于连接到电阻器串的外部有源元件而产生的漏电流会增加这些计算的误差。因此，选择的电阻串电流 $I_{(R34)}$ 必须比 UVLO 引脚的漏电流大 20 倍。

根据器件电气规格，$V_{(UVLOR)}$ = 1.24V。根据设计要求，V_{INUVLO} 为 24V。为了求解该公式，首先选择 R_3 = 470kΩ 值，然后使用方程式 21 求解得出 R_4 = 24.5kΩ。

选择最接近的标准 1% 电阻值：R_3 = 470kΩ 和 R_4 = 24.9kΩ。

8.2.3 应用曲线

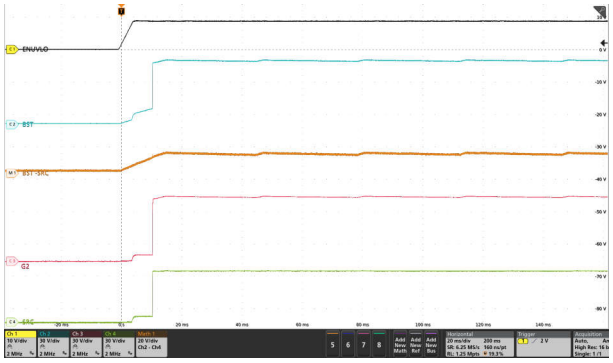


图 8-2. 低功耗路径的启动曲线（$\overline{LPM}$ = 低电平，VIN = 48V，无负载，CBST = 470nF）

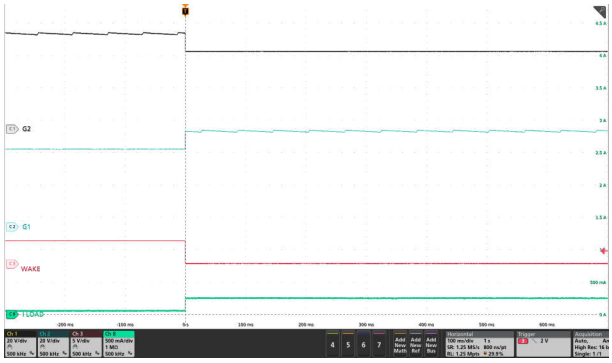


图 8-3. 从 LPM 到工作模式的状态转换（$\overline{LPM}$ = 低电平，VIN = 48V，EN/UVLO = 高电平）

Copyright © 2025 Texas Instruments Incorporated

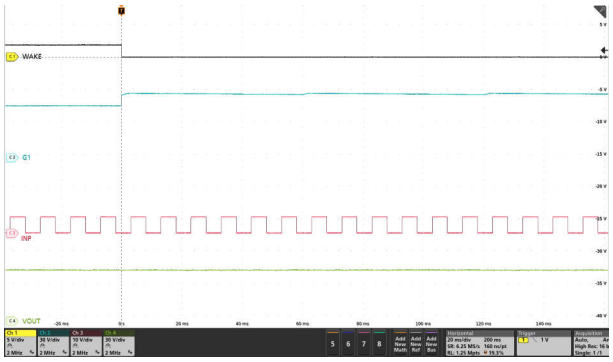


图 8-4. 由于 $\overline{\text{LPM}}$ = 低电平，即使在唤醒后，INP 也无法控制 G1



图 8-5. 从 LPM 到工作模式的状态转换（$\overline{\text{LPM}}$ = 低电平到高电平，VIN = 48V，无负载）



图 8-6. 当 $\overline{\text{LPM}}$ = 低电平到高电平时，INP 获得对 G1 的控制（VIN = 48V，无负载）

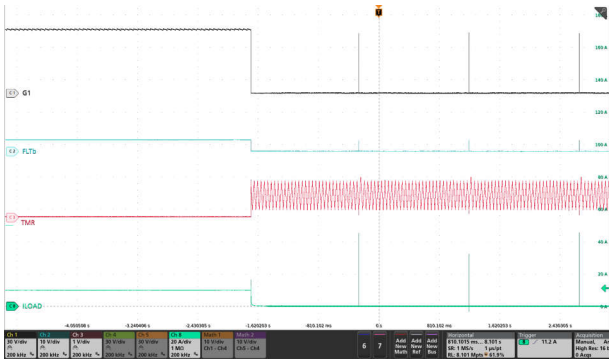


图 8-7. TPS48130-Q1 针对过流故障的自动重试响应



图 8-8. TPS48130-Q1 针对过流故障的闭锁响应

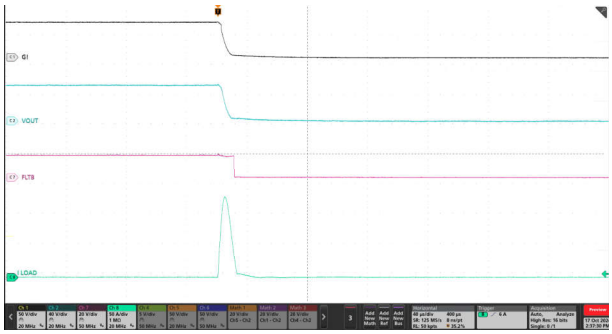


图 8-9. TPS48130-Q1 的输出短路响应

Copyright © 2025 Texas Instruments Incorporated

8.3 典型应用 2：使用自动负载唤醒和输出大容量电容器充电功能来驱动全时供电 (PAAT) 负载

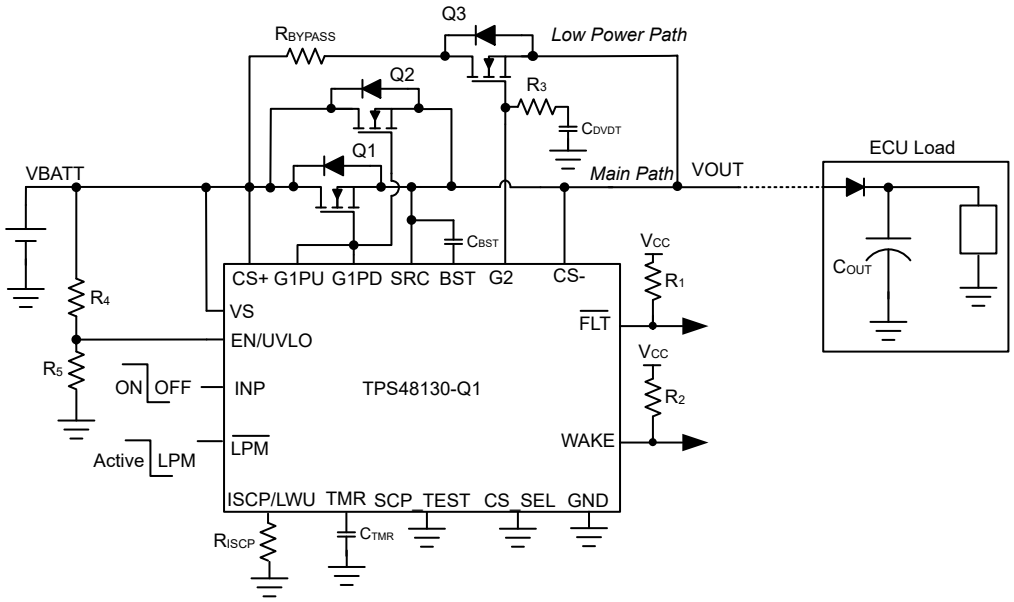


图 8-10. 适用于使用自动负载唤醒和输出大容量电容器充电功能来驱动全时供电 (PAAT) 负载的 TPS48130-Q1 应用电路

8.3.1 设计要求

表 8-2. 设计参数

参数	值
典型输入电压，V_{BATT_MIN} 至 V_{BATT_MAX}	34V 至 60V
欠压锁定设定点，V_{INUVLO}	24V
最大负载电流，I_{OUT}	40A
输出大容量电容器，C_{OUT}	220 µ F
C_{OUT} 充电时间，T_{charge}	8ms
短路保护阈值，I_{SC}	100A
故障计时器周期 (t_{SC})	20 µ s
故障响应	自动重试
负载唤醒阈值，I_{LWU}	50mA

8.3.2 外部元件选型

通过执行节 8.2.2 中所述的类似设计过程，外部元件值计算如下：

- C_{BST} = 220nF
- R_{ISCP} = 48.1kΩ，用于将 100A 设置为短路保护阈值
- C_{TMR} = 1.5nF，用于将短路保护延迟设置为 20 µ s
- 分别选择 470kΩ 和 24.9kΩ 作为 R4 和 R5，以便将 VIN 欠压锁定阈值设置为 24V

对浪涌电流进行编程 – R_3 和 C_{DVDT} 选型

请使用以下公式来计算 I_{INRUSH}：

$$I_{INRUSH} = C_{OUT} \times \frac{V_{BATT_MAX}}{T_{charge}} \quad (22)$$

使用以下公式，可根据方程式 23 中计算出的 I_{INRUSH} 计算所需的 C_g。

$$C_g = \frac{C_{LOAD} \times I_{(G)}}{I_{INRUSH}} \quad (23)$$

其中，

$I_{(G)}$ 为 165µA（典型值）。

若要将 I_{INRUSH} 设置为 1.65A，则 C_g 值计算结果为约 22nF。

串联电阻 R_g 必须与 C_g 一起用于限制关断期间来自 C_g 的放电电流。选择的 R_3 值为 100Ω，C_g 为 22nF。

对负载唤醒阈值进行编程 – R_{BYPASS} 和 Q_3 选型

在正常运行期间，电阻 R_{BYPASS} 与旁路 FET R_{DSON} 一起用于设置负载唤醒电流阈值。

选择 MOSFET Q_3 时，重要的电气参数包括最大持续漏极电流 I_D、最大漏源电压 $V_{DS(MAX)}$、最大栅源电压 $V_{GS(MAX)}$ 以及漏源导通电阻 R_{DSON}。

根据设计要求，选择的是 IAUS200N08S5N023，其电压等级为：

- 80V $V_{DS(MAX)}$ 和 ±20V $V_{GS(MAX)}$
- 当 V_{GS} 为 10V 时，$R_{DS(ON)}$ 的典型值为 2.7mΩ
- MOSFET $Q_{g(total)}$ 的典型值为 85nC
- MOSFET $V_{GS(th)}$ 的最小值为 2.2V
- MOSFET C_{ISS} 的典型值为 5900pF

与负载唤醒阈值相同的短路阈值电压 $V_{(SCP/LWU)}$ 的建议范围为 20mV 至 500mV。接近下限阈值 20mV 的值可能会受到系统噪声的影响。接近上限阈值 500mV 的值将导致较高的短路电流阈值。为了最大限度减少这两个问题，选择 50mV 作为短路阈值电压或负载唤醒阈值电压。

$V_{(SCP/LWU)}$ 值也可以根据所选的 R_{ISCP} 电阻通过以下公式进行计算：

$$V_{(SCP/LWU)}\,(mV) = 2\,\mu A \times R_{ISCP} + 19\,mV \quad (24)$$

可以使用以下公式选择 R_{BYPASS} 电阻值：

$$R_{BYPASS} = \frac{V_{(SCP/LWU)}}{I_{LWU}} - R_{DSON_BYPASS} \quad (25)$$

要将负载唤醒阈值设置为 50mA，R_{BYPASS} 的计算值应为大约 2.3Ω。

可通过以下公式计算旁路电阻器的平均额定功率：

$$P_{AVG} = I_{LWU}^2 \times R_{BYPASS} \quad (26)$$

计算得出的 R_{BYPASS} 平均功率耗散大约为 5.75mW。

以下公式可计算旁路电阻器中的峰值功率耗散：

$$P_{PEAK} = \frac{V_{BATT_MAX}^2}{R_{BYPASS}} \quad (27)$$

Copyright © 2025 Texas Instruments Incorporated

R_{BYPASS} 的峰值功率耗散计算结果为约 1565W。

在 LPM 短路的情况下，上电的峰值功率耗散时间可根据以下公式计算得出：

$$T_{PULSE} = C_{ISS} \times \frac{\left(V_{(G2_GOOD)} - V_{GS(th)}\right)}{I_{(G2)}} + 10\ \mu s \quad (28)$$

其中，

$V_{(G2_GOOD)}$ 是内部阈值，值为 7V（典型值）。

$I_{(G2)}$ 为 165μA（典型值）。

$V_{GS(th)}$ 是栅源电压，C_{ISS} 是所选旁路 FET 的有效输入电容。

根据方程式 28 计算出的 T_{PULSE} 值大约为 182μs。

为了在超过方程式 28 中计算得出的 T_{PULSE} 时间内支持平均功率耗散和峰值功率耗散，需要使用两个 4.7Ω、1.5W、1% CRCW25124R70FKEGHP 电阻器。

TI 建议设计人员与电阻制造商分享旁路电阻器的整个功率耗散曲线并获取他们的建议。

可根据以下公式计算旁路路径中的峰值短路电流：

$$I_{PEAK_BYPASS} = \frac{V_{IN_MAX}}{R_{BYPASS}} \quad (29)$$

根据方程式 25 中选择的 R_{BYPASS}，计算出 I_{PEAK_BYPASS} 的值为 26A。

TI 建议设计人员确保旁路路径 (Q_3) 的工作点（V_{BATT_MAX}、I_{PEAK_BYPASS}）处于 SOA 曲线内的时间超过方程式 28 中计算的 T_{PULSE}。

8.3.3 应用曲线

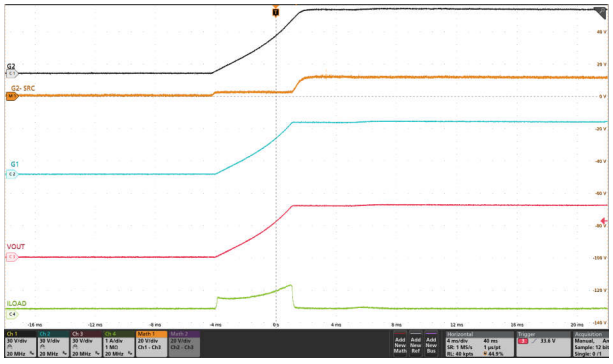


图 8-11. 输出端为 220μF 时的浪涌电流曲线（$\overline{LPM}$ = 低电平）

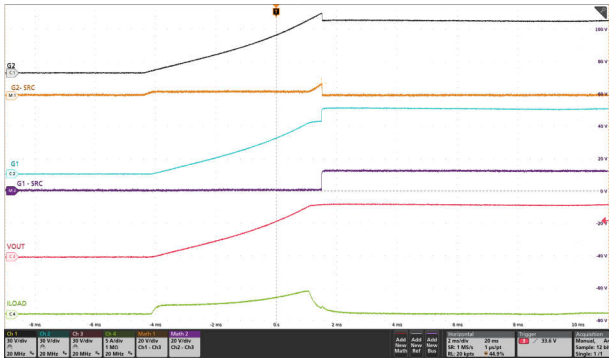


图 8-12. 输出端为 220μF 且负载为 0.5A 时的浪涌电流曲线（$\overline{LPM}$ = 低电平）

Copyright © 2025 Texas Instruments Incorporated

8.4 TIDA-020065：使用自动负载唤醒、输出大容量电容器充电、双向电流检测和软件 I²t 驱动全时供电 (PAAT) 负载的汽车级智能保险丝参考设计

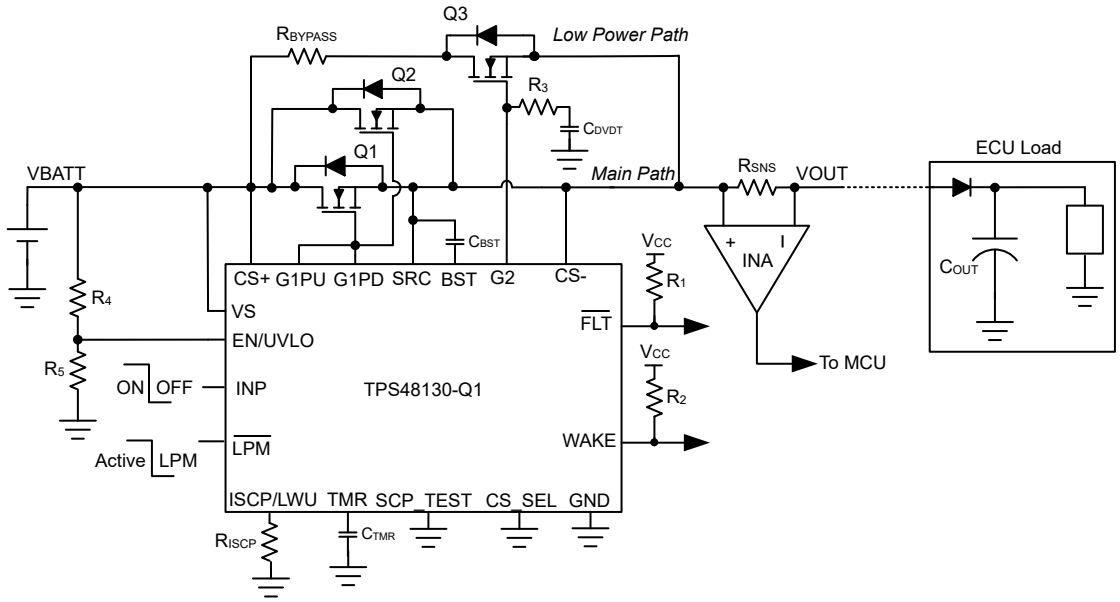


图 8-13. 具有双向电流检测和软件 I2t 的常开型汽车级电子保险丝

TIDA-020065 汽车级智能保险丝设计适用于配电盒和区域控制模块系统。随着车辆从基于域的架构转向基于区域的架构，这些系统旨在使用半导体设计取代标准的熔断型保险丝，从而支持以下功能：

1. 可复位保险丝，由于保险丝不再需要位于易于操作的位置，因此可优化电缆布线。
2. 改善了整个温度范围内的时间电流特性，与标准熔断型保险丝相比，器件之间的可变性更小，因此可以优化线束电缆直径并降低成本。

然而，更换熔断型保险丝会带来以下难题：

1. 过载和短路事件期间进行线束保护，同时在峰值负载瞬态事件期间避免跳闸
2. 在为负载大容量电容器充电时保护 FET 免受不受控制的浪涌电流的影响
3. 降低全时供电负载在关断状态下的半导体功耗

TIDA-020065 旨在展示如何针对高电流负载在系统级别解决这些难题。此设计采用 TPS48130-Q1 器件在驱动状态下驱动主电源路径，并在关断状态下驱动低功耗路径。此设计还采用 INA296B3-Q1 器件检测负载电流，因此 MSPM0L1306-Q1 可以运行基于软件的 I2t 算法来复制保险丝行为。

8.5 电源相关建议

当外部 MOSFET 在 INP 控制、过流保护等条件下关断时，输入寄生线路电感会在输入端产生正电压尖峰，而输出寄生电感会在输出端产生负电压尖峰。电压尖峰（瞬变）的峰值振幅取决于与器件输入或输出串联的电感值。如果未采取措施解决此问题，这些瞬变可能会超过器件的*绝对最大额定值*。解决瞬变的典型方法包括：

- 在输入端和 GND 之间使用 TVS 二极管和输入电容器滤波器组合来吸收能量并抑制正瞬态。
- 在输出端和 GND 之间使用二极管或 TVS 二极管来吸收负尖峰。

TPS48130-Q1 由 VS 引脚供电。为了确保正常运行，此引脚上的电压必须保持在 $V_{(VS_PORR)}$ 电平以上。如果输入电源有瞬态噪声，TI 建议在输入电源线路和 VS 引脚之间放置一个 R_{VS} – C_{VS} 滤波器以滤除电源噪声。TI 建议采用大约 100Ω 的 R_{VS} 值。

Copyright © 2025 Texas Instruments Incorporated

在涉及较大 di/dt 的情况下，系统和布局寄生电感可能会在 CS+ 和 CS – 引脚之间产生较大的差分信号电压。此操作可能会在系统中触发错误的短路保护并干扰跳闸。为了解决这种问题，TI 建议在检测电阻 (R_{SNS}) 上添加用于表示 RC 滤波器元件的占位元件，并在实际系统的测试期间调整相应的值。在通过 MOSFET VDS 检测实现的电流检测设计中，不得使用 RC 滤波器元件，以免影响短路保护响应。

图 8-14 展示了具有可选保护元件的电路实施方案。

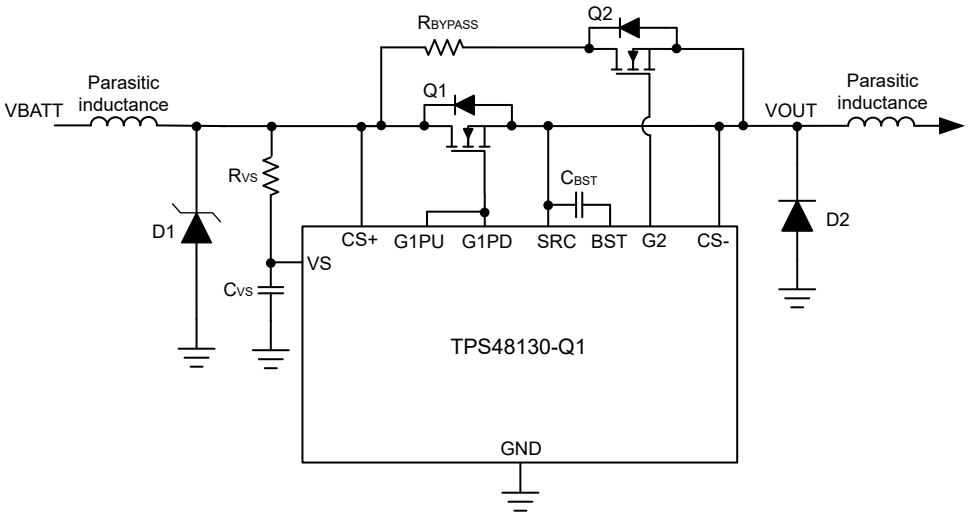


图 8-14. 采用可选保护元件的 TPS48130-Q1 电路实施方案

8.6 布局

8.6.1 布局指南

- 将检测电阻 (R_{SNS}) 靠近 TPS48130-Q1 放置，然后使用开尔文技术连接 R_{SNS}。更多有关开尔文技术的信息，请参阅*选择合适的检测电阻布局*。

  对于基于 VDS 的电流检测，请在 MOSFET 上使用相同的开尔文技术。
- 对于所有应用，在 VS 端子和 GND 之间选择一个 0.1µF 或值更高的陶瓷去耦电容器。为改善去耦以应对电源线路干扰，可考虑在控制器的电源引脚 (VS) 处添加 RC 网络。
- 为最大限度减小环路电感，使电路板输入到负载的大电流路径以及返回路径相互平行且彼此靠近。
- 将外部 MOSFET 靠近控制器栅极驱动引脚 (G1PU/G1PD) 放置，从而使 MOSFET 的栅极靠近控制器栅极驱动引脚并形成一个较短的栅极环路。考虑添加一个占位电阻与每个外部 MOSFET 的栅极串联，以便在需要时抑制高频振荡。
- 在输入端放置一个 TVS 二极管以用于在热插拔和快速关断事件期间钳制电压瞬态。
- 将外部自举电容器靠近 BST 和 SRC 引脚放置以形成极短的环路。
- 将 TPS48130-Q1 周围各种元件的接地连接直接相互连接，并连接到 TPS48130-Q1 GND，然后连接到系统地的一个点上。请勿通过大电流接地线将各种元件接地相互连接。

Copyright © 2025 Texas Instruments Incorporated

8.6.2 布局示例

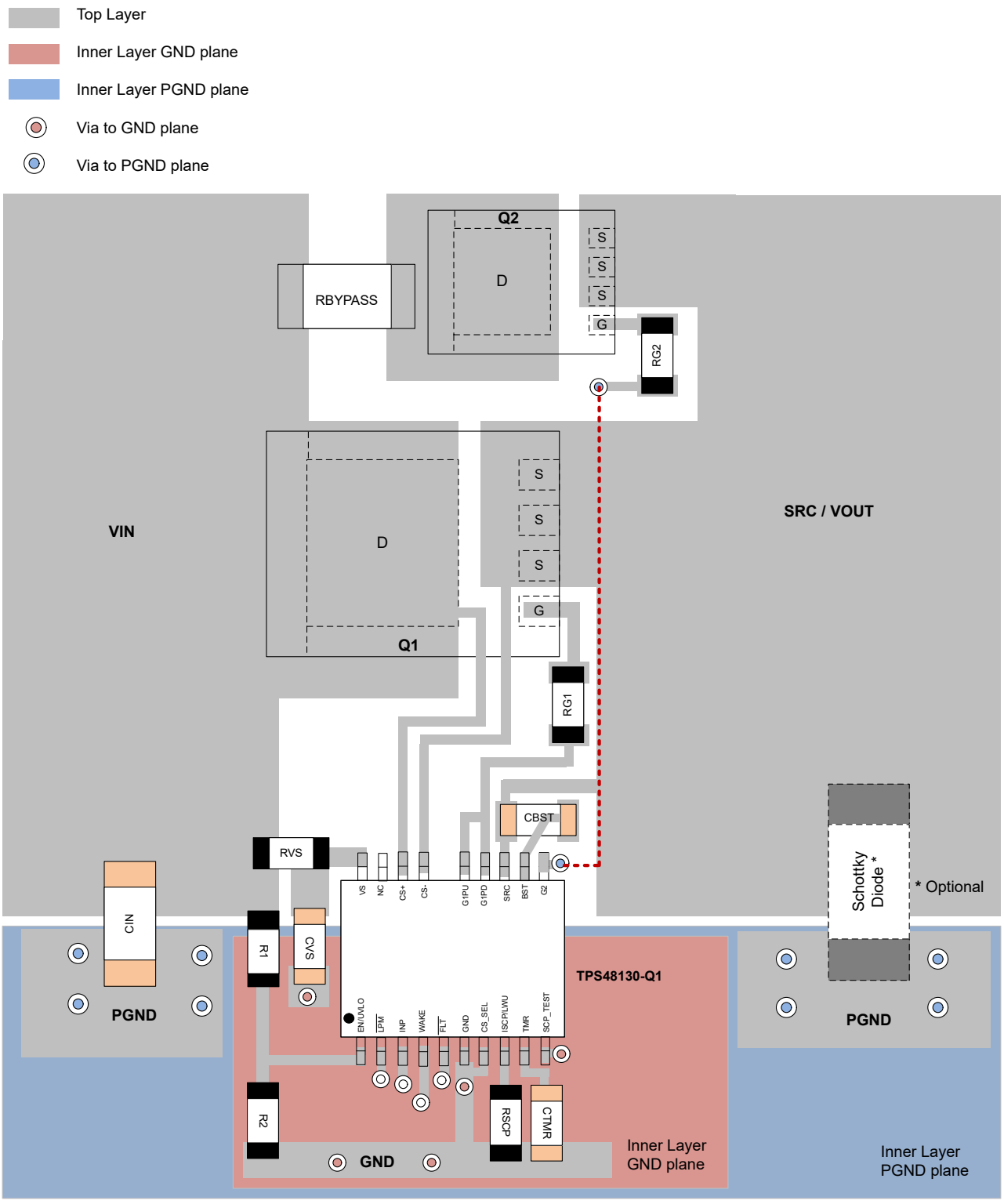


图 8-15. 具有低功耗路径的 TPS48130-Q1 典型 PCB 布局示例

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
December 2024	*	初始发行版

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS48130QDGXRQ1	Active	Production	VSSOP (DGX) | 19	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4813
TPS48130QDGXRQ1.A	Active	Production	VSSOP (DGX) | 19	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	See TPS48130QDGXRQ1	4813

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

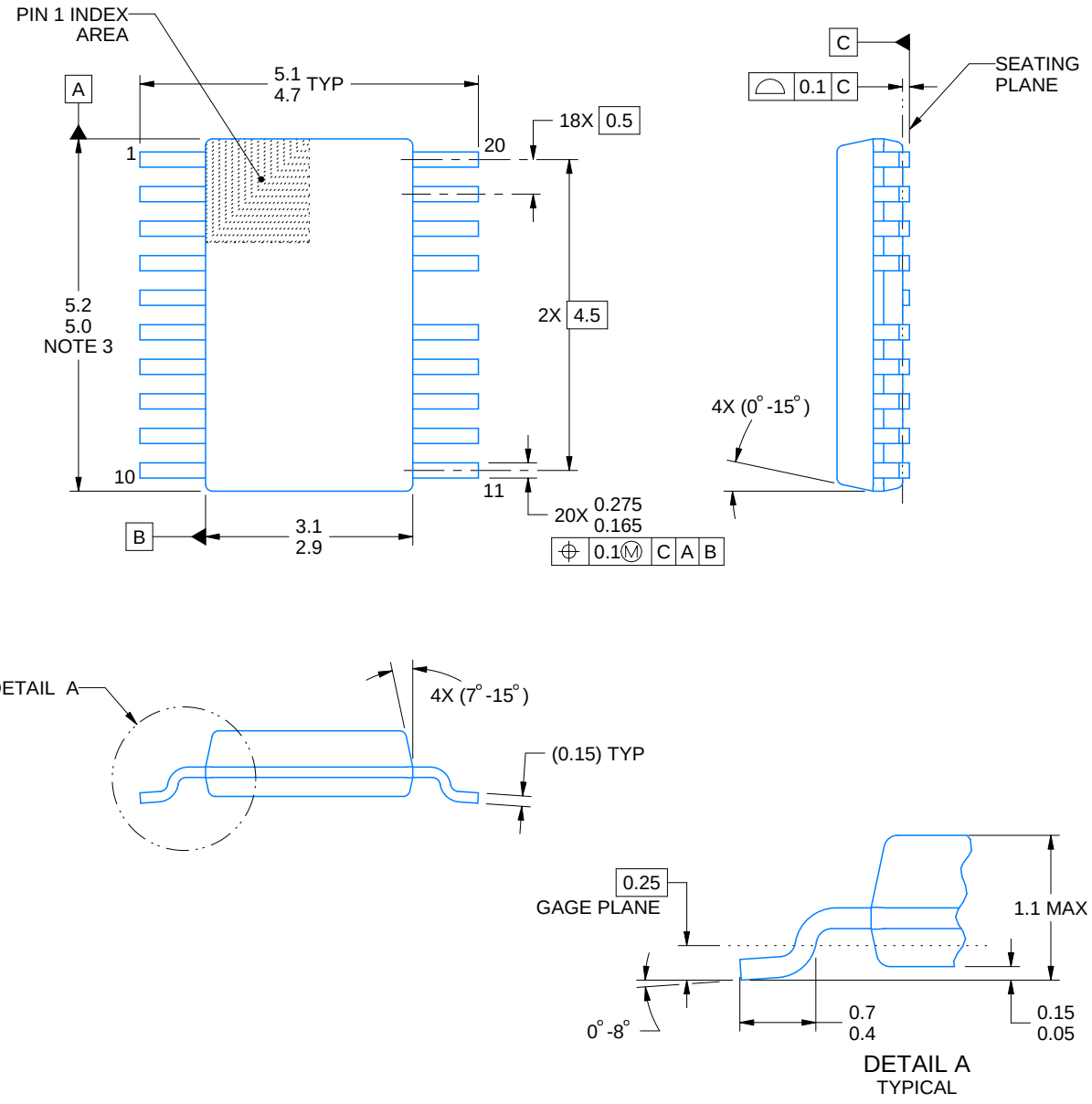
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PACKAGE OUTLINE

DGX0019A

VSSOP - 1.1 mm max height

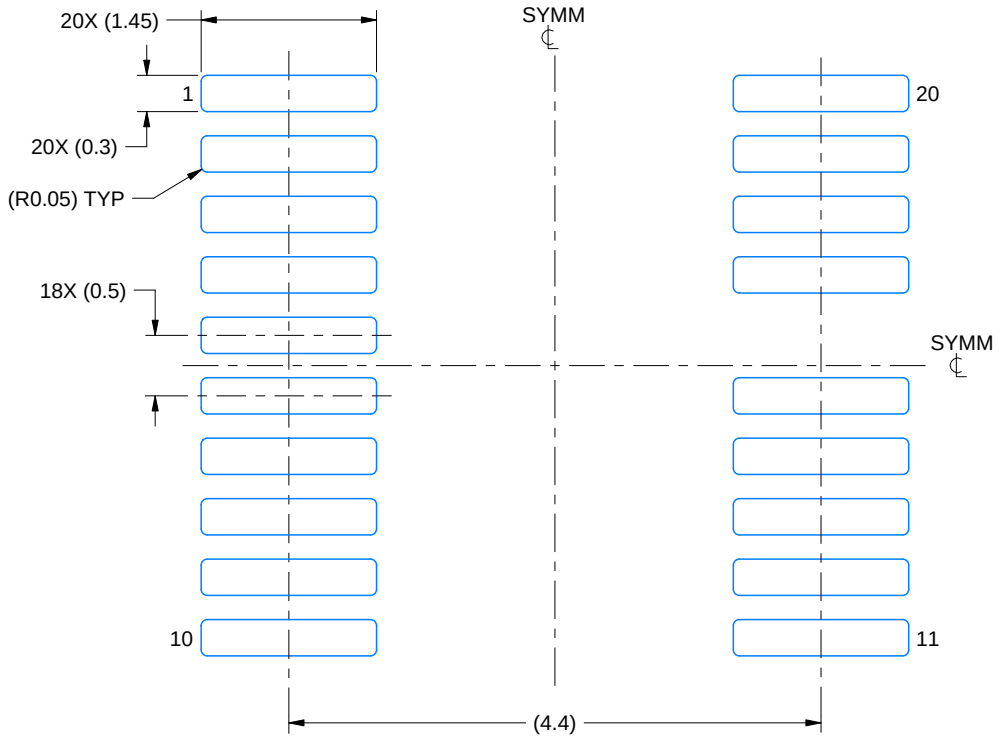
SMALL OUTLINE PACKAGE



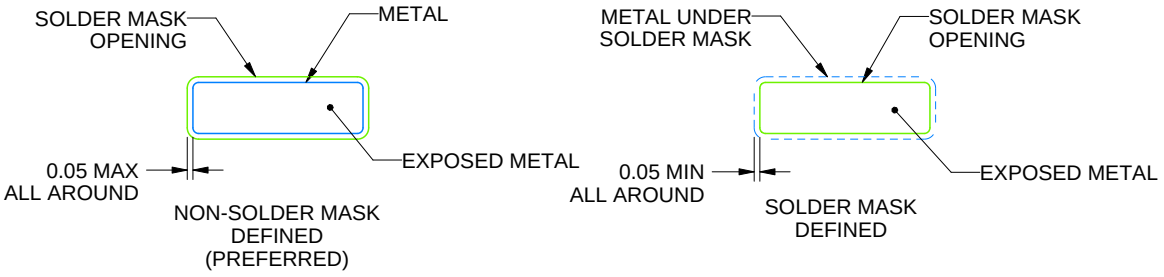
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of July 2021.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE: 16X

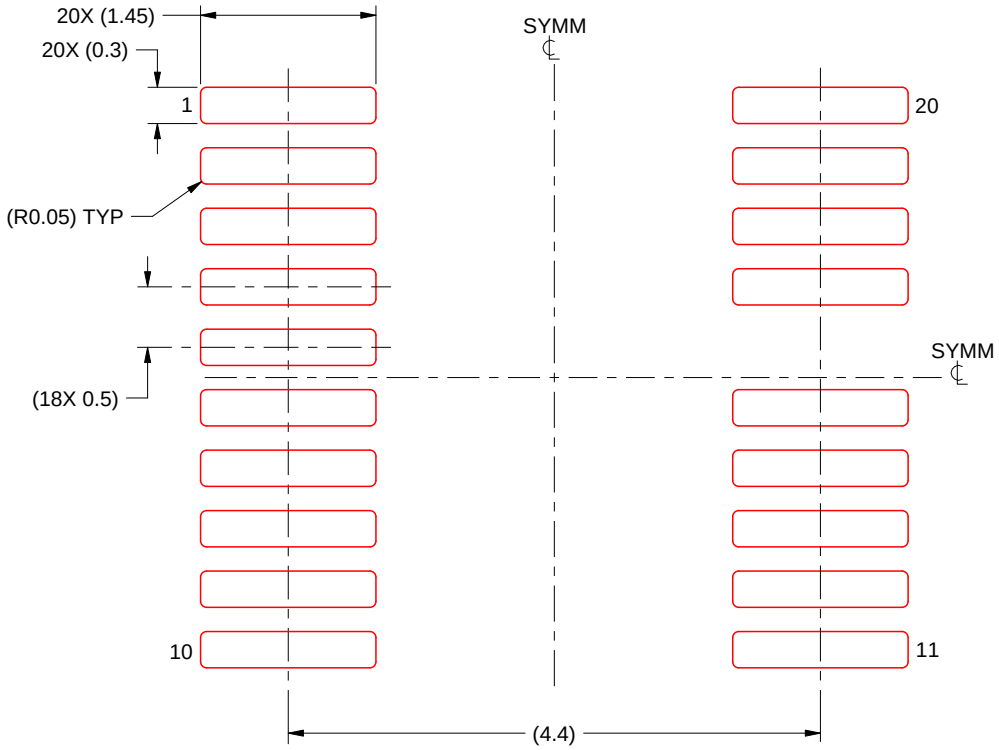


SOLDER MASK DETAILS

4226944/A 07/2021

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226944/A 07/2021

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月