TPS4812-Q1 具有双向 IMON、低功耗模式、负载唤醒、I²t 保护和诊断功能的 100V、低 I_Q 汽车级高侧开关控制器

1 特性

- 符合 AEC-Q100 汽车标准，温度等级为 1 级
- 3.5V 至 95V 输入范围（绝对最大值为 100V）
- 反向输入和输出保护低至 –65V
- 集成 12V 电荷泵
- 低功耗模式下（$\overline{LPM}$ = 低电平）低 I_Q = 20µA
- 1µA 低关断电流（EN/UVLO = 低电平）
- 双栅极驱动器：GATE：0.5A 拉电流/2A 灌电流
  G：100 µ A 拉电流/0.39A 灌电流
- 通过可调节断路器计时器 (I2t) 实现精确的 I²t 过流保护 (IOC)
- 精确快速 (5µs) 的短路保护
- 使用可调节负载唤醒阈值或带唤醒指示的 $\overline{LPM}$ 触发器从低功耗模式快速转换 (5µs) 到工作模式
- 精确的模拟双向电流监测器输出（IMON、I_DIR）：30mV V_{SNS} 下为 ±2%
- 基于 NTC 的过热检测 (TMP) 和监测输出 (ITMPO)
- 在短路故障、I²t、电荷泵 UVLO、过热期间提供故障指示 ($\overline{FLT}$)
- TPS48120-Q1 启用 I²t，TPS48121-Q1 禁用 I²t
- 精确 (±2%) 且可调节的欠压锁定 (UVLO)

2 应用

- 配电盒
- 车身控制模块
- 直流/直流转换器
- 电池管理系统

3 说明

TPS4812-Q1 是具有保护和诊断功能的低 IQ 智能高侧驱动器系列。该器件具有 3.5V 至 95V 的宽工作电压范围，绝对最大电压为 100V，非常适合 12V、24V 和 48V 汽车系统设计。

它有两个集成栅极驱动器，分别具有 0.5A 拉电流和 2A 灌电流 (GATE) 以及 100 µ A 拉电流和 0.39A 灌电流 (G)。当 $\overline{LPM}$ 为低电平时，低功率路径保持导通，而主 FET 以 20µA（典型值）的 IQ 关断。使用放置在 DRN 和 CS2– 之间的 R_{BYPASS} 电阻器可调整自动负载唤醒阈值。在 EN/UVLO 处于低电平时，IQ 降至 1 µ A（典型值）。

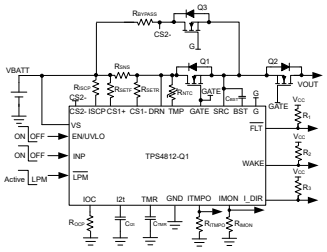
该器件具有精确的双向电流检测 (±2%) 输出（IMON、I_DIR），并通过外部 R_{SNS} 电阻器和 $\overline{FLT}$ 指示功能实现基于 I²t 的可调节过流和短路保护。可以配置自动重试和闭锁故障行为。该器件还具有基于 NTC 的温度检测 (TMP) 和用于外部 FET 过热检测的监控输出 (ITMPO) 输出。

TPS4812-Q1 采用 23 引脚 VQFN 封装。

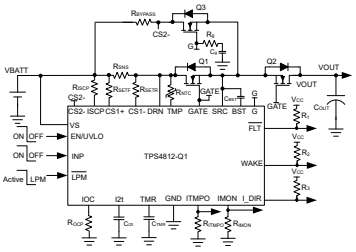
封装信息

器件型号	封装(1)	封装尺寸(2)
TPS48120-Q1、TPS48121-Q1	RGE（VQFN，23）	4.00mm × 4.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



驱动 PAAT 负载、具有负载唤醒的 TPS48120-Q1 应用电路



驱动 PAAT 负载、具有负载唤醒和大容量电容器充电功能的 TPS48120-Q1 应用电路

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 器件比较.....3
5 引脚配置和功能.....4
6 规格.....7
6.1 绝对最大额定值.....7
6.2 ESD 等级.....7
6.3 建议运行条件.....7
6.4 热性能信息.....8
6.5 电气特性.....8
6.6 开关特性.....10
6.7 典型特性.....11
7 参数测量信息.....13
8 详细说明.....16
8.1 概述.....16
8.2 功能方框图.....17
8.3 特性说明.....18
8.4 器件功能模式.....32
9 应用和实施.....37
9.1 应用信息.....37
9.2 典型应用 1：使用自动负载唤醒功能来驱动全时供电 (PAAT) 负载.....37
9.3 典型应用 2：使用自动负载唤醒和输出大容量电容器充电功能来驱动全时供电 (PAAT) 负载.....43
9.4 电源相关建议.....46
9.5 布局.....46
10 器件和文档支持.....48
10.1 接收文档更新通知.....48
10.2 支持资源.....48
10.3 商标.....48
10.4 静电放电警告.....48
10.5 术语表.....48
11 修订历史记录.....48
12 机械、封装和可订购信息.....48

Copyright © 2025 Texas Instruments Incorporated

4 器件比较

表 4-1. 器件比较

器件名称/功能	TPS48120-Q1	TPS48121-Q1
I^2t 保护	是	否

Copyright © 2025 Texas Instruments Incorporated

5 引脚配置和功能

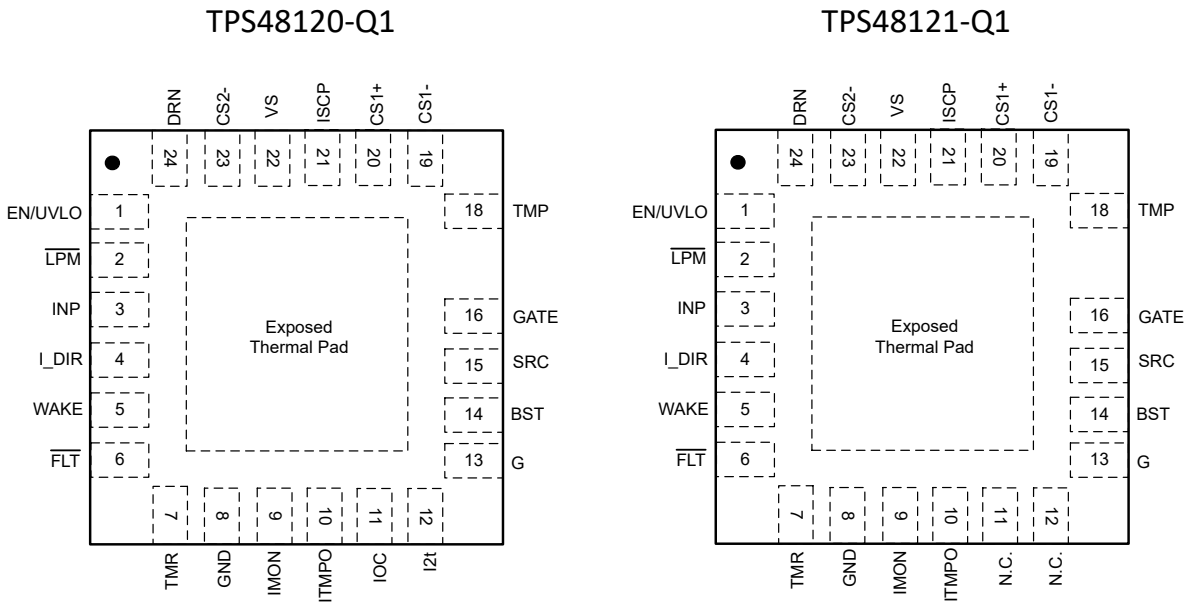


图 5-1. RGE 封装，23 引脚 VQFN（透明顶视图）

表 5-1. 引脚功能

引脚			类型(1)	说明
名称	TPS48120-Q1	TPS48121-Q1		
EN/UVLO	1	1	I	EN/UVLO 输入。 此引脚上的电压高于 $V_{(UVLOR)}$ (1.21V) 即可实现正常运行。如果 EN/UVLO 低于 $V_{(UVLOF)}$，则栅极驱动器会被关断。 强制此引脚低于 $V_{(ENF)}$ (0.3V) 会关断器件，从而将静态电流降低至约 1μA（典型值）。（可选）通过电阻分压器连接到输入电源以设置欠压锁定。 当 EN/UVLO 保持悬空时，100nA 的内部下拉会将 EN/UVLO 拉至低电平并使器件保持关断状态。
$\overline{\text{LPM}}$	2	2	I	模式控制输入。 当被驱动为高电平时，器件将进入工作模式。当被驱动为低电平时，器件将进入低功耗模式。 如果不需要低功耗模式，可将 $\overline{\text{LPM}}$ 引脚连接到 EN/UVLO 引脚。 当 $\overline{\text{LPM}}$ 保持悬空时，100nA 的内部下拉会将 $\overline{\text{LPM}}$ 拉至低电平。
INP	3	3	I	用于外部 FET 控制的输入信号。 兼容 CMOS 的 GND 输入基准可设置 GATE 引脚的状态。 INP 具有下拉至 GND 的 100nA 内部弱下拉，可在 INP 保持悬空时使 GATE 保持拉至 SRC。
I_DIR	4	4	I	开漏 I_DIR 输出。 当流经 CS1+ 和 CS1– 的电流反向流动时，该引脚被器件置为低电平有效。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚功能（续）

引脚			类型[1]	说明
名称	TPS48120-Q1	TPS48121-Q1		
WAKE	5	5	O	开漏唤醒输出。 当器件进入工作模式时（当 $\overline{\text{LPM}}$ 被驱动为高电平或当发生负载唤醒事件时），器件会将此引脚置为低电平有效。
$\overline{\text{FLT}}$	6	6	O	开漏故障输出。 $\overline{\text{FLT}}$ 会在电荷泵 UVLO、主 FET SCP、I^2t 计时器触发和基于 NTC 的外部 FET 发生过热故障期间变为低电平。 在 I2t 引脚上的电压达到故障阈值 2V 后，该引脚置为低电平有效。该引脚会指示主 FET 因过载状况而即将关断。该引脚在短路期间置为低电平有效，同时 GATE 关断。 直到过流状况和自动重试时间到期，$\overline{\text{FLT}}$ 引脚才不会进入高阻抗状态。
TMR	7	7	I	过流故障后的自动重试或锁存计时器输入。 TMR 引脚与 GND 之间的电容器可设置重试期间的时间。保持开路可实现超快速设置。 连接 C_{TMR} 上的电阻器（从 TMR 引脚到 GND）可实现闭锁功能。
GND	8	8	G	将 GND 连接到系统地。
IMON	9	9	O	模拟双向电流监测器输出。 该引脚通过外部电流检测电阻 R_{SNS} 提供按比例降低的电流。该引脚与 GND 之间的电阻可将电流成比例转换为电压。 如果不使用，请保持悬空，或者可以接地。
ITMPO	10	10	O	模拟温度输出。 模拟电压反馈可提供与热敏电阻温度成比例的电压。 如果不使用，请保持悬空。
IOC	11	—	I	过流检测设置。 IOC 与 GND 之间的电阻器可以设置过流比较器阈值。也可以使用 MCU 从外部驱动 IOC 引脚。
N.C.	—	11	—	无连接。
I2t	12	—	O	I2t 计时器输入。 I2t 引脚与 GND 之间的电容器可设置过流时间 (t_{OC})。
N.C.	—	12	—	无连接。
G	13	13	O	外部旁路 FET 的栅极。 100μA 峰值拉电流和 0.39A 灌电流容量。 连接到外部旁路 FET 的栅极。
BST	14	14	O	高侧自举电源。 应该在此引脚和 SRC 之间连接一个最小值为 0.1μF 的外部电容器。此引脚上的电压摆幅为 12V 至 (VIN + 12V)。
SRC	15	15	O	外部 FET 的源极连接。
GATE	16	16	O	高电流栅极驱动器上拉和下拉。 0.5A 峰值拉电流和 2A 灌电流容量。 该引脚会将 GATE 上拉至 BST 并下拉至 SRC。为了实现最快导通和关断，请将该引脚直接连接到主路径中外部高侧 MOSFET 的栅极。
TMP	18	18	I	温度输入。 与外部 NTC 热敏电阻的模拟连接。 如果不使用此功能，请将 TMP 引脚直接连接到 VS

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚功能（续）

引脚			类型(1)	说明
名称	TPS48120-Q1	TPS48121-Q1		
CS1 –	19	19	I	主路径电流检测负输入。 将电阻 (R_{SETR}) 放置在 CS1 – 与外部电流检测电阻之间，用于设置反向 IMON 增益。
CS1+	20	20	I	主路径电流检测正输入。 将电阻 (R_{SETF}) 放置在 CS1+ 与外部电流检测电阻之间，用于设置正向 IMON 增益。 如果不使用主 FET 电流检测功能，请将 CS1+ 和 CS1 – 连接到 VBATT。
ISCP	21	21	I	短路检测阈值设置。 如果不需要短路保护功能，请将 ISCP 连接到 DRN。
VS	22	22	P	控制器的电源引脚。
CS2 –	23	23	I	旁路路径电流检测负输入。
DRN	24	24	I	主路径 SCP 检测负输入。 如果不使用旁路路径，请将 DRN+ 和 CS2 – 一起连接到 RSNS 之后的 VBATT。
GND	散热焊盘	—	—	将外露散热焊盘连接到 GND 平面。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

Copyright © 2025 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
输入引脚	VS、CS1+、CS1 –、DRN、CS2 –、ISCP、TMP 至 GND	-65	100	V
输入引脚	VS、CS1+、CS1 –、DRN、CS2 –、ISCP、TMP 至 SRC	-65	100	V
输入引脚	SRC 至 GND	-65	100	V
输入引脚	GATE、G、BST 至 SRC	-0.3	19	V
输入引脚	TMR 至 GND	-0.3	5.5	V
输入引脚	IOC 至 GND，仅 TPS48120-Q1	-1	5.5	V
输入引脚	EN/UVLO，INP，$\overline{LPM}$；$V_{(VS)}$ > 0V	-1	100	V
输入引脚	EN/UVLO，INP，$\overline{LPM}$；$V_{(VS)}$ ≤ 0V	$V_{(VS)}$	(100 + $V_{(VS)}$)	V
输入引脚	CS1+ 至 CS1 –	-0.3	0.4	V
输入引脚	DRN 至 CS2 –	-5	100	V
输出引脚	$\overline{FLT}$，I_DIR，WAKE 至 GND	-1	20	V
输出引脚	IMON 至 GND	-1	5.5	V
输出引脚	I2t，ITMPO 至 GND，仅 TPS48120-Q1	-1	7.5	V
输出引脚	ITMPO 至 GND，仅 TPS48121-Q1	-1	7.5	V
输出引脚	GATE、G、BST 至 GND	-65	112	V
灌电流	$I_{(\overline{FLT})}$ $I_{(I_DIR)}$ $I_{(WAKE)}$		10	mA
灌电流	$I_{(CS1+)}$ 至 $I_{(CS1-)}$，1ms；$I_{(DRN)}$ 至 $I_{(CS2-)}$，1ms		100	mA
工作结温，T_j (2)		-40	150	°C
贮存温度，T_{stg}		-40	150	

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 高结温会缩短工作寿命。结温高于 125°C 时，工作寿命会缩短。

6.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)		±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 标准	转角引脚	±750	
			其他引脚	±500	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	标称值	最大值	单位
输入引脚	VS、CS1+、CS1 –、DRN、CS2 –、ISCP、TMP 至 GND	-60		95	V
输入引脚	EN/UVLO、INP、$\overline{LPM}$	0		95	V
输入引脚	IOC、TMR 至 GND，仅 TPS48120-Q1	0		5	V
输入引脚	TMR 至 GND，仅 TPS48121-Q1	0		5	V
输出引脚	I2t、IMON、ITMPO 至 GND，仅 TPS48120-Q1	0		5	V
输出引脚	IMON，ITMPO 至 GND，仅 TPS48121-Q1	0		5	V
输出引脚	$\overline{FLT}$、WAKE、I_DIR 至 GND	0		15	V

Copyright © 2025 Texas Instruments Incorporated

6.3 建议运行条件（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	标称值	最大值	单位
外部电容器	VS、SRC 至 GND	22			nF
外部电容器	BST 至 SRC	0.1			µF
外部电容器	I2t 至 GND	10			nF
外部电容器	TMR 至 GND	1			nF
Tj	工作结温(2)	-40		150	°C

(1) 建议运行条件是器件可正常运行的条件。有关规格和测试条件，请参阅“电气特性”。
(2) 高结温会缩短工作寿命。结温高于 125°C 时，工作寿命会缩短。

6.4 热性能信息

热指标(1)		TPS4812x-Q1 RGE (VQFN) 23 引脚	单位
$R_{\theta JA}$	结至环境热阻	43	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	38.3	°C/W
$R_{\theta JB}$	结至电路板热阻	20.8	°C/W
Ψ_{JT}	结至顶部特征参数	0.8	°C/W
Ψ_{JB}	结至电路板特征参数	20.7	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

6.5 电气特性

T_J = –40°C 至 +125°C。$V_{(VS)}$ = 48V、$V_{(BST-SRC)}$ = 12V、$V_{(SRC)}$ = 0V

参数		测试条件	最小值	典型值	最大值	单位
电源电压 (VS)						
VS	工作输入电压		3.5		95	V
$V_{(S_PORR)}$	输入电源 POR 阈值，上升		2.06	2.6	3.12	V
$V_{(S_PORF)}$	输入电源 POR 阈值，下降		2	2.5	3.01	V
	系统总静态电流，$I_{(GND)}$	$V_{(EN/UVLO)}$ = $V_{(\overline{LPM})}$ = 2V		430	525	µA
	系统总静态电流，$I_{(GND)}$	$V_{(EN/UVLO)}$ = $V_{(\overline{LPM})}$ = 2V 仅 TPS48121-Q1		370	470	µA
	系统总静态电流，$I_{(GND)}$	$V_{(EN/UVLO)}$ = 2V，$V_{(\overline{LPM})}$ = 0V		20	24	µA
$I_{(SHDN)}$	SHDN 电流，$I_{(GND)}$	$V_{(SRC)}$ = 48V，$V_{(EN/UVLO)}$ = 0V，$V_{(SRC)}$ = 0V		0.9	3.4	µA
$I_{(REV_VS)}$	反极性期间的漏电流，$I_{(VS)}$	0V ≤ $V_{(VS)}$ ≤ –65V			60	µA
$I_{(REV_SRC)}$	反极性期间的漏电流，$I_{(SRC)}$	0V ≤ $V_{(VS)}$ ≤ –65V			27	µA
使能、欠压锁定 (EN/UVLO) 和过压保护输入 (OV)						
$V_{(UVLOR)}$	UVLO 阈值电压，上升		1.16	1.2	1.245	V
$V_{(UVLOF)}$	UVLO 阈值电压，下降		1.09	1.11	1.16	V
$V_{(ENR)}$	低 Iq 关断使能阈值电压，上升				1	V
$V_{(ENF)}$	低 Iq 关断使能阈值电压，下降		0.3			V
$I_{(EN/UVLO)}$	使能输入漏电流	$V_{(EN/UVLO)}$ = 48V			500	nA
电荷泵 (BST-SRC)						
$I_{(BST_LPM)}$	LPM 下的电荷泵电源电流	$V_{(BST-SRC)}$ = 10V，$V_{(EN/UVLO)}$ = 2V，$V_{(\overline{LPM})}$ = 0V	175	360	575	µA

Copyright © 2025 Texas Instruments Incorporated

6.5 电气特性（续）

T_J = –40°C 至 +125°C。$V_{(VS)}$ = 48V、$V_{(BST-SRC)}$ = 12V、$V_{(SRC)}$ = 0V

参数		测试条件	最小值	典型值	最大值	单位
$I_{(BST_AM)}$	工作模式下的电荷泵电源电流	$V_{(BST-SRC)}$ = 12V，$V_{(EN/UVLO)}$ = 2V，$V_{(\overline{LPM})}$ = 2V	300	540	775	μA
$V_{(BST\ UVLO)}$	$V_{(BST-SRC)}$ UVLO 电压阈值，上升	$V_{(EN/UVLO)}$ = 2V	7	7.6	8.4	V
	$V_{(BST-SRC)}$ UVLO 电压阈值，下降	$V_{(EN/UVLO)}$ = 2V	6	6.6	7.2	V
$VCP_{(AM_LOW)}$	工作模式下的电荷泵导通电压	$V_{(EN/UVLO)}$ = 2V，$V_{(\overline{LPM})}$ = 2V	9.5	10.4	12.3	V
$VCP_{(AM_HIGH)}$	工作模式下的电荷泵关断电压	$V_{(EN/UVLO)}$ = 2V，$V_{(\overline{LPM})}$ = 2V	10.42	11.3	13	V
$VCP_{(LPM_LOW)}$	低功耗模式下的电荷泵导通电压	$V_{(EN/UVLO)}$ = 2V，$V_{(\overline{LPM})}$ = 0V	8.3	9.3	10.6	V
$VCP_{(LPM_HIGH)}$	低功耗模式下的电荷泵关断电压	$V_{(EN/UVLO)}$ = 2V，$V_{(\overline{LPM})}$ = 0V	9.02	10.3	11.8	V
$VCP_{(VS_3V)}$	$V_{(VS)}$ = 3V 时的电荷泵电压	$V_{(EN/UVLO)}$ = 2V	8			V
$V_{(G_GOOD)}$	当旁路比较器基准从 2V 变为 200mV 时，与 BST 相关的 G 驱动正常上升阈值			2.3		V
$I_{(SRC)}$	SRC 引脚漏电流	$V_{(EN/UVLO)}$ = 2V，$V_{(INP)}$ = 0，$V_{(\overline{LPM})}$ = 2V		1	1.57	μA
GATE 驱动器输出（GATE、G）						
$I_{(GATE)}$	峰值拉电流			0.5		A
$I_{(GATE)}$	峰值灌电流			2		A
$I_{(G)}$	栅极充电（拉电流）电流，导通状态			100		μA
$I_{(G)}$	G 峰值灌电流			390		mA
电流检测和电流监测器（CS1+、CS1 –、IMON、I_DIR）						
$V_{(OS_SET)}$	输入参考失调电压（V_{SNS} 至 $V_{(IMON)}$ 调节）		-140		140	μV
$V_{(GE_SET)}$	增益误差（V_{SNS} 至 $V_{(IMON)}$ 调节）		-1		1	%
$V_{(IMON_Acc)}$	IMON 精度	V_{SNS} = ±6mV	-5		5	%
$V_{(IMON_Acc)}$	IMON 精度	V_{SNS} = ±10mV	-5		5	%
$V_{(IMON_Acc)}$	IMON 精度	V_{SNS} = ±15mV	-2		2	%
$V_{(IMON_Acc)}$	IMON 精度	V_{SNS} = ±30mV	-2		2	%
过流 (I2t) 和短路保护（IOC、I2t、ISCP、DRN）						
$V_{(OCP)}$	OCP 阈值精度	15mV ≥ $V_{(OCP)}$ ≥ 100mV	-7.5		7.5	%
$I^2_{(I2t_Acc)}$	I2t 引脚上的 I^2 电流精度	15mV ≥ $V_{(OCP)}$ ≥100 mV V_{SNS} = $V_{(OCP)}$ + 50% 的 $V_{(OCP)}$	-15		15	%
$I^2_{(I2t_Acc)}$	I2t 引脚上的 I^2 电流精度	15mV ≥ $V_{(OCP)}$ ≥100 mV V_{SNS} = $V_{(OCP)}$ + 100% 的 $V_{(OCP)}$	-10		10	%
$I^2_{(I2t_Acc)}$	I2t 引脚上的 I^2 电流精度	15mV ≥ $V_{(OCP)}$ ≥100 mV V_{SNS} = $V_{(OCP)}$ + 200% 的 $V_{(OCP)}$	-10		10	%
$V_{(I2t_OC)}$	过流关断的 I2t 引脚电压阈值		1.93	2	2.09	V
$I_{(I2t_Charge)}$	I2t 引脚上至 $V_{(I2t_offset)}$ 的充电电流			5100		μA
$R_{(I2t_Discharge)}$	内部开关放电电阻			1200		Ω
$V_{(I2t_OFFSET)}$	I2t 引脚失调电压		490	500	415	mV
$V_{(REF_OC)}$	IOC 引脚基准电压		190	200	205	mV
$V_{(SCP)}$	SCP 阈值精度	$V_{(SNS_SCP)}$ = 20mV， $R_{(ISCP)}$ = 732Ω	19	20	21	mV
$V_{(SCP)}$	SCP 阈值精度	$V_{(SNS_SCP)}$ = 100mV， $R_{(ISCP)}$ = 3.92kΩ	95	100	105	mV
I_{SCP}	SCP 输入偏置电流		24.4	25	25.2	μA

Copyright © 2025 Texas Instruments Incorporated

6.5 电气特性（续）

T_J = –40°C 至 +125°C。$V_{(VS)}$ = 48V、$V_{(BST-SRC)}$ = 12V、$V_{(SRC)}$ = 0V

参数		测试条件	最小值	典型值	最大值	单位
负载唤醒比较器（CS2-、DRN）						
$V_{(LPM_SCP)}$	LPM 下的短路阈值		1.72	2	2.17	V
$V_{(LWU)}$	负载唤醒电流阈值		177	200	218	mV
自动重试或闭锁计时器 (TMR)						
$I_{(TMR_SRC_FLT)}$	TMR 源电流		2	2.5	3	μA
$I_{(TMR_SNK)}$	TMR 灌电流		2	2.5	3	μA
$V_{(TMR_HIGH)}$	用于 AR 计数器上升阈值的 TMR 引脚电压		1.04	1.23	1.42	V
$V_{(TMR_LOW)}$	用于 AR 计数器下降阈值的 TMR 引脚电压		0.15	0.25	0.39	V
$N_{(A\text{-}R\ Count)}$				32		
温度监测器（CS1–、TMP、ITMPO）						
$V_{(REF_TMP)}$	温度放大器内部基准电压		475	500	525	mV
$V_{(ITMPO)}$	150℃ 下的温度监测器输出电压 $R_{(NTC)}$ = 10kΩ (25℃)	$R_{(TMP)}$ = 330Ω， $R_{(NTC)}$ = 309Ω (150℃)， $R_{(ITMPO)}$ = 2.55kΩ	-6		6.64	%
$V_{(ITMPO)}$	150℃ 下的温度监测器输出电压 $R_{(NTC)}$ = 47kΩ (25℃)	$R_{(TMP)}$ = 1kΩ， $R_{(NTC)}$ = 520Ω (150℃)， $R_{(ITMPO)}$ = 6.19kΩ	-6		6.67	%
$I_{(TMP)}$	TMP 漏电流				100	nA
$V_{(TMP_OT)}$	过热阈值		1.9	2	2.06	V
输入控制（INP、INP_G、$\overline{LPM}$）和故障标志 ($\overline{FLT}$)						
$R_{(\overline{FLT})}$，$R_{(WAKE)}$，$R_{(I_DIR)}$	$\overline{FLT}$、WAKE、I_DIR 下拉电阻			70		Ω
$I_{(\overline{FLT})}$，$I_{(WAKE)}$，$I_{(I_DIR)}$	$\overline{FLT}$、WAKE、I_DIR 漏电流	0V ≤ $V_{(\overline{FLT})}$ ≤ 20V， 0V ≤ $V_{(WAKE)}$ ≤ 20V， 0V ≤ $V_{(I_DIR)}$ ≤ 20V			400	nA
$V_{(INP_H)}$，$V_{(\overline{LPM}_H)}$					2	V
$V_{(INP_L)}$，$V_{(\overline{LPM}_L)}$			0.72			V
$V_{(INP_Hys)}$，$V_{(\overline{LPM}_Hys)}$	INP、$\overline{LPM}$ 迟滞			400		mV
$I_{(INP)}$，$I_{(\overline{LPM})}$	INP、$\overline{LPM}$ 漏电流				200	nA

6.6 开关特性

T_J = –40°C 至 +125°C。$V_{(VS)}$ = 48V、$V_{(BST-SRC)}$ = 12V、$V_{(SRC)}$ = 0V

参数		测试条件	最小值	典型值	最大值	单位
$t_{GATE(INP_H)}$	INP 导通传播延迟	INP ↑ 至 GATE ↑，$C_{L(GATE)}$ = 47nF		1.2	2.5	μs
$t_{GATE(INP_L)}$	INP 关断传播延迟	INP ↓ 至 GATE ↓，$C_{L(GATE)}$ = 47nF		0.35	1.5	μs
$t_{G_ON(\overline{LPM})}$	工作模式到 LPM 模式转换延迟	$\overline{LPM}$ ↓ 至 G ↑，$C_{L(G)}$ = 1nF		1.8	9	μs
$t_{GATE_OFF(\overline{LPM})}$	工作模式到 LPM 模式转换延迟	$\overline{LPM}$ ↓，G ↑（高于 $V_{(G_GOOD)}$）至 GATE ↓，WAKE ↑（低到高 Z），$C_{L(GATE)}$ = 47nF		37	51	μs
$t_{GATE(WAKE_\overline{LPM})}$	LPM 模式到工作模式转换延迟，使用 $\overline{LPM}$ 触发器	$\overline{LPM}$ ↑ 至 GATE ↑，$C_{L(GATE)}$ = 47nF		3.8	6	μs

Copyright © 2025 Texas Instruments Incorporated

6.6 开关特性（续）

T_J = –40°C 至 +125°C。$V_{(VS)}$ = 48V、$V_{(BST-SRC)}$ = 12V、$V_{(SRC)}$ = 0V

参数		测试条件	最小值	典型值	最大值	单位
$t_{G(WAKE_\overline{LPM})}$	LPM 模式到工作模式转换延迟，使用 $\overline{LPM}$ 触发器	$\overline{LPM}$ ↑，GATE ↑（高于 $V_{(G_GOOD)}$）至 G ↓，WAKE ↓，$C_{L(G)}$ = 47nF，$V_{(\overline{LPM})}$ = 0V		9	15	µs
$t_{GATE(WAKE_LWU)}$	负载唤醒期间的 GATE 导通传播延迟	$V_{(DRN-CS2-)}$ ↑ $V_{(LWU)}$ 至 GATE ↑，$C_{L(GATE)}$ = 47nF，$V_{(\overline{LPM})}$ = 0V		4	5.5	µs
$t_{G(WAKE_LWU)}$	负载唤醒期间的 G 关断传播延迟	$V_{(DRN-CS2-)}$ ↑ $V_{(LWU)}$，GATE ↑（高于 $V_{(G_GOOD)}$）至 G ↓，WAKE ↓，$C_{L(G)}$ = 47nF，$V_{(\overline{LPM})}$ = 0V		9	15	µs
$t_{GATE(EN_OFF)}$	EN 关断传播延迟	EN ↓ 至 GATE ↓，$C_{L(GATE)}$ = 47nF，$\overline{LPM}$ = 高电平		3.1	4.5	µs
$t_{GATE(UVLO_OFF)}$	UVLO 关断传播延迟	UVLO ↓ 至 GATE ↓，$C_{L(GATE)}$ = 47nF，$\overline{LPM}$ = 高电平		4	6.5	µs
$t_{GATE(UVLO_ON)}$	UVLO 至 GATE 导通传播延迟，CBT 预偏置大于 VPORF 且 INP 保持高电平	EN/UVLO ↑ 至 GATE ↑，$C_{L(GATE)}$ = 47nF，INP = 2V，$\overline{LPM}$ = 高电平		8.5	25	µs
$t_{GATE(VS_OFF)}$	GATE 关断传播延迟，VS 下降至低于 VPORF 且 INP、EN/UVLO 保持高电平	VS ↓（越过 VPORF）至 GATE ↓，$C_{L(GATE)}$ = 47nF，INP = EN/UVLO = 2V，$\overline{LPM}$ = 高电平		25	40	µs
t_{SC}	工作模式下的短路保护传播延迟	$V_{(CS1+-CS1-)}$ ↑ $V_{(SCP)}$ 至 GATE ↓，$C_{L(GATE)}$ = 47nF，$V_{(\overline{LPM})}$ = 2V		3.9	5	µs
t_{LPM_SC}	LPM 下的短路保护传播延迟（短路状态下上电进入 LPM）	$V_{(DRN-CS2-)}$ ↑ $V_{(LPM_SCP)}$ 至 GATE ↑，$C_{L(GATE)}$ = 47nF，$V_{(\overline{LPM})}$ = 0V		3.1	4.5	µs
$t_{GATE(\overline{FLT}_ASSERT)}$	短路期间的 $\overline{FLT}$ 置为有效延迟	$V_{(CS1+-CS1-)}$ ↑ $V_{(SCP)}$ 至 $\overline{FLT}$ ↓		15	21	µs
$t_{GATE(\overline{FLT}_DE_ASSERT)}$	短路期间的 $\overline{FLT}$ 置为无效延迟	$V_{(CS1+-CS1-)}$ ↓ $V_{(SCP)}$ 至 $\overline{FLT}$ ↑		3.8		µs
$t_{GATE(\overline{FLT}_ASSERT_BSTUVLO)}$	GATE 驱动 UVLO 期间的 $\overline{FLT}$ 置为有效延迟	$V_{(GATE-SRC)}$ ↓ $V_{(BSTUVLOR)}$ 至 $\overline{FLT}$ ↓		30		µs
$t_{GATE(\overline{FLT}_DE_ASSERT_BSTUVLO)}$	GATE 驱动 UVLO 期间的 $\overline{FLT}$ 置为无效延迟	$V_{(GATE-SRC)}$ ↑ $V_{(BSTUVLOR)}$ 至 $\overline{FLT}$ ↑		15		µs
$t_{(IDIR_DELAY)}$	I_DIR 引脚上的电流方向指示延迟	$V_{(SNS)}$ ↑ 或 ↓ 至 $V_{(I_DIR)}$ ↑ 或 ↓		6.5	10	µs

6.7 典型特性

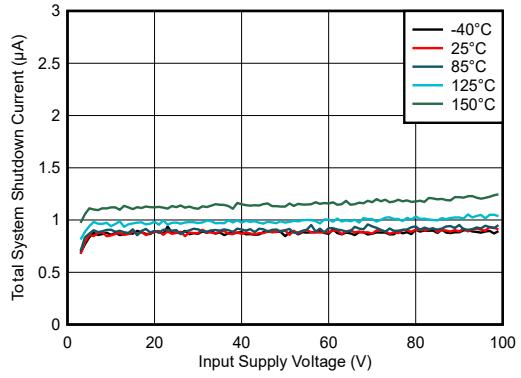


图 6-1. 关断电源电流与电源电压间的关系

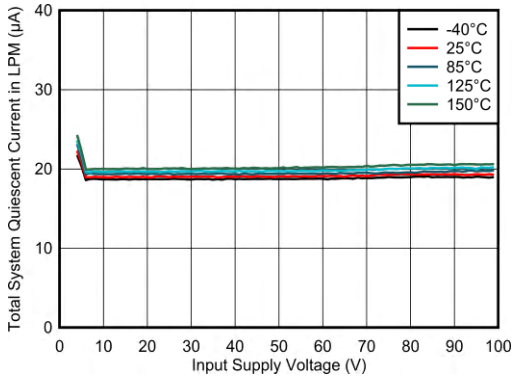


图 6-2. LPM 下工作静态电流与电源电压间的关系

Copyright © 2025 Texas Instruments Incorporated

6.7 典型特性（续）

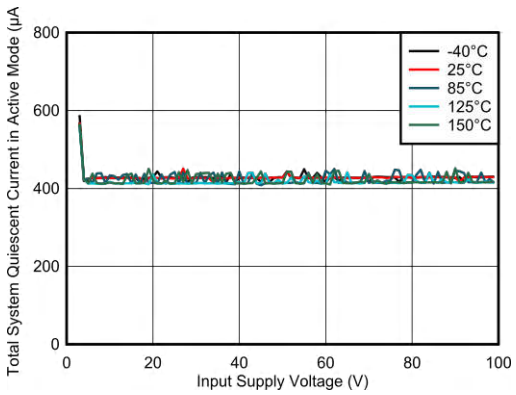


图 6-3. 运行模式下工作静态电流与电源电压间的关系

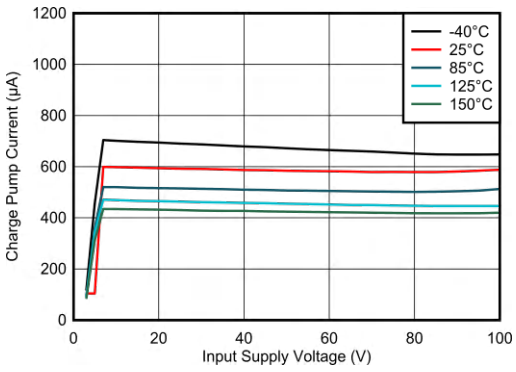


图 6-4. 电荷泵电流与电源电压间的关系

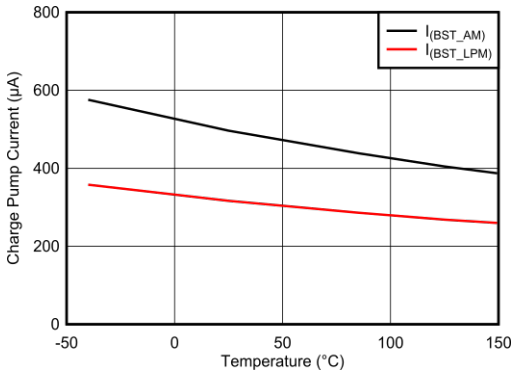


图 6-5. 电荷泵电流与温度间的关系

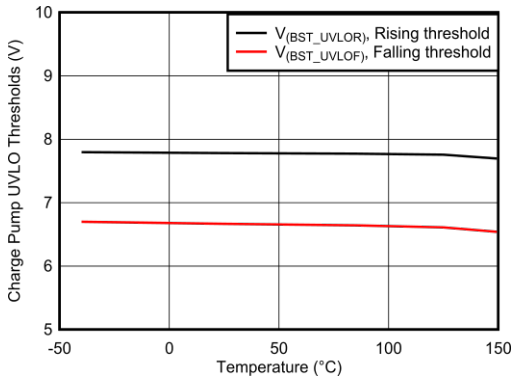
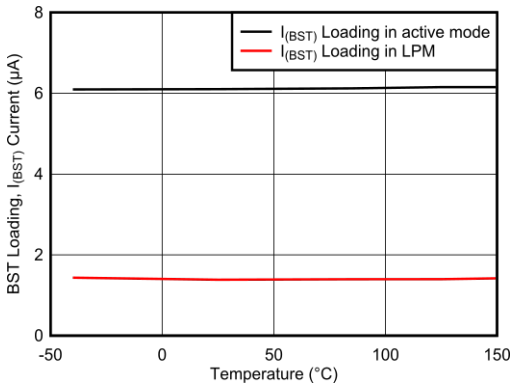
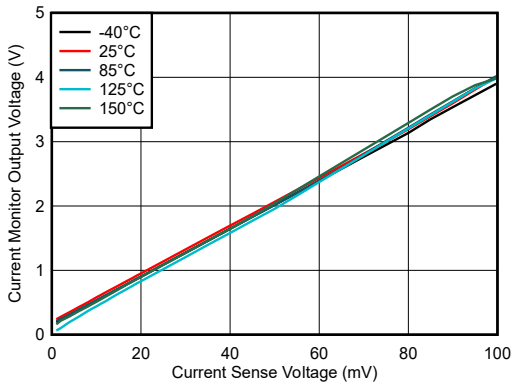


图 6-6. 电荷泵 UVLO 阈值与温度间的关系



$V_{(BST)}$ = 15V $V_{(SRC)}$ = 0V

图 6-7. BST 负载电流 ($I_{(BST)}$) 与温度间的关系



R_{IMON} = 5.6k Ω R_{SET} = 124 Ω

图 6-8. 电流监测器电压 ($V_{(IMON)}$) 与检测电压 (V_{SNS}) 间的关系

Copyright © 2025 Texas Instruments Incorporated

7 参数测量信息

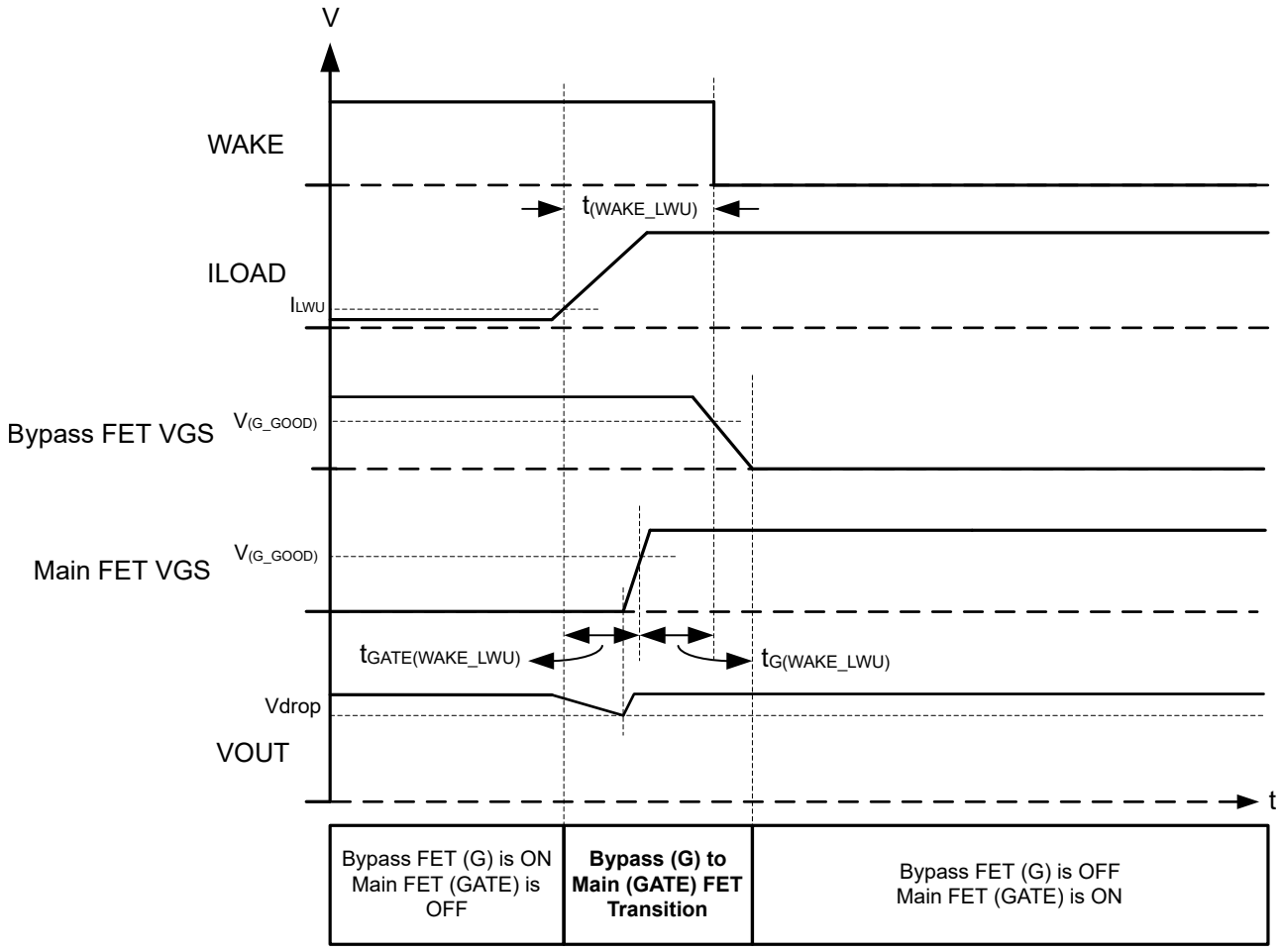


图 7-1. 通过负载唤醒将系统从低功耗模式唤醒至工作模式

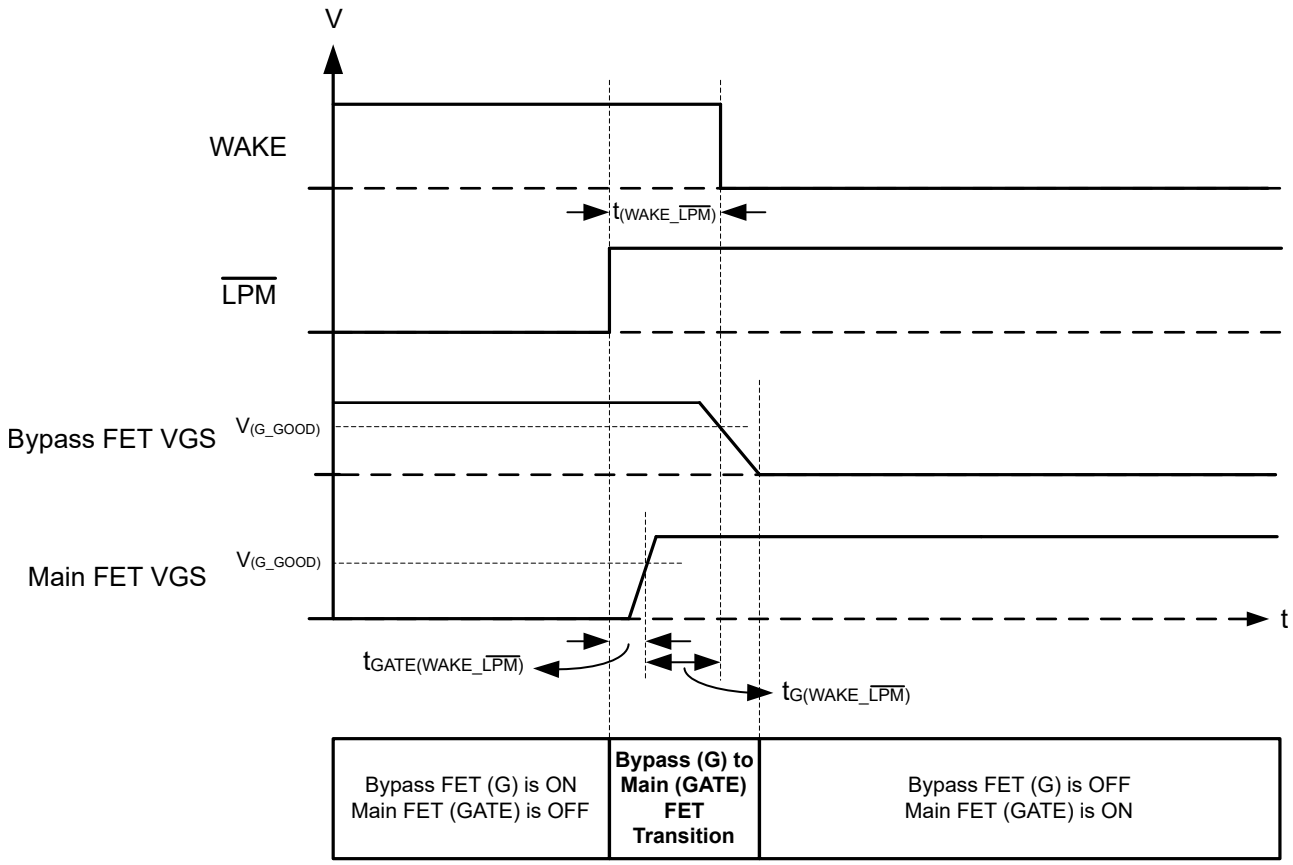


图 7-2. 通过 LPM 外部触发器使系统从低功耗模式下唤醒以进入运行模式

Copyright © 2025 Texas Instruments Incorporated

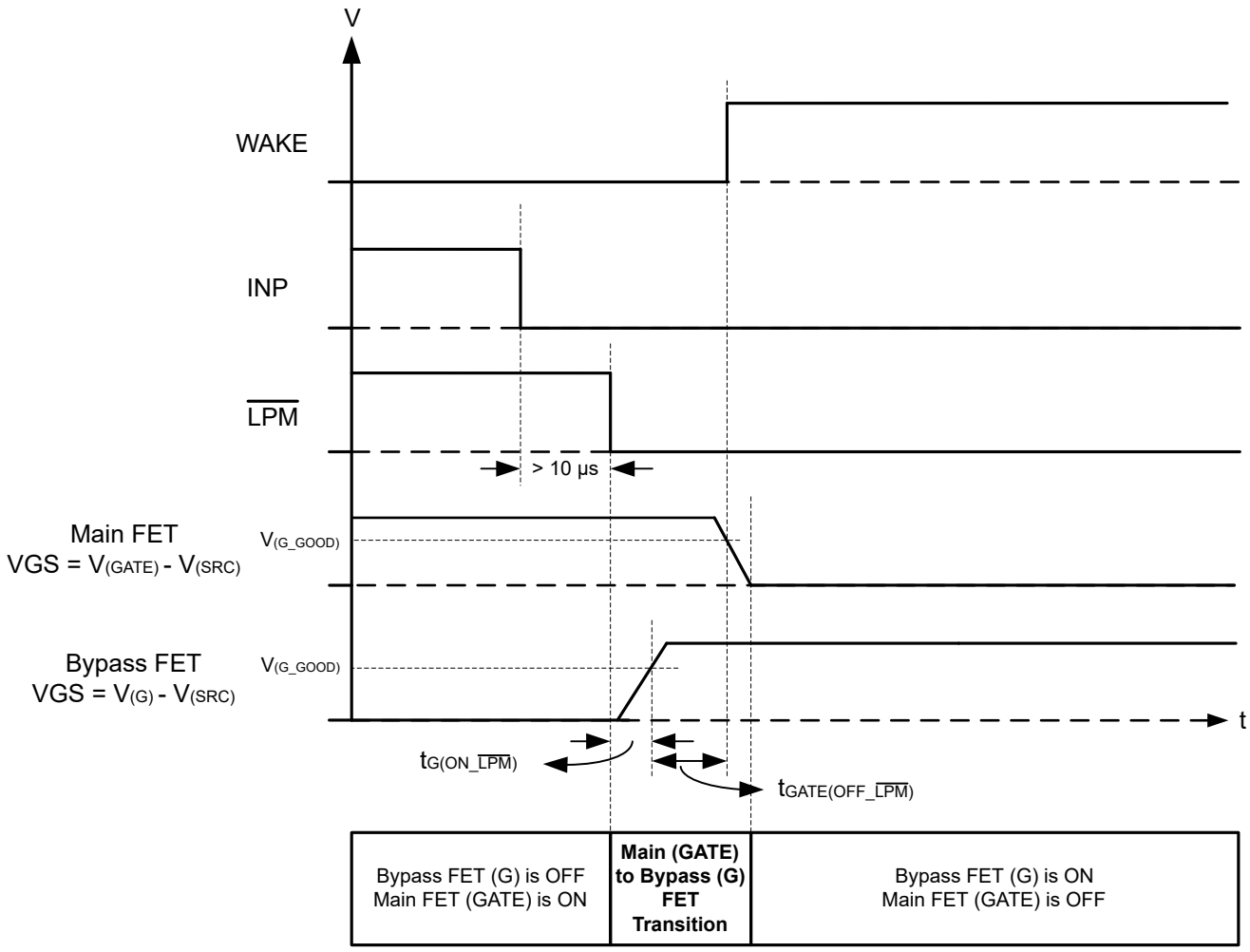


图 7-3. 通过 LPM 触发器将工作模式转换为低功耗模式

8 详细说明

8.1 概述

TPS4812-Q1 是具有保护和诊断功能的低 I_Q 智能高侧驱动器系列。TPS4812-Q1 具有 3.5V 至 95V 的宽工作电压范围，最大绝对额定值为 100V。该器件适用于 12V、24V 和 48V 汽车系统设计。

TPS4812-Q1 具有两个集成的栅极驱动，一个具有 0.5A 峰值拉电流和 2A 灌电流，用于驱动主路径中的 FET；另一个具有 100 µA 拉电流和 0.39A 灌电流，用于低功耗路径。在可能使用 INP 引脚作为 GATE 控制输入的大电流系统设计中，强栅极驱动器 (GATE) 可实现使用并联 FET 进行电源切换。

在 $\overline{\text{LPM}}$ 为低电平的低功耗模式下，低功耗路径 FET（G 驱动器）保持导通，而主 FET（GATE 驱动器）被关断。器件在此模式下会消耗低 I_Q，为 20 µA（典型值）。自动负载唤醒阈值和输出大容量电容器充电电流可通过 R_{BYPASS} 电阻进行编程，该电阻放置在低功耗路径中的 DRN 和 CS2– 引脚之间。在 EN/UVLO 被拉至低电平时，I_Q 会降至 1 µA（典型值）。该器件特有一个 WAKE 输出引脚，用于指示工作模式（工作模式/低功耗模式）。

该器件具有精确的电流检测（在 30mV VSNS 下为 ±2%）输出 (IMON)，可为能源管理系统提供支持。器件中集成了精确且可调节的基于 I^2t 的过流和短路保护功能，该功能通过使用外部 R_{SNS} 电阻器来实现。可以配置自动重试和闭锁故障行为。

在过流、短路、电荷泵欠压和外部 FET 过热条件下，TPS4812-Q1 可在开漏 $\overline{\text{FLT}}$ 输出上指示故障。

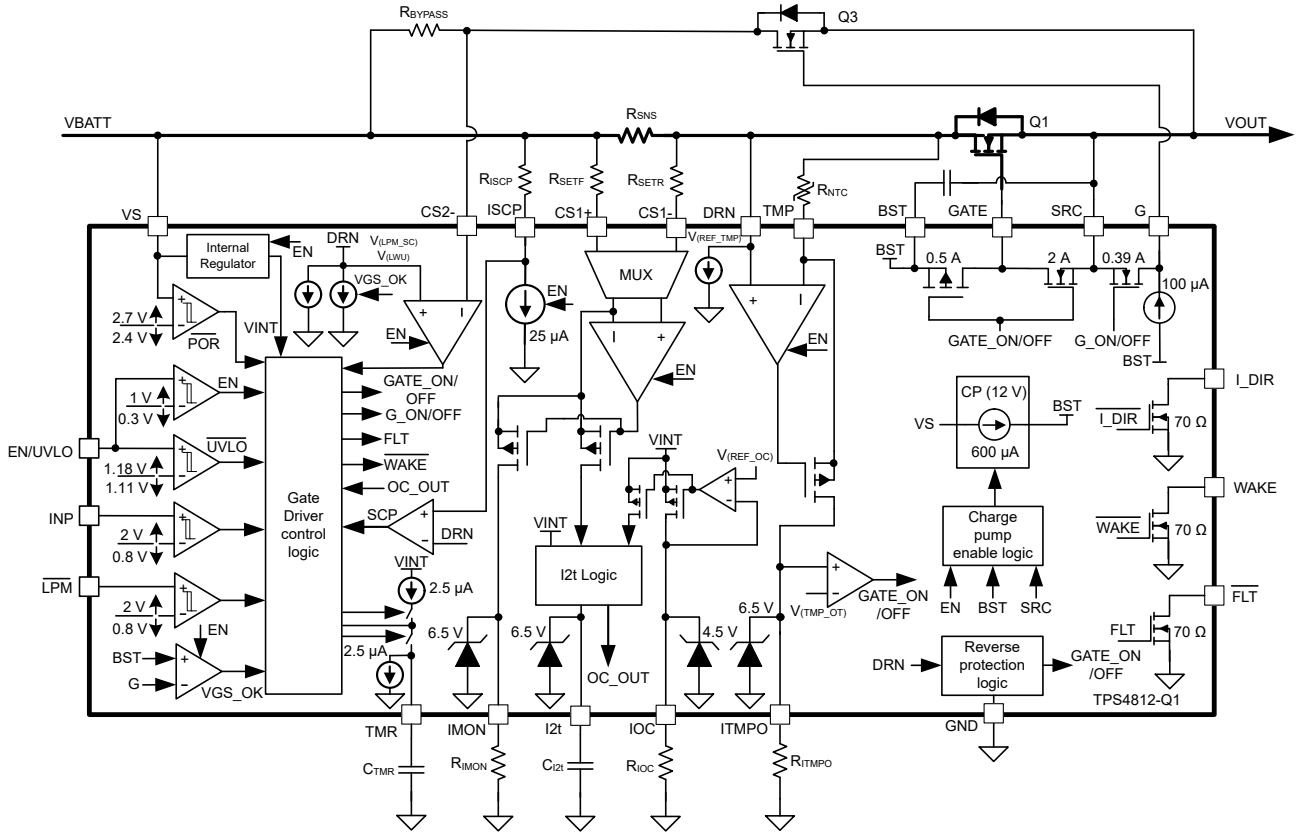
TPS4812-Q1 具有低至 –65V 的集成反极性保护功能，无需任何外部元件，即可在输入反极性故障期间保护 IC。

该器件具有基于 NTC 的温度检测 (TMP) 和监测器输出 (ITMPO) 功能，可检测外部 FET 的过热情况，从而实现稳健的热系统设计。

TPS4812x-Q1 采用 23 引脚 QFN 封装。

Copyright © 2025 Texas Instruments Incorporated

8.2 功能方框图


RBYPASS
Q3
VBATT
RSNS
Q1
VOUT
RISCP
RSETF
RSETR
RNTC
VS
CS2-
ISCP
CS1+
CS1-
DRN
TMP
BST
GATE
SRC
G
Internal Regulator
EN
DRN
V(LPM_SC)
V(LWU)
VGS_OK
MUX
V(REF_TMP)
0.5 A
2 A
0.39 A
100 µA
2.7 V
2.4 V
POR
VINT
25 µA
GATE_ON/OFF
G_ON/OFF
BST
1 V
0.3 V
CP (12 V)
600 µA
I_DIR
70 Ω
EN/UVLO
UVLO
1.18 V
1.11 V
FLT
WAKE
OC_OUT
Gate Driver control logic
SCP
V(REF_OC)
Charge pump enable logic
INP
2 V
0.8 V
I2t Logic
2.5 µA
LPM
6.5 V
4.5 V
V(TMP_OT)
GATE_ON /OFF
Reverse protection logic
TPS4812-Q1
TMR
IMON
I2t
IOC
ITMPO
GND
CTMR
RIMON
CI2t
RIOC
RITMPO

8.3 特性说明

8.3.1 电荷泵和栅极驱动器输出（VS、GATE、BST、SRC）

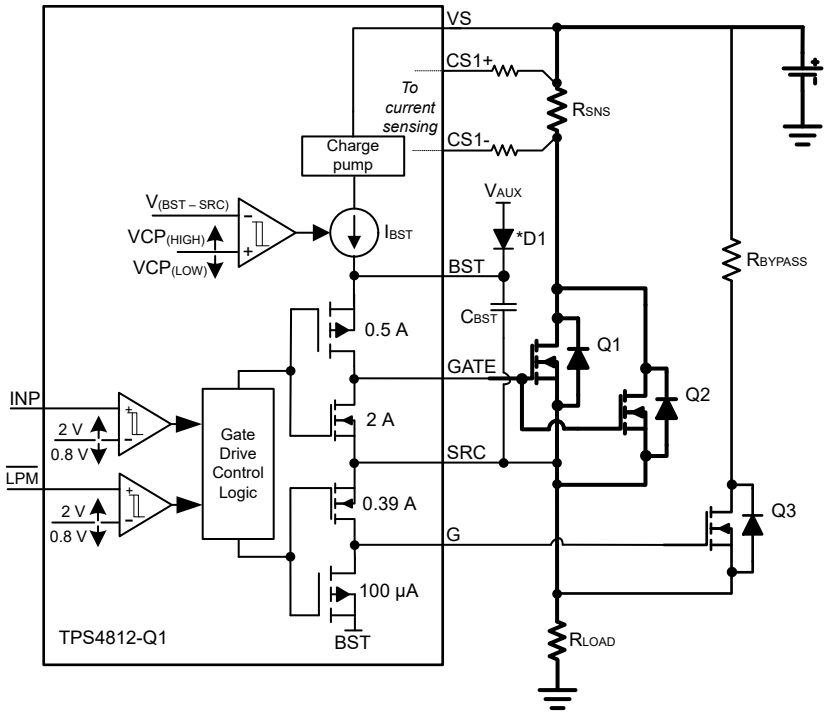


图 8-1. 栅极驱动器

图 8-1 显示了电荷泵和栅极驱动器电路实施方案的简化图。该器件内置了一个强大的 0.5A/2A 峰值拉电流/灌电流栅极驱动器 (GATE) 用于主 FET Q1、Q2，还内置了一个 100 µA/0.39A 峰值拉电流/灌电流栅极驱动器 (G) 用于旁路 FET Q3。这些强大的栅极驱动器可在大功率系统设计中支持 FET 并联，从而确保在饱和区实现最短的转换时间。从 VS 端子衍生出一个 12V（工作模式）、600 µA 电荷泵，可以为放置在栅极驱动器（BST 和 SRC）上的外部自举电容器 C_{BST} 充电。

VS 是连接到控制器的电源引脚。在施加 VS 且 EN/UVLO 被拉至高电平的情况下，电荷泵将开启并为 C_{BST} 电容器充电。当 C_{BST} 上的电压超过 $V_{(BST_UVLOR)}$ 后，栅极驱动器部分将被激活。该器件具有 1V（典型值）的 UVLO 迟滞，可在初始栅极导通期间确保实现低振荡性能。根据外部 FET Q_G 和 FET 导通期间允许的骤降，选择 C_{BST}。在工作模式下，电荷泵保持启用状态，直到 BST 至 SRC 的电压达到 $VCP_{(HIGH_AM)}$，此时电荷泵通常处于禁用状态，从而减少 VS 引脚上的电流消耗。电荷泵会保持禁用状态，直到 BST 至 SRC 的电压放电至 $VCP_{(LOW_AM)}$，此时电荷泵通常处于启用状态。

在工作模式下，BST 和 SRC 间的电压会持续在 $VCP_{(HIGH_AM)}$ 与 $VCP_{(LOW_AM)}$ 之间充电和放电，如图 8-2 所示：

Copyright © 2025 Texas Instruments Incorporated

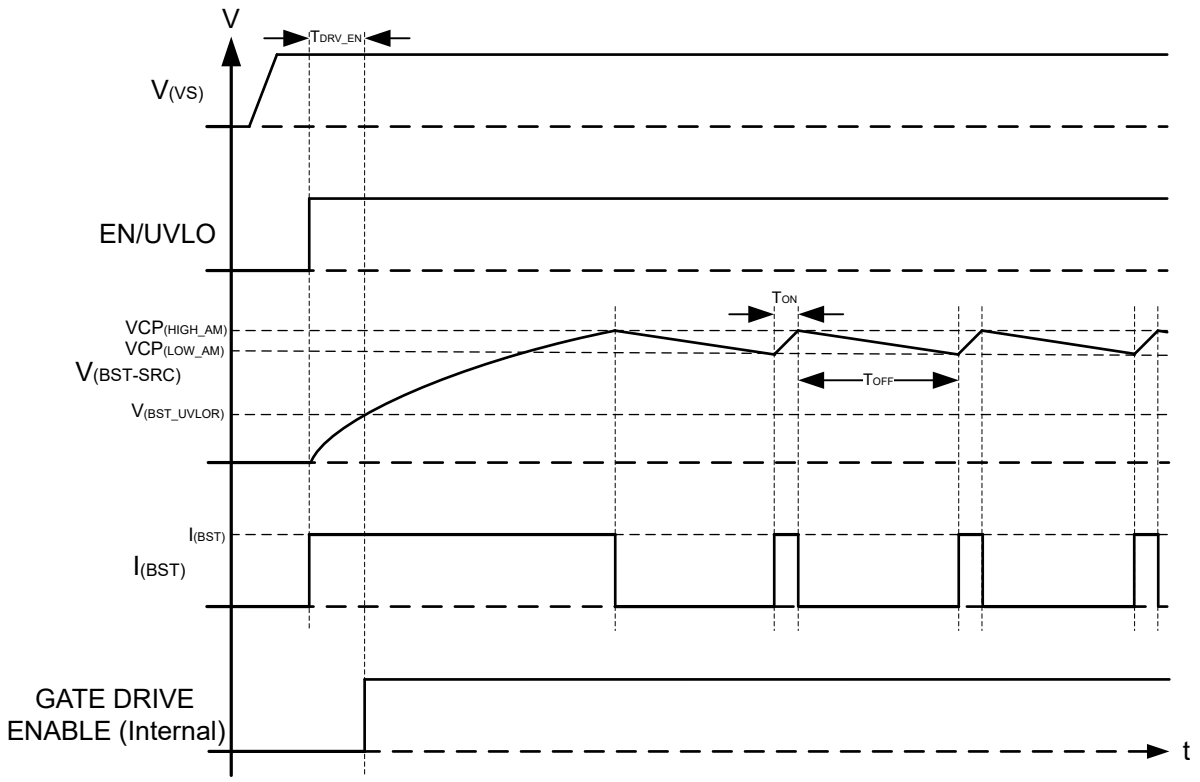


图 8-2. 电荷泵运行情况

方程式 1 可用于计算初始栅极驱动器使能延迟：

$$T_{DRV_EN} = \frac{C_{BST} \times V_{(BST_UVLOR)}}{600\ \mu A} \quad (1)$$

其中，

C_{BST} 是 BST 和 SRC 引脚上的电荷泵电容。

$V_{(BST_UVLOR)}$ = 7.6V（典型）。

如果需要降低 T_{DRV_EN}，则使用外部 VAUX 或输入电源，通过低漏电二极管 D1 从外部对 BST 端子进行预偏置，如图 8-3 所示。借助此连接，T_{DRV_EN} 会降低至 350µs。

Copyright © 2025 Texas Instruments Incorporated

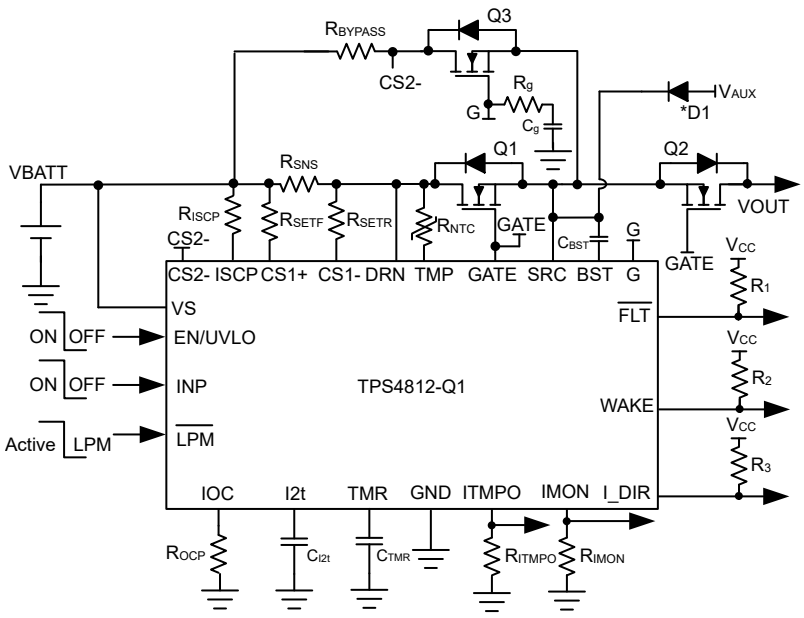


图 8-3. 采用 BST 外部供电的 TPS4812-Q1 应用电路

备注

V_{AUX} 可通过 8.1V 至 15V 的外部电源供电。输入电源 VS 也可以通过 D1 二极管连接到 BST，从而降低 T_{DRV_EN}。

8.3.2 容性负载驱动

诸如汽车配电单元和区域控制器等某些终端设备会为不同的负载供电，包括其他 ECU。这些 ECU 可能具有很大的输入电容。如果 ECU 的电源以不受控制的方式打开，则可能会产生大浪涌电流，并可能损坏功率 FET。

为了限制容性负载开关期间的浪涌电流，可对 TPS4812-Q1 器件使用以下系统设计技术。

8.3.2.1 使用低功耗旁路 FET（G 驱动器）为负载电容器充电

在有多个 FET 并联的大电流应用中，不建议对主 FET 进行栅极压摆率控制，因为 FET 之间的浪涌电流分布不均会导致 FET 尺寸必须设计得更大。

TPS4812-Q1 集成了具有专用控制输入 ($\overline{LPM}$) 的栅极驱动器 (G)，以及位于 DRN 和 CS2– 引脚之间的旁路比较器。此特性可用于驱动独立的低功耗旁路 FET，并对容性负载进行预充电，同时限制浪涌电流。图 8-4 显示了采用 TPS4812-Q1 的低功耗旁路 FET 实施方案，用于为容性负载充电。外部电容器 C_g 可降低栅极导通压摆率并控制浪涌电流。

Copyright © 2025 Texas Instruments Incorporated

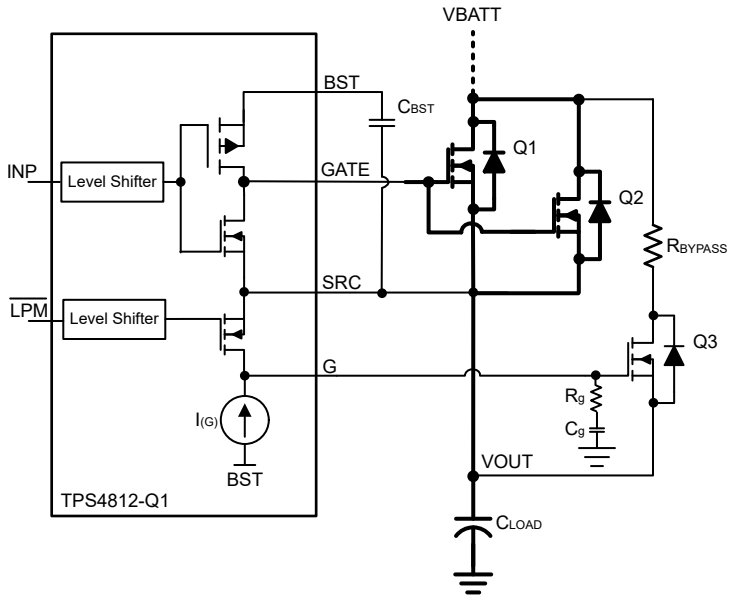


图 8-4. 使用低功耗旁路 FET 栅极 (G) 压摆率控制的电容器充电

在上电过程中，当 EN/UVLO 拉至高电平且 $\overline{\text{LPM}}$ 拉至低电平时，器件会使用 100µA 拉电流将 G 拉至高电平以导通旁路 FET (G)，而主 FET (GATE) 则保持关断状态。在该低功耗模式 (LPM) 下，TPS4812-Q1 会检测 DRN 和 CS2– 引脚之间的电压，以及旁路 FET 的 VGS（G 至 SRC）。最初会将 DRN 和 CS2– 之间的电压与 $V_{(LPM_SCP)}$ 阈值（典型值 2V）进行比较，以检测上电进入短路故障事件，直到达到 $V_{(G_GOOD)}$ 阈值为止。

在达到 $V_{(G_GOOD)}$ 阈值后，比较 DRN 和 CS2– 之间的电压与负载唤醒事件的 $V_{(LWU)}$ 阈值（典型值 200mV）。使用该方案时，电容器充电电流 (I_{INRUSH}) 可以设置为高于负载唤醒阈值 (I_{LWU})，还可以可靠地检测上电短路事件，如图 8-5 所示。

Copyright © 2025 Texas Instruments Incorporated

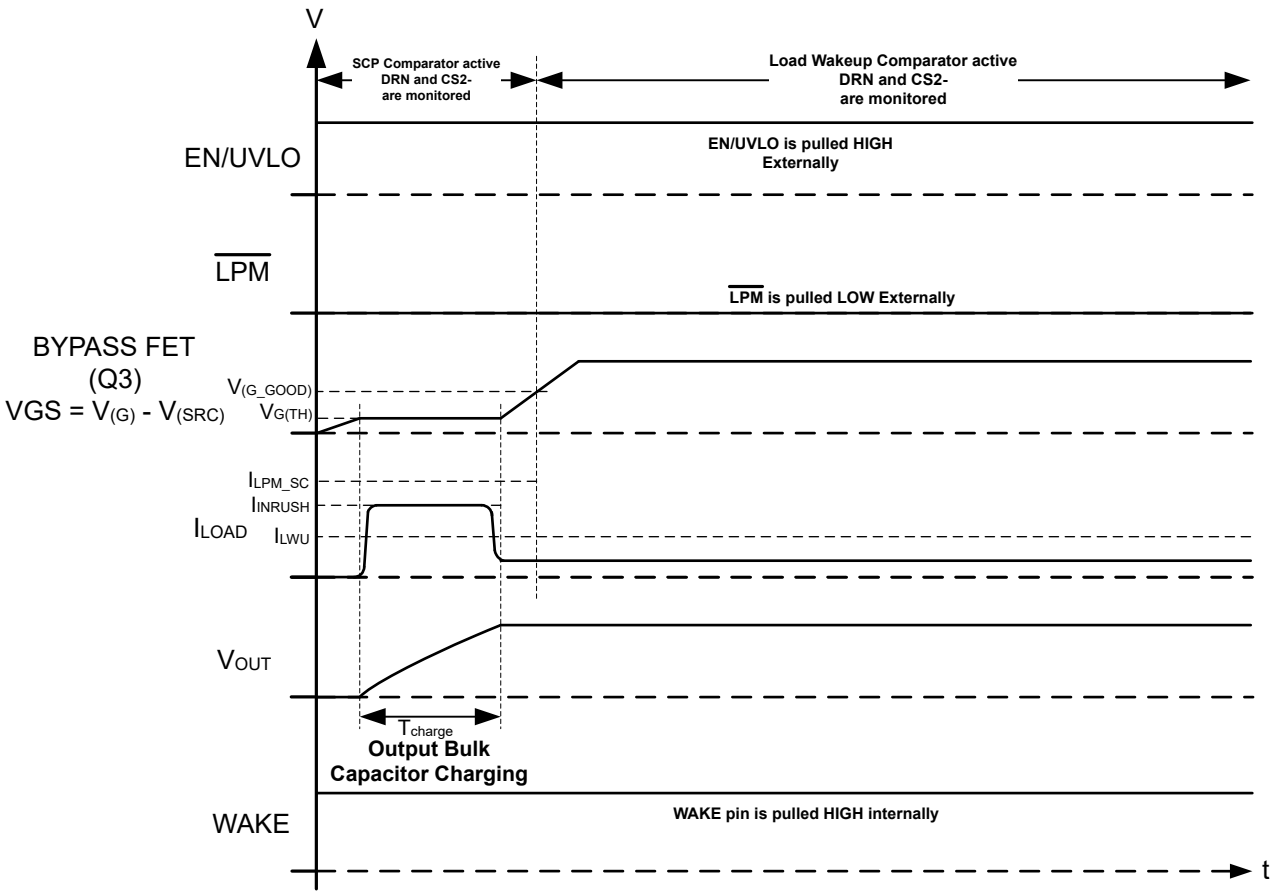


图 8-5. 使用旁路路径的大容量电容器充电时序图

设置负载唤醒触发器阈值：

在正常运行期间，串联电阻 R_{BYPASS} 用于设置负载唤醒电流阈值。在达到 $V_{(G_GOOD)}$ 阈值后，比较 DRN 和 CS2– 之间的电压与负载唤醒事件的 $V_{(LWU)}$ 阈值（典型值 200mV）。

可使用方程式 2 选择 RBYPASS：

$$R_{BYPASS} = \frac{V_{(LWU)}}{I_{LWU}} \quad (2)$$

设置 INRUSH 电流：

使用方程式 3 可计算 I_{INRUSH}：

$$I_{INRUSH} = C_{LOAD} \times \frac{V_{BATT}}{T_{charge}} \quad (3)$$

其中，

C_{LOAD} 是负载电容。

V_{BATT} 是输入电压，T_{charge} 是充电时间。

I_{INRUSH} 应始终小于低功耗模式下的短路唤醒电流 (I_{LPM_SC})，后者可使用方程式 4 计算：

Copyright © 2025 Texas Instruments Incorporated

$$I_{LPM_SC} = \frac{V_{(LPM_SCP)}}{R_{BYPASS}} \quad (4)$$

使用方程式 5 可计算所需的 C_g 值。

$$C_g = \frac{C_{LOAD} \times I_{(G)}}{I_{INRUSH}} \quad (5)$$

其中，

$I_{(G)}$ 为 100µA（典型值）。

串联电阻 R_g 必须与 C_g 一起用于限制关断期间来自 C_g 的放电电流。Rg 的建议值介于 220Ω 和 470Ω 之间。

对输出电容器充电后，可以控制主 FET（GATE 驱动），还可以从外部将 $\overline{LPM}$ 驱动为高电平以关断旁路 FET（G 驱动）。此时，可以将 INP 驱动为高电平来导通主 FET（G 驱动）。

图 8-6 显示了在大电流应用中使用低功耗旁路路径为大型输出电容器充电的应用电路。

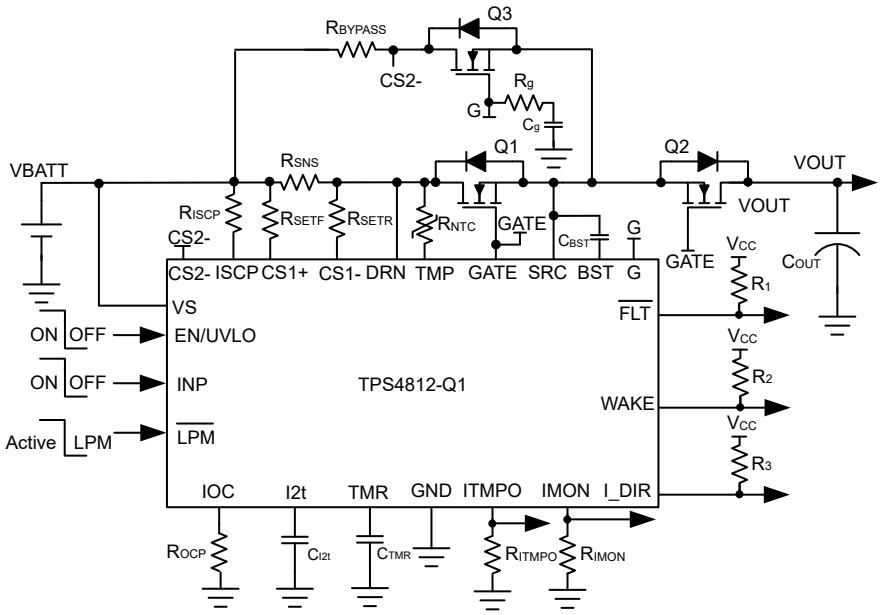


图 8-6. 用于容性负载驱动、使用低功耗旁路 FET (Q_3) 和串联电阻 (R_{BYPASS}) 的 TPS4812-Q1 应用电路

8.3.2.2 使用主 FET（GATE 驱动）栅极压摆率控制

在不使用低功耗旁路路径的应用中，可以使用主 FET GATE 驱动控制来进行电容充电。

为了使用容性负载在主 FET 导通期间限制浪涌电流，请使用 R_1、R_2、C_1 和 D_2，如图 8-7 所示。R_1 和 C_1 元件会减慢主 FET 栅极的电压斜坡速率。FET 源极跟随栅极电压，从而在输出电容器上实现受控电压斜坡。

Copyright © 2025 Texas Instruments Incorporated

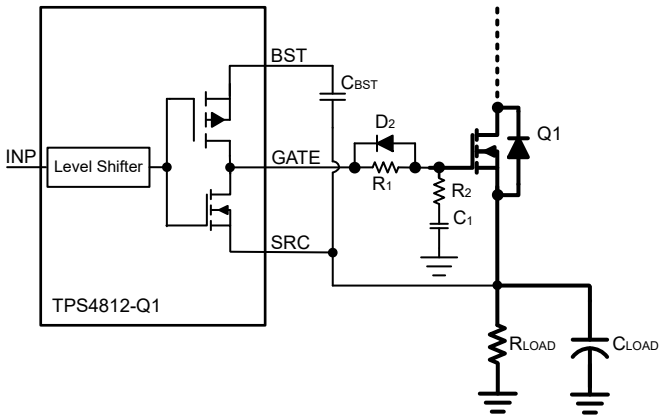


图 8-7. 主路径中的浪涌电流限制

使用方程式 6 可以计算 FET 导通期间的浪涌电流。

$$I_{INRUSH} = C_{LOAD} \times \frac{V_{BATT}}{T_{charge}} \quad (6)$$

$$C_1 = \frac{0.63 \times V_{(BST\ -\ SRC)} \times C_{LOAD}}{R_1 \times I_{INRUSH}} \quad (7)$$

其中，

C_{LOAD} 是负载电容。

VBATT 是输入电压，T_{charge} 是充电时间。

$V_{(BST-SRC)}$ 是电荷泵电压 (12V)。

使用与 C_1 串联的阻尼电阻 R_2 (~10Ω)。方程式 8 可用于计算目标浪涌电流所需的 C_1 值。R_1 的 100kΩ 电阻可以作为计算的良好起点。

D_2 通过绕过 R_1 确保快速关断 GATE 驱动器。

C_1 会在开通期间在 C_{BST} 上产生额外的充电负载。方程式 8 可用于计算所需的 C_{BST} 值：

$$C_{BST} = \frac{Q_{g(total)}}{\Delta V_{BST}} + 10 \times C_1 \quad (8)$$

其中，

$Q_{g(total)}$ 是 FET 的总栅极电荷。

ΔV_{BST}（典型值为 1V）是 BST 到 SRC 引脚上的纹波电压。

Copyright © 2025 Texas Instruments Incorporated

8.3.3 过流和短路保护

TPS4812-Q1 具有集成的精确 I^2t 功能，可实现稳健灵活的过流保护机制。此 I^2t 功能特有智能断路功能，旨在保护 PCB 布线、连接器和线束免受过热危害，同时不影响诸如浪涌电流和大容量电容器充电等负载瞬态。

该器件还具有精确且可配置的短路保护阈值 (I_{SC})，以及固定的响应时间（t_{SC} = 5µs 最大值）。

图 8-8 显示了电流时间总体特性。

- 基于 I^2t 的可配置过流保护 (I_{OC}) 阈值和可调节的响应时间（t_{OC} 和 t_{OC_MIN}）
- 可调节短路阈值 (I_{SC}) 和内部固定快速响应 (t_{SC})

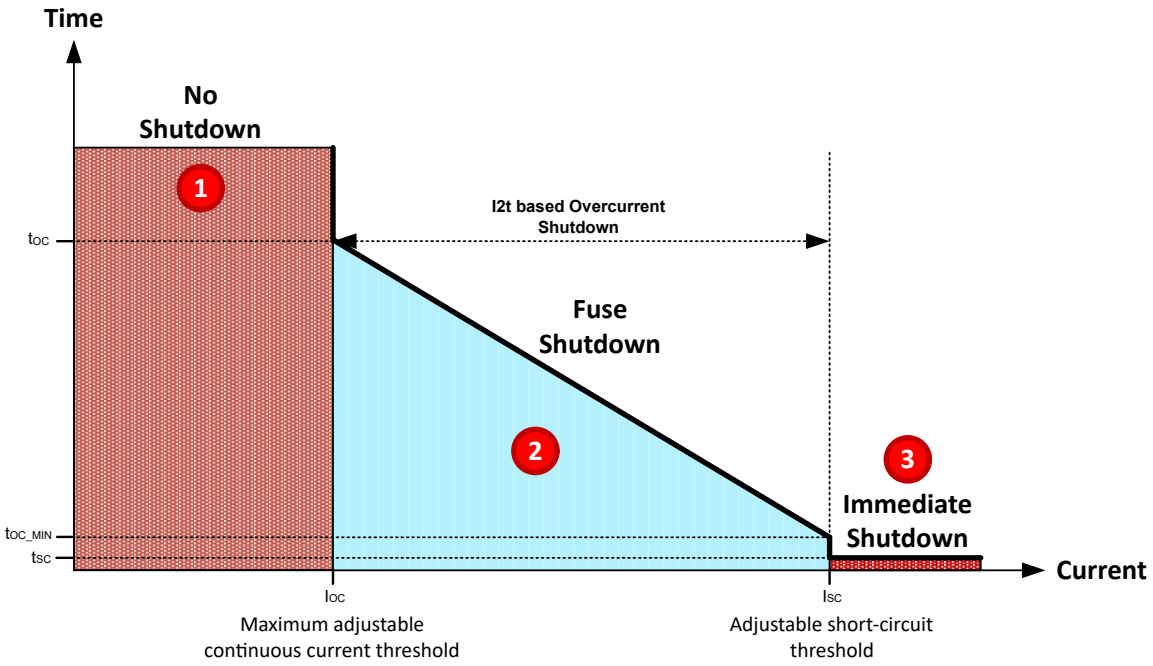


图 8-8. TPS4812-Q1 的可配置电流与时间特性曲线

8.3.3.1 I^2t 过流保护

TPS4812-Q1 的 I^2t 曲线通过两个参数进行设置，即 I^2t 启动过流阈值 I_{OC}，以及 I^2t 安培平方秒因数（熔点或断点）。当负载电流高于 I_{OC} 设置阈值时，过流保护时间 t_{OC} 将根据 I^2t 设置因数来确定。

设置 I^2t 保护启动阈值，R_{IOC}

I^2t 保护启动阈值 I_{OC} 通过 IOC 和 GND 引脚之间的外部电阻 R_{IOC} 来设置。

使用方程式 9 可计算所需的 R_{IOC} 值：

$$R_{IOC}\left(\Omega\right) = \frac{V_{(REF_OC)}}{K \times \left(I_{OC}\right)^2} \tag{9}$$

其中，

$V_{(REF_OC)}$ 是内部基准电压 200mV。

I_{OC} 是过流电平。

比例因数 K 可以通过方程式 10 进行计算：

$$\text{Scaling factor}\left(K\right) = \frac{\left(0.1 \times \frac{R_{SNS}}{R_{SET}}\right)^2}{I_{BIAS}} \tag{10}$$

其中，

I_{BIAS} 是内部基准电流 5μA。

R_{SET} 是 CS1+ 和输入电池电源之间连接的电阻器。

R_{SNS} 是电流检测电阻。

设置 I^2t 曲线，C_{I2t}

器件通过 CS1+ 和 CS1– 来检测外部电流检测电阻 (R_{SNS}) 两端的电压。当检测到 R_{SNS} 两端的电压超过通过 R_{IOC} 电阻设置的 I_{OC} 阈值时，C_{I2t} 电容器将开始充电，充电电流与 $I_{LOAD}{}^2 - I_{OC}{}^2$ 电流成比例。

在最大过流限值 (I_{OC_MAX}) 下关断栅极驱动所需的时间可使用方程式 11 确定：

$$t_{OC_MIN}\left(s\right) = \frac{\text{I2T factor}}{I_{OC_MAX} \times I_{OC_MAX}} \tag{11}$$

备注

最大过流限值 (I_{OC_MAX}) 可以比短路保护阈值 (I_{SC}) 低 5% 至 10%。

使用方程式 12 可计算所需的 C_{I2t} 值。

$$C_{I2t}\left(F\right) = \frac{K \times t_{OC_MIN}}{V_{(I2t_OC)} - V_{(I2t_OFFSET)}} \times \left[I_{OC_MAX}{}^2 - I_{OC}{}^2\right] \tag{12}$$

其中，

$V_{(I2t_OC)}$ 是 I^2t 跳变阈值电压 2V（典型值），

$V_{(I2t_OFFSET)}$ 是正常运行期间 I2t 引脚上的失调电压 500mV（典型值），

t_{OC_MIN} 是最大过流阈值 I_{OC_MAX} 下所需的过流响应时间。

Copyright © 2025 Texas Instruments Incorporated

8.3.3.1.1 具有自动重试功能的 I^2t 过流保护

C_{I2t} 可对过流保护延迟 (t_{OC_MIN}) 进行编程，而 C_{TMR} 可对自动重试时间 (t_{RETRY}) 进行编程。一旦 CS1+ 和 CS1 – 之间的电压超过设定点 ($V_{(OCP)}$)，C_{I2t} 电容器即开始充电，充电电流与 $I_{LOAD}^2 - I_{OC}^2$ 电流成比例。

在 C_{I2t} 充电至 $V_{(I2t_OC)}$ 后，GATE 将拉低至 SRC，同时关断主 FET 且 $\overline{FLT}$ 置为低电平有效。发布此事件后，自动重试行为将开始。C_{TMR} 开始以 2.5µA 上拉电流充电，直到电压达到 $V_{(TMR_HIGH)}$ 水平为止。达到此水平之后，电容器开始以 2.5µA 下拉电流放电。

在电压达到 $V_{(TMR_LOW)}$ 水平后，电容器再次以 2.5µA 上拉电流开始充电。经过 C_{TMR} 的 32 个充放电周期后，FET 重新导通，$\overline{FLT}$ 在置为无效延迟后置为无效。

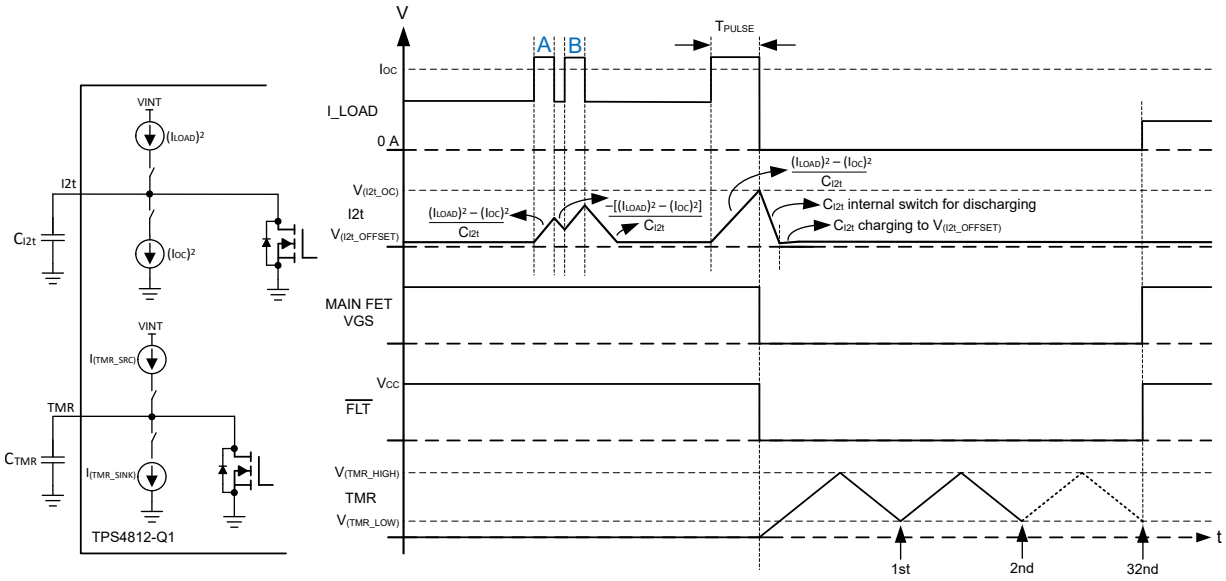


图 8-9. 具有自动重试功能的 I^2t 过流保护

自动重试时间可以根据方程式 13，通过将连接在 TMR 和 GND 引脚之间的 CTMR 电容器进行设置。

$$t_{RETRY}\left(s\right) = 64 \times C_{TMR} \times \left[\frac{V_{(TMR_HIGH)} - V_{(TMR_LOW)}}{I_{(TMR_SRC)}}\right] \quad (13)$$

其中

$V_{(TMR_HIGH)}$ 为 1.2V（典型值），$V_{(TMR_LOW)}$ 为 0.2V（典型值）。

$I_{(TMR_SRC)}$ 是 TMR 引脚上的内部拉电流，典型值为 2.5µA。

Copyright © 2025 Texas Instruments Incorporated

8.3.3.1.2 采用闭锁配置的 I²t 过流保护

在 TMR 引脚和 GND 之间连接 100kΩ 电阻，可实现闭锁配置。

锁存器在 INP 的下降沿或 $\overline{LPM}$ 变为低电平或 EN/UVLO 低于 $V_{(ENF)}$ 或下电上电 VS 低于 $V_{(VS_PORF)}$ 时复位。在低边沿上，计时器计数器复位且 C_{TMR} 放电。当 INP 上拉至高电平时，GATE 上拉至 BST。

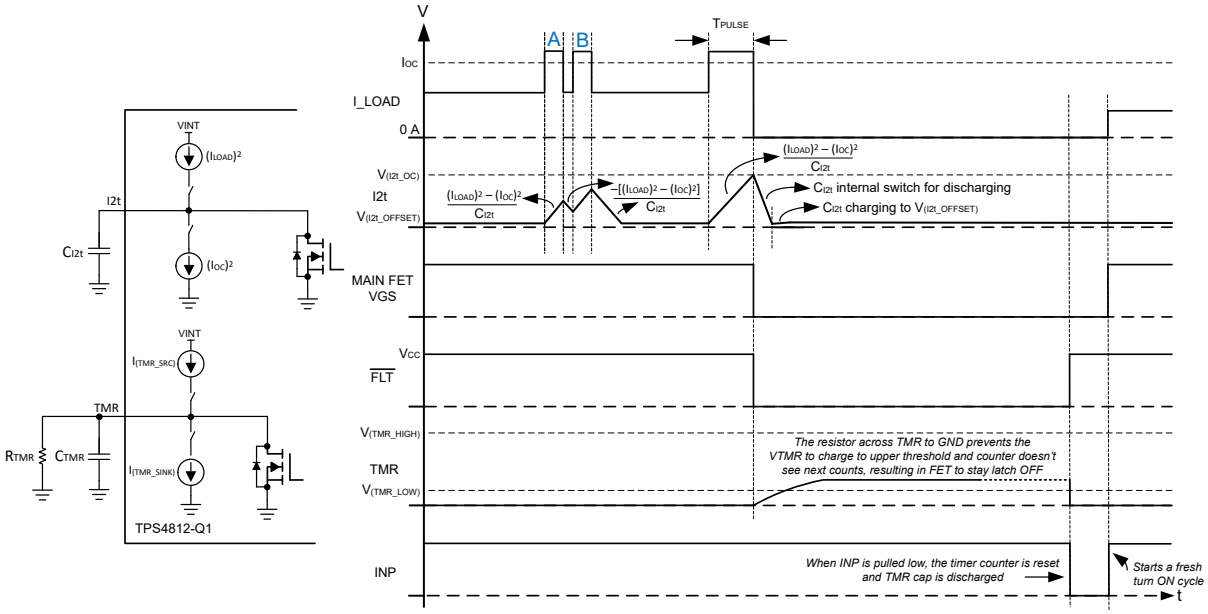


图 8-10. 采用闭锁配置的 I²t 过流保护

8.3.3.2 短路保护

短路电流阈值 (I_{SC}) 可通过 R_{ISCP} 电阻设置。使用方程式 14 可计算所需的 R_{ISCP} 值。

$$R_{ISCP}\left(k\Omega\right) = \frac{I_{SC} \times R_{SNS} - 1.8}{I_{SCP}} \tag{14}$$

其中

I_{SC} 是短路电流阈值，单位为安培。

R_{SNS} 是外部电流检测电阻，单位为毫欧。

I_{SCP} 是 25μA 的内部基准电流。

当负载电流超过 I_{SC} 阈值时，在 TPS4812-Q1 中，GATE 会在 5μs（最大值）内拉低至 SRC，从而保护主路径 FET，同时 $\overline{FLT}$ 置为低电平有效。在此事件之后，C_{TMR} 的充电和放电周期启动，类似于过流保护方案中发生 FET 关断事件后的行为。

此外，也可以通过过流保护方案中说明的类似方式实现闭锁。

8.3.4 模拟电流监测器输出 (IMON)

TPS4812-Q1 具有增益可调的精确模拟负载电流监测器输出 (IMON)，仅在工作模式和负载唤醒时开通。IMON 端子上的电流源配置为与流经 R_{SNS} 电流检测电阻的电流成比例。使用从 IMON 端子到 GND 引脚的电阻 R_{IMON}，可以将该电流转换为电压。

Copyright © 2025 Texas Instruments Incorporated

此电压通过以下公式进行计算，可用作一种监测流经系统的电流的方法。

方程式 15 可用于计算 TPS48120-Q1 型号在启用 I^2t 保护时的 $V_{(IMON)}$。

$$V_{(IMON)} = \left(V_{SNS} + V_{(VOS_SET)}\right) \times \frac{0.9 \times R_{IMON}}{R_{SET}} \quad (15)$$

方程式 16 可用于计算 TPS48121-Q1 型号在禁用 I^2t 时的 $V_{(IMON)}$。

$$V_{(IMON)} = \left(V_{SNS} + V_{(VOS_SET)}\right) \times \frac{R_{IMON}}{R_{SET}} \quad (16)$$

其中，

$V_{SNS} = I_{LOAD} \times R_{SNS}$，

$V_{(OS_SET)}$ 是电流检测放大器的输入基准失调电压 (±140µV) (V_{SNS} 到 $V_{(IMON)}$ 调节) ，

0.9 是电流检测放大器和 IMON 通道 FET 之间的电流镜因数。

监测电流的最大电压范围 ($V_{(IMONmax)}$) 限制为最小值 ($[V_{(VS)}$ – 0.5V] , 5.5V) ，

以确保实现线性输出。这会限制 R_{IMON} 电阻的最大值。IMON 引脚的内部钳位电压为 6.5V (典型值) 。

电流镜因数的精度小于 ±1%。使用以下公式可计算 $V_{(IMON)}$ 的总体精度。

$$\%\,V_{(IMON)} = \frac{V_{(OS_SET)}}{V_{SNS}} \times 100 \quad (17)$$

TPS4812-Q1 具有双向电流检测 (通过 CS1+ 和 CS1-) 和监测功能，使用 IMON 输出获取 R_{SNS} 两端的调节电压幅度 (V_{SNS})，使用开漏 I_DIR 输出引脚指示电流方向。

如果电流正向流动，则 I_DIR 输出拉至高电平；如果反向流动，则 I_DIR 拉至低电平，如下图所示。

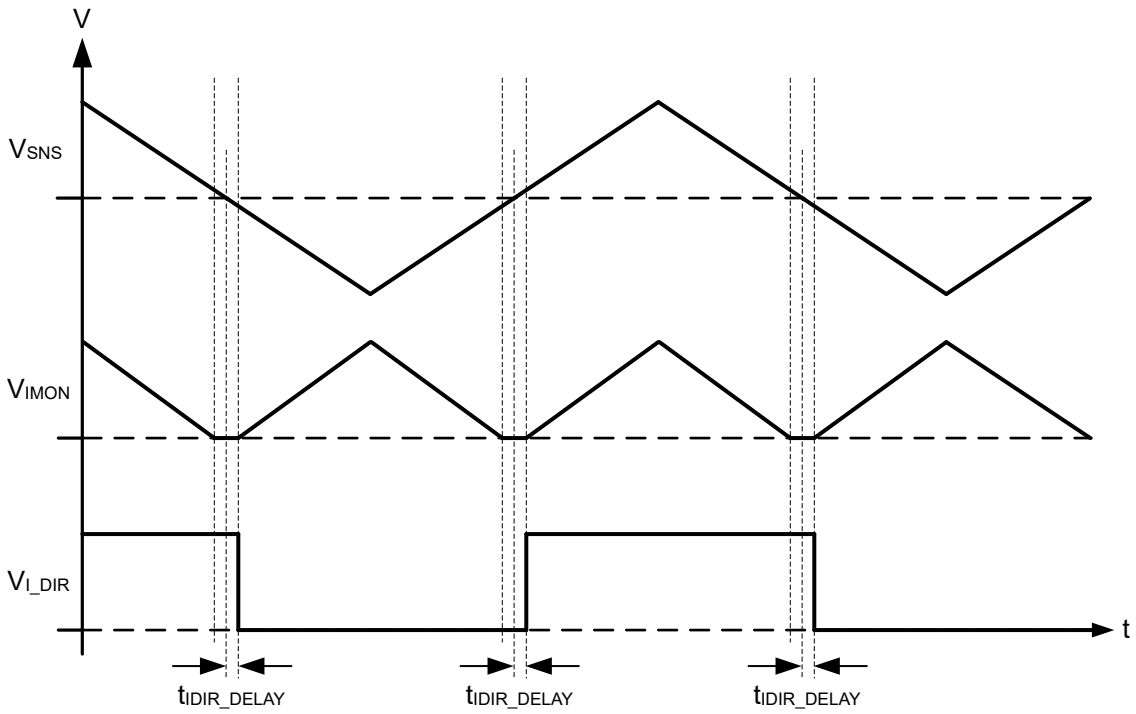


图 8-11. TPS4812-Q1 双向电流监测时序图

Copyright © 2025 Texas Instruments Incorporated

8.3.5 基于 NTC 的温度检测 (TMP) 和模拟监测器输出 (ITMPO)

TPS4812-Q1 特有一个集成温度监测放大器（在工作模式下开启且仅支持负载唤醒）。该温度监测功能通过差分放大器实现，输入引脚为 TMP，输出为 ITMPO。

模拟输出电压 V_{ITMPO} 表示通过 R_{NTC} 检测到的温度，该温度可由微控制器直接在 ITMPO（温度监测输出）引脚上读取。

V_{ITMPO} 可以根据下列公式计算：

$$V_{ITMPO} = (V_{REF_TMP} + V_{TMP_OFFSET}) \times \frac{R_{ITMPO}}{(R_{NTC} + R_{TMP})} \quad (18)$$

其中，

V_{REF_TMP} 为 500mV（典型值）

V_{TMP_OFFSET} 为 ±5mV

R_{TMP} 在 10k NTC 下为 330Ω (25°C)

R_{TMP} 在 47k NTC 下为 1kΩ (25°C)

TPS4812-Q1 在 ITMPO 引脚上集成了比较器，用于检测外部主 FET 过热故障。当 ITMPO 上的电压超过 $V_{(TMP_OT)}$（2V 典型值）阈值后，主 FET (GATE) 关断，器件进入闭锁模式，$\overline{FLT}$ 置为低电平有效。锁存器在 INP 的下降沿或 $\overline{LPM}$ 变为低电平或 EN/UVLO 低于 $V_{(ENF)}$ 或下电上电 VS 低于 $V_{(VS_PORF)}$ 时复位。

可以根据以下公式对外部 FET 过热阈值进行编程：

$$V_{(TMP_OT)} = (V_{REF_TMP} + V_{TMP_OFFSET}) \times \frac{R_{ITMPO} + R_{INT}}{(R_{NTC} + R_{TMP})} \quad (19)$$

其中，

R_{ITMPO} 是 ITMPO 引脚上的电阻，单位为欧姆。

$V_{(TMP_OT)}$ 外部 FET 的固定过热阈值，典型值为 2V。

R_{INT} 是内部电阻，典型值为 200Ω，最小值/最大值为 90/340Ω。

R_{NTC} 是 NTC 热敏电阻，其阻值随温度变化而变化，R_{TMP} 是一个普通电阻，用于将热敏电阻在温度条件下的行为进行线性化，如图 8-12 所示：

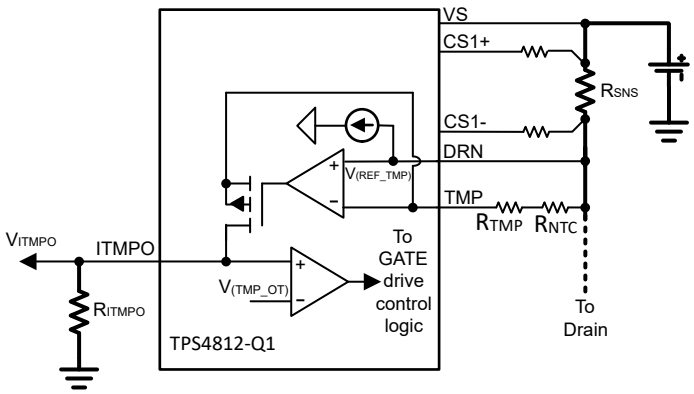


图 8-12. 基于 NTC 的温度检测和监测输出

Copyright © 2025 Texas Instruments Incorporated

8.3.6 故障指示和诊断 (FLT)

TPS4812-Q1 具有集成的电荷泵 UVLO 特性。内部会监测 BST-SRC 上的电压。如果电压小于 $V_{(BST_UVLO)}$，则 $\overline{FLT}$ 被置为低电平有效。在这种情况下，GATE 和 G 两种栅极驱动器也会被禁用，同时关断主 FET 和旁路 FET。当 BST 至 SRC 的电压上升到高于 $V_{(BST_UVLO)}$ 时，$\overline{FLT}$ 会被置为无效，栅极驱动器被启用。

当检测到短路或 I2t 过流、电荷泵 UVLO、基于 NTC 的外部 FET 过热时，TPS4812-Q1 中的 $\overline{FLT}$ 置为低电平有效。

8.3.7 反极性保护

TPS4812-Q1 器件具有集成的反极性保护功能，可防止器件在输入和输出反极性故障期间失效。在终端设备的安装和维护过程中会发生反极性故障。该器件能够在输入端和输出端承受低至 -65V 的反极性电压。

在输出侧，该器件会在正常运行期间由于开关关断时的输出电缆线束电感反冲而出现瞬态负电压。在此类系统中，输出负电压电平受输出侧 TVS 或二极管限制。

8.3.8 欠压保护 (UVLO)

TPS4812-Q1 使用 EN/UVLO 引脚提供精确的欠压保护 (< ±2 %)。当 EN/UVLO 引脚电压低于 1.12V（典型值）时，GATE 和 G 将变为低电平。

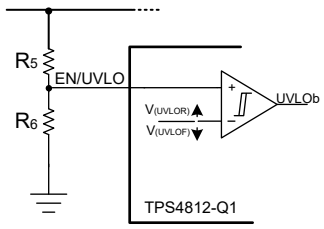


图 8-13. 欠压保护阈值编程

8.4 器件功能模式

8.4.1 状态图

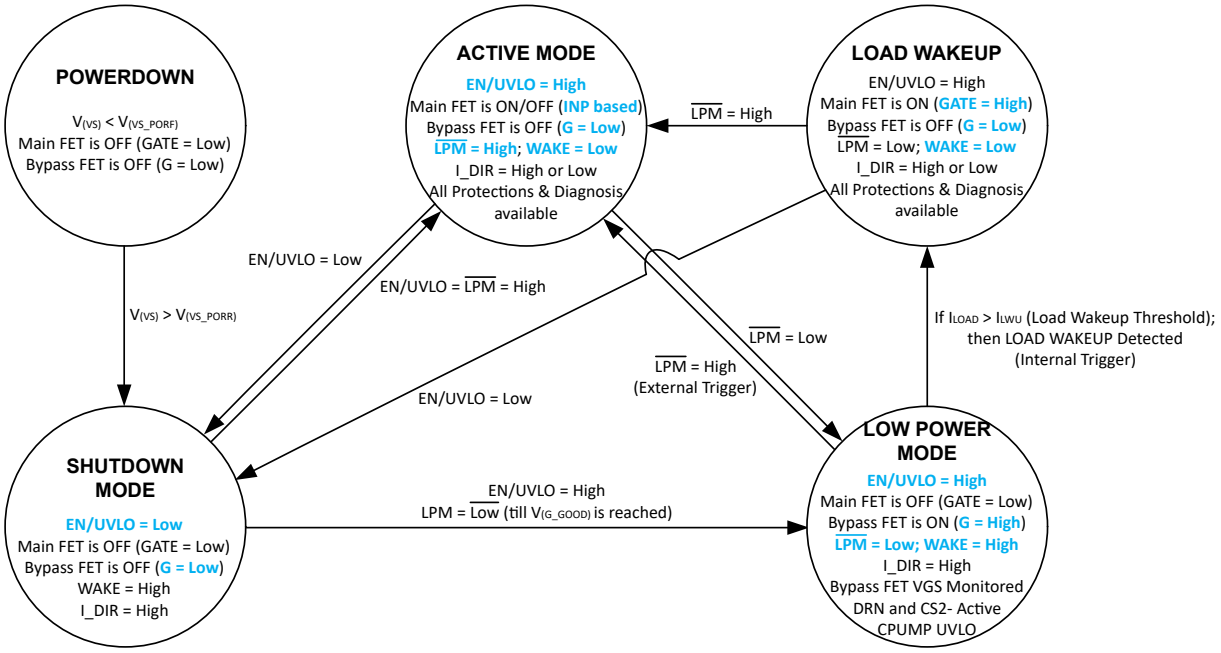


图 8-14. 状态图

Copyright © 2025 Texas Instruments Incorporated

8.4.2 状态转换时序图

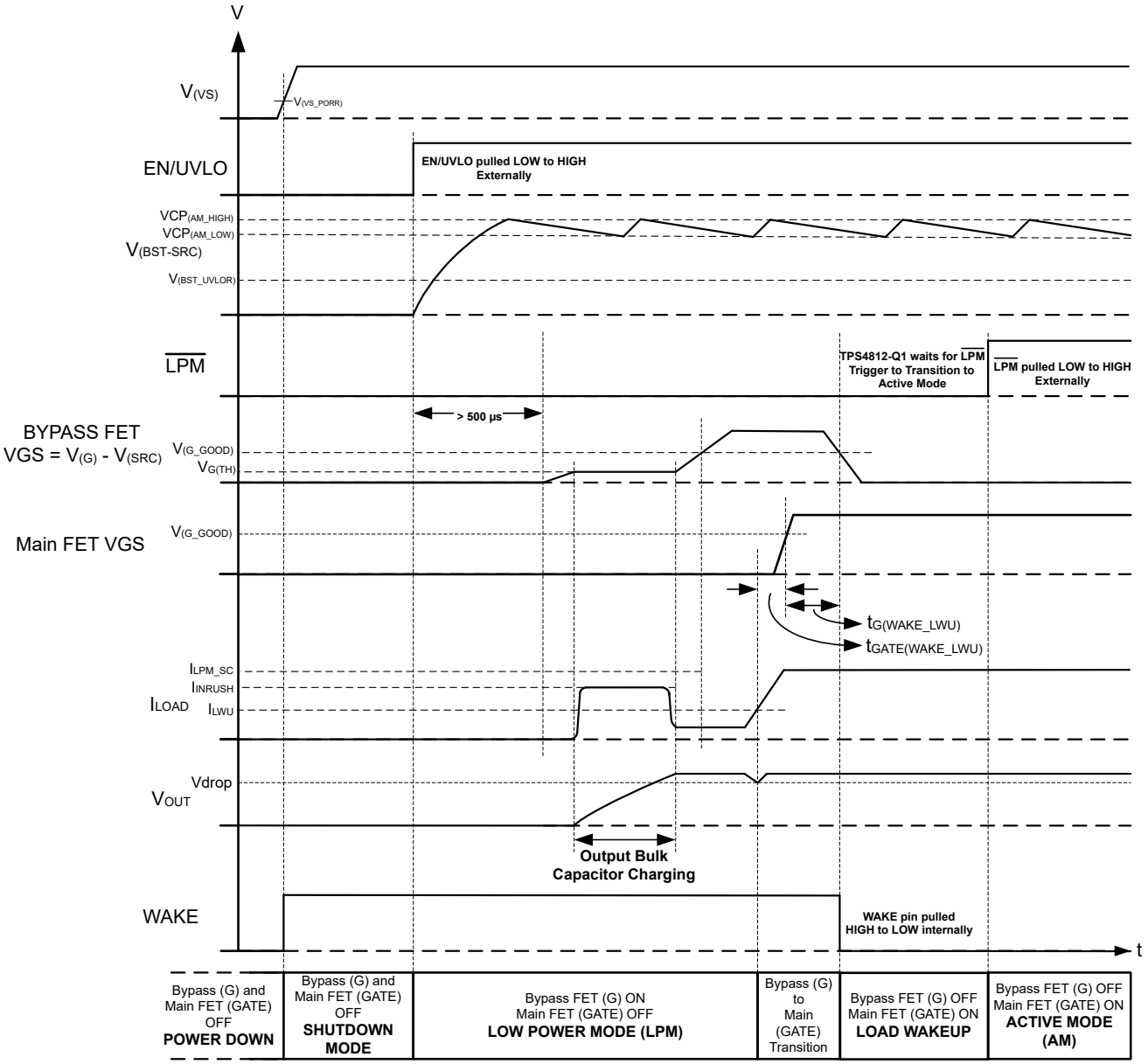


图 8-15. 包含负载唤醒事件的状态转换时序图

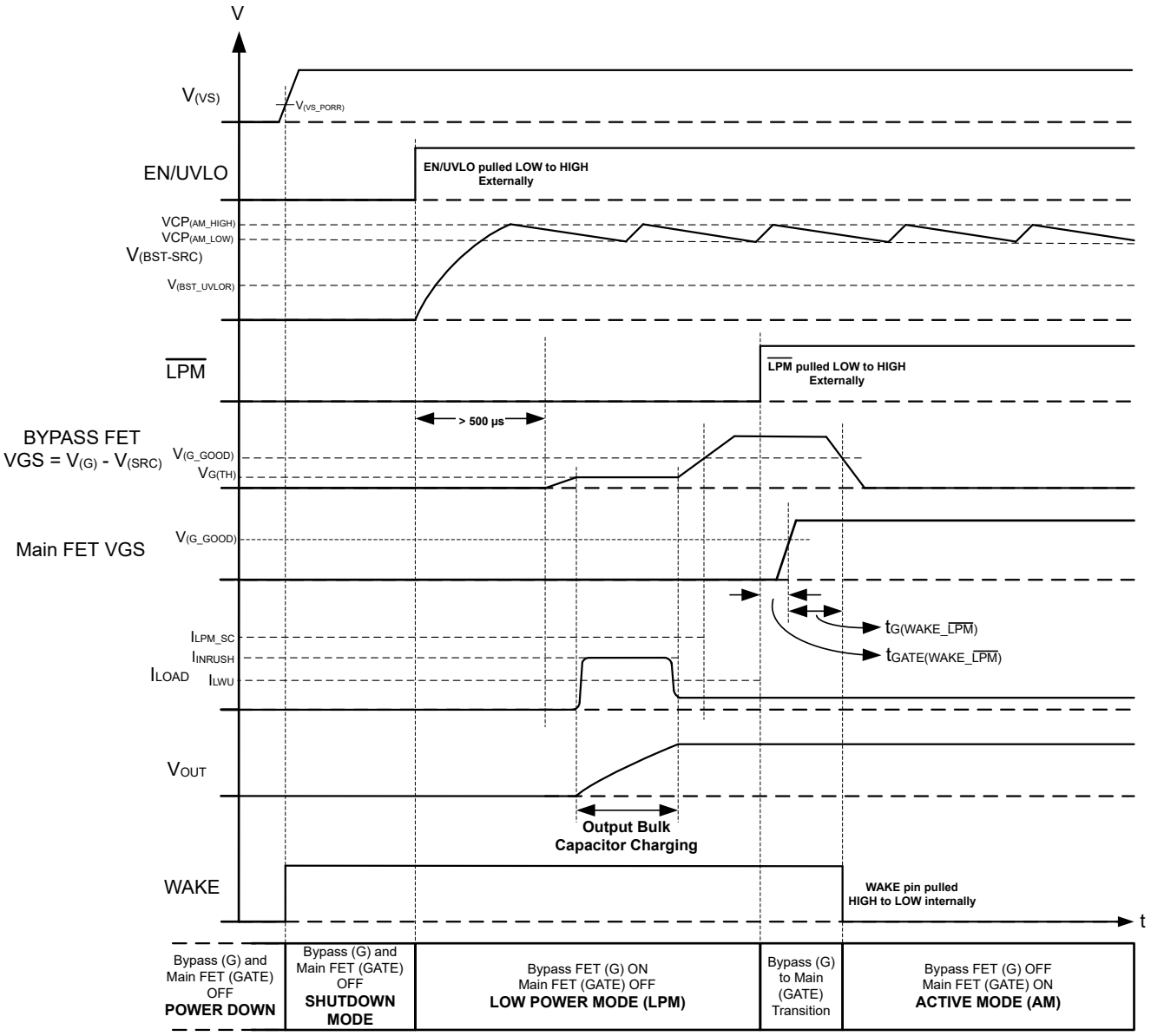


图 8-16. 包含 $\overline{\text{LPM}}$ 触发器的状态转换时序图

Copyright © 2025 Texas Instruments Incorporated

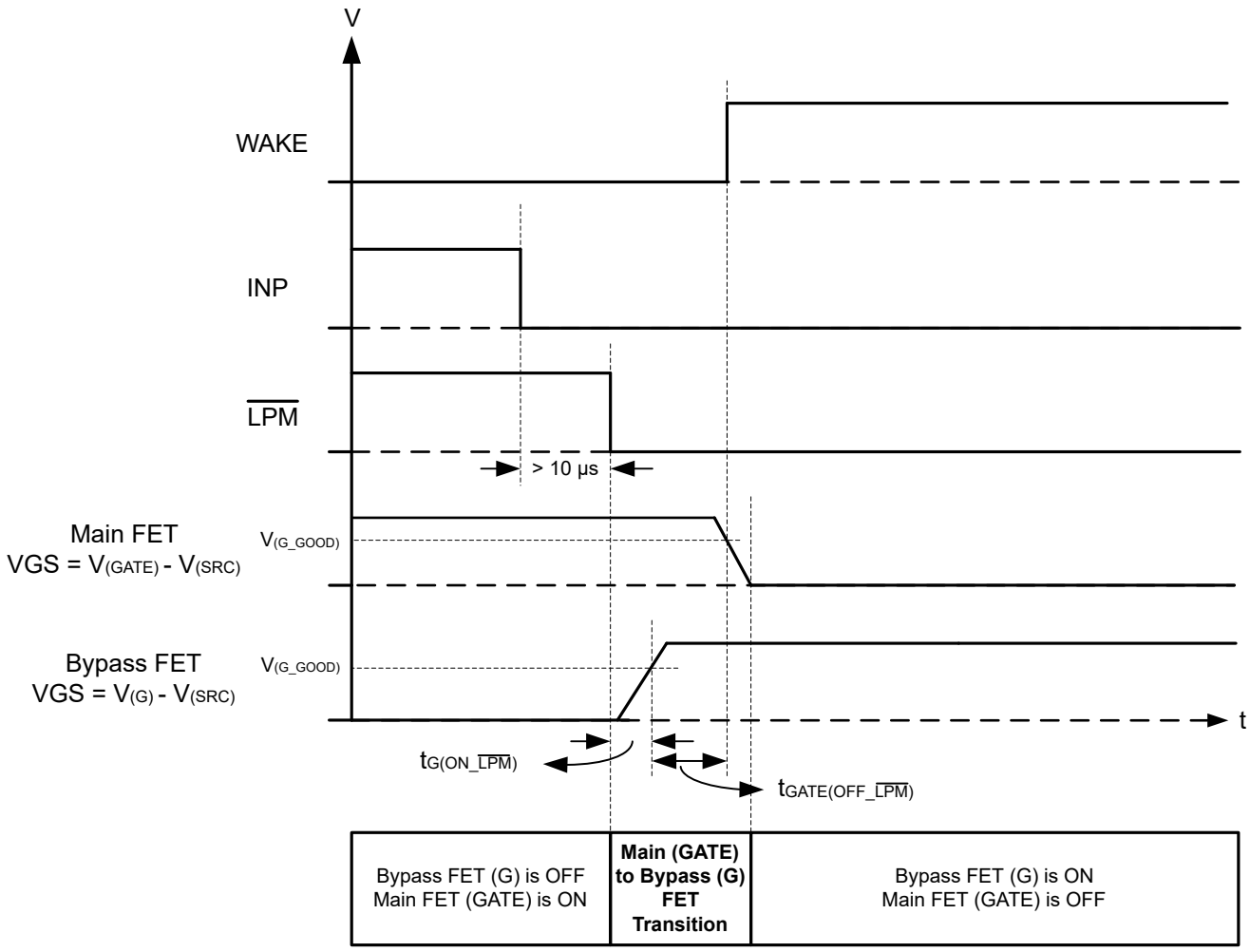


图 8-17. 从工作模式进入低功耗模式的 $\overline{\text{LPM}}$ 和 INP 信号时序控制注意事项

8.4.3 断电

如果施加的 VS 电压低于 $V_{(VS_PORF)}$，则器件处于禁用状态。在该模式下，电荷泵和所有保护特性都被禁用。两个栅极驱动输出（GATE 和 G）均为低电平。

8.4.4 关断模式

当 VS > $V_{(VS_PORR)}$ 且 EN/UVLO 拉至小于 $V_{(ENF)}$ 时，器件会转换至低 I_Q 关断模式。在该模式下，电荷泵和所有保护特性都被禁用。两个栅极驱动输出（GATE 和 G）均为低电平。在此模式下，该器件具有低的 I_Q 消耗，为 1 µA（典型值）。

- **从关断模式转换至低功耗模式：**

  要从关断模式转换至低功耗模式，请将 EN/UVLO 驱动为高电平 (> $V_{(ENR)}$)，同时将 $\overline{\text{LPM}}$ 驱动为低电平持续超过 500µs。
- **从关断模式转换至工作模式：**

  要直接从关断模式转换至工作模式，请同时将 EN/UVLO 和 $\overline{\text{LPM}}$ 均驱动为高电平。

8.4.5 低功耗模式 (LPM)

当 EN/UVLO 被驱动为高电平 (> $V_{(ENR)}$) 并且同时 $\overline{\text{LPM}}$ 被驱动为低电平的时间超过 500µs 时，器件将从关断模式转换为低功耗模式。

Copyright © 2025 Texas Instruments Incorporated

当 $\overline{LPM}$ 被拉至低电平时，器件也可以从工作模式转换为低功耗模式。从工作模式进入低功耗模式时，可以按照图 8-17 所述遵循 $\overline{LPM}$ 和 INP 信号时序控制注意事项。在 $\overline{LPM}$ 之前将 INP 拉至低电平会导致主 FET（GATE 驱动）关断，进而会导致在旁路 FET（G 驱动）导通之前输出电压暂时下降。在 $\overline{LPM}$ 被拉至低电平至少 10µs 后将 INP 拉至低电平，可实现从工作模式到低功耗模式的无缝转换，而不会出现任何输出电压骤降。

在此模式下，会启用电荷泵和 G 栅极驱动器。在此状态下，主 FET（GATE 驱动）关断，旁路 FET（G 驱动）导通，且 WAKE 引脚置为高电平有效。低功耗模式下，TPS4812-Q1 具有低的 I_Q 消耗，为 20µA（典型值）。

在以下情况下，器件会从低功耗模式转换为工作模式：

- **外部触发器：** $\overline{LPM}$ 从外部被拉至高电平
- **内部触发器：**负载电流超过负载唤醒触发阈值 (I_{LWU})

在负载电流超过负载唤醒阈值 (I_{LWU}) 后，器件首先会自动导通主 FET（GATE 驱动），旁路 FET（G 驱动）会在主 FET（GATE 驱动）完全导通后关断，而 WAKE 置为低电平有效，表示退出低功耗模式。

器件等待外部 $\overline{LPM}$ 信号变为高电平以转换到工作模式。

低功耗模式下的可用保护功能包括：

- **输入 UVLO：**当 EN/UVLO 上的电压降至低于 $V_{(UVLOF)}$ 时，旁路 FET（G 驱动器）会被关断。
- **电荷泵 UVLO：**当 BST 和 SRC 之间的电压降至低于 $V_{(BST_UVLOF)}$ 且 $\overline{FLT}$ 置为低电平有效时，旁路 FET（G 驱动器）会被关断。
- **旁路 FET 短路保护（短路唤醒）：**该保护一直持续到旁路 FET 的 VGS（G 至 SRC）达到 V_{G_GOOD} 阈值为止。如果 DRN 和 CS2– 之间的电压超过设定的短路阈值 $V_{(LPM_SCP)}$，则器件会在 t_{LPM_SC} 时间内导通主 FET（GATE 驱动），从而转换至负载唤醒状态。

  在负载唤醒状态下，如果负载电流仍然很高且超过设定的短路阈值 (V_{SCP})，则器件会在 t_{SC} 时间内关断主路径（GATE 驱动器）和旁路 FET（G 驱动器）。器件会根据所选配置进入自动重试或闭锁模式，且 $\overline{FLT}$ 置为低电平有效。

8.4.6 运行模式 (AM)

当 EN/UVLO 和 $\overline{LPM}$ 同时被驱动为高电平时，器件会直接从关断模式转换到工作模式。

TPS4812-Q1 通过以下方式从低功耗模式转换到工作模式：

- **外部触发器：**从外部将 $\overline{LPM}$ 驱动为高电平。
- **内部触发器：**在负载电流超过负载唤醒阈值 (I_{LWU}) 后，TPS4812-Q1 会自动导通主 FET（GATE 驱动器）并关断旁路 FET（G 驱动器）。在负载唤醒事件后将 $\overline{LPM}$ 驱动为高电平以切换到工作模式。

在此模式下会启用电荷泵、栅极驱动器和所有保护功能。通过分别将 INP 驱动为高电平或低电平，可以导通或关断主 FET（GATE 驱动器），在此状态下，旁路 FET（G 驱动器）被关断，WAKE 引脚置为低电平有效。

当 $\overline{LPM}$ 被拉至低电平时，器件会退出工作模式并进入低功耗模式。

工作状态下可用的保护功能包括：

- **输入 UVLO：**当 EN/UVLO 上的电压降至低于 $V_{(UVLOF)}$ 时，主 FET（GATE 驱动器）会被关断。
- **电荷泵 UVLO**：当 BST 和 SRC 之间的电压降至低于 $V_{(BST_UVLOF)}$ 且 $\overline{FLT}$ 置为低电平有效时，主 FET（GATE 驱动器）会被关断。
- **主路径 I^2t 保护：**当 CS1+ 和 CS1– 之间的电压高于 I^2t 启动阈值 ($V_{(OCP)}$)，且持续时间达到由 I^2t 因数基于 C_{I2t} 而设置的时间时，主 FET（GATE 驱动器）会被关断。器件会根据所选配置进入自动重试或闭锁模式，且 $\overline{FLT}$ 置为低电平有效。
- **主路径短路保护**：当 CS1+ 和 CS1– 之间的电压超过设定的短路阈值 ($V_{(SCP)}$) 时，主 FET（GATE 驱动器）会被关断。器件会根据所选配置进入自动重试或闭锁模式，且 $\overline{FLT}$ 置为低电平有效。

Copyright © 2025 Texas Instruments Incorporated

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

9.2 典型应用 1：使用自动负载唤醒功能来驱动全时供电 (PAAT) 负载

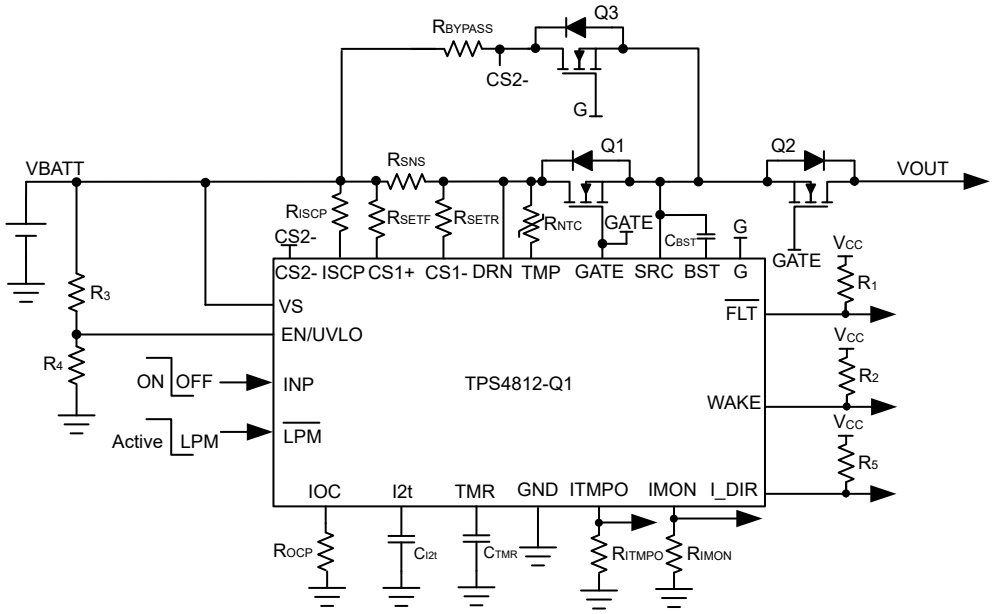


图 9-1. 使用自动负载唤醒功能来驱动全时供电 (PAAT) 负载的 TPS4812-Q1 应用电路

9.2.1 设计要求

表 9-1. 设计参数

参数	值
典型输入电压，V_{BATT_MIN} 至 V_{BATT_MAX}	36V 至 60V
欠压锁定设定点，V_{INUVLO}	24V
最大负载电流，I_{OUT}	35A
I^2t 启动阈值，I_{OC}	40A
I^2t 保护阈值	$3000A^2s$
最大过流阈值，I_{OC_MAX}	120A
短路保护阈值，I_{SC}	130A
故障响应	自动重试
自动重试时间	1000ms
负载唤醒阈值，I_{LWU}	200mA

Copyright © 2025 Texas Instruments Incorporated

9.2.2 详细设计过程

电流检测电阻 R_{SNS} 的选型

基于 I^2t 的过流保护阈值电压 $V_{(SNS_OCP)}$ 建议范围可从 6mV 扩展至 200mV。接近下限阈值 6mV 的值可能会受到系统噪声的影响。接近上限阈值 200mV 的值可能会导致电流检测电阻中产生高功率耗散。为了最大限度解决这两个问题，应选择 20mV 作为 I^2t 保护启动阈值电压。可以使用以下公式计算电流检测电阻 R_{SNS}：

$$R_{SNS} = \frac{V_{(SNS_OCP)}}{I_{OC}} \tag{20}$$

若 I^2t 保护启动阈值为 40A (I_{OC})，则 R_{SNS} 计算结果为 0.5mΩ，

可以并联使用两个 1mΩ 1% 检测电阻。

选择 IMON 调节电阻 R_{SET}

R_{SET} 是在 VS 或输入电源与 CS1+ 引脚之间连接的电阻。该电阻可调节基于 I^2t 的过流保护阈值电压，并与 R_{IOC}、C_{I2t} 上的充电电流和 R_{IMON} 协调配合，以确定 I^2t 曲线和电流监测输出。

根据以下公式，I^2t 引脚上的最大电流可以基于短路保护 (I_{SC}) 阈值计算：

$$I_{I2t_MAX}\left(\mu A\right) = K \times {I_{SC}}^2 \tag{21}$$

其中，比例因数 K 可以根据以下公式计算：

$$\text{Scaling factor}\left(K\right) = \frac{\left(0.1 \times \frac{R_{SNS}}{R_{SET}}\right)^2}{I_{BIAS}} \tag{22}$$

需要调整 R_{SET}，以便 I_{I2t_MAX} 始终小于 100μA。R_{SET} 建议范围为 100Ω 至 500Ω。

在本设计示例中，R_{SET} 选为 300Ω 1%，使 I_{2t_MAX} 小于 100μA。

选择电流监测电阻 R_{IMON}

IMON 引脚上的电压 $V_{(IMON)}$ 与输出负载电流成比例。它可以连接到下游系统的 ADC，用于监测系统的运行状况和健康状态。必须根据最大负载电流和所用 ADC 的输入电压范围，选择 R_{IMON}。R_{IMON} 通过以下公式设置：

$$V_{(IMON)} = \left(V_{SNS} + V_{(VOS_SET)}\right) \times \frac{0.9 \times R_{IMON}}{R_{SET}} \tag{23}$$

其中，$V_{SNS} = I_{OC_MAX} \times R_{SNS}$，$V_{(OS_SET)}$ 是电流检测放大器的输入基准的失调电压 (±150μV)。若 I_{OC_MAX} = 120A 且 ADC 的工作范围为 0V 至 3.3V（例如，$V_{(IMON)}$ = 3.3V），则 R_{IMON} 计算结果为 18.33kΩ。

通过为 R_{IMON} 选择小于方程式 23 所示的值，可确保负载电流最大值不超过 ADC 限值。选择最接近的可用标准值：18.2kΩ，1%

选择主路径 MOSFET Q1 和 Q2

选择 MOSFET Q1 和 Q2 时，重要的电气参数为最大持续漏极电流 ID、最大漏源电压 $V_{DS(MAX)}$、最大栅源电压 $V_{GS(MAX)}$ 以及漏源导通电阻 $R_{DS(ON)}$。最大持续漏极电流 (ID) 等级必须超过最大持续负载电流。最大漏源电压 $V_{DS(MAX)}$ 必须足够高，以便承受应用中所见的最高电压。考虑负载突降导致最高应用电压为 60V，因此该应用选择 VDS 额定电压为 80V 的 MOSFET。

TPS4812-Q1 可驱动的最大 VGS 为 12V，因此必须选择 VGS 最小额定值为 15V 的 MOSFET。

Copyright © 2025 Texas Instruments Incorporated

为了降低 MOSFET 导通损耗，建议选择合适的 $R_{DS(ON)}$。根据设计要求，选择的是两个 IAUS200N08S5N023，其电压等级为：

- 80V $V_{DS(MAX)}$ 和 ±20V $V_{GS(MAX)}$
- 在 10V VGS 下，$R_{DS(ON)}$ 的典型值为 2.3mΩ
- MOSFET Qg(total) 的最大值为 110nC

TI 建议确保短路条件（如 V_{BATT_MAX} 和 I_{SC}）处于所选 FET（Q1 和 Q2）的 SOA 范围内，从而大于 t_{SC}（最大 5μs）时序。

选择自举电容器 C_{BST}

内部电荷泵以大约 600μA 的电流为外部自举电容器（连接在 BST 和 SRC 引脚之间）充电。使用以下公式，计算驱动两个并联 BUK7J1R4-40H MOSFET 所需的自举电容最小值。

$$C_{BST} = \frac{Q_{g(total)}}{1\ V} \tag{24}$$

选择最接近的可用标准值：220nF，10%。

I^2t 曲线编程，R_{IOC} 和 C_{I2t} 选择

R_{IOC} 用于设置 I^2t 保护启动阈值，该阻值可使用以下公式计算：

$$R_{IOC}\left(\Omega\right) = \frac{V_{(REF_OC)}}{K \times \left(I_{OC}\right)^2} \tag{25}$$

其中，比例因数 K 可使用以下公式计算：

$$\text{Scaling factor}\left(K\right) = \frac{\left(0.1 \times \frac{R_{SNS}}{R_{SET}}\right)^2}{I_{BIAS}} \tag{26}$$

若要将 I^2t 保护启动阈值设置为 40A，则 R_{IOC} 值计算结果为 23kΩ。

选择最接近的可用标准值：23kΩ，1%。

在最大过流限值 (I_{OC_MAX}) 下关断栅极驱动所需的时间可使用以下公式确定：

$$t_{OC_MIN}\left(s\right) = \frac{\text{I2T factor}}{I_{OC_MAX} \times I_{OC_MAX}} \tag{27}$$

若要将 I^2t 因数设置为 $3000A^2s$，则 t_{OC_MIN} 值计算结果为 208ms。

使用方程式 28 可计算所需的 C_{I2t} 值：

$$C_{I2t}\left(F\right) = \frac{K \times t_{OC_MIN}}{V_{(I2t_OC)} - V_{(I2t_OFFSET)}} \times \left[{I_{OC_MAX}}^2 - {I_{OC}}^2\right] \tag{28}$$

若要将 I^2t 因数设置为 $3000A^2s$，将 I^2T 启动阈值设置为 40A 且最大过电流设置为 120A，则 C_{I2t} 计算结果为约 880nF。

选择最接近的可用标准值：1μF，10%。

短路保护阈值编程，R_{ISCP} 选择

R_{ISCP} 用于设置短路保护阈值，该值可使用以下公式计算：

Copyright © 2025 Texas Instruments Incorporated

$$R_{ISCP}\left(k\Omega\right) = \frac{I_{SC} \times R_{SNS} - 1.8}{I_{SCP}} \quad (29)$$

若要将短路保护阈值设置为 130A，则两个并联 FET 的 R_{ISCP} 值计算结果为 2.53kΩ。选择最接近的可用标准值：2.55kΩ，1%。

故障计时器周期编程，C_{TMR} 选择

就正在讨论的设计示例而言，可以通过选择从 TMR 引脚到接地的合适电容器 C_{TMR}，设置自动重试时间 t_{RETRY}。使用以下公式可计算 C_{TMR} 的值以便将 t_{RETRY} 设置为 1ms：

$$t_{RETRY}\left(s\right) = 64 \times C_{TMR} \times \left[\frac{V_{(TMR_HIGH)} - V_{(TMR_LOW)}}{I_{(TMR_SRC)}}\right] \quad (30)$$

若要将自动重试时间设置为 1000ms，则 C_{TMR} 值计算结果为 39.06nF。

选择最接近的可用标准值：47nF，10%。

负载唤醒阈值编程，R_{BYPASS} 和 Q3 选择

在正常运行期间，电阻 R_{BYPASS} 与旁路 FET R_{DSON} 一起用于设置负载唤醒电流阈值。选择 MOSFET Q3 时，重要的电气参数为最大持续漏极电流 ID、最大漏源电压 $V_{DS(MAX)}$、最大栅源电压 $V_{GS(MAX)}$ 以及漏源导通电阻 $R_{DS(ON)}$。

根据设计要求，选择的是 SQS182ELNW-T1，其电压等级为：

- 80V $V_{DS(MAX)}$ 和 ±20V $V_{GS(MAX)}$
- 在 10V VGS 下，$R_{DS(ON)}$ 的典型值为 11mΩ
- MOSFET $Q_{g(total)}$ 的典型值为 26nC
- MOSFET $V_{GS(th)}$ 的最小值为 1.4V
- MOSFET C_{ISS} 的典型值为 1457pF

可以使用以下公式选择 R_{BYPASS} 电阻值：

$$R_{BYPASS} = \frac{V_{(LWU)}}{I_{LWU}} \quad (31)$$

若要设置 200mA 负载唤醒电流，则 R_{BYPASS} 电阻计算结果为 1Ω。

可通过以下公式计算旁路电阻器的平均额定功率：

$$P_{AVG} = I_{LWU}^{2} \times R_{BYPASS} \quad (32)$$

R_{BYPASS} 平均功率耗散计算结果为 0.04W。

以下公式可计算旁路电阻器中的峰值功率耗散：

$$P_{PEAK} = \frac{V_{BATT_MAX}^{2}}{R_{BYPASS}} \quad (33)$$

R_{BYPASS} 的峰值功率耗散计算结果为约 3600W。短路进入 LPM 时上电的峰值功率耗散时间可以通过电气特性表中的 $t_{(LPM_SC)}$ 参数 (5μs) 推导出来。

根据 P_{PEAK} 和 $t_{(LPM_SC)}$，应并联两个 2Ω、1%、1.5W CRCW25122R00JNEGHP 电阻，从而实现平均功率耗散和峰值功率耗散持续 $t_{(LPM_SC)}$ 以上。TI 建议设计人员与电阻制造商分享旁路电阻器的整个功率耗散曲线并获取他们的建议。

可根据以下公式计算旁路路径中的峰值短路电流：

Copyright © 2025 Texas Instruments Incorporated

$$I_{PEAK_BYPASS} = \frac{V_{BATT_MAX}}{R_{BYPASS}} \quad (34)$$

根据方程式 31 中选择的 R_{BYPASS}，计算出 I_{PEAK_BYPASS} 为 60A。TI 建议设计人员确保旁路路径 (Q3) 的工作点（V_{BATT_MAX}、I_{PEAK_BYPASS}）处于 SOA 曲线内的时间大于 $t_{(LPM_SC)}$。

设置欠压锁定设定点，R3 和 R4

通过连接在器件 VS、EN/UVLO 和 GND 引脚之间的 R3 和 R4 外部分压器网络可调整欠压锁定 (UVLO)。设置欠压和过压所需的值通过求解以下公式计算得出：

$$V_{(UVLOR)} = V_{INUVLO} \times \frac{R4}{R3 + R4} \quad (35)$$

为了尽可能降低从电源汲取的输入电流，TI 建议对 R3 和 R4 使用较高的电阻值。但是，由于连接到电阻器串的外部有源元件而产生的漏电流会增加这些计算的误差。因此，选择的电阻串电流 $I_{(R34)}$ 必须比 UVLO 引脚的漏电流大 20 倍。

根据器件电气规格，$V_{(UVLOR)}$ = 1.2V。根据设计要求，V_{INUVLO} 为= 24V。为了求解该公式，首先选择 R3 = 470kΩ 值，然后使用方程式 35 求解 R4 = 24.3kΩ。

选择最接近的标准 1% 电阻值：R3 = 470kΩ，R4 = 24.9kΩ。

9.2.3 应用曲线

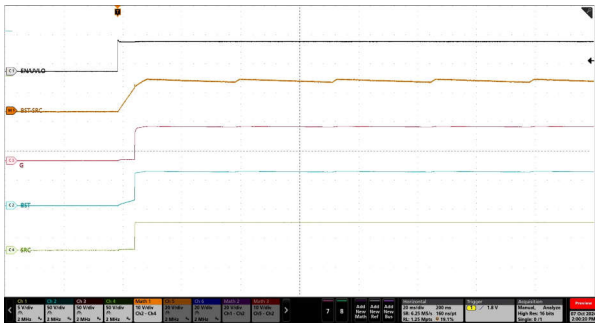


图 9-2. 低功耗路径的启动曲线（$\overline{LPM}$ = 低电平，VIN = 48V，无负载，C_{BST} = 470nF）

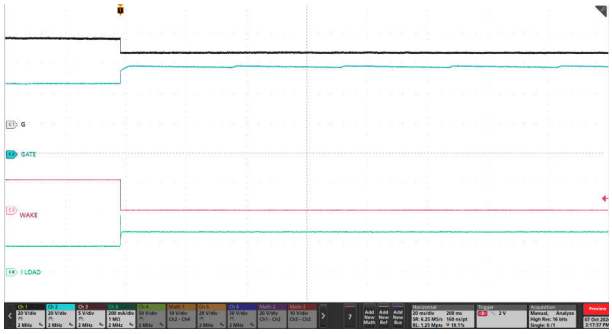


图 9-3. 从 LPM 到工作模式的状态转换（$\overline{LPM}$ = 低电平，VIN = 48V，EN/UVLO = 高电平）

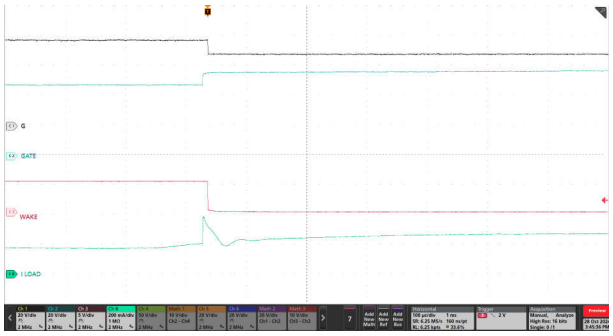


图 9-4. 从 LPM 到工作模式的状态转换放大视图（$\overline{LPM}$ = 低电平，VIN = 48V，EN/UVLO = 高电平）

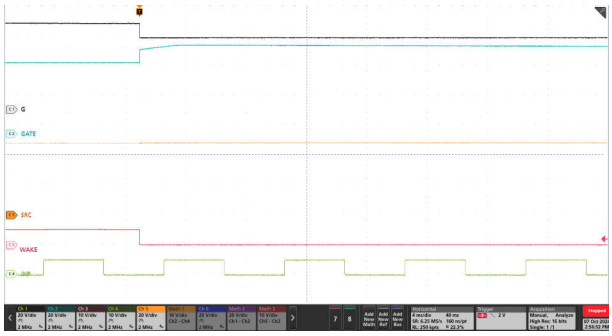


图 9-5. 当负载唤醒状态下 $\overline{LPM}$ = 低电平时，INP 无法控制 GATE

Copyright © 2025 Texas Instruments Incorporated

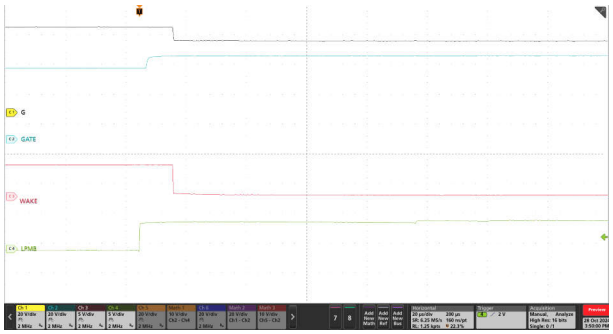


图 9-6. 从 LPM 到工作模式的状态转换（$\overline{LPM}$ = 低电平到高电平，VIN = 48V，无负载）

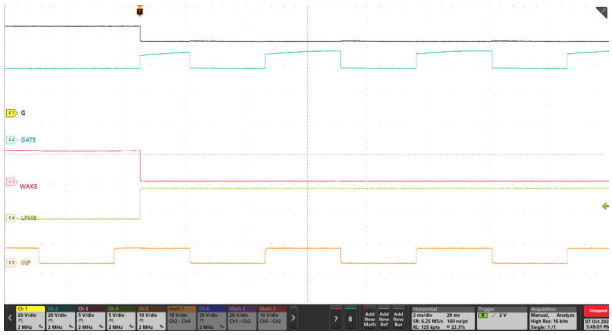


图 9-7. 当 $\overline{LPM}$ = 低电平到高电平时，INP 获得对 GATE 的控制（VIN = 48V，无负载）

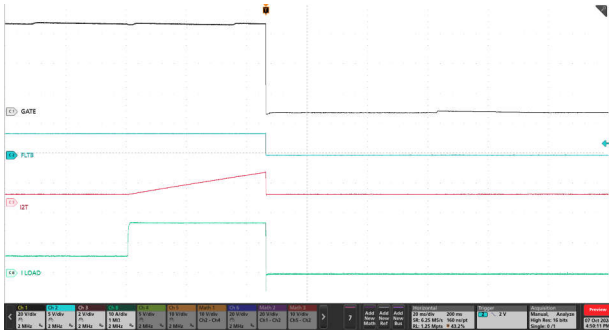


图 9-8. 6A 至 16A 负载阶跃下 TPS4812-Q1 EVM 基于 I^2T 的过流响应



图 9-9. 6A 至 23A 负载阶跃下 TPS4812-Q1 EVM 基于 I^2T 的过流响应

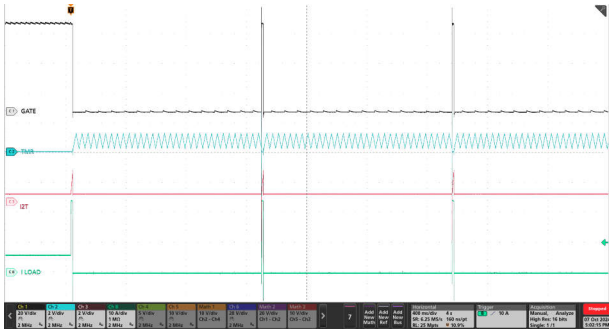


图 9-10. TPS4812-Q1 在 I^2t 过流故障下的自动重试响应

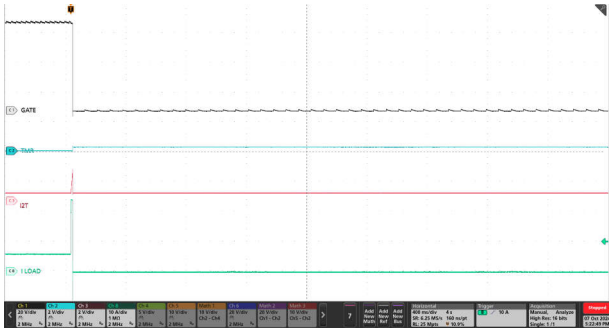


图 9-11. TPS4812-Q1 在 I^2t 过流故障下的闭锁响应

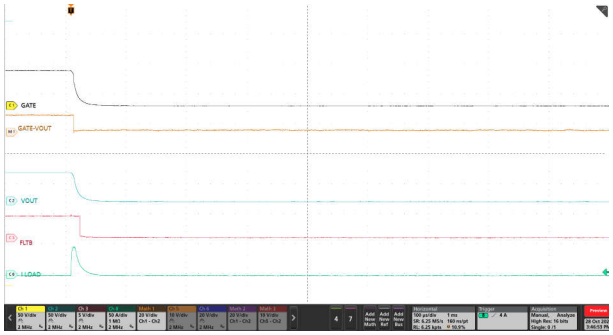


图 9-12. TPS4812-Q1 的输出短路响应

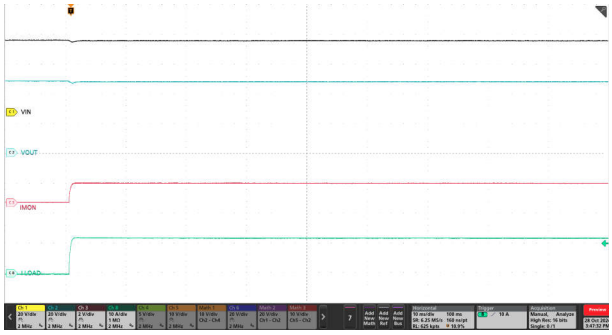


图 9-13. TPS4812-Q1 电流监测输出 (IMON) 瞬态响应

Copyright © 2025 Texas Instruments Incorporated

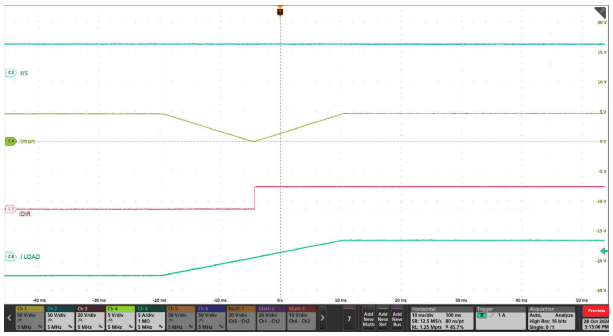


图 9-14. TPS4812-Q1 双向电流监测输出（IMON、I_DIR）瞬态响应

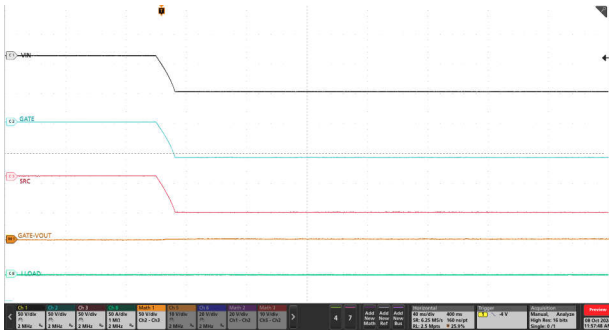


图 9-15. 输入电池反向故障下的 GATE 关断

9.3 典型应用 2：使用自动负载唤醒和输出大容量电容器充电功能来驱动全时供电 (PAAT) 负载

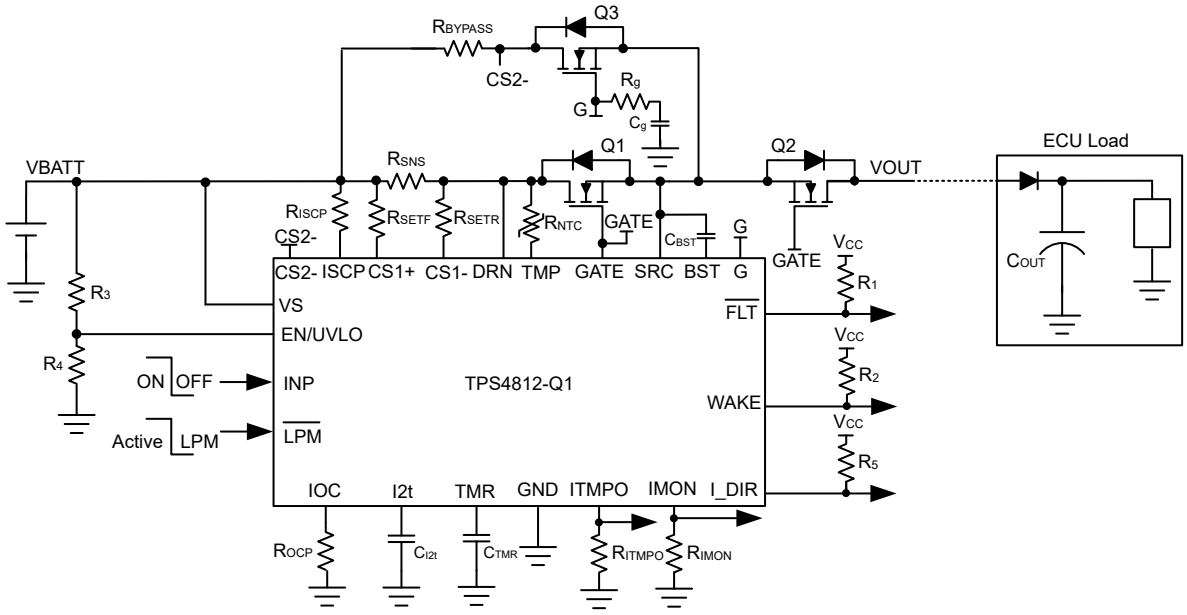


图 9-16. 使用自动负载唤醒和输出大容量电容器充电功能来驱动全时供电 (PAAT) 负载的 TPS4812-Q1 应用电路

9.3.1 设计要求

表 9-2. 设计参数

参数	值
典型输入电压，V_{BATT_MIN} 至 V_{BATT_MAX}	36V 至 60V
欠压锁定设定点，V_{INUVLO}	24V
最大负载电流，I_{OUT}	35A
I^2T 启动阈值，I_{OC}	40A
I^2T 保护阈值	3000A^2s
最大过流阈值，I_{OC_MAX}	120A
短路保护阈值，I_{SC}	130A
故障响应	自动重试

Copyright © 2025 Texas Instruments Incorporated

表 9-2. 设计参数（续）

参数	值
自动重试时间	1000ms
负载唤醒阈值，I_{LWU}	200mA
输出大容量电容器，C_{OUT}	1mF
C_{OUT} 充电时间，T_{charge}	40ms

9.3.2 外部元件选型

通过执行所述的类似设计过程，外部元件计算值如下：

- R_{SNS} = 0.5mΩ
- R_{SET} = 300Ω
- R_{IMON} = 18.2kΩ
- R_{IOC} = 23kΩ，用于将 40A 设置为 I^2t 保护启动阈值
- C_{I2t} = 1µF，用于将 3000A^2s 设置为 I^2t 因数
- C_{BST} = 220nF
- R_{ISCP} = 2.55kΩ，用于将 130A 设置为短路保护阈值
- C_{TMR} = 47nF，用于设置 1000ms 自动重试时间
- 分别选择 470kΩ 和 24.9kΩ 作为 R3 和 R4，以便将 VIN 欠压锁定阈值设置为 24V

负载唤醒阈值编程，R_{BYPASS} 和 Q_3 选择

在正常运行期间，串联电阻 R_{BYPASS} 用于设置负载唤醒电流阈值。在达到 V_{G_GOOD} 阈值后，比较 DRN 和 CS2– 之间的电压与负载唤醒事件的 $V_{(LWU)}$ 阈值（典型值 200mV）。选择 MOSFET Q3 时，重要的电气参数为最大持续漏极电流 I_D、最大漏源电压 $V_{DS(MAX)}$、最大栅源电压 $V_{GS(MAX)}$ 以及漏源导通电阻 R_{DSON}。

根据设计要求，选择的是 IAUS200N08S5N023，其电压等级为：

- 80V $V_{DS(MAX)}$ 和 ±20V $V_{GS(MAX)}$
- 在 10V VGS 下，$R_{DS(ON)}$ 的典型值为 2.3mΩ

可以使用以下公式选择 R_{BYPASS} 电阻值：

$$R_{BYPASS} = \frac{V_{(LWU)}}{I_{LWU}} \quad (36)$$

若要设置 200mA 负载唤醒电流，则 R_{BYPASS} 电阻计算结果为 1Ω。

可通过以下公式计算旁路电阻器的平均额定功率：

$$P_{AVG} = I_{LWU}^2 \times R_{BYPASS} \quad (37)$$

R_{BYPASS} 平均功率耗散计算结果为 0.04W。

以下公式可计算旁路电阻器中的峰值功率耗散：

$$P_{PEAK} = \frac{V_{BATT_MAX}^2}{R_{BYPASS}} \quad (38)$$

R_{BYPASS} 的峰值功率耗散计算结果为约 3600W。短路进入 LPM 时上电的峰值功率耗散时间可以通过电气特性表中的 $t_{(LPM_SC)}$ 参数 (5µs) 推导出来。

Copyright © 2025 Texas Instruments Incorporated

根据 P_{PEAK} 和 $t_{(LPM_SC)}$，应并联两个 2Ω、1%、1.5W CRCW25122R00JNEGHP 电阻，从而实现平均功率耗散和峰值功率耗散持续 $t_{(LPM_SC)}$ 以上。TI 建议设计人员与电阻制造商分享旁路电阻器的整个功率耗散曲线并获取他们的建议。

可根据以下公式计算旁路路径中的峰值短路电流：

$$I_{PEAK_BYPASS} = \frac{V_{BATT_MAX}}{R_{BYPASS}} \tag{39}$$

根据方程式 36 中选择的 R_{BYPASS}，计算出 I_{PEAK_BYPASS} 为 60A。TI 建议设计人员确保旁路路径 (Q3) 的工作点（V_{BATT_MAX}、I_{PEAK_BYPASS}）处于 SOA 曲线内的时间大于 $t_{(LPM_SC)}$。

浪涌电流编程，R_g 和 C_g 选择

请使用以下公式来计算 I_{INRUSH}：

$$I_{INRUSH} = C_{LOAD} \times \frac{V_{BATT_MAX}}{T_{charge}} \tag{40}$$

在方程式 40 中计算的 I_{INRUSH} 应该始终小于低功耗模式下的短路唤醒电流 (I_{LPM_SC})，后者可使用以下公式计算：

$$I_{LPM_SC} = \frac{2\ V}{R_{BYPASS}} \tag{41}$$

对于 1Ω R_{BYPASS}，I_{LPM_SC} 计算结果为 2A，该值小于 I_{INRUSH}。

使用以下公式，可根据方程式 40 中计算出的 I_{INRUSH} 计算所需的 C_g。

$$C_g = \frac{C_{LOAD} \times I_{(G)}}{I_{INRUSH}} \tag{42}$$

其中，$I_{(G)}$ 为 100µA（典型值）

若要将 I_{INRUSH} 设置为 1.5A，则 C_g 值计算结果为约 50nF。

串联电阻 R_g 必须与 Cg 一起用于限制关断期间来自 Cg 的放电电流。

选择的 R_g 值为 100Ω，C_g 为 68nF。

9.3.3 应用曲线

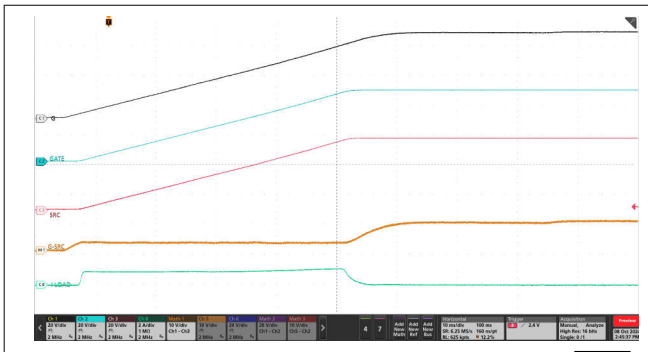


图 9-17. 输出端为 1000µF 时的浪涌电流曲线（$\overline{LPM}$ = 低电平）

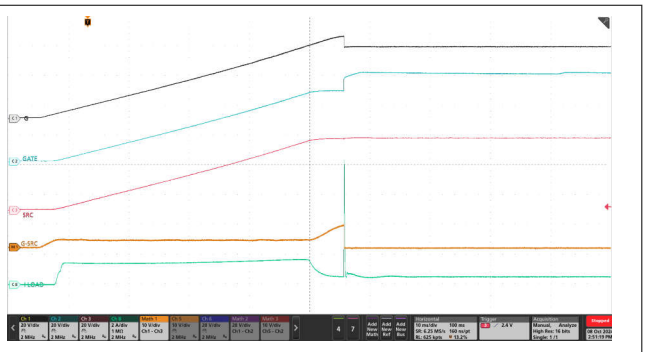


图 9-18. 输出端为 1000µF 且负载为 0.5A 时的浪涌电流曲线（$\overline{LPM}$ = 低电平）

Copyright © 2025 Texas Instruments Incorporated

9.4 电源相关建议

当外部 MOSFET 在某些情况（比如会导致电流中断的 INP 控制、过流或短路保护）下关断时，输入寄生线路电感会在输入端产生正电压尖峰，而输出寄生电感会在输出端产生负电压尖峰。电压尖峰（瞬变）的峰值振幅取决于与器件输入或输出串联的电感值。如果未采取措施解决问题，这些瞬态可能会超过器件的绝对最大额定值。解决瞬变的典型方法包括：

- 在输入端和 GND 之间使用 TVS 二极管和输入电容器滤波器组合来吸收能量并抑制正瞬态。
- 在输出端和 GND 之间使用二极管或 TVS 二极管来吸收负尖峰。

TPS4812-Q1 由 VS 引脚供电。为了确保正常运行，此引脚上的电压必须保持在 $V_{(VS_PORR)}$ 电平以上。如果输入电源有瞬态噪声，TI 建议在输入电源线路和 VS 引脚之间放置一个 R_{VS} – C_{VS} 滤波器以滤除电源噪声。TI 建议 R_{VS} 值约为 100Ω，C_{VS} 值约为 0.1μF。

TPS4812-Q1 使用 DRN 引脚来检测输入反极性故障事件。如果输入电源有瞬态噪声，TI 建议在输入电源线路和 DRN 引脚之间放置一个 R_{DRN} – C_{DRN} 滤波器以滤除电源噪声。TI 建议 R_{DRN} 值约为 10Ω，C_{DRN} 值约为 0.1μF。

在涉及较大 di/dt 的情况下，系统和布局寄生电感可能会在 CS1+ 和 CS1– 引脚之间产生较大的差分信号电压。此操作可能会在系统中触发错误的短路保护并干扰跳闸。为了解决这种问题，TI 建议在检测电阻 (R_{SNS}) 上添加用于表示 RC 滤波器元件的占位元件，并在实际系统的测试期间调整相应的值。

图 9-19 展示了具有可选保护元件的电路实施方案。

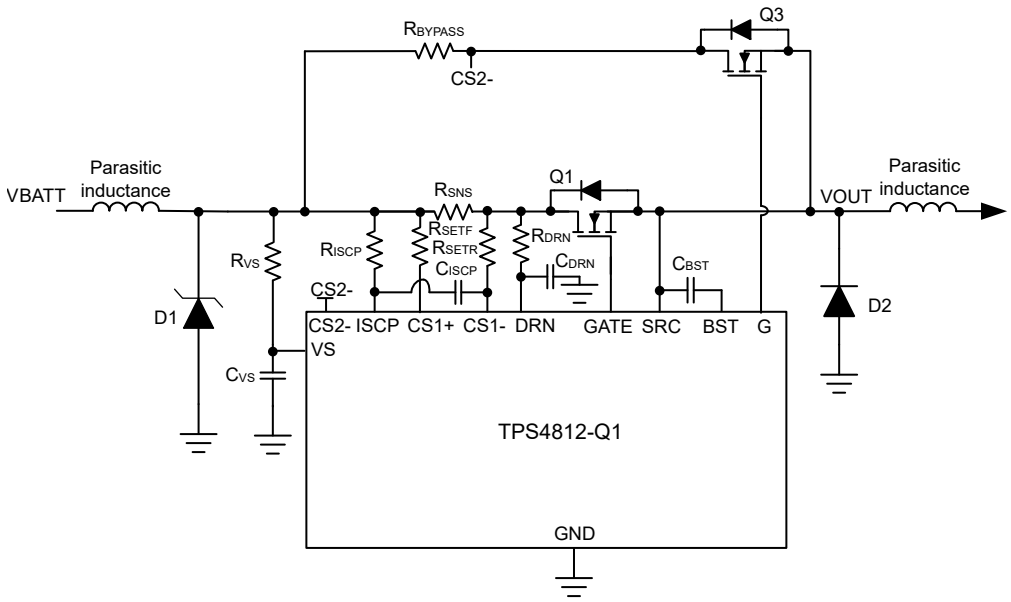


图 9-19. 采用可选保护元件的 TPS4812-Q1 电路实施方案

9.5 布局

9.5.1 布局指南

- 检测电阻 (R_{SNS}) 必须靠近 TPS4812-Q1 放置，然后使用开尔文方法连接 R_{SNS}。更多有关开尔文技术的信息，请参阅*选择合适的检测电阻布局*。
- 在所有应用下，TI 建议在 VS 端子和 GND 之间使用 0.1μF 或更高值的陶瓷去耦电容器。为改善去耦以应对电源线路干扰，可考虑在控制器的电源引脚 (VS) 处添加 RC 网络。

Copyright © 2025 Texas Instruments Incorporated

- 为最大限度减小环路电感，从板输入到负载的大电流路径以及返回路径必须相互平行且彼此靠近。
- 外部 MOSFET 必须靠近控制器放置，以便 MOSFET 的 GATE 靠近 GATE 引脚，从而形成较短的 GATE 环路。考虑添加一个占位电阻与每个外部 MOSFET 的栅极串联，以便在需要时抑制高频振荡。
- 在输入端放置一个 TVS 二极管以用于在热插拔和快速关断事件期间钳制电压瞬态。
- 外部自举电容器必须靠近 BST 和 SRC 引脚放置，以形成极短的环路。
- TPS4812-Q1 周围各种元件的接地连接必须直接相互连接，并连接至 TPS4812-Q1 的 GND，然后在某处连接至系统接地。请勿通过大电流接地线将各种元件接地相互连接。

9.5.2 布局示例

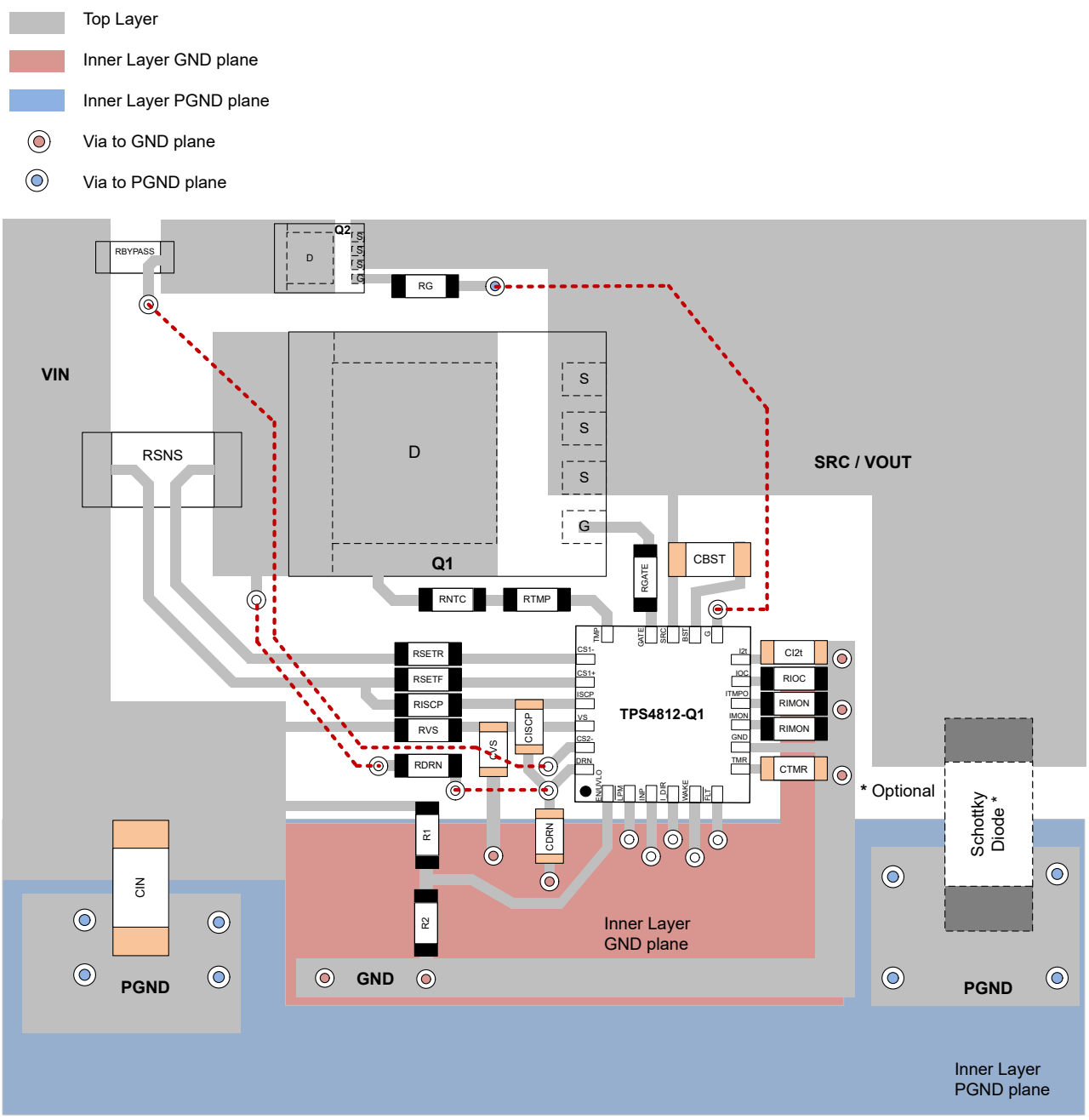


图 9-20. TPS4812-Q1 的典型 PCB 布局布线示例

10 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

10.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
December 2024	*	初始发行版

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS48120QRGERQ1	Active	Production	VQFN (RGE) | 23	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 48120Q
TPS48120QRGERQ1.A	Active	Production	VQFN (RGE) | 23	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 48120Q
TPS48121QRGERQ1	Active	Production	VQFN (RGE) | 23	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 48121Q
TPS48121QRGERQ1.A	Active	Production	VQFN (RGE) | 23	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 48121Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

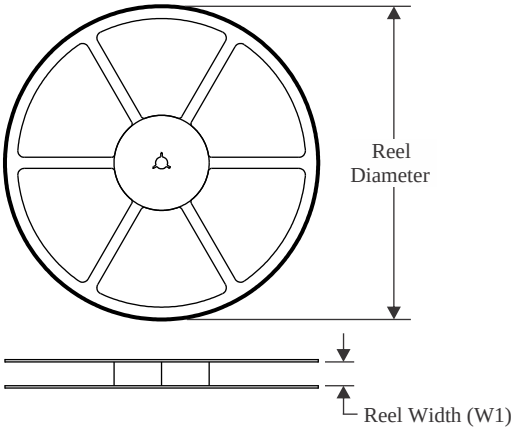
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

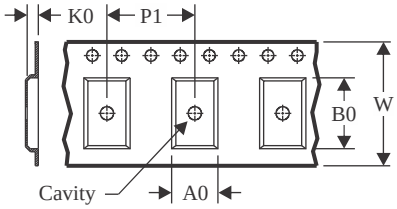
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

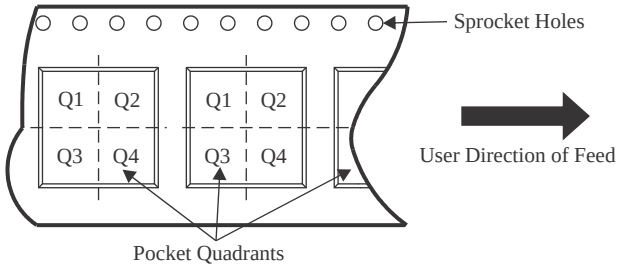


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

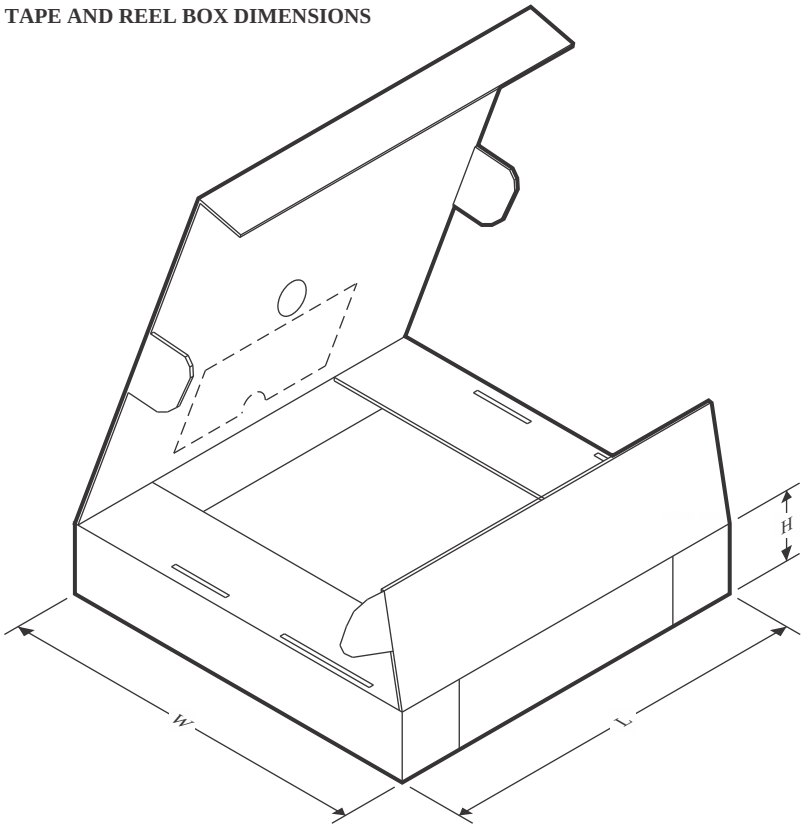
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS48120QRGERQ1	VQFN	RGE	23	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TPS48121QRGERQ1	VQFN	RGE	23	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

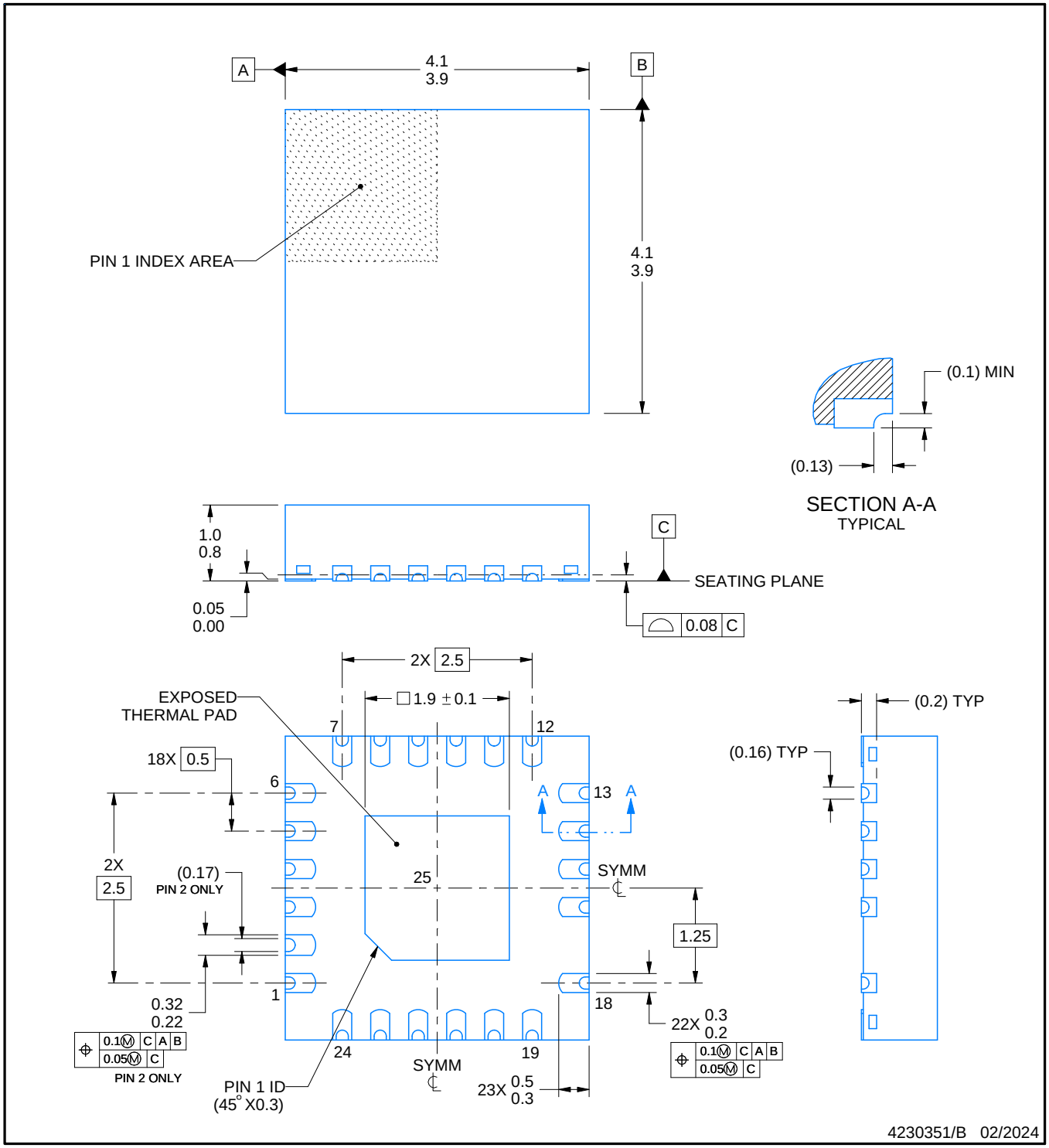
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS48120QRGERQ1	VQFN	RGE	23	3000	360.0	360.0	36.0
TPS48121QRGERQ1	VQFN	RGE	23	3000	360.0	360.0	36.0

RGE0023A

PACKAGE OUTLINE

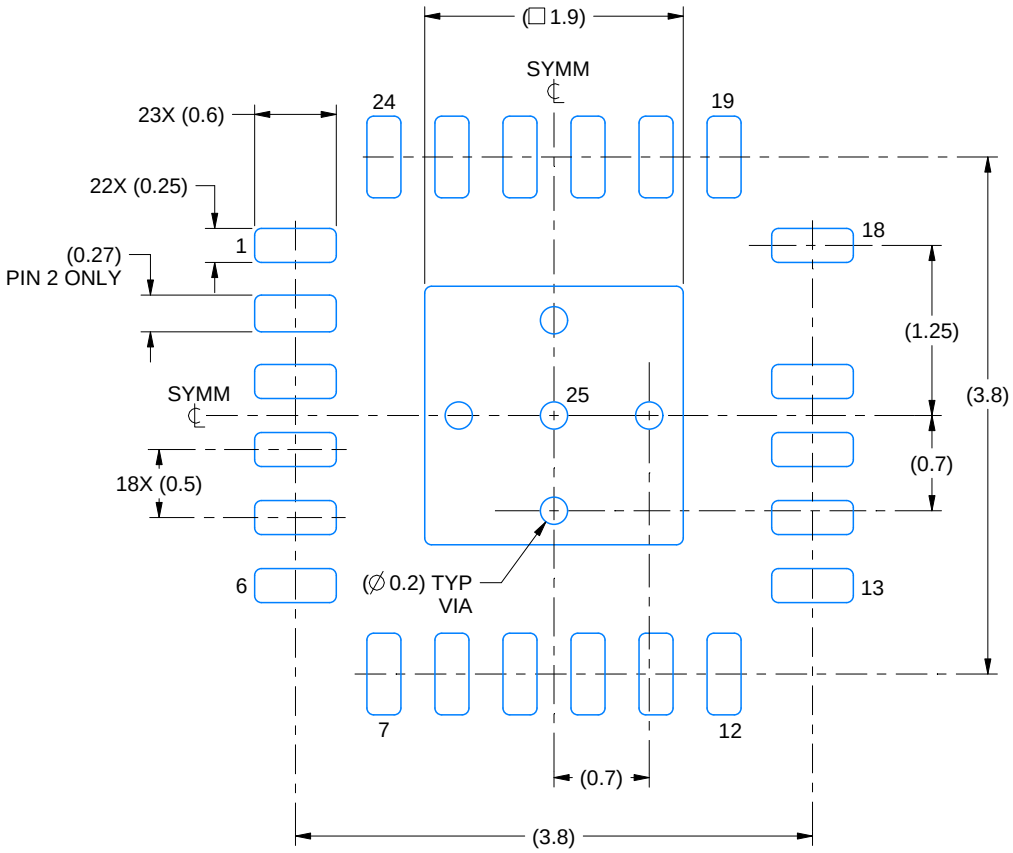
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

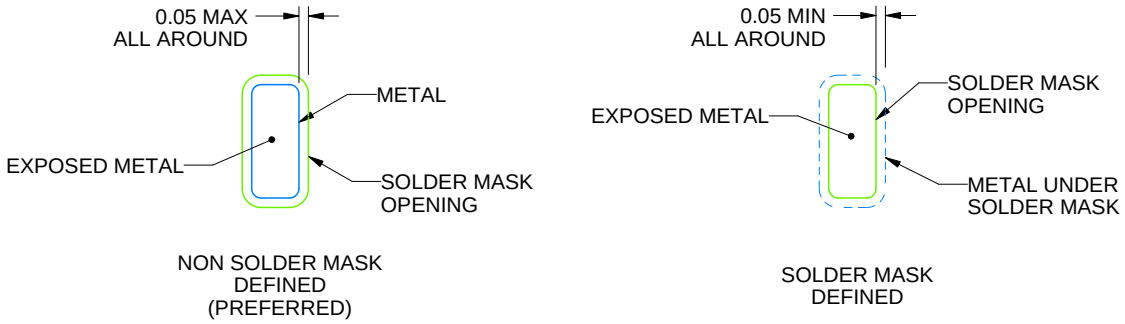


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



NON SOLDER MASK DEFINED (PREFERRED)

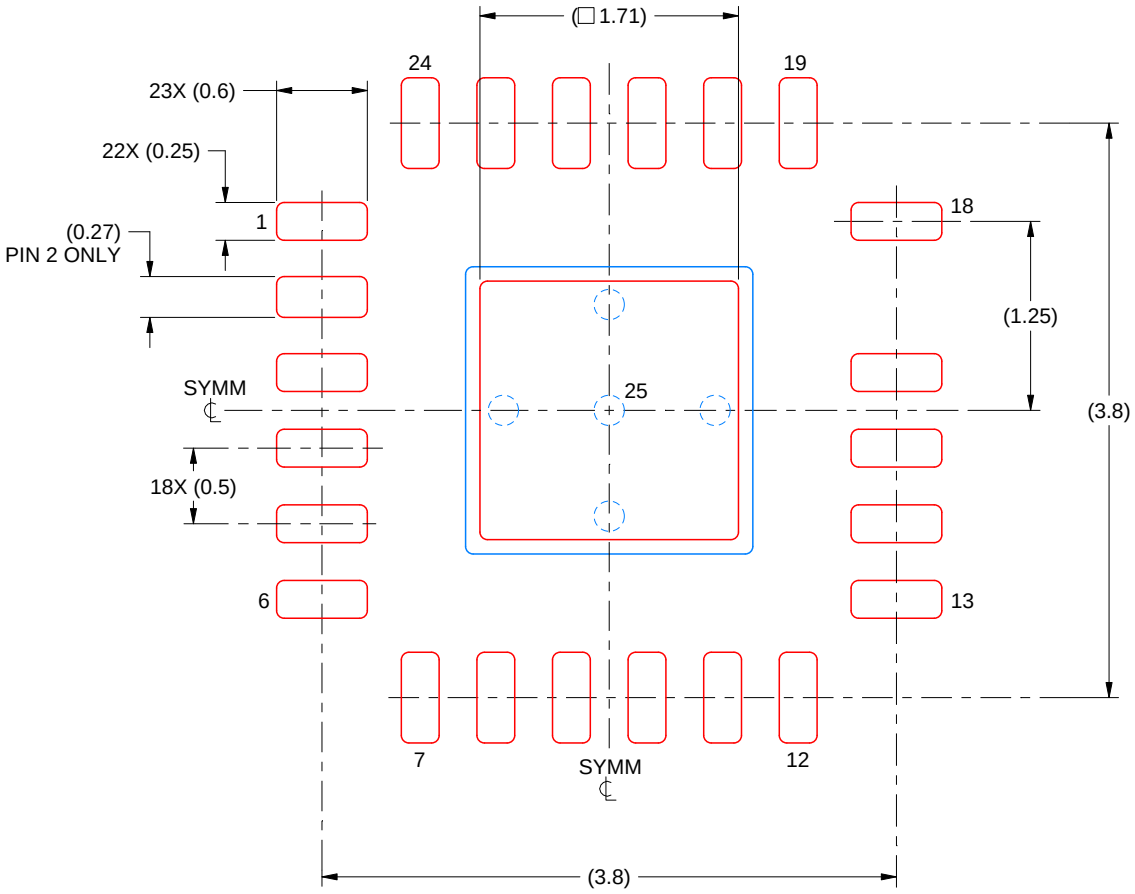
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4230351/B 02/2024

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

THERMAL PAD 25:
77% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月