TPS38700-Q1 支持 I²C 和多达 12 个通道的电源序列发生器

1 特性

- 符合汽车应用要求
- 具有符合 AEC-Q100 标准的下列特性：
  - 器件温度等级 1：-40°C 至 +125°C
  - 器件 HBM ESD 分类等级 2
  - 器件 CDM ESD 分类等级 C7B
- 符合功能安全标准
  - 专为功能安全应用开发
  - 在请求时将会提供有助于进行 ISO 26262 系统设计的文档
  - 系统可满足 ASIL D 级要求
  - 硬件可满足 ASIL B 级要求
- 输入电压范围：2.2V 至 5.5V
- 欠压锁定 (UVLO)：2.0V
- 低静态电流：35µA（典型值）
- 窗口看门狗
- 独立 RESET
- 独立 NIRQ
- NVM 误差校验
  - 1 位误差校正
  - 2 位错误检测
- 在寄存器映射上进行 CRC 错误检查
- 备用电池
- 晶体振荡器选项
- I²C 可编程序列
- RTC 时钟报警功能
- 专门与 TPS389006/TPS389008 等多通道监控器配合使用，并用于完整的多通道监控和时序控制情况

2 应用

- 高级驾驶辅助系统 (ADAS)

3 说明

TPS38700-Q1 器件是一款集成了窗口看门狗和可编程 I²C 的多通道电压序列发生器，采用 24 引脚 4mm x 4mm VQFN 封装。

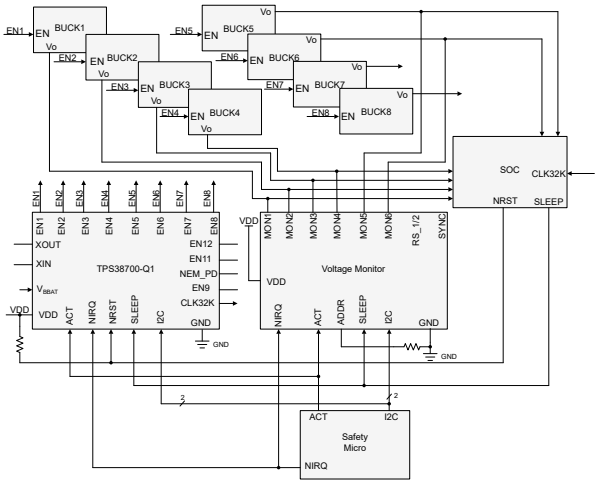
这种多通道电压序列发生器非常适合需要精确上电和/或断电时序的系统，并且可以与多通道电压监控器连接。该器件默认采用预编程的 OTP 选项，但 I²C 可对上电和断电时序控制、看门狗设置和序列时序选项（如需要）重新编程。

得益于灵活且可编程的电压轨时序功能、低静态电流和小尺寸等优势，该器件能够满足大多数应用要求。TPS38700 旨在与 TPS389006/TPS3890008 等监测器件配合使用。

器件信息

器件型号	封装 (1)	本体尺寸（标称值）(2)
TPS38700-Q1	VQFN (24)	4mm x 4mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



多通道电压序列发生器和监视器

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 器件比较.....3
5 引脚配置和功能.....4
6 规格.....7
6.1 绝对最大额定值.....7
6.2 ESD 等级.....7
6.3 建议运行条件.....7
6.4 热性能信息.....8
6.5 电气特性.....8
6.6 时序要求.....9
6.7 典型特性.....12
7 详细说明.....14
7.1 概述.....14
7.2 功能方框图.....14
7.3 特性说明.....15
7.4 寄存器映射表.....33
8 应用和实施.....61
8.1 应用信息.....61
8.2 典型应用.....62
8.3 电源相关建议.....65
8.4 布局.....66
9 器件和文档支持.....67
9.1 器件命名规则.....67
9.2 接收文档更新通知.....69
9.3 支持资源.....69
9.4 商标.....69
9.5 静电放电警告.....69
9.6 术语表.....69
10 修订历史记录.....69

Copyright © 2025 Texas Instruments Incorporated

4 器件比较

图 4-1 展示了 TPS38700-Q1 器件的器件命名规则。有关器件订购代码的更多信息，请参阅表 9-2。如需了解其他选项的详细信息和供货情况，请联系 TI 销售代表或访问 TI 的 E2E 论坛；最低订购量适用。

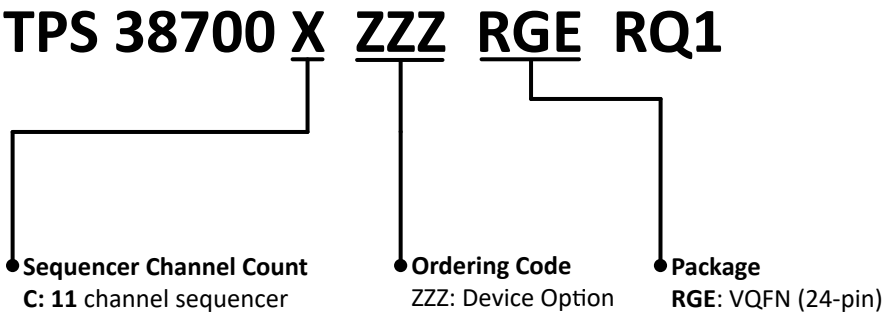


图 4-1. TPS38700-Q1 器件命名规则

5 引脚配置和功能

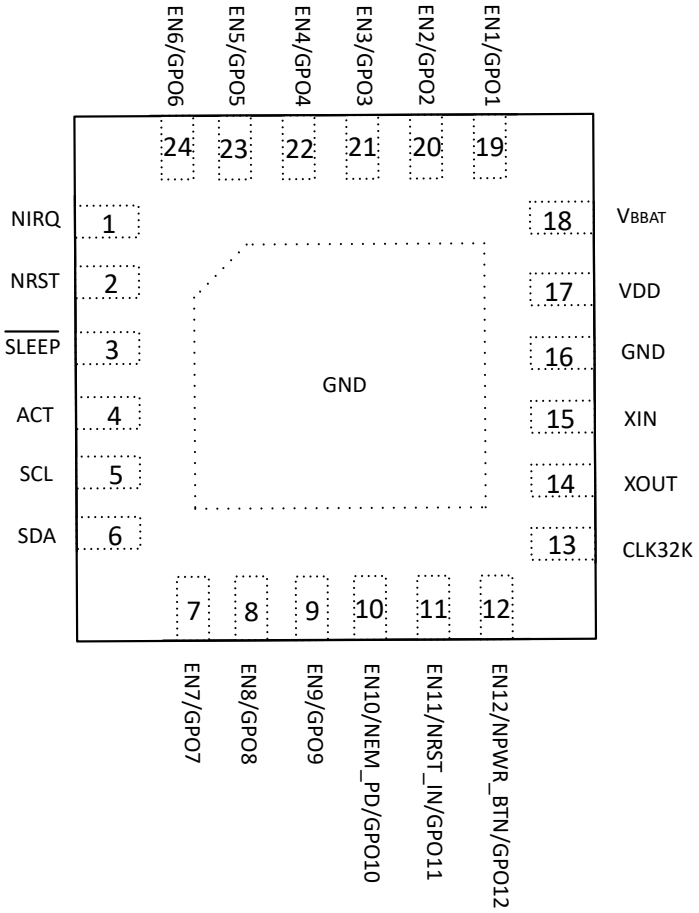


图 5-1. RGE 封装
24 引脚 VQFN
TPS38700 顶视图

Copyright © 2025 Texas Instruments Incorporated

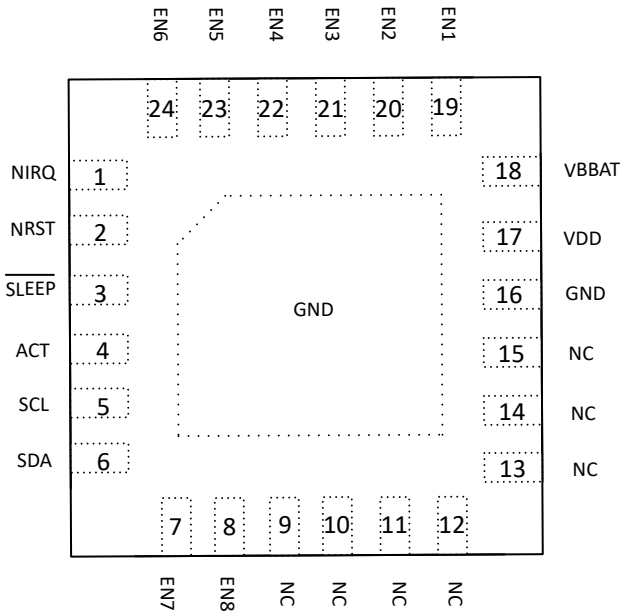


图 5-2. RGE 封装
24 引脚 VQFN
TPS387008 顶视图

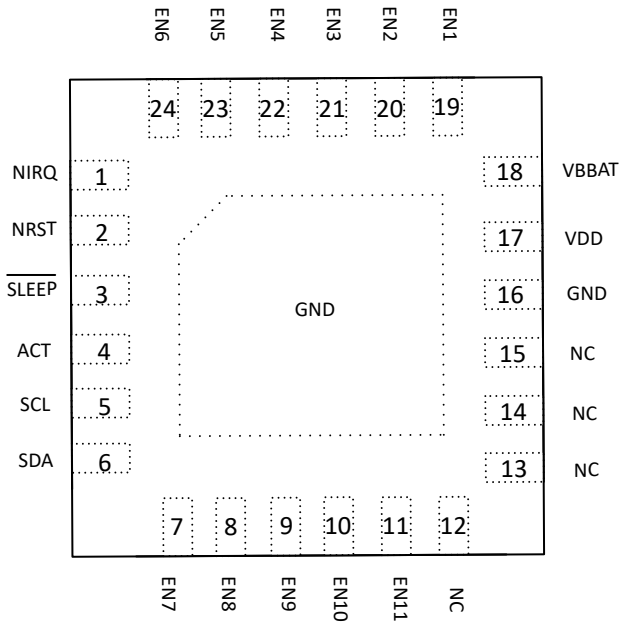


图 5-3. RGE 封装
24 引脚 VQFN
TPS38700B 顶视图

表 5-1. 引脚功能

引脚		I/O	说明
编号	TPS38700-Q1 名称		
1	NIRQ	O	中断引脚（开漏、低电平有效）
2	NRST	O	复位引脚（开漏、低电平有效）
3	$\overline{\text{SLEEP}}$	I	睡眠引脚（逻辑高电平退出睡眠、逻辑低电平进入睡眠）
4	ACT	I	ACT 引脚（逻辑高电平启动上电序列、逻辑低电平启动断电序列）
5	SCL	I	I2C 时钟引脚
6	SDA	I/O	I2C 数据引脚
7	EN7/GPO7	O	使能 7（开漏/推挽）/GPO7
8	EN8/GPO8	O	使能 8（开漏/推挽）/GPO8
9	EN9/GPO9	I/O	使能 9（开漏/推挽）/GPO9
10	EN10 / NEM_PD / GPO10	I/O	使能 10（开漏/推挽）/紧急断电（开漏）/GPO10
11	EN11 / NRST_IN / GPO11	I/O	使能 11（开漏/推挽）/复位输入（开漏）/GPO11
12	EN12 / NPWR_BTN / GPO12	I/O	使能 12（开漏/推挽）/电源按钮（开漏）/GPO12
13	CLK32K	O	32.768kHZ 时钟输出
14	XOUT	O	晶体振荡器输出
15	XIN	I	晶体振荡器输入
16	GND	-	接地
17	VDD	-	电源
18	V_{BBAT}	-	备用电池电源
19	EN1/GPO1	O	使能 1（开漏/推挽）/GPO1
20	EN2/GPO2	O	使能 2（开漏/推挽）/GPO2
21	EN3/GPO3	O	使能 3（开漏/推挽）/GPO3
22	EN4/GPO4	O	使能 4（开漏/推挽）/GPO4
23	EN5/GPO5	O	使能 5（开漏/推挽）/GPO5
24	EN6/GPO6	O	使能 6（开漏/推挽）/GPO6

Copyright © 2025 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电压	VDD、V_{BBAT}	-0.3	6	V
电压	NIRQ、NRST、$\overline{SLEEP}$、ACT、ENx、SDA、SCL	-0.3	6	V
电压	NEM_PD、NRST_IN、NPWR_BTN	-0.3	6	V
电压	XIN、XOUT、CLK32K	-0.3	2	V
电压	SCL、SDA（OTP=1.2V、1.8V）	-0.3	2.2	V
电压	SCL、SDA（OTP=3.3V、5.0V）	-0.3	5.5	V
温度(2)	持续总功率耗散	请参阅“热性能信息”		
	工作结温，T_J	-40	150	°C
	自然通风工作温度范围，T_A	-40	125	°C
	贮存温度，T_{stg}	-65	150	°C

(1) 超出“绝对最大额定值”下所列值的压力可能会对器件造成损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 由于该器件耗散功率较低，因此 $T_J = T_A$。

6.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)		±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
			转角引脚	±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试

6.3 建议运行条件

		最小值	标称值	最大值	单位
VDD	电源引脚电压	2.2		5.5	V
V_{BBAT}	备用电池	1.8		5.5	V
NIRQ、NRST、ENx、$\overline{SLEEP}$、ACT	引脚电压	0		5.5	V
I_{NRST}、I_{NIRQ}、I_{ENx}	引脚电流	0		±1	mA
XIN、XOUT	晶体引脚	0		2	V
CLK32K	时钟输出	0		2	V
NEM_PD、NRST_IN、NPWR_BTN	引脚电压	0		5.5	V
SCL，SDA	引脚电压（OTP=3.3V、5.0V）	0		5.5	V
SCL，SDA	引脚电压（OTP=1.2V、1.8V）	0		2.0	V
R_{UP}	上拉电阻（开漏配置）	10		100	kΩ
T_J	结温（自然通风温度）	-40		125	℃

Copyright © 2025 Texas Instruments Incorporated

6.4 热性能信息

热指标(1)		TPS38700x-Q1 RGE (VQFN) 引脚	单位
$R_{\theta JA}$	结至环境热阻	53.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	51.4	°C/W
$R_{\theta JB}$	结至电路板热阻	17.2	°C/W
Ψ_{JT}	结至顶部特征参数	0.3	°C/W
Ψ_{JB}	结至电路板特征参数	20.7	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	3.9	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

6.5 电气特性

2.2V ≤ VDD ≤ 5.5V，NRST/NIRQ = 10kΩ 至 VDD，NRST/NIRQ 负载 = 10pF，并且在自然通风条件下的工作温度范围（–40°C 至 125°C）内测得，除非另有说明。典型值为 T_A = 25°C 下的值，在典型条件 VDD = 3.3V 下。

参数		测试条件	最小值	典型值	最大值	单位
常用参数						
VDD	输入电源电压		2.2		5.5	V
V_{BBAT}	备用电池电压范围		1.85		5.5	V
UVLO_VDDR	UVLO VDD	上升阈值			2.2	V
UVLO_VDDF	UVLO VDD	下降阈值/切换到 V_{BBAT}	1.90		2	V
UVLO_V_{BBAT}	UVLO 备用电池	下降阈值			1.85	V
POR	上电复位电压，所有输出在高于该值时稳定	下降阈值			1.39	V
I_{DD}	输入到 VDD 引脚的电源电流 ACT = 高电平，$\overline{SLEEP}$ = 高电平，RTC = 有效	VDD ≤ 5.5V，上电序列完成		45	75	µA
I_{DD}	输入到 VDD 引脚的电源电流 ACT = 低电平，$\overline{SLEEP}$ = 低电平，RTC = 有效	VDD ≤ 5.5V，断电序列完成		35	60	µA
I_{BBAT}	来自 V_{BBAT} 的电源电流	V_{BBAT} ≤ 5.5V		35	60	µA
I_{LKG_NRST}	输出漏电流 (NRST)	VDD = V_{NRST} = 5.5V			300	nA
I_{LKG_NIRQ}	输出漏电流 (NIRQ)	VDD = V_{NIRQ} = 5.5V			300	nA
ACT_L	逻辑低电平输入				0.36	V
ACT_H	逻辑高电平输入		0.84		VDD - 0.2	V
$\overline{SLEEP}$_L	逻辑低电平输入				0.36	V
$\overline{SLEEP}$_H	逻辑高电平输入		0.84		VDD - 0.2	V
ACT	内部下拉电阻			100		kΩ
$\overline{SLEEP}$	内部下拉电阻			100		kΩ
ENx	输出高电平	推挽配置，Io=1mA	VDD-0.2			V
	输出低电平	推挽或开漏（10kΩ 上拉）			0.1	V
R_ENx	使能输出电阻	推挽配置			200	Ω
NRST	输出低电平	开漏（10kΩ 上拉）			0.1	V
NIRQ	输出低电平	开漏（10kΩ 上拉）			0.1	V

Copyright © 2025 Texas Instruments Incorporated

6.5 电气特性（续）

2.2V ≤ VDD ≤ 5.5V，NRST/NIRQ = 10kΩ 至 VDD，NRST/NIRQ 负载 = 10pF，并且在自然通风条件下的工作温度范围（–40°C 至 125°C）内测得，除非另有说明。典型值为 T_A = 25°C 下的值，在典型条件 VDD = 3.3V 下。

参数		测试条件	最小值	典型值	最大值	单位
CLK32K	泄漏测试	开漏，4.7kΩ 上拉至 1.8V，10pF 电容负载			100	nA
	输出低电平	开漏，IO =-1mA，上拉至 1.8V，10pF 电容负载			0.1	V
Acc_CLK32K	早期引导精度	t < 50ms，VDD > VDDmin	-10		10	%
	工作精度	t > 1s，VDD > VDDmin	-100		100	ppm
XTAL 故障	晶体频率故障检测		-10		10	%
OSC	内部振荡器容限		-5		5	%
$I_{lkg(BBAT)}$	从 V_{BBAT} 获得的漏电流	V_{BBAT} > 1.85V			300	nA
TSD	热关断			165		℃
TSD 迟滞	热关断迟滞			25		℃
VIH_ALT	$\overline{NEM_PD}$、$\overline{NRST_IN}$、$\overline{NPWR_BTN}$	引脚 10、11、12，低电平有效，开漏	1.1			V
VIL_ALT	$\overline{NEM_PD}$、$\overline{NRST_IN}$、$\overline{NPWR_BTN}$	引脚 10、11、12，低电平有效，开漏			0.36	V
I2C 电气规格						
C_B	SDA 和 SCL 的容性负载				400	pF
SDA、SCL	低电平阈值，OTP = 1.2V				0.36	V
SDA、SCL	高电平阈值，OTP = 1.2V		0.84			V
SDA、SCL	低电平阈值，OTP = 1.8V				0.54	V
SDA、SCL	高电平阈值，OTP = 1.8V		1.26			V
SDA、SCL	低电平阈值，OTP = 3.3V	量产型号			0.84	V
SDA、SCL	低电平阈值，OTP = 3.3V	量产型号	2.31			V
SDA、SCL	低电平阈值，OTP = 5V				1.5	V
SDA、SCL	高电平阈值，OTP = 5V		3.5			V
SDA	输出低电平，灌电流为 3mA				0.2	V

6.6 时序要求

2V ≤ VDD ≤ 5.5V，NIRQ/NRST 电压 = 10kΩ 至 VDD，NIRQ/NRST 负载 = 10pF，并且在自然通风条件下的工作温度范围（–40°C 至 125°C）内测得，除非另有说明。典型值为 T_A = 25°C 下的值，在典型条件 VDD = 3.3V 下。

			最小值	标称值	最大值	单位
常用参数						
t_{D_ENx}	从时隙开始到 ENx 切换的延迟	从时隙开始			10	µs
t_{D_CLK32K}	从时隙开始到 CLK32K 切换的延迟	从时隙开始			10	µs
F_CLK32K	频率	电容负载 = 12pF		32768		Hz
D_CLK32K	占空比	电容负载 = 12pF	40	50	60	%
Trf_CLK32K	CLK32K (Rpullup = 4.7kΩ) 的上升或下降时间	电容负载 = 12pF			50	ns
$t_{D_ENx,y}$	同一时隙中 2 个后续 EN 之间的延迟				1	µs
t_{NRST_EN}	紧急断电时从 NRST 到 ENx 的延迟	序列 2 和 9	200			ns
t_{D_NRST}	从 ACT 引脚的下降沿低于 VIL 或 VDD 引脚的下降沿低于 VDD_{min} 到 NRST 置为有效的延迟				25	µs
t_{D_NIRQ}	故障检测到 NIRQ 置为有效的延迟				25	µs

Copyright © 2025 Texas Instruments Incorporated

6.6 时序要求（续）

2V ≤ VDD ≤ 5.5V，NIRQ/NRST 电压 = 10kΩ 至 VDD，NIRQ/NRST 负载 = 10pF，并且在自然通风条件下的工作温度范围（–40°C 至 125°C）内测得，除非另有说明。典型值为 T_A = 25°C 下的值，在典型条件 VDD = 3.3V 下。

			最小值	标称值	最大值	单位
t_{BIST}	具有 BIST 时的 POR 就绪时间	包括具有 ECC 的 OTP 负载			15	ms
t_{No_BIST}	不具有 BIST 时的 POR 就绪时间	包括具有 ECC 的 OTP 负载			2.5	ms
BIST 时间					12.5	ms
$t_{Startup_CLK32K}$	上电时从 UVLO 启动时钟 32k				50	ms
Freq_fault	晶体频率故障检测时间				1	ms
I2C 时序特性						
f_{SCL}	串行时钟频率(1)	标准模式			100	kHz
f_{SCL}	串行时钟频率(1)	快速模式			400	kHz
f_{SCL}	串行时钟频率(1)	超快速模式			1	MHz
t_{LOW}	SCL 低电平时间(1)	标准模式	4.7			µs
t_{LOW}	SCL 低电平时间(1)	快速模式	1.3			µs
t_{LOW}	SCL 低电平时间(1)	超快速模式	0.5			µs
t_{HIGH}	SCL 高电平时间(1)	标准模式	4			µs
t_{HIGH}	SCL 高电平时间(1)	快速模式	1			µs
t_{HIGH}	SCL 高电平时间(1)	超快速模式	0.26			µs
t_{SU_DAT}	数据建立时间(1)	标准模式	250			ns
t_{SU_DAT}	数据建立时间(1)	快速模式	100			ns
t_{SU_DAT}	数据建立时间(1)	超快速模式	50			ns
t_{HD_DAT}	数据保持时间(1)	标准模式	10		3450	ns
t_{HD_DAT}	数据保持时间(1)	快速模式	10		900	ns
t_{HD_DAT}	数据保持时间(1)	超快速模式	10			ns
t_{SU_STA}	启动或重复启动条件的建立时间(1)	标准模式	4.7			µs
t_{SU_STA}	启动或重复启动条件的建立时间(1)	快速模式	0.6			µs
t_{SU_STA}	启动或重复启动条件的建立时间(1)	超快速模式	0.26			µs
t_{HD_STA}	启动或重复启动条件的保持时间(1)	标准模式	4			µs
t_{HD_STA}	启动或重复启动条件的保持时间(1)	快速模式	0.6			µs
t_{HD_STA}	启动或重复启动条件的保持时间(1)	超快速模式	0.26			µs
t_{BUF}	STOP 与 START 状态之间的总线空闲时间(1)	标准模式	4.7			µs
t_{BUF}	STOP 与 START 状态之间的总线空闲时间(1)	快速模式	1.3			µs
t_{BUF}	STOP 与 START 状态之间的总线空闲时间(1)	超快速模式	0.5			µs
t_{SU_STO}	停止条件的建立时间(1)	标准模式	4			µs
t_{SU_STO}	停止条件的建立时间(1)	快速模式	0.6			µs
t_{SU_STO}	停止条件的建立时间(1)	超快速模式	0.26			µs
t_{rDA}	SDA 信号的上升时间(1)	标准模式			1000	
t_{rDA}	SDA 信号的上升时间(1)	快速模式	20		300	ns
t_{rDA}	SDA 信号的上升时间(1)	超快速模式			120	ns
t_{fDA}	SDA 信号的下降时间(1)	标准模式			300	ns
t_{fDA}	SDA 信号的下降时间(1)	快速模式	1.4		300	ns

Copyright © 2025 Texas Instruments Incorporated

6.6 时序要求（续）

2V ≤ VDD ≤ 5.5V，NIRQ/NRST 电压 = 10kΩ 至 VDD，NIRQ/NRST 负载 = 10pF，并且在自然通风条件下的工作温度范围（–40°C 至 125°C）内测得，除非另有说明。典型值为 T_A = 25°C 下的值，在典型条件 VDD = 3.3V 下。

			最小值	标称值	最大值	单位
t_{fDA}	SDA 信号的下降时间(1)	超快速模式	6.5		120	ns
t_{rCL}	SCL 信号的上升时间(1)	标准模式			1000	ns
t_{rCL}	SCL 信号的上升时间(1)	快速模式	20		300	ns
t_{rCL}	SCL 信号的上升时间(1)	超快速模式			120	ns
t_{fCL}	SCL 信号的下降时间(1)	标准模式			300	ns
t_{fCL}	SCL 信号的下降时间(1)	快速模式	6.5		300	ns
t_{fCL}	SCL 信号的下降时间(1)	超快速模式	6.5		120	ns
t_{SP}	被抑制的 SCL 和 SDA 尖峰的脉冲宽度(1)	标准模式、快速模式和超快速模式			50	ns

(1) 按设计表征

Copyright © 2025 Texas Instruments Incorporated

6.7 典型特性

T_A = 25°C，V_{DD} = 3.3V 且 R_{PU} = 10kΩ（除非另有说明）。

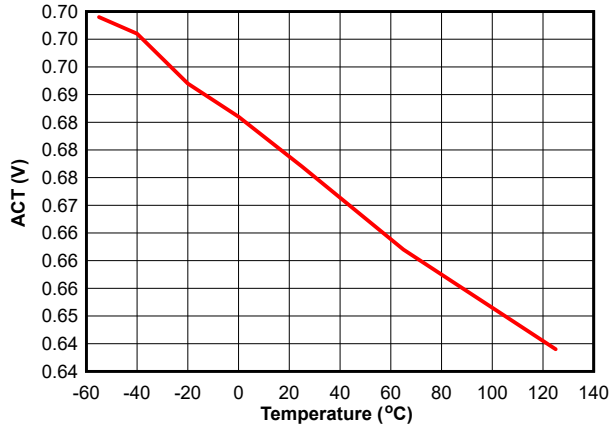


图 6-1. ACT 逻辑高阈值电压与温度间的关系

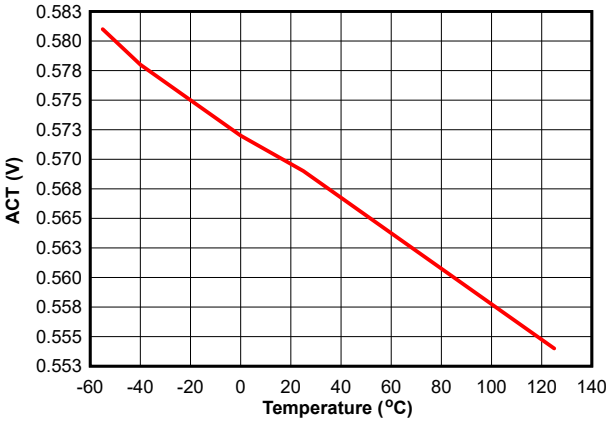


图 6-2. ACT 逻辑低阈值电压与温度间的关系

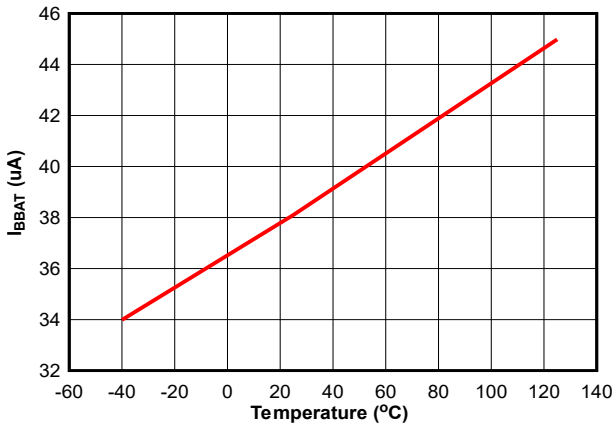


图 6-3. I_{BBAT} 与温度间的关系

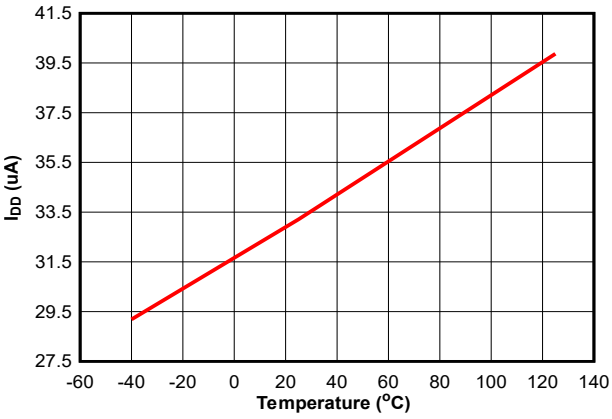


图 6-4. I_{DD} 关断电流与温度间的关系

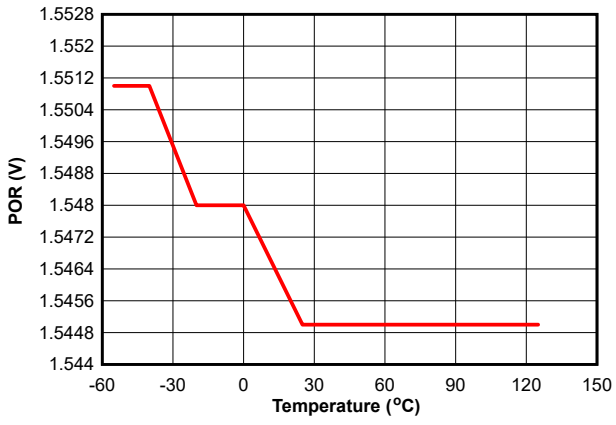


图 6-5. V_{POR} 与温度间的关系

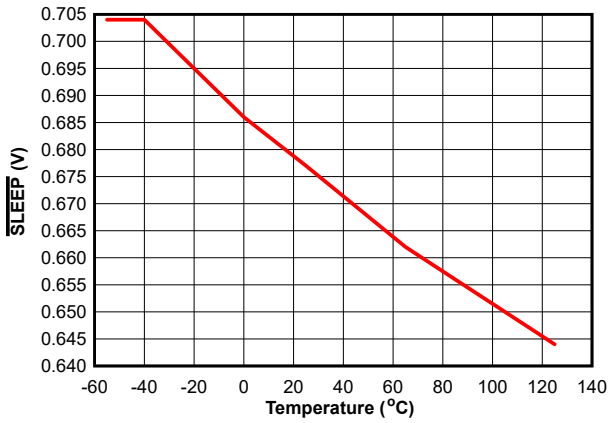


图 6-6. $\overline{SLEEP}$ 逻辑高阈值电压与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

6.7 典型特性（续）

T_A = 25°C，V_{DD} = 3.3V 且 R_{PU} = 10kΩ（除非另有说明）。

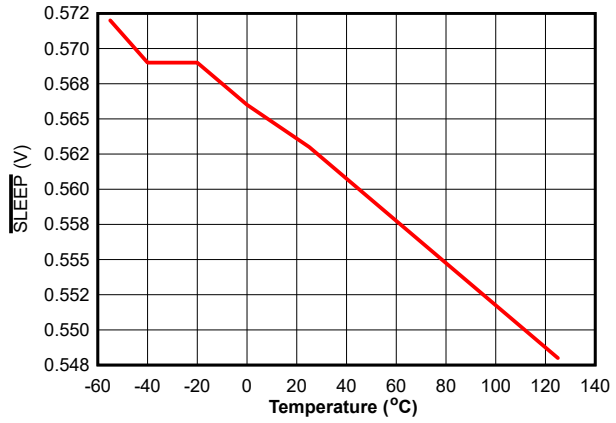


图 6-7. $\overline{SLEEP}$ 逻辑低阈值电压与温度间的关系

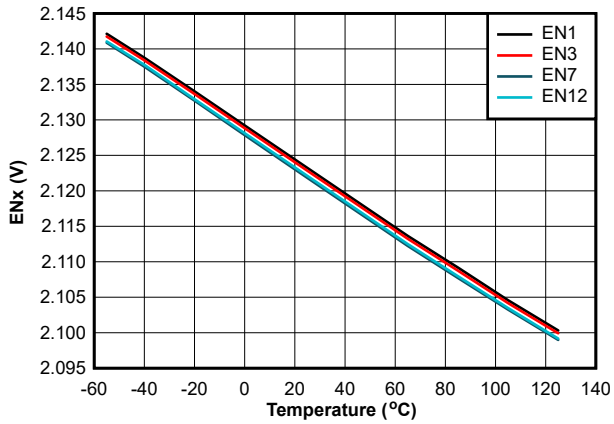


图 6-8. ENx 逻辑高电平输出电压与温度间的关系

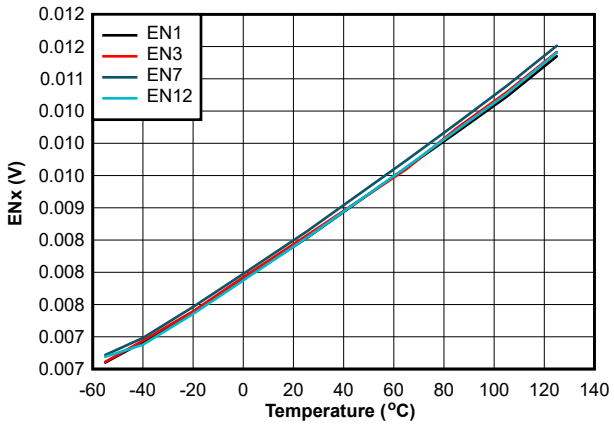


图 6-9. ENx 逻辑低电平输出电压与温度间的关系

7 详细说明

7.1 概述

TPS38700-Q1 是一种多功能器件，可通过多种配置进行配置。该器件可以作为纯序列发生器、纯 GPIO 扩展器或序列发生器和 GPIO 组合进行订购。输出可以出厂配置为推挽式或开漏式。时序输出可以分配至 ACT 引脚和/或 $\overline{\text{SLEEP}}$ 引脚。这些时序输出可以在出厂时配置为默认值，随后在上电时向 ACT 引脚发送高电平之前通过 I^2C 对其进行更改。该器件还具有内置自检 (BIST) 功能，可在上电时自动运行。

TPS38700-Q1 具有精确的实时时钟 (RTC) CLK32K 输出，附带外部晶体 (XTAL)。TPS38700-Q1 还具有 RTC 警报功能和窗口看门狗，所有这些都可通过 I^2C 进行配置。TPS38700-Q1 支持多种 I^2C 逻辑电平。产品文件夹中提供了功能全面的图形用户界面 (GUI) 供您下载。如需了解定制配置器件的疑问，请联系德州仪器 (TI) 代表。

TPS38700-Q1 可配置为具有多达 12 个通道并具有紧急断电 (NEM_PD) 功能，该功能在 VDD 低于器件的 UVLO 阈值时激活。在进入紧急断电序列后，TPS38700-Q1 将关断或进入备用状态。如果 V_{BBAT} 上存在大于 1.85V 的电压，TPS38700-Q1 将进入备用状态并且该器件的电源将切换到 V_{BBAT}。

TPS38700-Q1 符合面向汽车应用的 AEC-Q100 标准并可在
-40ºC 至 +125ºC 的温度范围内工作。

7.2 功能方框图

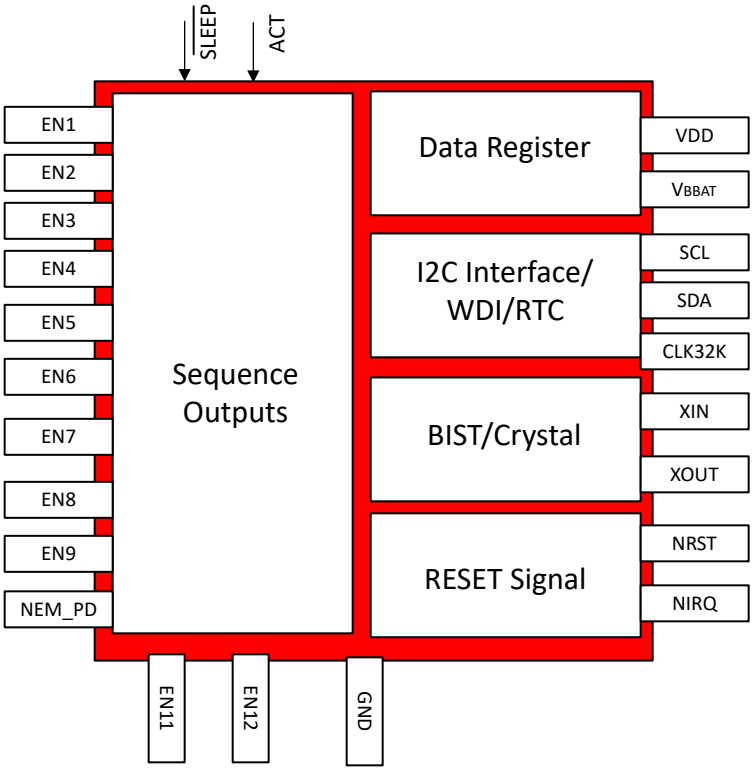


图 7-1. TPS38700-Q1 方框图

Copyright © 2025 Texas Instruments Incorporated

7.3 特性说明

7.3.1 器件状态图

图 7-2 和 图 7-3 中所示的 TPS38700-Q1 状态图显示了工作流程。

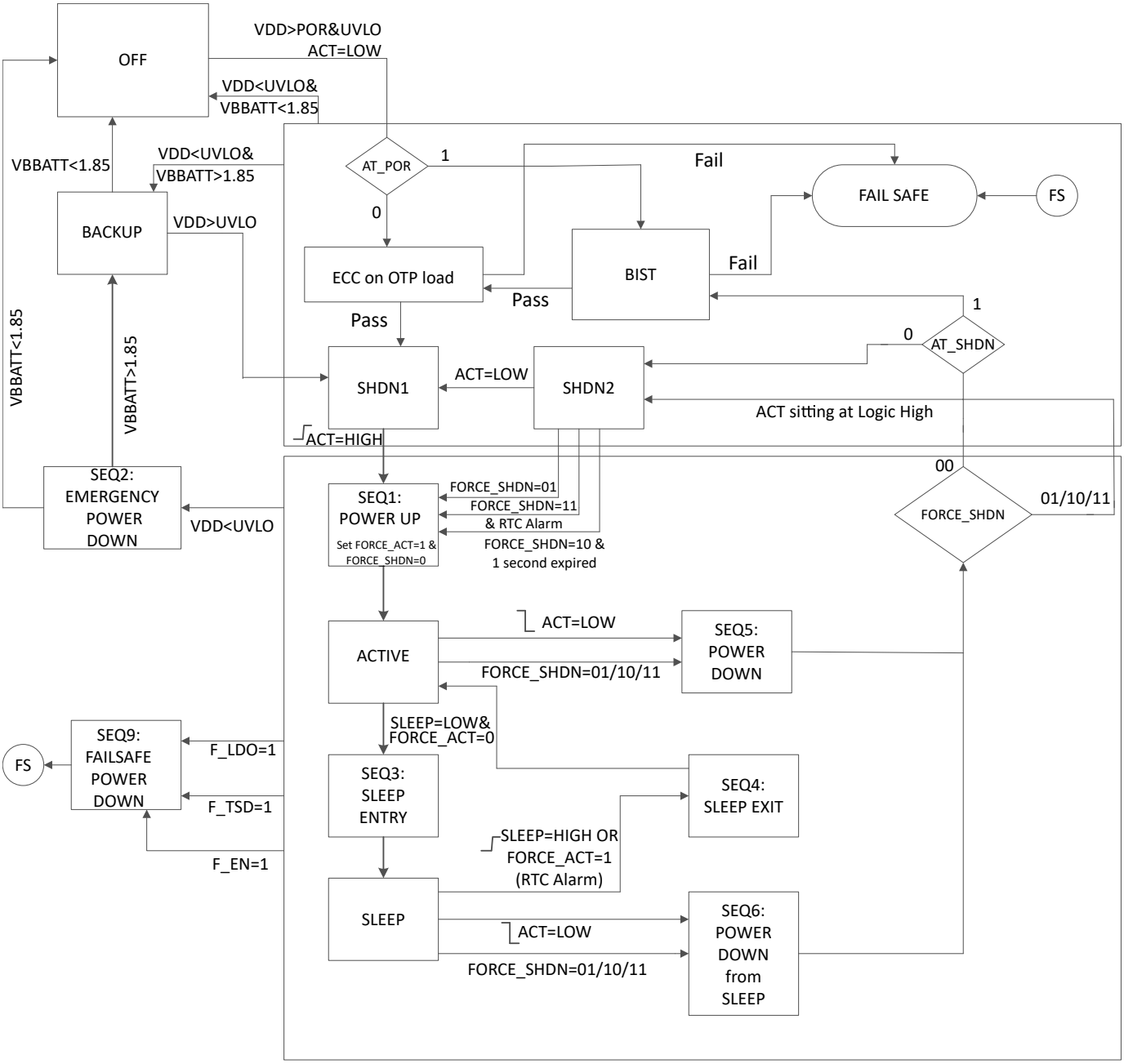


图 7-2. TPS38700-Q1 状态图

Copyright © 2025 Texas Instruments Incorporated

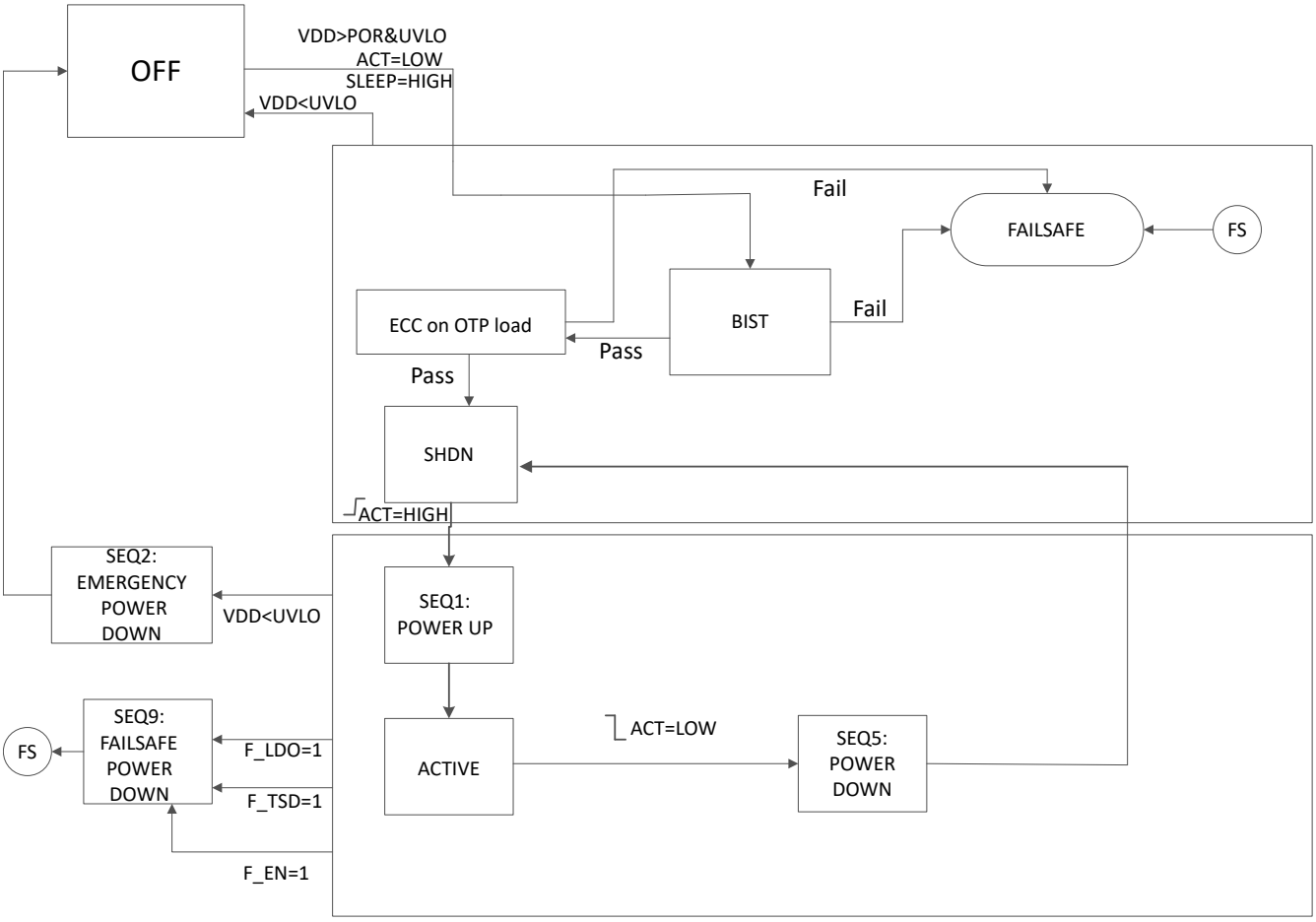


图 7-3. TPS38700-Q1 简单用例

Copyright © 2025 Texas Instruments Incorporated

7.3.2 内置自检和配置负载

执行内置自检 (BIST)：

- 在 POR 时，如果 TEST_CFG_AT_POR = 1
- 在退出序列 5 或序列 6 时，如果 TEST_CFG_AT_SHDN = 1 并且 CTL_1 不会启动断电。FORCE_SHDN[1:0] 设置为 01b、10b 或 11b。

从 OTP 加载配置由 ECC（支持 SEC-DED）提供辅助。这是为了防止数据完整性问题并更大程度地提高系统可用性。

在 BIST 期间，NIRQ 被置为无效（在发生故障的情况下置为有效），NRST 保持低电平，ENx 引脚保持低电平（包括具有交替功能的引脚），CLK32K 保持低电平，输入引脚被忽略，并且 I^2C 块在 SDA 和 SCL 置为无效的情况下处于非活动状态。一旦 BIST 成功完成，I^2C 将立即激活，并且器件在从 OTP 加载配置数据后进入 SHDN1 状态。如果 BIST 失败且/或 ECC 报告双比特错误检测 (DED)，则 NIRQ 被置为有效，器件进入失效防护状态（忽略输入），并尽可能使 I^2C 功能保持活动状态。TEST_STAT 寄存器可能会提供有关测试结果的更多信息。

7.3.3 CLK32K

TPS38700-Q1 专为提供准确的 CLK32K 输出而设计，可内部用于设置 RTC 时间与警报。TPS38700-Q1 配置为与 32.768kHz 晶体振荡器一同使用。为了实现明确定义的振荡频率，所有晶体振荡器均在 6.5pF、12pF 或 20pF（在制造阶段）等特定电容负载下进行调谐，这成为了晶体规格的一部分。设计人员的任务是在晶振规格范围内进行设计，以实现正确的指定频率。

对于这些晶体振荡器，需要负载电容器，因为在典型的皮尔斯振荡器方案中，电容负载在输出和输入电容之间被有效分配。这些电容器基本上与晶体振荡器串联。因此，如果所选晶体振荡器具有针对 12.5pF 负载指定的电容负载，则需要两个 12.5pF 电容器才能从晶体振荡器输出适当的频率。

TPS38700-Q1 配置为只要选择 6.5pF 版本的外部晶体振荡器即可使用，无需负载电容器。外部晶体振荡器通常会指定内部电容，例如：6.5pF、9pF、12.5pF。如果外部晶体振荡器的负载电容规格要求不等于 6.5pF，请联系德州仪器 (TI) 工厂，获取 OTP（一次性编程）配置，以便修正外部电容器负载。

CLK32K 信号可在输入电压 VDD 退出 UVLO 后的 50ms 内启动。初始运行一秒后，CLK32K 的精度在 ±100ppm 之内。如果 CLK32K 的频率偏差超过 ±10%，则会将一个故障中断置为有效。CLK32K 的精度还取决于外部晶体振荡器选择与温度额定值规范。

7.3.4 备份状态

在备用状态下，只有电池为器件供电，但是器件必须已经过 VDD 供电状态（并加载配置数据）才能进入该状态。如果未发生 VDD 供电状态，TPS38700-Q1 会保持在“关闭或电池已安装”状态，并仅在使用有效的 VDD 电源时才会退出。

当处于备用状态时，TPS38700-Q1 引脚处于以下状态：

- ENx = 低电平（置为无效）
- CLK32K = 低电平（输出禁用）
- NRST = 低电平（置为有效）
- 将忽略 ACT 和 $\overline{\text{SLEEP}}$ 输入。

晶体振荡器和 RTC 以 Acc_CLK32K 精度保持活动状态，但晶体振荡器故障监视器未激活。将维护和更新 RTC_T[31:0]、中断和状态寄存器。寄存器配置将保持为进入备用状态之前的设置。将清除 PROT1 和 PROT2 寄存器。所有剩余块都处于非活动状态。

在退出备用状态时，最后一个配置处于活动状态，并且器件进入 SHDN 状态。

7.3.5 失效防护状态

当处于失效防护状态时，ENx、CLK32K、NRST、NIRQ 均保持低电平，并尽最大努力让 I^2C 保持活动状态。ACT 和 $\overline{\text{SLEEP}}$ 输入被忽略。

Copyright © 2025 Texas Instruments Incorporated

要退出失效防护状态，必须删除 VDD。根据 V_{BBAT}，TPS38700-Q1 进入备用或关闭状态。

7.3.6 转换序列

本部分介绍了器件的各个序列，其中时序图显示了每个序列中涉及的主要信号。

7.3.6.1 序列 1：上电

如果未启用 NPWR_BTN，上电由 ACT 控制，如 图 7-4 所示。

当 ACT 为高电平时，ENx 输出序列开始，NRST 在最后一个 ENx 之后的 RST_DLY[3:0] 时间失效。上电序列由 PWR_ENx 寄存器定义，有关详细信息、请参阅表 7-33。

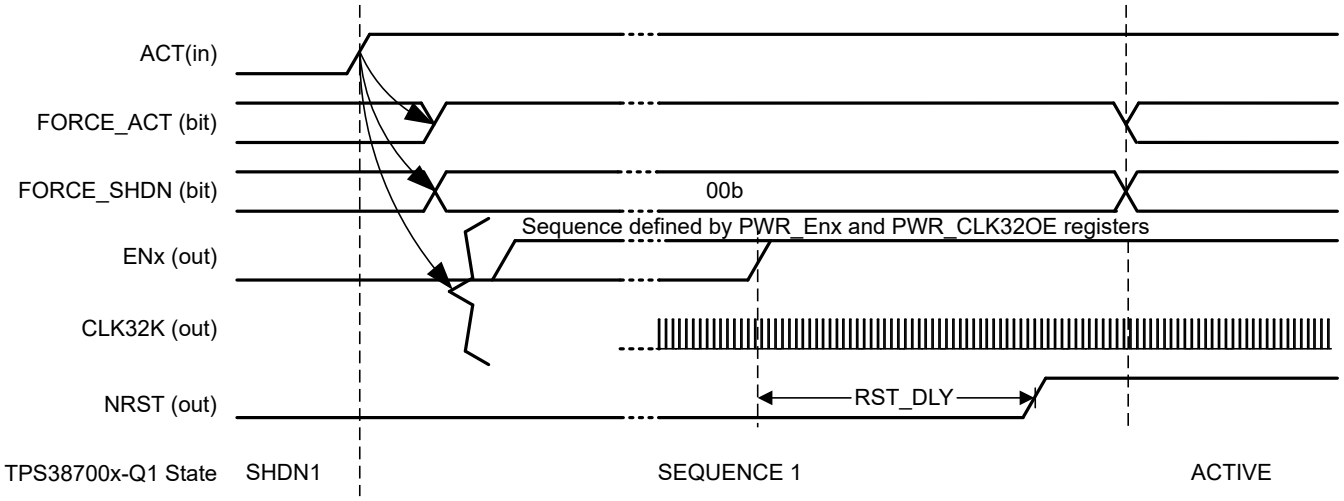


图 7-4. 在禁用 NPWR_BTN 时上电 - ACT 控制

在启用 NPWR_BTN 后，ACT 将用作自动/按钮上电选项。将 ACT 搭接到 VDD 后，短按 NPWR_BTN 会启动上电序列；将 ACT 搭接到 GND 后，上电序列会在 VDD 有效后自动启动。从 SHDN2 状态开始，始终需要短按 NPWR_BTN 才能启动上电序列。有关详细信息，请参阅图 7-5。在触发上电后，ENx 输出序列开始，NRST 在最后一个 ENx 之后的 CTL_2.RST_DLY[3:0] 时间失效。

Copyright © 2025 Texas Instruments Incorporated

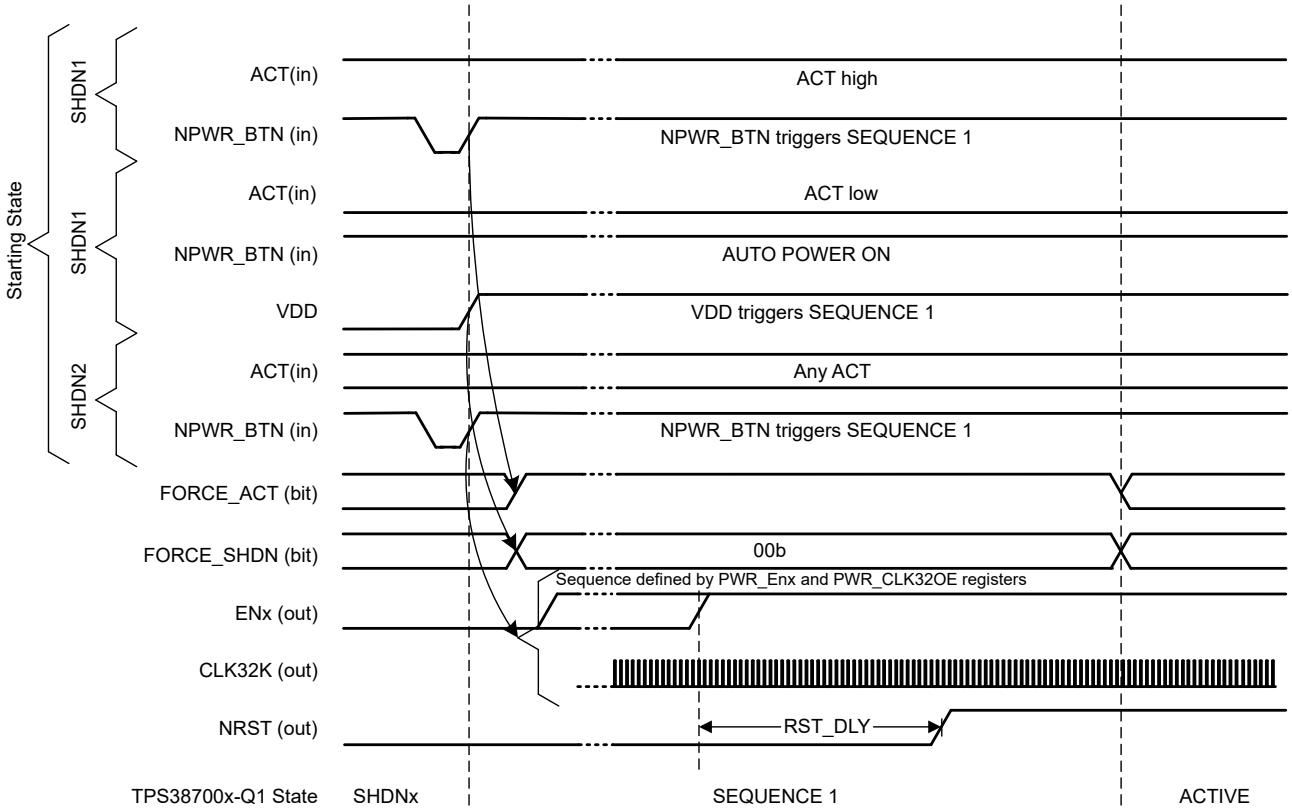


图 7-5. 启用 NPWR_BTN 后上电

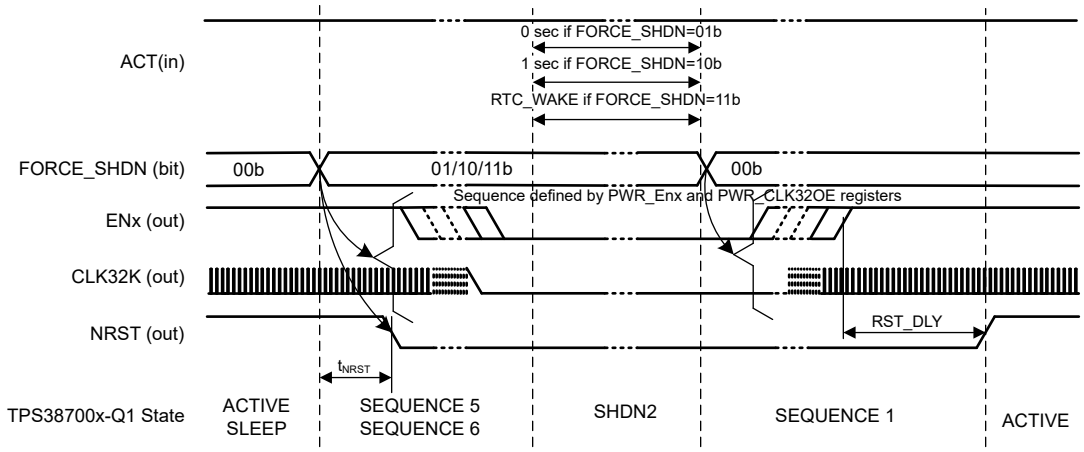


图 7-6. 从 SHDN2 上电 - 在 FORCE_SHDN≠00b 的情况下关闭软件

Copyright © 2025 Texas Instruments Incorporated

7.3.6.2 序列 2：紧急断电

在紧急断电（VDD 降至 UVLO 以下）的情况下，会在下拉 ENx、CLK32K 和 NIRQ 之前尽可能地将 NRST 置为有效。

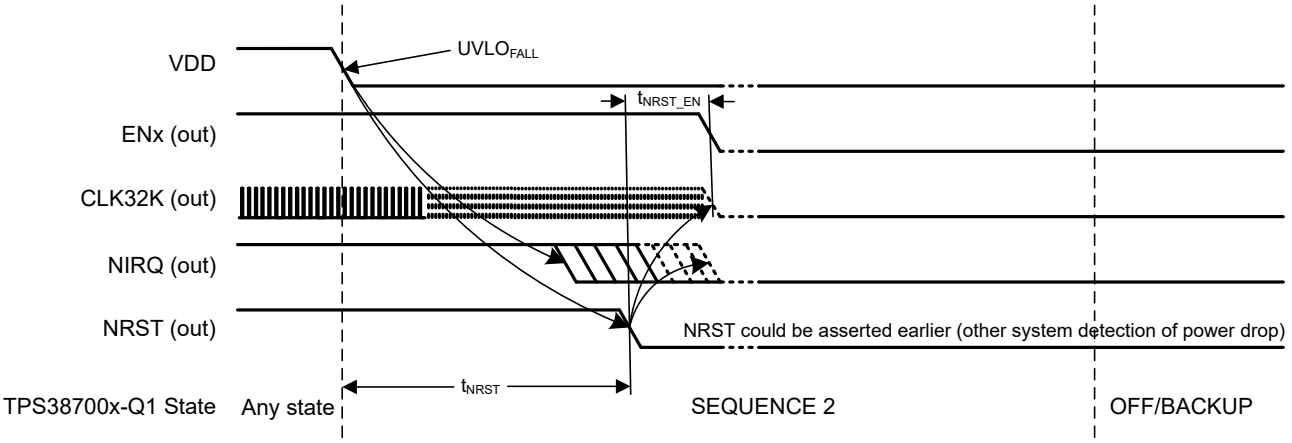


图 7-7. 紧急断电

7.3.6.3 序列 3：进入睡眠状态

睡眠进入通过 $\overline{\text{SLEEP}}$ 变为低电平进行控制。这会根据 SLP_ENx 寄存器中的配置触发 ENx 引脚失效，表 7-35 包含有关 SLP_ENx 寄存器的详细信息。有关时序图详细信息，请参阅图 7-8。

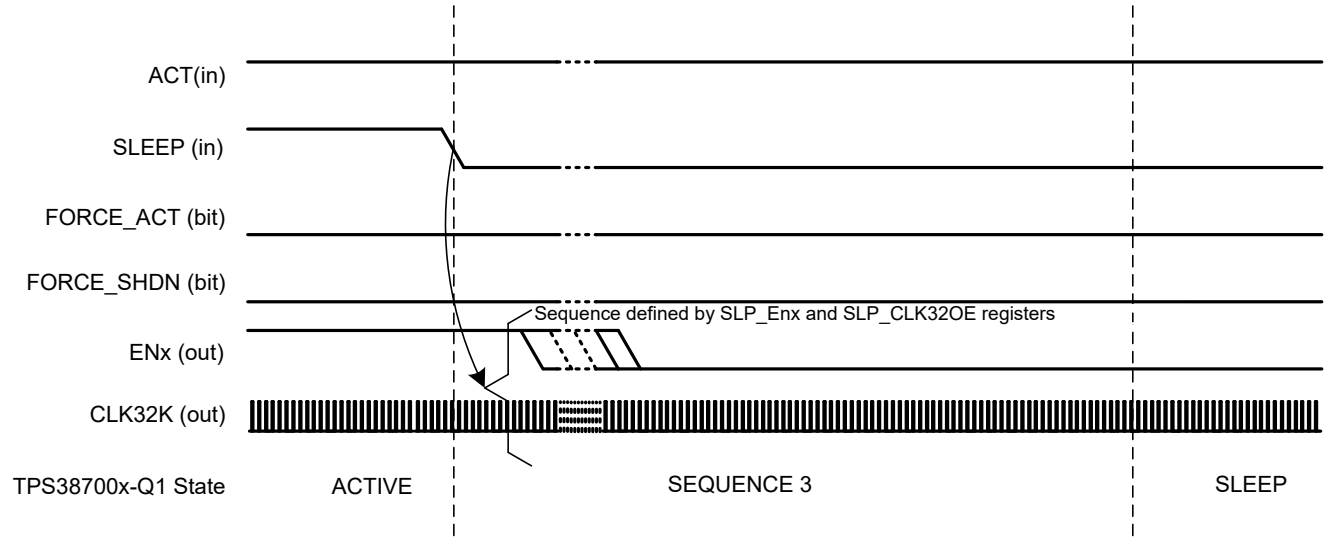


图 7-8. 进入睡眠状态

Copyright © 2025 Texas Instruments Incorporated

7.3.6.4 序列 4：退出睡眠状态

睡眠退出由 $\overline{\text{SLEEP}}$ 变为高电平或由 RTC 警报将 FORCE_ACT 设置为 1 进行控制。这会根据 SLP_ENx 寄存器中的配置触发 ENx 引脚使其置为有效，有关 SLP_ENx 寄存器的详细信息，请参阅表 7-35。

如果是 RTC 警报唤醒，主机会识别中断并将 $\overline{\text{SLEEP}}$ 置为有效和清除 FORCE_ACT。有关信号的详细信息、请参阅图 7-9、图 7-10 和图 7-11。

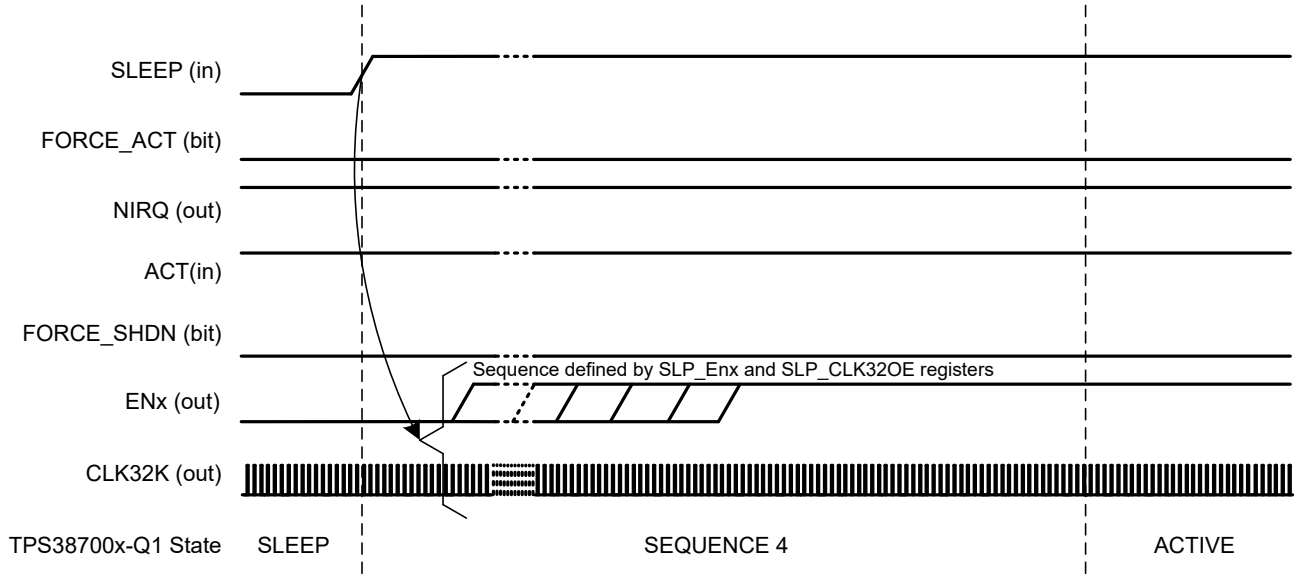


图 7-9. 已触发睡眠退出 $\overline{\text{SLEEP}}$

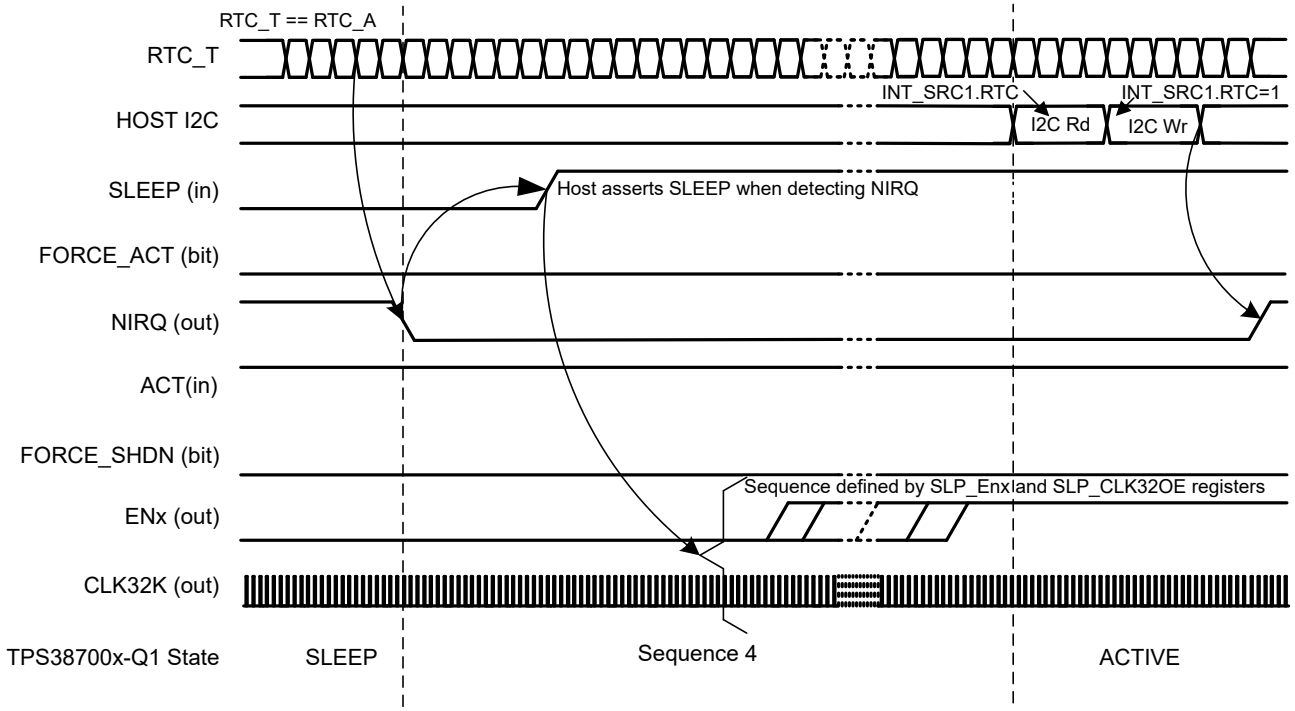


图 7-10. 已触发睡眠退出 RTC - $\overline{\text{SLEEP}}$ 时序

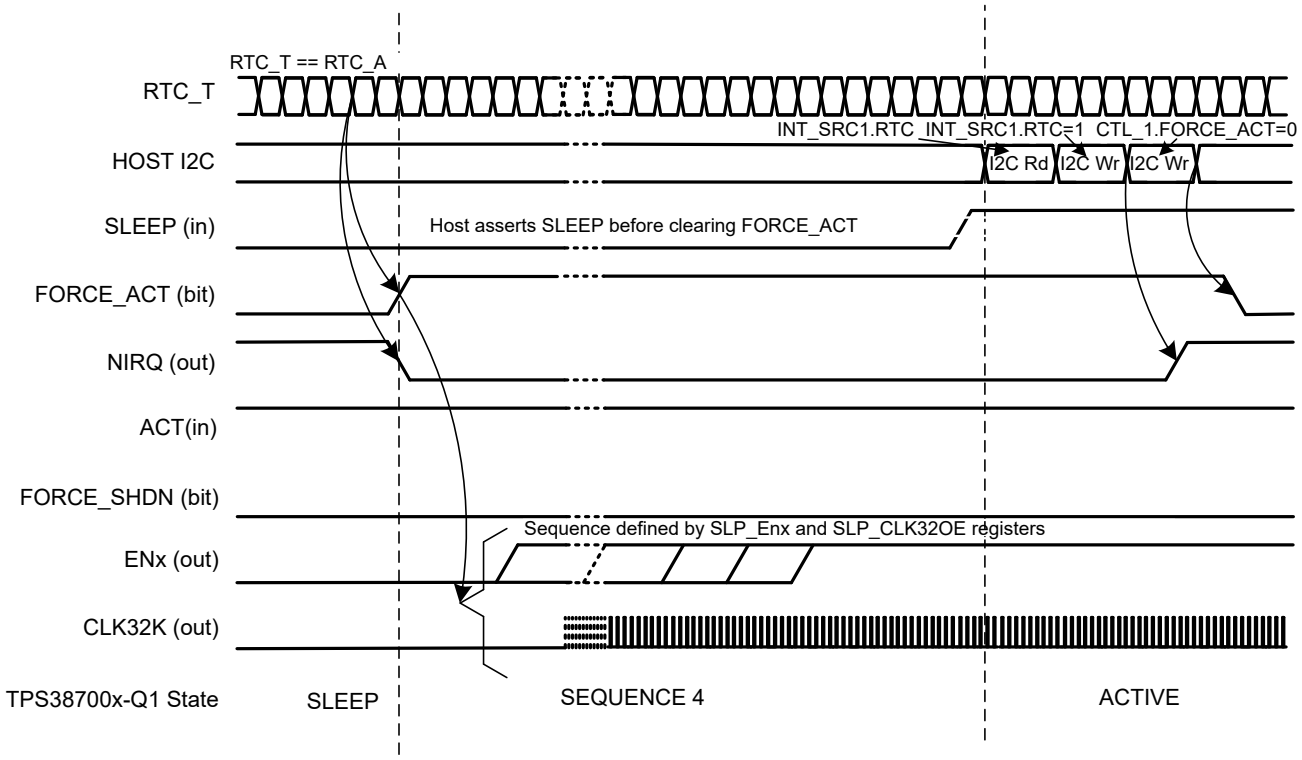


图 7-11. 已触发睡眠退出 RTC - 自主排序

Copyright © 2025 Texas Instruments Incorporated

7.3.6.5 序列 5 和 6：从工作和睡眠状态下断电

可以如图 7-12 中所示触发断电序列。在任何情况下，NRST 在第一个排序时隙中置为有效，而 ENx 根据 PWR_ENx 寄存器中的配置取消置为有效，请参阅表 7-33。在启用 NPWR_BTN 的情况下，"t long press" 根据寄存器 LP_TTHSHLD 确定，如
表 7-23 所示。

睡眠状态下断电与工作状态下断电有所不同，因为在睡眠状态下断电时，部分 ENx 可能已作为睡眠进入序列的一部分，变为失效状态。在从睡眠序列断电的过程中，剩余 ENx 会根据 PWR_ENx 寄存器中的配置取消置为有效。

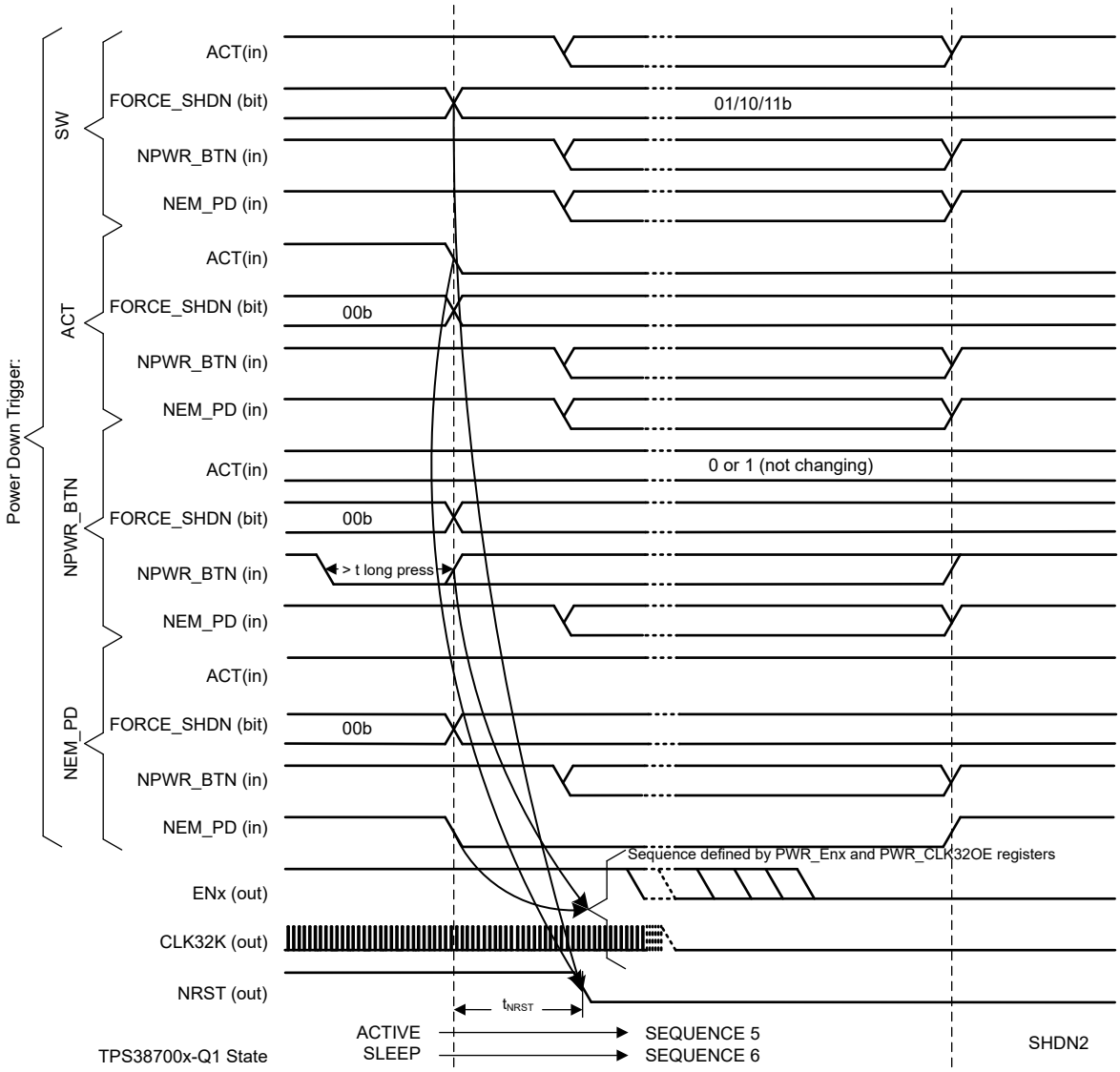


图 7-12. 从工作和睡眠断电

7.3.6.6 序列 7：由于 NRST_IN 而退出睡眠状态

如果启用了 NRST_IN 引脚，那么即使 TPS38700-Q1 处于 “睡眠”状态，也可以置为有效。为帮助与系统其余部分正确同步电源状态，TPS38700-Q1 在执行睡眠退出序列时将 NRST 置为有效。如果自最后一个 ENx 开始经过 RST_DLY 延迟时间并且 NRST_IN 信号置为无效（或释放已连接按钮），NRST 信号会置为无效。

注：尽管 TPS38700-Q1 状态图中并未描述 图 7-2，但清楚起见，该序列同样适用于 WDT 启动的复位。

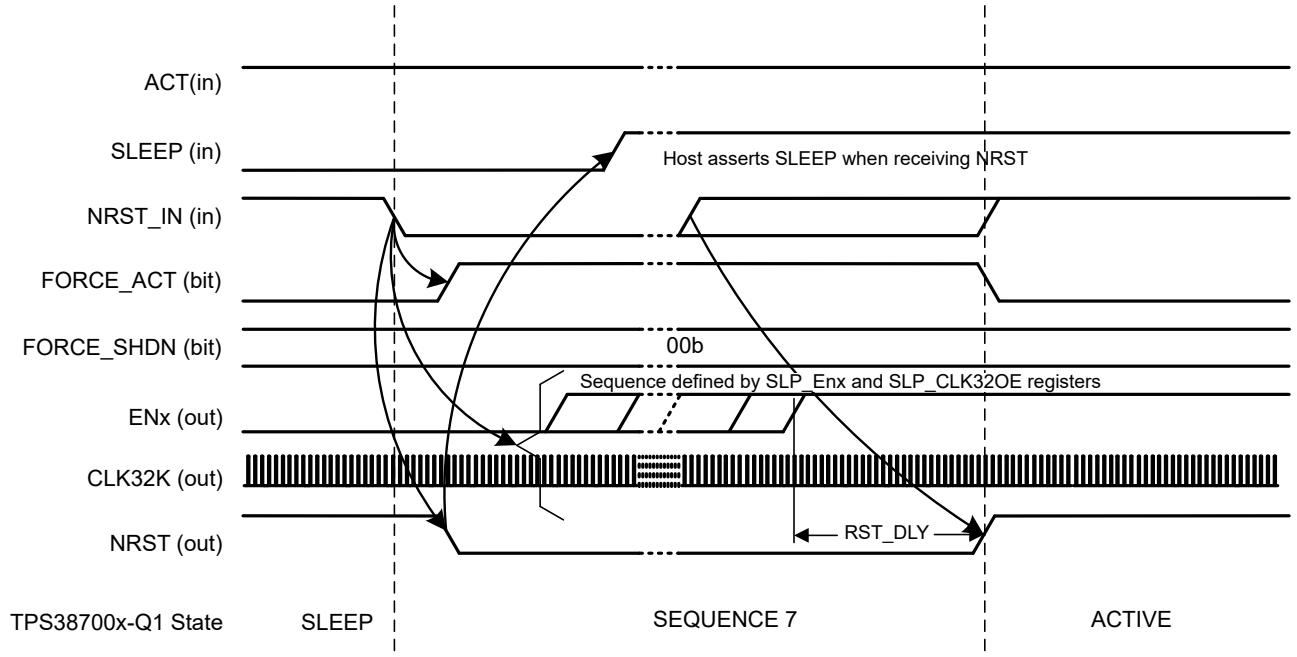


图 7-13. 由于 NRST_IN 而退出睡眠状态

7.3.6.7 序列 8：由于 NRST_IN 而复位

注：尽管 TPS38700-Q1 状态图中并未描述 图 7-2，但清楚起见，该序列同样适用于 WDT 启动的复位。

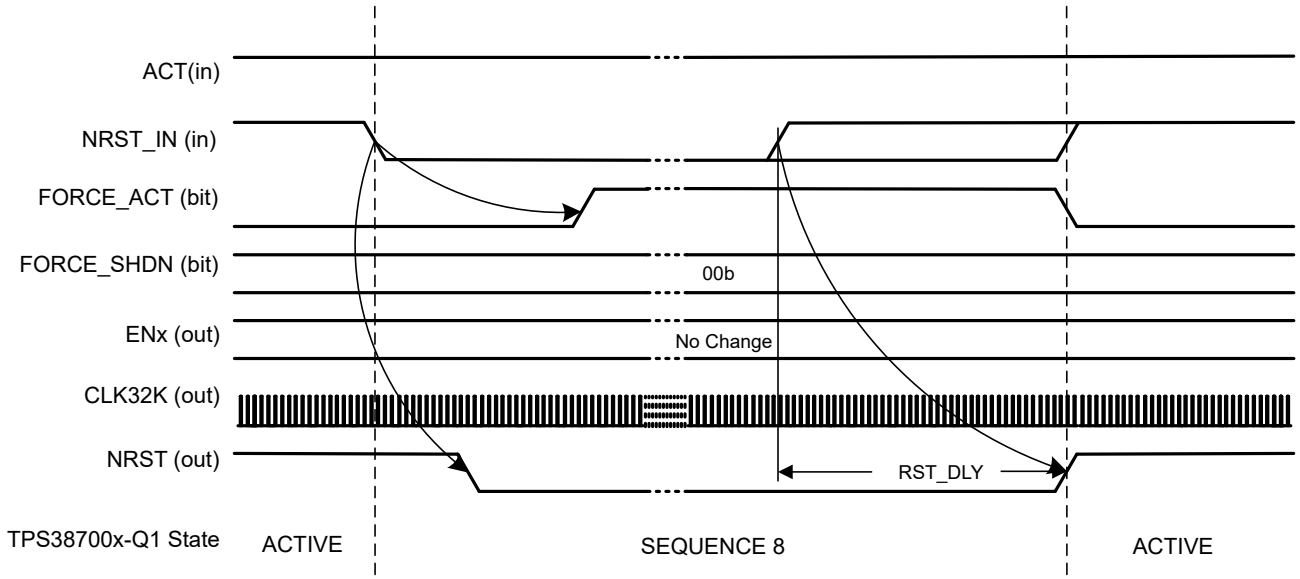


图 7-14. 由于 NRST_IN 而复位

Copyright © 2025 Texas Instruments Incorporated

7.3.6.8 序列 9：失效防护断电

F_TSD 和 F_LDO 故障会导致 TPS38700-Q1 进入失效防护状态。转换到失效防护状态与序列 2 基本相同，触发器是故障而不是 VDD 丢失。在下拉 ENx、CLK32K 和 NIRQ 之前，会尽可能地将 NRST 置为有效。

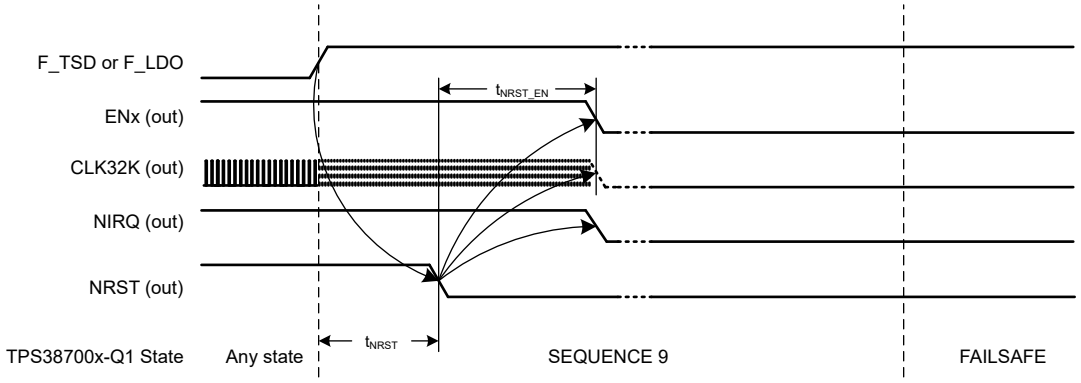


图 7-15. 失效防护断电

7.3.6.9 输出时序

输出时序可由硬件或软件通过 ACT、$\overline{\text{SLEEP}}$、RTC WAKE、FORCE_SHDN、NPWR_BTN（如果启用）、NEM_PD（如果启用）和 NRST_IN（如果启用）触发。

此类事件会根据寄存器 表 7-29、表 7-32、表 7-33、表 7-34、表 7-35 和 表 7-36 中的设置开始对输出（ENx 和 CLK32K）进行时序控制。

在该等寄存器中，时隙 1 是可以选择的最早时隙，表示 ENx（或 CLK32K）会在触发事件之后的第一个时隙以内切换。图 7-16 中的计时示意图显示了 节 6.6 中指定的延时时间。

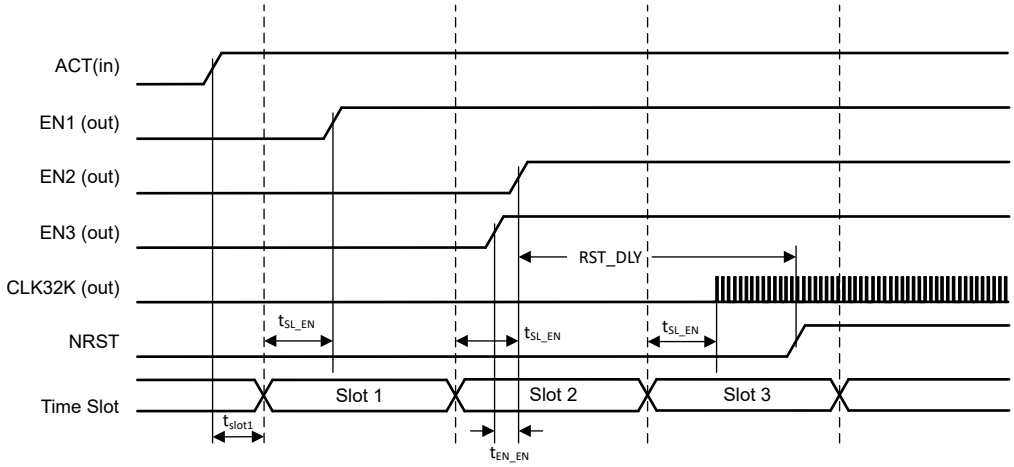


图 7-16. 输出时序示例

7.3.7 I²C

请参阅表 7-1，了解 I²C 寄存器映射概述。请注意，“PSEQ”是指 TPS38700-Q1，用于增强表格的可读性。

表 7-1. I²C 寄存器类别和相关详细信息

类型	位	说明	范围/功能或状态	谁来切换它们？	还有谁可以写入它们?	该位会影响什么？
OTP 位 R	VENDORID[7:0]	TI 定义	TI 定义	OTP 选项	无	无
	MODEL_REV[7:0]	TI 定义	TI 定义	OTP 选项	无	无
	TARGET_ID[7:0]	TI 定义	TI 定义	OTP 选项	无	I²C
中断信息位 RW1C	F_INTERR	内部故障	无内部故障/未检测到内部故障	中断	产生了任何中断；可以通过写入 1 来清除	NIRQ
	EM_PD (1)	紧急断电	无紧急断电/紧急断电导致关断	PSEQ	PSEQ；SOC	NRST；NIRQ
	WDT	看门狗违规	未发生/已发生	看门狗	WD；SOC	NIRQ；NRST（取决于是否在配置寄存器中设定）
	F_PEC	数据包错误检查 (PEC)	未发生/已发生 PEC 错误	I²C	I²C；SOC	NIRQ
	RTC	RTC 警报	尚未触发/已触发	RTC	RTC；SOC	NIRQ
	F_EN	使能输出引脚故障	未检测到任何故障/检测到故障	EN 读回-PSEQ	PSEQ；SOC	NIRQ；NRST
	F_OSC	晶体振荡器故障	未检测到任何故障/检测到故障	频率检测器	频率检测器；SOC	NIRQ
	F_NRSTIRQ	复位或中断引脚故障	未检测到任何故障/检测到故障	复位回读-PSEQ	PSEQ；SOC	NIRQ
	F_BIST	内置自检故障	未检测到任何故障/检测到故障	BIST	BIST；SOC	NIRQ；NRST
	F_LDO	LDO 故障	未检测到任何故障/检测到故障	BIST	BIST；SOC	NIRQ；NRST
	F_TSD	热关断故障	未检测到任何故障/检测到故障	TSD	TSD；SOC	NIRQ；NRST
	F_RT_CRC	运行时 CRC 寄存器故障	未检测到任何故障/检测到故障	CRC	SOC	NIRQ
	F_ECC_DED	在加载 OTP 时检测到 ECC 双比特错误	在加载 OTP 时无 ECC DED/ECC DED	NVM_ECC；REG_CRC	NVM_ECC；REG_CRC；SOC	NIRQ；NRST
	F_PBSB (1)	NPWR_BTN 短按	无短路脉冲/短路脉冲	PSEQ	PSEQ；SOC	NRST；NIRQ

Copyright © 2025 Texas Instruments Incorporated

表 7-1. I²C 寄存器类别和相关详细信息（续）

类型	位	说明	范围/功能或状态	谁来切换它们？	还有谁可以写入它们?	该位会影响什么？
状态位 R	ST_NIRQ	NIRQ 输出的当前状态	NIRQ 置为有效/未置为有效	中断	无	无
	ST_NRST	NRST 输出的当前状态	NRST 置为有效/未置为有效	中断；NRST 状态改变	无	无
	ST_ACTSLP	$\overline{\text{SLEEP}}$ 输入的当前状态	$\overline{\text{SLEEP}}$ 引脚驱动为低电平或高电平	PSEQ	无	无
	ST_ACTSHDN	ACT 输入的当前状态	ACT 引脚驱动为低电平或高电平	PSEQ	无	无
	ST_PSEQ[1:0]	PSEQ 的当前状态	SHDNx、上电、断电、睡眠、睡眠进入、睡眠退出、无效、有效	PSEQ	无	无
	STDR1	EN12 至 EN9 的当前驱动状态	序列发生器正在将 EN 驱动为低电平或高电平	PSEQ	无	无
	STDR2	EN8 至 EN1 的当前驱动状态	序列发生器正在将 EN 驱动为低电平或高电平	PSEQ	无	无
	断开	看门狗打开窗口	看门狗更新窗口关闭/打开	WD	无	无
	WDUV	看门狗更新违规	无违规/WD 更新过早	WD	无	无
	WDEXP	看门狗关闭计时器已到期	WDT 未到期/已到期	WD	无	无
	BIST_C	BIST 状态	BIST 未完成或已执行 / BIST 完成	BIST	无	无
	ECC_SEC	ECC 单比特错误更正状态	未应用错误更正/已应用 SEC	NVM_ECC	无	无
	BIST_VM	BIST 的易失性存储器测试输出状态	易失性存储器测试通过/失败	REG_CRC	无	无
	BIST_NVM	BIST 的非易失性存储器测试输出状态	非易失性存储器测试通过/失败	涵盖了 OTP	无	无
	BIST_L	BIST 的逻辑测试输出状态	逻辑测试通过/失败	BIST	无	NIRQ/ NRST
	BIST_A	BIST 的模拟测试输出状态。	模拟测试通过/失败	BIST	无	NIRQ/ NRST
OTP 位 R	EN_AF[12:9]	为 EN12、EN11、EN10、EN9 启用 AF	已禁用/已启用	OTP 选项	无	PSEQ
	AFIO[12:9]	为 EN12、EN11、EN10、EN9 选择 AF	GPO 或 NPWR_BTN / NRST_IN/ NEM_PD	OTP 选项	无	PSEQ
	PP_EN[12:1]	ENx 引脚驱动器配置	开漏/推挽	OTP 选项	无	IO
	XTAL_LOAD	晶体振荡器负载电容	外部/内部	OTP 选项	无	XTAL
	XTAL_EN	启用晶体振荡器	晶体驱动器已禁用/已启用	OTP 选项	无	XTAL
	PP_CLK32K	CLK32K 引脚驱动器配置	开漏/推挽	OTP 选项	无	XTAL

Copyright © 2025 Texas Instruments Incorporated

表 7-1. I²C 寄存器类别和相关详细信息（续）

类型	位	说明	范围/功能或状态	谁来切换它们？	还有谁可以写入它们?	该位会影响什么？
控制 R/W	GPIO[12:9]	通用输入/输出	开漏/推挽	SOC	无	PSEQ
	Debounce[3:0]	AF 输入引脚的去抖值	5ms 到 80ms	SOC	无	PSEQ
	EN_DEB[12:9]	为 AF 输入引脚启用去抖	去抖已禁用/已启用	SOC	无	PSEQ
	LP_TIME_TSHLD[7:0]	NPWR_BTN 长按时间阈值	100ms 至 25.6s	SOC	无	PSEQ
	重新加载	重新加载 OTP	SEQ5/6 完成后重新加载或不重新加载	SOC	SOC	OTP 寄存器
	FORCE_INT	强制 NIRQ 处于低电平	NIRQ 由故障/寄存器控制	SOC	SOC	NRST
	FORCE_ACT	强制 PSEQ 进入活动状态	SLEEP 引脚控制退出/进入或者被忽略	PSEQ	SOC 可以清除该位；但不能设置该位	PSEQ
	FORCE_SHDN[1:0]	强制 PSEQ 关断状态	ACT 引脚控制或强制 SHDN 并在延迟后恢复 ACT 引脚控制	SOC	SOC；WDT	PSEQ
	RST_DLY[3:0]	复位延迟	0.1ms 到 128ms	SOC	无	PSEQ
	RTC_WAKE	启用自主唤醒警报	已禁用/已启用	SOC	无	RTC
	RTC_PU	从 SHDN2 到 ACTIVE 的自主 RTC 上电	已禁用/已启用	SOC	无	RTC
	REQ_PEC	需要 PEC 字节（如果 EN_PEC = 1）	缺失的 PEC 被视为正常/错误	SOC	无	I2C
	EN_PEC	数据包错误检查 (PEC)	PEC 已禁用/已启用	SOC	无	I2C
	AT_POR	在 POR 时运行 BIST	在 POR 时跳过运行 BIST	SOC	无	BIST
	AT_SHDN	退出 SEQ5/6 时运行 BIST	默认为不运行 BIST	SOC	无	BIST
PSEQ	USLOT[3:0]	上电/睡眠退出时隙	125 µs/2.5s	SOC	无	PSEQ
	DSLOT[3:0]	断电/睡眠进入时隙	125 µs/2.5s	SOC	无	PSEQ
	SSTEP	时隙步进乘法器	250 µs/1000 µs	SOC	无	PSEQ
	PU[3:0][12:1]	上电序列	ENx 未映射/ENx 已映射	SOC	无	PSEQ
	PD[3:0][12:1]	断电序列	ENx 未映射/ENx 已映射	SOC	无	PSEQ
	SLP_EXT[3:0][12:1]	睡眠退出序列	ENx 未映射/ENx 已映射	SOC	无	PSEQ
	SLP_ENTRY[3:0][12:1]	睡眠进入序列	ENx 未映射/ENx 已映射	SOC	无	PSEQ
RTC (2)	RTC_T[31:0]	RTC 时间设置	1sec 至 136years	XTAL；内部振荡器	无	RTC
	RTC_A[31:0]	RTC 警报设置	1sec 至 136years	SOC	无	RTC

Copyright © 2025 Texas Instruments Incorporated

表 7-1. I²C 寄存器类别和相关详细信息（续）

类型	位	说明	范围/功能或状态	谁来切换它们？	还有谁可以写入它们?	该位会影响什么？
WDT	WDT_EN[1:0]	看门狗配置	已禁用/已启用	SOC	无	WDT
	SLP_EN	在睡眠模式下自动禁用	在睡眠模式下已禁用/已启用看门狗	SOC	无	WDT
	WDT_DLY[2:0]	以看门狗周期数表示的延迟	1 个或 8 个 WDT 周期	SOC	无	WDT
	PDMD[1:0]	用于 WDT 强制断电的断电模式	在 WDT 断电时写入 CTL_1.FORCE_SHDN 的值	SOC	无	PSEQ
	CLOSE[7:0]	WDT 关闭窗口配置	1ms 到 864ms	SOC	无	WDT
	OPEN[7:0]	WDT 打开窗口配置	1ms 到 864ms	SOC	无	WDT
	KEY[7:0]	要重置的 WDT 密钥	0/1	SOC	无	WDT
PROT	WRK	工作集寄存器锁	0/1	SOC 仅 1	无	将函数写入这些寄存器组
	SEQS	SEQ 设置寄存器锁	0/1	SOC 仅 1	无	将函数写入这些寄存器组
	SEQP	SEQP 设置寄存器锁	0/1	SOC 仅 1	无	将函数写入这些寄存器组
	SEQC	SEQC 设置寄存器锁	0/1	SOC 仅 1	无	将函数写入这些寄存器组
	WDT	WDT 设置寄存器锁	0/1	SOC 仅 1	无	将函数写入这些寄存器组
	RTC	RTC 设置寄存器锁	0/1	SOC 仅 1	无	将函数写入这些寄存器组
	CTL	CTL 设置寄存器锁	0/1	SOC 仅 1	无	将函数写入这些寄存器组

(1) 是否存在故障报告功能取决于器件配置。
(2) 在将值写入寄存器 RTC_A 之前，必须先将其写入寄存器 RTC_T。

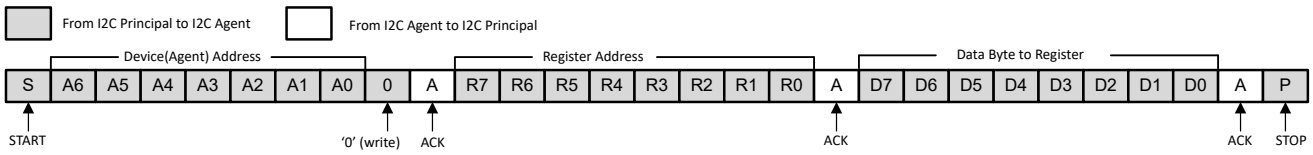


图 7-17. I2C 单字节写入

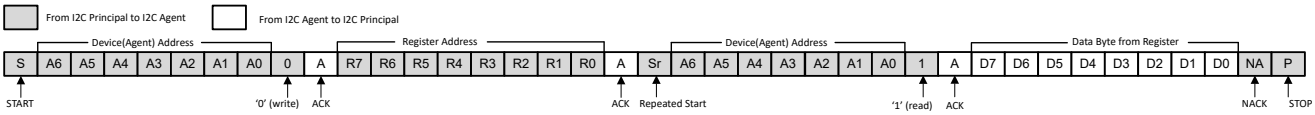


图 7-18. I2C 单字节读取

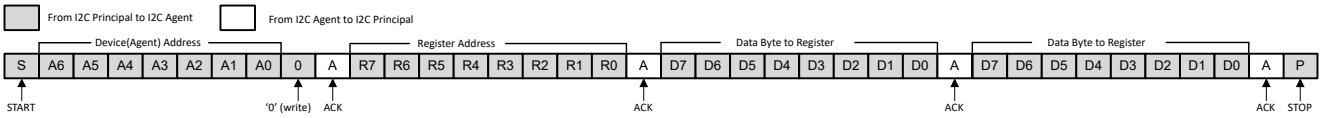


图 7-19. I2C 顺序写入

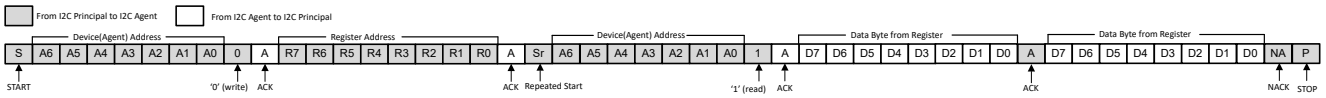


图 7-20. I2C 顺序读取

Copyright © 2025 Texas Instruments Incorporated

7.3.7.1 数据包错误检查 (PEC)

TPS38700-Q1 支持数据包错误检查 (PEC) 作为一种实现循环冗余校验 (CRC) 的方法。PEC 是一种动态 CRC，仅在启用后才在读取或写入事务期间发生。CRC 的初始值设置为 0x00 时，PEC 使用由多项式表示的 CRC-8：

$$C(x) = x^8 + x^2 + x + 1 \quad (1)$$

多项式用于捕获 I2C 通信中任何会导致数据和 PEC 字节不匹配的位翻转或噪声。PEC 计算包括传输中的所有字节，包括地址、命令和数据。PEC 计算不包括 ACK 或 NACK 位，或者启动、停止或重复启动条件。如果启用了 PEC，并且 TPS38700-Q1 正在传输数据，则 TPS38700-Q1 负责发送 PEC 字节。如果启用了 PEC，并且 TPS38700-Q1 从 MCU 收到数据，则 MCU 负责发送 PEC 字节。如果需要更快的通信（例如对看门狗进行维护），则可以有效地使用所需的 PEC 功能来处理缺失的 PEC 信息并避免触发故障。图 7-21 和图 7-22 突出显示了需要 PEC 时的通信协议流程以及哪个器件在实际通信期间的不同实例中控制 SDA 线。

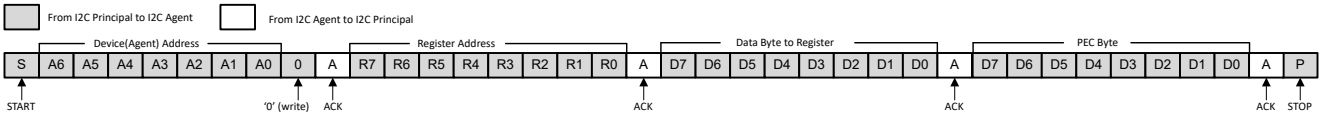


图 7-21. 采用 PEC 的单字节写入

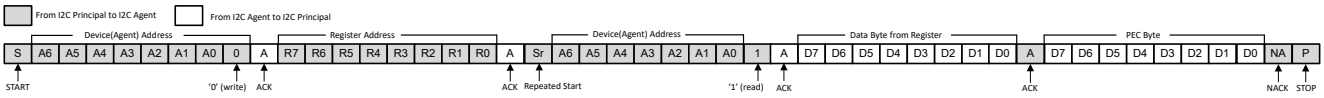


图 7-22. 采用 PEC 的单字节读取

表 7-2 介绍了与 PEC 写入命令相关的寄存器以及相应的器件行为。表 7-3 介绍了与 PEC 读取命令相关的寄存器以及相应的器件行为。

Copyright © 2025 Texas Instruments Incorporated

表 7-2. PEC 写入总结

EN_PEC	REQ_PEC	PEC_INT	中断状态
0	x	x	写入操作不需要 PEC 字节，不会将 NIRQ 置为有效。
1	0	x	缺少 PEC 字节的写入命令被视为有效，写入命令将执行并产生 I2C ACT。具有错误 PEC 的写入命令被视为错误，写入命令不会执行并产生 I2C NACK。不会将 NIRQ 置为有效。
1	1	0	缺少 PEC 会被视为错误，仅当提供了正确的 PEC 字节时才执行写入命令。尽管写入命令未执行，但 I2C 通信仍然以 ACT 进行响应。具有错误 PEC 的写入命令被视为错误，写入命令不会执行并产生 I2C NACK。不会将 NIRQ 置为有效。
1	1	1	缺少 PEC 会被视为错误，仅当提供了正确的 PEC 字节时才执行写入命令。尽管写入命令未执行，但 I2C 通信仍然以 ACT 进行响应。具有错误 PEC 的写入命令被视为错误，写入命令不会执行并产生 I2C NACK。当尝试使用 PEC 字节不正确或缺失的写入命令时，NIRQ 会被置为有效。

表 7-3. PEC 读取总结

EN_PEC	REQ_PEC	PEC_INT	中断状态
0	x	x	对于 I2C 读取操作，会以寄存器中存储的数据进行响应，对于 I2C 读取命令，不会以寄存器对应的 PEC 字节进行响应。
1	x	x	对于 I2C 读取操作，会以寄存器中存储的数据和对应的 PEC 字节进行响应。

Copyright © 2025 Texas Instruments Incorporated

7.4 寄存器映射表

表 7-4. 寄存器映射表

RSVD = 保留

ADDR	名称	R/W	MSB	6	5	4	3	2	1	LSB	默认值	GROUP
0x00 - 0x0F：供应商信息和供应商使用情况寄存器												
0x00	模型版本	R	器件模型（位 3-7）					供应商 ID（位 0-2）				
0x01	修订版本	R	器件版本		OTP_Rev							
0x02 … 0x0F	RSVD		供应商定义的或其他 IC 信息									
0x10 - 0x1F：中断和状态寄存器												
0x10	INT_SRC1	RW1C	F_INTERNAL	EM_PD	WDT	F_PEC	RTC	F_EN	F_OSC	F_NRSTIRQ	0x00	
0x11	INT_SRC2	RW1C	F_VENDOR	RSVD	F_RT_CRC	F_BIST	F_LDO	F_TSD	F_ECC_DED	F_PBSP	0x00	
0x12	INT_VENDOR	RW1C	供应商特定的内部故障标志								0x00	
0x13	CTL_STAT	R	RSVD	ST_VBBAT	ST_NIRQ	ST_NRST	ST_ACTSLP	ST_ACTSHDN	ST_PSEQ[1:0]		0x00	
0x14	EN_STDR1	R	RSVD				STDR_EN12	STDR_EN11	STDR_EN10	STDR_EN9	0x00	
0x15	EN_STDR2	R	STDR_EN8	STDR_EN7	STDR_EN6	STDR_EN5	STDR_EN4	STDR_EN3	STDR_EN2	STDR_EN1	0x00	
0x16	EN_STRD1	R	RSVD				STRD_EN12	STRD_EN11	STRD_EN10	STRD_EN9	0x00	
0x17	EN_STRD2	R	STRD_EN8	STRD_EN7	STRD_EN6	STRD_EN5	STRD_EN4	STRD_EN3	STRD_EN2	STRD_EN1	0x00	
0x18	WDT_STAT	R	RSVD				断开	RSVD	WDUV	WDEXP	0x00	
0x19	TEST_STAT	R	RSVD	BIST_C	ECC_SEC	RSVD	BIST_VM	BIST_NVM	BIST_L	BIST_A	0x00	
0x1A	LAST_RST	R	NRST_IN	WDT_RST	LP_NPWR_BTN	NEM_PD	ACTSHDN	WDT_SHDN	FORCE_SHDN[1：0]		0x00	
0x1B … 0x1F	RSVD		RSVD									
0x20 - 0x2F：配置寄存器												
0x20	EN_ALT_F	R	RSVD				EN_AF12	EN_AF11	EN_AF10	EN_AF9	NVM	
0x21	AF_IN_OUT	R	RSVD				AFIO12	AFIO11	AFIO10	AFIO9	NVM	
0x22	EN_CFG1	R	RSVD				PP_EN12	PP_EN11	PP_EN10	PP_EN9	NVM	
0x23	EN_CFG2	R	PP_EN8	PP_EN7	PP_EN6	PP_EN5	PP_EN4	PP_EN3	PP_EN2	PP_EN1	NVM	
0x24	CLK_CFG	R	XTAL_LOAD	XTAL_EN	RSVD	PP_CLK32K	RSVD				NVM	
0x25	GP_OUT	R/W	GPO4	GPO3	GPO2	GPO1	GPO12	GPO11	GPO10	GPO9	NVM	WRK
0x26	DEB_IN	R/W	DEBOUNCE[3:0]				EN_DEB12	EN_DEB11	EN_DEB10	RSVD	NVM	CTL
0x27	LP_TTHLD	R/W	LP_TIME_TSHLD[7:0]								NVM	CTL

Copyright © 2025 Texas Instruments Incorporated

表 7-4. 寄存器映射表（续）

RSVD = 保留

ADDR	名称	R/W	MSB	6	5	4	3	2	1	LSB	默认值	GROUP
0x28	CTL_1	R/W	RSVD				FORCE_INT	FORCE_ACT	FORCE_SHDN[1：0]		NVM	WRK
0x29	CTL_2	R/W	RST_DLY[3:0]				RTC_WAKE	RTC_PU	REQ_PEC	EN_PEC	NVM	CTL
0x2A	TEST_CFG	R/W	RSVD					AT_SHDN	AT_POR[1:0]		NCM	CTL
0x2B	IEN_VENDOR	R/W	供应商特定的内部故障使能								NVM	CTL
0x2C ⋯ 0x2F	RSVD		RSVD									
0x30 - 0x6F：时序寄存器												
0x30	SEQ_CFG	R/W	GPO8	GPO7	GPO6	GPO5	RSVD	RSVD	RSVD	SSTEP	NVM	SEQC
0x31	SEQ_USLOT	R/W	TIME[7:0]								NVM	SEQC
0x32	SEQ_DSLOT	R/W	TIME[7:0]								NVM	SEQC
0x33	PWR_EN1	R/W	PU[3:0]				PD[3:0]				NVM	SEQP
0x34	PWR_EN2	R/W	PU[3:0]				PD[3:0]				NVM	SEQP
0x35	PWR_EN3	R/W	PU[3:0]				PD[3:0]				NVM	SEQP
0x36	PWR_EN4	R/W	PU[3:0]				PD[3:0]				NVM	SEQP
0x37	PWR_EN5	R/W	PU[3:0]				PD[3:0]				NVM	SEQP
0x38	PWR_EN6	R/W	PU[3:0]				PD[3:0]				NVM	SEQP
0x39	PWR_EN7	R/W	PU[3:0]				PD[3:0]				NVM	SEQP
0x3A	PWR_EN8	R/W	PU[3:0]				PD[3:0]				NVM	SEQP
0x3B	PWR_EN9	R/W	PU[3:0]				PD[3:0]				NVM	SEQP
0x3C	PWR_EN10	R/W	PU[3:0]				PD[3:0]				NVM	SEQP
0x3D	PWR_EN11	R/W	PU[3:0]				PD[3:0]				NVM	SEQP
0x3E	PWR_EN12	R/W	PU[3:0]				PD[3:0]				NVM	SEQP
0x3F	PWR_CLK32OE	R/W	PU[3:0]				PD[3:0]				NVM	SEQP
0x40 ⋯ 0x4F	RSVD		RSVD									
0x50 ⋯ 0x52	RSVD		RSVD									
0x53	SLP_EN1	R/W	SLP_EXIT[3:0]				SLP_ENTRY[3:0]				NVM	SEQS
0x54	SLP_EN2	R/W	SLP_EXIT[3:0]				SLP_ENTRY[3:0]				NVM	SEQS
0x55	SLP_EN3	R/W	SLP_EXIT[3:0]				SLP_ENTRY[3:0]				NVM	SEQS
0x56	SLP_EN4	R/W	SLP_EXIT[3:0]				SLP_ENTRY[3:0]				NVM	SEQS

Copyright © 2025 Texas Instruments Incorporated

表 7-4. 寄存器映射表（续）

RSVD = 保留

ADDR	名称	R/W	MSB	6	5	4	3	2	1	LSB	默认值	GROUP
0x57	SLP_EN5	R/W	SLP_EXIT[3:0]				SLP_ENTRY[3:0]				NVM	SEQS
0x58	SLP_EN6	R/W	SLP_EXIT[3:0]				SLP_ENTRY[3:0]				NVM	SEQS
0x59	SLP_EN7	R/W	SLP_EXIT[3:0]				SLP_ENTRY[3:0]				NVM	SEQS
0x5A	SLP_EN8	R/W	SLP_EXIT[3:0]				SLP_ENTRY[3:0]				NVM	SEQS
0x5B	SLP_EN9	R/W	SLP_EXIT[3:0]				SLP_ENTRY[3:0]				NVM	SEQS
0x5C	SLP_EN10	R/W	SLP_EXIT[3:0]				SLP_ENTRY[3:0]				NVM	SEQS
0x5D	SLP_EN11	R/W	SLP_EXIT[3:0]				SLP_ENTRY[3:0]				NVM	SEQS
0x5E	SLP_EN12	R/W	SLP_EXIT[3:0]				SLP_ENTRY[3:0]				NVM	SEQS
0x5F	SLP_CLK32OE	R/W	SLP_EXIT[3:0]				SLP_ENTRY[3:0]				NVM	SEQS
0x60 ⋯ 0x6F	RSVD		RSVD									
0x70 - 0x7F：实时时钟 (RTC) 寄存器												
0x70	RTC_T3	R/W	RTC_T[31:24]								0x00	RTC
0x71	RTC_T2	R/W	RTC_T[23:16]								0x00	RTC
0x72	RTC_T1	R/W	RTC_T[15:8]								0x00	RTC
0x73	RTC_T0	R/W	RTC_T[7:0]								0x00	RTC
0x74	RTC_A3	R/W	RTC_A[31:24]								0xFF	RTC
0x75	RTC_A2	R/W	RTC_A[23:16]								0xFF	RTC
0x76	RTC_A1	R/W	RTC_A[15:8]								0xFF	RTC
0x77	RTC_A0	R/W	RTC_A[7:0]								0xFF	RTC
0x78 ⋯ 0x7F	RSVD		RSVD									
0x80 - 0x8F：看门狗计时器 (WDT) 寄存器												
0x80	WDT_CFG	R/W	WDTEN[1:0]		SLP_EN		WDTDLY[2:0]		PDMD[1:0]		0x00	WDT
0x81	WDT_CLOSE	R/W	CLOSE[7:0]								0x00	WDT
0x82	WDT_OPEN	R/W	OPEN[7:0]								0x00	WDT
0x83	WDTKEY	R/W	KEY[7:0]								0x00	无
0x84 ⋯ 0x8F	RSVD		RSVD									
0x90 ⋯ 0xEF	未使用		未使用									
0xF0 - 0xFF：保护寄存器												

Copyright © 2025 Texas Instruments Incorporated

表 7-4. 寄存器映射表（续）

RSVD = 保留

ADDR	名称	R/W	MSB	6	5	4	3	2	1	LSB	默认值	GROUP
0xF0	PROT1	R/W	RSVD	WRK	SEQS	SEQP	SEQC	WDT	RTC	CTL	0x00	
0xF1	PROT2	R/W	RSVD	WRK	SEQS	SEQP	SEQC	WDT	RTC	CTL	0x00	
0xF2 ⋯ 0xF8	RSVD		RSVD									
0xF9	I2CADDR	R	RSVD	ADDR_NVM[6:0]							NVM	
0xFA	DEV_CFG	R	RSVD						SOC_IF[1:0]		NVM	
0xFB ⋯ 0xFF	RSVD		RSVD									

Copyright © 2025 Texas Instruments Incorporated

7.4.1 寄存器说明

表 7-5. INT_SRC1

地址：0x10

说明：中断源引寄存器。如果是 F_INTERNAL，则 INT_SRC2 寄存器会提供更多信息。

POR 值：0x00

访问：读取和写入 1 以清除。写入 0 无效；向已经为 0 的位写入 1 无效。

返回寄存器映射表。

位	名称	说明
7	F_INTERNAL	内部故障（INT_SRC2 中所有位的或运算值）：0 = 未检测到内部故障 1 = 检测到内部故障。INT_SRC2 中标记了更多详细信息。该位通过清除 INT_SRC2 中的位来清除。
6	EM_PD	紧急断电： 0 = 无紧急断电事件 1 = 紧急断电导致关断（序列 2）。 Write-1-to-clear（写入 1 以清除）将清除该位。该位将在下次紧急关断时再次设置。
5	WDT	未发生 0 = WDT 违规（或 WDT_CFG.WDTEN[1:0]= 00b）。发生了 1 = WDT 违规。 仅当启用 WDT_CFG.WDTEN[1:0] 时，该位才有效。 Write-1-to-clear（写入 1 以清除）将清除该位。将在下一次 WDT 违规时再次设置该位。
4	PEC	数据包错误检查： 未发生 0 = PEC 错误比较（或 CTL_2.EN_PEC = 0）。发生了 1 = PEC 错误比较。 仅当启用 CTL_2.EN_PEC 时，该位才有效。 Write-1-to-clear（写入 1 以清除）将清除该位。将在下一次 PEC 错误比较时再次设置该位。
3	RTC	未触发 0 = RTC 警报（或警报功能禁用）。已触发 1 = RTC 警报。 如果警报功能已禁用（CTL_2.RTC_WAKE 和 CTL_2.RTC_PU 均已清除，并且 RTC_A[31:0] 设置为 0xFFFFFFFF），则该位无效。 Write-1-to-clear（写入 1 以清除）将清除该位。将在下一次 RTC 警报时再次设置该位。
2	F_EN	使能输出引脚故障： 0 = 未检测到电源短路或接地。1 = 检测到电源短路或接地。 仅当故障条件同时被删除时，Write-1-to-clear（写入 1 以清除）才会清除该位。
1	F_OSC	晶体振荡器故障： 0 = 在晶体振荡器上未检测到故障（或 CLK_CFG.XTAL_EN = 0，已禁用）。1 = 在晶体振荡器上检测到故障。 仅当故障条件同时被删除时，Write-1-to-clear（写入 1 以清除）才会清除该位。
0	F_NRSTIRQ	复位或中断引脚故障： 0 = 在 NRST 或 NIRQ 上未检测到故障。 1 = 在 NRST 或 NIRQ 上检测到电源的低电阻路径。 仅当故障条件同时被删除时，Write-1-to-clear（写入 1 以清除）才会清除该位。

INT_SRC1 表示 NIRQ 被置为有效的原因。主机处理器收到 NIRQ 后，主机会读取该寄存器，以便快速判断中断源。如果该寄存器清零，则 TPS38700-Q1 未将 NIRQ 置为有效。

Copyright © 2025 Texas Instruments Incorporated

表 7-6. INT_SRC2

地址：0x11

说明：内部错误的中断源寄存器。

POR 值：0x00

访问：读取和写入 1 以清除。写入 0 无效；向已经为 0 的位写入 1 无效。

返回寄存器映射表。

位	名称	说明
7	F_VENDOR	供应商特定的内部故障。INT_VENDOR 中报告了详细信息。该位表示 INT_VENDOR 中所有位的或运算值。 0 = INT_VENDOR 中未报告故障 1 = INT_VENDOR 中报告故障 该位通过清除 INT_VENDOR 中的位来清除。
6	RSVD	保留
5	F_RT_CRC	运行时寄存器 CRC 故障： 0 = 未检测到故障。 1 = 检测到寄存器 CRC 故障。 Write-1-to-clear（写入 1 以清除）将清除该位。将在下一次寄存器 CRC 检查期间检测到故障时再次设置该位。
4	F_BIST	内置自检故障： 0 = 未检测到故障。 1 = 检测到 BIST 故障。 请注意，清除该位不会清除 TEST_STAT 寄存器中的结果。 Write-1-to-clear（写入 1 以清除）将清除该位。将在下一次 BIST 执行期间检测到故障时再次设置该位。
3	F_LDO	LDO 故障： 0 = 未检测到 LDO 故障。1 = 检测到 LDO 故障。 如果使用内部 LDO，该标志用于指示故障。 如果未使用内部 LDO，这个标志必须保留。 仅当故障条件同时被删除时，Write-1-to-clear（写入 1 以清除）才会清除该位。
2	F_TSD	热关断： 0 = 未发生热关断。 1 = 自上次读取后发生了热关断。 仅当故障条件同时被删除时，Write-1-to-clear（写入 1 以清除）才会清除该位。
1	F_ECC_DED	在加载 OTP 配置时检测到 ECC 双比特错误： 0 = OTP 负载上无 ECC-DED。1 = OTP 负载上有 ECC-DED。 Write-1-to-clear（写入 1 以清除）将清除该位。将在下次加载 OTP 配置期间检测到故障再次设置该位。
0	F_PBSP	NPWR_BTN 短脉冲： 0 = NPWR_BTN 上无短路脉冲（或 NPWR_BTN 未启用）。1 = 在 NPWR_BTN 上检测到短路脉冲。 仅当通过 EN_AF12 和 AFIO12 位启用 NPWR_BTN 时，该位才有效。 Write-1-to-clear（写入 1 以清除）将清除该位。将在 NPWR_BTN 上检测到下一个短路脉冲期间再次设置该位。

Copyright © 2025 Texas Instruments Incorporated

表 7-7. INT_VENDOR

地址：0x12

说明：供应商特定内部中断状态寄存器。

POR 值：0x00

访问：读取和写入 1 以清除。写入 0 无效；向已经为 0 的位写入 1 无效。

返回寄存器映射表。

位	名称	说明
7:0	FAULTS[7:0]	供应商特定的内部故障标志。

表 7-8. CTL_STAT

地址：0x13

说明：控制引脚和内部状态的 TPS38700-Q1 状态寄存器。

POR 值：0x00

访问：只读。

返回寄存器映射表。

位	名称	说明
7:6	RSVD	保留
5	ST_NIRQ	NIRQ 输出的当前状态： 0 = NIRQ 引脚被 TPS38700-Q1 置为低电平。 1 = NIRQ 引脚未被 TPS38700-Q1 置为低电平。
4	ST_NRST	NRST 输出的当前状态： 0 = NRST 引脚被 TPS38700-Q1 置为低电平。 1 = NRST 引脚未被 TPS38700-Q1 置为低电平。
3	ST_ACTSLP	$\overline{\text{SLEEP}}$ 输入的当前状态： 0 = 系统将 $\overline{\text{SLEEP}}$ 引脚驱动为低电平（睡眠）。1 = 系统将 $\overline{\text{SLEEP}}$ 引脚驱动为高电平（有效）。
2	ST_ACTSHDN	ACT 输入的当前状态： 0 = 系统将 ACT 引脚驱动为低电平（关断）。1 = 系统将 ACT 引脚驱动为高电平（有效）。
1:0	ST_PSEQ[1:0]	00b：SHDNx、上电、断电 01b：睡眠、睡眠进入、睡眠退出 10b：无效组合 11b：运行

Copyright © 2025 Texas Instruments Incorporated

表 7-9. EN_STDR1

地址：0x14

说明：使能引脚的当前驱动状态。

POR 值：0x00

访问：只读。

返回寄存器映射表。

位	名称	说明
7:4	RSVD	保留
3:0	STDR_EN[12:9]	EN[X] 的当前驱动状态： 0 = TPS38700-Q1 正在将 EN[X] 驱动为低电平。 1 = TPS38700-Q1 正在将 EN[X] 驱动为高电平或允许将其悬空为高电平

表 7-10. EN_STDR2

地址：0x15

说明：使能引脚的当前驱动状态。

POR 值：0x00

访问：只读。

返回寄存器映射表。

位	名称	说明
7:0	STDR_EN[8:1]	EN[X] 的当前驱动状态： 0 = TPS38700-Q1 正在将 EN[X] 驱动为低电平。 1 = TPS38700-Q1 正在将 EN[X] 驱动为高电平或允许将其悬空为高电平

表 7-11. EN_STRD1

地址：0x16

说明：使能引脚的当前读取状态。

POR 值：0x00

访问：只读。

返回寄存器映射表。

位	名称	说明
7:4	RSVD	保留
3:0	STRD_EN[12:9]	EN[X] 的当前读取状态： 0 = TPS38700-Q1 正在读取 EN[X] 低电平。 1 = TPS38700-Q1 正在读取 EN[X] 高电平

Copyright © 2025 Texas Instruments Incorporated

表 7-12. EN_STRD2

地址：0x17

说明：使能引脚的当前读取状态。

POR 值：0x00

访问：只读。

返回寄存器映射表。

位	名称	说明
7:0	STRD_EN[8:1]	EN[X] 的当前读取状态： 0 = TPS38700-Q1 正在读取 EN[X] 低电平。 1 = TPS38700-Q1 正在读取 EN[X] 高电平

表 7-13. WDT_STAT

地址：0x18

说明：WDT 状态寄存器。

POR 值：0x00

访问：只读。

返回寄存器映射表。

位	名称	说明
7:4	RSVD	保留
3	断开	看门狗打开窗口： 0 = 看门狗更新窗口关闭。 1 = 看门狗更新窗口打开。
2	RSVD	保留
1	WDUV	看门狗更新违规。读取时被清零。 0 = 未检测到违规。 1 = 看门狗更新过早。
0	WDEXP	看门狗关闭计时器在未更新 WDKEY 的情况下过期。读取时被清零。 0 = WDT 未过期。 1 = WDT 已过期。

Copyright © 2025 Texas Instruments Incorporated

表 7-14. TEST_STAT

地址：0x19

说明：内部自检和 ECC 状态寄存器。

POR 值：0x00

访问：只读。

返回寄存器映射表。

位	名称	说明
7	RSVD	保留
6	BIST_C	BIST 状态： 0 = BIST 正在运行或自上次 POR 后未执行。另请查看 TEST_CFG 寄存器。 1 = BIST 完成。
5	ECC_SEC	OTP 配置负载上的 ECC 单比特错误更正状态。 0 = 未应用错误校正。 1 = 已应用单比特错误更正。
4	RSVD	保留
3	BIST_VM	BIST 的易失性存储器测试输出状态。 0 = 内部存储器测试通过。 1 = 内部存储器测试失败。
2	BIST_NVM	BIST 的非易失性存储器测试输出状态。 0 = 非易失性存储器测试通过。 1 = 非易失性存储器测试失败。
1	BIST_L	BIST 的逻辑测试输出状态。 0 = 逻辑测试通过。 1 = 逻辑测试失败。
0	BIST_A	BIST 的模拟测试输出状态。 0 = 模拟测试通过。 1 = 模拟测试失败。

Copyright © 2025 Texas Instruments Incorporated

表 7-15. LAST_RST

地址：0x1A

说明：上次 NRST 置位或关断的原因。NRST 断言和关断在序列 2、序列 5、序列 6、序列 7 和序列 8 中发生。

只要存在 VDD 和/或 VBBAT，该寄存器就会保持不变。INT_SRC1.EM_PD 寄存器位中已经记录了紧急关断触发序列 2，因此不需要在该寄存器中存储。主机应在上电时执行的第一个操作中读取此寄存器。

在下次 NRST 置位或关断时，该寄存器会新的相关数据覆盖。

POR 值：0x00

访问：只读。

返回寄存器映射表。

位	名称	说明
7	NRST_IN	NRST_IN 导致 NRST 置为有效（如果在 EN_ALT_F 和 AF_IN_OUT 寄存器中启用）。 0 = 上次 NRST 有效置为不是 NRST_IN 导致的。 1 = 上次 NRST 置为有效是 NRST_IN 导致的。
6	WDT_RST	WDT 导致 NRST 置为有效（另请参阅表 7-39）。 0 = 上次 NSRT 置为有效不是 WDT 导致的。 1 = 上次 NSRT 置为有效是 WDT 导致的。
5	RSVD	保留
4	NEM_PD	NEM_PD 导致 NRST/关断（如果在 EN_ALT_F 和 AF_IN_OUT 寄存器中启用）。 0 = 上次 NRST/关断置为有效不是 NEM_PD 导致的。 1 = 上次 NRST/关断置为有效是 NEM_PD 导致的。
3	ACTSHDN	因 ACT 置为低电平（关断）而导致的 NRST/关断。 0 = 上次 NRST/关断置位不是 ACT 低电平导致的。 1 = 上次 NRST/关断置位是 ACT 低电平导致的。
2	WDT_SHDN	WDT 导致 NRST/关断（另请参阅表 7-39）。 0 = 上次 NRST/关断置为有效不是 ACT/ SHDN 低电平导致的。 1 = 上次 NRST/关断置为有效是 ACT/ SHDN 低电平导致的。 如果设置了该位，则 Last_RST.FORCE_SHDN[1:0] 包含 WDT_CFG.PDMD[1:0] 值。
1:0	FORCE_SHDN[1:0]	CTL_1.FORCE_SHDN[1:0]≠00b 导致 NRST/关断。 值与启动最后一个 NRST/关断的 CTL_1.FORCE_SHDN[1:0] 相同。 如果设置了 WDT_SHDN 位，则该位字段包含 WDT_CFG.PDMD[1:0] 值。

Copyright © 2025 Texas Instruments Incorporated

表 7-16. EN_ALT_F

地址：0x20

说明：启用对引脚 EN[12:9] 进行排序的交替功能（在 AF_IN_OUT 寄存器中选择了 AF）。

POR 值：从 NVM 加载

访问：从 NVM 加载后只读

返回寄存器映射表。

位	名称	说明
7:4	RSVD	保留
3	EN_AF12	启用 EN[12] 的交替功能： 0 = 禁用。 1 = AF 已启用（GPO12 或 NPWR_BTN）。
2	EN_AF11	启用 EN[11] 的交替功能： 0 = 禁用。 1 = AF 已启用（GPO11 或 NRST_IN）。
1	EN_AF10	启用 EN[10] 的交替功能： 0 = 禁用。 1 = AF 已启用（GPO10 或 NEM_PD）。
0	EN_AF9	启用 EN[9] 的交替功能： 0 = 禁用。 1 = AF 已启用 (GPO9)。

仅当相应的 PU/ PD / SLP_EXIT/ SLP_ENTRY 寄存器字段全部设置为 0 时，才能启用交替功能。如果这些位字段中的任何一个不为零，相应的引脚会被锁定到 EN[X] 排序功能。

Copyright © 2025 Texas Instruments Incorporated

表 7-17. AF_IN_OUT

地址：0x21

说明：选择对引脚 EN[12:9] 进行排序的交替功能（在 EN_ALT_F 寄存器中启用 AF）。

POR 值：从 NVM 加载。

访问：从 NVM 加载后只读。

返回寄存器映射表。

位	名称	说明
7:4	RSVD	保留
3	AFIO12	选择 EN12 的交替功能： 0 = 通用输出 (GPO) - GPO12。 1 = AF NPWR_BTN（电源按钮输入）。
2	AFIO11	选择 EN11 的交替功能： 0 = GPO11。 1 = AF NRST_IN（复位输入）。
1	AFIO10	选择 EN10 的交替功能： 0 = GPO10。 1 = AF NEM_PD（紧急断电输入）。
0	AFIO9	选择 EN9 的交替功能： 0 = GPO9。 1 = 无效。 EN9 只能通过 EN_ALT_F.EN_AF9 被选作 GPO9，但是没有交替功能。因此，该位始终处于只读状态，并且读取值始终为 0。

表 7-18. EN_CFG1

地址：0x22

说明：EN[12:9] 的驱动模式配置

POR 值：从 NVM 加载。

访问：从 NVM 加载后只读

返回寄存器映射表。

位	名称	说明
7:4	RSVD	保留
3:0	PP_EN[12:9]	ENx 引脚驱动器配置： 0 = 开漏。 1 =推挽。

Copyright © 2025 Texas Instruments Incorporated

表 7-19. EN_CFG2

地址：0x23

说明：EN[8:1] 的驱动模式配置。

POR 值：从 NVM 加载。

访问：从 NVM 加载后只读。

返回寄存器映射表。

位	名称	说明
7:0	PP_EN[8:1]	ENx 引脚驱动器配置： 0 = 开漏。 1 =推挽。

表 7-20. CLK_CFG

地址：0x24

说明：振荡器配置。

POR 值：从 NVM 加载。

访问：从 NVM 加载后只读。

返回寄存器映射表。

位	名称	说明
7	XTAL_LOAD	晶体振荡器负载电容： 0 = 外部。 1 = 内部（供应商指定的值）。
6	XTAL_EN	启用晶体振荡器： 0 = 晶体驱动器已禁用。 1 = 晶体驱动器已启用。
5	RSVD	保留
4	PP_CLK32K	CLK32K 引脚驱动器配置： 0 = 开漏。 1 =推挽。 请注意、CLK32K 输出的推挽配置是可选的，而不是必需的。
3:0	RSVD	保留

Copyright © 2025 Texas Instruments Incorporated

表 7-21. GP_OUT

地址：0x25

说明：设置时序控制引脚 EN[12:9] 的通用输出状态。GPO 通过 AF_IN_OUT 和 EN_ALT_F 寄存器启用。

POR 值：从 NVM 加载。

访问：读取/写入。如果 CTL 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明
7	GPO4	通用输出。仅在 PWR_EN4 和 SLP_EN4 均清零时使用。 0 = GPO4 引脚被驱动为低电平。 1 = GPO4 引脚被驱动为高电平。
6	GPO3	通用输出。仅在 PWR_EN3 和 SLP_EN3 均清零时使用。 0 = GPO3 引脚被驱动为低电平。 1 = GPO3 引脚被驱动为高电平。
5	GPO2	通用输出。仅在 PWR_EN2 和 SLP_EN2 均清零时使用。 0 = GPO2 引脚被驱动为低电平。 1 = GPO2 引脚被驱动为高电平。
4	GPO1	通用输出。仅在 PWR_EN1 和 SLP_EN1 均清零时使用。 0 = GPO1 引脚被驱动为低电平。 1 = GPO1 引脚被驱动为高电平。
3	GPO12	通用输出。仅在 PWR_EN12 和 SLP_EN12 均清零时使用。 0 = GPO12 引脚被驱动为低电平。 1 = GPO12 引脚被驱动为高电平。
2	GPO11	通用输出。仅在 PWR_EN11 和 SLP_EN11 均清零时使用。 0 = GPO11 引脚被驱动为低电平。 1 = GPO11 引脚被驱动为高电平。
1	GPO10	通用输出。仅在 PWR_EN10 和 SLP_EN10 均清零时使用。 0 = GPO10 引脚被驱动为低电平。 1 = GPO10 引脚被驱动为高电平。
0	GPO9	通用输出。仅在 PWR_EN9 和 SLP_EN9 均清零时使用。 0 = GPO9 引脚被驱动为低电平。 1 = GPO9 引脚被驱动为高电平。

Copyright © 2025 Texas Instruments Incorporated

表 7-22. DEB_IN

地址：0x26

说明：AF 输入引脚的去抖配置。

POR 值：从 NVM 加载。

访问：读取/写入。如果 CTL 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明
7:4	DEBOUNCE[3:0]	AF 输入引脚的去抖值： 0000b = 5ms 0001b = 10ms 0010b = 15ms 0011b = 20ms nnnnb = 5(N+1)ms 1111b = 80ms
3:1	EN_DEB[12:10]	为 AF 输入引脚启用去抖： 0 = 去抖已禁用。 1 =去抖已启用。
0	RSVD	保留

表 7-23. LP_TTSHLD

地址：0x27

说明：NPWR_BTN 长按时间阈值配置。

POR 值：从 NVM 加载。

访问：读取/写入。如果 CTL 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明
7:0	LP_TIME_TSHLD	如果启用了 NPWR_BTN，则该值（以 100ms 为增量）确定要检测为“长按”的 NPWR_BTN 脉冲的最短持续时间（较短检测为“短按”） 00h = 100ms 01h = 200ms ... FEh = 25.5s FFh = 25.6s

Copyright © 2025 Texas Instruments Incorporated

表 7-24. CTL_1

地址：0x28

说明：中断和状态软件控制。

POR 值：从 NVM 加载。

访问：读取/写入。如果 CTL 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明
7:4	RSVD	保留
3	FORCE_INT (1)	强制 NIRQ 处于低电平： 0 = NIRQ 引脚由 INT_SRCx 寄存器故障控制。 1 = NIRQ 引脚被强制为低电平。
2	FORCE_ACT (2)	强制 TPS38700-Q1 进入活动状态： 0（仅通过 I²C 写入清除）= $\overline{\text{SLEEP}}$ 引脚控制睡眠进入/退出。 1（仅通过 HW 设置）= 将忽略 $\overline{\text{SLEEP}}$。
1:0	FORCE_SHDN[1:0]	强制 TPS38700-Q1 进入关断状态。 禁用 NPWR_BTN (EN_ALT_F.EN_AF12 = 0)： 00b = 正常 ACT 引脚控制。 01b = 强制断电序列，然后立即恢复正常的 ACT 引脚控制。 10b = 强制断电序列，然后在延迟 1 秒后恢复正常的 ACT 引脚控制。 11b = 在 ACT = 低电平或出现 RTC 警报时强制断电序列，然后根据寄存器 CTL_2、RTC_T 和 RTC_A 中的配置恢复正常的 ACT 引脚控制。 启用 NPWR_BTN (EN_ALT_F.EN_AF12 = 1)： 00b = 正常 NPWR_BTN 引脚控制。 01b = 强制断电序列，然后立即移至序列 1（就像 ACT = 高电平一样继续操作）。 10b = 强制断电序列，1 秒后移至序列 1（就像 ACT = 高电平一样继续操作）。如果在 1 秒内按下 NPWR_BTN，则此时 TPS38700-Q1 会移至序列 1。 11b = 在发生 RTC 警报时强制断电序列，然后根据寄存器 CTL_2、RTC_T 和 RTC_A 中的配置移至序列 1（就像 ACT = 高电平一样继续操作）。如果在 RTC 警报前按下 NPWR_BTN，则此时 TPS38700-Q1 会移至序列 1。

(1) FORCE_INT 由软件用于定期检查 NIRQ 引脚上是否存在内部或外部短接至 VDD 的情况。
(2) 当进入上电序列（序列 1）时，硬件会自动设置 FORCE_ACT。由于 TPS38700-Q1 执行上电序列，ACT 可能未定义。设置 FORCE_ACT 可以防止错误的 ACT 电平导致在应用处理器启动之前直接转换到睡眠模式。可通过 I²C 命令清除此位数值，但不能设置该位数值。

Copyright © 2025 Texas Instruments Incorporated

表 7-25. CTL_2

地址：0x29

说明：其他配置。

POR 值：从 NVM 加载。

访问：读取/写入。如果 CTL 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明	
7:4	RST_DLY[3:0]	上电序列：NRST 保持有效，直到上次 ENx 置位后的 RST_DLY[3:0]。	
		0000b = 0.1ms 0001b = 0.2ms 0010b = 0.4ms 0011b = 0.8ms 0100b = 1.6ms 0101b = 3.2ms 0110b = 6.4ms 0111b = 12.8ms	1000b = 1ms 1001b = 2ms 1010b = 4ms 1011b = 8ms 1100b = 16ms 1101b = 32ms 1110b = 64ms 1111b = 128ms
		断电序列：NRST 在 ACT 为低电平的 t_{NRST} 内有效。	
3	RTC_WAKE	自主 RTC 唤醒警报启用： 0 = 禁用（在 RTC 警报时 CTL_1.FORCE_ACT = 0）。 1 = 启用（在 RTC 警报时 CTL_1.FORCE_ACT = 1）。 如果 RTC_T == RTC_A，则会生成设置 INT_SRC1.RTC 的唤醒事件。 如果启用此位、则 CTL_1.FORCE_ACT 也会设置为 1，从而触发从 SLEEP 状态自动退出至 ACTIVE 状态。	
2	RTC_PU	从 SHDN2 到 ACTIVE 的自主 RTC 上电： 0 = 禁用。 1 = 已启用。 如果 RTC_T == RTC_A，则会生成上电事件。	
1	REQ_PEC	需要 PEC 字节（仅当 EN_PEC 为 1 时有效）： 0 = 缺少的 PEC 字节被视为正常 PEC。 1 = 缺少的 PEC 字节被视为错误 PEC，从而触发故障。	
0	EN_PEC	数据包错误检查 (PEC)： 0 = PEC 已禁用（默认设置）。 1 = PEC 已启用。禁用对寄存器地址自动递增的支持。	

Copyright © 2025 Texas Instruments Incorporated

表 7-26. TEST_CFG

地址：0x2A

说明：内置自检 (BIST) 执行配置。

默认值：从 NVM 加载 (仅限 AT_POR[1:0])

访问：读取/写入。如果 CTL 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明
7:3	RSVD	保留
2	AT_SHDN	0 = 退出序列 5 或序列 6 时不运行 BIST。 1 = 如果 CTL_1.FORCE_SHDN[1:0]= 00b，则在退出序列 5 或序列 6 时运行 BIST。 t_{CFG_WB} 之后器件准备就绪。 该位不能在 OTP 中设置。 从 OTP 加载配置时，始终默认为 0。
1:0	AT_POR[1:0]	在 POR 时运行 BIST。t_{CFG_WB} 之后器件准备就绪。 00b = OTP 配置有效，在 POR 时跳过 BIST 01b = OTP 配置损坏，在 POR 时运行 BIST。 10b = OTP 配置损坏，在 POR 时运行 BIST。 11b = OTP 配置有效，在 POR 时运行 BIST。

表 7-27. IEN_VENDOR

地址：0x2B

说明：供应商特定内部中断使能寄存器。

POR 值：0x00 或从 NVM 加载。

访问：读取/写入。如果 CTL 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明
7:0	FAULTS[7:0]	供应商特定的内部故障使能。

表 7-28. SEQ_CFG

地址：0x30

说明：时序配置。

POR 值：从 NVM 加载。

访问：读取/写入。如果 SEQ 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明
7	GPO8	通用输出。仅在 PWR_EN8 和 SLP_EN8 均清零时使用。 0 = GPO8 引脚被驱动为低电平。 1 = GPO8 引脚被驱动为高电平。

Copyright © 2025 Texas Instruments Incorporated

表 7-28. SEQ_CFG（续）

地址：0x30

说明：时序配置。

POR 值：从 NVM 加载。

访问：读取/写入。如果 SEQ 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明
6	GPO7	通用输出。仅在 PWR_EN7 和 SLP_EN7 均清零时使用。 0 = GPO7 引脚被驱动为低电平。 1 = GPO7 引脚被驱动为高电平。
5	GPO6	通用输出。仅在 PWR_EN6 和 SLP_EN6 均清零时使用。 0 = GPO6 引脚被驱动为低电平。 1 = GPO6 引脚被驱动为高电平。
4	GPO5	通用输出。仅在 PWR_EN5 和 SLP_EN5 均清零时使用。 0 = GPO5 引脚被驱动为低电平。 1 = GPO5 引脚被驱动为高电平。
3	RSVD	保留
2	RSVD	保留
1	RSVD	保留
0	SSTEP	SEQ_USLOT 和 SEQ_DSLOT 的时序时隙步长选择： 0 = 时隙步长 t_{SSTEP} = 250 µs 1 = 时隙步长 t_{SSTEP}= 1000 µs

表 7-29. SEQ_USLOT

地址：0x31

说明：上电/睡眠退出时序时隙配置。

POR 值：从 NVM 加载。

访问：读取/写入。如果 SEQ 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明
7:0	TIME[7:0]	设置上电/睡眠退出时序点之间的时隙： t_{USLOT} = SEQ_USLOT.TIME[7:0] × t_{SSTEP} + t_{SMIN} 其中，t_{SSTEP} 由 SEQ_CFG.SSTEP 设置，t_{SMIN} = t_{SSTEP}/2 对于 SEQ_CFG.SSTEP = 0 的情况，请参阅表 7-30。 对于 SEQ_CFG.SSTEP = 1 的情况，请参阅表 7-31。

Copyright © 2025 Texas Instruments Incorporated

表 7-30. SEQ_CFG.SSTEP = 0

参数	符号	最小值 (-6%)	典型值	最大值 (+6%)	单位
时隙步长	t_{SSTEP}	235	250	265	µs
最短时隙时间 (0x00)	t_{SMIN}	117.5	125	132.5	µs
最长时隙时间 (0xFF)	t_{SMAX}	60042.5	63875	67707.5	µs

表 7-31. SEQ_CFG.SSTEP = 1

参数	符号	最小值 (-6%)	典型值	最大值 (+6%)	单位
时隙步长	t_{SSTEP}	940	1000	1060	µs
最短时隙时间 (0x00)	t_{SMIN}	470	500	530	µs
最长时隙时间 (0xFF)	t_{SMAX}	240170	255500	270830	µs

表 7-32. SEQ_DSLOT

地址：0x32

说明：断电/睡眠进入时序时隙配置。

POR 值：从 NVM 加载。

访问：读取/写入。如果 SEQ 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明
7:0	TIME[7:0]	设置断电/睡眠进入时序点之间的时隙： t_{DSLOT} = SEQ_DSLOT.TIME[7:0] × t_{SSTEP} + t_{SMIN} 其中，t_{SSTEP} 由 SEQ_CFG.SSTEP 设置，t_{SMIN} = t_{SSTEP}/2 有关设置详细信息，请参阅表 7-29。

表 7-33. PWR_EN[12:1]

地址：PWR_EN1 (0x33) - PWR_EN12 (0x3E)（12 个 8 位寄存器）。

说明：通过将 EN[12:1] 分配到 15 个时隙中的一个来定义上电/断电序列。

时隙 = 1 是可以选择的最早时隙，表示 ENx 引脚会在触发事件之后的第一个 SEQ_USLOT.TIME 或 SEQ_DSLOT.TIME 内切换。参阅 节 7.3.6.9。

POR 值：从 NVM 加载。

访问：读取/写入。如果 SEQ 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明
7:4	PU[3:0]	上电序列： 0 = ENx 引脚未映射到序列。ENx 保持先前的状态，除非进入备用或失效防护状态（在这些状态下，ENx 会被拉低）。 1 = ENx 引脚映射到第一个时隙（第一个上电）。 15 = ENx 引脚映射到最后一个时隙（最后一个上电）。

Copyright © 2025 Texas Instruments Incorporated

表 7-33. PWR_EN[12:1]（续）

地址：PWR_EN1 (0x33) - PWR_EN12 (0x3E)（12 个 8 位寄存器）。

说明：通过将 EN[12:1] 分配到 15 个时隙中的一个来定义上电/断电序列。

时隙 = 1 是可以选择的最早时隙，表示 ENx 引脚会在触发事件之后的第一个 SEQ_USLOT.TIME 或 SEQ_DSLOT.TIME 内切换。参阅 节 7.3.6.9。

POR 值：从 NVM 加载。

访问：读取/写入。如果 SEQ 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明
3:0	PD[3:0]	断电序列： 0 = ENx 引脚未映射到序列。ENx 保持先前的状态，除非进入备用或失效防护状态（在这些状态下，ENx 会被拉低）。 1 = ENx 引脚映射到第一个时隙（第一个断电）。 15 = ENx 引脚映射到最后一个时隙（最后一个断电）。

表 7-34. PWR_CLK32OE

地址：0x3Fh

说明：通过将 32kHz 时钟输出分配到 15 个时隙中的一个来定义上电/断电 (PU/ PD) 序列。

POR 值：从 NVM 加载。

访问：读取/写入。如果 SEQ 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明
7:4	PU[3:0]	0 = CLK32 未映射到 PU 序列。CLK32 保持先前状态，除非进入备用或失效防护状态（在这些状态下，CLK32 会被拉低）。 1 = 在第一个 PU 时隙上启用 CLK32。 15 = 在最后一个 PU 时隙上启用 CLK32。
3:0	PD[3:0]	0 = CLK32 未映射到 PD 序列。CLK32 保持先前状态，除非进入备用或失效防护状态（在这些状态下，CLK32 会被拉低）。 1 = 在第一个 PD 时隙上禁用 CLK32。 15 = 在最后一个 PD 时隙上禁用 CLK32。

Copyright © 2025 Texas Instruments Incorporated

表 7-35. SLP_EN[12:1]

地址：SLP_EN1 (0x53) - SLP_EN12 (0x5E) (12 个 8 位寄存器) 。

说明：通过将 EN[12:1] 分配到 15 个时隙中的一个来定义睡眠退出/进入序列。

时隙 = 1 是可以选择的最早时隙，表示 ENx 引脚会在触发事件之后的第一个 SEQ_USLOT.TIME 或 SEQ_DSLOT.TIME 内切换。参阅 节 7.3.6.9。

POR 值：从 NVM 加载。

访问：读取/写入。如果 SEQ 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明
7:4	SLP_EXIT[3:0]	睡眠退出序列： 0 = ENx 引脚未映射到序列。ENx 保持先前的状态，除非进入备用或失效防护状态 (在这些状态下，ENx 会被拉低) 。 1 = ENx 引脚映射到第一个时隙 (第一个上电) 。 15 = ENx 引脚映射到最后一个时隙 (最后一个上电) 。
3:0	SLP_ENTRY[3:0]	睡眠进入序列： 0 = ENx 引脚未映射到序列。ENx 保持先前的状态，除非进入备用或失效防护状态 (在这些状态下，ENx 会被拉低) 。 1 = ENx 引脚映射到第一个时隙 (第一个断电) 。 15 = ENx 引脚映射到最后一个时隙 (最后一个断电) 。

表 7-36. SLP_CLK32OE

地址：0x5F

说明：通过将 32kHz 时钟输出分配到 15 个时隙中的一个来定义睡眠退出/进入序列。

POR 值：从 NVM 加载。

访问：读取/写入。如果 SEQ 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明
7:4	SLP_EXIT[3:0]	0 = CLK32 未映射到睡眠退出序列。CLK32 保持先前状态，除非进入备用或失效防护状态 (在这些状态下，CLK32 会被拉低) 。 1 = 在第一个睡眠退出时隙上启用 CLK32。 15 = 在最后一个睡眠退出时隙上启用 CLK32。
3:0	SLP_ENTRY[3:0]	0 = CLK32 未映射到睡眠进入序列。CLK32 保持先前状态，除非进入备用或失效防护状态 (在这些状态下，CLK32 会被拉低) 。 1 = 在第一个睡眠进入时隙上禁用 CLK32。 15 = 在最后一个睡眠进入时隙上禁用 CLK32。

Copyright © 2025 Texas Instruments Incorporated

表 7-37. RTC_T[31:0]

地址：RTC_T[31:24] (0x70) - RTC_T[7:0] (0x73) (四个 8 位寄存器)

说明：RTC 时间设置。尽管没有保持四个寄存器间数据一致性的相应规定，但预期可通过访问单个事务中该等寄存器的方式，确保数据一致性。RTC_T 寄存器的值必须在 RTC_A 值之前写入。

POR 值：0x00000000

访问：读取/写入。如果 RTC 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明
31:24	RTC_T3	RTC 时间字节 3 地址 0x70
23:16	RTC_T2	RTC 时间字节 2 地址 0x71
15:8	RTC_T1	RTC 时间字节 1 地址 0x72
7:0	RTC_T0	RTC 时间字节 0 地址 0x73

32 位无符号值，表示上电后 136 年的 1 秒周期。可用于保留 POSIX 时间。必须在每次上电时设置为正确的值

表 7-38. RTC_A[31:0]

地址：RTC_A[31:24] (0x74) - RTC_A[7:0] (0x77) (四个 8 位寄存器)。

说明：RTC 警报设置。尽管没有保持四个寄存器间数据一致性的相应规定，但德州仪器 (TI) 预期，访问单个事务中该等寄存器会是确保数据一致性的最佳方式。

POR 值：0xFFFFFFFF

访问：读取/写入。如果 RTC 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明
31:24	RTC_A3	RTC 警报字节 3 地址 0x74
23:16	RTC_A2	RTC 警报字节 2 地址 0x75
15:8	RTC_A1	RTC 警报字节 1 地址 0x76
7:0	RTC_A0	RTC 警报字节 0 地址 0x77

当 RTC_T[31:0]==RTC_A[31:0] 时，警报置为有效。有关唤醒事件，请参阅 CTL_2.RTC_WAKE 和 CTL_2.RTC_PU。

Copyright © 2025 Texas Instruments Incorporated

表 7-39. WDT_CFG

地址：0x80

说明：WDT 配置。

POR 值：从 NVM 加载。

访问：读取/写入。如果 WDT 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明
7:6	WDTEN[1:0]	00b = 看门狗已禁用。 01b = 根据 WDT_CFG.PDMD，首先中断，然后复位，最后断电。 10b = 在连续到期时，根据 WDT_CFG.PDMD，首先复位，然后断电。 11b = 在到期时，根据 WDT_CFG.PDMD 断电。
5	SLP_EN	在睡眠模式下自动禁用： 0 = 看门狗在睡眠模式下自动禁用。 1 = 看门狗在睡眠模式下启用。
4:2	WDTDLY[2:0]	Delay, in number of WDT periods (WDT_CLOSE + WDT_OPEN), 从 NRST 置为无效（如果退出 SHDN1 或 SHDN2 状态）、或从写入 WDT_CFG.WDTEN[1:0] 的值或从睡眠状态退出（如果 WDT_CFG.SLP_EN=0）到第一个关闭窗口的延迟，以 WDT 周期数 (WDT_CLOSE + WDT_OPEN) 表示。 000b = 1 个 WDT 周期。 111b = 8 个 WDT 周期。
1:0	PDMD[1:0]	用于 WDT 强制断电的断电模式。 发生 WDT 断电事件时写入 CTL_1.FORCE_SHDN[1:0] 的值。

Copyright © 2025 Texas Instruments Incorporated

表 7-40. WDT_CLOSE

地址：0x81

说明：WDT 关闭窗口配置。

POR 值：从 NVM 加载。

访问：读取/写入。如果 WDT 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明		
7:0	CLOSE[7:0]	WDT 关闭窗口持续时间： LSB 递增值		
		1ms (00h-1Fh)	2ms (20h-3Fh)	4ms (40h-FFh)
		00h = 1ms 01h = 2ms 02h = 3ms 03h = 4ms 04h = 5ms ... 1Dh = 30ms 1Eh = 31ms 1Fh = 32ms	20h = 34ms 21h = 36ms 22h = 38ms 23h = 40ms 24h = 42ms ... 3Dh = 92ms 3Eh = 94ms 3Fh = 96ms	40h = 100ms 41h = 104ms 42h = 108ms 43h = 112ms 44h = 116ms ... FDh = 856ms FEh = 860ms FFh = 864ms

表 7-41. WDT_OPEN

地址：0x82

说明：WDT 打开窗口配置。

POR 值：从 NVM 加载。

访问：读取/写入。如果 WDT 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明		
7:0	OPEN[7:0]	WDT 打开窗口持续时间： LSB 递增值		
		1ms (00h-1Fh)	2ms (20h-3Fh)	4ms (40h-FFh)
		00h = 1ms 01h = 2ms 02h = 3ms 03h = 4ms 04h = 5ms ... 1Dh = 30ms 1Eh = 31ms 1Fh = 32ms	20h = 34ms 21h = 36ms 22h = 38ms 23h = 40ms 24h = 42ms ... 3Dh = 92ms 3Eh = 94ms 3Fh = 96ms	40h = 100ms 41h = 104ms 42h = 108ms 43h = 112ms 44h = 116ms ... FDh = 856ms FEh = 860ms FFh = 864ms

Copyright © 2025 Texas Instruments Incorporated

表 7-42. WDTKEY

地址：0x83

说明：要重置的 WDT 密钥。

POR 值：0x00

访问：读取/写入。

返回寄存器映射表。

位	名称	说明
7:0	KEY[7:0]	看门狗密钥寄存器。

Copyright © 2025 Texas Instruments Incorporated

表 7-43. PROT1，PROT2

地址：0xF0，0xF1

说明：保护选择寄存器。为了对寄存器组进行写保护，主机必须在两个寄存器中设置相关位。

POR 值：0x00

访问：读取/写入。

为了安全起见，这些寄存器需要将 POR 值设为 0x00，并且一旦设置，将变为只读状态，直到下电上电。

设置为 1 后，主机无法将该位清零，需进行一个下电上电周期 (VDD=0)，才能写入不同的寄存器配置。

如果在退出序列 5 或序列 6 (TEST_CFG.AT_SHDN=1) 时执行 BIST，也会清除这些寄存器。

返回寄存器映射表。

位	名称	说明
7	RSVD	保留
6	WRK	0 = 工作寄存器可写入。 1 = 忽略对工作寄存器的写入。
5	SEQS	0 = 睡眠序列寄存器可写入。 1 = 忽略对睡眠序列寄存器的写入。
4	SEQP	0 = 电源序列寄存器可写入。 1 = 忽略对电源序列寄存器的写入。
3	SEQC	0 = 序列时隙配置寄存器可写入。 0b1 = 忽略对序列时隙配置寄存器的写入。
2	WDT	0 = WDT 寄存器可写入。 1 = 忽略对 WDT 寄存器的写入。
1	RTC	0 = RTC 寄存器可写入。 1 = 忽略对 RTC 寄存器的写入。
0	CTL	0 = 控制寄存器可写入。 1 = 忽略对控制寄存器的写入。

表 7-44. I2CADDR

地址：0xF9

说明：I^2C 地址。

POR 值：从 NVM 加载。

访问：只读。

返回寄存器映射表。

位	名称	说明
7	RSVD	保留
6:0	ADDR_NVM[6:0]	I^2C 目标器件地址。在 NVM 中设置。

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

现代 SOC 和 FPGA 器件通常具有多个电源轨，可为 IC 内的不同模块供电。准确的电压电平与时序要求非常常见，为确保该等器件能够正常运行，必须满足该等要求。通过结合使用 TPS38700-Q1 和多通道电压监控器，可以满足目标 SOC 或 FPGA 器件的加电和断电时序控制要求以及内核电压要求。此设计侧重于使用 TPS38700-Q1 来满足 SOC 的时序要求。

Copyright © 2025 Texas Instruments Incorporated

8.2 典型应用

8.2.1 汽车类多通道序列发生器和监视器

图 8-1 显示了 TPS38700-Q1 的典型应用。TPS38700-Q1 用于通过向所示的直流/直流转换器提供使能信号来为目标 SOC 器件提供正确的电压时序控制。这些直流/直流转换器用于为 SOC 生成合适的电压轨。多通道电压监控器用于在电压轨加电与断电情况下监控电压轨，以便确保两种情况下均进行了正确序列。安全微控制器还用于向 TPS38700-Q1 和多通道电压监控器提供 ACT、NIRQ 和 I^2C 命令。来自安全微控制器的 ACT 信号会确定 TPS38700-Q1 何时进入活动或 SHDN 状态，而 TPS38700-Q1 的 NIRQ 引脚充当中断引脚，该引脚在发生故障时置位。例如，如果外部器件将 NRST 引脚拉至低电平，TPS38700-Q1 会通过 NIRQ 引脚触发中断。I^2C 用于将故障类型传达给主机微控制器。主机微控制器可以通过向受影响的寄存器写入 1 来清除故障。为简单起见，图 8-1 未显示安全微控制器的电源轨。

Copyright © 2025 Texas Instruments Incorporated

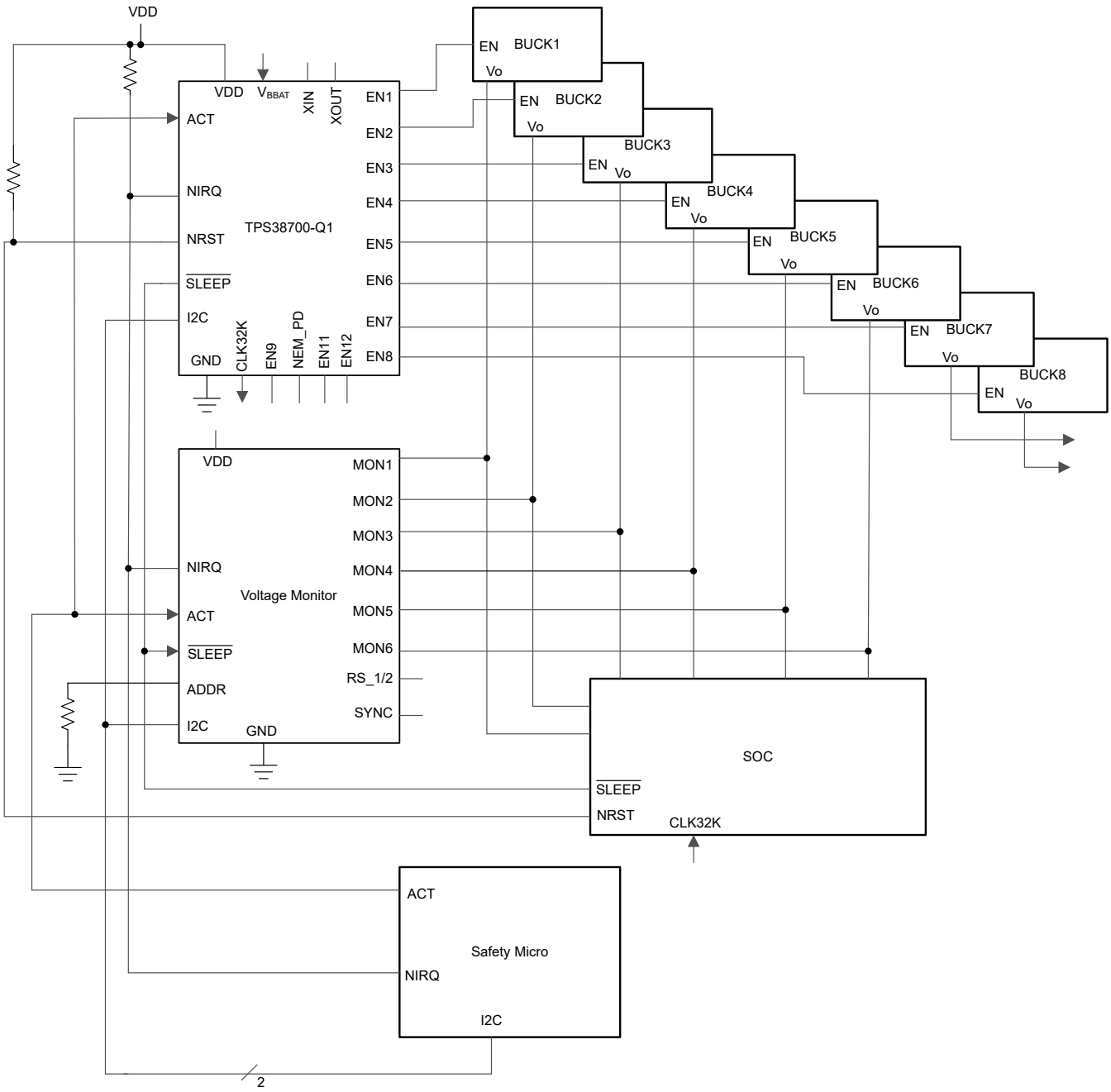


图 8-1. TPS38700-Q1 电压序列发生器设计方框图

8.2.2 设计要求

- 在此设计中，需要正确监控由直流/直流转换器提供的八个不同电压轨。表 8-1 和 表 8-2 中概述了序列顺序和时序要求。
- 紧急断电功能是可选的。
- 需要备用电池电源。该电压必须降低至最大值 5.5V，以符合 V_{BBAT} 引脚的绝对最大额定值。
- 必须通过一个外部硬件中断信号来报告时序控制中检测到的所有故障。
- 所有检测到的故障必须记录在内部寄存器中，并可通过 I^2C 访问外部处理器。

Copyright © 2025 Texas Instruments Incorporated

表 8-1. 上电和断电序列要求

使能通道	上电序列位置	断电序列位置	上电信号之间的时间 (µ s)	断电信号之间的时间 (µ s)
EN1	1	5	625	625
EN2	1	1	625	625
EN3	2	4	625	625
EN4	2	4	625	625
EN5	4	2	625	625
EN6	6	1	625	625
EN7	1	1	625	625
EN8	2	4	625	625

表 8-2. 睡眠进入和睡眠退出序列要求

使能通道	睡眠退出序列位置	睡眠进入序列位置	睡眠退出信号的间隔时间 (µ s)	睡眠进入信号的间隔时间 (µ s)
EN1	0	0	625	625
EN2	1	3	625	625
EN3	3	2	625	625
EN4	0	0	625	625
EN5	0	0	625	625
EN6	2	1	625	625
EN7	1	3	625	625
EN8	3	2	625	625

8.2.3 详细设计过程

- TPS38700-Q1 器件经过预编程，具有上电、断电、睡眠进入和睡眠退出序列，如 表 8-2 和 表 8-1 所示。
- NIRQ 和 NRST 引脚均需要一个介于 10kΩ 至 100kΩ 之间的上拉电阻。
- SDA 和 SCL 线路需要 10kΩ 范围内的上拉电阻器。
- ACT 引脚由外部安全微控制器驱动。当 ACT 引脚被驱动为高电平时，器件将进入运行模式，如 节 7.3.6.1 所述。当 ACT 引脚驱动为低电平时，器件进入 SHDN 模式，如 节 7.3.6.5 所述。
- 安全微控制器用于清除通过 NIRQ 中断引脚以及 INT_SCR1 和 INT_SCR2 寄存器报告的故障中断。中断标志只能由主机微控制器通过 write-1-to-clear (写入 1 以清除) 操作清零；如果故障条件不再存在，中断标志不会自动清除。
- SLEEP 引脚由 SOC 驱动。当 $\overline{\text{SLEEP}}$ 引脚被驱动为低电平时，器件处于睡眠模式，如 节 7.3.6.3 所述。当 $\overline{\text{SLEEP}}$ 引脚被驱动为高电平时，器件将退出睡眠模式，如 节 7.3.6.4 所示。
- 安全微控制器必须连接到 TPS38700-Q1 器件的 NEM_PD 输入引脚才能启用紧急断电功能。当该引脚被驱动为低电平时，TPS38700-Q1 器件进入断电序列。图 7-12 中显示了由于 NEM_PD 而导致的断电。

Copyright © 2025 Texas Instruments Incorporated

8.2.4 应用曲线

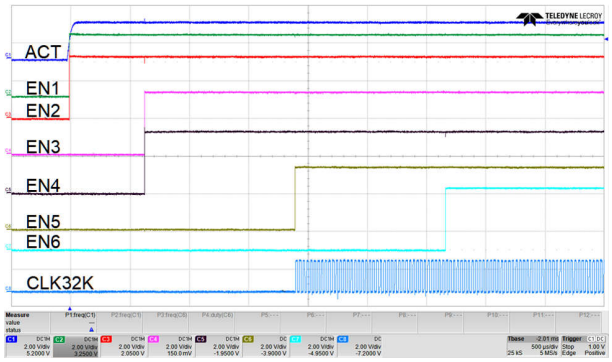


图 8-2. 上电序列

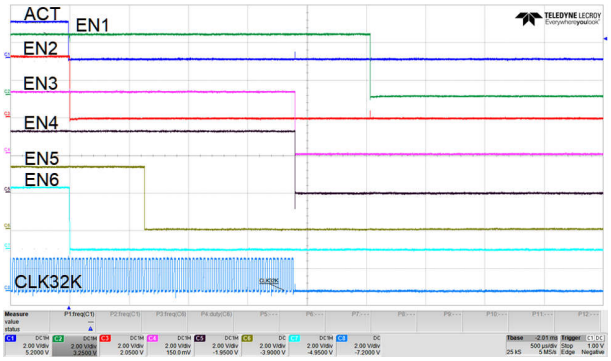


图 8-3. 断电序列

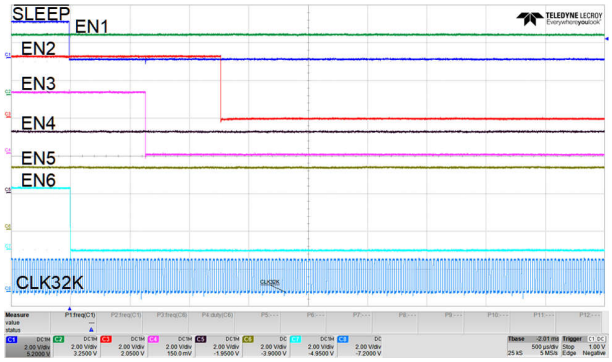


图 8-4. 睡眠进入序列

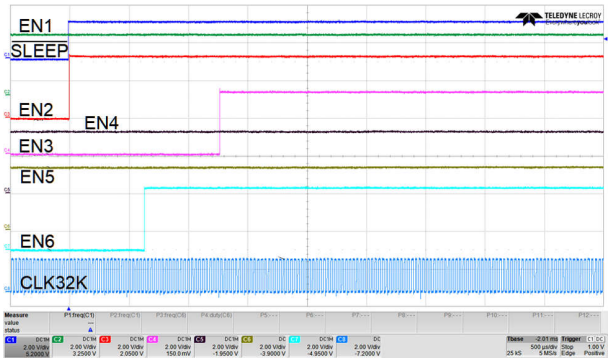


图 8-5. 睡眠退出序列

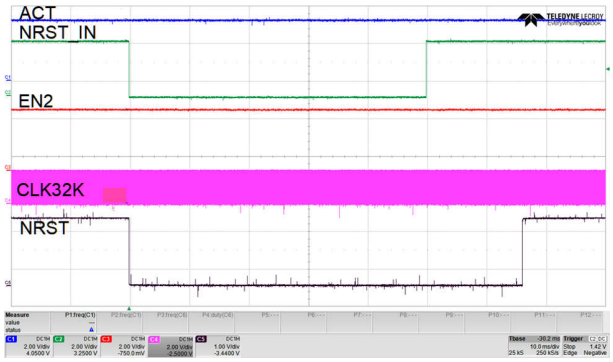


图 8-6. 复位由 NRST_IN 触发

图 8-2 显示了 表 8-1 中列出的上电序列。请注意，由于选择了 1 号时隙，EN1 与 ACT 信号同时上升。此外，注意由于选择了 2 号时隙，EN3 和 EN4 在 EN1 之后上升 625us。可使用 TPS38700-Q1 网页的“设计工具与仿真”部分下的 TPS38700-Q1 时序工具来帮助实现所需的时隙选择。

8.3 电源相关建议

8.3.1 电源指南

该器件设计为由电压范围为 2.2V 至 5.5V 的输入电源供电。VDD 引脚和 V_{BBAT} 引脚上存在 6V 的绝对最大额定值。良好的模拟实践是根据输入电压电源噪声，在 VDD 引脚和 GND 引脚之间放置一个 0.1μF 至 1μF 的电容器。如果为 VDD 供电的电压电源易受任何超过最大规格的大电压瞬变的影响，则必须采取额外的预防措施。

Copyright © 2025 Texas Instruments Incorporated

8.4 布局

8.4.1 布局指南

- 外部元件应尽量靠近器件放置。该配置可防止发生寄生误差。
- 不要对 VDD 电源节点使用长布线。VDD 电容器以及从电源到电容器的寄生电感可以形成 LC 电路，并产生峰值电压高于最大 VDD 电压的振铃。
- 不要使用长布线将电压输入到检测引脚。长布线会增加寄生电感并导致监控和诊断不准确。
- 敏感的模拟布线不能与数字布线平行。尽可能避免数字布线与模拟布线交叉，仅在绝对必要时可垂直交叉布线。

8.4.2 布局示例

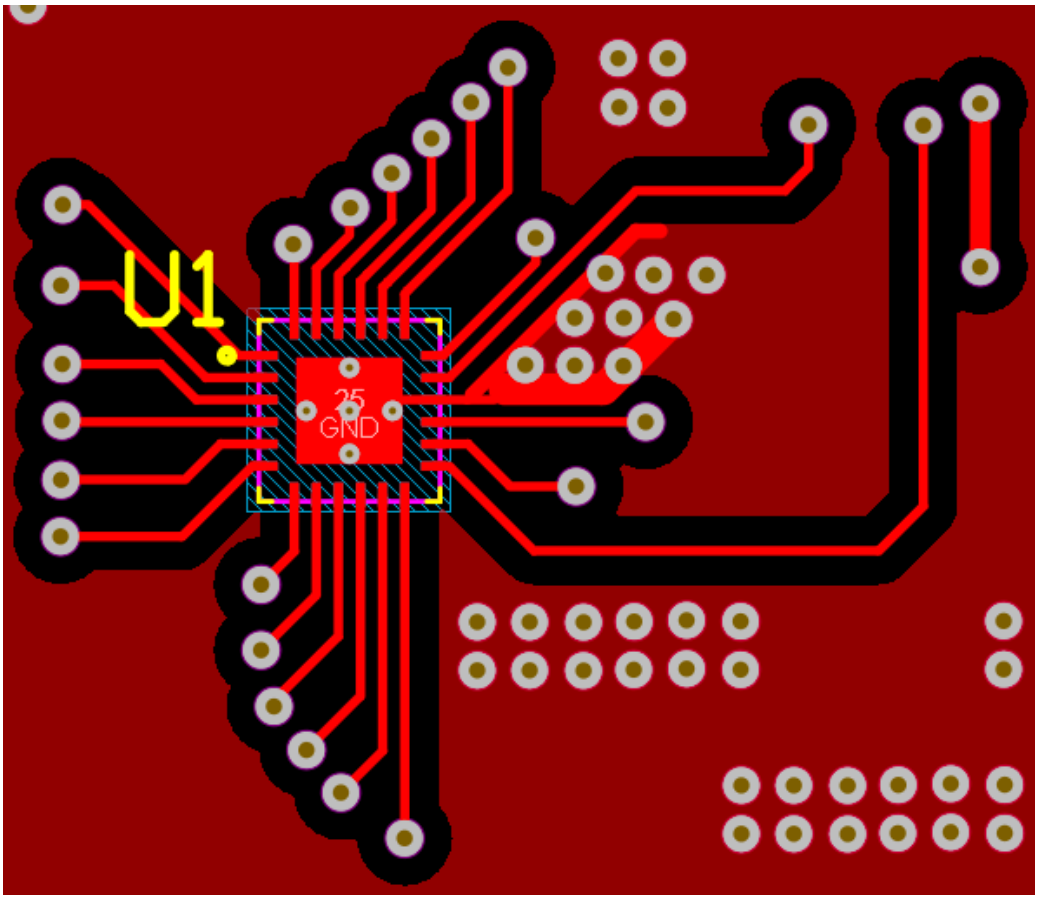


图 8-7. 建议布局

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

9.1 器件命名规则

表 9-2 表 9-1 展示了如何根据器件订购代码来解译器件的功能，而
表 9-2 展示了基于器件订购代码的序列配置。有关如何解译器件型号的更多信息，请参阅图 4-1。

表 9-1. 器件比较表

订购代码	功能	EN 引脚默认设置	ALT FUNC. 引脚	时隙 (µs)	I²C ADDR	复位延迟 (ms)	看门狗	PEC (1)	I²C 上拉电压 (V)
TPS38700C03NRGERQ1	序列发生器，NEM_PD	推挽低电平	开漏	625	3C	16	禁用	启用	3.3
	序列发生器	推挽低电平	不适用	10500	3C	16	禁用	禁用	1.2
	序列发生器	推挽低电平	不适用	10500	3C	16	禁用	禁用	1.2

(1) 对于启用了 PEC 的器件：

a. PEC 计算基于初始化为 0x00。
b. 如果出现 PEC 违规，则需要在 NIRQ 被置为有效之前进行下一个 I²C 事务。
c. 如果给出了错误 PEC，则会将 NIRQ 置为有效。
d. 如果成功写入正确的 PEC 字节后有额外的字节，则 NIRQ 会被置为有效，写入将失败。

Copyright © 2025 Texas Instruments Incorporated

表 9-2. 序列配置表

订购代码	引脚	定序上电	定序断电
03N	PWR_EN1	上电时隙 1	断电时隙 5
	PWR_EN2	上电时隙 1	断电时隙 1
	PWR_EN3	上电时隙 2	断电时隙 4
	PWR_EN4	上电时隙 2	断电时隙 4
	PWR_EN5	上电时隙 4	断电时隙 2
	PWR_EN6	上电时隙 6	断电时隙 1
	PWR_EN7	上电时隙 1	断电时隙 1
	PWR_EN8	上电时隙 2	断电时隙 4
	PWR_EN9	上电时隙 4	断电时隙 2
	PWR_EN10	上电时隙 0	断电时隙 0
	PWR_EN11	上电时隙 4	断电时隙 2
	PWR_EN12	上电时隙 0	断电时隙 0
	PWR_CLK32	上电时隙 4	断电时隙 4
		定序断电	定序上电
	SLP_EN1	睡眠退出时隙 0	睡眠进入时隙 0
	SLP_EN2	睡眠退出时隙 1	睡眠进入时隙 3
	SLP_EN3	睡眠退出时隙 3	睡眠进入时隙 2
	SLP_EN4	睡眠退出时隙 0	睡眠进入时隙 0
	SLP_EN5	睡眠退出时隙 0	睡眠进入时隙 0
	SLP_EN6	睡眠退出时隙 2	睡眠进入时隙 1
	SLP_EN7	睡眠退出时隙 1	睡眠进入时隙 3
	SLP_EN8	睡眠退出时隙 3	睡眠进入时隙 2
	SLP_EN9	睡眠退出时隙 4	睡眠进入时隙 1
	SLP_EN10	睡眠退出时隙 0	睡眠进入时隙 0
	SLP_EN11	睡眠退出时隙 1	睡眠进入时隙 1
	SLP_EN12	睡眠退出时隙 0	睡眠进入时隙 0
	SLP_CLK32	睡眠退出时隙 0	睡眠进入时隙 0

表 9-3. 序列配置表

订购代码	引脚	定序上电	定序断电
03N	PWR_EN1	为时隙 5 上电	为时隙 4 断电
	PWR_EN2	为时隙 3 上电	为时隙 6 断电
	PWR_EN3	为时隙 1 上电	为时隙 8 断电
	PWR_EN4	为时隙 6 上电	为时隙 3 断电
	PWR_EN5	为时隙 8 上电	为时隙 1 断电
	PWR_EN6	为时隙 7 上电	为时隙 2 断电
	PWR_EN7	为时隙 4 上电	为时隙 5 断电
	PWR_EN8	为时隙 2 上电	为时隙 7 断电

Copyright © 2025 Texas Instruments Incorporated

表 9-4. 序列配置表

订购代码	引脚	定序上电	定序断电
03N	PWR_EN1	为时隙 1 上电	为时隙 1 断电
	PWR_EN2	为时隙 2 上电	为时隙 2 断电
	PWR_EN3	为时隙 2 上电	为时隙 2 断电
	PWR_EN4	为时隙 3 上电	为时隙 3 断电
	PWR_EN5	为时隙 3 上电	为时隙 3 断电
	PWR_EN6	为时隙 4 上电	为时隙 4 断电
	PWR_EN7	为时隙 4 上电	为时隙 4 断电
	PWR_EN8	为时隙 4 上电	为时隙 4 断电
	PWR_EN9	为时隙 4 上电	为时隙 4 断电
	PWR_EN10	为时隙 5 上电	为时隙 5 断电
	PWR_EN11	为时隙 5 上电	为时隙 5 断电

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (December 2022) to Revision D (March 2025)	Page
• 添加了单独的 PEC 部分	31
• 向 0x30 添加了寄存器信息	33
• 更正了 0x21 中的拼写错误并添加了 0x30 的详细信息	37

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision B (October 2022) to Revision C (December 2022)	Page
• 更新了“电气特性”	8
• 添加了 I2C 逻辑电平的各种可订购产品	8

Changes from Revision A (July 2021) to Revision B (October 2022)	Page
• 量产数据发布	1
•	4
• 向“器件比较表”中添加了 0801N、0B01N 型号	67

机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

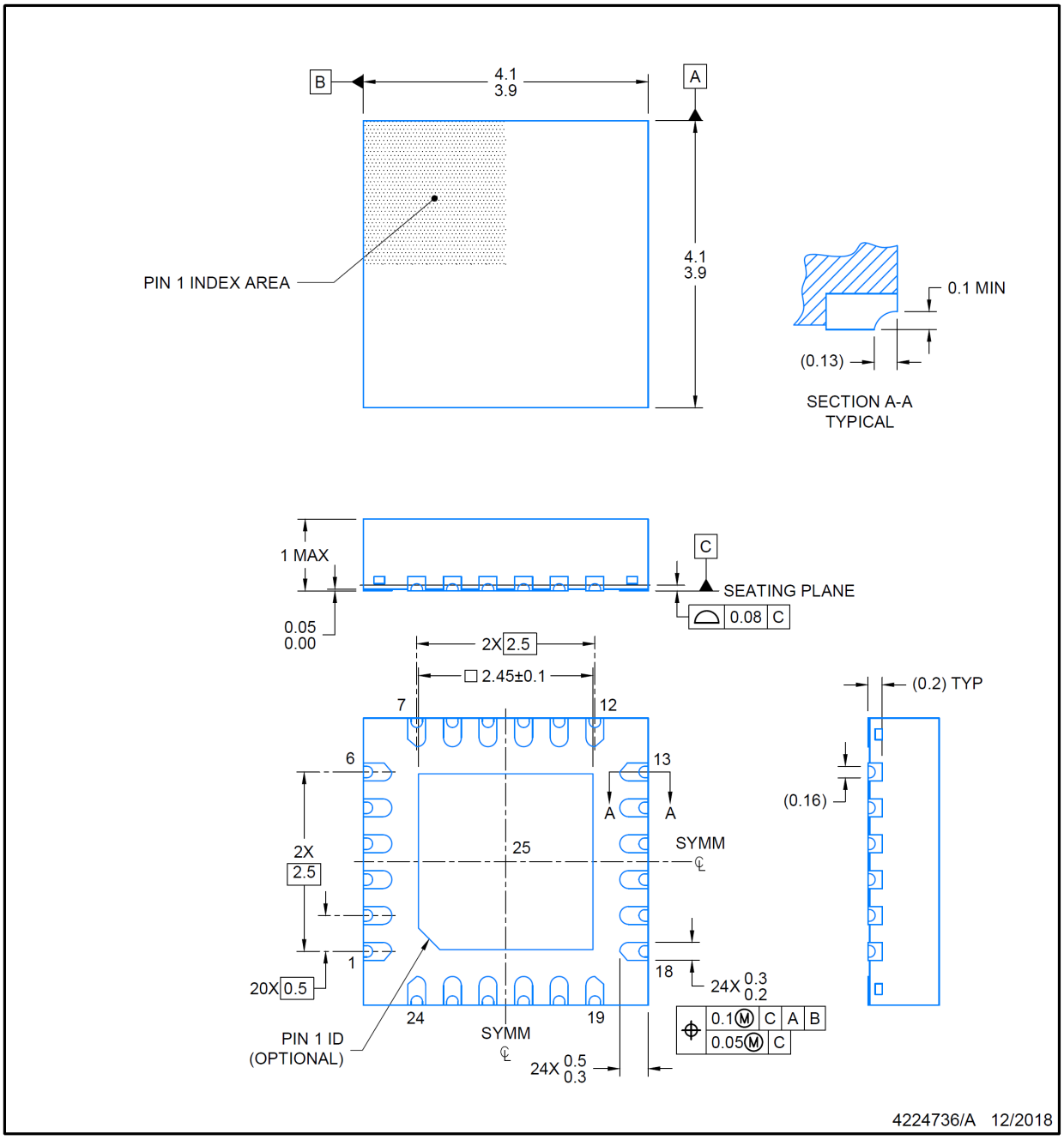
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

RGE0024N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

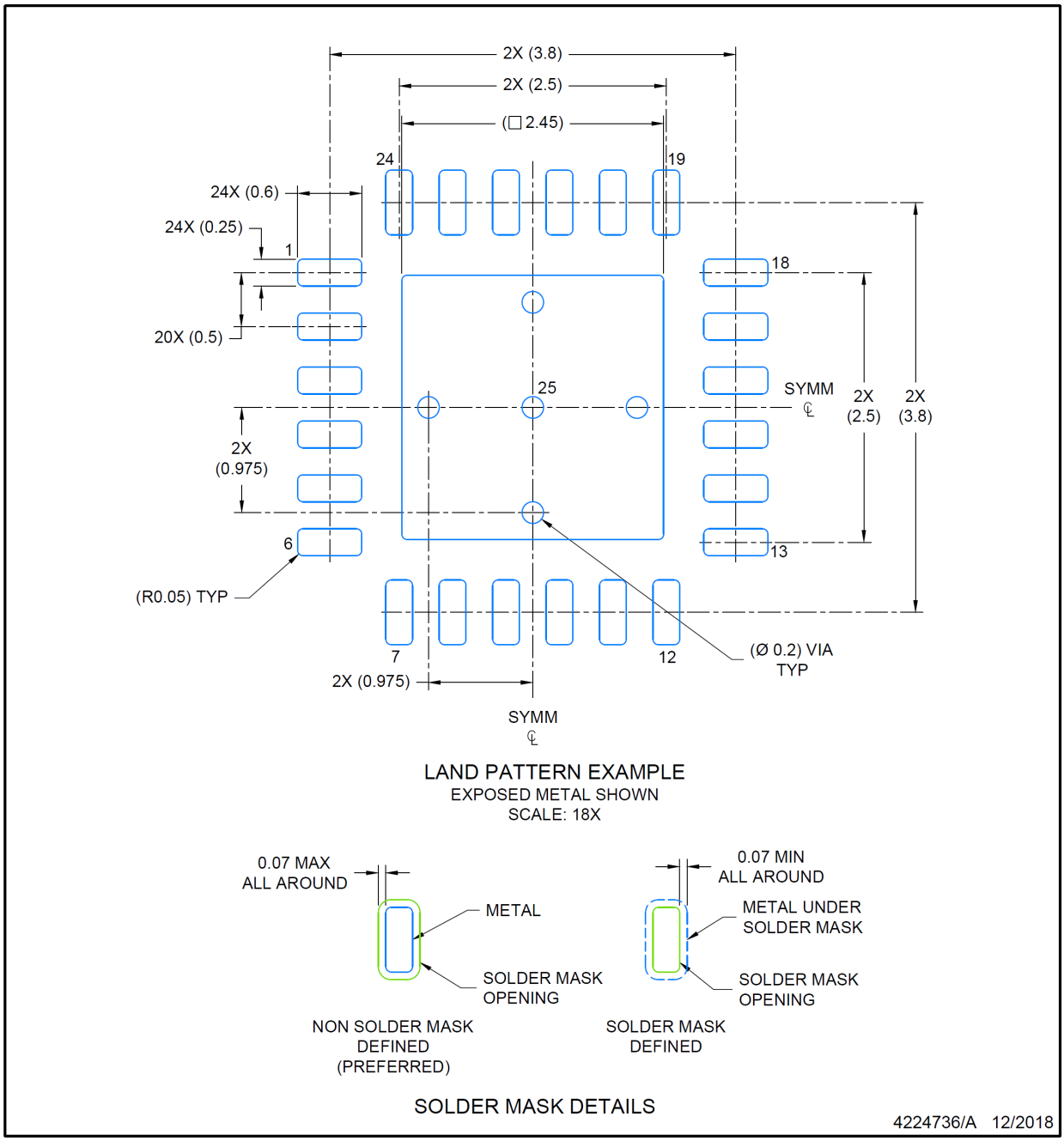
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

RGE0024N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

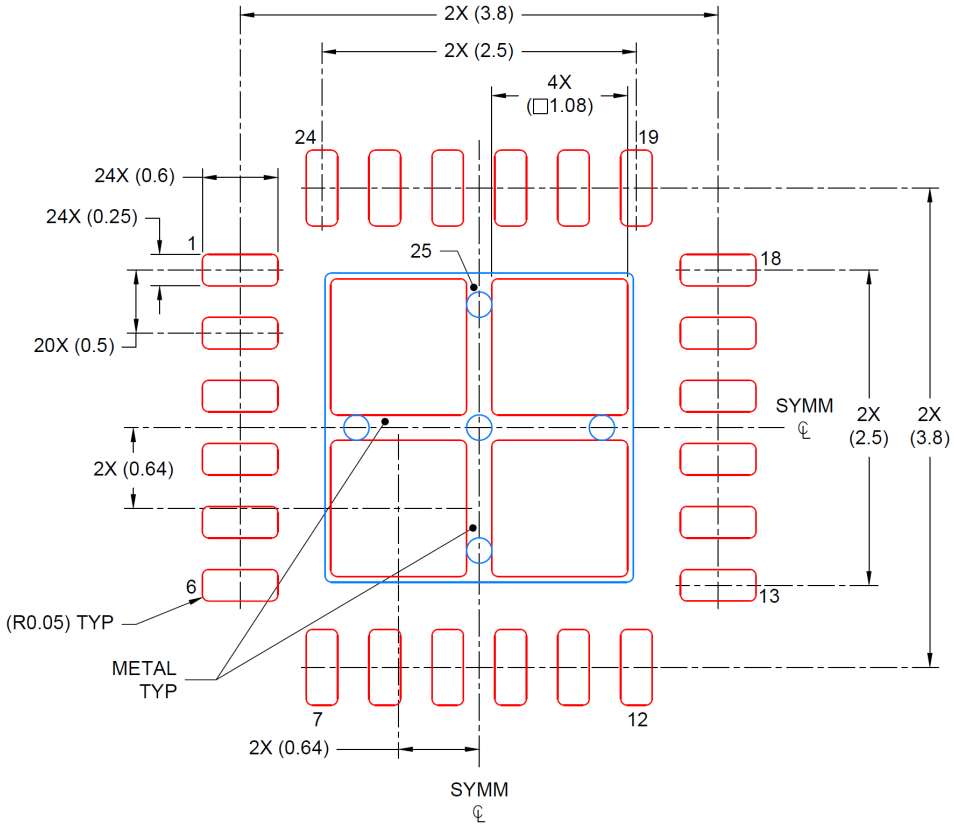
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RGE0024N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
78% PRINTED COVERAGE BY AREA
SCALE: 18X

4224736/A 12/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS38700BN31RGERQ1	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T38700B N31Q1
TPS38700BN31RGERQ1.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T38700B N31Q1
TPS38700C03NRGERQ1	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T38700C 03NQA1
TPS38700C03NRGERQ1.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T38700C 03NQA1

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS38700-Q1 :

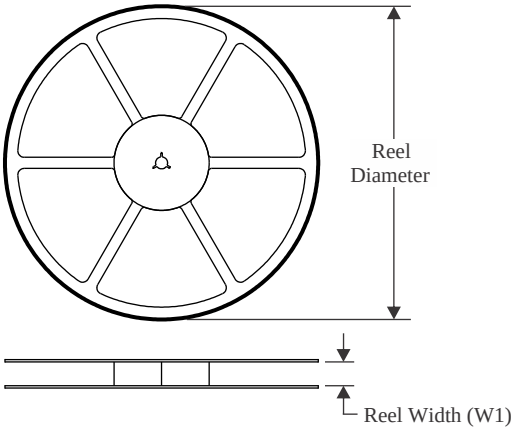
- Catalog : TPS38700

NOTE: Qualified Version Definitions:

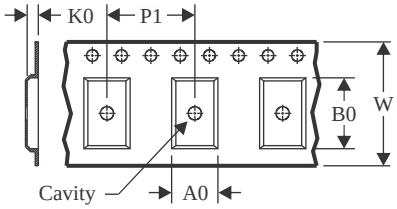
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

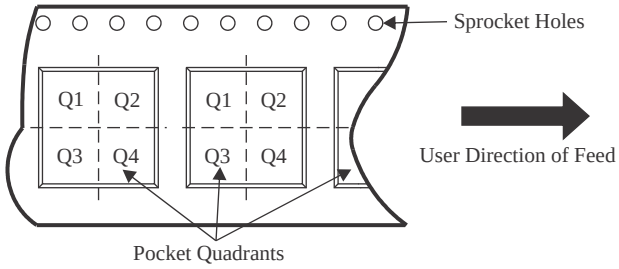


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

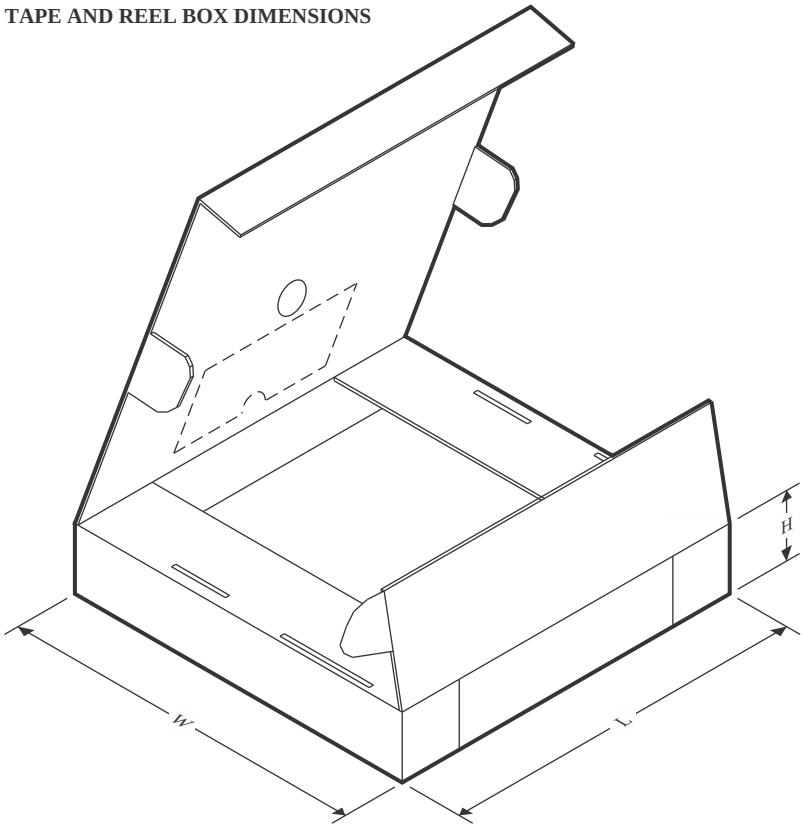
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS38700BN31RGERQ1	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TPS38700C03NRGERQ1	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



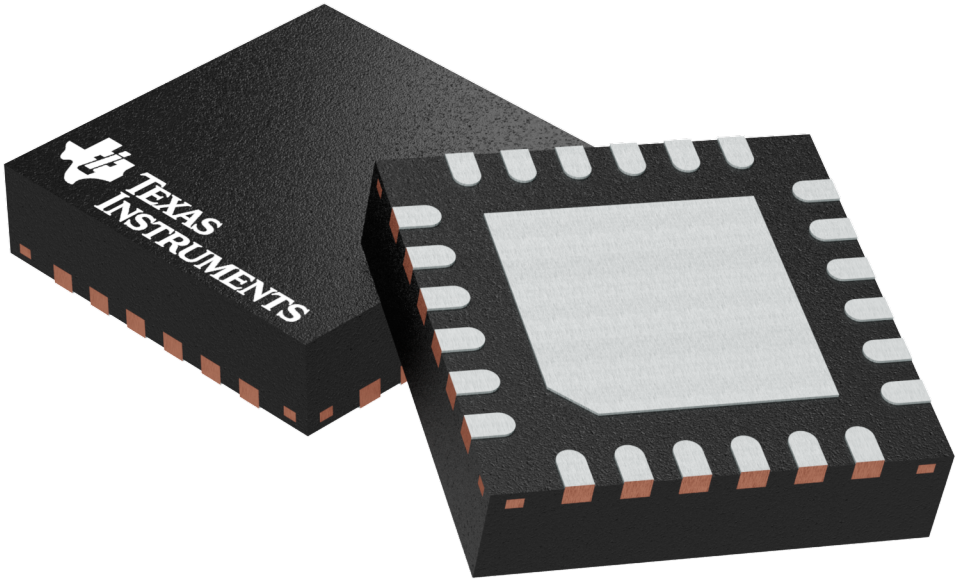
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS38700BN31RGERQ1	VQFN	RGE	24	3000	367.0	367.0	35.0
TPS38700C03NRGERQ1	VQFN	RGE	24	3000	367.0	367.0	35.0

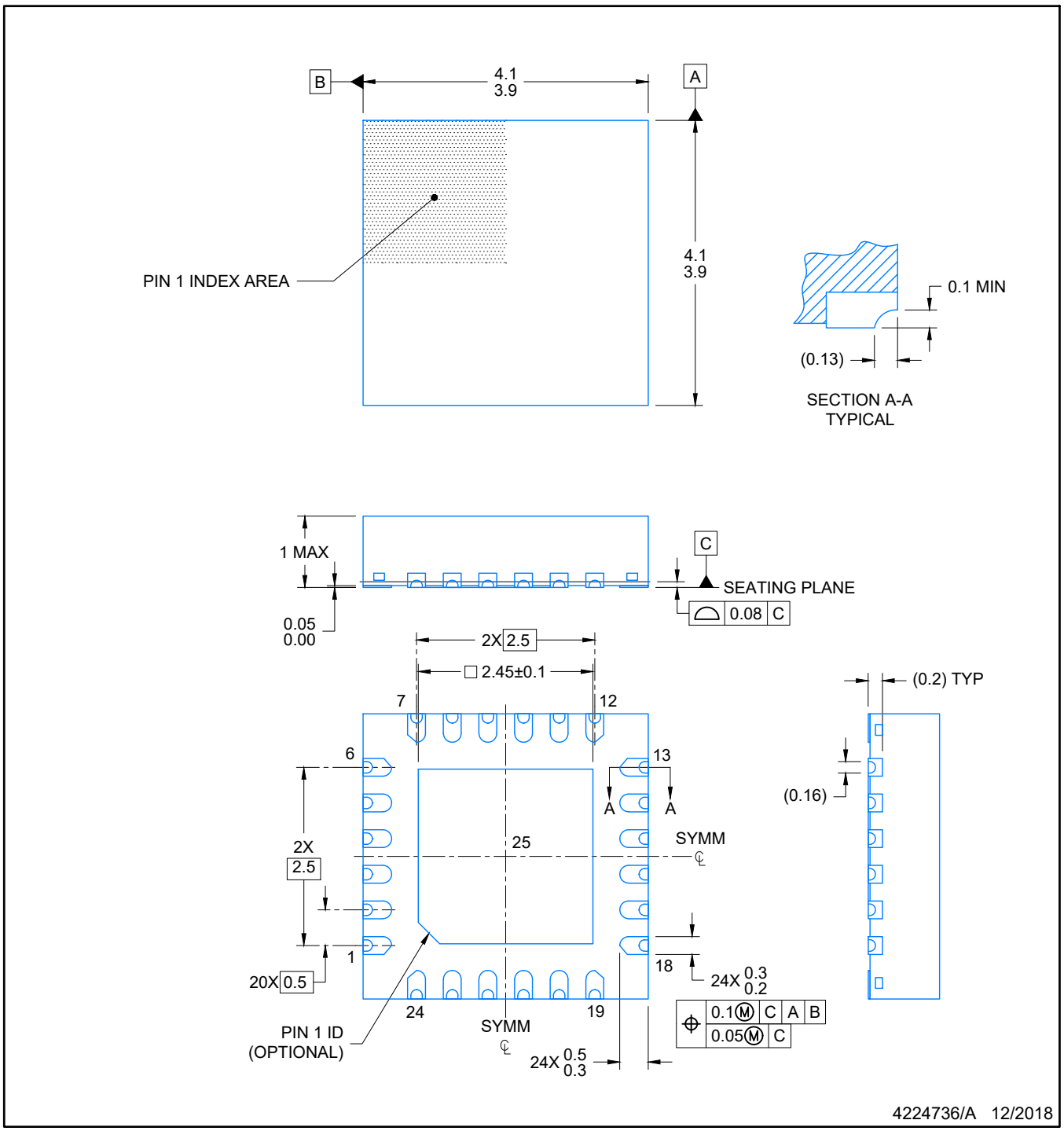
RGE 24

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

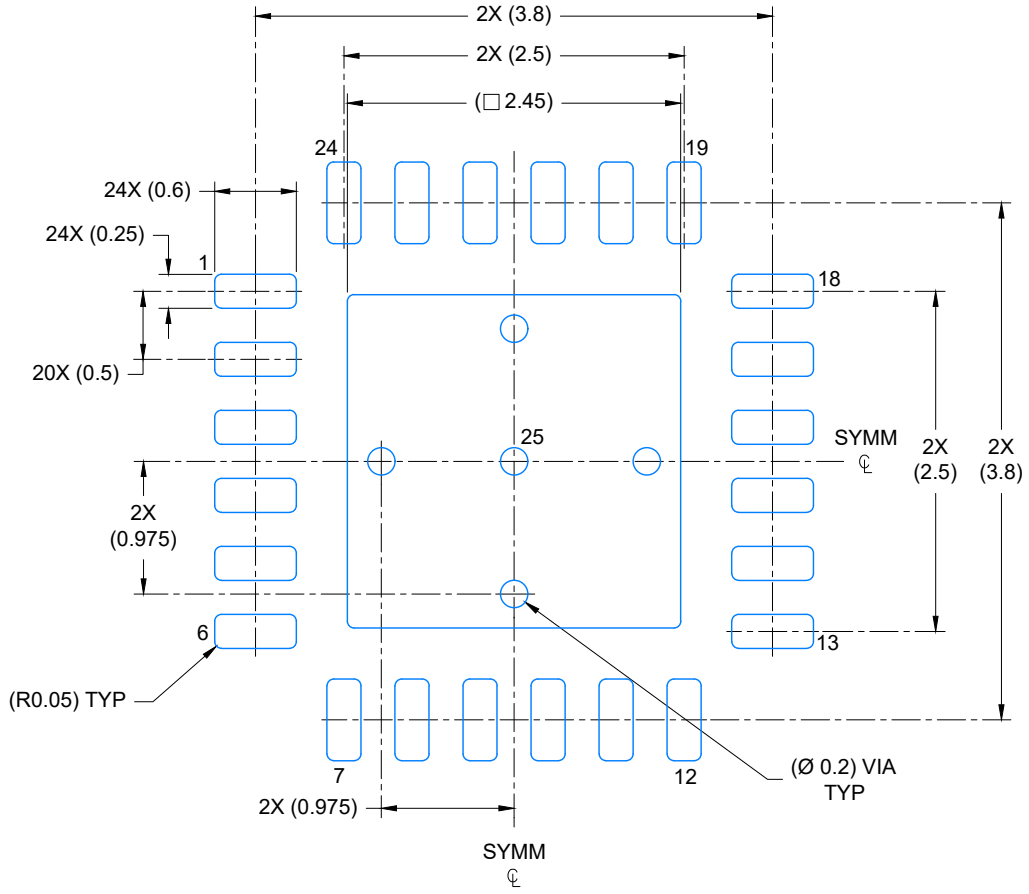


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

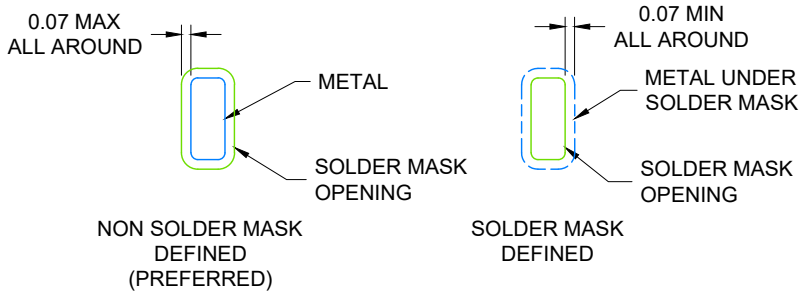


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 18X

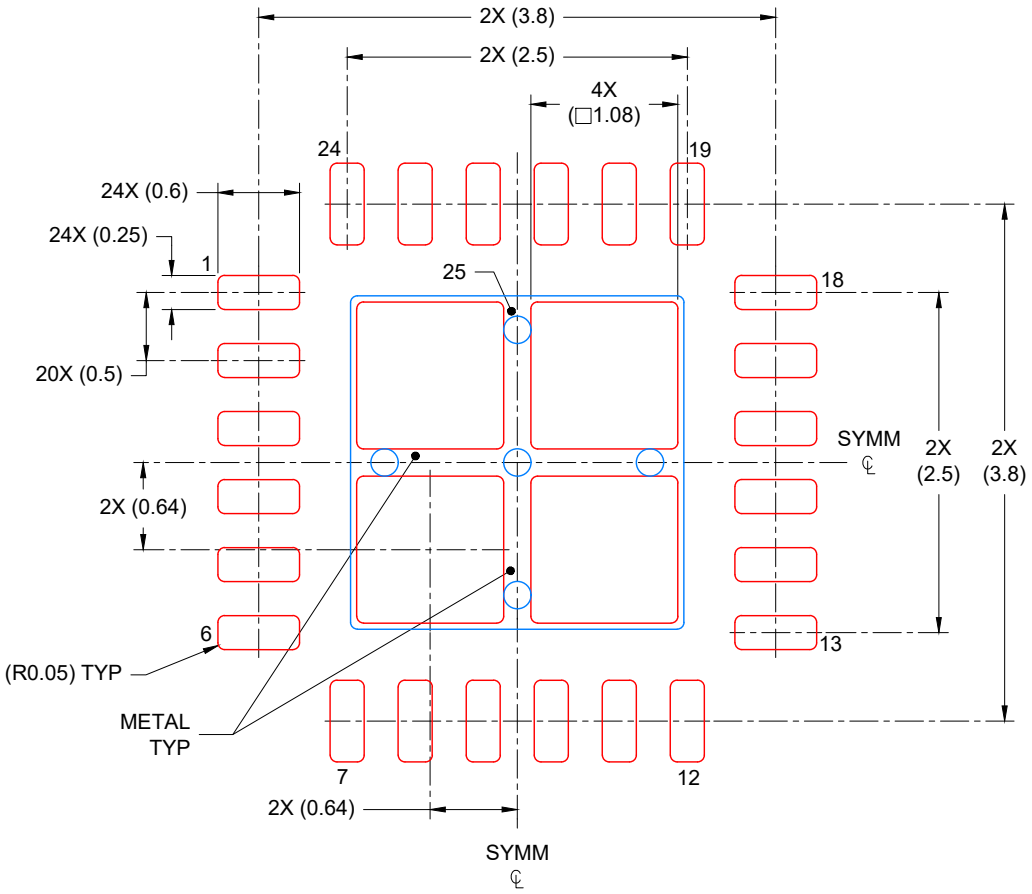


SOLDER MASK DETAILS

4224736/A 12/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
78% PRINTED COVERAGE BY AREA
SCALE: 18X

4224736/A 12/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月