TPS3762-Q1 具有内置自检和锁存器的汽车级 65V、4µA 窗口、过压或欠压监控器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准
  - 器件温度等级 1：-40°C 至 +125°C
- 符合功能安全标准
  - 专为功能安全应用开发
  - 可帮助进行 ISO 26262 系统设计的文档
  - 系统可满足 ASIL D 级要求
  - 硬件可满足 ASIL-D 要求
- 宽输入电压范围：2.7V 至 65V
- 低静态电流：2 µA
- 高阈值精度：1%（最大值）
- SENSE 上的 -65V 反极性保护
- 对 12V/24V 系统的 3 µs 快速 OV/UV 监控
- 固定和可编程复位延时时间
- 固定和可编程检测延迟
- TPS3762-Q1：集成式内置自检用于诊断
  - 内置自检监控器件是否存在内部故障，以确保功能安全
  - 输出复位锁存特性

2 应用

- 传感器融合和摄像头
- 数字驾驶舱处理单元
- 车载充电器
- ADAS 域控制器

3 说明

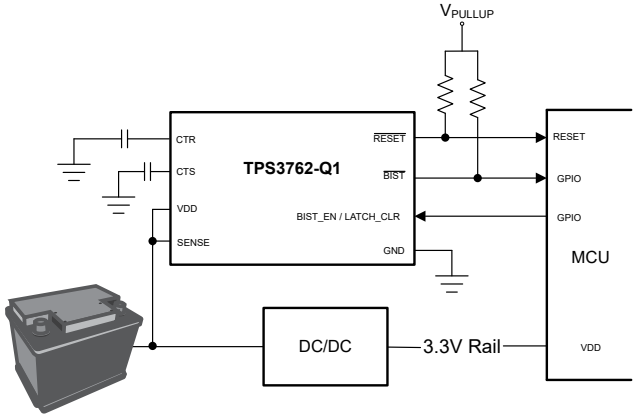
TPS3762-Q1 是一款具有 4 µA I_{DD}、0.9% 精度、快速检测时间 (3 µs) 和内置自检功能的 65V 输入电压监控器。该器件系列可直接连接到 12V/24V 汽车电池系统，从而持续监控过压 (OV) 和欠压 (UV) 情况。支持宽迟滞电压选项，可忽略较大的电压瞬变并防止出现错误的复位信号。

用于 OV 和 UV 故障的 TPS3762-Q1 输出（复位）使系统能够在发生故障时采取措施。TPS3762-Q1 附带 BIST，它在启动时实施以验证器件的运行状况，还具有可选锁存功能，以帮助系统在发生严重故障时进入安全状态。

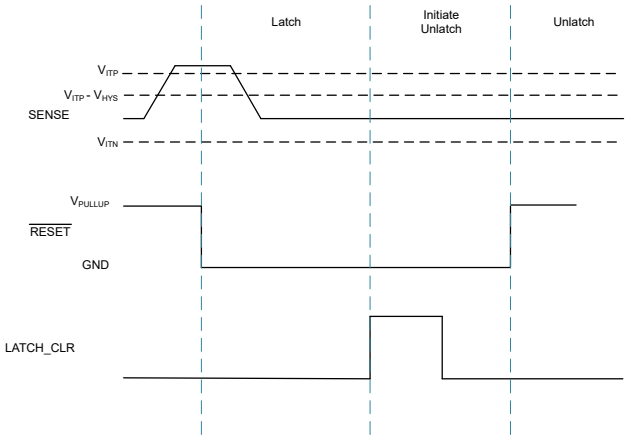
封装信息

器件型号	封装 (1)	封装尺寸(2)	封装尺寸（标称值）
TPS3762-Q1	DDF（SOT-23，8）	2.9mm × 2.8mm	2.9mm × 1.6mm

(1) 有关更多信息，请参阅 节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



典型应用电路



锁存器功能波形

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

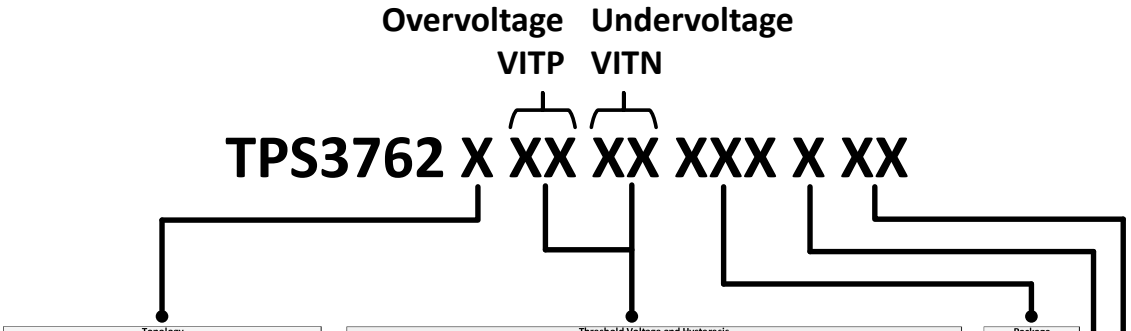
内容

1 特性 1
2 应用 1
3 说明 1
4 器件比较 3
4.1 器件命名规则 4
5 引脚配置和功能 5
6 规格 6
6.1 绝对最大额定值 6
6.2 ESD 等级 6
6.3 建议运行条件 6
6.4 热性能信息 7
6.5 电气特性 8
6.6 开关要求 10
6.7 时序要求 11
6.8 时序图 12
6.9 典型特性 14
7 详细说明 16
7.1 概述 16
7.2 功能方框图 16
7.3 特性说明 17
7.4 器件功能模式 30
8 应用和实施 31
8.1 应用信息 31
8.2 可调电压阈值 31
8.3 典型应用 32
8.4 电源相关建议 36
8.5 布局 36
9 器件和文档支持 38
9.1 文档支持 38
9.2 接收文档更新通知 38
9.3 支持资源 38
9.4 商标 38
9.5 静电放电警告 38
9.6 术语表 38
10 修订历史记录 38
11 机械、封装和可订购信息 39

Copyright © 2026 Texas Instruments Incorporated

4 器件比较

器件解码器显示了 TPS3762-Q1 的一些器件命名规则。并非所有器件名称都遵循此命名规则表。有关按阈值电压选项、BIST 配置、锁存器配置、CTR 选项、CTS 选项和 UV 旁路列出的每种器件型号的详细细分情况，请参阅节 4.1 了解更多详细信息。有关其他选项的详细信息和供货情况，请联系 TI 销售代表或访问 TI 的 E2E 论坛。



Topology

Suffix	RESET Time Delay	Sense Time Delay	Latch / UVbypass	RESET assertion during BIST
A	CTR	CTS	Disabled	Yes
B	CTR	CTS	Latch	Yes
C	CTR	CTS	UVBypass	Yes
D	CTR	CTS	Both Enabled	Yes
E	CTR	Fixed	Disabled	Yes
F	CTR	Fixed	Latch	Yes
G	CTR	Fixed	UVBypass	Yes
H	CTR	Fixed	Both Enabled	Yes
I	CTR	CTS	Disabled	No
J	CTR	CTS	Latch	No
K	CTR	CTS	UVBypass	No
L	CTR	CTS	Both Enabled	No
M	CTR	Fixed	Disabled	No
N	CTR	Fixed	Latch	No
O	CTR	Fixed	UVBypass	No
P	CTR	Fixed	Both Enabled	No
Q	200ms	Fixed	Disabled	Yes
R	200ms	Fixed	Latch	Yes

Threshold Voltage and Hysteresis

2% Hysteresis Option

Suffix	VIT	Suffix	VIT
02	800mV	D7	8.5V
A7	2.7V	D8	9V
A8	2.8V	D9	9.5V
A9	2.9V	E0	10V
B0	3V	E1	11V
B1	3.1V	E2	12V
B2	3.2V	E3	13V
B3	3.3V	E4	14V
B4	3.4V	E5	15V
B5	3.5V	E6	16V
BG	3.6V	E7	17V
B7	3.7V	E8	18V
B8	3.8V	E9	20V
B9	3.9V	F0	22V
C0	4V	F1	24V
C1	4.1V	F2	26V
C2	4.2V	F3	28V
C3	4.3V	F4	30V
C4	4.4V	F5	32V
C5	4.5V	F6	34V
C6	4.6V	F7	35V
C7	4.7V	F8	36V
C8	4.8V	F9	40V
C9	4.9V	G0	45V
D0	5V	G1	50V
D1	5.5V	G2	55V
D2	6V	G3	60V
D3	6.5V		
D4	7V		
D5	7.5V		
D6	8V		
UV	UV Only	OV	OV Only

5% Hysteresis Option

Suffix	VIT	Suffix	VIT
05	800mV	K7	8.5V
H7	2.7V	K8	9V
H8	2.8V	K9	9.5V
H9	2.9V	L0	10V
I0	3V	L1	11V
I1	3.1V	L2	12V
I2	3.2V	L3	13V
I3	3.3V	L4	14V
I4	3.4V	L5	15V
I5	3.5V	L6	16V
IG	3.6V	L7	17V
I7	3.7V	L8	18V
I8	3.8V	L9	20V
I9	3.9V	M0	22V
J0	4V	M1	24V
J1	4.1V	M2	26V
J2	4.2V	M3	28V
J3	4.3V	M4	30V
J4	4.4V	M5	32V
J5	4.5V	M6	34V
J6	4.6V	M7	35V
J7	4.7V	M8	36V
J8	4.8V	M9	40V
J9	4.9V	N0	45V
K0	5V	N1	50V
K1	5.5V	N2	55V
K2	6V	N3	60V
K3	6.5V	N4	65V
K4	7V		
K5	7.5V		
K6	8V		

10% Hysteresis Option

Suffix	VIT	Suffix	VIT
10	800mV	R7	8.5V
O7	2.7V	R8	9V
O8	2.8V	R9	9.5V
O9	2.9V	S0	10V
P0	3V	S1	11V
P1	3.1V	S2	12V
P2	3.2V	S3	13V
P3	3.3V	S4	14V
P4	3.4V	S5	15V
P5	3.5V	S6	16V
PG	3.6V	S7	17V
P7	3.7V	S8	18V
P8	3.8V	S9	20V
P9	3.9V	T0	22V
Q0	4V	T1	24V
Q1	4.1V	T2	26V
Q2	4.2V	T3	28V
Q3	4.3V	T4	30V
Q4	4.4V	T5	32V
Q5	4.5V	T6	34V
Q6	4.6V	T7	35V
Q7	4.7V	T8	36V
Q8	4.8V	T9	40V
Q9	4.9V	U0	45V
R0	5V	U1	50V
R1	5.5V	U2	55V
R2	6V	U3	60V
R3	6.5V	U4	65V
R4	7V		
R5	7.5V		
R6	8V		

Package

Suffix	Name
DDF	SOT-23

Reel

Suffix	Name
R	Large

Rating

Suffix	Name
Q1	AUTO

0.65% Hysteresis Option

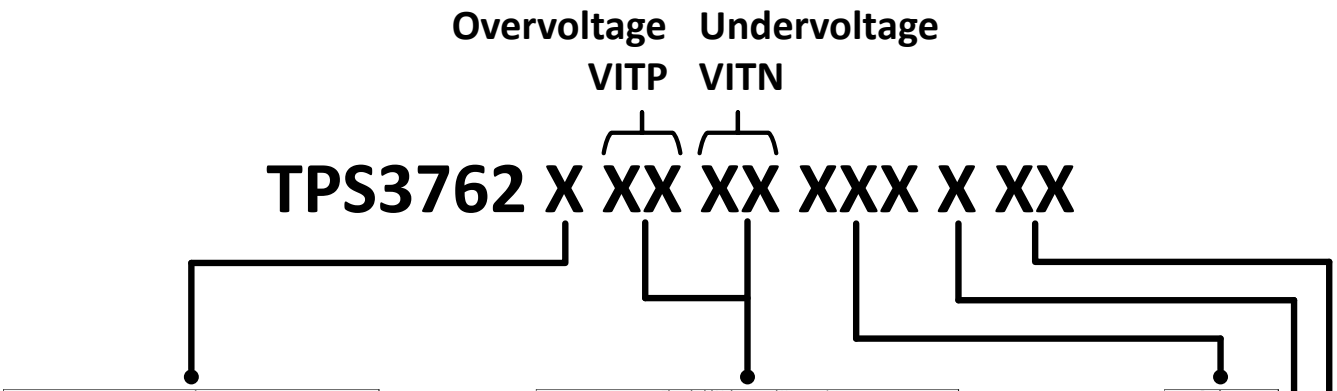
Suffix	VIT	Suffix	VIT
07	800mV	CF	3.6V
AG	2.7V	CG	3.7V
AH	2.8V	CH	3.8V
AI	2.9V	CI	3.9V
AJ	3V	DA	4V
CA	3.1V	DB	4.1V
CB	3.2V	DC	4.2V

Suffix	VIT	Suffix	VIT
CC	3.3V	DD	4.3V
CD	3.4V	DE	4.4V
CE	3.5V	DF	4.5V
DG	4.6V	EG	8V
DH	4.7V	EH	8.5V
DI	4.8V	EI	9V
DJ	4.9V	EJ	9.5V

Suffix	VIT	Suffix	VIT
EA	5V	FA	10V
EB	5.5V	FB	11V
EC	6V	FC	12V
ED	6.5V	FD	13V
EE	7V	FE	14V
EF	7.5V	FF	15V

1. VIT 为 800mV 的后缀 02、05 和 10 与可调型号相对应，没有内部分压器
2. 有关按器件型号分类的解码表，请参阅节 4.1。
3. 有关固定 SENSE 延时时间时序的信息，请参阅开关特性。

Copyright © 2026 Texas Instruments Incorporated



Topology				
Suffix	RESET Time Delay	Sense Time Delay	Latch / UVbypass	RESET assertion during BIST
A	CTR	CTS	Disabled	Yes
B	CTR	CTS	Latch	Yes
C	CTR	CTS	UVBypass	Yes
D	CTR	CTS	Both Enabled	Yes
E	CTR	Fixed	Disabled	Yes
F	CTR	Fixed	Latch	Yes
G	CTR	Fixed	UVBypass	Yes
H	CTR	Fixed	Both Enabled	Yes
I	CTR	CTS	Disabled	No
J	CTR	CTS	Latch	No
K	CTR	CTS	UVBypass	No
L	CTR	CTS	Both Enabled	No
M	CTR	Fixed	Disabled	No
N	CTR	Fixed	Latch	No
O	CTR	Fixed	UVBypass	No
P	CTR	Fixed	Both Enabled	No
Q	200ms	Fixed	Disabled	Yes
R	200ms	Fixed	Latch	Yes

Threshold Voltage and Hysteresis				
Suffix	Window	Hysteresis	VITP (OV)	VITN (UV)
W3	±3%	0.65%	824mV	776mV
W4	±4%	2%	832mV	768mV
WH	±4%	0.65%	832mV	768mV
W5	±5%	0.65%	840mV	760mV
W6	±6%	0.65%	848mV	752mV
W7	±7%	0.65%	856mV	744mV
W8	±8%	0.65%	864mV	736mV
W9	±9%	0.65%	872mV	728mV
WA	±10%	0.65%	880mV	720mV
WF	±15%	0.65%	920mV	680mV

Package	
Suffix	Name
DDF	SOT-23

Reel	
Suffix	Name
R	Large

Rating	
Suffix	Name
Q1	AUTO

4.1 器件命名规则

节 4 中的器件解码器描述了如何根据器件型号来解码器件的功能。并非所有器件型号都遵循此命名规则。将表 4-1 用作所有器件的器件型号解码表。

表 4-1. 器件配置表

可订购器件名称	过压	欠压	SENSE 延时时间 RESET 延时时间	锁存器/ UV 旁路	BIST 期间 RESET 置为有效
TPS3762D02OVDDFRQ1	V_{ITP}：800mV V_{HYS}：2%	不适用	SENSE：CTS 复位：CTR	锁存器：启用 UV 旁路：启用	启用
TPS3762EUVF4DDFRQ1	不适用	V_{ITN}：30.0V V_{HYS}：2%	SENSE：固定 复位：CTR	锁存器：禁用 UV 旁路：禁用	启用
TPS3762EG4OVDDFRQ1	V_{ITP}：54.0V V_{HYS}：2%	不适用	SENSE：固定 复位：CTR	锁存器：禁用 UV 旁路：禁用	启用
TPS3762BUV05DDFRQ1	不适用	V_{ITN}：800mV V_{HYS}：5%	SENSE：CTS 复位：CTR	锁存器：启用 UV 旁路：禁用	启用
TPS3762EUV02DDFRQ1 节 4.1	不适用	V_{ITN}：800mV V_{HYS}：2%	SENSE：固定 复位：CTR	锁存器：禁用 UV 旁路：禁用	启用
TPS3762F02OVDDFRQ1 1	V_{ITP}：800mV V_{HYS}：2%	不适用	SENSE：固定 复位：CTR	锁存器：启用 UV 旁路：禁用	启用
TPS3762DW4W4DDFRQ1 1	V_{ITP}：832mV V_{HYS}：2%	V_{ITN}：768mV V_{HYS}：2%	SENSE：CTS 复位：CTR	锁存器：启用 UV 旁路：启用	启用

1. 有关其他选项的详细信息和可用性，请联系 TI 销售代表或访问 TI 的 E2E 论坛
2. 有关固定 SENSE 延迟时间时序，请参阅开关特性。
3. 产品预发布。请咨询德州仪器 (TI) 代表以了解供货情况

Copyright © 2026 Texas Instruments Incorporated

5 引脚配置和功能

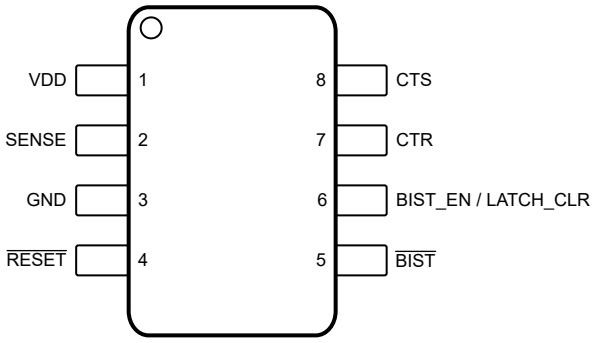


图 5-1. DDF 封装，8 引脚 SOT-23，TPS3762-Q1（顶视图）

表 5-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
VDD	1	I	**输入电源电压：**电源电压引脚。对于有噪声的系统，请使用 0.1µF 电容器旁路至 GND。
SENSE	2	I	**检测电压：**将此引脚连接到必须监控的电源轨。请参阅第 8.3.2 节以了解更多详细信息。 检测拓扑：**过压 (OV) 或欠压 (UV) 或窗口 (OV + UV)**
GND	3	-	**接地。**接地引脚。所有 GND 引脚必须以电气方式连接到电路板接地。
$\overline{\text{RESET}}$	4	O	**输出复位信号：**当 SENSE 在 CTS 设置的检测延时时间后超过电压阈值时，$\overline{\text{RESET}}$ 置为有效、并在 SENSE 退出故障条件后在 CTR 设置的复位延时时间内保持有效。对于锁存器型号，$\overline{\text{RESET}}$ 保持有效状态、直到锁存器被清除。低电平有效开漏复位输出需要一个外部上拉电阻器。请参阅第 8.3.3.2 节以了解更多详细信息。 输出拓扑：**开漏低电平有效**
$\overline{\text{BIST}}$	5	O	**内置自检：**当 BIST_EN / LATCH_CLR 或 BIST_EN 引脚上出现逻辑高电平输入时，$\overline{\text{BIST}}$ 置为有效，这将启动内部 BIST 测试。$\overline{\text{BIST}}$ 在 $t_{\overline{\text{BIST}}}$ 时间后恢复，表示 BIST 成功完成。如果在 BIST 期间出现故障，$\overline{\text{BIST}}$ 保持置为有效的时间会长于 $t_{\overline{\text{BIST}}}$。$\overline{\text{BIST}}$ 低电平有效开漏输出需要一个外部上拉电阻器。请参阅第 8.3.6 节以了解更多详细信息。
BIST_EN / LATCH_CLR	6	I	**内置自检使能和锁存清除：**BIST_EN / LATCH_CLR 上必须出现上升沿输入才能启动 BIST。对于启用了锁存器的器件，逻辑低电平输入将启用锁存器，逻辑高电平输入将禁用/清除锁存。引脚 6 具有一个内部 100kΩ 下拉电阻器，可用于实现启动锁存。请参阅第 8.3.6 节以了解更多详细信息。
CTR	7	O	**RESET 延时时间：**$\overline{\text{RESET}}$ 的用户可编程复位延时时间。连接外部电容器来实现可调节的延时时间，或使引脚悬空来实现最短延时。有关更多详细信息，请参阅第 8.3.4 节。
CTS	8	O	**SENSE 延时时间：**SENSE 的用户可编程检测延时时间。连接外部电容器来实现可调节的延时时间，或使引脚悬空来实现最短延时。请参阅第 8.3.5 节以了解更多详细信息。

(1) I = 输入；O = 输出

Copyright © 2026 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电压	V_{DD}、V_{SENSE}（可调节）、$V_{\overline{RESET}}$	-0.3	70	V
电压	$V_{SENSE(Fixed)}$	-65	70	V
电压	V_{CTS}、V_{CTR}	-0.3	6	V
电压	V_{BIST}、V_{BIST_EN}、$V_{BIST_EN/LATCH_CLR}$	-0.3	6	V
电流	I_{RESET}、I_{BIST}		10	mA
温度(2)	工作结温，T_J	-40	150	°C
温度(2)	工作环境温度，T_A	-40	150	°C
温度(2)	贮存温度，T_{stg}	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 由于该器件的耗散功率较低，因此假设 T_J 等于 T_A。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 (1)	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 标准	±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
电压	V_{DD}	2.7		65	V
电压	V_{DD}（50ms 瞬态）(2)			70	V
电压	V_{SENSE}、$V_{\overline{RESET}}$	0		65	V
电压	V_{CTS}、V_{CTR}	0		5.5	V
电压	$V_{\overline{BIST}}$、V_{BIST_EN}、$V_{BIST_EN/LATCH_CLR}$	0		5.5	V
电流	$I_{\overline{RESET}}$、$I_{\overline{BIST}}$	0		5	mA
T_J (1)	结温（自然通风温度）	-40		125	°C

(1) 由于该器件的耗散功率较低，因此假设 T_J 等于 T_A。
(2) 这是一种瞬态规格，在此条件下反复运行器件可能会影响器件寿命。

Copyright © 2026 Texas Instruments Incorporated

6.4 热性能信息

热指标(1)		TPS3762-Q1 DDF 8-PIN	单位
$R_{\theta JA}$	结至环境热阻	154.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	77.4	°C/W
$R_{\theta JB}$	结至电路板热阻	73.2	°C/W
ψ_{JT}	结至顶部特征参数	4.8	°C/W
ψ_{JB}	结至电路板特征参数	72.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

Copyright © 2026 Texas Instruments Incorporated

6.5 电气特性

条件为 $V_{DD(MIN)} \leqslant V_{DD} \leqslant V_{DD\ (MAX)}$、CTR = CTS = 开路、输出 $\overline{RESET}$ 上拉电阻器 R_{PU} = 10kΩ、电压 V_{PU} = 5.5V、输出 $\overline{BIST}$ 上拉电阻器 $R_{PU_\overline{BIST}}$ = 10kΩ、电压 $V_{PU_\overline{BIST}}$ = 5.5V 且负载 C_{LOAD} = 10pF。自然通风条件下的工作温度范围为 T_A = –40℃ 至 125℃（除非另有说明）。典型值为 T_A = 25°C、V_{DD} = 12V，且 V_{IT} = 6.5V (V_{IT} 指的是 V_{ITN} 或 V_{ITP})。

参数		测试条件	最小值	典型值	最大值	单位
电源						
V_{DD}	电源电压		2.7		65	V
UVLO (1)	欠压锁定	V_{DD} 上升至 $V_{DD\ (MIN)}$ 以上			2.6	V
UVLO(HYS) (1)	欠压锁定迟滞	V_{DD} 下降至 $V_{DD(MIN)}$ 以下		500		mV
$V_{POR(\overline{RESET})}$	上电复位电压 (2) $\overline{RESET}$、低电平有效（开漏）	$V_{OL(MAX)}$ = 300mV $I_{OUT\ (Sink)}$ = 15μA			1.4	V
$V_{POR(\overline{BIST})}$	上电复位电压 (2) $\overline{BIST}$、低电平有效（开漏）	$V_{OL(MAX)}$ = 300mV $I_{OUT\ (Sink)}$ = 15μA			1.4	V
I_{DD}	流入 V_{DD} 引脚的电源电流	V_{IT} = 800mV $V_{DD\ (MIN)} \leqslant V_{DD} \leqslant V_{DD\ (MAX)}$		4	8.1	μA
I_{DD}	流入 VDD 引脚的电源电流	V_{IT} = 2.7V 至 65V $V_{DD(MIN)} \leqslant V_{DD} \leqslant V_{DD\ (MAX)}$			8.1	μA
SENSE（输入）						
I_{SENSE}	输入电流	V_{IT} = 800mV			200	nA
I_{SENSE}	输入电流	V_{IT} = 2.7V 至 65V		1.5	5	μA
V_{ITN}	负向输入阈值（欠压）	V_{ITN} = 2.7V 至 65V	-1		1	%
V_{ITN}	负向输入阈值（欠压）	V_{ITN} = 800mV (3)	-0.9		0.9	%
V_{ITP}	正向输入阈值（过压）	V_{ITP} = 2.7V 至 65V	-1		1	%
V_{ITP}	正向输入阈值（过压）	V_{ITP} = 800mV (3)	-0.9		0.9	%
V_{HYS}	迟滞精度 (4)	V_{IT} = 0.8V 和 2.7V 至 65V V_{HYS} 范围 = 0.7%	0.6	0.7	0.8	%
V_{HYS}	迟滞精度 (4)	V_{HYS} 范围 = 2%	1.5	2	2.5	%
V_{HYS}	迟滞精度 (4)	V_{HYS} 范围 = 5%	4.5	5	6	%
V_{HYS}	迟滞精度 (4)	V_{HYS} 范围 = 10%	9	10	11	%
$\overline{RESET}$（输出）						
$I_{lkg(OD)}$	开漏漏电流	$V_{\overline{RESET}}$ = 5.5V $V_{ITN} < V_{SENSE} < V_{ITP}$			300	nA
$I_{lkg(OD)}$	开漏漏电流	$V_{\overline{RESET}}$ = 65V $V_{ITN} < V_{SENSE} < V_{ITP}$			300	nA
V_{OL} (5)	低电平输出电压	2.7V ⩽ VDD ⩽ 65V $I_{\overline{RESET}}$ = 2.7mA			350	mV

Copyright © 2026 Texas Instruments Incorporated

6.5 电气特性（续）

条件为 $V_{DD(MIN)} \leq V_{DD} \leq V_{DD\ (MAX)}$、CTR = CTS = 开路、输出 $\overline{RESET}$ 上拉电阻器 R_{PU} = 10kΩ、电压 V_{PU} = 5.5V、输出 $\overline{BIST}$ 上拉电阻器 $R_{PU_\overline{BIST}}$ = 10kΩ、电压 $V_{PU_\overline{BIST}}$ = 5.5V 且负载 C_{LOAD} = 10pF。自然通风条件下的工作温度范围为 T_A = –40℃ 至 125℃（除非另有说明）。典型值为 T_A = 25°C、V_{DD} = 12V，且 V_{IT} = 6.5V (V_{IT} 指的是 V_{ITN} 或 V_{ITP})。

参数		测试条件	最小值	典型值	最大值	单位
电容器时序（CTS、CTR）						
R_{CTR}	内部电阻 (CTR)		2.96	3.7	4.44	MΩ
R_{CTS}	内部电阻 (CTS)		2.96	3.7	4.44	MΩ
内置自检						
$I_{lkg(\overline{BIST})}$	开漏漏电流	$V_{\overline{BIST}}$ = 5.5V $V_{ITN} < V_{SENSE} < V_{ITP}$			300	nA
$I_{lkg(\overline{BIST})}$	开漏漏电流	$V_{\overline{BIST}}$ = 3.3V $V_{ITN} < V_{SENSE} < V_{ITP}$			300	nA
$V_{\overline{BIST}_OL}$	低电平输出电压	2.7V ≤ VDD ≤ 65V $I_{\overline{BIST}}$ = 5mA			300	mV
V_{BIST_EN}	BIST_EN 引脚逻辑低电平输入				500	mV
V_{BIST_EN}	BIST_EN 引脚逻辑高电平输入		1300			mV
$V_{BIST_EN/LATCH_CLR}$	LATCH_CLR 引脚逻辑低电平输入				500	mV
$V_{BIST_EN/LATCH_CLR}$	LATCH_CLR 引脚逻辑高电平输入		1300			mV

(1) 当 V_{DD} 电压降至 UVLO 以下时，$\overline{RESET}$ 被置为有效。V_{DD} 压摆率 ≤ 100mV/µs
(2) V_{POR} 是受控输出状态下的最小 V_{DD} 电压。低于 V_{POR} 时，无法确定输出。V_{DD} 压摆率 ≤ 100mV/µs
(3) 有关可调节电压指南和电阻器选择，请参阅“应用和实施”部分中的“可调节电压阈值”
(4) 迟滞与 V_{ITP} 和 V_{ITN} 电压阈值相关。V_{ITP} 具有负迟滞，V_{ITN} 具有正迟滞。
(5) 有关 V_{OH} 和 V_{OL} 与输出型号的关系，请参阅时序要求表后面的时序图

Copyright © 2026 Texas Instruments Incorporated

6.6 开关要求

条件为 $V_{DD(MIN)} \leq V_{DD} \leq V_{DD\ (MAX)}$、CTR = CTS = 开路、输出 $\overline{RESET}$ 上拉电阻器 R_{PU} = 10kΩ、电压 V_{PU} = 5.5V、输出 $\overline{BIST}$ 上拉电阻器 $R_{PU_\overline{BIST}}$ = 10kΩ、电压 $V_{PU_\overline{BIST}}$ = 5.5V 且负载 C_{LOAD} = 10pF。自然通风条件下的工作温度范围为 T_A = –40℃ 至 125℃（除非另有说明）。典型值为 T_A = 25°C、V_{DD} = 12V，且 V_{IT} = 6.5V (V_{IT} 指的是 V_{ITN} 或 V_{ITP})。

参数		测试条件	最小值	典型值	最大值	单位
通用开关要求						
t_{CTR}（无电容）	$\overline{RESET}$ 释放延时时间 (CTR) (1)	VIT = 800mV C_{CTR} = 开路 相对于迟滞 20% 过驱		350	600	µs
t_{CTR}（无电容）	$\overline{RESET}$ 释放延时时间 (CTR) (1)D	VIT = 2.7V 至 65V C_{CTR} = 开路 相对于迟滞 20% 过驱			670	µs
t_{pd}	CTS = 禁用(5)	VITP = 800mV V_{IT} 产生 20% 过驱		1.2	3	µs
t_{pd}	CTS = 禁用(5)	VITN = 800mV V_{IT} 产生 20% 过驱		2	5	µs
t_{pd}	CTS = 禁用	VITP = 2.7V 至 65V V_{IT} 产生 20% 过驱		10	36	µs
t_{pd}	CTS = 禁用	VITN = 2.7V 至 65V V_{IT} 产生 20% 过驱		10	36	µs
t_{CTS}	感测检测延时时间 (CTS)(2) (4)	VIT = 800mV C_{CTS} = Open V_{IT} 产生 20% 过驱		85	100	µs
t_{CTS}	感测检测延时时间 (CTS)(2) (4)	VIT = 2.7V 至 65V C_{CTS} = 开路 V_{IT} 产生 20% 过驱		85	120	µs
t_{SD}	启动延迟 (3)	C_{CTR} = 开路		1		ms
BIST 开关要求						
$t_{BIST_en_pd}$	BIST_EN 上升沿至 BIST 置为有效			2.3		µs
$t_{BIST_en_pd}$	BIST_EN 上升沿至 RESET 置为有效			2.3		µs
$t_{\overline{BIST}_recover}$	$\overline{BIST}$ 上升沿至 SENSE 有效输入	C_{CTR} = 开路，BIST = 启用		350	600	µs
$t_{\overline{BIST}}$	BIST 运行时间				3.5	ms
$t_{SD+\overline{BIST}}$	包含 BIST 运行时间的启动时间				4.5	ms
LATCH 开关要求						
$t_{BIST_EN/LATCH_CLR_Recover}$	$\overline{BIST}$ 上升沿至 SENSE 有效输入	C_{CTR} = 开路，BIST = 禁用		10		µs

(1) **CTR 复位检测延时时间：**
过压低电平有效输出测量范围为 $V_{ITP\ -\ HYS}$ 至 V_{OH}
欠压低电平有效输出测量范围为 $V_{ITN\ +\ HYS}$ 至 V_{OH}

(2) **CTS 感测检测延时时间：**
过压低电平有效输出测量范围为 V_{ITP} 至 V_{OL}
欠压低电平有效输出测量范围为 V_{ITN} 至 V_{OL}

(3) 在上电序列期间，在输出基于 V_{SENSE} 处于正确状态之前，V_{DD} 必须达到或高于 $V_{DD(MIN)}$ 并至少维持 $t_{SD+\overline{BIST}} + t_{CTR}$ 的时间。
t_{SD} 时间包括传播延迟（C_{CTR} = 开路）CTR 上的电容器会增加 t_{SD} 时间。

(4) C_{CTS} = 开路假设引脚上存在低于 20pF 的寄生电容。

(5) 此参数根据设计或表征确定，而未经生产测试。

Copyright © 2026 Texas Instruments Incorporated

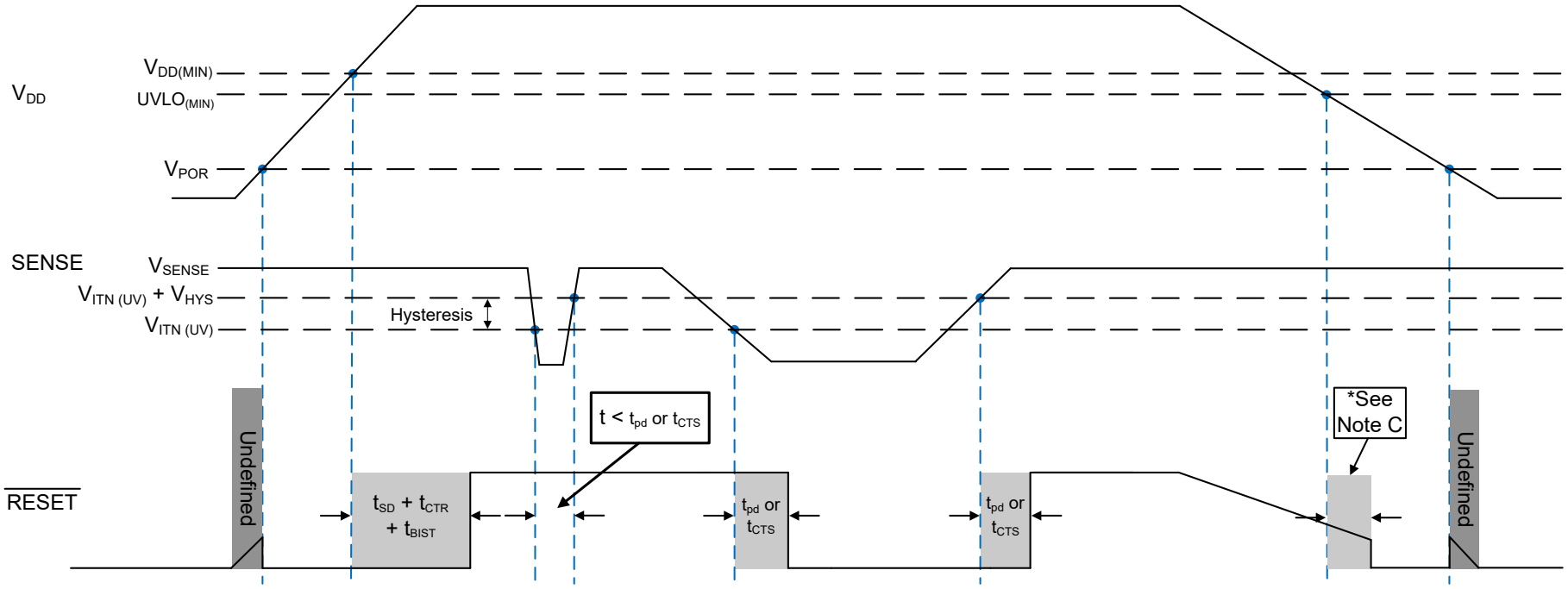
6.7 时序要求

条件为 $V_{DD(MIN)} \leqslant V_{DD} \leqslant V_{DD\ (MAX)}$、CTR = CTS = 开路、输出 $\overline{RESET}$ 上拉电阻器 R_{PU} = 10 kΩ、电压 V_{PU} = 5.5 V、输出 $\overline{BIST}$ 上拉电阻器 $R_{PU_\overline{BIST}}$ = 10 kΩ、电压 $V_{PU_\overline{BIST}}$ = 5.5 V 且负载 C_{LOAD} = 10 pF。自然通风条件下的工作温度范围 T_A = -40℃ 至 125°C，除非另有说明。典型值为 T_A = 25°C、V_{DD} = 12V，且 V_{IT} = 6.5V (V_{IT} 指的是 V_{ITN} 或 V_{ITP})。

参数		测试条件	最小值	典型值	最大值	单位
BIST 时序参数						
$t_{BIST_en\ 毛刺}$	BIST_EN 毛刺抑制			1.1		µs
t_{BIST_en}	启动 BIST 的最小 BIST_EN 输入宽度			1.2	8	µs
LATCH 时序参数						
$t_{BIST_EN/LATCH_CLR\ 毛刺}$	锁存抗干扰度毛刺抑制			1.5		µs
$t_{BIST_EN/LATCH_CLR}$	清除锁存的锁存输入宽度			1.6		µs

Copyright © 2026 Texas Instruments Incorporated

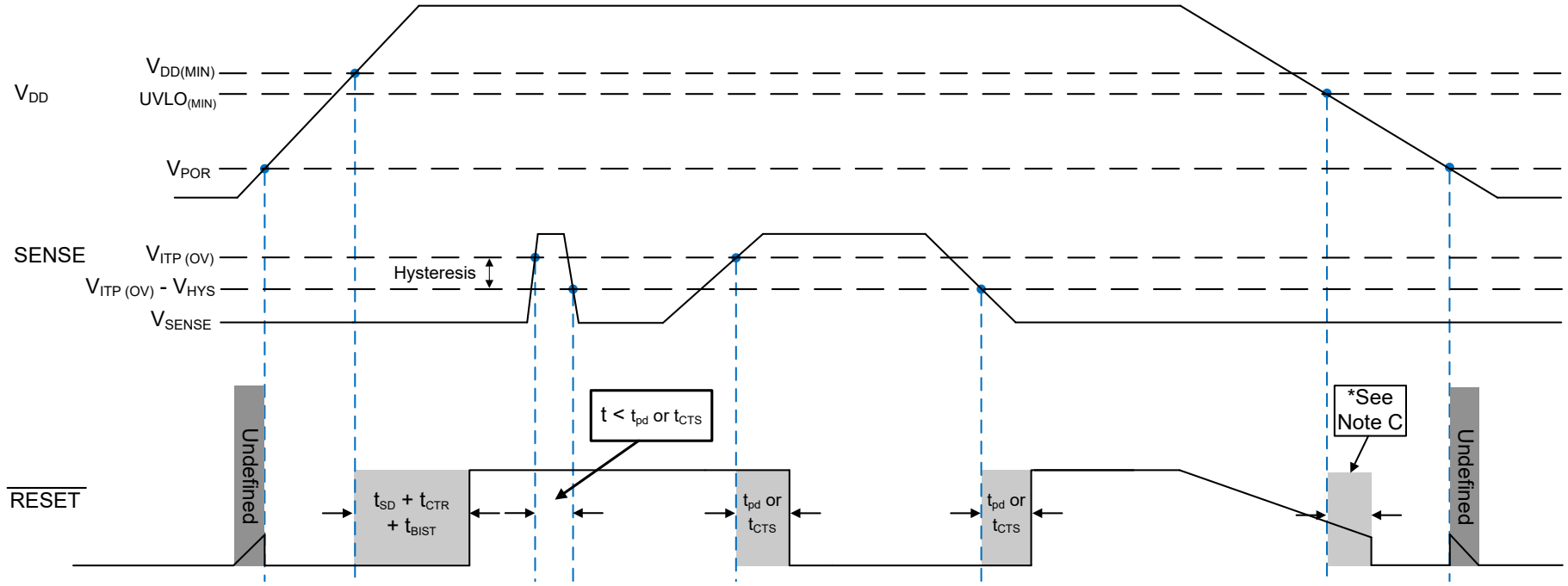
6.8 时序图



A. 时序图假设开漏输出 $\overline{\text{RESET}}$ 引脚通过外部上拉电阻器连接到 V_{DD}。
B. 请注意，图 6-1 展示了 V_{DD} 下降压摆率较慢或 V_{DD} 衰减时间远大于传播检测延迟或 t_{CTR} 时间。
C. 当 V_{DD} 在达到延时时间 t_{pd} 或 t_{CTR} 后下降到 $UVLO_{(MIN)}$ 阈值以下时，$\overline{\text{RESET}}$ 被置为有效。

图 6-1. SENSE 欠压 (UV) 时序图

Copyright © 2026 Texas Instruments Incorporated



A. 时序图假设开漏输出 $\overline{\text{RESET}}$ 引脚通过外部上拉电阻器连接到 V_{DD}。

B. 请注意，图 6-2 展示了 V_{DD} 下降压摆率较慢或 V_{DD} 衰减时间远大于传播检测延迟或 t_{CTR} 时间。

C. 当 V_{DD} 在达到延时时间 t_{pd} 或 t_{CTR} 后下降到 $UVLO_{(MIN)}$ 阈值以下时，$\overline{\text{RESET}}$ 被置为有效。

图 6-2. SENSE 过压 (OV) 时序图

Copyright © 2026 Texas Instruments Incorporated

6.9 典型特性

典型特性显示了 TPS3762-Q1 器件的典型性能。测试条件均在 T_A = 25°C 时取得（除非另有说明）。

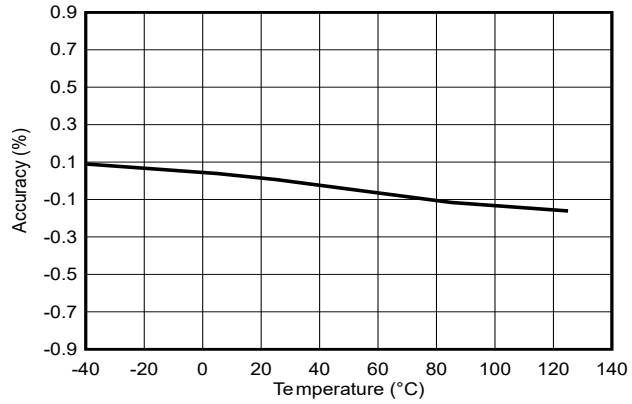


图 6-3. 欠压精度与温度间的关系 (V_{IT} = 0.8V)

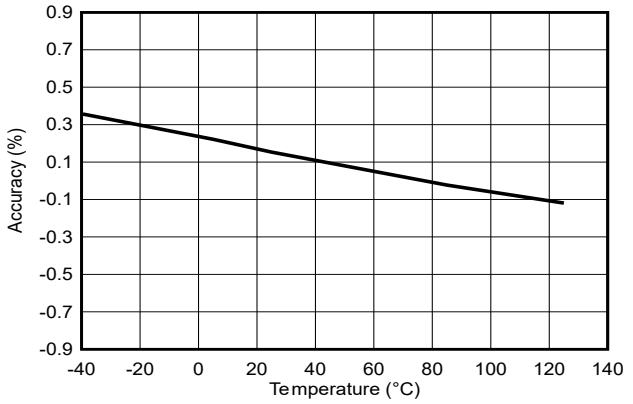


图 6-4. 过压精度与温度间的关系 (V_{IT} = 0.8V)

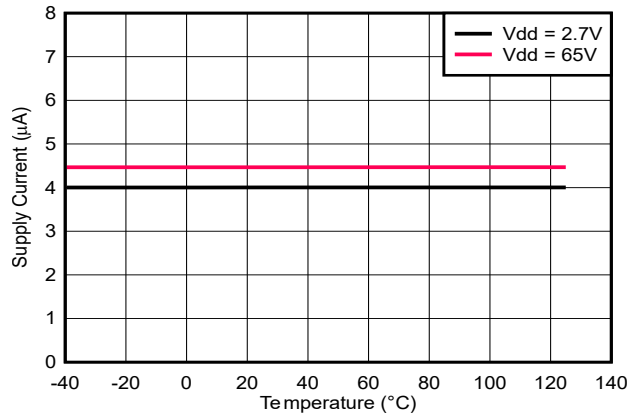


图 6-5. I_{DD} 与温度间的关系（$\overline{RESET}$ = 高电平，V_{IT} = 0.8V）

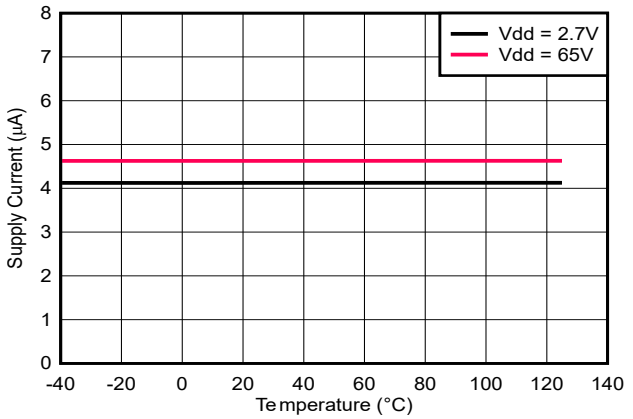


图 6-6. I_{DD} 与 V_{DD} 间的关系（$\overline{RESET}$ = 低电平，V_{IT} = 0.8V）

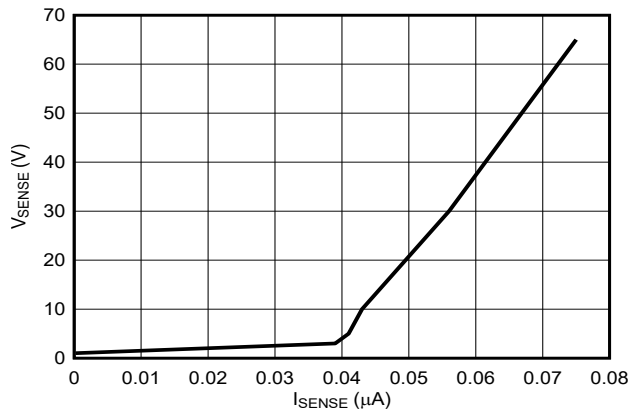


图 6-7. V_{SENSE} 与 I_{SENSE} 间的关系 (V_{DD} = 2.7V)

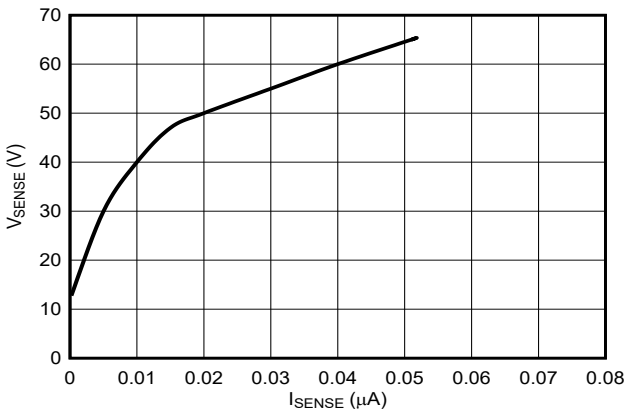


图 6-8. V_{SENSE} 与 I_{SENSE} 间的关系 (V_{DD} = 65V)

Copyright © 2026 Texas Instruments Incorporated

6.9 典型特性（续）

典型特性显示了 TPS3762-Q1 器件的典型性能。测试条件均在 T_A = 25°C 时取得（除非另有说明）。

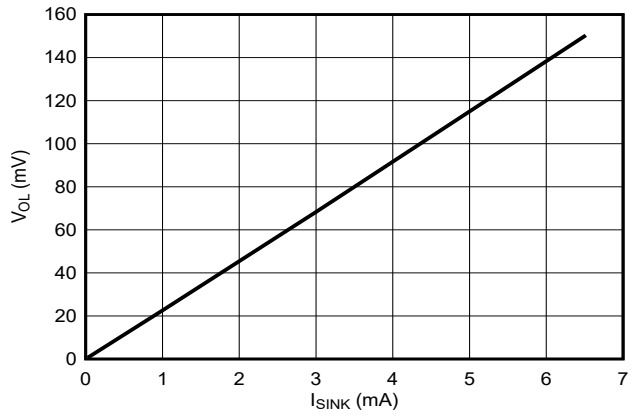


图 6-9. 开漏低电平有效 V_{OL} 与 $I_{\overline{RESET}}$ 间的关系 (V_{DD} = 2.7V)

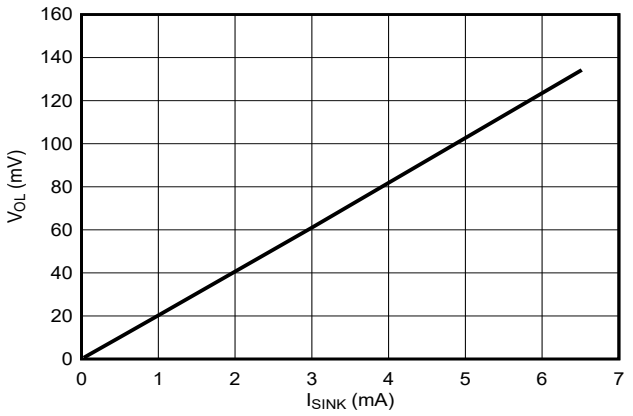


图 6-10. 开漏低电平有效 V_{OL} 与 $I_{\overline{RESET}}$ 间的关系 (V_{DD} = 65V)

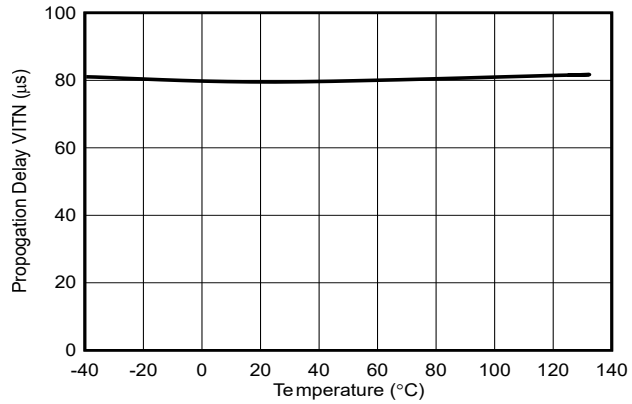


图 6-11. 传播延迟（欠压）与温度间的关系（V_{IT} = 0.8V，CTS = 启用 = 50pF）

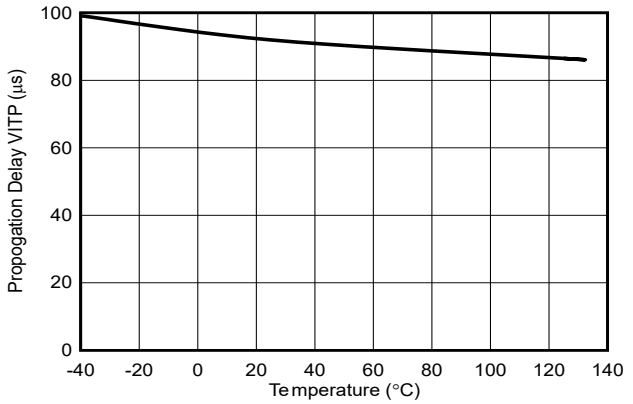


图 6-12. 传播延迟（过压）与温度间的关系（V_{IT} = 0.8V，CTS = 启用 = 50pF）

Copyright © 2026 Texas Instruments Incorporated

7 详细说明

7.1 概述

TPS3762-Q1 是高压和低静态电流电压监控器系列，具有过压和欠压阈值电压选项、延迟时序、内置自检和锁存器。TPS3762-Q1 过压和欠压阈值特定于器件，提供可调阈值或固定阈值。可调阈值选项使用外部电阻梯以在 SENSE 引脚上用作分压器，该分压器使用内部 800mV 阈值来触发过压和欠压故障。将可调选项与外部电阻器一起使用的好处是，这比固定内部阈值型号的反应速度更快。TPS3762-Q1 固定阈值选项采用集成分压器，无需外部电阻器，并且降低了系统漏电流。

VDD、SENSE 和 $\overline{\text{RESET}}$ 引脚可支持 65V 连续运行。SENSE 具有 -65V 反极性保护。VDD、SENSE 和 $\overline{\text{RESET}}$ 电压电平可以互不相关。TPS3762-Q1 包含一个复位输出锁存功能，该功能可使输出保持有效、以帮助系统实现安全状态。提供固定和可编程检测和复位延迟，以避免错误复位和错误复位释放。

7.2 功能方框图

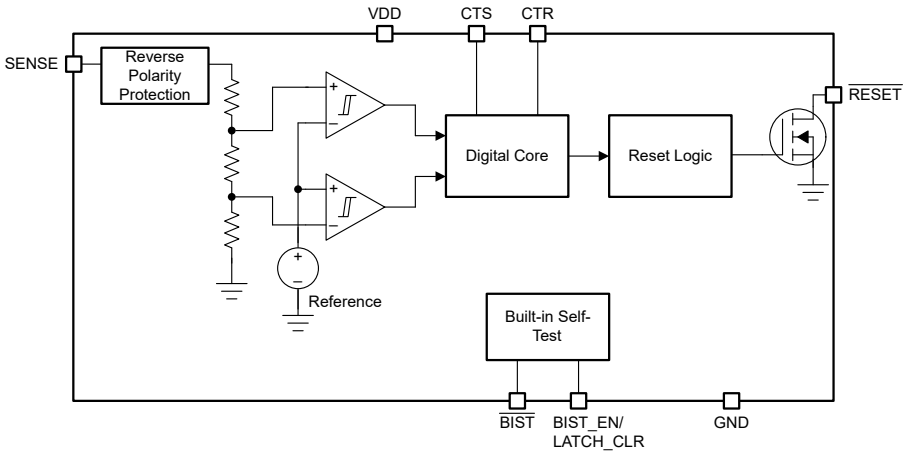


图 7-1. 固定阈值功能方框图

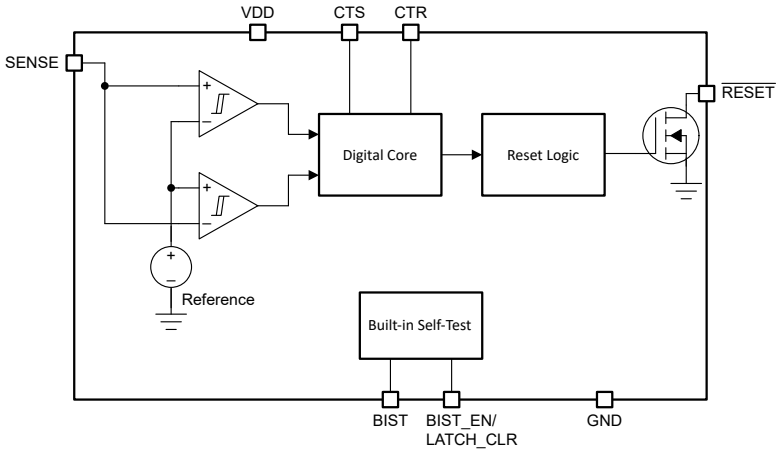


图 7-2. 可调阈值功能方框图

Copyright © 2026 Texas Instruments Incorporated

7.3 特性说明

7.3.1 输入电压 (VDD)

2.7V 至 65V VDD 工作电压范围。此器件不需要输入电源电容器；但是，如果输入电源存在噪声，良好的模拟做法是在 VDD 和 GND 之间放置一个 0.1µF 电容器。

为了使器件能够正常工作，VDD 需要至少在启动延时时间 (t_{SD}) 内恰好为或高于 $V_{DD(MIN)}$。

VDD 电压与 V_{SENSE} 和 V_{RESET} 无关，这意味着 VDD 可以高于或低于其他引脚。

7.3.1.1 欠压锁定 (V_{POR} < V_{DD} < UVLO)

当 V_{DD} 上的电压低于 UVLO 电压但高于加电复位电压 (V_{POR}) 时，无论 SENSE 引脚上的电压如何，$\overline{\text{RESET}}$ 和 $\overline{\text{BIST}}$ 引脚都将置为有效。

7.3.1.2 上电复位 (V_{DD} < V_{POR})

当 VDD 电压低于上电复位电压 (V_{POR}) 时，输出信号未定义，不能用于实现器件正常运行。

注意：图 7-3 和图 7-4 假定外部上拉电阻器将 $\overline{\text{RESET}}$ 引脚连接到 VDD。

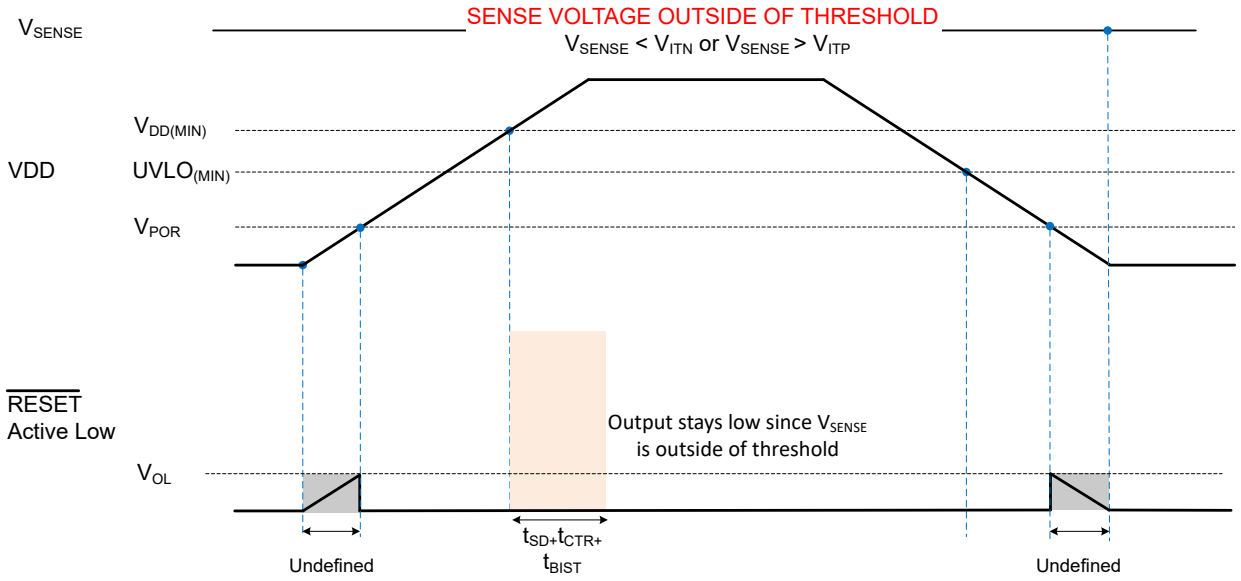


图 7-3. 下电上电（SENSE 超出标称电压）

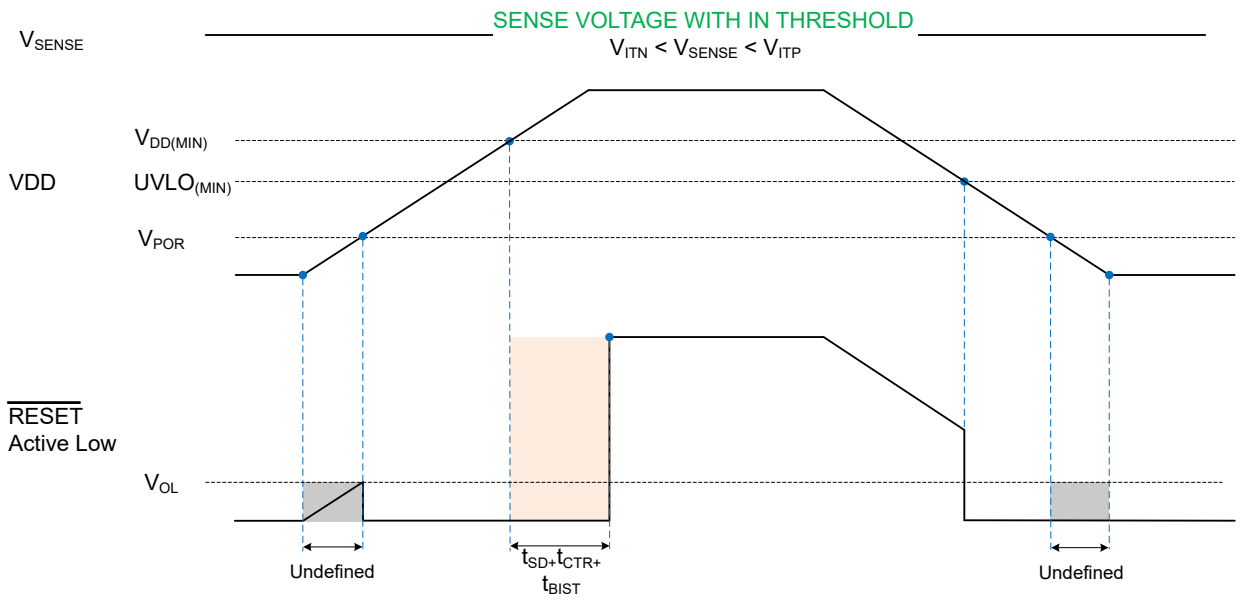


图 7-4. 下电上电（SENSE 处于标称电压范围内）

Copyright © 2026 Texas Instruments Incorporated

7.3.2 SENSE

SENSE 引脚连接至要监控的电源轨。每个器件上的 Sense 引脚配置为监控过压 (OV)、欠压 (UV) 或窗口（OV 和 UV）条件。TPS3762-Q1 器件包含内置迟滞，可提供抗噪性并确保稳定运行。

尽管在大多数情况下不是必需的，但对于 t_{CTS} 不具有足够的毛刺抑制能力的噪声应用，良好的模拟设计实践是在 SENSE 输入端放置一个 10nF 至 100nF 的旁路电容器，以便降低对受监控信号上瞬态电压的敏感度。SENSE 可直接连接至 VDD 引脚。

7.3.2.1 反极性保护

TPS3762-Q1 在 Sense 引脚上提供最高 –65V 的反极性保护。这样 TPS3762-Q1 就可以支持意外情况或测试模拟的反向连接，而不会损坏设备。这种保护措施使得 TPS3762-Q1 能够在任何反向极性保护二极管之前直接从电源获取电流，从而实现精确的电压测量。

7.3.2.2 SENSE 迟滞

TPS3762-Q1 器件在 UV 和 OV 阈值附近提供内置迟滞，以避免错误的 $\overline{\text{RESET}}$ 失效。迟滞与阈值电压相反；对于过压选项，迟滞从正向阈值 (V_{ITP}) 中减去；对于欠压选项，迟滞与负向阈值 (V_{ITN}) 相加。

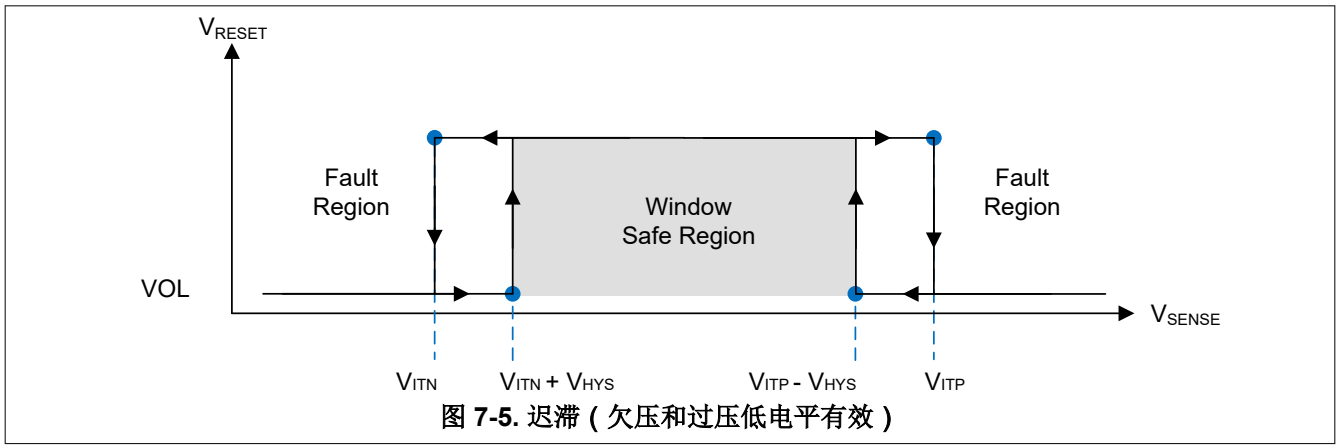


图 7-5. 迟滞（欠压和过压低电平有效）

表 7-1. 常见的可调节迟滞查询表

目标			器件迟滞选项
可调阈值	拓扑	释放电压 (V)	
800mV	过压	784mV	-2%
800mV	过压	760mV	-5%
800mV	过压	720mV	-10%
800mV	欠压	816mV	2%
800mV	欠压	840mV	5%
800mV	欠压	880mV	10%

表 7-1 显示了 TPS3762-Q1 800mV 可调型号的迟滞示例。

已知迟滞电压的大小，欠压 (UV) 通道的释放电压为 (V_{ITN} + V_{HYS})，对于过压 (OV) 通道，为 (V_{ITP} - V_{HYS})。

欠压 (UV)

V_{ITN} = 800mV

电压迟滞 (V_{HYS}) = 2% = 16mV

迟滞精度 = +1.5% 至 +2.5% = 16.24mV 至 16.4mV

释放电压 = V_{ITN} + V_{HYS} = 816.24mV 至 816.4mV

过压 (OV)

V_{ITP} = 800mV

电压迟滞 (V_{HYS}) = 2% = 16mV

迟滞精度 = +1.5% 至 +2.5% = 16.24mV 至 16.4mV

释放电压 = V_{ITP} - V_{HYS} = 783.6mV 至 783.76mV

Copyright © 2026 Texas Instruments Incorporated

7.3.3 输出逻辑配置

TPS3762-Q1 是一款单通道器件，具有单路输入 SENSE 引脚和单路 $\overline{\text{RESET}}$ 引脚。单路 $\overline{\text{RESET}}$ 仅适用于漏极开路拓扑。

7.3.3.1 开漏

开漏输出需要一个外部上拉电阻器来将电压保持在高电平，从而达到所需的电压逻辑。将上拉电阻器连接到适当的电压轨，使输出端能够以正确的接口电压电平连接到其他器件。

要选择合适的上拉电阻器，请考虑电气特性中提供的系统 V_{OH} 和开漏漏电流 (I_{lkg})，高电阻值具有较高压降，会影响输出电压高电平。开漏输出能够作为线与逻辑与其他开漏信号（如另一 TPS3762-Q1 开漏输出引脚）连接。

7.3.3.2 低电平有效 ($\overline{\text{RESET}}$)

$\overline{\text{RESET}}$（低电平有效）在引脚标签上方用一条横线表示。只要 SENSE 电压处于正常运行的阈值范围内且 VDD 电压高于 UVLO，$\overline{\text{RESET}}$ 就会保持高压（V_{OH} 置为无效）。要将复位置为有效，Sense 引脚需要满足以下条件：

- 对于欠压，SENSE 电压需要越过下限 (V_{ITN})。
- 对于超压，SENSE 电压需要越过上限 (V_{ITP})。

Copyright © 2026 Texas Instruments Incorporated

7.3.3.3 锁存

TPS3762-Q1 提供了可选输出复位锁存功能，请查看节 4 以验证特定于型号的锁存功能。引脚 6 具有一个内部 100kΩ 下拉电阻器，可用于实现启动锁存。在使用启用了锁存器 ($V_{BIST_EN/LATCH_CLR}$ < 0.5V) 的型号时，每当发生 OV 或 UV 故障，$\overline{RESET}$ 都会置为有效并变为低电平，保持低电平，直至被 BIST_EN / LATCH_CLR 引脚上的逻辑高电平输入 ($V_{BIST_EN/LATCH_CLR}$ > 1.3V) 清除。如果 SENSE 引脚处于安全区域并且锁存器处于禁用状态，则 $\overline{RESET}$ 会在延迟后置为无效。该延迟取决于 BIST 和 CTR 时序。有关更多详细信息，请参阅 节 7.3.6。当 $V_{BIST_EN/LATCH_CLR}$ > 1.3V 时，器件处于锁存禁用模式，$\overline{RESET}$ 不会在 SENSE 引脚上针对 OV 和 UV 进行锁存。当器件处于锁存禁用模式时，$\overline{RESET}$ 在发生 OV 和 UV 故障时在复位延迟时间内置为有效。当 $V_{BIST_EN/LATCH_CLR}$ < 0.5V 时，会启用锁存模式。

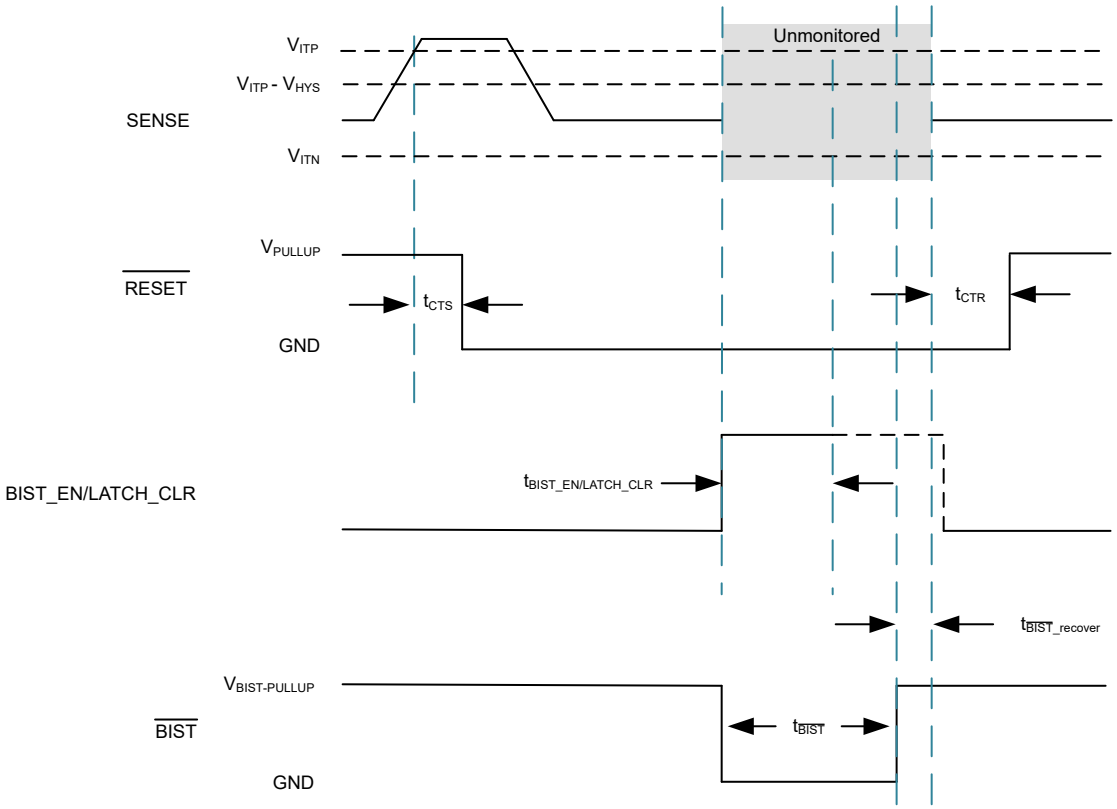


图 7-6. $\overline{RESET}$ 锁存和取消锁存

Copyright © 2026 Texas Instruments Incorporated

7.3.3.4 UV 旁路

TPS3762-Q1 具有可选的欠压旁路（UV 旁路）功能，请查看节 4 以验证特定于型号的 UV 旁路功能。使用启用了 UV 旁路的型号时，会忽略 V_{DD} > V_{POR} 后的第一个欠压事件。如果未发生欠压事件，可以通过运行 BIST 来清除 UV 旁路。

UV 旁路适用于由 TPS3762-Q1 电池供电并监控电池直流-直流输出的特定应用，如图 7-7 所示。如果非电池 DCDC 输出超出阈值，TPS3762-Q1 会将该器件复位。有关更多详细信息，请参阅图 7-8 和图 7-9。

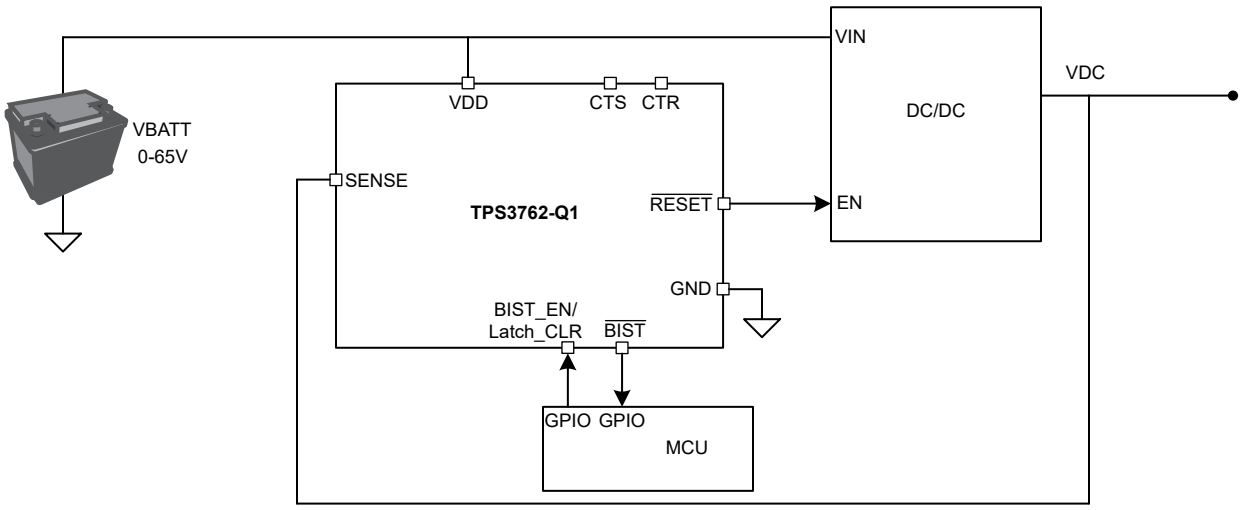


图 7-7. UV 旁路原理图

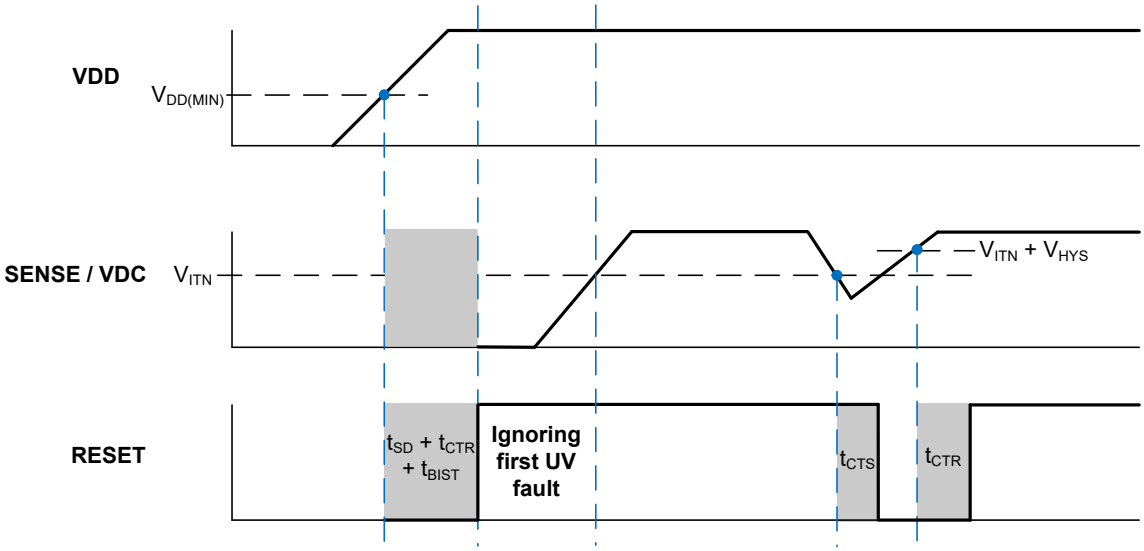


图 7-8. UV 旁路已启用

Copyright © 2026 Texas Instruments Incorporated

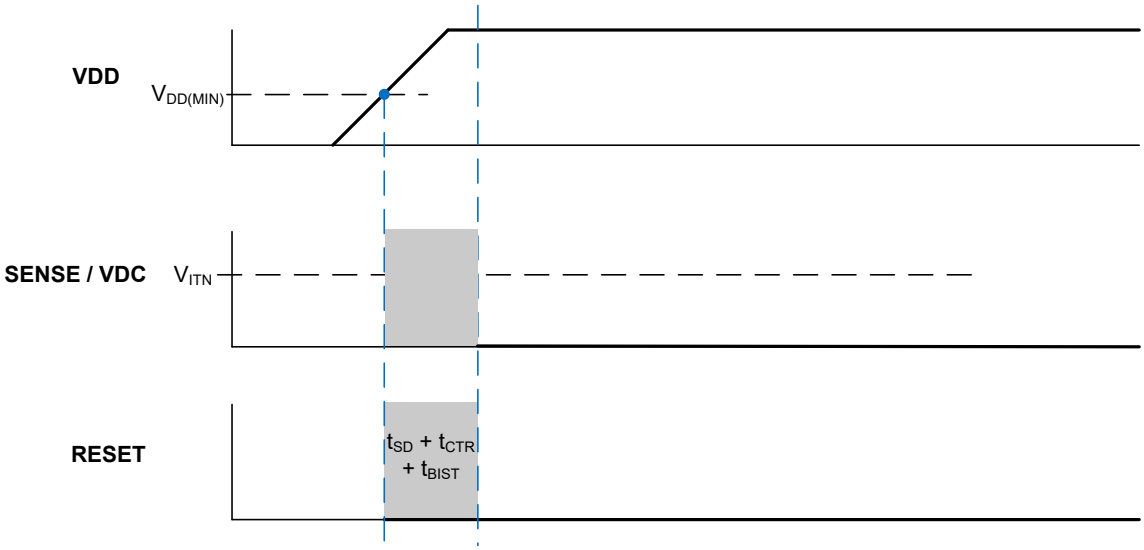


图 7-9. UV 旁路已禁用

Copyright © 2026 Texas Instruments Incorporated

7.3.4 用户可编程复位延时时间

TPS3762-Q1 具有可通过外部电容器调节的复位释放延时时间。

- CTR 上的电容器对输出的复位延时时间进行编程。
- 此引脚上没有电容器，可实现最短的复位延时时间，由节 6.6 中的 t_{CTR} 来表示。
- TPS3762Q 之类的型号使用固定的内部延时时间。请查看节 4 以验证特定于型号的时序。

7.3.4.1 复位延时时间配置

RESET 延时时间 (t_{CTR}) 在 $\overline{RESET}$ 从故障状态 (V_{OL}) 转换为非故障状态 (V_{OH}) 时发生。可以通过在 CTR 引脚和 GND 之间连接一个电容器来对延时时间 (t_{CTR}) 进行编程。对于 SENSE 在 $\overline{RESET}$ 恢复后发生故障的情况，TPS3762-Q1 可确保 CTR 电容器在开始恢复序列之前完全放电。这样可确保在连续故障下保持编程的 CTR 时间。

方程式 1 提供了外部电容器 $C_{CTR_EXT\ (typ)}$（单位 µF）与延时时间 $t_{CTR\ (typ)}$（单位：秒）间的关系。

$$t_{CTR\ (typ)} = 3.7 \times C_{CTR_EXT\ (typ)} + 0.00035 \quad (1)$$

$C_{CTR_EXT\ (typ)}$ = 以微法拉 (µF) 为单位

$t_{CTR\ (typ)}$ = 以秒 (s) 为单位

复位延时时间根据三个变量而异：外部电容器 (C_{CTR_EXT})、节 6.5 中提供的 CTR 引脚内部电阻 (R_{CTR}) 和节 6.6 中提供的常数 ($t_{CTR\ (无电容)}$)。方程式 2 和方程式 3 展示了因该常数而产生的最小和最大变化值：

$$t_{CTR\ (min)} = 2.96 \times C_{CTR_EXT\ (min)} \quad (2)$$

$$t_{CTR\ (max)} = 4.44 \times C_{CTR_EXT\ (max)} + 0.00067 \quad (3)$$

CTR 引脚上的电容器没有限制。如果电容值过大，会因电容器漏电和系统噪声而导致充电（上升时间）非常慢，从而导致内部电路使 $\overline{RESET}$ 保持有效。

* 电容器上的泄漏会影响复位延时时间的准确性。

表 7-2. 常见理想电容值的复位延时时间

C_{CTR_EXT}	复位延时时间 (t_{CTR})			单位
	MIN (1)	典型值	MAX (1)	
33nF	97.68	122.45	147.12	ms
100nF	296	370.35	444.6	ms
1µF	2960	3700.35	4440.6	ms

Copyright © 2026 Texas Instruments Incorporated

7.3.5 用户可编程检测延迟

TPS3762-Q1 通过外部电容器实现可调节检测释放延时时间。

- CTS 上的电容器对输出的检测延时时间进行编程。
- 此引脚上没有电容器可提供由节 6.7 中的 t_{CTS} 指示的最快检测延时时间。
- TPS3762-Q1 具有可选的固定内部延时时间，该延时时间会忽略 CTS 引脚上的电容值，请查看节 4 以验证特定于型号的功能。

7.3.5.1 检测延时时间配置

SENSE 延时时间 (t_{CTS}) 在 $\overline{RESET}$ 从非故障状态 (V_{OH}) 转换为故障状态 (V_{OL}) 时发生。可以通过在 CTS 引脚和 GND 之间连接一个电容器来对延时时间 (t_{CTS}) 进行编程。

方程式 4 提供了外部电容器 $C_{CTS_EXT\ (typ)}$（单位 µF）与延时时间 $t_{CTS\ (typ)}$（单位：秒）间的关系。

$$t_{CTS\ (typ)} = 3.7 \times C_{CTS_EXT\ (typ)} + 0.000085 \quad (4)$$

$C_{CTS_EXT\ (typ)}$ = 以微法拉（µF）为单位

$t_{CTS\ (typ)}$ = 以秒 (s) 为单位

检测延迟根据三个变量而异：外部电容器 (C_{CTS_EXT})、节 6.5 中提供的 CTS 引脚内部电阻 (R_{CTS}) 和节 6.6 中提供的常数 ($t_{CTS\ (无电容)}$)。方程式 5 和方程式 6 展示了因该常数而产生的最小和最大变化值：

$$t_{CTS\ (min)} = 2.96 \times C_{CTS_EXT\ (min)} \quad (5)$$

$$t_{CTR\ (max)} = 4.44 \times C_{CTS_EXT\ (max)} + 0.0001 \quad (6)$$

为 TPS3762-Q1 建议的最大检测延迟电容器值为 10 µF，因为这可确保在发生电压故障时，电容器有足够的时间完全放电。此外，电容值过大会导致充电（上升时间）非常慢，并且系统噪声会导致内部电路意外跳闸。这会导致延时时间变化，当存在系统噪声时，延迟精度可能会更低。

* 电容器上的泄漏会影响检测延时时间的准确性。

表 7-3. 常见理想电容值的复位检测延迟

C_{CTS_EXT}	检测延时时间 (t_{CTS})			单位
	最小值 (1)	典型值	最大值 (1)	
33nF	97.68	122.185	146.62	ms
100nF	296	370.085	444.1	ms
1µF	2960	3700.085	4440.1	ms

(1) 最小值和最大值通过使用理想电容器计算得出。

Copyright © 2026 Texas Instruments Incorporated

7.3.6 内置自检

TPS3762-Q1 具有内置自检 (BIST) 功能，可在器件内部运行诊断。上电期间，BIST 在越过 $V_{DD(min)}$ 后自动启动。如果在所选的可订购器件中启用了 BIST RESET 触发器、则在 BIST 期间，$\overline{BIST}$ 引脚和 $\overline{RESET}$ 输出会置为低电平有效，只有在 $\overline{BIST}$ 测试成功完成（表明设备内部无故障）时才会置为无效。如果禁用 BIST RESET 触发器，只有 $\overline{BIST}$ 引脚置为低电平有效，如果 $\overline{BIST}$ 测试成功完成（指示器件中没有内部故障），则它们将置为无效。BIST 和 $\overline{BIST}$ 置为有效的长度由 $t_{\overline{BIST}}$ 指定。如果 BIST 未成功，则 $\overline{BIST}$ 引脚保持置为低电平有效，表示存在内部故障。对于启用了 BIST RESET 触发器的可订购器件、$\overline{RESET}$ 输出在发生 $\overline{BIST}$ 故障时保持置为有效。在 BIST 期间，器件不会监控 SENSE 引脚是否存在故障，$\overline{RESET}$ 不依赖于 SENSE 引脚电压。$\overline{BIST}$ 内部测试序列通过检查 SENSE 引脚上的内部比较器、带隙电压以及 $\overline{RESET}$ 输出是否存在故障，来验证器件内部信号链的运行状况。有关更多详细信息，请参阅 图 7-10。

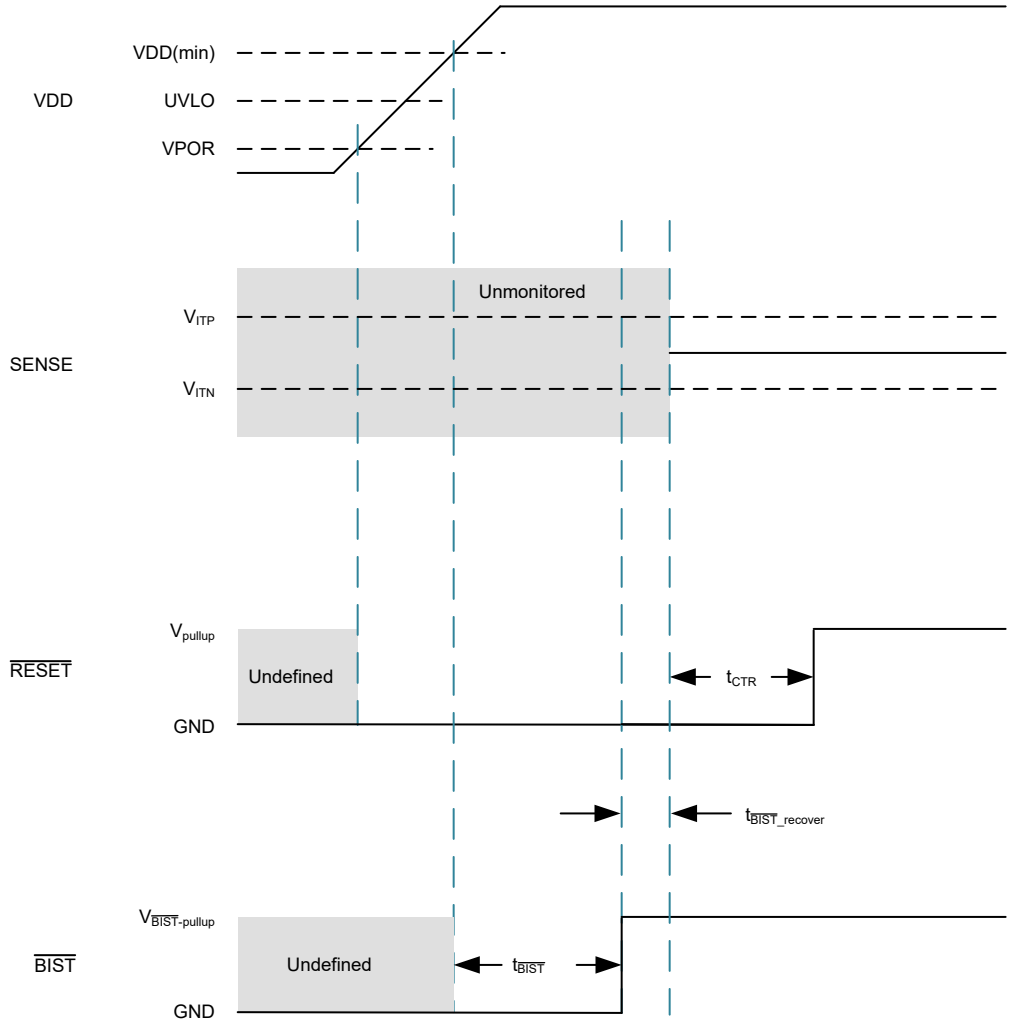


图 7-10. TPS3762-Q1 启动序列

成功执行上电序列后，可以通过 BIST_EN / LATCH_CLR 引脚上的逻辑高电平输入（V_{BIST_EN} 或 $V_{BIST_EN/LATCH_CLR}$ > 1.3V）随时启动 BIST。仅当 SENSE 引脚未处于过压或欠压故障模式时，$\overline{BIST}$ 才会启动且 BIST 引脚置为有效。在此 BIST 测试时间段，$t_{\overline{BIST}}$、$\overline{BIST}$ 引脚置为低电平有效，以表示 $\overline{BIST}$ 已启动，$\overline{RESET}$ 置为有效取决于器件型号。成功完成 BIST 后，$\overline{BIST}$ 引脚和 $\overline{RESET}$ 引脚将置为无效。如果由于内部器件未正常工作而导致 BIST 失败，则 $\overline{RESET}$ 引脚和 $\overline{BIST}$ 引脚保持置为低电平有效，这表示器件内部存在故障。有关更多详细信息，请参阅图 7-11 和图 7-12。

Copyright © 2026 Texas Instruments Incorporated

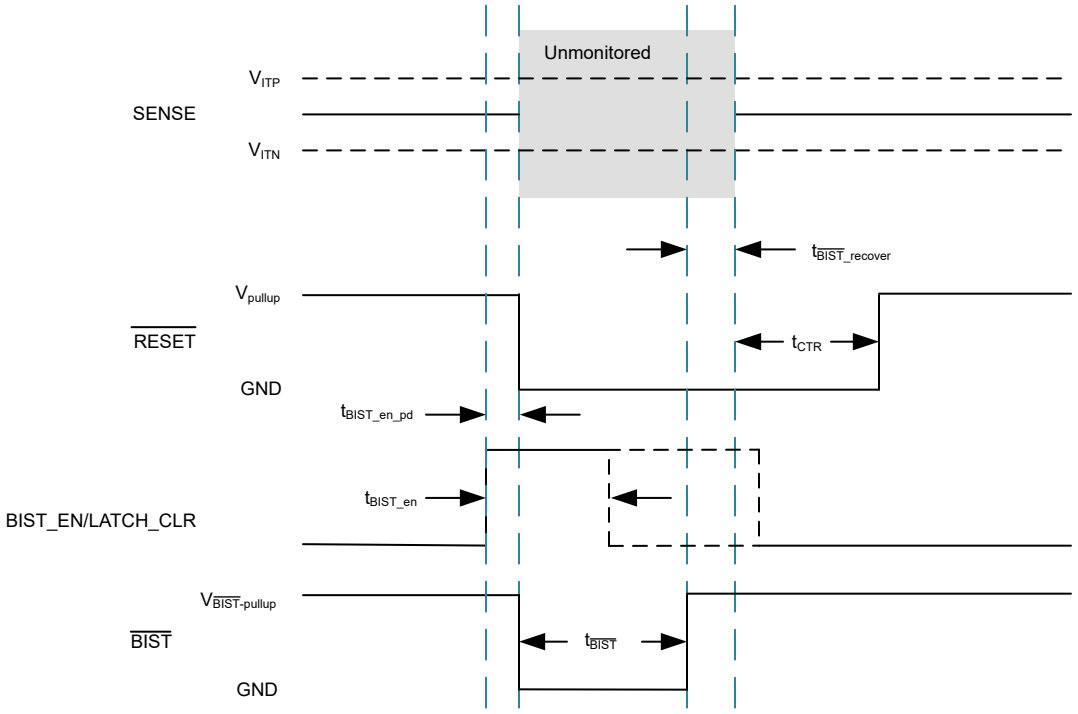


图 7-11. 具有 $\overline{RESET}$ 置位的 $\overline{BIST}$

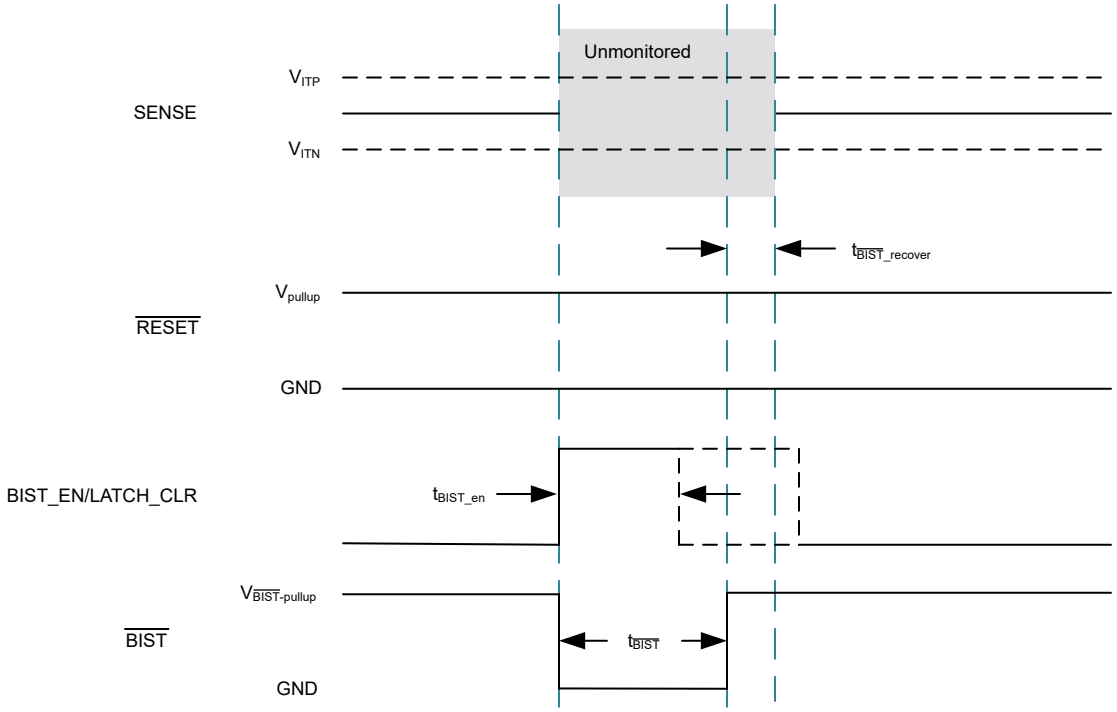


图 7-12. 不具有 $\overline{RESET}$ 置位的 $\overline{BIST}$

Copyright © 2026 Texas Instruments Incorporated

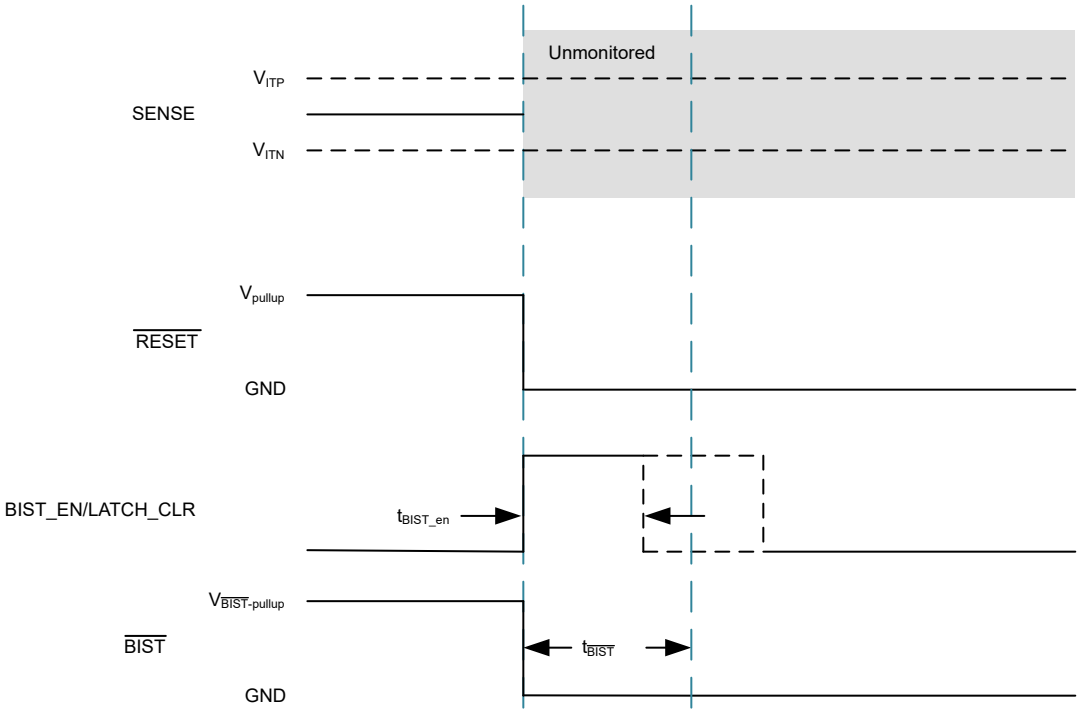


图 7-13. BIST 失败，具有 RESET 置位

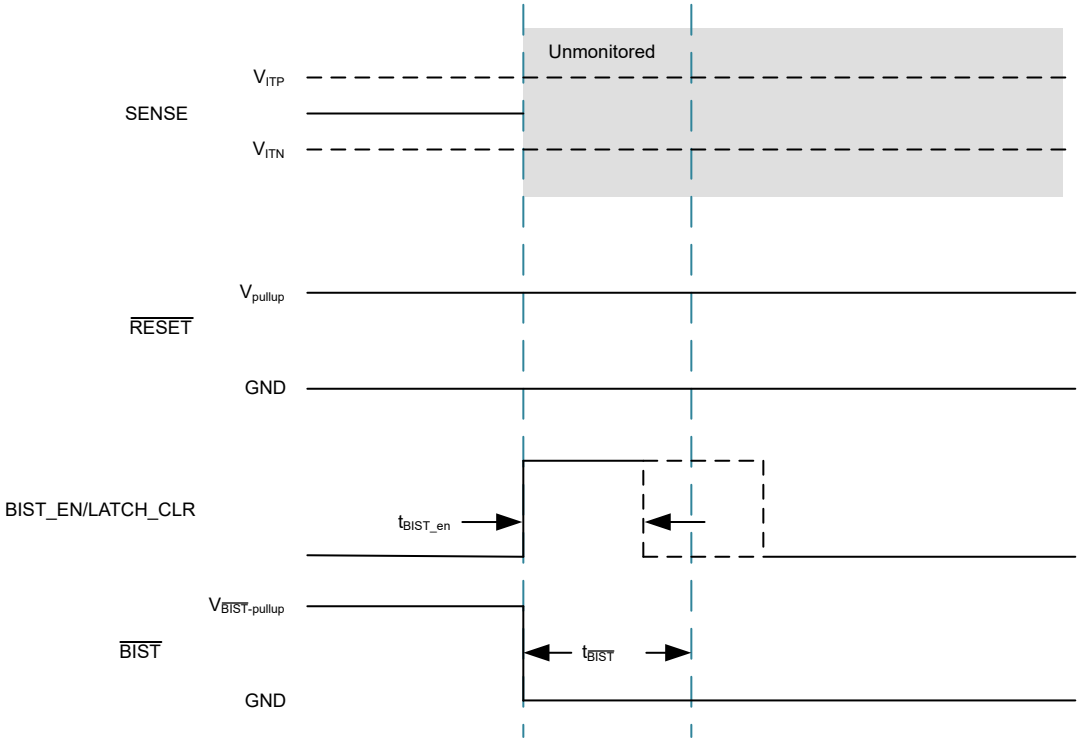


图 7-14. BIST 失败、不具有 RESET 置位

7.4 器件功能模式

表 7-4. 欠压检测功能模式真值表

说明	SENSE		CTR (1)	V_{DD} 引脚	输出(2) ($\overline{RESET}$ 引脚)
	先前条件	当前条件			
正常运行	SENSE > V_{ITN}	SENSE > V_{ITN}	开路或连接电容器	V_{DD} > $V_{DD(MIN)}$	高
欠压检测	SENSE > V_{ITN}	SENSE < V_{ITN}	开路或连接电容器	V_{DD} > $V_{DD(MIN)}$	低
欠压检测	SENSE < V_{ITN}	V_{ITN} < SENSE < V_{ITN} + HYS	开路或连接电容器	V_{DD} > $V_{DD(MIN)}$	低
正常运行	SENSE < V_{ITN}	SENSE > V_{ITN} + HYS	开路或连接电容器	V_{DD} > $V_{DD(MIN)}$	高
UVLO 已启用	SENSE > V_{ITN}	SENSE > V_{ITN}	开路或连接电容器	V_{POR} < V_{DD} < $V_{DD(MIN)}$	低
低于 V_{POR}，未定义输出	SENSE > V_{ITN}	SENSE > V_{ITN}	开路或连接电容器	V_{DD} < V_{POR}	未定义

(1) 复位延时时间在真值表中忽略。
(2) 开漏低电平有效输出需要一个连接到上拉电压的外部上拉电阻器。

表 7-5. 过压检测功能模式真值表

说明	SENSE		CTR (1)	V_{DD} 引脚	输出(2) ($\overline{RESET}$ 引脚)
	先前条件	当前条件			
正常运行	SENSE < V_{ITP}	SENSE < V_{ITP}	开路或连接电容器	V_{DD} > $V_{DD(MIN)}$	高
过压检测	SENSE < V_{ITP}	SENSE > V_{ITP}	开路或连接电容器	V_{DD} > $V_{DD(MIN)}$	低
过压检测	SENSE > V_{ITP}	V_{ITP} - HYS < SENSE < V_{ITP}	开路或连接电容器	V_{DD} > $V_{DD(MIN)}$	低
正常运行	SENSE > V_{ITP}	SENSE < V_{ITP} - HYS	开路或连接电容器	V_{DD} > $V_{DD(MIN)}$	高
UVLO 已启用	SENSE < V_{ITP}	SENSE < V_{ITP}	开路或连接电容器	V_{POR} < V_{DD} < UVLO	低
低于 V_{POR}，未定义输出	SENSE < V_{ITP}	SENSE < V_{ITP}	开路或连接电容器	V_{DD} < V_{POR}	未定义

(1) 复位延时时间在真值表中忽略。
(2) 开漏低电平有效输出需要一个连接到上拉电压的外部上拉电阻器。

Copyright © 2026 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

以下各节根据最终应用要求详细介绍了相应的器件实施方式。

8.2 可调电压阈值

图 8-1 展示了一个有关如何使用外部电阻分压器调节电压阈值的示例。可以根据所需的电压阈值和器件型号来计算电阻值。TI 建议在设置可调节电压阈值时使用可调节（0.8V 电压阈值器件）。该型号会绕过内部电阻梯。

例如，考虑使用 TPS3762D02OVDDFRQ1 型号监控 12V 电压轨 V_{MON} 的过压 (OV)，如图 8-1 所示。监测的 OV 阈值表示为 V_{MON+}，这是器件将复位置为有效时所需的电压。对于此示例，V_{MON+} = 35V。要使过压复位被置为有效，SENSE 引脚的电压 V_{SENSE} 需要等于输入正向阈值 V_{ITP}。对于此示例型号，V_{SENSE} = V_{ITP} = 0.8V。使用 R_1 和 R_2，可以在方程式 8 中看到 V_{MON+} 和 V_{SENSE} 之间的相关性。假设 R_2 = 10kΩ，则可以将 R_1 计算为 R_1 = 427.5kΩ。

$$V_{SENSE} = V_{MON+} \times (R_2 \div (R_1 + R_2)) \quad (7)$$

TPS3762D02OVDDFRQ1 具有特定于型号的 2%、5% 或 10% 电压阈值迟滞。要使复位信号被置为无效，V_{MON} 必须低于 V_{ITP} - V_{HYS}。在此示例型号中，选择了 2% 的电压阈值迟滞。因此，当复位信号被置为无效时，V_{MON} 等于 34.3V。

在调节电压阈值时必须考虑到一些误差。除了电阻分压器的容差外，SENSE 引脚还有一个内部电阻，该电阻会影响电阻分压器的精度。尽管预计阻抗非常高，但仍建议用户按设计规格计算值。内部 SENSE 电阻 (R_{SENSE}) 可以通过将 SENSE 电压 (V_{SENSE}) 除以 SENSE 电流 (I_{SENSE}) 来计算得出，如方程式 9 所示。V_{SENSE} 可以使用方程式 7 来计算，具体取决于电阻分压器和受监控的电压。I_{SENSE} 可以使用方程式 8 来计算。

$$I_{SENSE} = [(V_{MON} - V_{SENSE}) \div R_1] - (V_{SENSE} \div R_2) \quad (8)$$

$$R_{SENSE} = V_{SENSE} \div I_{SENSE} \quad (9)$$

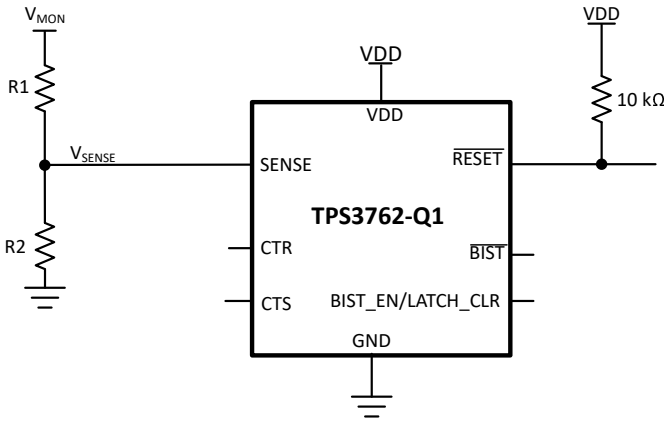


图 8-1. 可通过外部电阻分压器调节电压阈值

Copyright © 2026 Texas Instruments Incorporated

8.3 典型应用

8.3.1 设计 1：非电池电源监控

此应用适用于采用 12V 电池的应用中的初始功率级。TPS3762-Q1 利用高压 SENSE 和 V_{DD} 输入来监控汽车电池。

图 8-6 中的示例展示了 TPS3762-Q1 如何在由电池供电时也监控电池电压。

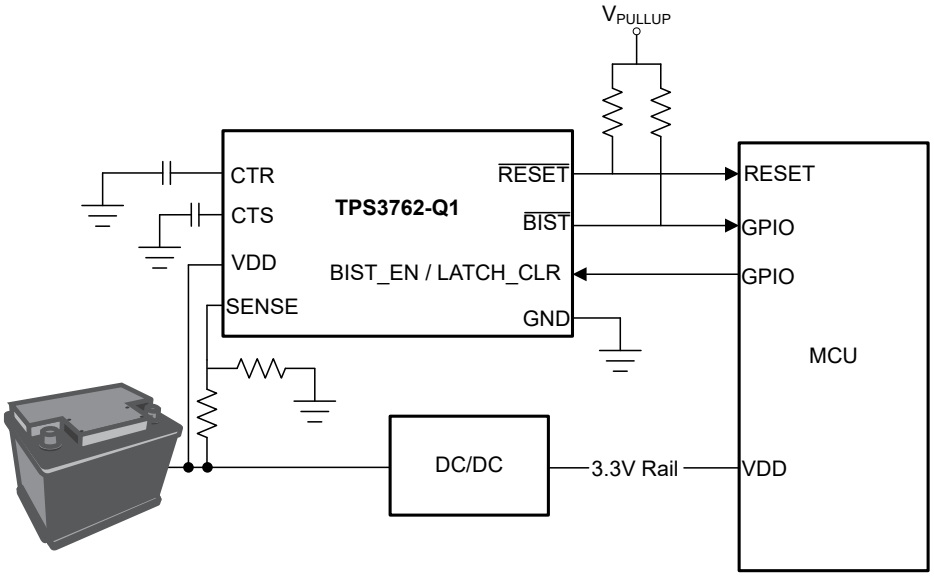


图 8-2. 非电池电源监控

Copyright © 2026 Texas Instruments Incorporated

8.3.1.1 设计要求

表 8-1. 设计参数

参数	设计要求
电压阈值	典型 OV 电压阈值 30V。
最大输入功率	在高达 65V 的电源输入下运行
输出逻辑	开漏
SENSE 延迟	>100ms
$\overline{\text{复位}}$延迟	>300ms
输出 特性	输出锁存和内置自检

8.3.1.2 详细设计过程

TPS3762-Q1 利用高压 SENSE 和 V_{DD} 输入来监控汽车电池。本设计使用了 TPS3762D02OVDDFRQ1 示例。

8.3.1.2.1 设置电压阈值

正向阈值电压 V_{ITP} 取决于器件型号。在此示例中，电池的标称电源电压为 12V。将过压阈值设置为 30V 可确保器件在电源电压超出允许的边界之前复位。选择可调电压型号并调整 R_1 和 R_2 以满足阈值。假设 R_2 等于 10kΩ，且 R_1 计算结果为 365kΩ。有关选择电阻器值的更多信息，请参阅节 8.2。TPS3762-Q1 还支持固定电压阈值型号。阈值电压解码可在器件解码器中找到。

8.3.1.2.2 满足检测和复位延迟要求

TPS3762-Q1 同时具有复位置位（检测）延迟 t_{CTS} 和复位取消置位（复位）延迟 t_{CTR}。TPS3762-Q1 具有两个选择检测和复位延迟的选项：固定延迟和电容器可编程延迟。对于此设计中使用的器件型号 TPS3762D02OVDDFRQ1，选择电容器可编程延迟。节 7.3.5 和节 7.3.4 展示了如何设置电容器可编程延迟的时序。该应用需要大于 100ms 检测延迟，因此使用了 0.033µF 电容器。该应用需要大于 300ms 的复位延迟，因此使用了 0.1µF 电容器。

8.3.1.2.3 设置电源电压

通过将 V_{DD} 输入直接连接到电池电源轨来设置电源电压，无需外部电路。该器件能够处理 V_{DD} 上的 65V 电压、这意味着受监控的电压轨可以处理高达 65V 的任何电压瞬变。良好的模拟设计实践建议在 V_{DD} 引脚上使用一个 0.1µF 的电容器。

8.3.1.2.4 启动内置自检和清除锁存器

内置自检 (BIST) 在器件加电时置为生效，如图 7-10 中所述。BIST 也可以通过上升沿随时启动，该上升沿越过 BIST_EN/LATCH_CLR 引脚上的电压逻辑高电平输入（V_{BIST_EN} 或 $V_{BIST_EN/LATCH_CLR}$ > 1.3V），如图 7-11 中所述。输出复位锁存器由器件型号设置。对于此设计中使用的器件型号 TPS3762D02OVDDFRQ1，输出具有锁存器。器件特定输出复位锁存功能可在器件解码器中找到。要清除锁存器，需要在 BIST_EN/LATCH_CLR 引脚上提供的逻辑高电平输入。清除锁存器时，BIST 被启动并且在 $t_{\overline{BIST}} + t_{\overline{BIST}_recover} + t_{CTR}$ 到期后，$\overline{\text{RESET}}$ 将返回逻辑高电平，如 图 7-6 中所述。当 $V_{BIST_EN/LATCH_CLR}$ > 1.3V 时，器件处于锁存禁用模式，$\overline{\text{RESET}}$ 不会在 SENSE 引脚上针对 OV 和 UV 进行锁存。当器件处于锁存禁用模式时，$\overline{\text{RESET}}$ 仍会在发生 OV 和 UV 故障时置为有效。

Copyright © 2026 Texas Instruments Incorporated

8.3.1.3 应用曲线

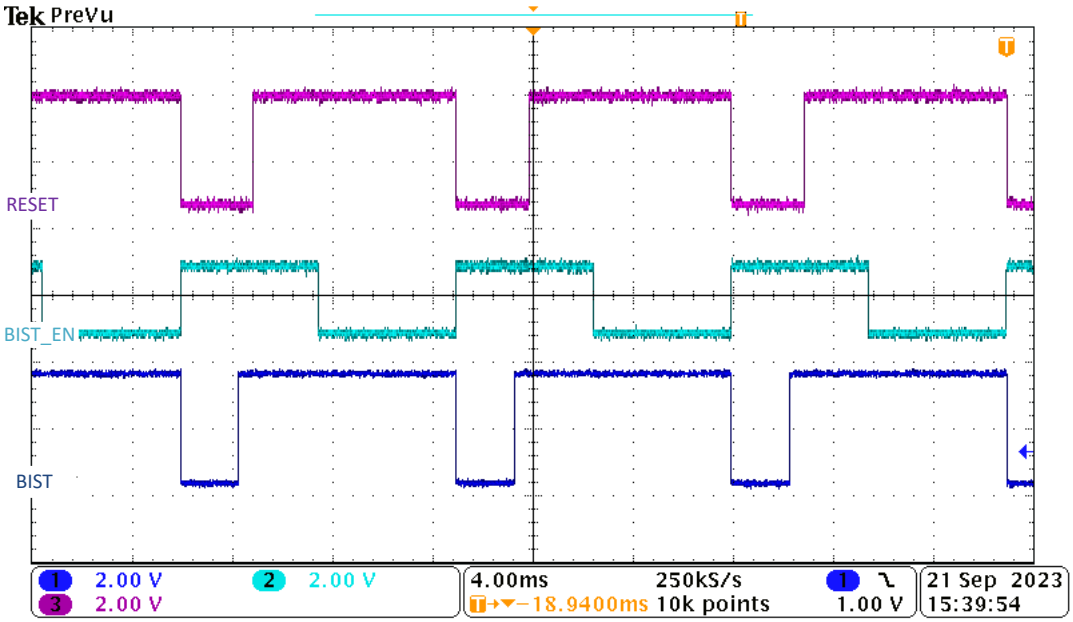


图 8-3. 具有 $\overline{\text{RESET}}$ 置位波形的 BIST

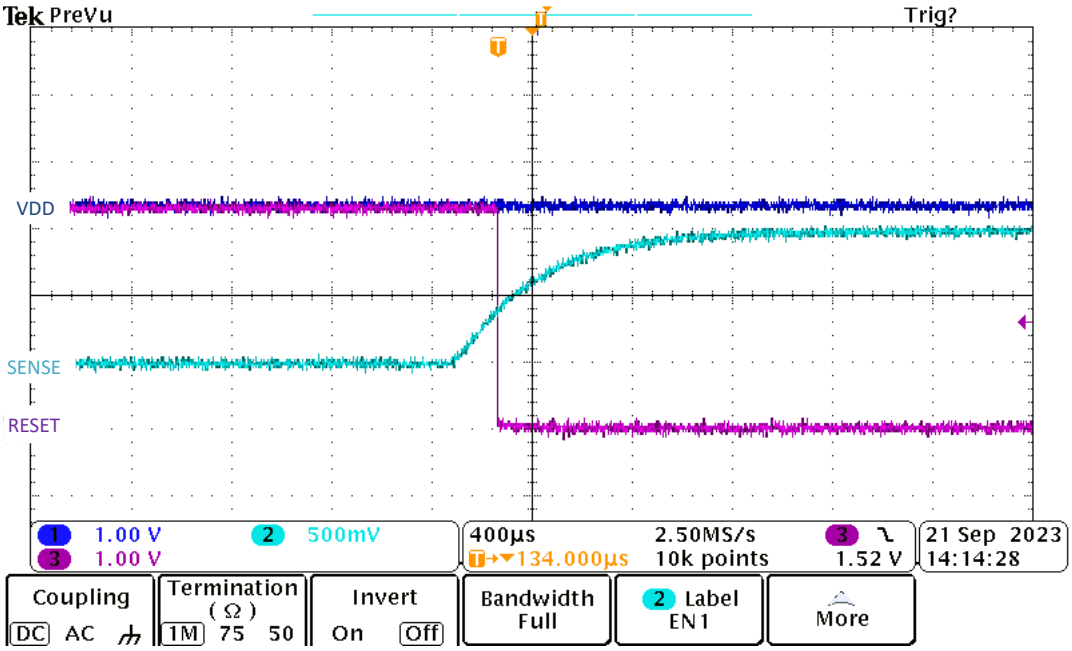


图 8-4. 过压 $\overline{\text{RESET}}$ 锁存波形

Copyright © 2026 Texas Instruments Incorporated

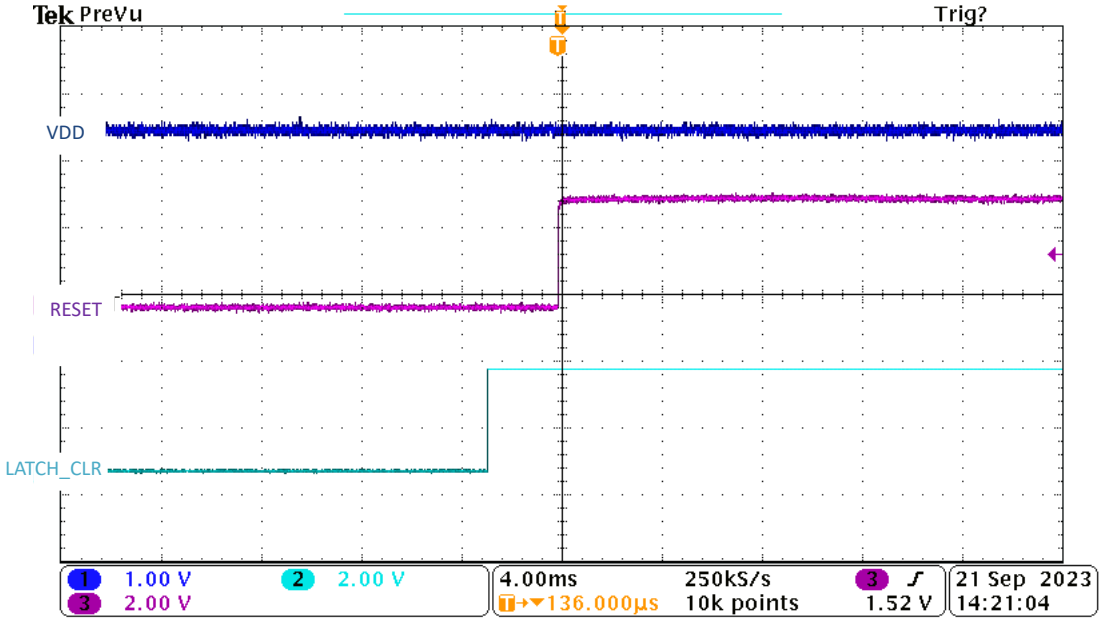


图 8-5. 过压 $\overline{\text{RESET}}$ 取消锁存波形

8.4 电源相关建议

TPS3762-Q1 设计为可通过 V_{DD} 电压为 2.7V（最低工作电压）至 65V（最高工作电压）之间的输入电源来运行。良好的模拟设计实践建议将一个最低 0.1 µF 的陶瓷电容器尽可能靠近 V_{DD} 引脚放置。

8.4.1 功率损耗和器件运行

任何封装的允许功率耗散可衡量器件将热量从电源（IC 的接合点）传递到周围环境的最终散热器的能力。因此，功率耗散取决于环境温度以及芯片结与环境空气之间各种接口上的热阻。

给定封装内器件的最大允许持续功率耗散可使用方程式 10 计算：

$$P_{D\text{-}MAX} = ((T_{J\text{-}MAX} - T_A) / R_{\theta JA}) \quad (10)$$

器件中耗散的实际功率可通过方程式 11 表示：

$$P_D = V_{DD} \times I_{DD} + p_{RESET} \quad (11)$$

p_{RESET} 可通过方程式 12 或方程式 13 计算得出

$$p_{RESET\ (PUSHPULL)} = V_{DD} - V_{RESET} \times I_{RESET} \quad (12)$$

$$p_{RESET\ (OPEN\text{-}DRAIN)} = V_{RESET} \times I_{RESET} \quad (13)$$

方程式 10 和方程式 11 建立了出于散热考虑所导致的最大允许功率耗散、器件上的压降和器件的持续电流能力之间的关系。必须使用这两个公式来确定器件在应用中的理想工作条件。

在功率耗散 (P_D) 较低和/或封装热阻 ($R_{\theta JA}$) 较高的应用中，可以提高最高环境温度 ($T_{A\text{-}MAX}$)。

在功率耗散较大或封装热阻较差的应用中，最高环境温度 ($T_{A\text{-}MAX}$) 可能需要降额。如方程式 14 所示，$T_{A\text{-}MAX}$ 取决于最高工作结温 ($T_{J\text{-}MAX\text{-}OP}$ = 125°C)、应用中器件封装允许的最大功率耗散 ($P_{D\text{-}MAX}$) 以及应用中器件或/封装的结至环境热阻 ($R_{\theta JA}$)：

$$T_{A\text{-}MAX} = (T_{J\text{-}MAX\text{-}OP} - (R_{\theta JA} \times P_{D\text{-}MAX})) \quad (14)$$

8.5 布局

8.5.1 布局指南

- 确保与 VDD 引脚的连接具有低阻抗。良好的模拟设计实践是尽可能靠近 VDD 引脚放置一个大于 0.1 µF 的陶瓷电容器。
- 为了增强 SENSE 引脚上的抗噪性能，在 SENSE 引脚和 GND 之间放置 10nF 至 100nF 的电容器可以降低对受监控信号上瞬态电压的灵敏度。
- 如果在 CTS 或 CTR 上使用了电容器，请将这些元件尽可能靠近相应的引脚放置。如果电容器可调引脚保持未连接，请确保将引脚上的寄生电容值尽量降至 5pF 以下。
- 将 $\overline{\text{RESET}}$ 上的上拉电阻尽可能靠近引脚放置。
- 布置金属走线时，应尽量将高压走线与低压走线分开。如果需要靠近高压走线和低压走线，走线之间的间距必须大于 20mil (0.5mm)。
- 高压金属焊盘或走线与低压金属焊盘或走线的距离不要超过 20mil (0.5mm)。

8.5.2 布局示例

图 8-6 中的布局示例显示了 TPS3762-Q1-Q1 如何在印刷电路板 (PCB) 上布置以实现用户定义的延迟。

Copyright © 2026 Texas Instruments Incorporated

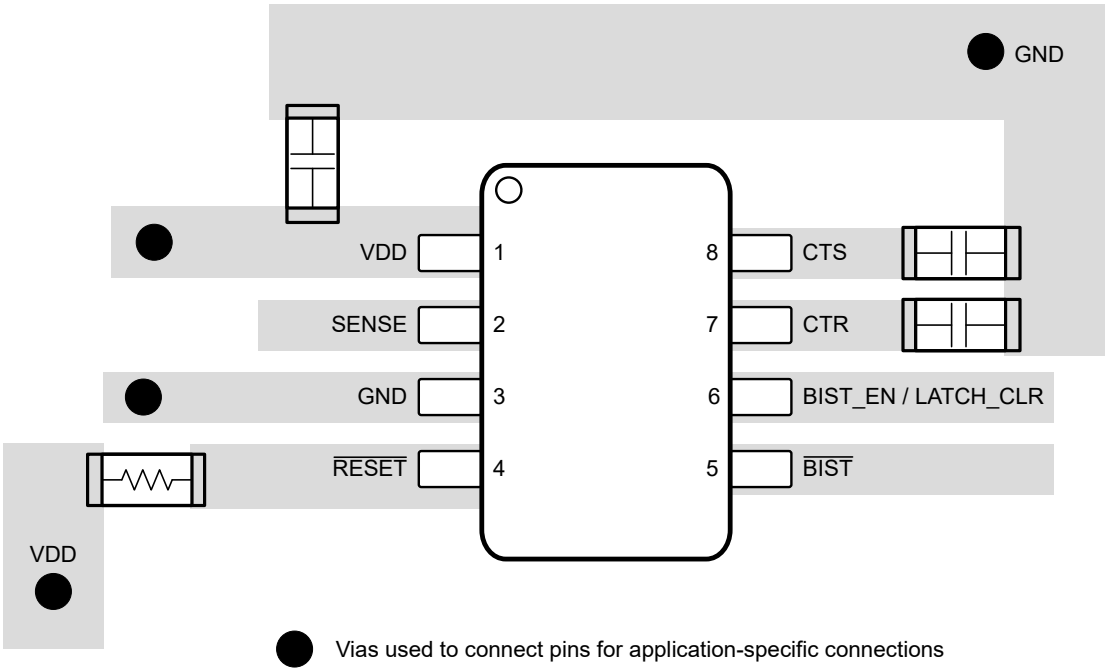


图 8-6. TPS3762-Q1-Q1 建议布局

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

以下相关文档可从 www.ti.com 下载：

- *优化比较器输入端上的电阻分压器*，SLVA450
- *电源设计灵敏度分析*，SLVA481
- *TMS320C28x 数字信号控制器入门*，SPRAAM0
- TPS3762-Q1B-Q1EVM-775 评估模块用户指南，SBVU030
- C2000 Delfino 系列微处理器
- TMS320F2833x 微控制器，SPRS439

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知*进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (May 2024) to Revision B (February 2026)	Page
• 更改了特性，以便更加清晰	1
• 将 5 µs 更改为 3 µs。	1
• 为了清晰起见，更新了说明措辞。	1
• 向封装信息中添加了封装尺寸	1
• 将器件命名规则移至器件比较部分，作为其子段。	3
• 向器件命名规则添加了其他器件。	3
• 添加了其他器件解码器。	3
• 更新了 BIST_EN / LATCH_CLR 的引脚说明	5

Copyright © 2026 Texas Instruments Incorporated

- 根据固定电压阈值型号的其他规格，更新了绝对最大额定值、建议运行条件、电气特性、时序要求和开关特性 6
- 按最新标准更新了绝对最大额定值中的表注 1 6
- 更新了“电气特性”和“开关要求”中的测试条件措辞，以便更加清晰 6
- 已将“TCTS”更改为“Tpd 或 TCTS” 12
- 从“可调节阈值功能方框图”中删除了反极性保护 16
- 更新了锁存器部分中的措辞，使之更加清晰 22
- 将标题中的锁存更改为锁存器 22
- 更新了 CTR 公式，以便更加清晰 25
- 添加了复位延时时间电容值示例 25
- 更新了 CTS 公式，以便更加清晰 26
- 添加了检测延时时间电容值示例 26
- 已更新内置自检以提升清晰度 27

Changes from Revision * (October 2023) to Revision A (May 2024)	Page
• 生产数据发布	1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS3762BM6OVDDFRQ1	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	62BM6
TPS3762BUV05DDFRQ1	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	62BUV
TPS3762D02OVDDFRQ1	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	62D02
TPS3762D02OVDDFRQ1.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	62D02
TPS3762D02OVDDFRQ1.B	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
TPS3762DW4W4DDFRQ1	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	62DW4
TPS3762EG4OVDDFRQ1	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	62EG4
TPS3762EUV02DDFRQ1	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	62EU2
TPS3762EUVF4DDFRQ1	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	62EF4
TPS3762F02OVDDFRQ1	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	62F02

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS3762-Q1 :

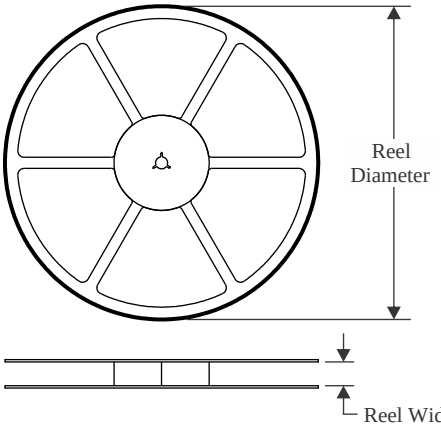
- Catalog : TPS3762

NOTE: Qualified Version Definitions:

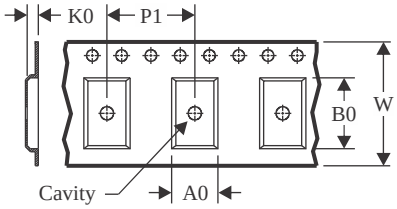
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

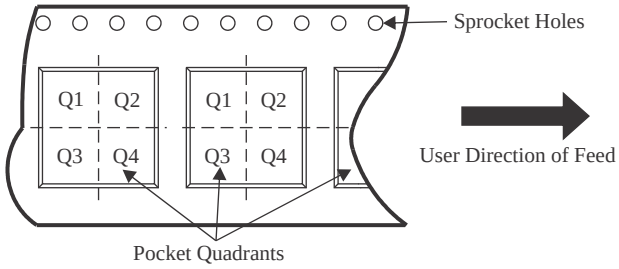


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

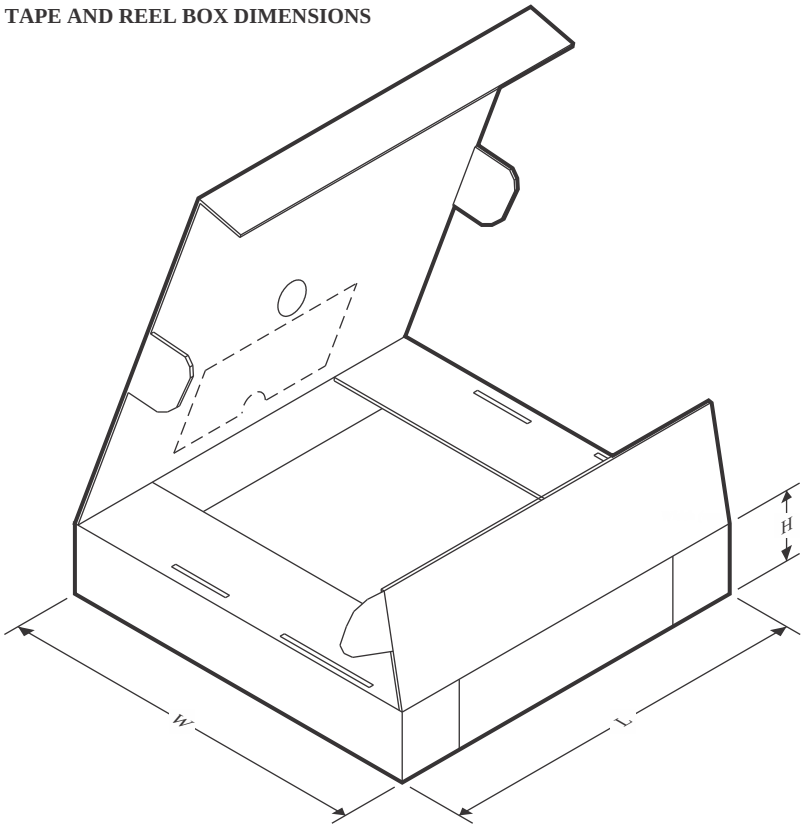
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS3762BM6OVDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3762BUV05DDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3762D02OVDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3762DW4W4DDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3762EG4OVDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3762EUV02DDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3762EUVF4DDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3762F02OVDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

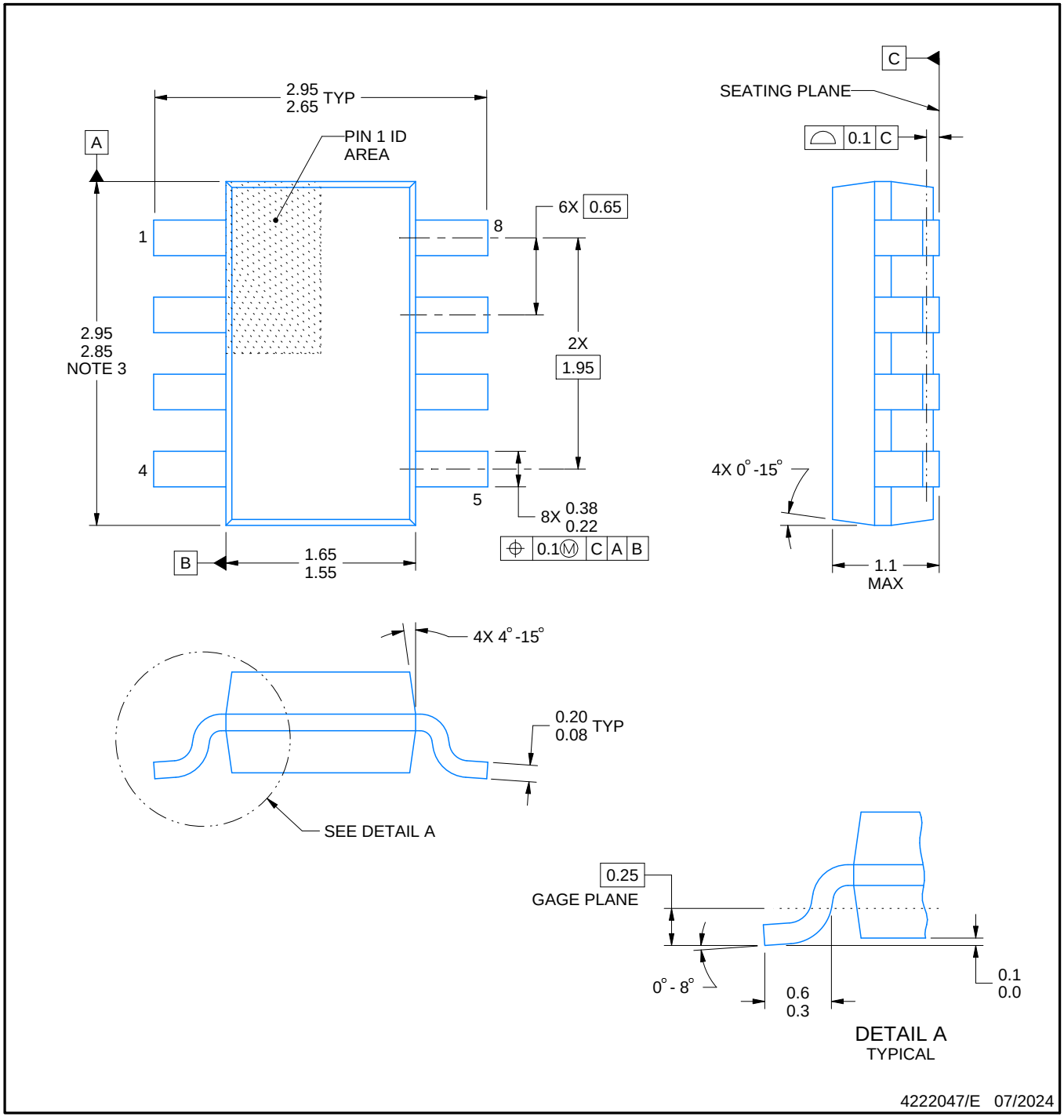
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS3762BM6OVDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TPS3762BUV05DDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TPS3762D02OVDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TPS3762DW4W4DDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TPS3762EG4OVDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TPS3762EUV02DDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TPS3762EUVF4DDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TPS3762F02OVDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0

PACKAGE OUTLINE

DDF0008A

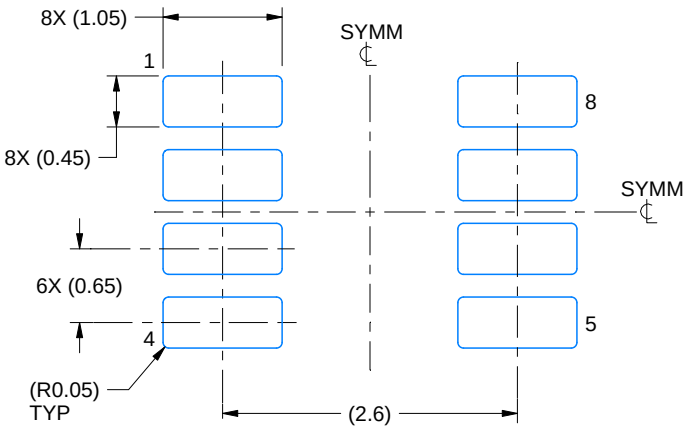
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

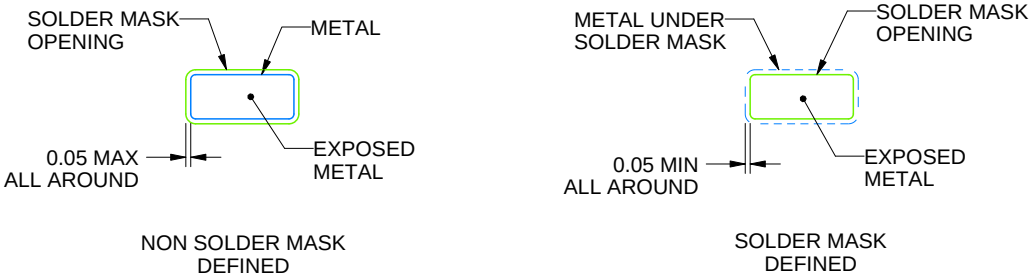


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

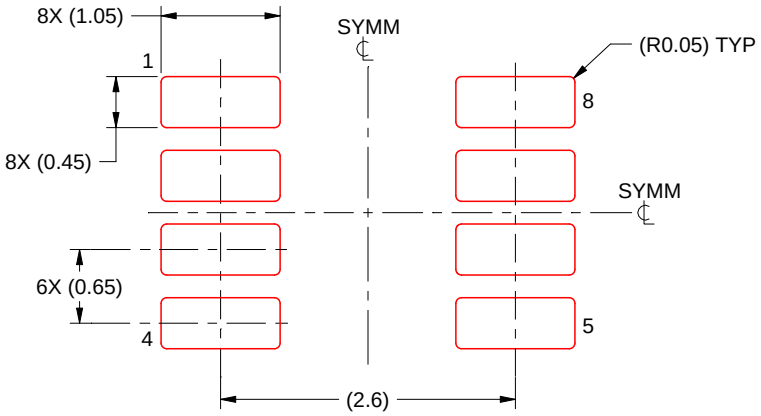
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月