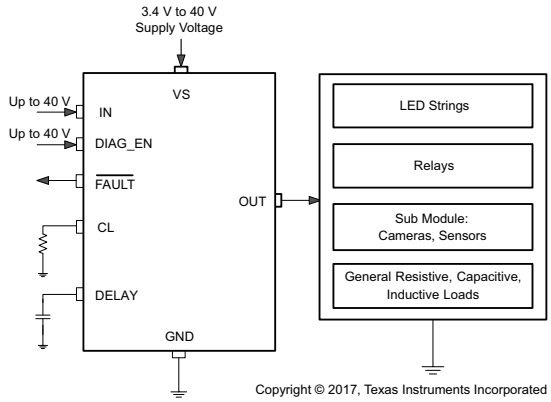
TPS1H000-Q1 汽车级 40V、1Ω 单通道智能高侧开关

1 特性

- 符合汽车应用要求
- 具有符合 AEC-Q100 标准的下列特性：
  - 器件温度等级 1：–40°C 至 125°C 环境工作温度范围
  - 器件 HBM ESD 分类等级 H2
  - 器件 CDM ESD 分类等级 C4B
- 单通道 1000mΩ 智能高侧开关
- 宽工作电压：3.4V 至 40V
- 低待机电流：<500nA
- 可调节电流限制（利用外部电阻器）
  - ≥150mA 时：±15%
  - ≥300mA 时：±10%
- 可配置电流限制后的行为
  - “保持”模式
  - 闭锁模式（具有可调节的延迟时间）
  - “自动重试”模式
- 支持独立操作（无需 MCU）
- 保护：
  - GND 短路和过载
  - 热关断和热振荡
  - 用于电感负载的负电压钳位
  - GND 损耗和电池损耗
- 诊断：
  - 过载和接地短路检测
  - 开路负载和电池短路检测（导通或关断状态下）
  - 热关断和热振荡



典型方框图

2 应用

- 单通道 LED 驱动器
- 单通道高侧继电器驱动器
- 车身照明
- 高级驾驶辅助系统 (ADAS) 传感器
- 一般的电阻负载、电感负载和容性负载

3 说明

TPS1H000-Q1 器件是受到全面保护的单通道高侧电源开关，具有集成式 1000mΩ NMOS 功率 FET。

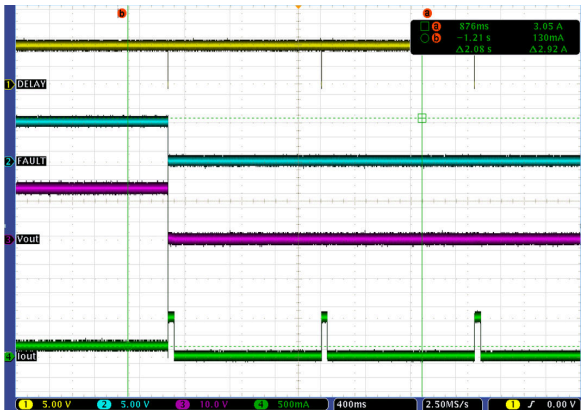
可调节电流限制可通过限制浪涌或过载电流来提高系统可靠性。高精度电流限制可增强过载保护，从而简化前沿电源设计。拥有可配置的特性，能够在功能、成本和热耗散方面提供相应的设计灵活性。

该器件支持对数字状态输出进行全面诊断。在导通和关断状态下皆可进行开路负载检测。无论是否有 MCU，该器件都能正常工作。“独立”模式支持在隔离型系统中使用此器件。

封装信息

器件型号	封装(1)	封装尺寸(2)
TPS1H000-Q1	DGN (HVSSOP，8)	3.00mm × 4.90mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



“自动重试”模式下的电流限制保护

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 5
5.5 电气特性 5
5.6 开关特性 7
5.7 典型特性 8
6 详细说明 10
6.1 概述 10
6.2 功能方框图 10
6.3 特性说明 11
6.4 器件功能模式 20
7 应用和实施 22
7.1 应用信息 22
7.2 典型应用 22
7.3 电源相关建议 23
7.4 布局 23
8 器件和文档支持 25
8.1 接收文档更新通知 25
8.2 支持资源 25
8.3 商标 25
8.4 静电放电警告 25
8.5 术语表 25
9 修订历史记录 25
10 机械、封装和可订购信息 25

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

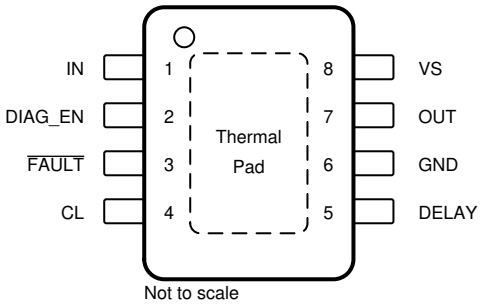


图 4-1. DGN PowerPAD™ 封装、 8 引脚 HVSSOP（带外露散热焊盘）（顶视图）

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
CL	4	O	可调节电流限制。如果未使用外部电流限制，则连接到器件 GND 引脚。
延迟	5	I/O	处于电流限制时的功能配置；内部上拉。
DIAG_EN	2	I	启用诊断功能。
$\overline{\text{FAULT}}$	3	O	开漏诊断状态输出。不使用时保持悬空。
GND	6	—	接地引脚。
IN	1	I	输出激活的输入控制；内部下拉。
OUT	7	O	高侧开关的源极输出，连接至负载。
VS	8	I	高侧开关的漏极电源。
散热焊盘	—	—	散热焊盘。连接至器件 GND 引脚或保持悬空。

(1) I = 输入，O = 输出，I/O = 双向

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）(1) (2)

		最小值	最大值	单位
VS 引脚上的电源电压	t < 400 ms	—	42	V
反极性电压(3)	t < 1 分钟	-36	—	V
GND 引脚上的电流	t < 2 分钟	-100	250	mA
IN 和 DIAG_EN 引脚上的电压		-0.3	42	V
IN 和 DIAG_EN 引脚上的电流		-10	—	mA
DELAY 引脚上的电压		-0.3	7	V
DELAY 引脚上的电流		-60	—	mA
$\overline{\text{FAULT}}$ 引脚上的电压		-0.3	7	V
$\overline{\text{FAULT}}$ 引脚上的电流		-30	10	mA
CL 引脚上的电压		-0.3	7	V
CL 引脚上的电流		—	6	mA
OUT 引脚上的电压		—	42	V
电感负载关断时的单脉冲能量耗散(4)		—	40	mJ
工作结温		-40	150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议的工作条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 所有电压值均以接地为基准。
(3) 反极性条件：V_{IN} = 0V，反向电流 < $I_{R(2)}$，GND 引脚上并联一个 1kΩ 的电阻与二极管。
(4) 测试条件：V_{VS} = 13.5V，L = 300mH，T_J = 150°C，采用 FR4 2s2p 板材（2 × 70 µm 铜箔和 2 × 35 µm 铜箔）。热焊盘铜箔面积为 600mm^2。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)	除 VS 和 GND 引脚外的所有引脚	±2000	V
		VS、OUT 和 GND 引脚	±3000	
	充电器件模型 (CDM)，符合 AEC Q100-011 标准		±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_S	工作电压	4		40	V
	IN 和 DIAG_EN 引脚上的电压	0		40	V
	$\overline{\text{FAULT}}$ 引脚上的电压	0		5	V
$I_{o,nom}$	标称直流负载电流	0		1	A
T_J	工作结温	-40		150	°C

Copyright © 2026 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		TPS1H000-Q1 DGN (HVSSOP) 8 引脚	单位
$R_{\theta JA}$	结至环境热阻	49.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	74.0	°C/W
$R_{\theta JB}$	结至电路板热阻	21.4	°C/W
ψ_{JT}	结至顶部特征参数	3.8	°C/W
ψ_{JB}	结至电路板特征参数	21.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	7.7	°C/W

(1) 有关新旧热性能指标的更多信息，请参阅*半导体和 IC 封装热指标*。

5.5 电气特性

在工作环境温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
工作电压						
$V_{VS(nom)}$	标称工作电压		4		40	V
$V_{VS(uvr)}$	欠压重启	V_{VS} 上升	3.5	3.7	4	V
$V_{VS(uvf)}$	欠压关断	V_{VS} 下降	3	3.2	3.4	V
$V_{(uv,hys)}$	欠压关断迟滞			0.5		V
工作电流						
$I_{(op)}$	标称工作电流	V_{VS} = 13.5V，V_{IN} = 5V，V_{DIAG_EN} = 0V，I_{OUT} = 0.1A，I_{CL} = 0.5A。			5	mA
$I_{(off)}$	待机电流	V_{VS} = 13.5V，V_{IN} = V_{DIAG_EN} = V_{CL} = V_{OUT} = 0V，T_J = 25°C			0.5	μA
		V_{VS} = 13.5V，V_{IN} = V_{DIAG_EN} = V_{CL} = V_{OUT} = 0V，T_J = 125°C			3	
$I_{(off,diag)}$	启用诊断时的待机电流	V_{VS} = 13.5V，V_{IN} = 0V，V_{DIAG_EN} = 5V			3	mA
$t_{(off,deg)}$	待机模式抗尖峰脉冲时间(1)	IN 从高电平转换到低电平的过程中，如果抗尖峰脉冲时间 ≥ $t_{(off,deg)}$，则器件将进入待机模式。		12.5		ms
$I_{lkg(out)}$	关断状态下的输出漏电流	V_{VS} = 13.5V，V_{IN} = V_{DIAG_EN} = V_{OUT} = 0V			3	μA
功率级						
$r_{DS(on)}$	导通状态电阻	V_{VS} ≥ 3.5V，T_J = 25°C		1000		mΩ
		V_{VS} ≥ 3.5V，T_J = 150°C			2000	
$I_{CL(int)}$	内部电流限制	CL 引脚连接至 GND	1		1.8	A
$I_{CL(TSD)}$	热关断期间电流限制值的百分比			60%		
$V_{DS(clamp)}$	漏极-源极电压内部钳位		45		65	V
输出二极管特性						
V_F	漏极-源极二极管电压	IN = 0，I_{OUT} = −0.15A	0.3	0.7	1	V
$I_{R(1)}$	在电池短路条件下，从源极到漏极的连续反向电流(1)	t < 60s、V_{IN}= 0V、T_J = 25°C。			1	A
$I_{R(2)}$	在反极性条件下，从源极到漏极的连续反向电流(1)	t < 60s，V_{IN}= 0V，T_J = 25°C。GND 引脚上并联一个 1kΩ 电阻与二极管。			1	A
逻辑输入 (IN, DIAG_EN)						

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

在工作环境温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{IH}	逻辑高电平电压		2			V
V_{IL}	逻辑低电平电压				0.8	V
$R_{pd,in}$	逻辑引脚下拉电阻	IN.V_{IN} = 5V	150		400	kΩ
		DIAG_EN.V_{VS} = V_{DIAG_EN} = 5V	350		850	
诊断						
$I_{lkg(loss,GND)}$	接地输出漏电流损耗				100	μA
$t_{d(ol,on)}$	导通状态下的开路负载抗尖峰脉冲时间	在 V_{IN} = 5V，V_{DIAG_EN} = 5V 条件下，当 I_{OUT} < $I_{(ol,on)}$ 且持续时间超过 $t_{d(ol,on)}$ 时，检测到开路负载。	200	300	450	μs
$I_{(ol,on)}$	导通状态下的开路负载检测阈值	在 V_{IN} = 5V，V_{DIAG_EN} = 5V 条件下，当 I_{OUT} < $I_{(ol,on)}$ 且持续时间超过 $t_{d(ol,on)}$ 时，检测到开路负载。	1	5	8	mA
$V_{(ol,off)}$	关断状态下的开路负载检测阈值	在 V_{IN} = 0V，V_{DIAG_EN} = 5V 条件下，当 V_{VS} – V_{OUT} < $V_{(ol,off)}$ 且持续时间超过 $t_{d(ol,off)}$ 时，检测到开路负载。	1.4		2.6	V
$t_{d(ol,off)}$	关断状态下的开路负载抗尖峰脉冲时间	在 V_{IN} = 0V，V_{DIAG_EN} = 5V 条件下，当 V_{VS} – V_{OUT} < $V_{(ol,off)}$ 且持续时间超过 $t_{d(ol,off)}$ 时，检测到开路负载。	200	300	450	μs
$I_{(ol,off)}$	关断状态下的输出灌电流	V_{IN} = 0V，V_{DIAG_EN} = 5V，V_{VS} = V_{OUT} = 13.5V	-70			μA
$V_{\overline{FAULT}}$	$\overline{FAULT}$ 低输出电压	$I_{\overline{FAULT}}$ = 2mA			0.2	V
$t_{\overline{FAULT}}$	$\overline{FAULT}$ 信号保持时间(1)			8.5		ms
$T_{(SD)}$	热关断阈值(1)			175		°C
$T_{(SD,rst)}$	热关断状态复位(1)			155		°C
$T_{(sw)}$	热振荡关断阈值(1)			60		°C
$T_{(hys)}$	用于复位热关断和热振荡的迟滞(1)			10		°C
电流限制和延迟配置						
$K_{(CL)}$	电流限制电流比(1)			600		
$V_{CL(th)}$	电流限制内部电压阈值(1)			0.8		V
$dK_{(CL)}/K_{(CL)}$	外部电流限制精度(2) (I_{OUT} – I_{CL} × $K_{(CL)}$) × 100 / (I_{CL} × $K_{(CL)}$)	I_{limit} ≥ 0.05A，V_{VS} – V_{OUT} ≥ 2.5V	-20%		20%	
		I_{limit} ≥ 0.15A，V_{VS} – V_{OUT} ≥ 2.5V	-15%		15%	
		I_{limit} ≥ 0.3A，I_{limit} < 1A，V_{VS} – V_{OUT} ≥ 2.5V	-10%		10%	
$I_{dl(chg)}$	延迟引脚在闭锁模式下的充电电流(1)			4.5		μA
$V_{dl(th)}$	自动重试模式下的上拉阈值		2.7			V
$V_{dl(ref)}$	闭锁模式下的内部基准电压			1.45		V
t_{dl1}	内部固定延迟时间(1)		300	400	500	μs
t_{dl2}	可通过 DELAY 引脚上的外部电容器调节的延迟时间(1)	连接一个最大值为 3.3uF 的电容器。			1000	ms
$t_{CL(deg)}$	电流限制时的抗尖峰脉冲时间(1)	IN 从低电平转换到高电平，V_{DIAG_EN} = 5V 条件下，从 IN 上升沿到 FAULT 报告输出的抗尖峰脉冲时间。	300		500	μs
		IN 保持高电平，V_{DIAG_EN} = 5V 条件下，从 CL 起始点到 FAULT 报告输出的抗尖峰脉冲时间。	80		180	

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

在工作环境温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$t_{hic(on)}$	自动重试模式下的导通时间(1)		35	40	45	ms
$t_{hic(off)}$	自动重试模式下的关断时间(1)		0.8	1	1.2	s

(1) 值由设计指定，无需进行生产测试
(2) 外部电流限制精度仅适用于超过电流限制设置 1.5 倍的过载情况

5.6 开关特性

参数		测试条件	最小值	标称值	最大值	单位
$t_{d(on)}$	导通延迟时间，IN 上升沿至 V_{OUT} 的 10%	V_{VS} = 13.5V，V_{DIAG_EN} = 5V，I_{OUT} = 0.1A	20	50	90	µs
$t_{d(off)}$	关断延迟时间，IN 下降沿至 V_{OUT} 的 90%	V_{VS} = 13.5V，V_{DIAG_EN} = 5V，I_{OUT} = 0.1A	20	50	90	µs
$dV/dt_{(on)}$	压摆率导通，V_{OUT} 从 10% 至 90%	V_{VS} = 13.5V，V_{DIAG_EN} = 5V，I_{OUT} = 0.1A	0.1		0.6	V/µs
$dV/dt_{(off)}$	压摆率关断，V_{OUT} 从 90% 至 10%	V_{VS} = 13.5V，V_{DIAG_EN} = 5V，I_{OUT} = 0.1A	0.3		0.9	V/µs

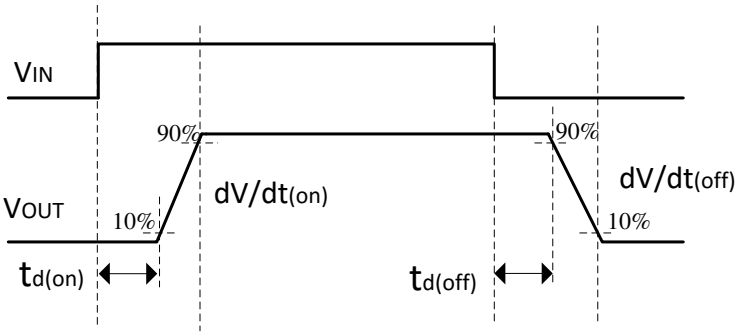


图 5-1. 输出延迟特性

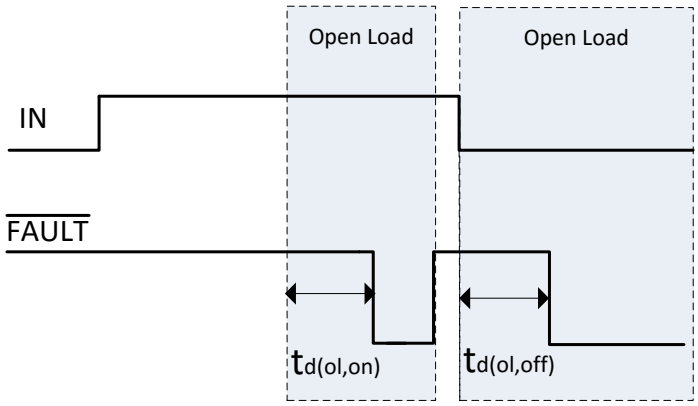


图 5-2. 负载开路消隐时间特性

5.7 典型特性

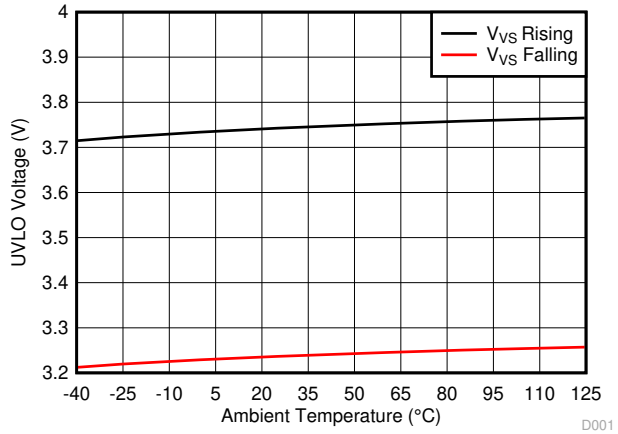


图 5-3. UVLO 电压阈值

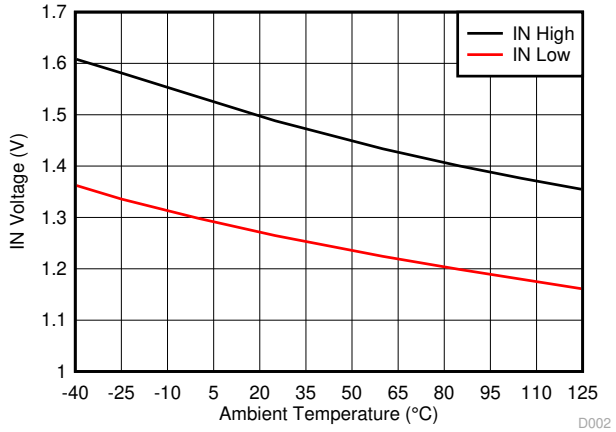


图 5-4. IN 电压阈值

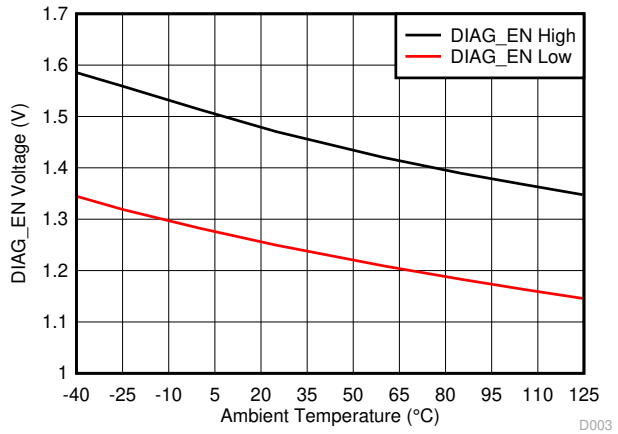


图 5-5. DIAG_EN 电压阈值

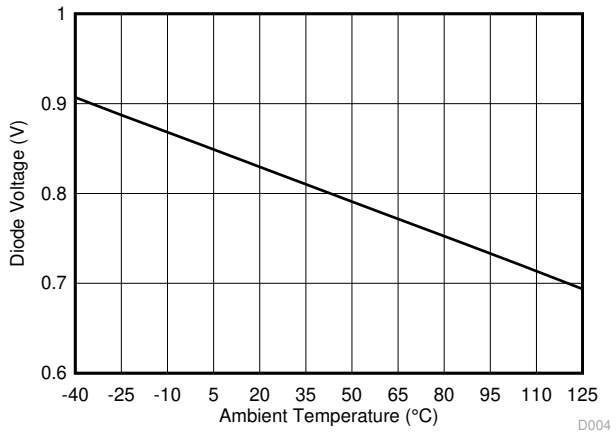


图 5-6. 体二极管正向电压

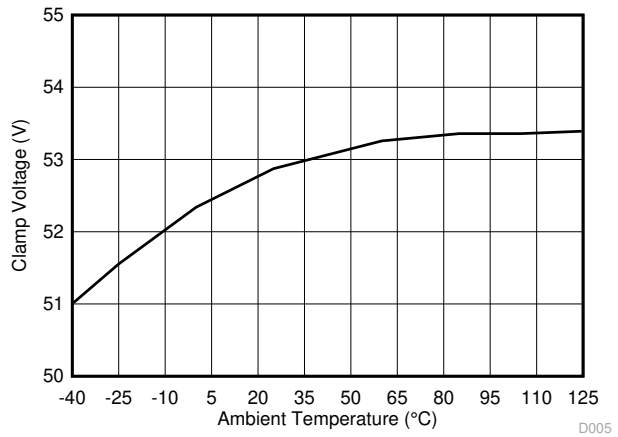


图 5-7. 漏源钳位电压

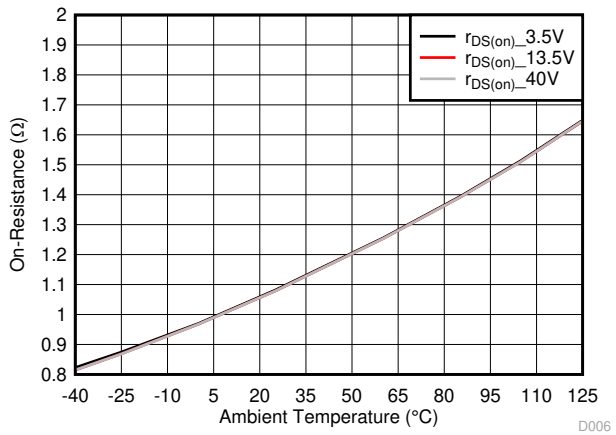
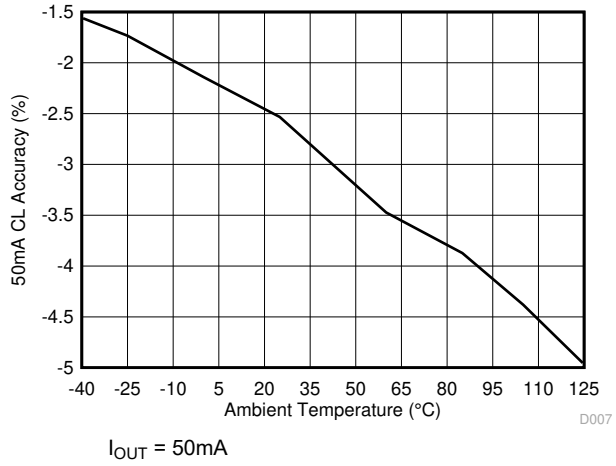


图 5-8. FET 的导通电阻

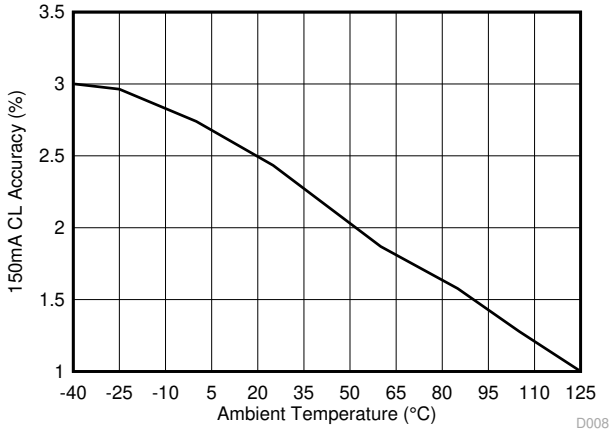
Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性（续）



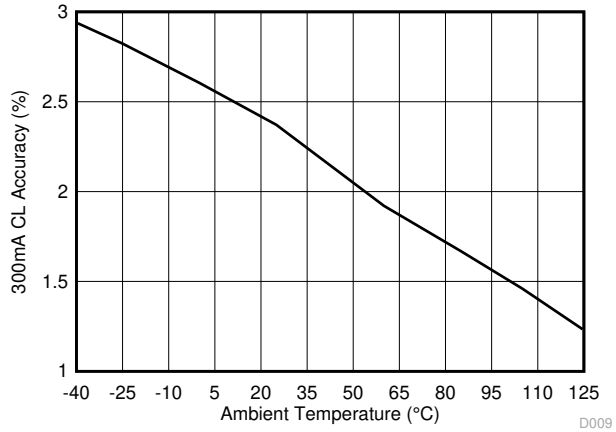
I_{OUT} = 50mA

图 5-9. 50mA 电流下的电流限制精度



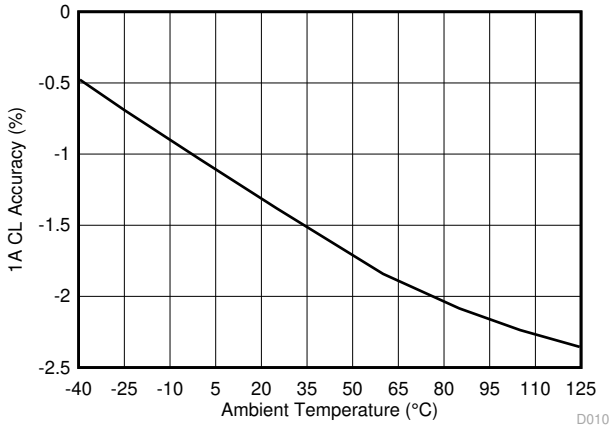
I_{OUT} = 150mA

图 5-10. 150mA 电流下的电流限制精度



I_{OUT} = 300mA

图 5-11. 300mA 电流下的电流限制精度



I_{OUT} = 1A

图 5-12. 1A 电流下的电流限制精度

Copyright © 2026 Texas Instruments Incorporated

6 详细说明

6.1 概述

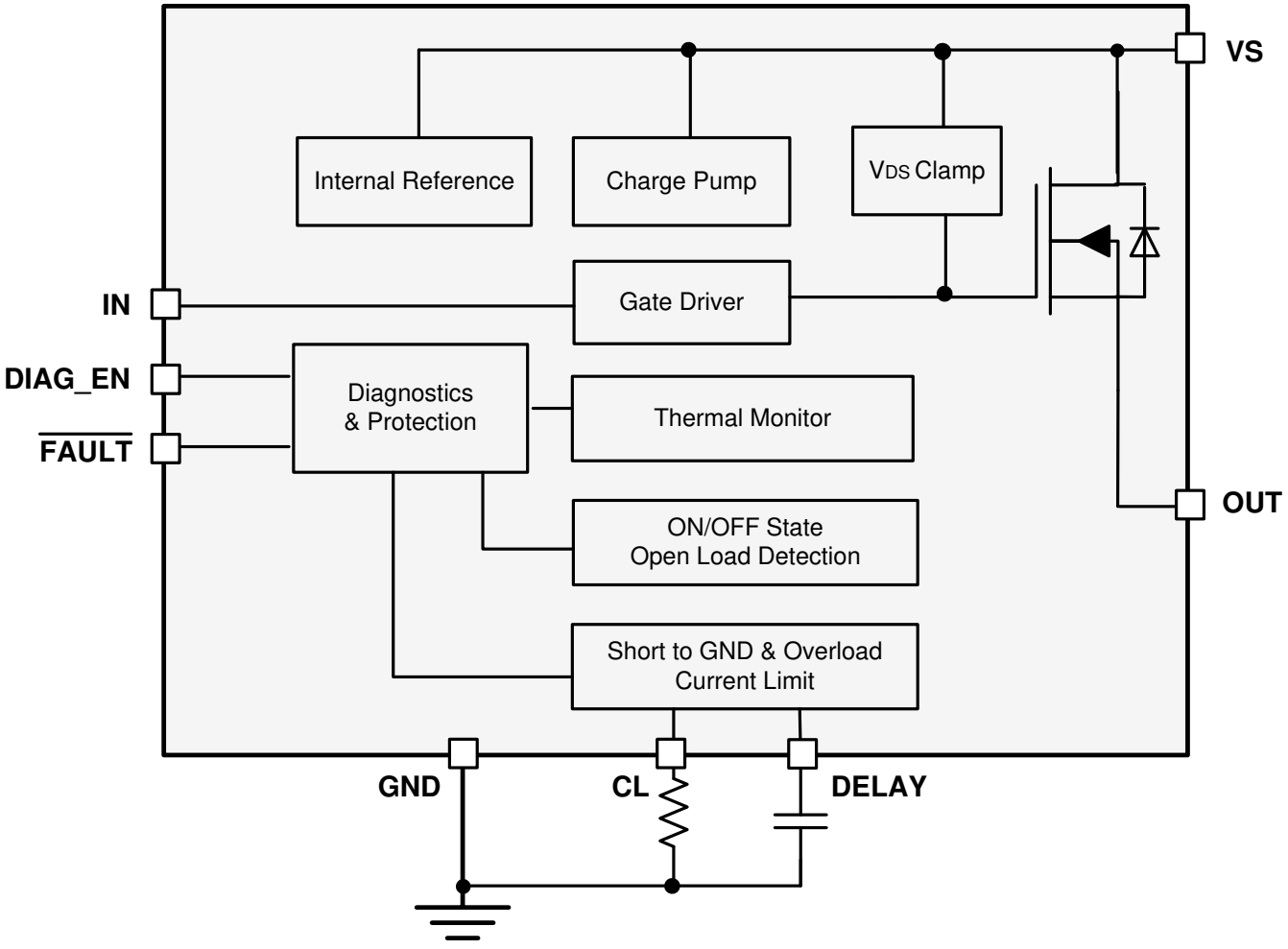
TPS1H000-Q1 器件是一款具有内部电荷泵和单通道集成式 NMOS 功率 FET 的智能高侧开关。可调节电流限制功能能够极大地提高整个系统的可靠性。全面诊断功能可实现对负载的智能控制。

外部高精度电流限制功能允许根据应用设置电流限制值。当发生过流时，该器件通过有效钳制浪涌电流来提高系统可靠性。此外，TPS1H000-Q1 器件还可以通过减少 PCB 走线、连接器尺寸和前一个功率级的容量来节省系统成本。发生电流限制时，TPS1H000-Q1 器件提供三种模式。通过 DELAY 引脚的配置，用户可以将输出设置为以下三种模式之一：持续维持当前设定电流、立即闭锁或自动重试。在电流限制期限的可配置特性还能够在功能、成本和热耗散方面提供设计灵活性。

TPS1H000-Q1 器件支持对数字状态输出进行全面诊断。高精度和低阈值开路负载检测可实现实时导通状态监控。TPS1H000-Q1 器件还支持无 MCU 的独立模式，在本地实现全功能运行。

TPS1H000-Q1 器件是一种智能高侧开关，可用作各种电阻负载、电感负载和容性负载，包括 LED、继电器和子模块。

6.2 功能方框图



Copyright © 2026 Texas Instruments Incorporated

6.3 特性说明

6.3.1 电流限值

高精度电流限制提升了设计的可靠性。它可在接地短路或上电条件下保护负载和电源，避免遭受过应力损坏。此外，此项功能还可以通过减少 PCB 走线、连接器尺寸和前一个功率级的容量来节省系统成本。

当达到电流限制阈值时，闭环立即激活。输出电流被钳位在设定值，同时报告故障。由于功率 FET 上的高功耗，器件温度会升高。

该器件具有两个电流限制阈值。

- 内部电流限制：内部电流限制固定为 $I_{CL(int)}$。对于大瞬态电流应用，将 CL 引脚直接连接到器件 GND。
- 外部可调节电流限制：通过外部电阻器设置电流限制阈值。使用方程式 1 计算 $R_{(CL)}$。$V_{CL(th)}$ 是内部带隙电压。$K_{(CL)}$ 是输出电流与电流限制设定值之比。$K_{(CL)}$ 在整个温度和电源电压范围内是一个恒定值。外部可调节电流限制允许根据应用灵活设置电流限制值。

$$R_{CL} = \frac{V_{CL(th)} \times K_{(CL)}}{I_{OUT}} \quad (1)$$

请注意，如果使用接地网络，则会导致器件 GND 引脚和电路板 GND 之间发生电平转换，因此，CL 引脚必须与器件 GND 引脚连接。

为了更好地防止出现硬接地短路情况（当 IN 引脚启用，且突然发生接地短路时），器件会实施快速跳变保护，在设置电流限制闭环之前关断输出。快速跳变的响应时间一般不到 1µs。凭借这种快速响应能力，器件可以实现更佳的浪涌电流抑制性能。

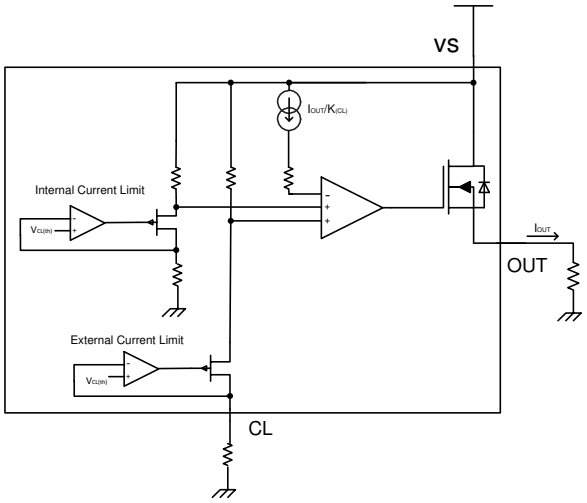


图 6-1. 电流限值

6.3.2 DELAY 引脚配置

发生电流限制时，TPS1H000-Q1 器件支持三种不同的输出行为。

表 6-1. 电流限制配置

模式	延迟配置	输出电流行为	故障恢复
保持	直接连接到 GND 引脚	达到电流限值时，输出电流保持在设定值。当 $T_J > T_{(SD)}$ 时，器件进入热关断模式。	当 IN 变为低电平且持续时间超过 t_{FAULT} 时，或在 IN 为高电平时电流限制被移除时，$\overline{FAULT}$ 信号清除。

Copyright © 2026 Texas Instruments Incorporated

表 6-1. 电流限制配置（续）

模式	延迟配置	输出电流行为	故障恢复
闭锁	经电容器连接到 GND 引脚	达到电流限值时，输出电流保持在设定值，但在预设 DELAY 时间 (t_{dl1}+ t_{dl2}) 后闭锁。t_{dl1} 是默认延迟时间；t_{dl2} 是电容器可配置的延迟时间。 无论电流限制是否消除，输出都会保持闭锁状态。仅当 IN 切换时，输出才会恢复。	当 IN 变为低电平且持续时间超过 $t_{\overline{FAULT}}$ 时，$\overline{FAULT}$ 信号清除。
自动重试	外部上拉	达到电流限值时，输出电流保持在设定值，但周期性打开 $t_{hic(on)}$，关闭 $t_{hic(off)}$。	当 IN 变为低电平且持续时间超过 $t_{\overline{FAULT}}$ 时，或当电流限值被移除 $t_{hic(on)}$ 后，$\overline{FAULT}$ 信号清除。

6.3.2.1 “保持”模式

当 DELAY 引脚直接连接到 GND 引脚时，保持模式有效。达到电流限值时，输出电流保持在设定值。当 T_J > $T_{(SD)}$ 时，器件进入热关断模式。

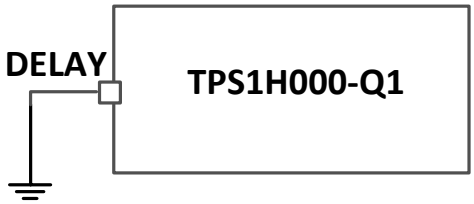


图 6-2. 保持模式连接

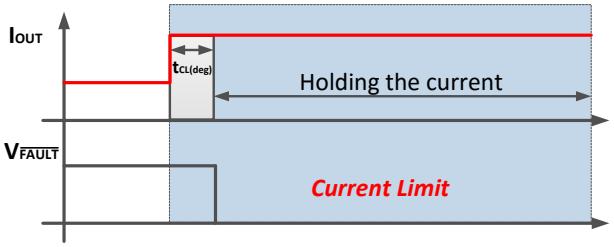


图 6-3. 保持模式示例

6.3.2.2 闭锁模式

当 DELAY 引脚通过电容器连接到 GND 引脚时，闭锁模式被激活。达到电流限值时，输出电流保持在设定值，但在预设 DELAY 时间 (t_{dl1} + t_{dl2}) 后闭锁。t_{dl1} 是默认延迟时间；t_{dl2} 是电容器可配置的延迟时间。无论电流限制是否消除，输出都会保持闭锁状态。仅当 IN 切换时，输出才会恢复。

请使用方程式 2 来计算 t_{dl2}。$I_{dl(chg)}$ 是闭锁模式下的器件充电电流，$V_{dl(ref)}$ 是闭锁模式下的内部基准电压，t_{dl2} 是用户设定的延迟时间，C_{DELAY} 是连接在 DELAY 引脚上的电容器。

$$C_{DELAY} = \frac{I_{dl(chg)} \times t_{dl2}}{V_{dl(ref)}} \quad (2)$$

Copyright © 2026 Texas Instruments Incorporated

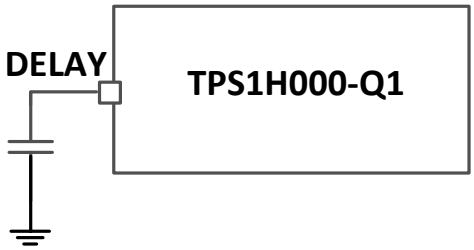


图 6-4. 闭锁模式连接

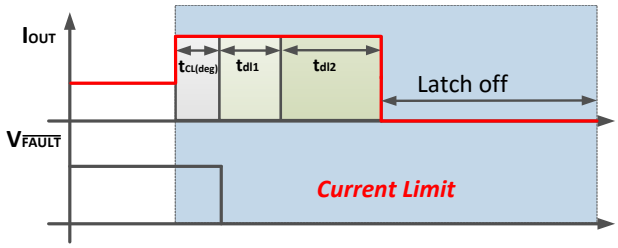


图 6-5. 闭锁模式示例

6.3.2.3 “自动重试”模式

当 DELAY 引脚被外部上拉时，自动重试模式被激活。上拉电压必须高于 $V_{dl(th)}$。达到电流限值时，输出电流保持在设置值，但周期性打开 $t_{hic(on)}$，关闭 $t_{hic(off)}$。

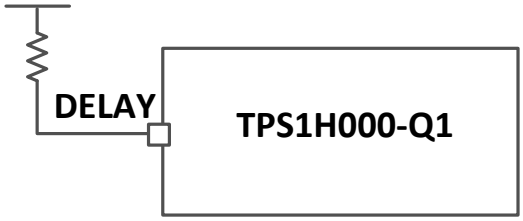


图 6-6. 自动重试模式连接

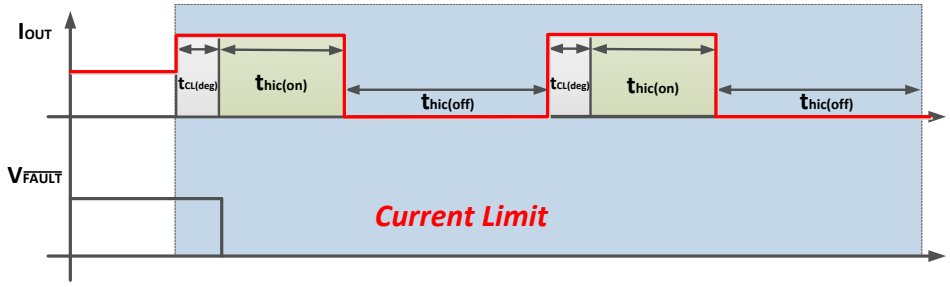


图 6-7. 自动重试模式示例

6.3.3 独立运行

在典型应用中，TPS1H000-Q1 器件由微控制器控制。该器件还支持独立运行。IN 和 DIAG_EN 引脚具有 40V 的最大额定直流电压，可以直接连接到 VS 引脚。在自动重试模式下，DELAY 引脚也可通过 100kΩ 电阻器连接到 VS 引脚。

Copyright © 2026 Texas Instruments Incorporated

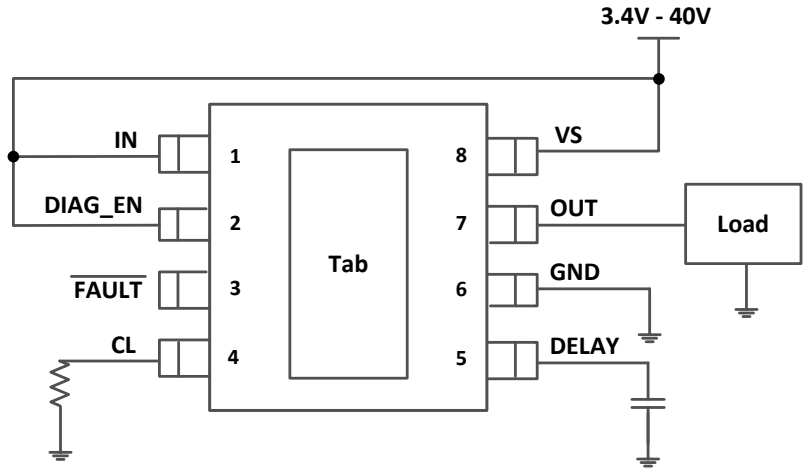


图 6-8. 在闭锁模式下独立运行

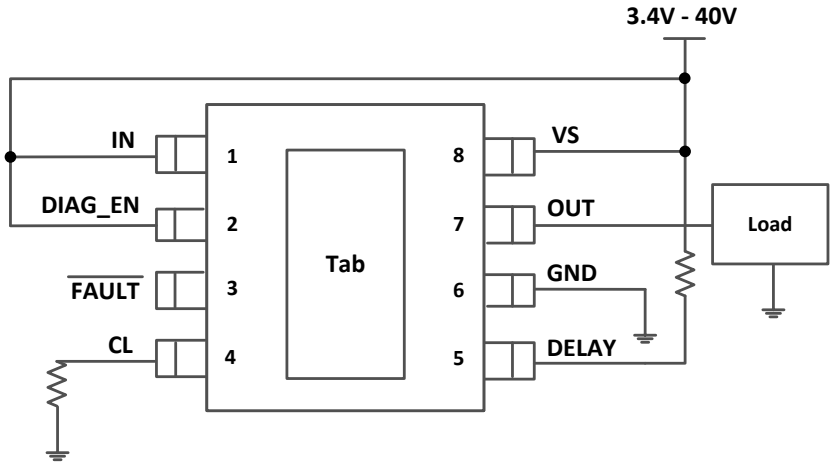


图 6-9. 在自动重试模式下独立运行

6.3.4 故障真值表

DIAG_EN 引脚用于启用或禁用诊断功能。如果使用了多个器件，但微控制器中的 ADC 资源有限，微控制器可以使用 GPIO 将 DIAG_EN 设置为高电平，以启用某一器件的诊断功能，同时通过将其他器件的 DIAG_EN 设置为低电平来禁用它们的诊断功能。此外，通过将 DIAG_EN 和 IN 设置为低电平，可以将器件的功耗降至最低。

当 DIAG_EN 引脚启用时，表 6-2 适用。当 DIAG_EN 引脚禁用时，表 6-3 适用。

Copyright © 2026 Texas Instruments Incorporated

表 6-2. 故障真值表

条件	IN	OUT	标准	FAULT	故障恢复
正常	L	L	—	H	—
	H	H	—	H	
过载或接地短路	H	L	触发电流限制。	L	请参阅表 6-1。
开路或电池短路	H	H	$I_{OUT} < I_{(ol,on)}$	L	当 IN 变为低电平且持续时间超过 t_{FAULT} 时，FAULT 信号清除。或当开路负载被移除时，FAULT 信号清除。
	L(1)	H	$V_{VS} - V_{OUT} < V_{(ol,off)}$	L	当 IN 进行切换时，FAULT 信号清除；或当开路负载被移除时，FAULT 信号清除。
热关断	H	—	触发热关断	L	当 IN 变为低电平且持续时间超过 t_{FAULT} 时，FAULT 信号清除。或在热关断退出时，FAULT 信号清除。
热振荡	H	—	触发热振荡	L	当 IN 变为低电平且持续时间超过 t_{FAULT} 时，FAULT 信号清除。或在热振荡停止时，FAULT 信号清除。

(1) 需要外部上拉电阻用于开路负载检测。

表 6-3. DIAG_EN 禁用状态

DIAG_EN	IN	保护和诊断
低电平	开	诊断功能禁用，启用全面保护
	关	诊断功能禁用，无保护功能

6.3.5 全面诊断

6.3.5.1 接地短路和过载检测

当输出导通时，接地短路或过载状况会造成过流。如果过流触发内部或外部电流限制阈值，故障条件报告为 FAULT 引脚 = 低电平。

6.3.5.2 开路负载检测

6.3.5.2.1 输出开启

当输出导通时，如果输出电流 $I_{OUT} < I_{(ol,on)}$，器件将识别为开路负载故障。实现输出导通时的开路负载检测，无需外部电路。

6.3.5.2.2 输出关闭

当输出关闭时，如果连接了负载，则输出下拉至 GND。但如果发生开路负载，则输出电压接近电源电压 ($V_{VS} - V_{OUT} < V_{(ol,off)}$)，并且器件会识别出开路负载故障。

由于内部逻辑控制路径或外部湿度、腐蚀等原因，输出端始终存在漏电流 $I_{(ol,off)}$。因此，建议使用外部上拉电阻器来偏移检测到开路负载时的漏电流。建议的上拉电阻为 15kΩ。

Copyright © 2026 Texas Instruments Incorporated

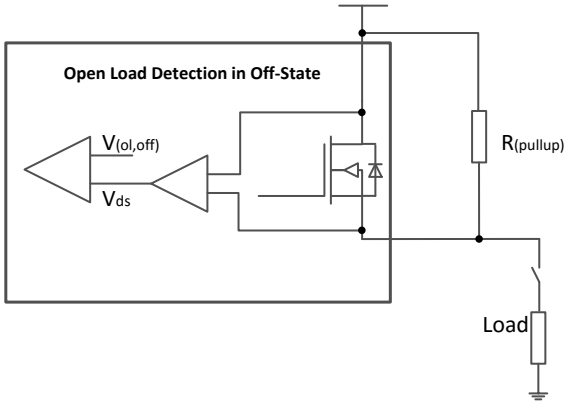


图 6-10. 输出关断下的开路负载检测

6.3.5.3 电池短路检测

在导通和关断状态下，电池短路检测具有与开路负载检测相同的检测机制和行为。

6.3.5.4 热故障检测

为了在高功率应力条件下保护器件，器件实施了两种热故障检测机制：绝对温度保护（热关断）和动态温度保护（热振荡）。

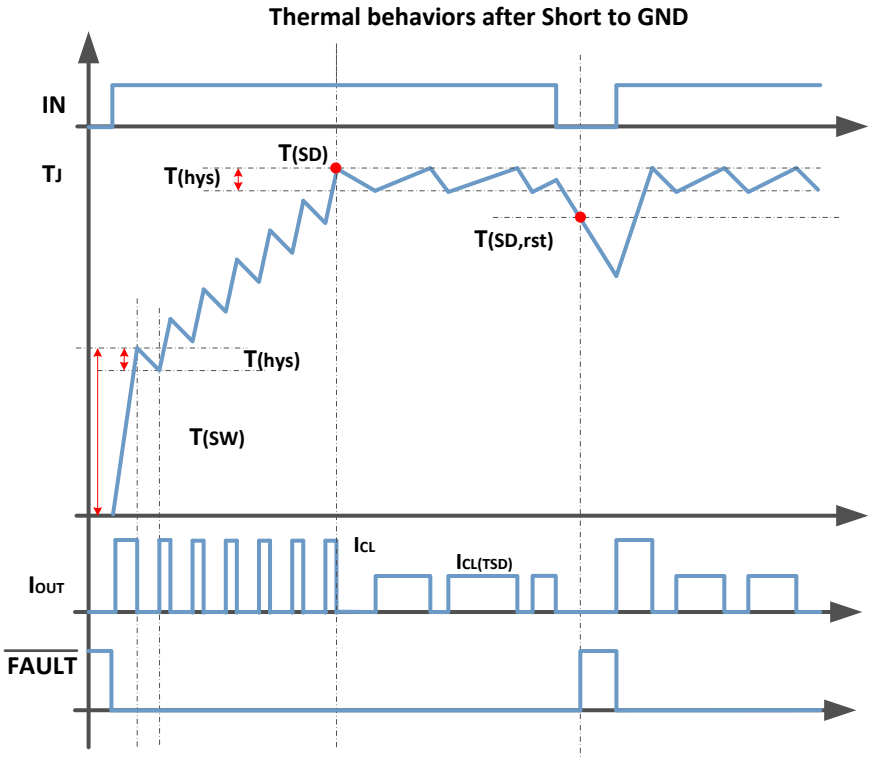


图 6-11. 热行为图

6.3.5.4.1 热关断

当绝对温度 $T_J > T_{(SD)}$ 时，会激活热关断。如果发生热关断，输出将关断。

6.3.5.4.2 热振荡

当功率 FET 的温度急速上升（即 方程式 3）时，会激活热振荡，然后输出会关断。

Copyright © 2026 Texas Instruments Incorporated

$$\Delta T = T_{(FET)} - T_{(Logic)} > T_{(sw)} \quad (3)$$

输出会自动恢复，故障信号在以下条件下清除

$$\Delta T = T_{(FET)} - T_{(Logic)} < T_{(sw)} - T_{(hys)} \quad (4)$$

热振荡功能提高了器件在重复快速热变化情况下的稳定性。

6.3.5.4.3 故障报告保持

使用 PWM 调光时，$\overline{FAULT}$ 信号会因 PWM 的下降沿而容易被清除。即使故障条件一直存在，$\overline{FAULT}$ 信号也可能是间断性的。为避免这种意外故障报告行为，器件实现了故障报告保持时间。图 6-12 显示了 PWM 调光中的典型问题：即使接地短路仍然存在，$\overline{FAULT}$ 信号却意外清除。具有故障报告保持功能的 TPS1H000-Q1 器件可实现如图 6-13 所示的正确行为。

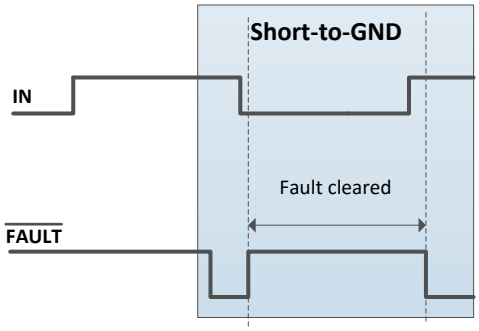


图 6-12. 无故障报告保持功能

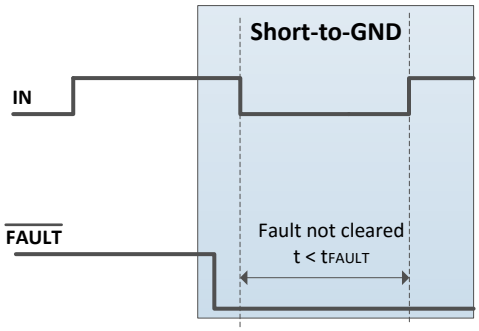


图 6-13. 具有故障报告保持功能

6.3.6 全面保护

6.3.6.1 UVLO 保护

该器件可监控电源电压 V_{VS}，以防止 V_{VS} 过低时出现意外行为。当 V_{VS} 下降至低于 $V_{VS(uvf)}$ 时，器件会关断。当 V_{VS} 上升至 $V_{VS(uvr)}$ 时，器件会导通。

6.3.6.2 电感负载关断钳位

断开电感负载时，电感电抗会导致输出电压趋于负值。过高的负电压会导致功率 FET 损坏。为了保护功率 FET，器件在漏极和源极之间实现了内部钳位功能，即 $V_{DS(clamp)}$。

Copyright © 2026 Texas Instruments Incorporated

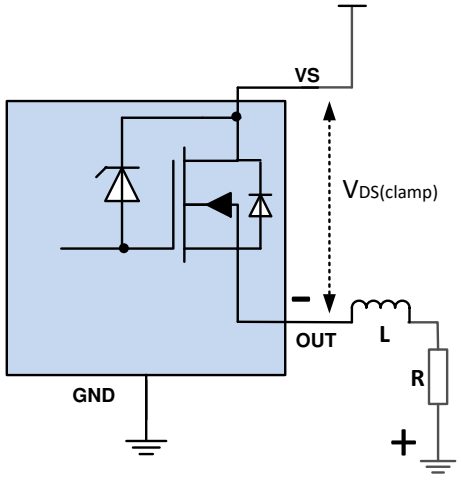


图 6-14. 漏源钳位结构

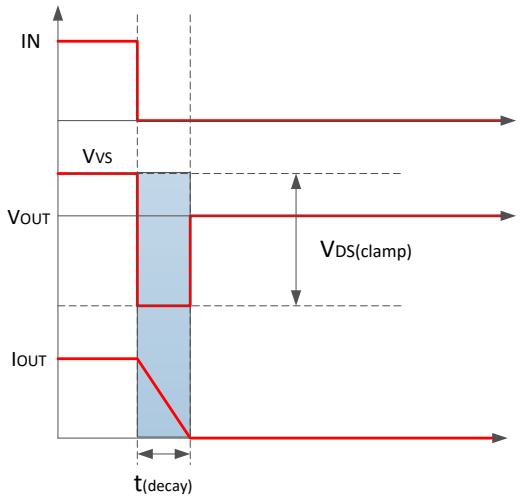


图 6-15. 电感负载关断图

6.3.6.3 接地失效保护

发生接地失效时，无论 IN 引脚是高电平还是低电平，输出都将关断。器件可以针对以下两种失去地情况提供保护：器件接地失效和模块接地失效。

6.3.6.4 电源失效保护

发生电源丢失时，无论 IN 引脚的电平是高还是低，输出都将关断。对于电阻负载和容性负载，电源丢失没有风险。但对于已充电的电感负载，为维持电感电流，所有逻辑控制引脚都会被驱动。在这种情况下，为保护系统，德州仪器 (TI) 推荐使用外部续流二极管作为保护措施。

Copyright © 2026 Texas Instruments Incorporated

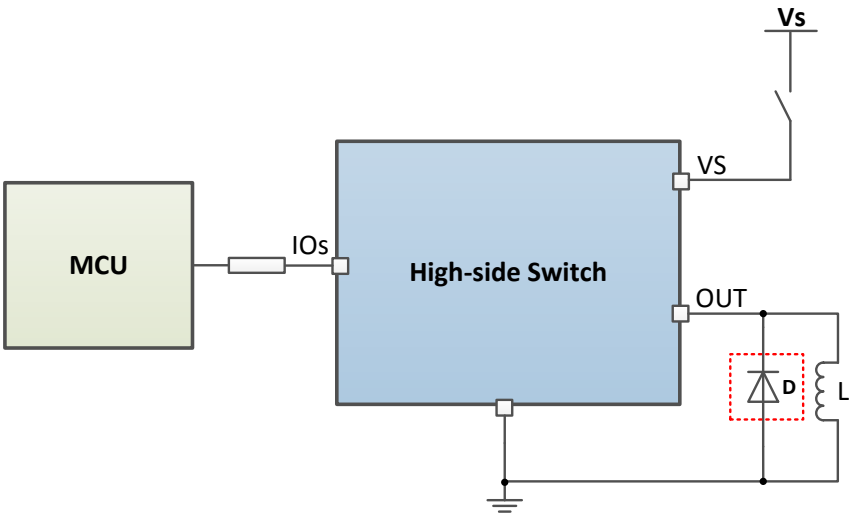


图 6-16. 电源失效保护

6.3.6.5 反向电流保护

反向电流在两种情况下发生：电源短路和反极性。

- 当发生电源短路时，只有体二极管会产生反向电流。$I_{R(1)}$ 指定反向电流的限制。
- 在反极性条件下，体二极管和器件 GND 引脚均会产生反向电流。$I_{R(2)}$ 指定反向电流的限制。

为保护器件，德州仪器 (TI) 建议使用两种类型的外部电路。

- 添加阻断二极管（方法 1）。极性相反时，器件和负载均受到保护。
- 添加接地网络（方法 2）。阻断器件 GND 引脚的反向电流。限制通过 FET 的反向电流：由负载本身限制。德州仪器 (TI) 建议并联一个电阻器与二极管构成接地网络。建议的配置是与 > 100mA 的二极管并联的 1kΩ 电阻器。在任何情况下，接地网络中反向电流保护二极管的正向压降必须小于 0.6V。此外，建议 I/O 引脚上使用最小 4.7kΩ 的电阻。

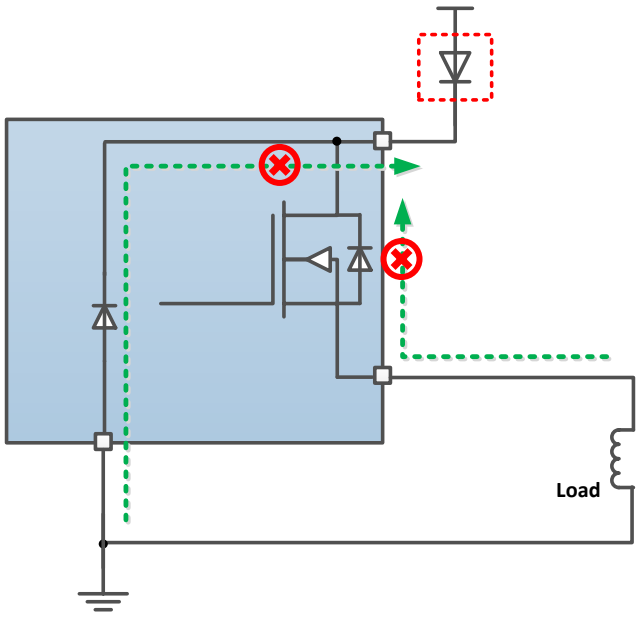


图 6-17. 反向电流外部保护方法 1

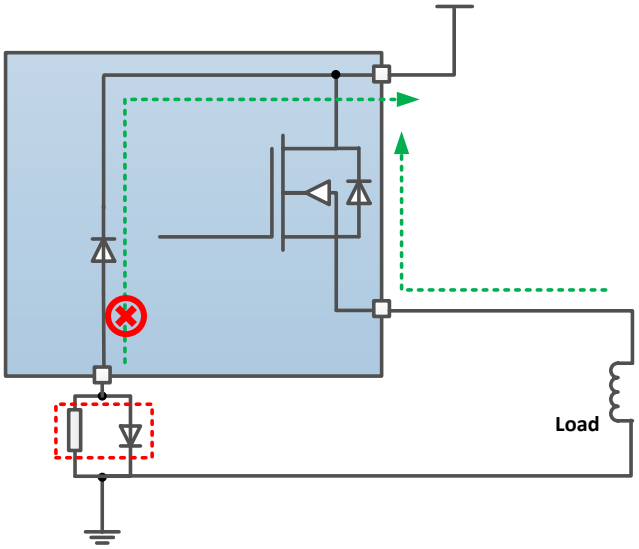


图 6-18. 反向电流外部保护方法 2

6.3.6.6 MCU I/O 保护

TI 建议使用串联电阻来保护微控制器，例如在使用 3.3V 微控制器时使用 4.7kΩ，使用 5V 微控制器时使用 10kΩ。

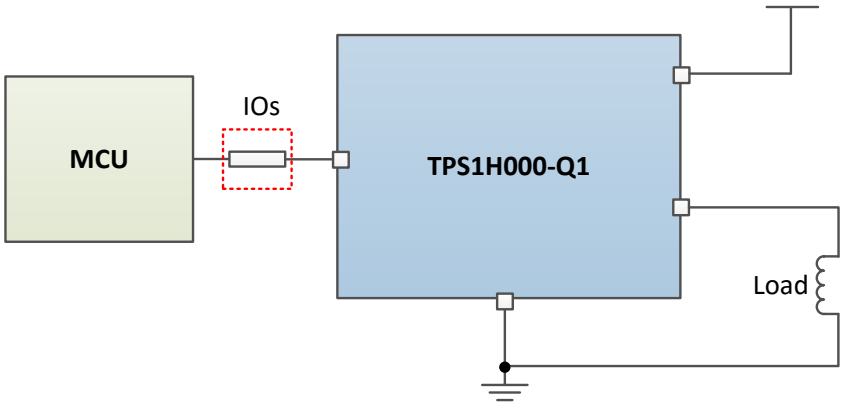


图 6-19. MCU I/O 外部保护

6.4 器件功能模式

6.4.1 工作模式

器件有三种工作模式：正常模式、待机模式和具有诊断功能的待机模式，如图 6-20 所示。

Copyright © 2026 Texas Instruments Incorporated

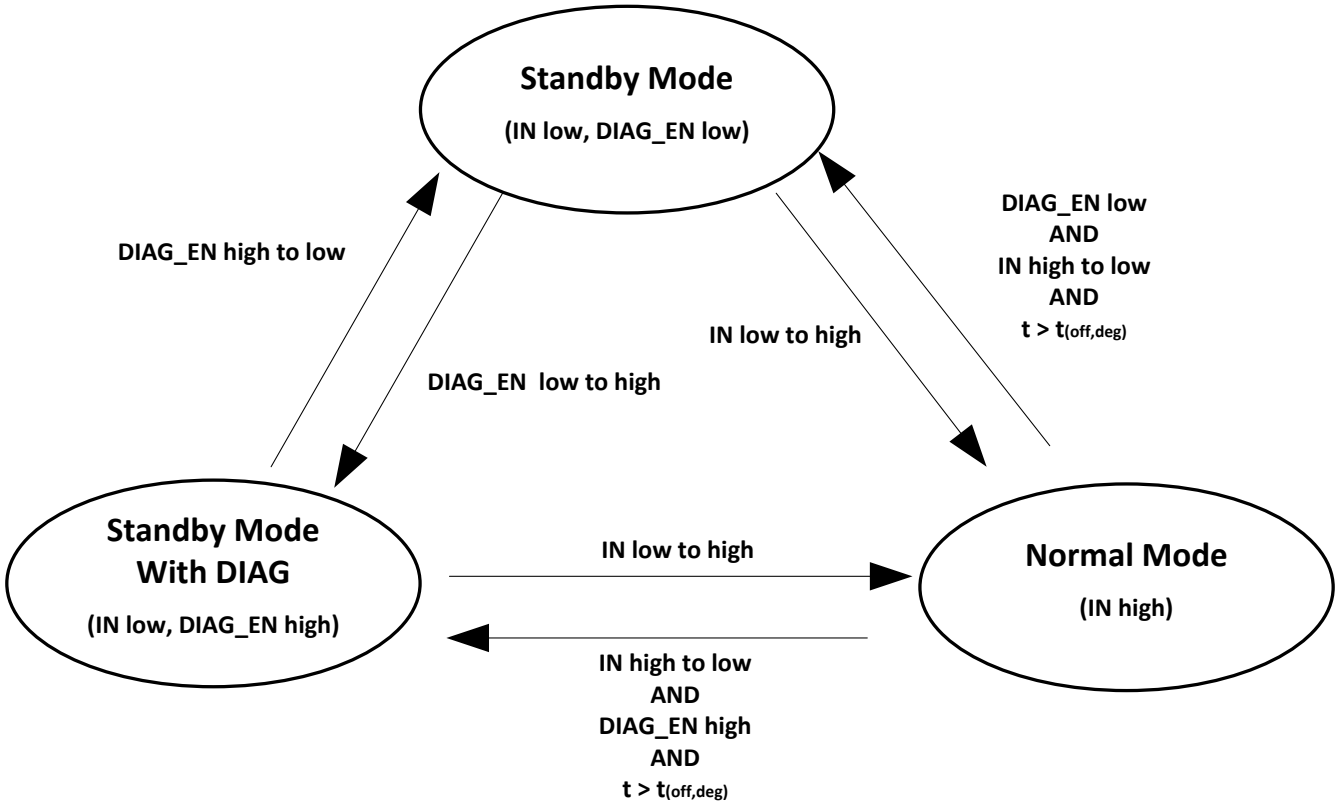


图 6-20. 工作模式

6.4.1.1 正常模式

如果 IN 为高电平，则该器件进入正常模式。

6.4.1.2 待机模式

当 IN 为低电平且 DIAG_EN 为低电平时，器件以超低功耗进入待机模式。

6.4.1.3 具有诊断功能的待机模式

当 IN 为低电平且 DIAG_EN 为高电平时，器件会进入待机模式并进行诊断。即使在 IN 为低电平时，器件仍支持开路负载和电池短路检测。

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

TPS1H000-Q1 器件是一款具有内部电荷泵和单通道集成式 NMOS 功率 FET 的智能高侧开关。可调节电流限制功能能够极大地提高整个系统的可靠性。全面诊断功能可实现对负载的智能控制。TPS1H000-Q1 器件可用作各种电阻负载、电感负载和容性负载，包括 LED、继电器和子模块。

7.2 典型应用

图 7-1 展示了一个有关如何设计外部电路参数的示例。

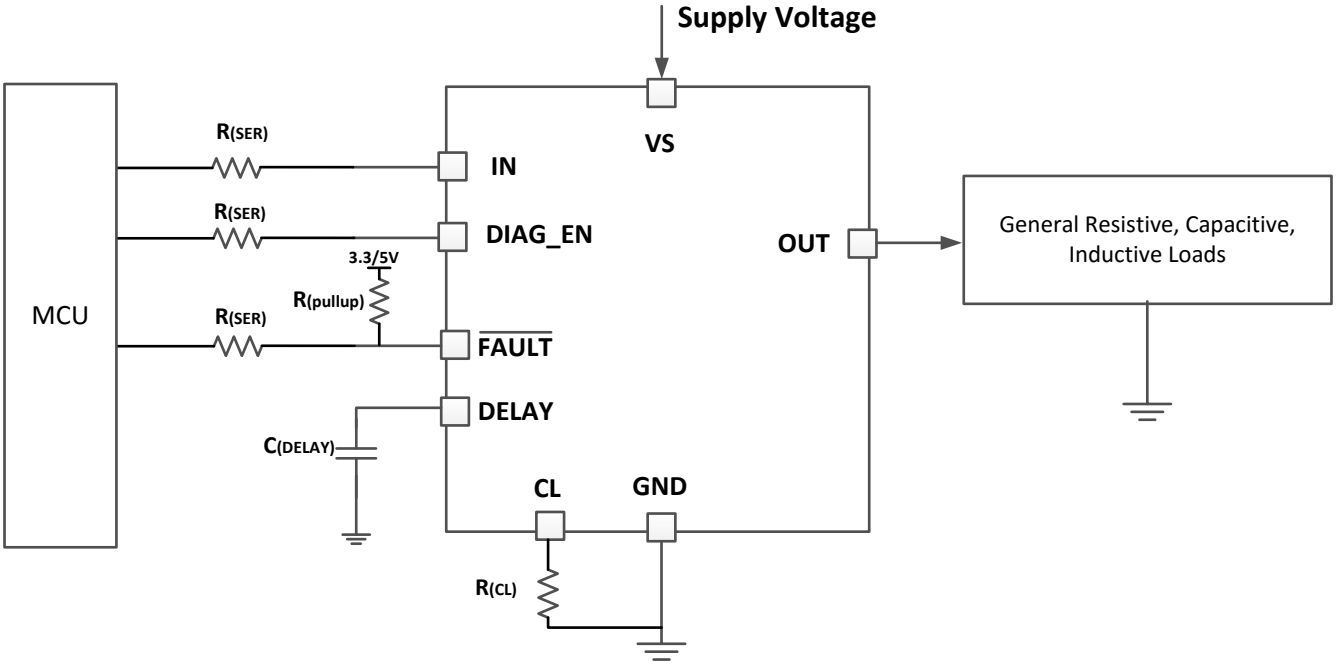


图 7-1. 典型应用电路

7.2.1 设计要求

- V_{VS} 范围为 6V 至 18V
- 标称电流为 100mA
- 预期电流限制值为 500mA
- 对热敏感的系统，发生电流限制时，输出会在 0.2s 后闭锁。0.2S 的作用是验证容性负载的安全启动，从而钳制浪涌电流，但在启动期间不会闭锁。
- 通过 5V MCU 实现全面诊断，包括导通状态开路负载检测、GND 短路或过流检测以及热关断检测

7.2.2 详细设计过程

要将可调电流限值设置为 500mA，可使用以下公式计算 $R_{(CL)}$：

$$R_{(CL)} = \frac{V_{CL(th)} \times K_{(CL)}}{I_{OUT}} = \frac{0.8 \times 600}{0.5} = 960\Omega \quad (5)$$

Copyright © 2026 Texas Instruments Incorporated

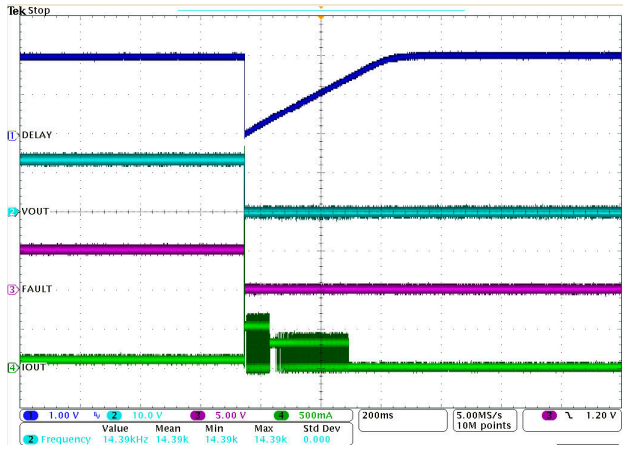
要将可调节闭锁延迟设置为 0.2s，可通过以下公式计算 $C_{(DELAY)}$：

$$t_{dl} = t_{CL(deg)} + t_{dl1} + t_{dl2} = 0.2 \approx t_{dl2}$$
$$C_{DELAY} = \frac{I_{dl(chg)} \times t_{dl2}}{V_{dl(rerf)}} = \frac{4.5 \times 0.2}{1.45} \times 10^{-6} = 0.62\mu F \quad (6)$$

TI 推荐使用 $R_{(SER)}$= 10kΩ（适用于 5V MCU）；$R_{(pullup)}$ = 10kΩ 作为上拉电阻。

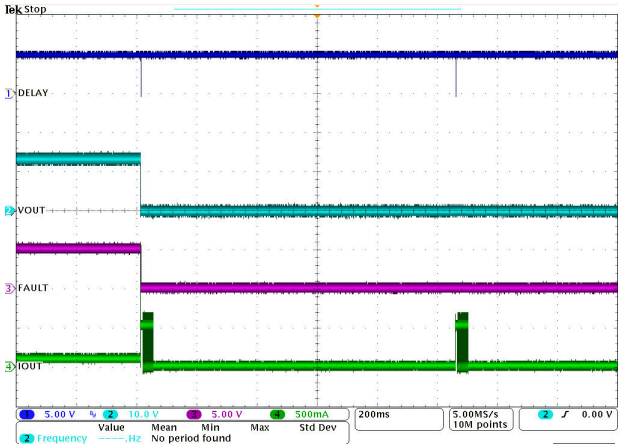
7.2.3 应用曲线

以下曲线是硬短路条件的测试示例。负载为 0.1A，电流限制值为 0.5A。图 7-2 显示了闭锁模式的波形。图 7-3 显示了自动重试模式的波形。



负载 = 0.1A　　电流限值 = 0.5A

图 7-2. 闭锁模式下的硬短路条件



负载 = 0.1A　　电流限值 = 0.5A

图 7-3. 自动重试模式下的硬短路条件

7.3 电源相关建议

将该器件用于 12V 和 24V 应用。正常的电源连接采用 12V 或 24V 系统。

7.4 布局

7.4.1 布局指南

为了防止热关断，T_J 必须低于 175°C。如果输出电流非常高，功率耗散可能会很大。然而，PCB 布局非常重要。良好的 PCB 设计可以优化热传递，这对于器件的长期可靠性至关重要。

- 尽可能地增大 PCB 上的覆铜，以提高电路板的导热性。从封装到环境的主要热流路径会通过 PCB 上的覆铜。当与封装相对的电路板另一侧的 PCB 上没有连接任何散热器时，尽可能地增加覆铜面积极其重要。
- 在封装散热焊盘正下方添加尽可能多的散热过孔，以优化电路板的导热性。
- 所有散热过孔都必须在电路板的两侧进行电镀闭合或者堵塞并加盖，以防止出现焊料空洞。如要确认可靠性和性能，焊料覆盖面积必须至少达到 85%。

Copyright © 2026 Texas Instruments Incorporated

7.4.2 布局示例

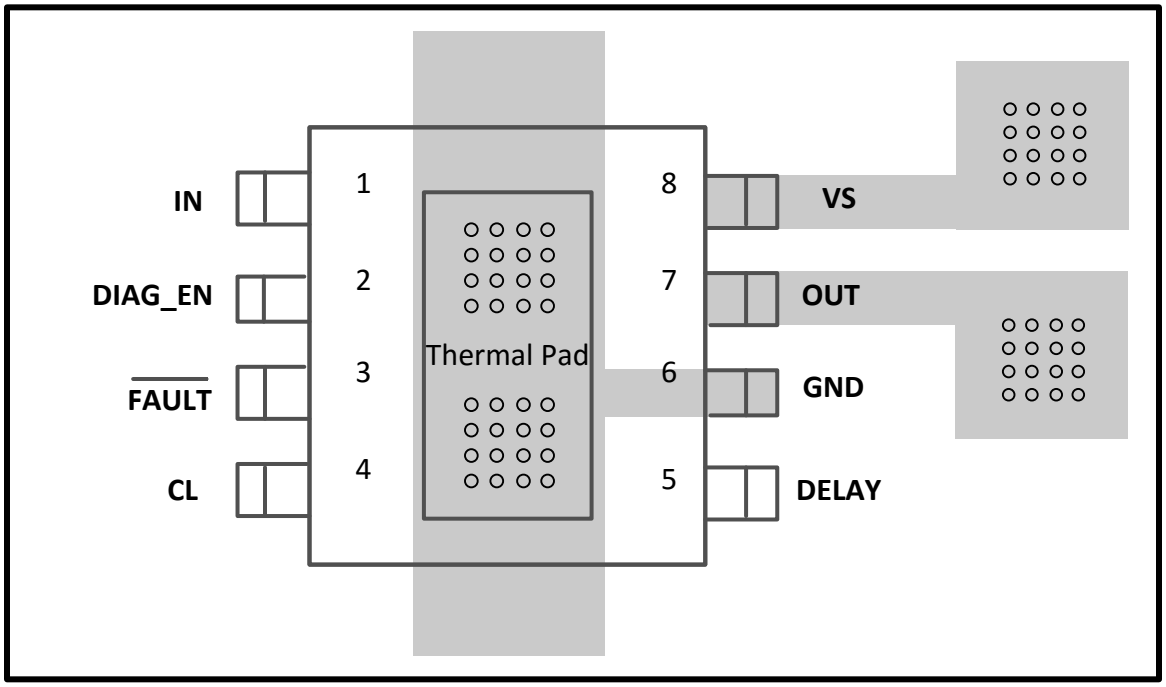


图 7-4. 布局示例

Copyright © 2026 Texas Instruments Incorporated

8 器件和文档支持

8.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.3 商标

PowerPAD™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

8.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (December 2024) to Revision E (May 2026)	Page
• 将 $R_{\Theta JC(top)}$ 从 50.2°C/W 更新为 74.0°C/W	5
• 将 ψ_{JT} 从 0.8°C/W 更改为 3.8°C/W	5
• 将 $R_{\theta JC(bot)}$ 从 7.1°C/W 更改为 7.7°C/W	5
• 更新了外露焊盘尺寸以放宽最小限值	25

Changes from Revision C (June 2019) to Revision D (December 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 在绝对最大额定值表中将 VS 引脚和 IN/DIAG_EN 引脚的最大额定值更新为 42V	4

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查看左侧的导航窗格。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS1H000AQDGNRQ1	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	17SX
TPS1H000AQDGNRQ1.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17SX

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

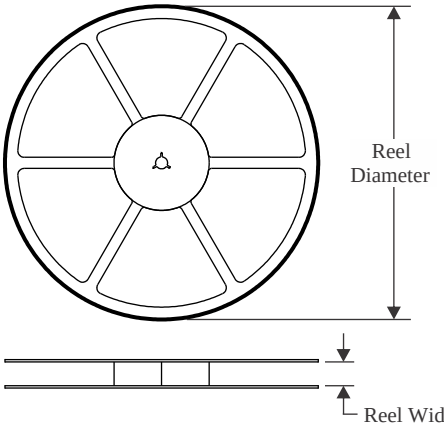
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

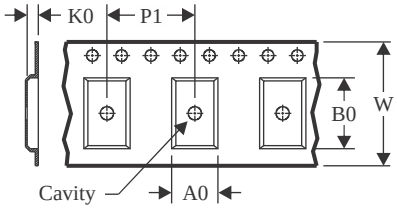
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

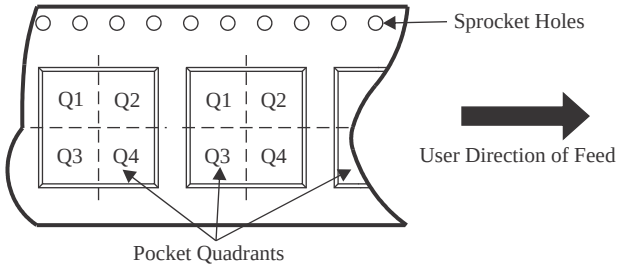


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

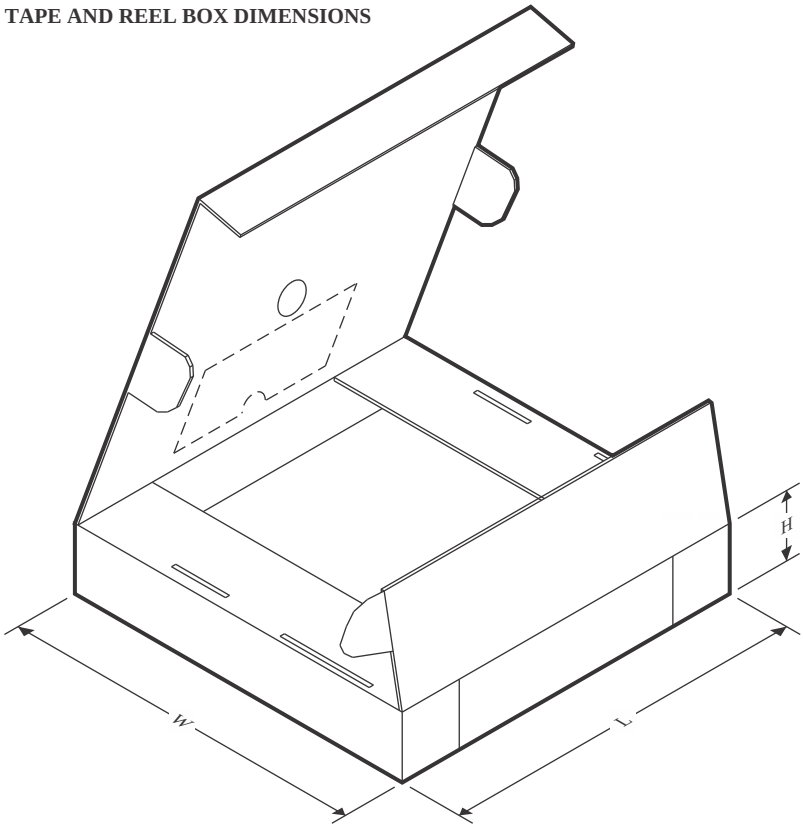
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS1H000AQDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS1H000AQDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS1H000AQDGNRQ1	HVSSOP	DGN	8	2500	353.0	353.0	32.0
TPS1H000AQDGNRQ1	HVSSOP	DGN	8	2500	366.0	364.0	50.0

GENERIC PACKAGE VIEW

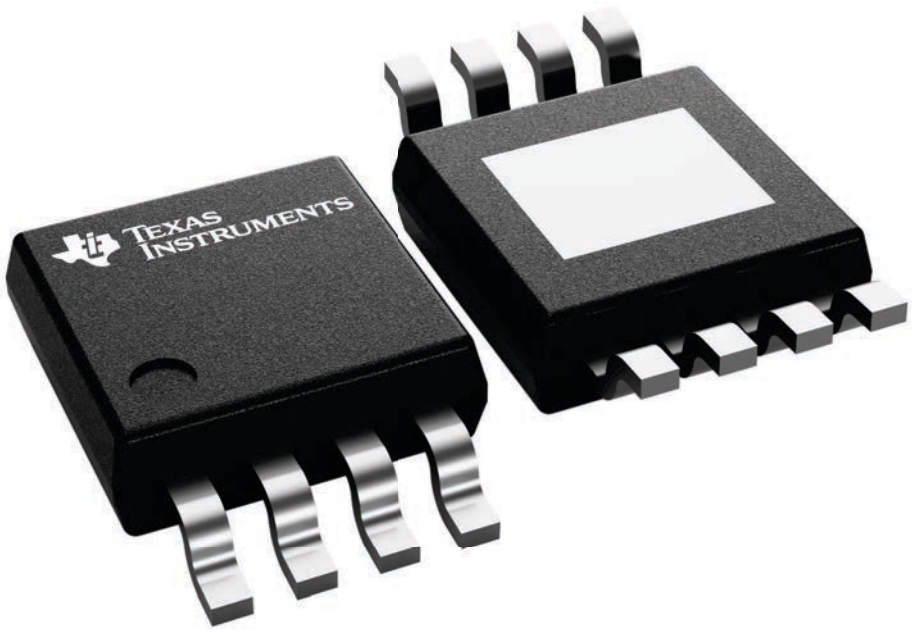
DGN 8

PowerPAD™ HVSSOP - 1.1 mm max height

3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

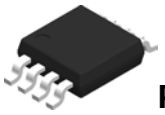
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225482/B

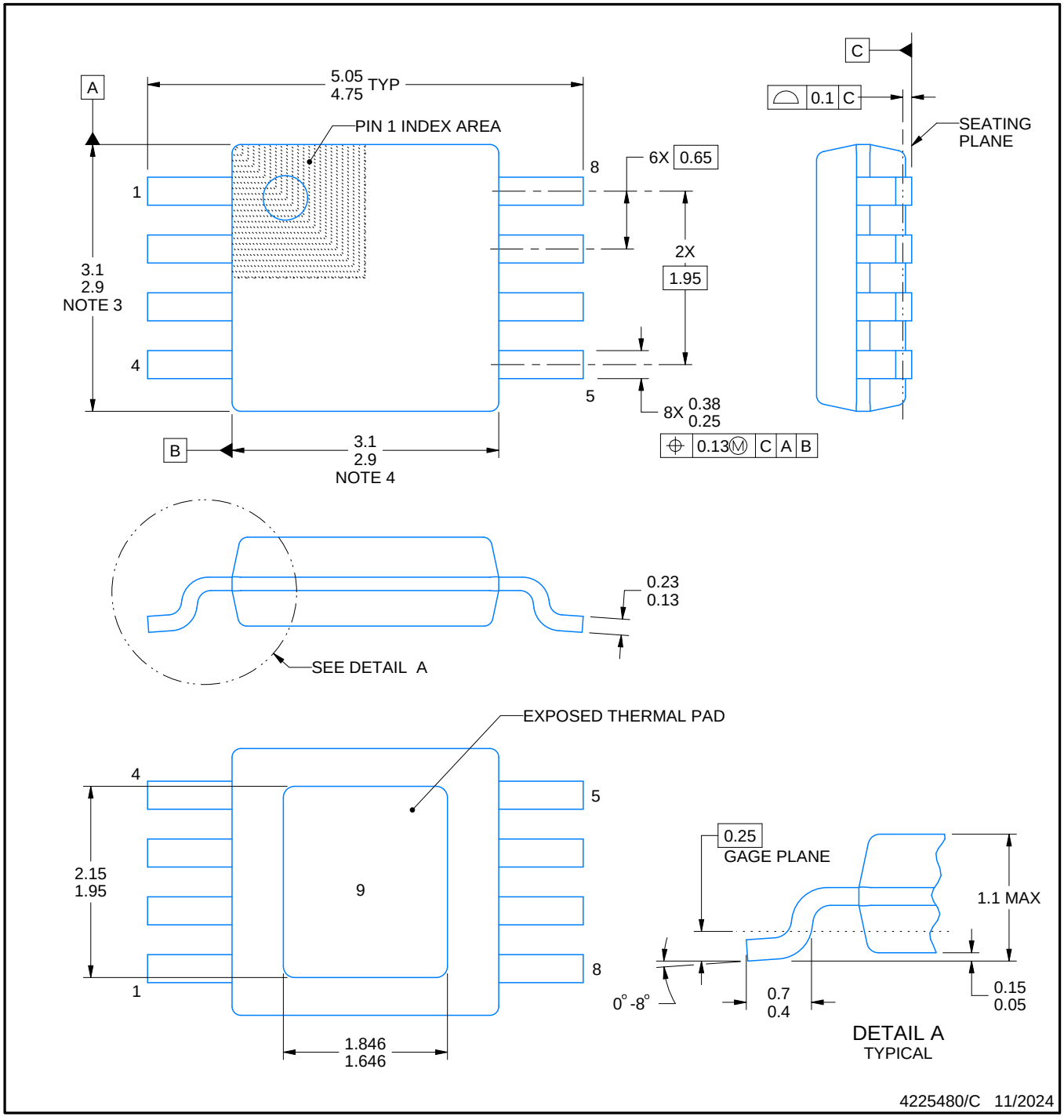
PACKAGE OUTLINE

DGN0008G



PowerPAD™ HVSSOP - 1.1 mm max height

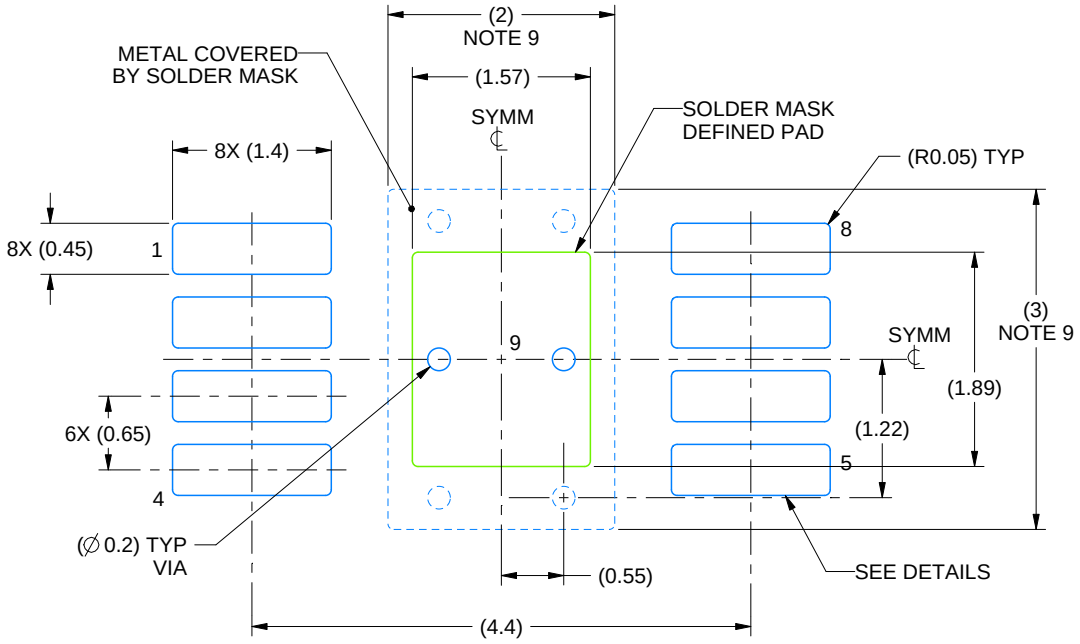
SMALL OUTLINE PACKAGE



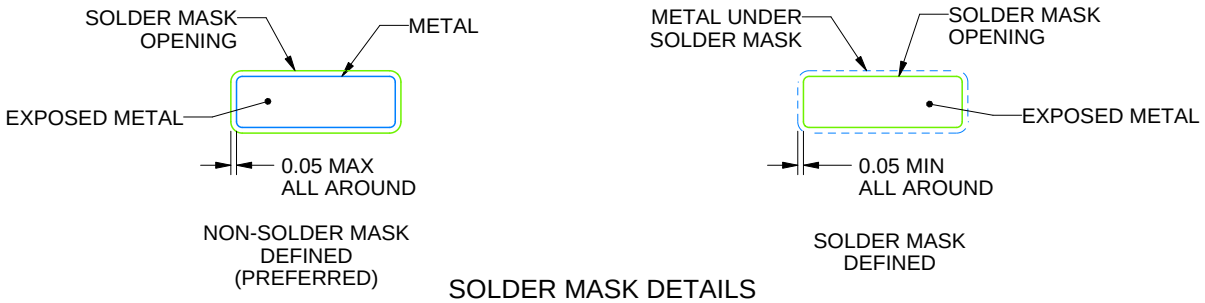
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

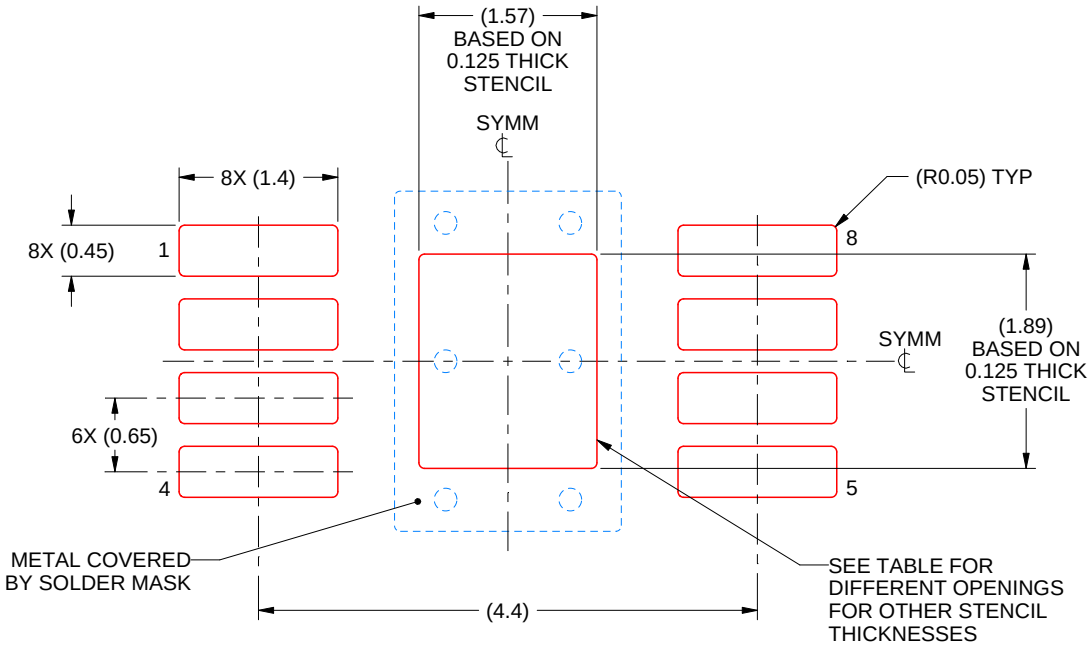


SOLDER MASK DETAILS

4225480/C 11/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.76 X 2.11
0.125	1.57 X 1.89 (SHOWN)
0.15	1.43 X 1.73
0.175	1.33 X 1.60

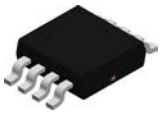
4225480/C 11/2024

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

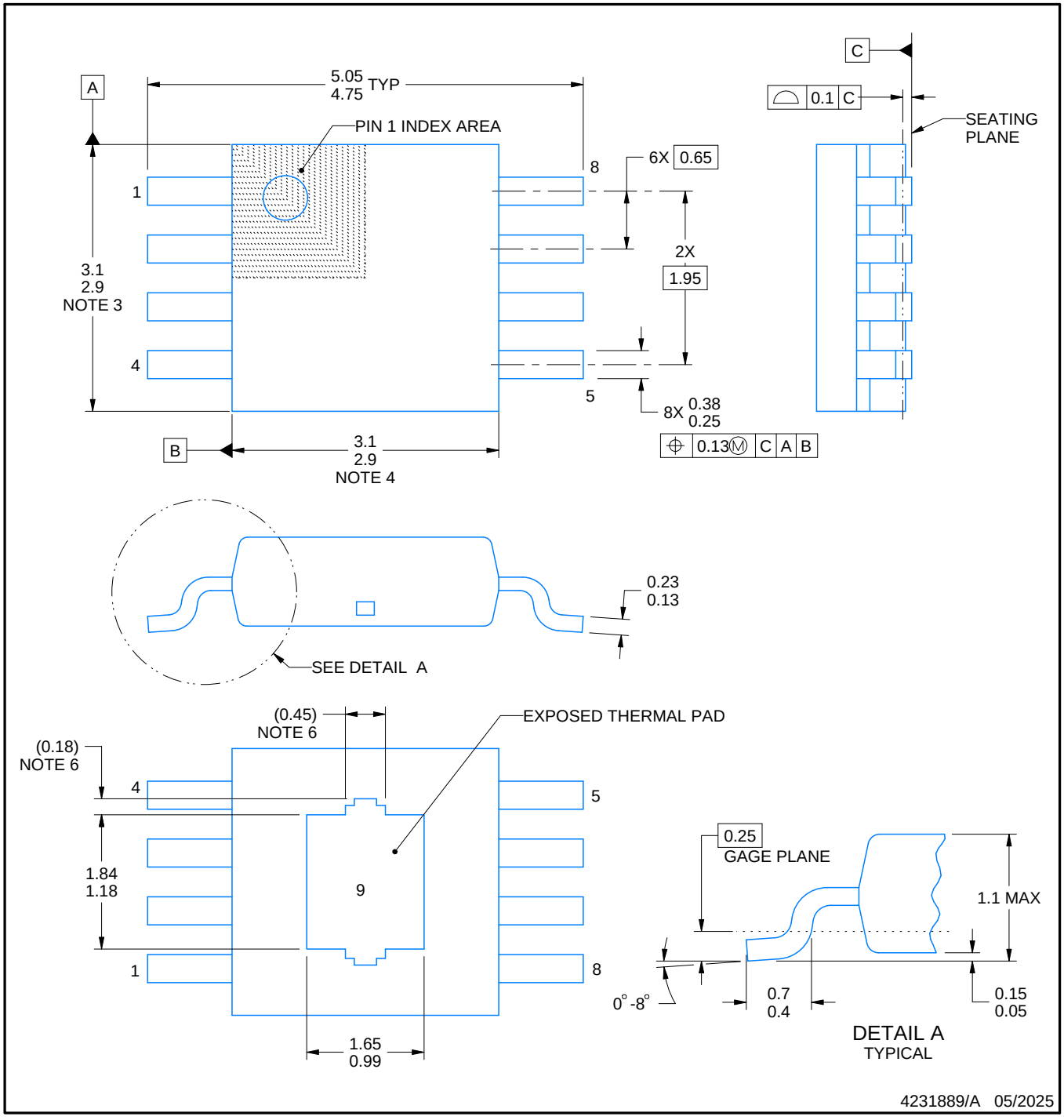
PACKAGE OUTLINE

DGN0008K



PowerPAD™ VSSOP - 1.1 mm max height

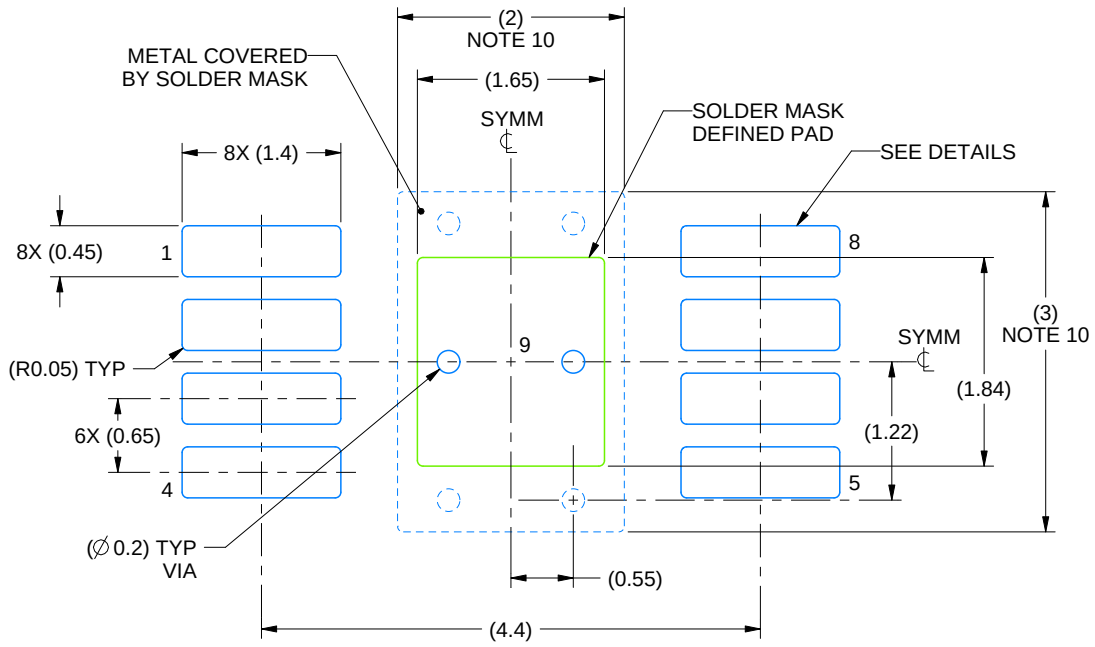
SMALL OUTLINE PACKAGE



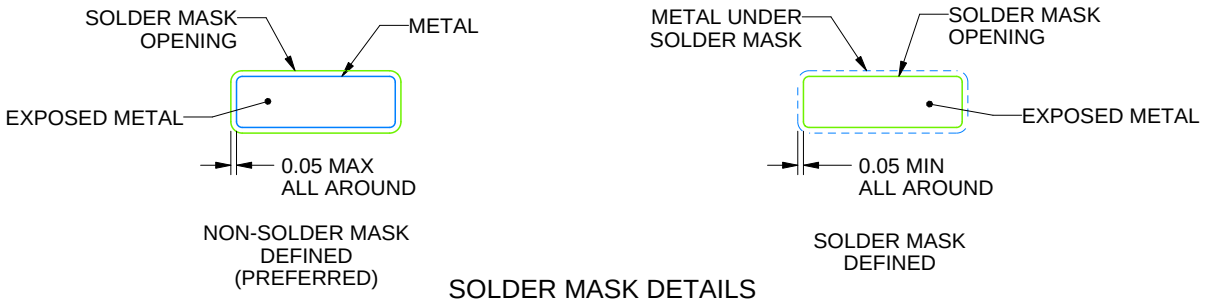
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.
6. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

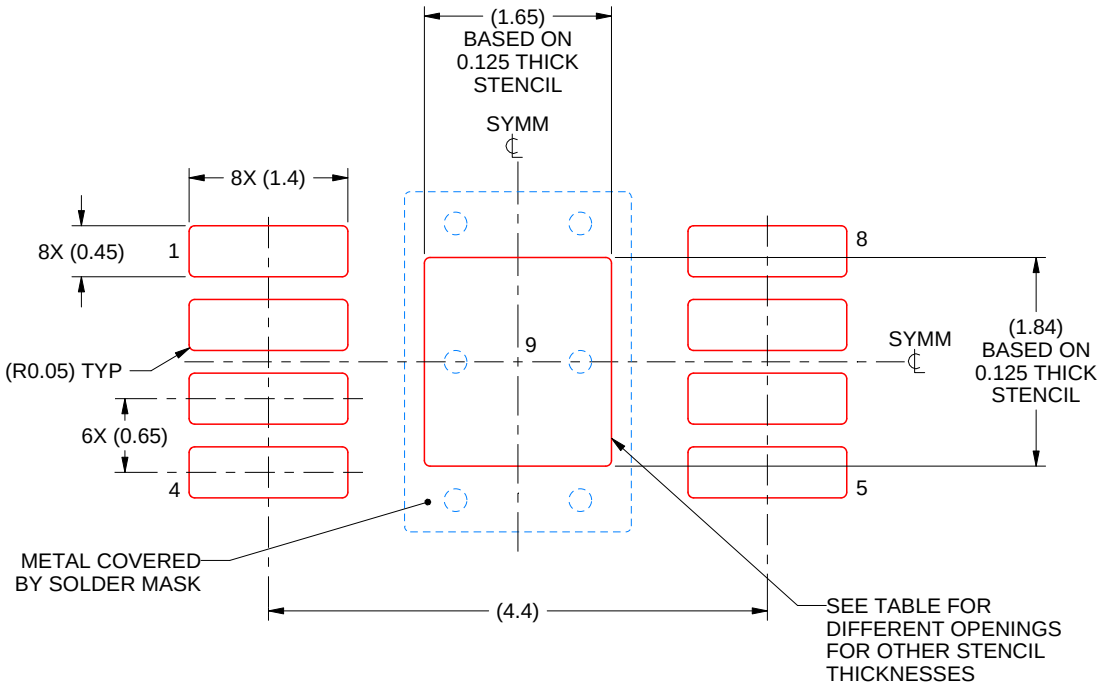


SOLDER MASK DETAILS

4231889/A 05/2025

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.84 X 2.06
0.125	1.65 X 1.84 (SHOWN)
0.15	1.51 X 1.68
0.175	1.39 X 1.56

4231889/A 05/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月