具有 I²C/SPI 和 10 个 GPIO 的可编程逻辑器件 TPLD1202

1 特性

- 工作特性
  - 扩展工作温度范围：-40°C 至 125°C
  - 宽电源电压范围：1.71V 至 5.5V
- 可配置的宏单元
  - 2 位、3 位和 4 位查询表
  - 具有和不具有复位/置位选项的 D 型触发器或锁存器
  - 8 位移位寄存器
  - 16 位图形发生器
  - 八态状态机
  - 计数器和延迟发生器
  - PWM 发生器
  - 看门狗计时器
  - 可编程抗尖峰脉冲滤波器或边沿检测器
  - 多通道采样模拟比较器
  - 电压基准和模拟温度传感器
  - 振荡器
- 灵活的数字 I/O 功能
  - 所有数字信号均可连接任意 GPIO
  - 数字输入模式：带和不带施密特触发器的数字输入，低电压数字输入
  - 数字输出模式：推挽、开漏 NMOS、三态
- 开发工具
  - TPLD1202 评估模块
  - TPLD 编程器
  - InterConnect Studio
- 支持内联编程

2 应用

- 工厂自动化和控制
- 通信设备
- 零售自动化和支付
- 测试和测量
- 专业音频、视频和标牌
- 个人电子产品

3 说明

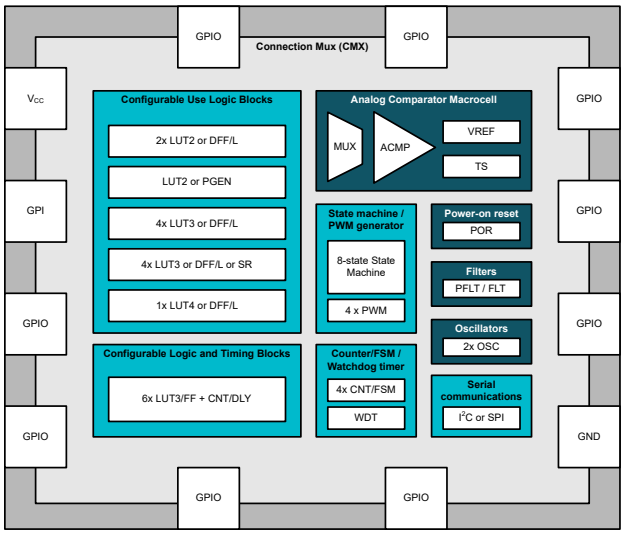
TPLD1202 是 TI 可编程逻辑器件 (TPLD) 系列器件中的一款，具有多用途可编程逻辑 IC，支持组合逻辑、顺序逻辑和模拟块。TPLD 提供了一个完全集成的低功耗解决方案来实现常见的系统功能，例如时序延迟、电压监控器、系统复位、电源序列发生器、I/O 扩展器等。此器件具有可配置的 I/O 结构，扩展了混合信号环境中的兼容性，减少了所需的分立式元件的数量。

系统设计人员可以通过 InterConnect Studio 创建电路并配置宏蜂窝、I/O 引脚和互连，方法是临时模拟非易失性存储器或对一次性可编程 (OTP) 进行永久编程。TPLD1202 由硬件和软件生态系统提供支持，配备应用手册、参考设计和设计示例。如需了解详情和访问设计工具，请访问 ti.com。

封装信息

器件型号	封装(1)	封装尺寸(2)
TPLD1202	DYY（SOT-23-THN，14）	2.00mm × 4.20mm
	RWS（X2QFN，12）	1.60mm × 1.60mm
	RWB（X2QFN，12）	1.60mm × 1.60mm

(1) 有关所有可用封装，请参阅节 12。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



TPLD1202 简化方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 5
5.1 绝对最大额定值 5
5.2 ESD 等级 5
5.3 建议运行条件 5
5.4 热性能信息 6
5.5 电气特性 6
5.6 电源电流特性 10
5.7 开关特性 11
5.8 I^2C 总线时序要求 15
5.9 SPI 时序要求 16
5.10 典型特性 17
6 参数测量信息 18
7 详细说明 21
7.1 概述 21
7.2 功能方框图 22
7.3 特性说明 23
7.4 器件功能模式 80
8 TPLD1202 寄存器 87
8.1 TPLD1202_User 寄存器 88
8.2 TPLD1202_Cfg_0 寄存器 99
8.3 TPLD1202_Cfg_1 寄存器 126
9 应用和实施 178
9.1 应用信息 178
9.2 典型应用 178
9.3 电源相关建议 180
9.4 布局 180
10 器件和文档支持 182
10.1 接收文档更新通知 182
10.2 支持资源 182
10.3 商标 182
10.4 静电放电警告 182
10.5 术语表 182
11 修订历史记录 182
12 机械、封装和可订购信息 182

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

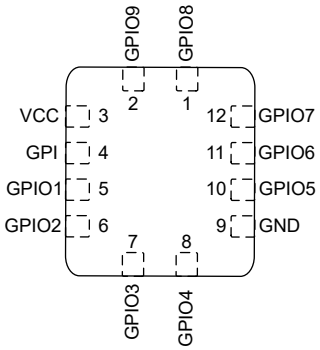


图 4-1. RWB 封装，12 引脚 X2QFN（顶视图）

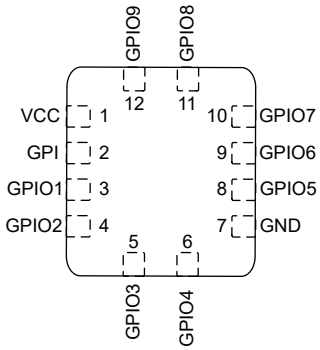


图 4-2. RWS 封装，12 引脚 X2QFN，顶视图

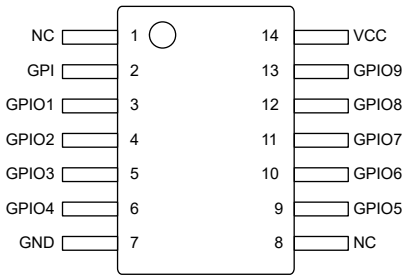


图 4-3. DYY 封装，14 引脚 SOT-23-THN，顶视图

表 4-1. 引脚功能

引脚					说明			
名称	RWB	RWS	DYY	类型[1]	主要功能	辅助模拟功能（如果有）	辅助数字功能（如果有）	辅助串行通信功能（如果有）
GPI	4	2	2	I	通用输入[3]		OSC0 Ext.CLK	I²C 地址 3 / VPP
GPIO1	5	3	3	I/O	通用 I/O			SPI SCLK / I²C SCL
GPIO2	6	4	4	I/O	通用 I/O			SPI SDI / I²C SDA
GPIO3	7	5	5	I/O	附带 OE 的通用 I/O [4]			接口选择
GPIO4	8	6	6	I/O	附带 OE 的通用 I/O [4]	Ext.VREF IN		SPI SDO / I²C 地址 4
GND	9	7	7	P	接地			
GPIO5	10	8	9	I/O	通用 I/O	McACMP IN0		SPI nCS / I²C 地址 5
GPIO6	11	9	10	I/O	通用 I/O	McACMP IN1		
GPIO7	12	10	11	I/O	通用 I/O	McACMP IN2		
GPIO8	1	11	12	I/O	附带 OE 的通用 I/O [4]	McACMP IN3	OSC1 Ext.CLK	I²C 地址 6
GPIO9	2	12	13	I/O	附带 OE 的通用 I/O [4]			
VCC	3	1	14	P	电源电压			

Copyright © 2026 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚					说明			
名称	RWB	RWS	DYY	类型(1)	主要功能	辅助模拟功能（如果有）	辅助数字功能（如果有）	辅助串行通信功能（如果有）
NC	—	—	1	—	无内部连接 (2)			
NC	—	—	8	—	无内部连接 (2)			

(1) P = 电源，I/O = 输入/输出，I = 输入
(2) 内部未连接的引脚必须接地或保持悬空
(3) 通用输入 (GPI) 引脚将在编程期间保持高电压 (VPP)。如果执行系统内编程，请特别注意连接到该引脚的外设。
(4) 输出使能 (OE) 连接可通过连接多路复用器获得，并可在 InterConnect Studio 中进行配置。

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	V_{CC} 上相对于 GND 的电源电压		-0.5	7	V
V_I	输入电压		-0.5	V_{CC} + 0.5	V
V_O	输出电压		-0.5	V_{CC} + 0.5	V
I_{IOK}	输入-输出钳位电流	V_{IO} < 0 或 V_{IO} > V_{CC}	-50	50	mA
I_O	持续输出电流	V_O = 0 至 V_{CC}	-50	50	mA
I_{DC}	最大平均电流或直流电流（通过每个引脚）	推挽 1X		12	mA
		推挽 2X		17	
		开漏 NMOS 1X		18	
		开漏 NMOS 2X		28	
		开漏 NMOS 4X		45	
T_J	结温			150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC 规范 JS-002，所有引脚(2)	±1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全地进行生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			V_{CC}	最小值	最大值	单位
V_{CC}	电源电压			1.71	5.5	V
V_I	输入电压			0	V_{CC}	V
V_O	输出电压			0	V_{CC}	V
V_{IH}	高电平输入电压	的逻辑输入	1.71V 至 5.5V	0.7 × V_{CC}		V
		具有施密特触发的逻辑输入	1.71V 至 5.5V	0.8 × V_{CC}		
		低压逻辑输入	1.8V ± 0.09V	0.90		
			3.3V ± 0.3V	1.08		
			5V ± 0.5V	1.22		
V_{IL}	低电平输入电压	的逻辑输入	1.71V 至 5.5V		0.3 × V_{CC}	V
		具有施密特触发的逻辑输入	1.71V 至 5.5V		0.2 × V_{CC}	
		低压逻辑输入	1.8V ± 0.09V		0.47	
			3.3V ± 0.3V		0.52	
			5V ± 0.5V		0.57	

Copyright © 2026 Texas Instruments Incorporated

5.3 建议运行条件（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

			V_{CC}	最小值	最大值	单位
F_{IN_MAX}	最大输入频率	仅限 IN0	1.71V 至 5.5V		250	kHz
$F_{(EXT_OSC0)}$	外部振荡器频率	的逻辑输入	1.71V 至 5.5V		250	kHz
$F_{(EXT_OSC1)}$	外部振荡器频率	的逻辑输入	1.71V 至 5.5V		25	MHz
T_A	环境温度			-40	125	°C

5.4 热性能信息

封装	引脚	热指标(1)						单位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
RWB (X2QFN)	12	139.1	47.6	72.0	0.9	71.9	—	°C/W
DYY (SOT-23-THN)	14	137.3	65.9	58.1	3.8	57.9	—	°C/W
RWS (X2QFN)	12	139.1	47.6	72.0	0.9	71.9	—	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

5.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数			测试条件	V_{CC}	最小值	典型值	最大值	单位
电源和上电复位								
V_{PORR}	上电复位电压，V_{CC} 上升		$V_I = V_{CC}$ 或 GND，$I_O = 0$		1.06		1.66	V
V_{PORF}	上电复位电压，V_{CC} 下降		$V_I = V_{CC}$ 或 GND，$I_O = 0$		1.02		1.54	V
t_{SU}	启动时间		从 V_{CC} 上升至超过 V_{PORR} 到 GPO 激活			1.0		ms
V_{PP}	编程电压				7.5		8	V
t_{PP}	编程时间					50		ms
数字 IO								
V_{T+}	正向输入阈值电压	具有施密特触发的逻辑输入		1.8V ± 0.09V	0.94		1.27	V
				3.3V ± 0.3V	1.55		2.17	
				5V ± 0.5V	2.21		3.19	
V_{T-}	负向输入阈值电压			1.8V ± 0.09V	0.58		0.94	V
				3.3V ± 0.3V	1.1		1.79	
				5V ± 0.5V	1.63		2.7	
V_{HYS}	施密特触发迟滞 (V_{T+} - V_{T-})			1.8V ± 0.09V	0.25	0.36		V
				3.3V ± 0.3V	0.34	0.42		
				5V ± 0.5V	0.42	0.51		
V_{HYS}	IN0 迟滞			1.71V 至 5.5V			0.6	V

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数			测试条件	V_{CC}	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	推挽 1X	I_{OH} = -100μA	1.8V ± 0.09V	1.68			V
		推挽 2X			1.69			
		推挽 1X	I_{OH} = -3mA	3.3V ± 0.3V	2.47			
		推挽 2X			2.63			
		推挽 1X	I_{OH} = -5mA	5V ± 0.5V	3.84			
		推挽 2X			4.02			
V_{OH}	高电平输出电压	SPI SDO	I_{OH} = -2mA	1.71V 至 5.5V	0.8 × V_{CC}			V
V_{OL}	低电平输出电压	推挽 1X	I_{OL} = 100μA	1.8V ± 0.09V			0.01	V
		推挽 2X					0.01	
		开漏 NMOS 1X					0.01	
		开漏 NMOS 2X					0.01	
		推挽 1X	I_{OL} = 3mA	3.3V ± 0.3V			0.1	
		推挽 2X					0.1	
		开漏 NMOS 1X					0.1	
		开漏 NMOS 2X					0.1	
		推挽 1X	I_{OL} = 5mA	5V ± 0.5V			0.14	
		推挽 2X					0.14	
		开漏 NMOS 1X					0.14	
		开漏 NMOS 2X					0.14	
V_{OL}	低电平输出电压	I^2C SCL、SDA 引脚（开漏 NMOS 4X）	I_{OL} = 3mA	V_{CC} > 2V			0.4	V
		I^2C SCL、SDA 引脚（开漏 NMOS 4X）	I_{OL} = 2mA	V_{CC} ≤ 2V			0.2 × V_{CC}	
		SPI SDO 引脚	I_{OL} = 2mA	1.71V 至 5.5V			0.2 × V_{CC}	
I_{OL}	低电平输出电流	I^2C SCL、SDA 引脚（标准模式、快速模式）	V_{OL} = 0.4V	1.71V 至 5.5V	3			mA
		I^2C SCL、SDA 引脚（快速+ 模式）	V_{OL} = 0.4V		20			
I_I	输入漏电流	所有引脚	V_I = V_{CC}	1.71V 至 5.5V			±1	μA
			V_I = GND				±1	
I_{OZ}	关闭状态（高阻态）输出电流		V_O = 0 至 5.5V	1.71V 至 5.5V			±1	μA
F_{OUT}	最大输出频率(1)	所有 IOs 推挽 1X 或推挽 2X	C_L = 15pF	1.8V ± 0.09V			8	MHz
				3.3V ± 0.3V			8	MHz
				5V ± 0.5V			8	MHz
$R_{pu(int)}$	内部上拉电阻					1		MΩ
						100		kΩ
						10		kΩ
$R_{pd(int)}$	内部下拉电阻					1		MΩ
						100		kΩ
						10		kΩ

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数			测试条件	V_{CC}	最小值	典型值	最大值	单位
C_I	输入引脚电容	每个输入引脚	V_I = V_{CC} 或 GND	1.71V 至 5.5V		1.2		pF
C_I	输入引脚电容	I^2C SCL 引脚 SPI SDI、SCK、nCS 引脚	V_I = V_{CC} 或 GND	1.71V 至 5.5V		4.1		pF
C_{IO}	输入-输出引脚电容	每个 I/O 引脚	V_{IO} = V_{CC} 或 GND	1.71V 至 5.5V		2.5		pF
C_{IO}	输入-输出引脚电容	I^2C SDA 引脚	V_{IO} = V_{CC} 或 GND	1.71V 至 5.5V		4.1		pF
模拟比较器 - 多通道模拟比较器								
t_{start}	开始时间	ACMP 上电延迟	1 通道，带隙强制开启，OSC1 强制开启	1.71V 至 5.5V		100		µs
			1 通道，带隙自动开启，OSC1 自动开启	1.71V 至 5.5V		190		µs
			OSC0 2kHz	1.71V 至 5.5V		3.2		ms
			OSC0 10kHz	1.71V 至 5.5V		640		µs
V_{AI}	输入电压	正输入		1.71V 至 5.5V	0		V_{CC}	V
		负输入			0		2.016	
V_{offset}	输入偏移电压	T_A = 25°C	V_{HYS} = 0mV，增益 = 1，VREF = 32mV 至 1504mV	1.71V 至 5.5V	-12.2		12.2	mV
		–40°C < T_A ≤ 125°C			-16.6		12.5	
		T_A = 25°C	V_{HYS} = 0mV，增益 = 1，VREF = 32mV 至 2016mV	2.3V 至 5.5V	-13.3		13.3	
		–40°C < T_A ≤ 125°C			-15.9		14.1	
dV_{IO}/dT	输入失调电压漂移	–40°C < T_A ≤ 125°C	V_{HYS} = 0mV，增益 = 1，VREF = 32mV 至 1504mV	1.71V 至 5.5V		-9.7		µV/°C
			V_{HYS} = 0mV，增益 = 1，VREF = 32mV 至 2016mV	2.3V 至 5.5V		-9.7		
I_B	输入偏置电流						1	µA
C_{ID}	输入电容，差分					0.23		pF
C_{IM}	输入电容，共模					1.20		pF

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数			测试条件	V_{CC}	最小值	典型值	最大值	单位
PROP	传播延迟，响应时间	从低电平到高电平	1 通道，增益 = 1，Vref = 32mV 至 1504mV，过驱 = 32mV	1.71V 至 5.5V			7.8	μs
		从高电平到低电平					4.9	
		从低电平到高电平	1 通道，增益 = 1，Vref = 32mV 至 2016mV，过驱 = 32mV	2.3V 至 5.5V			7.8	
		从高电平到低电平					4.9	
		从低电平到高电平	多通道，增益 = 1，Vref = 32mV 至 1504mV，过驱 = 32mV	1.71V 至 5.5V			$t_{SAMP_CLK} * CH$	
		从高电平到低电平					$t_{SAMP_CLK} * CH$	
		从低电平到高电平	1 通道，增益 = 1，Vref = 32mV 至 2016mV，过驱 = 32mV	2.3V 至 5.5V			$t_{SAMP_CLK} * CH$	
		从高电平到低电平					$t_{SAMP_CLK} * CH$	
模拟比较器 - 迟滞								
V_{HYS}	内置迟滞	$-40°C < T_A \leq 125°C$	V_{HYS} = 64mV	1.71V 至 5.5V	61.7	62.7	65.9	mV
			V_{HYS} = 128mV		123.4	126.7	132.2	
			V_{HYS} = 192mV		185.4	190.3	197.9	
模拟比较器 - 输入增益								
R_{sin}	串联输入电阻		增益 = 0.5	1.71V 至 5.5V		1		MΩ
			增益 = 0.33			0.75		
			增益 = 0.25			1		
G_{err}	增益误差		增益 = 0.5	1.71V 至 5.5V	-1.1		1.3	%
			增益 = 0.33		-1.8		1.8	
			增益 = 0.25		-1.8		1.7	
电压基准								
VREF	内部 VREF 错误	T_A = 25°C	VREF = 32mV 至 512mV	1.71V 至 5.5V	-1.90	-0.3	1.90	%
		$-40°C < T_A \leq 125°C$			-4.35		3.65	
		T_A = 25°C	VREF = 544mV 至 1024mV		-1.50	-0.4	1.46	
		$-40°C < T_A \leq 125°C$			-3.45		2.89	
		T_A = 25°C	VREF = 1056mV 至 1504mV		-1.50	-0.4	1.48	
		$-40°C < T_A \leq 125°C$			-3.44		2.90	
		T_A = 25°C	VREF = 1536mV 至 2016mV	2.3V 至 5.5V	-1.47	-0.7	1.42	
		$-40°C < T_A \leq 125°C$			-3.07		6.28	
模拟温度传感器								
T_{ERR}	温度传感器精度		10°C 至 45°C	1.71V 至 5.5V	-4.3		7.5	°C
			-40°C 至 85°C		-10.6		11.1	
			-40°C 至 105°C		-10.6		12.4	
			-40°C 至 125°C		-10.6		14.2	

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
T_{OUT}	温度传感器输出	-40°C	1.71V 至 5.5V	1.193	1.242	1.289	V
		-30°C		1.151	1.197	1.236	
		-20°C		1.109	1.152	1.184	
		-10°C		1.067	1.107	1.133	
		0°C		1.025	1.061	1.084	
		10°C		0.983	1.016	1.035	
		20°C		0.940	0.972	0.989	
		25°C		0.917	0.949	0.966	
		30°C		0.895	0.927	0.943	
		40°C		0.850	0.883	0.899	
		50°C		0.803	0.840	0.857	
		60°C		0.756	0.796	0.815	
		70°C		0.709	0.753	0.774	
		80°C		0.661	0.709	0.734	
		85°C		0.638	0.687	0.714	
		90°C		0.614	0.665	0.694	
		100°C		0.566	0.621	0.654	
		110°C		0.519	0.578	0.615	
		120°C		0.472	0.534	0.576	
		125°C		0.449	0.512	0.556	

(1) 开漏开关性能将受到使用的上拉电阻器的限制

5.6 电源电流特性

T_A = 25°C（除非另有说明）

参数		测试条件	V_{CC} = 1.8V ± 0.09V			V_{CC} = 3.3V ± 0.3V			V_{CC} = 5V ± 0.5V			单位
			最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
待机												
I_{CC}	待机	输入 = 0V，输出 = 开路，I_O = 0，BG 强制关闭，OSC 关闭，ACMP 关闭		0.19			0.22			0.22		μA
I_{CC}	待机，带隙已启用	带隙强制开启		2.40			2.42			2.44		μA
I_{CC}	待机，预偏置已启用	预偏置强制开启		0.20			0.24			0.26		μA
振荡器												
I_{CC}	OSC0 启用：2kHz 或 10kHz	预分频 = 1		0.51			0.53			0.53		μA
		预分频 = 2		0.51			0.52			0.52		
		预分频 = 4		0.50			0.50			0.51		
		预分频 = 8		0.50			0.50			0.51		

Copyright © 2026 Texas Instruments Incorporated

5.6 电源电流特性（续）

T_A = 25°C（除非另有说明）

参数		测试条件	V_{CC} = 1.8V ± 0.09V			V_{CC} = 3.3V ± 0.3V			V_{CC} = 5V ± 0.5V			单位
			最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
I_{CC}	OSC1 启用：25MHz	预分频 = 1		254.4			256.9			258.5		μA
		预分频 = 2		218.2			220.0			221.3		
		预分频 = 4		198.9			200.3			201.6		
		预分频 = 8		187.6			189.3			190.0		
I_{CC}	OSC1 启用：25MHz	正常启动， OSC 输出空闲		2.41			2.16			2.41		μA
I_{CC}	OSC1 启用：25MHz	启用快速启动， OSC 输出空闲		8.09			8.05			8.13		μA
模拟比较器 - 多通道模拟比较器												
I_{CC}	多通道采样模拟比较器 (McACMP)	1 通道， 外部 VREF (32mV)， IN+ = 0V		0.94			0.90			0.94		μA
		1 通道， 外部 VREF (32mV)， IN+ = VCC		0.93			0.93			0.97		
		4 通道连续采样， 外部 VREF (32mV)， IN+ = 0V， OSC = 10kHz		0.90			0.97			0.99		
电压基准												
I_{CC}	电压基准 (VREF)	内部 VREF (32mV 至 2016mV)		5.27			5.34			5.34		μA
模拟温度传感器												
I_{CC}	模拟温度传感器 (TS)	启用温度传感器		3.38			3.37			3.37		μA

5.7 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		从（输入）	至（输出）	测试条件	V_{CC}	最小值	典型值	最大值	单位
数字 IO									
t_{pd}	延迟	数字输入	推挽输出	上升	1.8V ± 0.09V			33.5	ns
				下降				31.2	
				上升	3.3V ± 0.3V			19.9	
				下降				16.5	
				上升	5V ± 0.5V			12.3	
				下降				18.3	
t_{pd}	延迟	具有施密特触发的数字输入	推挽输出	上升	1.8V ± 0.09V			31.5	ns
				下降				32.9	
				上升	3.3V ± 0.3V			19.1	
				下降				21.5	
				上升	5V ± 0.5V			16.5	
				下降				17.3	

Copyright © 2026 Texas Instruments Incorporated

5.7 开关特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数			从（输入）	至（输出）	测试条件	V_{CC}	最小值 典型值 最大值	单位
t_{pd}	延迟		低电压数字输入	推挽输出	上升	1.8V ± 0.09V	25.5	ns
					下降		30.5	
					上升	3.3V ± 0.3V	16.1	
					下降		18.1	
					上升	5V ± 0.5V	11.4	
					下降		15.9	
t_{pd}	延迟		数字输入	开漏 NMOS 输出	上升	1.8V ± 0.09V	—	ns
					下降		31.2	
					上升	3.3V ± 0.3V	—	
					下降		20.8	
					上升	5V ± 0.5V	—	
					下降		21.2	
t_{pd}	延迟	输出使能来源引脚	OE	推挽输出	Hi-Z 至 1	1.8V ± 0.09V	38.8	ns
						3.3V ± 0.3V	26.7	
						5V ± 0.5V	21.1	
					Hi-Z 至 0	1.8V ± 0.09V	35.7	ns
						3.3V ± 0.3V	23.1	
						5V ± 0.5V	18.4	
可配置使用逻辑								
t_{pd}	延迟	2 位 LUT	IN	OUT	上升	1.8V ± 0.09V	0.9	ns
					下降		1.1	
					上升	3.3V ± 0.3V	0.9	
					下降		1.1	
					上升	5V ± 0.5V	0.9	
					下降		1.1	
t_{pd}	延迟	3 位 LUT	IN	OUT	上升	1.8V ± 0.09V	0.9	ns
					下降		1.0	
					上升	3.3V ± 0.3V	0.9	
					下降		1.0	
					上升	5V ± 0.5V	0.9	
					下降		1.0	
t_{pd}	延迟	4 位 LUT	IN	OUT	上升	1.8V ± 0.09V	1.0	ns
					下降		1.3	
					上升	3.3V ± 0.3V	0.9	
					下降		1.7	
					上升	5V ± 0.5V	4.9	
					下降		1.7	
t_{pd}	延迟	DFF/闩锁	CLK	Q	上升	1.8V ± 0.09V	2.2	ns
					下降		2.1	
					上升	3.3V ± 0.3V	2.2	
					下降		2.1	
					上升	5V ± 0.5V	2.2	
					下降		2.1	

Copyright © 2026 Texas Instruments Incorporated

5.7 开关特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数			从（输入）	至（输出）	测试条件	V_{CC}	最小值 典型值 最大值	单位
t_{pd}	延迟	DFF/闩锁	nRST/nSET	Q	上升	1.8V ± 0.09V	2.3	ns
					下降		2.2	
					上升	3.3V ± 0.3V	2.1	
					下降		2.3	
					上升	5V ± 0.5V	2.1	
					下降		2.2	
t_{pd}	延迟	图形发生器	CLK	OUT	上升	1.8V ± 0.09V	1.8	ns
					下降		1.9	
					上升	3.3V ± 0.3V	1.8	
					下降		2.1	
					上升	5V ± 0.5V	2.0	
					下降		2.1	
计数器/延迟								
t_{pd}	延迟	移位寄存器	CLK	OUT	上升	1.8V ± 0.09V	2.4	ns
					下降		2.2	
					上升	3.3V ± 0.3V	2.3	
					下降		2.5	
					上升	5V ± 0.5V	2.2	
					下降		2.2	
t_{pd}	延迟	移位寄存器	nRST	OUT	上升	1.8V ± 0.09V	2.5	ns
					下降		2.6	
					上升	3.3V ± 0.3V	2.3	
					下降		2.3	
					上升	5V ± 0.5V	2.2	
					下降		2.5	
t_{pd}	延迟	计数器 - 延迟模式	IN 的上升沿	OUT 的上升沿	下降沿触发	1.8V ± 0.09V	3.3	ns
			IN 的下降沿	OUT 的下降沿	上升沿触发		3.0	
			IN 的上升沿	OUT 的上升沿	下降沿触发	3.3V ± 0.3V	3.3	
			IN 的下降沿	OUT 的下降沿	上升沿触发		3.0	
			IN 的上升沿	OUT 的上升沿	下降沿触发	5V ± 0.5V	3.3	
			IN 的下降沿	OUT 的下降沿	上升沿触发		3.0	
t_{pw}	脉宽	计数器 - 边沿检测模式	OUT 的上升沿	OUT 的下降沿	上升沿检测	1.8V ± 0.09V	23.3	ns
						3.3V ± 0.3V	21.6	
						5V ± 0.5V	21.9	
					下降沿检测	1.8V ± 0.09V	21.3	
						3.3V ± 0.3V	21.1	
						5V ± 0.5V	21.2	
					双边沿检测	1.8V ± 0.09V	21.6	
						3.3V ± 0.3V	21.2	
						5V ± 0.5V	21.3	
状态机								

Copyright © 2026 Texas Instruments Incorporated

5.7 开关特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		从（输入）	至（输出）	测试条件	V_{CC}	最小值	典型值	最大值	单位
t_{st_pw}	状态转换脉冲宽度				1.8V ± 0.09V	15.0	26	75.0	ns
					3.3V ± 0.3V	15.0	25	75.0	
					5V ± 0.5V	15.0	25	75.0	
t_{st_dly}	状态转换延迟				1.8V ± 0.09V	25.0	63.3	155.0	ns
					3.3V ± 0.3V	25.0	51.3	140.0	
					5V ± 0.5V	25.0	52.4	135.0	
振荡器									
f_{err}	振荡器频率误差			OSC0 2kHz	1.8V ± 0.09V	-5.9		3.9	%
					3.3V ± 0.3V	-6.0		3.8	
					5V ± 0.5V	-6.0		3.6	
				OSC0 10kHz	1.8V ± 0.09V	-5.9		3.9	%
					3.3V ± 0.3V	-6.0		3.8	
					5V ± 0.5V	-6.0		3.6	
				OSC1 25MHz	1.8V ± 0.09V	-6.6		4.5	%
					3.3V ± 0.3V	-6.5		4.6	
					5V ± 0.5V	-6.5		4.6	
t_{d_osc}	振荡器启动延迟			OSC0 2kHz	1.8V ± 0.09V		0.9		µs
					3.3V ± 0.3V		1.0		
					5V ± 0.5V		1.0		
				OSC0 10kHz	1.8V ± 0.09V		0.9		µs
					3.3V ± 0.3V		1.0		
					5V ± 0.5V		1.0		
				OSC1 25MHz	1.8V ± 0.09V		3.2		µs
					3.3V ± 0.3V		3.1		
					5V ± 0.5V		3.0		
				OSC1 25MHz，启用快速启动	1.8V ± 0.09V		0.4		µs
					3.3V ± 0.3V		0.4		
					5V ± 0.5V		0.4		
t_{d_bg}	带隙启动延迟			带隙自动开启	1.8V ± 0.09V		103.3		µs
					3.3V ± 0.3V		89.5		
					5V ± 0.5V		90.1		
t_{set_osc}	振荡器启动稳定时间			OSC0 2kHz	1.8V ± 0.09V		99.0		µs
					3.3V ± 0.3V		100.0		
					5V ± 0.5V		105.0		
				OSC0 10kHz	1.8V ± 0.09V		99.0		µs
					3.3V ± 0.3V		100.0		
					5V ± 0.5V		105.0		
				OSC1 25MHz	1.8V ± 0.09V		4.2		µs
					3.3V ± 0.3V		3.6		
					5V ± 0.5V		2.6		
t_{d_err}	延迟误差			OSC（强制上电）	1.71V 至 5.5V	0		1	CLK 周期
可编程滤波器									

Copyright © 2026 Texas Instruments Incorporated

5.7 开关特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数			从（输入）	至（输出）	测试条件	V_{CC}	最小值	典型值	最大值	单位
t_{pflt_pw}	脉宽	可编程滤波器 - 边沿检测模式	OUT 的上升沿	OUT 的下降沿	1 个单元	1.8V ± 0.09V		152.6		ns
						3.3V ± 0.3V		152.0		
						5V ± 0.5V		152.2		
					2 节电池	1.8V ± 0.09V		250.6		ns
						3.3V ± 0.3V		250.4		
						5V ± 0.5V		249.9		
					3 节电池	1.8V ± 0.09V		348.4		ns
						3.3V ± 0.3V		347.8		
						5V ± 0.5V		347.3		
					4 节电池	1.8V ± 0.09V		444.9		ns
						3.3V ± 0.3V		444.5		
						5V ± 0.5V		444.5		
t_{pflt_pd}	延迟	可编程滤波器 - 边沿检测模式			任何单元	1.8V ± 0.09V		67.4		ns
						3.3V ± 0.3V		67.3		
						5V ± 0.5V		67.2		
t_{pflt_d}	延迟	可编程滤波器 - 双边沿延迟模式	IN 的上升/下降沿	OUT 的上升/下降沿	1 个单元	1.8V ± 0.09V		171.3		ns
						3.3V ± 0.3V		171.1		
						5V ± 0.5V		170.7		
					2 节电池	1.8V ± 0.09V		269.4		ns
						3.3V ± 0.3V		269.2		
						5V ± 0.5V		268.5		
					3 节电池	1.8V ± 0.09V		366.8		ns
						3.3V ± 0.3V		366.6		
						5V ± 0.5V		366.1		
					4 节电池	1.8V ± 0.09V		464.0		ns
						3.3V ± 0.3V		463.9		
						5V ± 0.5V		463.4		

5.8 I²C 总线时序要求

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数			标准模式 (Sm)		快速模式 (Fm)		快速+ 模式 (Fm+)		单位
			最小值	最大值	最小值	最大值	最小值	最大值	
f_{scl}	I²C 时钟频率		0	100	0	400	0	1000	kHz
t_{sch}	I²C 时钟高电平时间		4		0.6		0.26		µs
t_{scl}	I²C 时钟低电平时间		4.7		1.3		0.5		µs
t_{sp}	I²C 尖峰时间			50		50		50	ns
t_{sds}	I²C 串行数据设置时间		250		100		50		ns
t_{sdh}	I²C 串行数据保持时间		0		0		0		ns
t_{icr}	I²C 输入上升时间			1000	20	300		120	ns

Copyright © 2026 Texas Instruments Incorporated

5.8 I²C 总线时序要求（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数			标准模式 (Sm)		快速模式 (Fm)		快速+ 模式 (Fm+)		单位
			最小值	最大值	最小值	最大值	最小值	最大值	
t_{icf}	I²C 输入下降时间			300	20 × (V_{CC} / 5.5V)	300	20 × (V_{CC} / 5.5V)	120	ns
t_{ocf}	I²C 输出下降时间	10-pF 至 400-pF 总线 (Sm/Fm) 10-pF 至 550-pF 总线 (Fm+)		300		300		120	ns
t_{buf}	停止和启动之间的 I²C 总线空闲时间		4.7		1.3		0.5		µs
t_{sts}	I²C 启动或重复启动条件设置		4.7		0.6		0.26		µs
t_{sth}	I²C 启动或重复启动条件保持		4		0.6		0.26		µs
t_{sps}	I²C 停止条件设置		4		0.6		0.26		µs
$t_{vd(data)}$	有效数据时间	SCL 低电平到 SDA 输出有效		3.45		0.9		0.45	µs
$t_{vd(ack)}$	ACK 条件的有效数据时间	从 SCL 低电平到 SDA（输出）低电平的 ACK 信号		3.45		0.9		0.45	µs
C_b	I²C 总线容性负载			400		400		550	pF

5.9 SPI 时序要求

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		最小值	标称值	最大值	单位
f_{SCLK}	SCLK，SPI 时钟频率			4	MHz
t_{SCLK}	SCLK，SPI 时钟周期	250			ns
t_R	SDI、nCS 和 SCLK 信号上升时间			40	ns
t_F	SDI、nCS 和 SCLK 信号下降时间			40	ns
t_{SCLKH}	SCLK 高电平时间	125			ns
t_{SCLKL}	SCLK 低电平时间	125			ns
t_{NCS_SU}	从 SCLK 上升沿的 nCS 设置时间	100			ns
t_{NCS_HOLD}	SCLK 下降沿之后的 nCS 保持时间	100			ns
t_{NCS_DIS}	nCS 禁用时间	50			ns
t_{SDI_SU}	SCLK 上升沿之前的 SDI 设置时间	50			ns
t_{SDI_HOLD}	SCLK 上升沿之后的 SDI 保持时间	50			ns
t_{SDO_VALID}	从 SCLK 的下降沿到下一个 SDO 数据的时间			80	ns
t_{SDOR}	SDO 上升时间			40	ns
t_{SDOF}	SDO 下降时间			40	ns

Copyright © 2026 Texas Instruments Incorporated

5.10 典型特性

T_A = 25°C

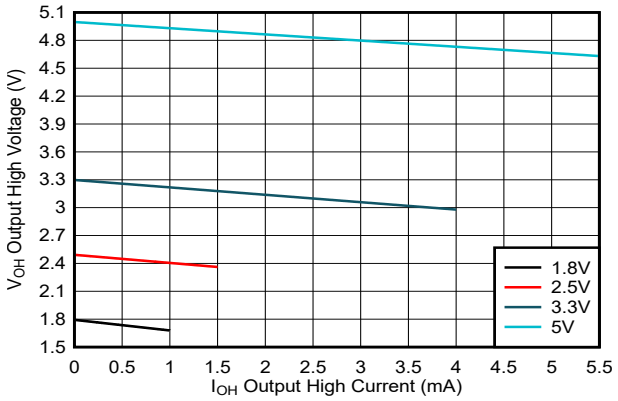


图 5-1. 高电平状态下的典型 1X 推挽输出电压 (V_{OH})

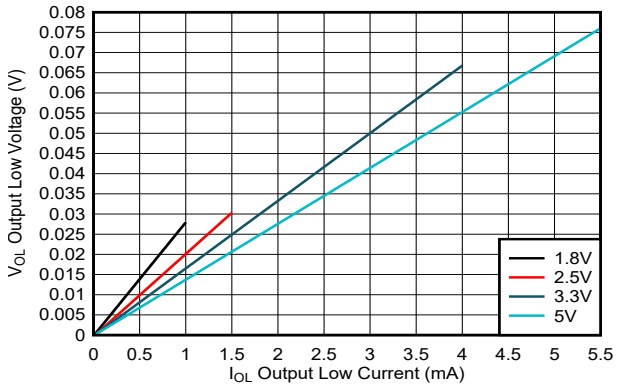


图 5-2. 低电平状态下的典型 1X 推挽输出电压 (V_{OL})

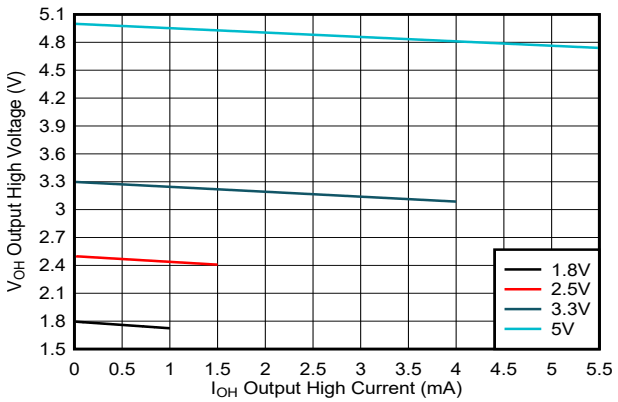


图 5-3. 高电平状态下的典型 2X 推挽输出电压 (V_{OH})

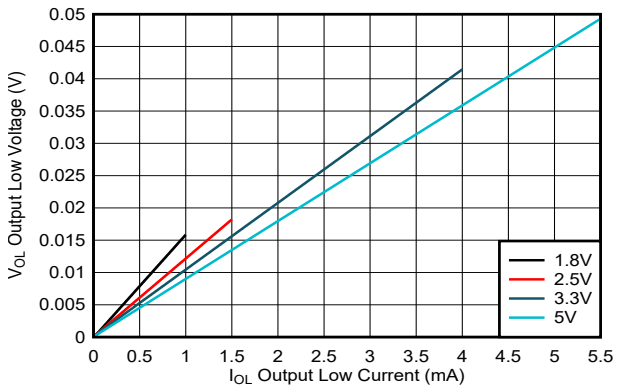


图 5-4. 低电平状态下的典型 2X 推挽输出电压 (V_{OL})

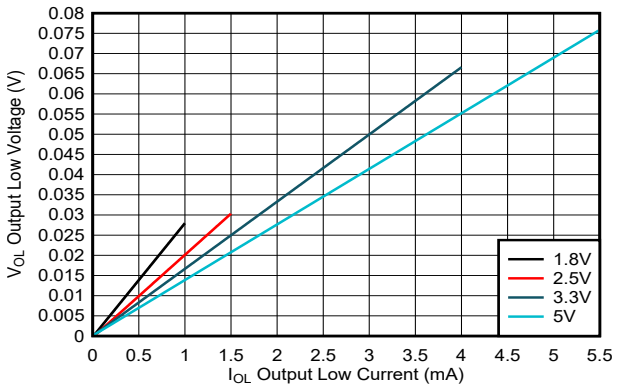


图 5-5. 低电平状态下的典型 1X 开漏 NMOS 输出电压 (V_{OL})

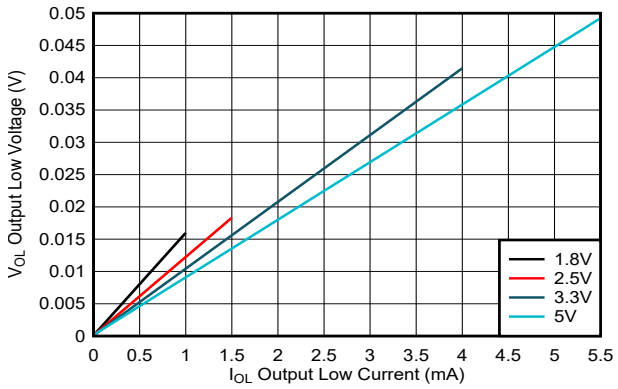


图 5-6. 低电平状态下的典型 2X 开漏 NMOS 输出电压 (V_{OL})

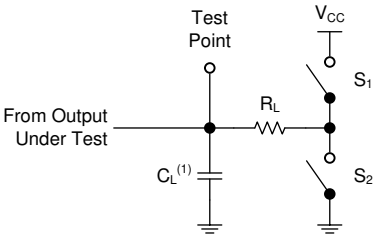
Copyright © 2026 Texas Instruments Incorporated

6 参数测量信息

任意选择波形之间的相位关系。所有输入脉冲均由具有以下特性的发生器提供：PRR ≤ 1MHz，Z_O = 50Ω，t_t < 5ns。

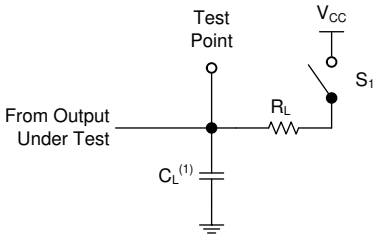
对于时钟输入，f_{max} 是在输入占空比为 50% 时测量的。

一次测量一个输出，每次测量一个输入转换。



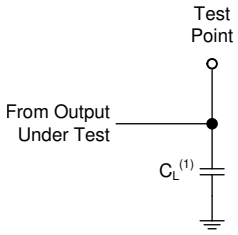
(1) C_L 包括探头和测试夹具电容。

图 6-1. 三态输出的负载电路



(1) C_L 包括探头和测试夹具电容。

图 6-2. 开漏输出的负载电路



(1) C_L 包括探头和测试夹具电容。

图 6-3. 推挽输出的负载电路

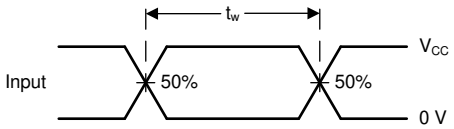


图 6-4. 电压波形，脉冲持续时间

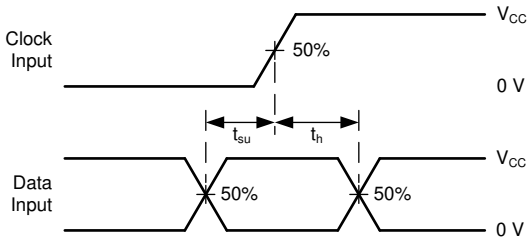
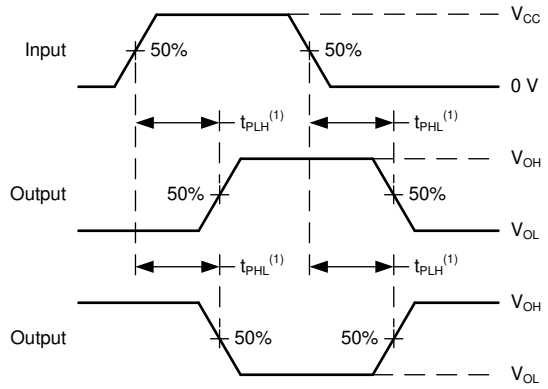


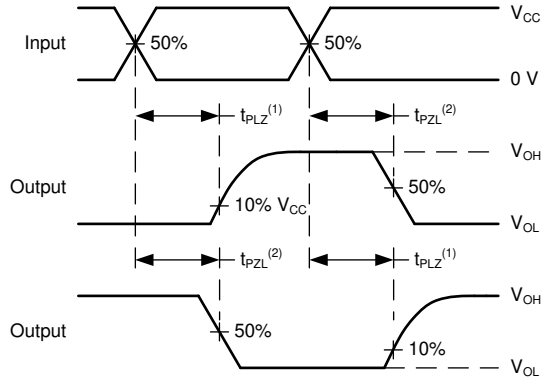
图 6-5. 电压波形，设置和保持时间

Copyright © 2026 Texas Instruments Incorporated



(1) t_{PLH} 和 t_{PHL} 之间的较大者与 t_{pd} 相同。

图 6-6. 电压波形传播延迟



(1) t_{PLZ} 和 t_{PZL} 之间的较大者与 t_{pd} 相同。

图 6-8. 电压波形传播延迟

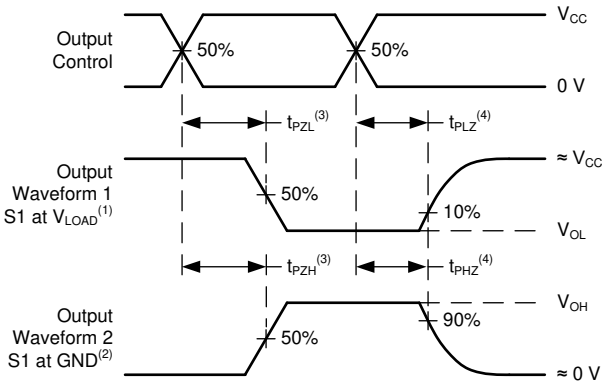
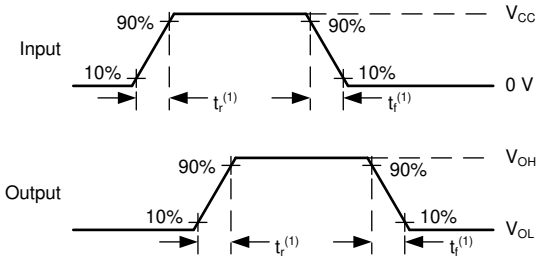
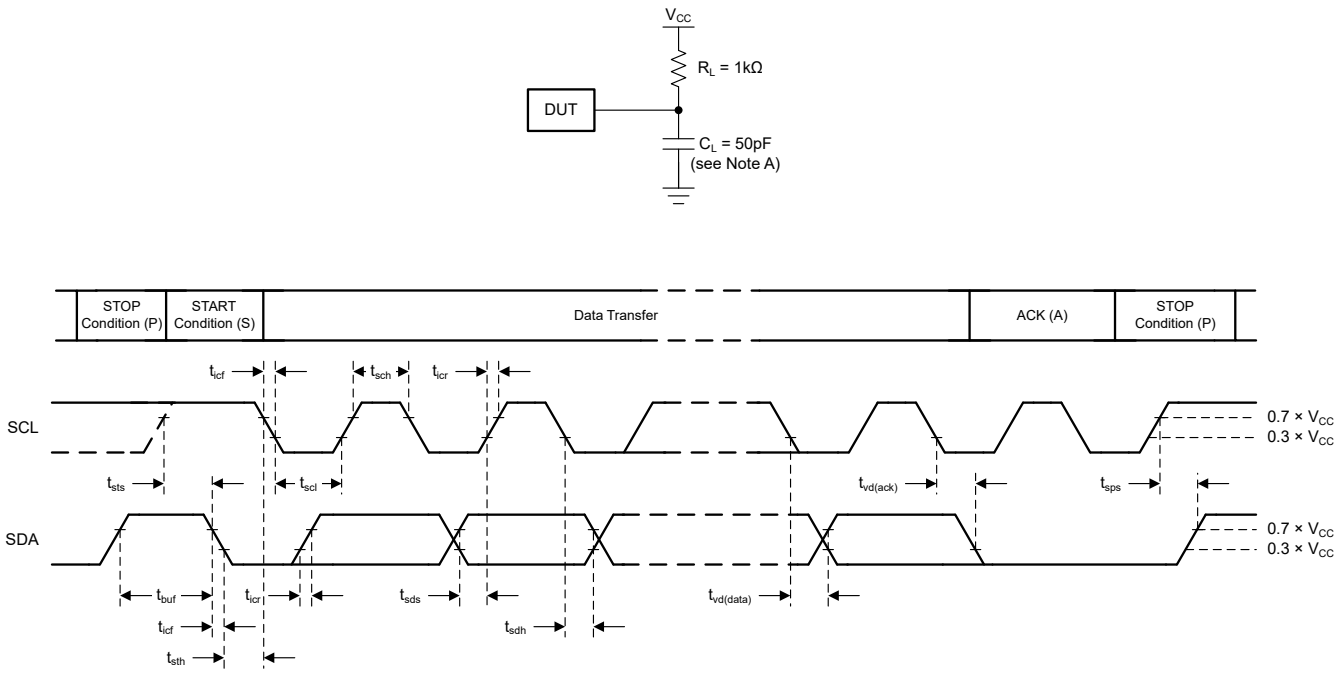


图 6-7. 电压波形传播延迟



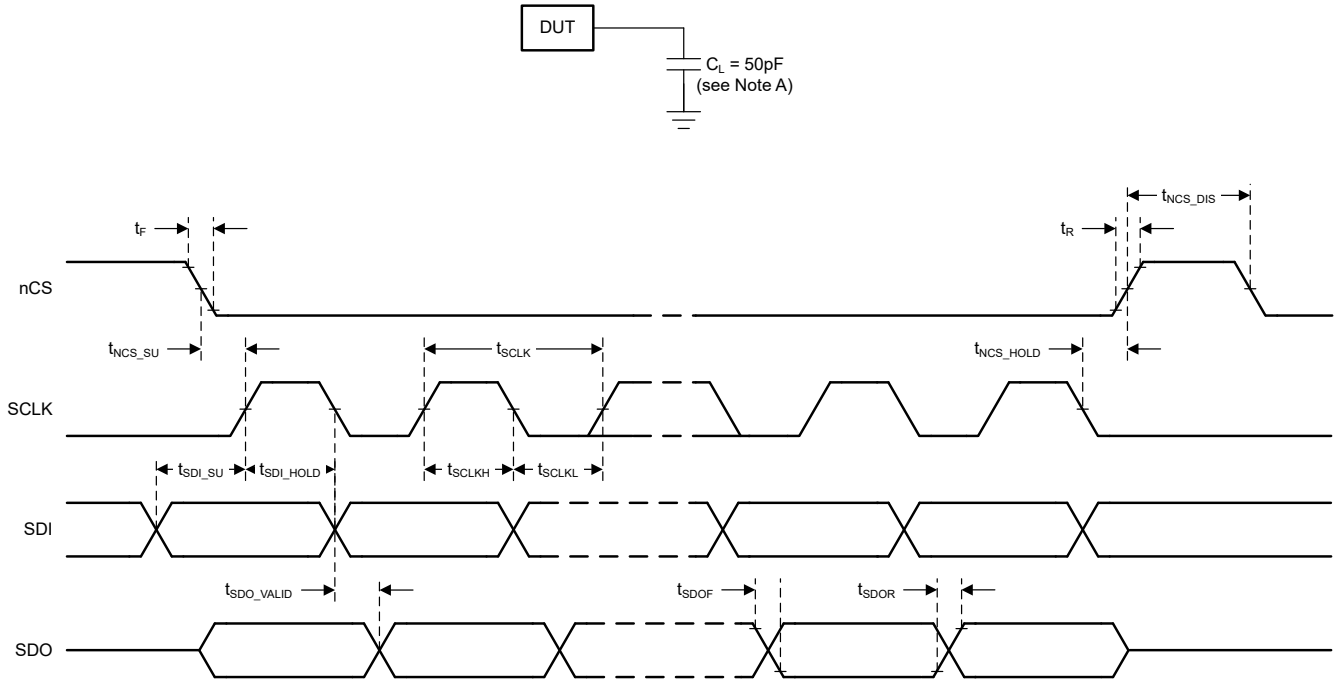
(1) t_r 和 t_f 之间的较大值与 t_t 相同。

图 6-9. 电压波形，输入和输出转换时间



A. C_L 包括探头和夹具电容。

图 6-10. I²C 接口负载电路和电压波形



A. C_L 包括探头和夹具电容。

图 6-11. SPI 接口负载电路和电压波形

Copyright © 2026 Texas Instruments Incorporated

7 详细说明

7.1 概述

TPLD1202 是 TI 可编程逻辑器件 (TPLD) 系列器件的一部分，该系列器件采用具有组合逻辑、时序逻辑和模拟块的多功能可编程逻辑 IC，可提供集成、紧凑、低功耗解决方案来实现常见系统功能。

TPLD1202 具有一个 GPI 和九个 GPIO，可配置为数字输入、数字输出、数字输入或输出，或者模拟输入或输出。

TPLD1202 具有一个用于配置内部宏单元和 I/O 引脚布线的互连系统（进一步称为连接多路复用器）。每个连接多路复用器输入都硬接线到特定的数字宏单元输出，例如数字 I/O、查找表和模拟比较器输出。连接多路复用器允许每个数字输入仅连接到一个输出，因此不存在总线争用。

TPLD1202 具有以下宏单元：

- 可配置使用逻辑块
  - 两个可选的 2 输入查找表 (LUT) 或 D 型触发器 (DFF)/锁存器
  - 一个可选的 2 输入 LUT 或图形发生器 (PGEN)
  - 四个可选的 3 输入 LUT 或 DFF/锁存器
  - 四个可选的 3 输入 LUT 或 DFF/锁存器或移位寄存器
  - 一个可选的 4 输入 LUT 或 DFF/锁存器
- 可配置逻辑和时序块
  - 六个 3 输入 LUT 或 DFF/锁存器和/或 8 位计数器 (CNT)/延迟发生器 (DLY)
- 一个可编程抗尖峰脉冲滤波器 (PFLT) 或边沿检测器 (EDET)
- 1 个 8 态状态机 (SM) 或 4 个 PWM 发生器
- 3 个 8 位 CNT/DLY/有限状态机 (FSM)
- 1 个 8 位 CNT/DLY/FSM 或看门狗计时器 (WDT)
- 一个具有集成采样引擎的多通道模拟比较器 (McACMP)
- 电压基准 (VREF)
- 模拟温度传感器 (TS)
- 两个振荡器 (OSC)
  - 一个可选 2kHz 或 10kHz
  - 一个固定 25MHz
- 一个串行通信宏单元可选 I^2C 或 SPI

InterConnect Studio 软件环境支持简单的拖放界面来构建自定义电路设计并配置宏单元、I/O 引脚和互连。除了创建电路之外，InterConnect Studio 还能够模拟数字和模拟功能以验证设计，并提供典型的功耗估算。电路设计最终确定后，InterConnect Studio 可以临时对非易失性存储器中的设计进行仿真或对一次性可编程 (OTP) 进行永久编程。可以锁定 OTP 以防止回读其内容。

Copyright © 2026 Texas Instruments Incorporated

7.2 功能方框图

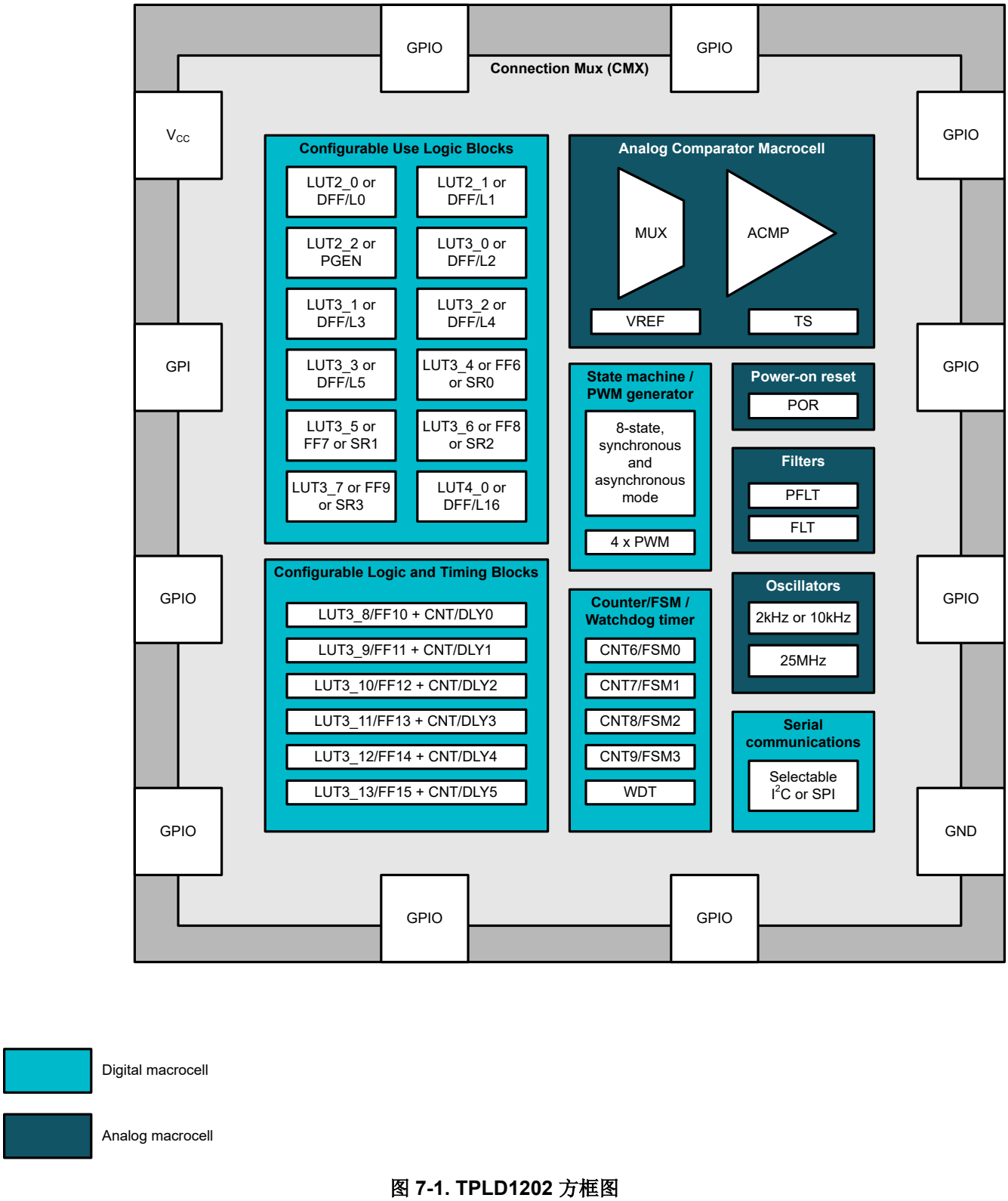


图 7-1. TPLD1202 方框图

Copyright © 2026 Texas Instruments Incorporated

7.3 特性说明

7.3.1 I/O 引脚

TPLD1202 具有一个输入和九个多功能 I/O 引脚。GPIO 引脚可用作用户定义的输入、输出或特殊功能。

7.3.1.1 输入模式

将引脚配置为输入时，可以使用以下选项：

- 不具有施密特触发的数字输入
- 具有施密特触发的数字输入
- 低电压数字输入

低电压数字输入的 V_{IH}/V_{IL} 规格低于不具有施密特触发的数字输入。这允许从任何低于 V_{CC} 且符合低电压数字输入 V_{IH} 和 V_{IL} 规格的电压域向上转换。

除了数字输入选项外，还有几个 IO 还可以提供特殊功能。两个 IO 可以用作外部振荡器输入。

- IN0：OSC0 外部时钟
- IO8：OSC1 外部时钟

还可以将多个 IO 配置成用作内部模拟比较器的模拟输入。

- IO5：McACMP IN0
- IO6：McACMP IN1
- IO7：McACMP IN2
- IO8：McACMP IN3
- IO4：外部 VREF 输入

7.3.1.2 输出模式

将引脚配置为输出时，可以使用以下选项（提供了可编程驱动强度）：

- 推挽输出
- 开漏 NMOS 输出

7.3.1.3 上拉或下拉电阻器：

所有 I/O 引脚都可以选择连接到引脚结构的用户可选电阻器。这些电阻器的可选阻值为 10kΩ、100kΩ 和 1MΩ。内部电阻器可以配置为上拉电阻器或下拉电阻器。在 InterConnect Studio 中进行设计时，设计中未使用的任何引脚默认配置为连接一个 1MΩ 的下拉电阻器。此外，在上电事件之后，所有端口都处于高阻态，直到上电复位序列完成。

表 7-1. 引脚配置选项

GPIO	IO 选择	OE	IO 选项	电阻器	电阻值 (Ω)
IN0	未使用的引脚	—	—	下拉	1M
	数字输入	0	不具有施密特触发的数字输入 具有施密特触发的数字输入 低电压数字输入	悬空	—
				下拉 上拉	10k 100k 1M

Copyright © 2026 Texas Instruments Incorporated

表 7-1. 引脚配置选项（续）

GPIO	IO 选择	OE	IO 选项	电阻器	电阻值 (Ω)
IO1、IO2	未使用的引脚	—	—	下拉	1M
	数字输入	0	不具有施密特触发的数字输入 具有施密特触发的数字输入 低电压数字输入	悬空	—
				下拉 上拉	10k 100k 1M
	数字输出	1	推挽（1X、2X） 开漏 NMOS（1X、4X）	悬空	—
				下拉 上拉	10k 100k 1M
IO3、IO4、IO8	未使用的引脚	—	—	下拉	1M
	数字输入	0	不具有施密特触发的数字输入 具有施密特触发的数字输入 低电压数字输入	悬空	—
				下拉 上拉	10k 100k 1M
	数字输出	1	推挽（1X、2X）	悬空	—
			开漏 NMOS（1X、2X） 三态输出（1X、2X）	下拉 上拉	10k 100k 1M
	数字输入/输出	0	不具有施密特触发的数字输入 具有施密特触发的数字输入 低电压数字输入 模拟输入	悬空	—
				下拉 上拉	10k 100k 1M
		1	推挽（1X、2X） 开漏 NMOS（1X、2X）		
	模拟输入/输出	—	模拟输入/输出	悬空	—
				下拉 上拉	10k 100k 1M
IO5、IO6、IO7	未使用的引脚	—	—	下拉	1M
	数字输入	0	不具有施密特触发的数字输入 具有施密特触发的数字输入 低电压数字输入	悬空	—
				下拉 上拉	10k 100k 1M
	数字输出	1	推挽（1X、2X）	悬空	—
			开漏 NMOS（1X、2X）	下拉 上拉	10k 100k 1M
	模拟输入/输出	—	模拟输入/输出	悬空	—
				下拉 上拉	10k 100k 1M

Copyright © 2026 Texas Instruments Incorporated

表 7-1. 引脚配置选项（续）

GPIO	IO 选择	OE	IO 选项	电阻器	电阻值 (Ω)
IO9	未使用的引脚	—	—	下拉	1M
	数字输入	0	不具有施密特触发的数字输入 具有施密特触发的数字输入 低电压数字输入	悬空	—
				下拉 上拉	10k 100k 1M
	数字输出	1	推挽（1X、2X）	悬空	—
			开漏 NMOS（1X、2X） 三态输出（1X、2X）	下拉 上拉	10k 100k 1M
	数字输入/输出	0	不具有施密特触发的数字输入 具有施密特触发的数字输入 低电压数字输入	悬空	—
				下拉 上拉	10k 100k 1M
		1	推挽（1X、2X） 开漏 NMOS（1X、2X）		

备注

当使用由配置为三态数字输出的 CMX 控制输出使能 (OE) 的 IO 时，TI 建议将输入模式配置为 0b11（模拟 IO 或保留）。

7.3.2 连接多路复用器

连接多路复用器用于在编程后为器件的内部功能创建内部连接路径。寄存器从一次性可编程存储器 (OTP) 中进行编程。

TPLD1202 中每个功能宏单元的输出都有一个特定的数字位码与之对应，根据所创建的设计，该位码会设置为活动“高电平”或非活动“低电平”。一旦对 TPLD1202 中的 2048 个寄存器位进行编程，会创建一个完全定制的电路。

连接多路复用器具有 53 个输入和 113 个输出。连接多路复用器的 53 个输入中的每一个都硬接线到特定的源宏单元，包括 I/O 引脚，LUT，模拟比较器，其他数字资源以及 V_{CC} 和 GND。数字宏单元的输入使用 6 位寄存器来选择这 53 条输入线之一。

表 7-2. 连接多路复用器输入表

连接多路复用器输入	连接多路复用器输入信号	多路复用器解码					
		5	4	3	2	1	0
0	GND	0	0	0	0	0	0
1	IN0 OUT	0	0	0	0	0	1
2	IO1 DIN / VIRTUAL IN0	0	0	0	0	1	0
3	IO2 DIN / VIRTUAL IN1	0	0	0	0	1	1
4	IO3 DIN / VIRTUAL IN2	0	0	0	1	0	0
5	IO4 DIN / VIRTUAL IN3	0	0	0	1	0	1
6	IO5 DIN / VIRTUAL IN4	0	0	0	1	1	0
7	IO6 DIN / VIRTUAL IN5	0	0	0	1	1	1
8	IO7 DIN / VIRTUAL IN6	0	0	1	0	0	0
9	IO8 DIN	0	0	1	0	0	1
10	IO9 DIN / VIRTUAL IN7	0	0	1	0	1	0

Copyright © 2026 Texas Instruments Incorporated

表 7-2. 连接多路复用器输入表（续）

连接多路复用器输入	连接多路复用器输入信号	多路复用器解码					
		5	4	3	2	1	0
11	LUT2_0 / DFF OUT	0	0	1	0	1	1
12	LUT2_1 / DFF OUT	0	0	1	1	0	0
13	LUT2_2 / PGEN OUT	0	0	1	1	0	1
14	LUT3_0 / DFF OUT	0	0	1	1	1	0
15	LUT3_1 / DFF OUT	0	0	1	1	1	1
16	LUT3_2 / DFF OUT	0	1	0	0	0	0
17	LUT3_3 / DFF OUT	0	1	0	0	0	1
18	LUT3_4 / DFF / SR OUT	0	1	0	0	1	0
19	LUT3_5 / DFF / SR OUT	0	1	0	0	1	1
20	LUT3_6 / DFF / SR OUT	0	1	0	1	0	0
21	LUT3_7 / DFF / SR OUT	0	1	0	1	0	1
22	LUT3_8 / LDC (CNT0) OUT	0	1	0	1	1	0
23	LUT3_9 / LDC (CNT1) OUT	0	1	0	1	1	1
24	LUT3_10 / LDC (CNT2) OUT	0	1	1	0	0	0
25	LUT3_11 / LDC (CNT3) OUT	0	1	1	0	0	1
26	LUT3_12 / LDC (CNT4) OUT	0	1	1	0	1	0
27	LUT3_13 / LDC (CNT5) OUT	0	1	1	0	1	1
28	LUT4_0 / DFF OUT	0	1	1	1	0	0
29	PFLT OUT	0	1	1	1	0	1
30	FLT / EDET OUT	0	1	1	1	1	0
31	SM OUT0 或 PWM GEN3 OUTP	0	1	1	1	1	1
32	SM OUT1 或 PWM GEN3 OUTN	1	0	0	0	0	0
33	SM OUT2 或 PWM GEN2 OUTP	1	0	0	0	0	1
34	SM OUT3 或 PWM GEN2 OUTN	1	0	0	0	1	0
35	SM OUT4 或 PWM GEN1 OUTP	1	0	0	0	1	1
36	SM OUT5 或 PWM GEN1 OUTN	1	0	0	1	0	0
37	SM OUT6 或 PWM GEN0 OUTP	1	0	0	1	0	1
38	SM OUT7 或 PWM GEN0 OUTN	1	0	0	1	1	0
39	McACMP OUT0	1	0	0	1	1	1
40	McACMP OUT1	1	0	1	0	0	0
41	McACMP OUT2	1	0	1	0	0	1
42	McACMP OUT3	1	0	1	0	1	0
43	McACMP DATA RDY	1	0	1	0	1	1
44	OSC0 OUT0	1	0	1	1	0	0
45	OSC0 OUT1	1	0	1	1	0	1
46	OSC1 OUT	1	0	1	1	1	0
47	CNT6/FSM0 OUT	1	0	1	1	1	1
48	CNT7/FSM1 OUT	1	1	0	0	0	0
49	CNT8/FSM2 OUT	1	1	0	0	0	1
50	CNT9/FSM3 或 WDT OUT	1	1	0	0	1	0
51	POR OUT	1	1	0	0	1	1

Copyright © 2026 Texas Instruments Incorporated

表 7-2. 连接多路复用器输入表（续）

连接多路复用器输入	连接多路复用器输入信号	多路复用器解码					
		5	4	3	2	1	0
52	保留(1)	1	1	0	1	0	0
...	...	...	...	...	...	...	...
62	保留(1)	1	1	1	1	1	0
63	V_{CC}	1	1	1	1	1	1

(1) 保留选项在内部连接到 VCC。

表 7-3. 连接多路复用器输出表

连接多路复用器输出	连接多路复用器输出信号
0	IO1 DOUT
1	IO2 DOUT
2	IO3 DOUT
3	IO3 OE
4	IO4 DOUT
5	IO4 OE
6	IO5 DOUT
7	IO6 DOUT
8	IO7 DOUT
9	IO8 DOUT
10	IO8 OE
11	IO9 DOUT
12	IO9 OE
13	LUT2_0 IN0 / DFF CLK IN
14	LUT2_0 IN1 / DFF D IN
15	LUT2_1 IN0 / DFF CLK IN
16	LUT2_1 IN1 / DFF D IN
17	LUT2_2 IN0 / PGEN CLK IN
18	LUT2_2 IN1 / PGEN RST IN
19	LUT3_0 IN0 / DFF CLK IN
20	LUT3_0 IN1 / DFF D IN
21	LUT3_0 IN2 / DFF RST/SET IN
22	LUT3_1 IN0 / DFF CLK IN
23	LUT3_1 IN1 / DFF D IN
24	LUT3_1 IN2 / DFF RST/SET IN
25	LUT3_2 IN0 / DFF CLK IN
26	LUT3_2 IN1 / DFF D IN
27	LUT3_2 IN2 / DFF RST/SET IN
28	LUT3_3 IN0 / DFF CLK IN
29	LUT3_3 IN1 / DFF D IN

Copyright © 2026 Texas Instruments Incorporated

表 7-3. 连接多路复用器输出表（续）

连接多路复用器输出	连接多路复用器输出信号
30	LUT3_3 IN2 / DFF RST/SET IN
31	LUT3_4 IN0 / DFF / SR CLK IN
32	LUT3_4 IN1 / DFF / SR D IN
33	LUT3_4 IN2 / DFF / SR RST/SET IN
34	LUT3_5 IN0 / DFF / SR CLK IN
35	LUT3_5 IN1 / DFF / SR D IN
36	LUT3_5 IN2 / DFF / SR RST/SET IN
37	LUT3_6 IN0 / DFF / SR CLK IN
38	LUT3_6 IN1 / DFF / SR D IN
39	LUT3_6 IN2 / DFF / SR RST/SET IN
40	LUT3_7 IN0 / DFF / SR CLK IN
41	LUT3_7 IN1 / DFF / SR D IN
42	LUT3_7 IN2 / DFF / SR RST/SET IN
43	LUT3_8 IN0 / DFF CLK IN OR LDC (CNT0) IN0
44	LUT3_8 IN1 / DFF D IN OR LDC (CNT0) IN1
45	LUT3_8 IN2 / DFF RST IN OR LDC (CNT0) IN2
46	LUT3_9 IN0 / DFF CLK IN OR LDC (CNT1) IN0
47	LUT3_9 IN1 / DFF D IN OR LDC (CNT1) IN1
48	LUT3_9 IN2 / DFF RST IN OR LDC (CNT1) IN2
49	LUT3_10 IN0 / DFF CLK IN OR LDC (CNT2) IN0
50	LUT3_10 IN1 / DFF D IN OR LDC (CNT2) IN1
51	LUT3_10 IN2 / DFF RST IN OR LDC (CNT2) IN2
52	LUT3_11 IN0 / DFF CLK IN OR LDC (CNT3) IN0
53	LUT3_11 IN1 / DFF D IN OR LDC (CNT3) IN1
54	LUT3_11 IN2 / DFF RST IN OR LDC (CNT3) IN2
55	AllLUT3_12 IN0 / DFF CLK IN OR LDC (CNT4) IN0
56	LUT3_12 IN1 / DFF D IN OR LDC (CNT4) IN1
57	LUT3_12 IN2 / DFF RST IN OR LDC (CNT4) IN2
58	LUT3_13 IN0 / DFF CLK IN OR LDC (CNT5) IN0
59	LUT3_13 IN1 / DFF D IN OR LDC (CNT5) IN1
60	LUT3_13 IN2 / DFF RST IN OR LDC (CNT5) IN2
61	LUT4_0 IN0 / DFF CLK IN
62	LUT4_0 IN1 / DFF D IN
63	LUT4_0 IN2 / DFF RST/SET IN
64	LUT4_0 IN3
65	PFLT IN
66	FLT / EDET IN
67	SM ST0 EN0

Copyright © 2026 Texas Instruments Incorporated

表 7-3. 连接多路复用器输出表（续）

连接多路复用器输出	连接多路复用器输出信号
68	SM ST0 EN1
69	SM ST1 EN0
70	SM ST1 EN1
71	SM ST2 EN0
72	SM ST2 EN1
73	SM ST3 EN0
74	SM ST3 EN1
75	SM ST4 EN0 / PWM GEN3 PWR UP
76	SM ST4 EN1
77	SM ST5 EN0 / PWM GEN2 PWR UP
78	SM ST5 EN1
79	SM ST6 EN0 / PWM GEN1 PWR UP
80	SM ST6 EN1
81	SM ST7 EN0 / PWM GEN0 PWR UP
82	SM ST7 EN1
83	SM CLK
84	SM nRST
85	McACMP ENABLE
86	McACMP nRST
87	OSC0 PWR DOWN
88	OSC1 PWR DOWN
89	CNT6/FSM0 IN
90	CNT6/FSM0 FSM UP
91	CNT6/FSM0 FSM KEEP
92	CNT6/FSM0 外部 CLK
93	CNT7/FSM1 IN
94	CNT7/FSM1 FSM UP
95	CNT7/FSM1 FSM KEEP
96	CNT7/FSM1 外部 CLK
97	CNT8/FSM2 IN
98	CNT8/FSM2 FSM UP
99	CNT8/FSM2 FSM KEEP
100	CNT8/FSM2 外部 CLK
101	CNT9/FSM3 IN / WDT IN
102	CNT9/FSM3 FSM UP / WDT EN
103	CNT9/FSM3 FSM KEEP
104	CNT9/FSM3 外部 CLK
105	VIR_OUT0
106	VIR_OUT1
107	VIR_OUT2
108	VIR_OUT3
109	VIR_OUT4

Copyright © 2026 Texas Instruments Incorporated

表 7-3. 连接多路复用器输出表（续）

连接多路复用器输出	连接多路复用器输出信号
110	VIR_OUT5
111	VIR_OUT6
112	VIR_OUT7

7.3.3 可配置使用逻辑块

通过 TPLD1202 内的查找表 (LUT) 支持组合逻辑。组合函数宏单元的输入和输出通过连接多路复用器进行配置，具体逻辑功能由 OTP 位的状态定义。

TPLD1202 具有十二个可配置使用逻辑块（宏单元），这些逻辑块可以用作组合或顺序逻辑功能。在每种情况下，这些逻辑块都可以充当 LUT，或者充当其他逻辑或时序函数。有关可在这些逻辑块中实现的函数，请参阅以下列表：

- 两个可选的 2 输入 LUT 或 D 型触发器或锁存器 (DFF/L)
- 一个可选的 2 输入 LUT 或图形发生器 (PGEN)
- 具有复位/设置功能的四个可选 3 输入 LUT 或 D 型触发器或锁存器
- 四个可选的 3 输入 LUT 或 D 型触发器或移位寄存器 (SR)
- 一个具有复位/设置功能的可选 4 输入 LUT 或 D 型触发器或锁存器

7.3.3.1 2 位 LUT 或 D 型触发器/锁存器宏单元

该可配置逻辑单元既可用作 2 位 LUT，也可用作 D 型触发器或锁存器。

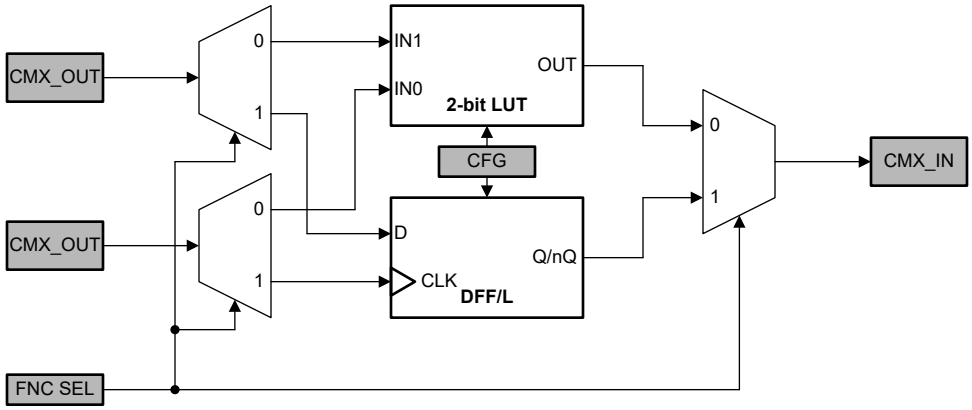


图 7-2. 2 位 LUT 或 DFF/锁存器方框图

7.3.3.1.1 2 位 LUT

当用于实现 LUT 功能时，2 位 LUT 从连接多路复用器接收两个输入信号并产生一个输出，该输出返回至连接多路复用器。这些 LUT 可配置为任何 2 输入用户定义的功能，包括以下标准数字逻辑功能（AND、NAND、OR、NOR、XOR、XNOR）。

当针对 LUT 功能进行编程时，每个宏单元使用一个 4 位寄存器来定义其输出功能。

表 7-4 展示了 2 位 LUT 的真值表。

Copyright © 2026 Texas Instruments Incorporated

表 7-4. 2 位 LUT 真值表

IN1	IN0	OUT
0	0	
0	1	
1	0	
1	1	

7.3.3.1.2 D 型触发器/锁存器

当用于实现时序逻辑元件时，来自连接多路复用器的两个输入信号进入触发器或锁存器的数据 (D) 和时钟 (CLK) 输入，输出返回至连接多路复用器。该宏单元具有初始状态参数以及可配置的时钟和输出极性参数。

D 型触发器/锁存器的运行遵循以下功能描述：

- 时钟极性可配置，可设置为同相 (CLK) 或反相 (nCLK)。
  - 具有 CLK 的 DFF：CLK 为上升沿触发，Q = D；否则 Q 不会改变。
  - 具有 nCLK 的 DFF：CLK 为下降沿触发，Q = D；否则 Q 不会改变。
  - 具有 CLK 的锁存器：当 CLK 为低电平时，Q = D；否则 Q 保持其先前的值（当 CLK 为高电平时，输入 D 对输出没有影响）。
  - 具有 nCLK 的锁存器：当 CLK 为高电平时，Q = D；否则 Q 保持其先前的值（当 CLK 为低电平时，输入 D 对输出没有影响）。
- 输出极性可配置，可设置为同相 (Q) 或反相 (nQ)。

表 7-5 和表 7-6 分别展示了 D 型触发器和 D 型锁存器的真值表。

表 7-5. D 型触发器真值表

CLKPOL	CLK	D	Q	nQ
0	↓	0	Q_0	nQ_0
	↑	0	0	1
	↓	1	Q_0	nQ_0
	↑	1	1	0
1	↓	0	0	1
	↑	0	Q_0	nQ_0
	↓	1	1	0
	↑	1	Q_0	nQ_0

表 7-6. D 型锁存器真值表

CLKPOL	CLK	D	Q	nQ
0	0	0	0	1
	1	0	Q_0	nQ_0
	0	1	1	0
	1	1	Q_0	nQ_0

Copyright © 2026 Texas Instruments Incorporated

表 7-6. D 型锁存器真值表（续）

CLKPOL	CLK	D	Q	nQ
1	0	0	Q_0	nQ_0
	1	0	0	1
	0	1	Q_0	nQ_0
	1	1	1	0

7.3.3.2 2 位 LUT 或图形发生器宏单元

该可配置逻辑单元既可用作 2 位 LUT，也可用作 D 型触发器或图形发生器。

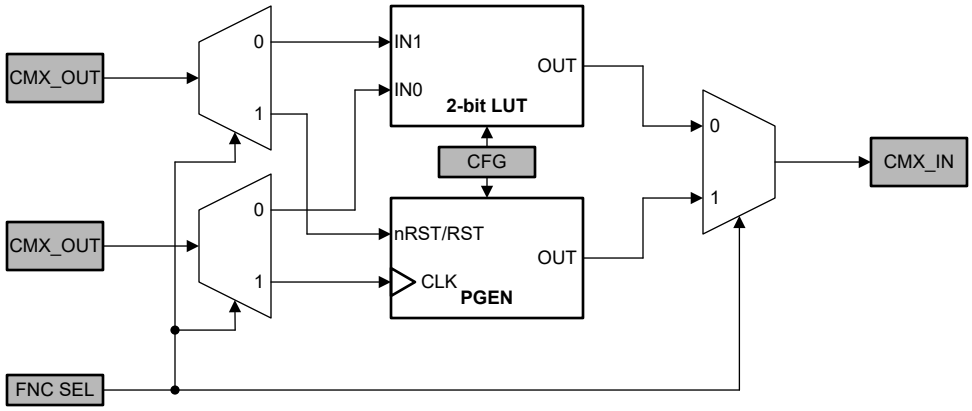


图 7-3. 2 位 LUT 或图形发生器方框图

7.3.3.2.1 2 位 LUT

当用于实现 LUT 功能时，2 位 LUT 从连接多路复用器接收两个输入信号并产生一个输出，该输出返回至连接多路复用器。这些 LUT 可配置为任何 2 输入用户定义的功能，包括以下标准数字逻辑功能（AND、NAND、OR、NOR、XOR、XNOR）。

当针对 LUT 功能进行编程时，每个宏单元使用一个 4 位寄存器来定义其输出功能。

表 7-7 展示了 2 位 LUT 的真值表。

表 7-7. 2 位 LUT 真值表

IN1	IN0	OUT
0	0	
0	1	
1	0	
1	1	

7.3.3.2.2 图形发生器

当配置为图形发生器时，来自连接多路复用器的两个输入信号进入图形发生器的复位 (nRST/RST) 和时钟 (CLK) 输入，输出返回至连接多路复用器。该宏单元具有图形大小、位模式和复位信号极性参数，可配置为生成最多 16 位图形，只要宏单元未处于复位状态，该图形就会在 CLK 输入的上升沿持续按时钟输出。处于复位状态时，宏单元将连续输出编程位模式的第一位。

Copyright © 2026 Texas Instruments Incorporated

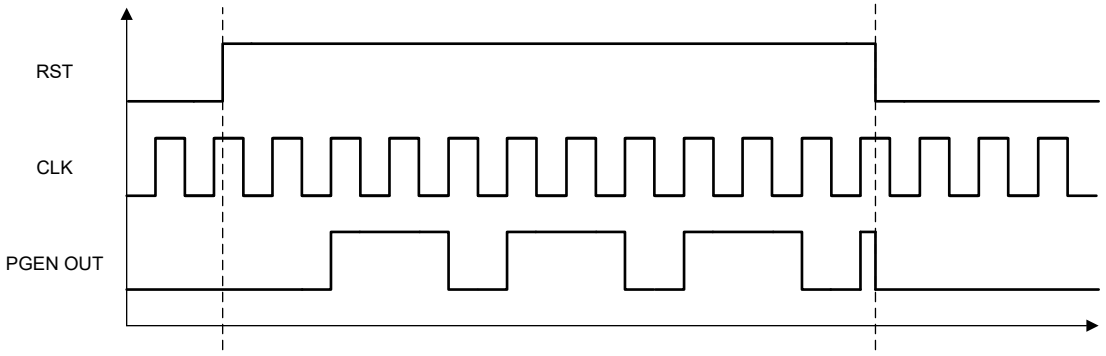


图 7-4. 图形发生器输出计时示意图示例（SIZE = 3，PATTERN = 011，低电平 RST）

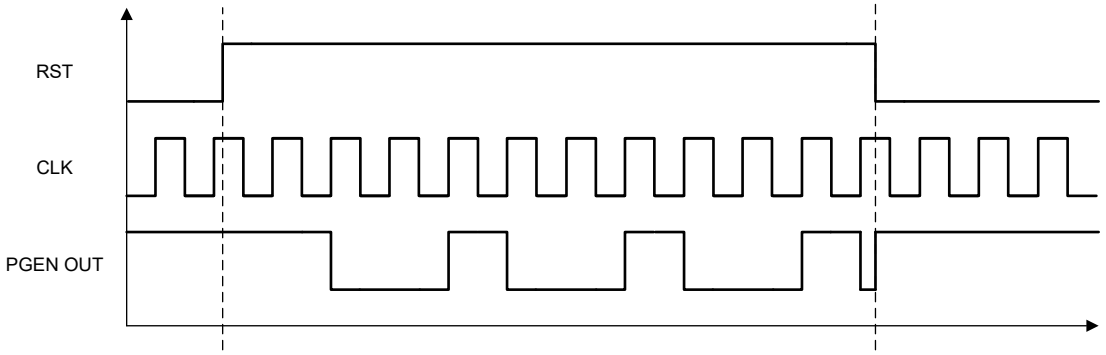


图 7-5. 图形发生器输出计时示意图示例（SIZE = 3，PATTERN = 100，低电平 RST）

可使用用户寄存器在系统内更新输出模式。建议在更新图形寄存器时将图形发生器置于复位状态，以验证无干扰加载数据。

7.3.3.3 具有复位/设置宏单元的 3 位 LUT 或 D 型触发器/锁存器

该可配置使用逻辑块可以用作 3 位 LUT，或用作具有复位或设置功能的 D 触发器或锁存器。

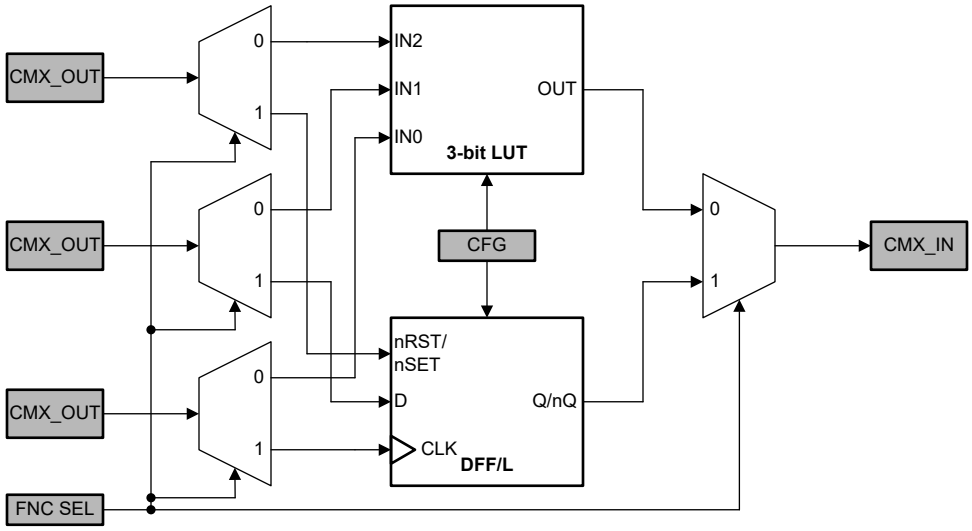


图 7-6. 具有 nRST/nSET 的 3 位 LUT 或 DFF/锁存器方框图

7.3.3.3.1 3 位 LUT

当用于实现 LUT 功能时，3 位 LUT 均从连接多路复用器接收三个输入信号并产生一个输出，该输出返回至连接多路复用器。这些 LUT 可配置为任何 3 输入用户定义的功能，包括以下标准数字逻辑功能（AND、NAND、OR、NOR、XOR、XNOR）。

当针对 LUT 功能进行编程时，每个宏单元使用一个 8 位寄存器来定义其输出功能。

表 7-8 展示了 3 位 LUT 的真值表。

表 7-8. 3 位 LUT 真值表

IN2	IN1	IN0	OUT
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

7.3.3.3.2 具有复位/设置功能的 D 型触发器/锁存器

当用于实现时序逻辑元件时，来自连接多路复用器的三个输入信号进入触发器或锁存器的数据 (D)、时钟 (CLK) 和复位/设置 (nRST/nSET) 输入，输出返回至连接多路复用器。该宏单元具有用户可配置的初始状态、时钟极性、复位/设置极性、输出级选择和输出极性参数。

D 型触发器/锁存器的运行遵循以下功能描述：

- 时钟极性可配置，可设置为同相 (CLK) 或反相 (nCLK)。
  - 具有 CLK 的 DFF：CLK 为上升沿触发，Q = D；否则 Q 不会改变。
  - 具有 nCLK 的 DFF：CLK 为下降沿触发，Q = D；否则 Q 不会改变。
  - 具有 CLK 的锁存器：当 CLK 为低电平时，Q = D；否则 Q 保持其先前的值（当 CLK 为高电平时，输入 D 对输出没有影响）。
  - 具有 nCLK 的锁存器：当 CLK 为高电平时，Q = D；否则 Q 保持其先前的值（当 CLK 为低电平时，输入 D 对输出没有影响）。
- 这些 DFF/锁存器具有低电平有效和高电平有效复位/设置选项：
  - nRST：如果为高电平，则 DFF/锁存器处于正常运行状态。如果为低电平，则 Q 复位为 0。
  - RST：如果为低电平，则 DFF/锁存器处于正常运行状态。如果为高电平，则 Q 复位为 0。
  - nSET：如果为高电平，则 DFF/锁存器处于正常运行状态。如果为低电平，则 Q 设置为 1。
  - SET：如果为低电平，则 DFF/锁存器处于正常运行状态。如果为高电平，则 Q 设置为 1。
- 如果不需要复位/设置，用户可以将极性设置为低电平有效，并将该输入连接到 V_{CC} 或恒定的高电平源。
- 这些 DFF/锁存器提供通过使用另一个 DFF/锁存器以及在 CLK 下降沿或 nCLK 上升沿采样和启用“Dual Stage DFF”选项来进一步将输出与输入隔离开的选项。
- 输出极性可配置，可设置为同相 (Q) 或反相 (nQ)。

表 7-9 和 表 7-10 分别展示了具有低电平有效复位/设置功能的 D 型触发器和 D 型锁存器的真值表。

Copyright © 2026 Texas Instruments Incorporated

表 7-9. 具有 nRST/nSET 的 D 触发器真值表

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	0	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	Q_0	nQ_0
			↑	0	0	1
			↓	1	Q_0	nQ_0
			↑	1	1	0
0	—	1	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	0	1
			↑	0	Q_0	nQ_0
			↓	1	1	0
			↑	1	Q_0	nQ_0

表 7-10. 具有 nRST/nSET 的 D 型锁存器真值表

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	0	X	X	0	1
—	0		X	X	1	0
1	1		0	0	0	1
			1	0	Q_0	nQ_0
			0	1	1	0
			1	1	Q_0	nQ_0
0	—	1	X	X	0	1
—	0		X	X	1	0
1	1		0	0	Q_0	nQ_0
			1	0	0	1
			0	1	Q_0	nQ_0
			1	1	1	0

7.3.3.4 3 位 LUT 或 D 型触发器/锁存器或移位寄存器宏单元

该可配置使用逻辑块可以用作 3 位 LUT，或用作具有复位或设置功能的 D 型触发器或锁存器或 8 位移位寄存器。

Copyright © 2026 Texas Instruments Incorporated

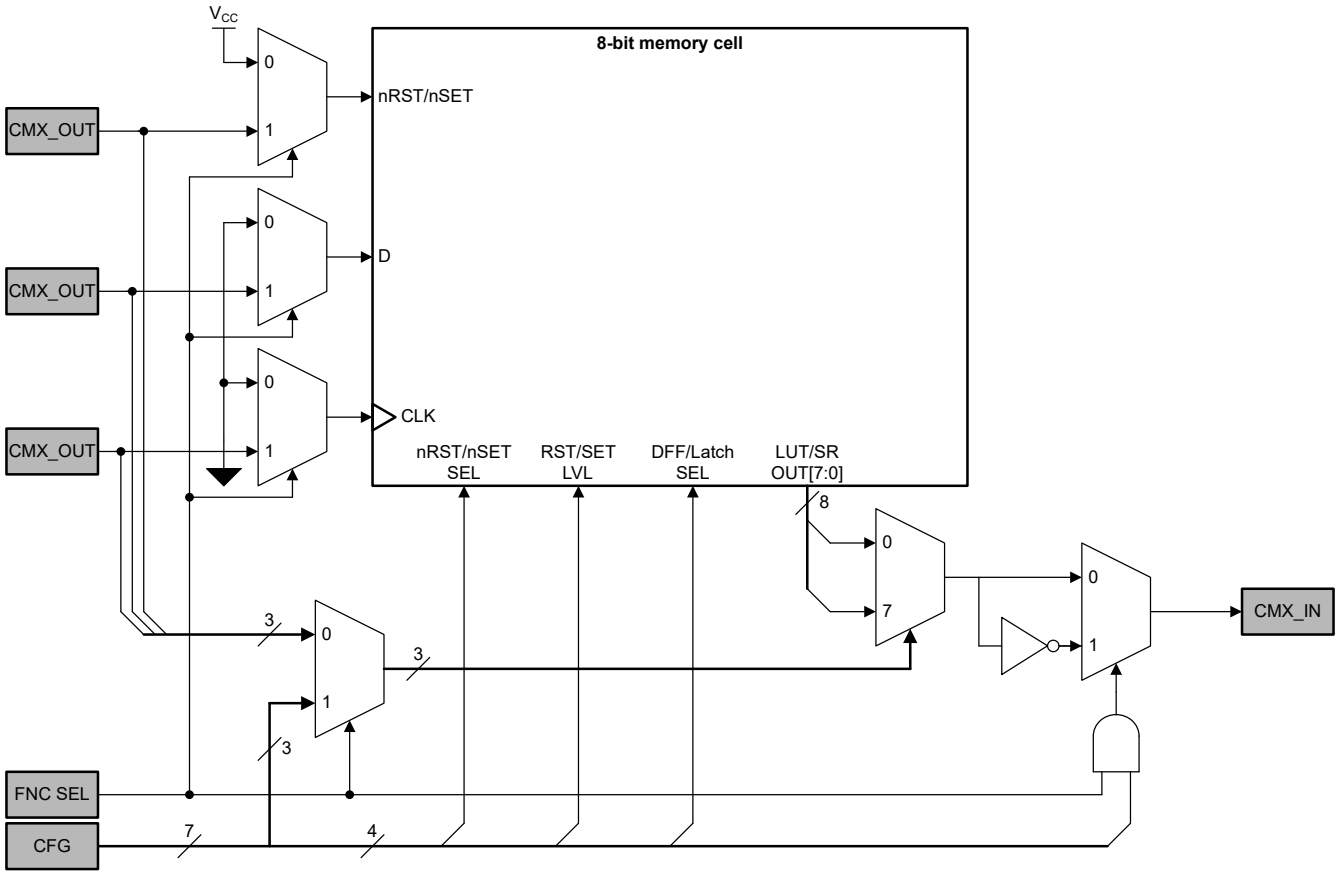


图 7-7. 具有 nRST/nSET 的 3 位 LUT 或 DFF/锁存器或 8 位 SISO 移位寄存器方框图

7.3.3.4.1 3 位 LUT

当用于实现 LUT 功能时，3 位 LUT 均从连接多路复用器接收三个输入信号并产生一个输出，该输出返回至连接多路复用器。这些 LUT 可配置为任何 3 输入用户定义的功能，包括以下标准数字逻辑功能（AND、NAND、OR、NOR、XOR、XNOR）。

当针对 LUT 功能进行编程时，每个宏单元使用一个 8 位寄存器来定义其输出功能。

表 7-11 展示了 3 位 LUT 的真值表。

表 7-11. 3 位 LUT 真值表

IN2	IN1	IN0	OUT
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Copyright © 2026 Texas Instruments Incorporated

7.3.3.4.2 具有复位/设置功能的 D 型触发器/锁存器

当用于实现时序逻辑元件时，来自连接多路复用器的三个输入信号进入触发器或锁存器的数据 (D)、时钟 (CLK) 和复位/设置 (nRST/nSET) 输入，输出返回至连接多路复用器。该宏单元具有用户可配置的初始状态、复位/设置极性和输出极性参数。

D 型触发器/锁存器的运行遵循以下功能描述：

- 这些 DFF/锁存器具有低电平有效和高电平有效复位/设置选项：
  - nRST：如果为高电平，则 DFF/锁存器处于正常运行状态。如果为低电平，则 Q 复位为 0。
  - RST：如果为低电平，则 DFF/锁存器处于正常运行状态。如果为高电平，则 Q 复位为 0。
  - nSET：如果为高电平，则 DFF/锁存器处于正常运行状态。如果为低电平，则 Q 设置为 1。
  - SET：如果为低电平，则 DFF/锁存器处于正常运行状态。如果为高电平，则 Q 设置为 1。
- 如果不需要复位/设置，用户可以将极性设置为低电平有效，并将该输入连接到 V_{CC} 或恒定的高电平源。
- 输出极性可配置，可设置为同相 (Q) 或反相 (nQ)。

表 7-12 和 表 7-13 分别展示了具有低电平有效复位/设置功能的 D 型触发器和 D 型锁存器的真值表。

表 7-12. 具有 nRST/nSET 的 D 型触发器真值表

nRST	nSET	CLK	D	Q	nQ
0	—	X	X	0	1
—	0	X	X	1	0
1	1	↓	0	Q_0	nQ_0
		↑	0	0	1
		↓	1	Q_0	nQ_0
		↑	1	1	0

表 7-13. 具有 nRST/nSET 的 D 型锁存器真值表

nRST	nSET	CLK	D	Q	nQ
0	—	X	X	0	1
—	0	X	X	1	0
1	1	0	0	0	1
		1	0	Q_0	nQ_0
		0	1	1	0
		1	1	Q_0	nQ_0

7.3.3.4.3 8 位移位寄存器

用于实现移位寄存器时，用户可以配置初始状态、复位/设置极性、输出极性和寄存器长度。寄存器长度可以设置为最小 2、最大 8。

图 7-8 展示了移位寄存器宏单元如何运行的示例。

Copyright © 2026 Texas Instruments Incorporated

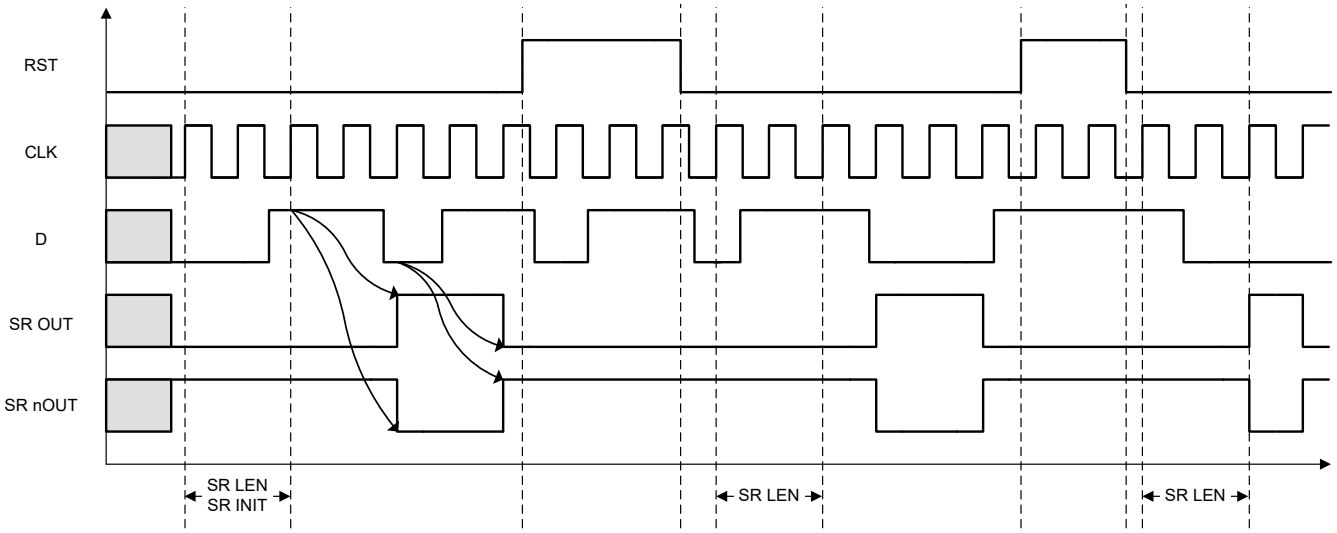


图 7-8. 移位寄存器输出计时示意图示例（初始状态 = 00，寄存器长度 = 2，高电平 RST）

Copyright © 2026 Texas Instruments Incorporated

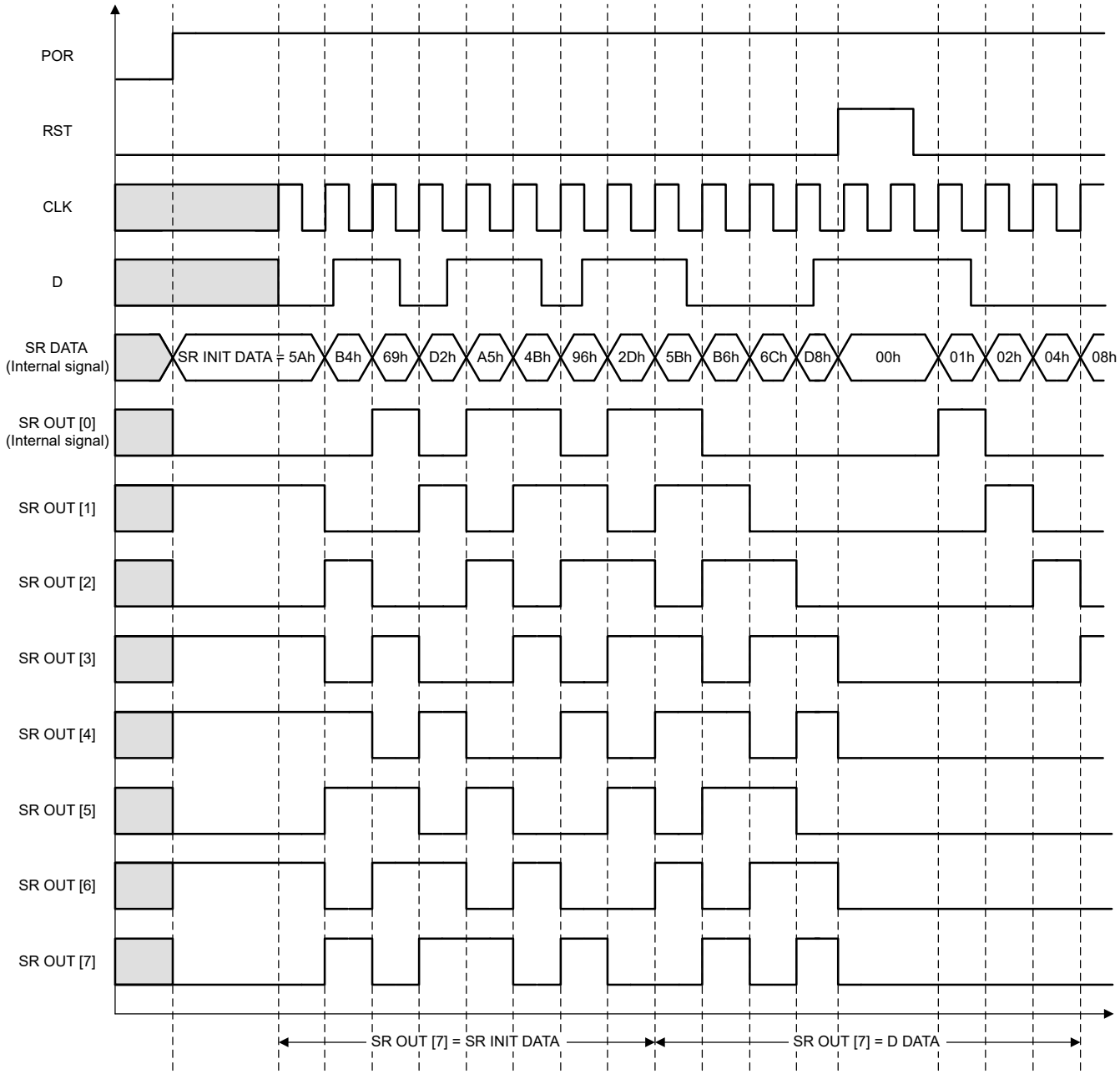


图 7-9. 移位寄存器输出计时示意图示例（初始状态 = 5Ah，高电平 RST）

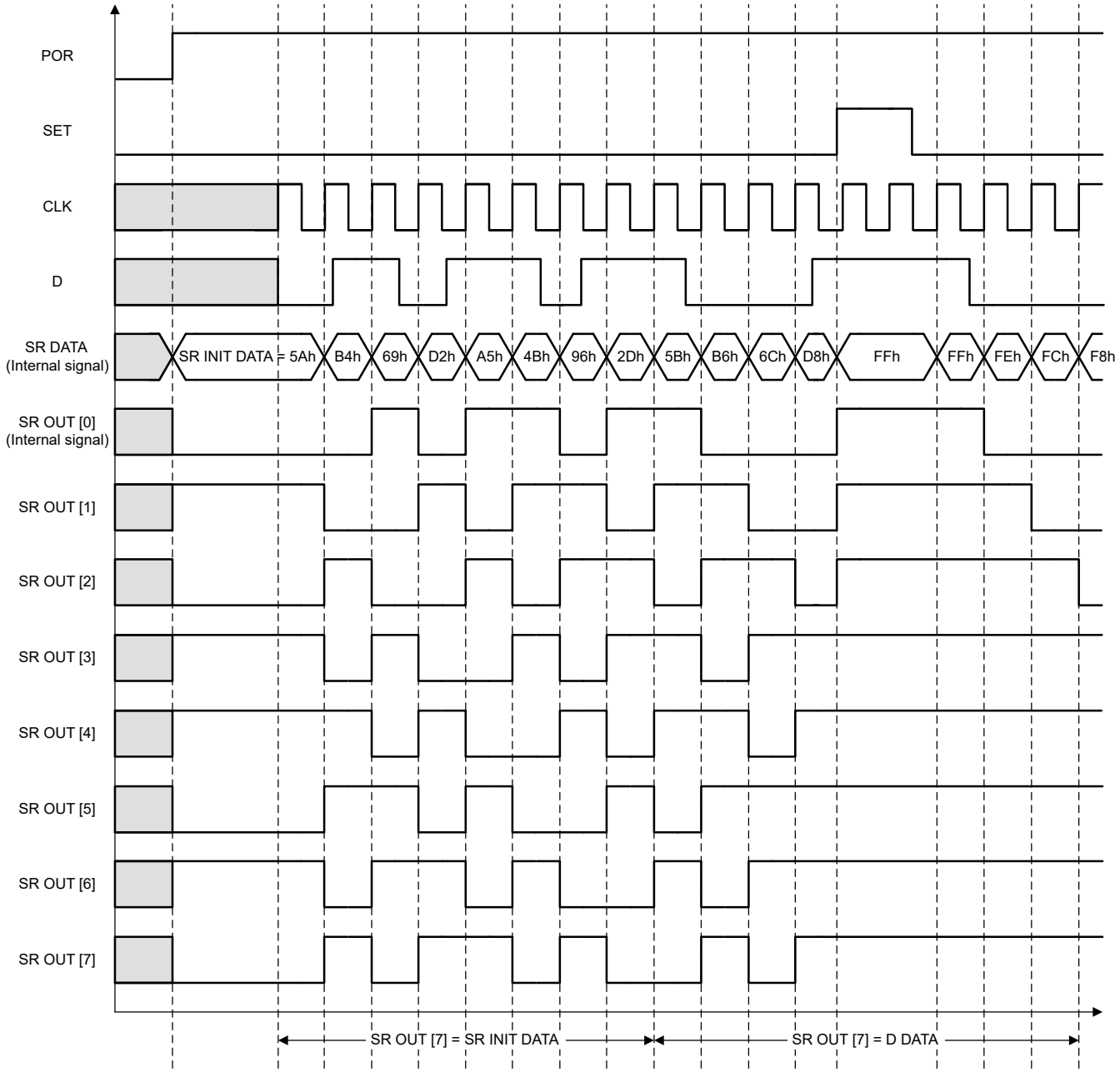


图 7-10. 移位寄存器输出计时示意图示例（初始状态 = 5Ah，高电平 SET）

7.3.3.5 具有复位/设置宏单元的 4 位 LUT 或 D 型触发器/锁存器

该可配置使用逻辑块可以用作 4 位 LUT，或用作具有复位或设置功能的 D 触发器或锁存器。

Copyright © 2026 Texas Instruments Incorporated

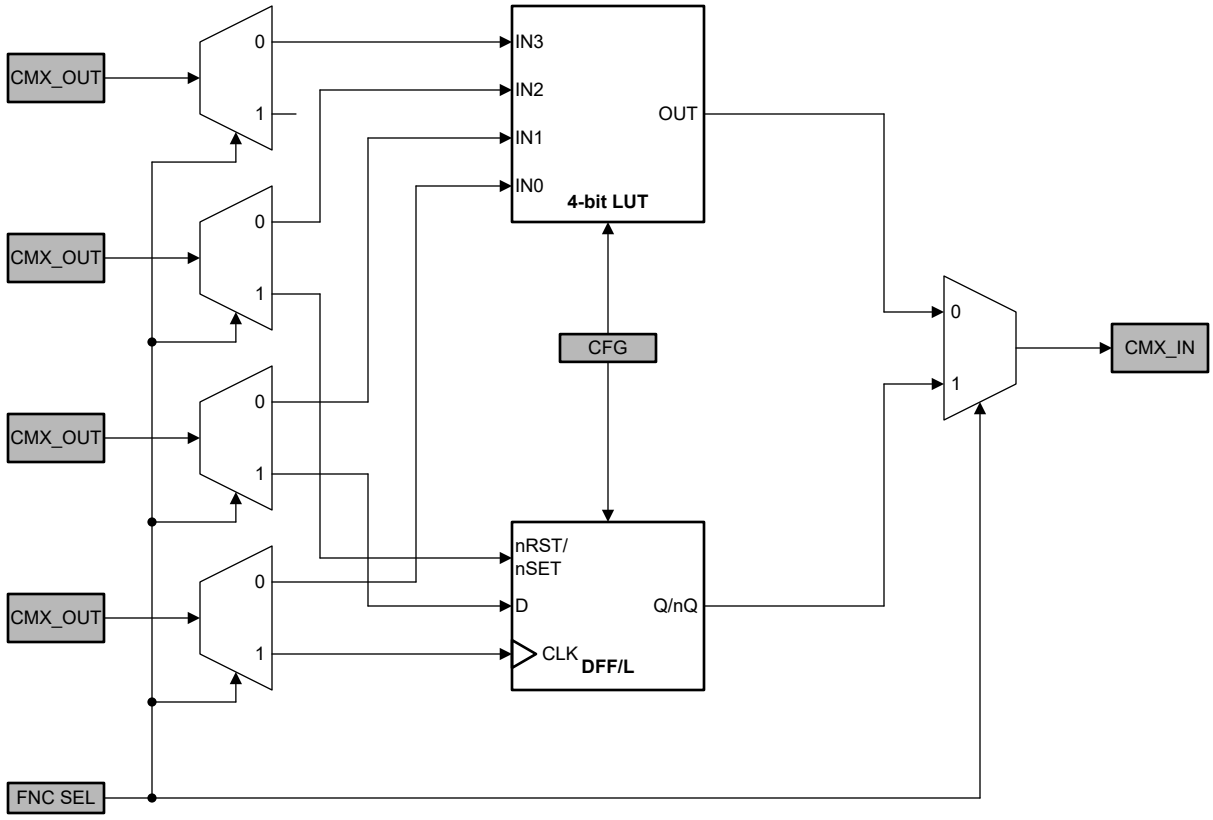


图 7-11. 4 位 LUT 或 DFF/锁存器方框图

7.3.3.5.1 4 位 LUT

当用于实现 LUT 功能时，4 位 LUT 从连接多路复用器接收四个输入信号并产生一个输出，该输出返回至连接多路复用器。该 LUT 可配置为任何 4 输入用户定义的功能，包括以下标准数字逻辑功能（AND、NAND、OR、NOR、XOR、XNOR）。

当针对 LUT 功能进行编程时，该宏单元使用一个 16 位寄存器来定义其输出功能。

表 7-14 展示了 4 位 LUT 的真值表。

表 7-14. 4 位 LUT 真值表

IN3	IN2	IN1	IN0	OUT
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

7.3.3.5.2 具有复位/设置功能的 D 型触发器/锁存器

当用于实现时序逻辑元件时，来自连接多路复用器的三个输入信号进入触发器或锁存器的数据 (D)、时钟 (CLK) 和复位/设置 (nRST/nSET) 输入，输出返回至连接多路复用器。该宏单元具有用户可配置的初始状态、时钟极性、复位/设置极性、输出级选择和输出极性参数。

D 型触发器/锁存器的运行遵循以下功能描述：

- 时钟极性可配置，可设置为同相 (CLK) 或反相 (nCLK)。
  - 具有 CLK 的 DFF：CLK 为上升沿触发，Q = D；否则 Q 不会改变。
  - 具有 nCLK 的 DFF：CLK 为下降沿触发，Q = D；否则 Q 不会改变。
  - 具有 CLK 的锁存器：当 CLK 为低电平时，Q = D；否则 Q 保持其先前的值（当 CLK 为高电平时，输入 D 对输出没有影响）。
  - 具有 nCLK 的锁存器：当 CLK 为高电平时，Q = D；否则 Q 保持其先前的值（当 CLK 为低电平时，输入 D 对输出没有影响）。
- 这些 DFF/锁存器具有低电平有效和高电平有效复位/设置选项：
  - nRST：如果为高电平，则 DFF/锁存器处于正常运行状态。如果为低电平，则 Q 复位为 0。
  - RST：如果为低电平，则 DFF/锁存器处于正常运行状态。如果为高电平，则 Q 复位为 0。
  - nSET：如果为高电平，则 DFF/锁存器处于正常运行状态。如果为低电平，则 Q 设置为 1。
  - SET：如果为低电平，则 DFF/锁存器处于正常运行状态。如果为高电平，则 Q 设置为 1。
- 如果不需要复位/设置，用户可以将极性设置为低电平有效，并将该输入连接到 V_{CC} 或恒定的高电平源。
- 这些 DFF/锁存器提供通过使用另一个 DFF/锁存器以及在 CLK 下降沿或 nCLK 上升沿采样和启用“Dual Stage DFF”选项来进一步将输出与输入隔离开的选项。
- 输出极性可配置，可设置为同相 (Q) 或反相 (nQ)。

表 7-15 和 表 7-16 分别展示了具有低电平有效复位/设置功能的 D 型触发器和 D 型锁存器的真值表。

Copyright © 2026 Texas Instruments Incorporated

表 7-15. 具有 nRST/nSET 的 D 触发器真值表

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	0	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	Q_0	nQ_0
			↑	0	0	1
			↓	1	Q_0	nQ_0
			↑	1	1	0
0	—	1	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	0	1
			↑	0	Q_0	nQ_0
			↓	1	1	0
			↑	1	Q_0	nQ_0

表 7-16. 具有 nRST/nSET 的 D 型锁存器真值表

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	0	X	X	0	1
—	0		X	X	1	0
1	1		0	0	0	1
			1	0	Q_0	nQ_0
			0	1	1	0
			1	1	Q_0	nQ_0
0	—	1	X	X	0	1
—	0		X	X	1	0
1	1		0	0	Q_0	nQ_0
			1	0	0	1
			0	1	Q_0	nQ_0
			1	1	1	0

7.3.4 可配置逻辑和时序块

TPLD1202 具有 六个 可配置逻辑和时序块（宏单元），这些块可以用作组合或顺序逻辑功能。可配置逻辑和时序块可用作具有 nRST/nSET、、或 8 位计数器/延迟发生器 的 3 位 LUT、D 型触发器。这些宏单元还可以选择组合以前的功能，将 LUT/DFF 输出连接到 CNT/DLY 输入，或将 CNT/DLY 输出连接到任何 LUT/DFF 输入。

Copyright © 2026 Texas Instruments Incorporated

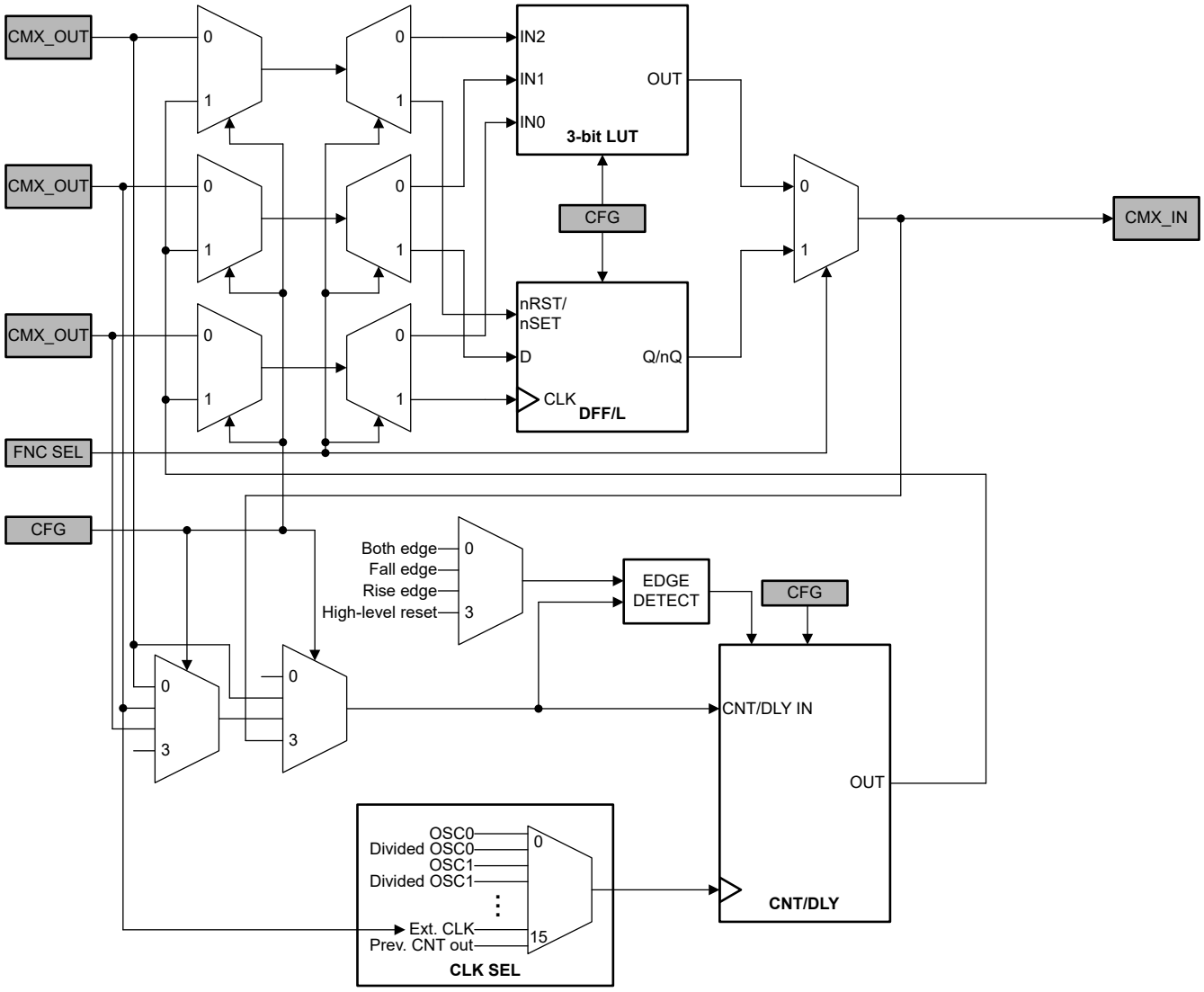


图 7-12. LUT/DFF + CNT/DLY 方框图

表 7-17. LUT/DFF + CNT/DLY 连接选项

LDC_FS（1 位）	LDC_CMX_IN_SEL（2 位）	LDC_CMX_MODE（2 位）	LDC IN0	LDC IN1	LDC IN2	LDC OUT
0	XX	00	LUT A	LUT B	LUT C	LUT OUT
1	XX	00	DFF CLK	DFF D	DFF RST	DFF OUT
X	XX	01	未使用	CNT 外部 CLK	CNT IN	CNT OUT P
0	00	10	LUT A	LUT B	CNT IN	LUT OUT
0	01	10	LUT A	CNT IN	LUT C	LUT OUT
0	10	10	CNT IN	LUT B	LUT C	LUT OUT
1	00	10	DFF CLK	DFF D	CNT IN	DFF OUT
1	01	10	DFF CLK	CNT IN	DFF RST	DFF OUT
1	10	10	CNT IN	DFF D	DFF RST	DFF OUT
0	XX	11	LUT A	LUT B	LUT C	CNT OUT P

Copyright © 2026 Texas Instruments Incorporated

表 7-17. LUT/DFF + CNT/DLY 连接选项（续）

LDC_FS（1 位）	LDC_CMX_IN_SEL（2 位）	LDC_CMX_MODE（2 位）	LDC IN0	LDC IN1	LDC IN2	LDC OUT
1	XX	11	DFF CLK	DFF D	DFF RST	CNT OUT P

7.3.4.1 3 位 LUT

当用于实现 LUT 功能时，3 位 LUT 均从连接多路复用器接收三个输入信号并产生一个输出，该输出返回至连接多路复用器。这些 LUT 可配置为任何 3 输入用户定义的功能，包括以下标准数字逻辑功能（AND、NAND、OR、NOR、XOR、XNOR）。

当针对 LUT 功能进行编程时，每个宏单元使用一个 8 位寄存器来定义其输出功能。

表 7-18 展示了 3 位 LUT 的真值表。

表 7-18. 3 位 LUT 真值表

IN2	IN1	IN0	OUT
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

7.3.4.2 具有复位/设置功能的 D 型触发器/锁存器

当用于实现时序逻辑元件时，来自连接多路复用器的三个输入信号进入触发器或锁存器的数据 (D)、时钟 (CLK) 和复位/设置 (nRST/nSET) 输入，输出返回至连接多路复用器。该宏单元具有用户可配置的初始状态、时钟极性、复位/设置极性、输出级选择和输出极性参数。

D 型触发器/锁存器的运行遵循以下功能描述：

- 时钟极性可配置，可设置为同相 (CLK) 或反相 (nCLK)。
  - 具有 CLK 的 DFF：CLK 为上升沿触发，Q = D；否则 Q 不会改变。
  - 具有 nCLK 的 DFF：CLK 为下降沿触发，Q = D；否则 Q 不会改变。
  - 具有 CLK 的锁存器：当 CLK 为低电平时，Q = D；否则 Q 保持其先前的值（当 CLK 为高电平时，输入 D 对输出没有影响）。
  - 具有 nCLK 的锁存器：当 CLK 为高电平时，Q = D；否则 Q 保持其先前的值（当 CLK 为低电平时，输入 D 对输出没有影响）。
- 这些 DFF/锁存器具有低电平有效和高电平有效复位/设置选项：
  - nRST：如果为高电平，则 DFF/锁存器处于正常运行状态。如果为低电平，则 Q 复位为 0。
  - RST：如果为低电平，则 DFF/锁存器处于正常运行状态。如果为高电平，则 Q 复位为 0。
  - nSET：如果为高电平，则 DFF/锁存器处于正常运行状态。如果为低电平，则 Q 设置为 1。
  - SET：如果为低电平，则 DFF/锁存器处于正常运行状态。如果为高电平，则 Q 设置为 1。
- 如果不需要复位/设置，用户可以将极性设置为低电平有效，并将该输入连接到 V_{CC} 或恒定的高电平源。
- 这些 DFF/锁存器提供通过使用另一个 DFF/锁存器以及在 CLK 下降沿或 nCLK 上升沿采样和启用“Dual Stage DFF”选项来进一步将输出与输入隔离开的选项。
- 输出极性可配置，可设置为同相 (Q) 或反相 (nQ)。

表 7-19 和 表 7-20 分别展示了具有低电平有效复位/设置功能的 D 型触发器和 D 型锁存器的真值表。

Copyright © 2026 Texas Instruments Incorporated

表 7-19. 具有 nRST/nSET 的 D 触发器真值表

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	0	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	Q_0	nQ_0
			↑	0	0	1
			↓	1	Q_0	nQ_0
			↑	1	1	0
0	—	1	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	0	1
			↑	0	Q_0	nQ_0
			↓	1	1	0
			↑	1	Q_0	nQ_0

表 7-20. 具有 nRST/nSET 的 D 型锁存器真值表

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	0	X	X	0	1
—	0		X	X	1	0
1	1		0	0	0	1
			1	0	Q_0	nQ_0
			0	1	1	0
			1	1	Q_0	nQ_0
0	—	1	X	X	0	1
—	0		X	X	1	0
1	1		0	0	Q_0	nQ_0
			1	0	0	1
			0	1	Q_0	nQ_0
			1	1	1	0

7.3.4.3 8 位计数器/延迟发生器 (CNT/DLY)

计数器/延迟发生器是 8 位，支持从 1 到 255 的计数器数据值。为了实现灵活性，每个宏单元的时钟源都可以配置为内部振荡器（OSC0 或 OSC1）、源自振荡器的分频时钟（OSC0/8、/12、/24、/64、/512、/4096 或 OSC1/4、/8、/64、/512）或来自连接多路复用器的外部时钟源。还可以选择从前一个 CNT/DLY 宏单元的输出进行链接，以实现更长的计数器/延迟电路。请注意，计数器/延迟宏单元是上升沿触发的，即计数器会在时钟上升沿递增/递减。

作为计数器/延迟 (CNT/DLY) 宏单元，用户可以从以下模式中选择：延迟、单稳态、频率检测器、计数器、边沿检测器、延迟边沿检测器。

7.3.4.3.1 延迟模式

当配置为延迟发生器 (DLY) 时，该宏单元根据计数器 DATA 和 CLK 输入频率延迟输入，并推迟上升沿和/或下降沿。器件启动后该宏单元的初始输出值也可配置为绕过初始电平、初始低电平或初始高电平。要延迟的边沿由边沿选择参数选择，可配置为：

Copyright © 2026 Texas Instruments Incorporated

- 上升：仅在 IN 的上升沿延迟。
- 下降：仅在 IN 的下降沿延迟。
- 两者：在 IN 的上升沿和下降沿均延迟。

对于延迟应用，TI 建议使用较大的计数器数据值以减小误差。如果输入脉冲宽度短于指定的延迟时间，则该脉冲将被滤除。该功能对于抗尖峰脉冲非常有用。

如果使用片上振荡器，则会引入延迟误差或偏移，具体取决于 OSC 是被设置为“强制上电”还是“自动上电”。时钟同步的延迟计算中包含 2 个额外的时钟周期。

延迟时间的计算公式为：

$$\text{DELAY} = \left[\text{DATA} + \left(t_{d_er} \text{ or } t_{d_os}\right) + 2\right] \div f_{CLK} \quad (1)$$

当 OSC 被设置为“自动上电”并且 DLY 宏单元随后在先前输出出现之前被触发时，OSC 会继续计时，并且 DLY 会在下一个上升沿开始。因此，可以计算后续延迟，就好像 OSC 被设置为“强制上电”一样。

图 7-13 展示了延迟宏单元运行被设置为双边沿延迟和 Data = 1 的示例。

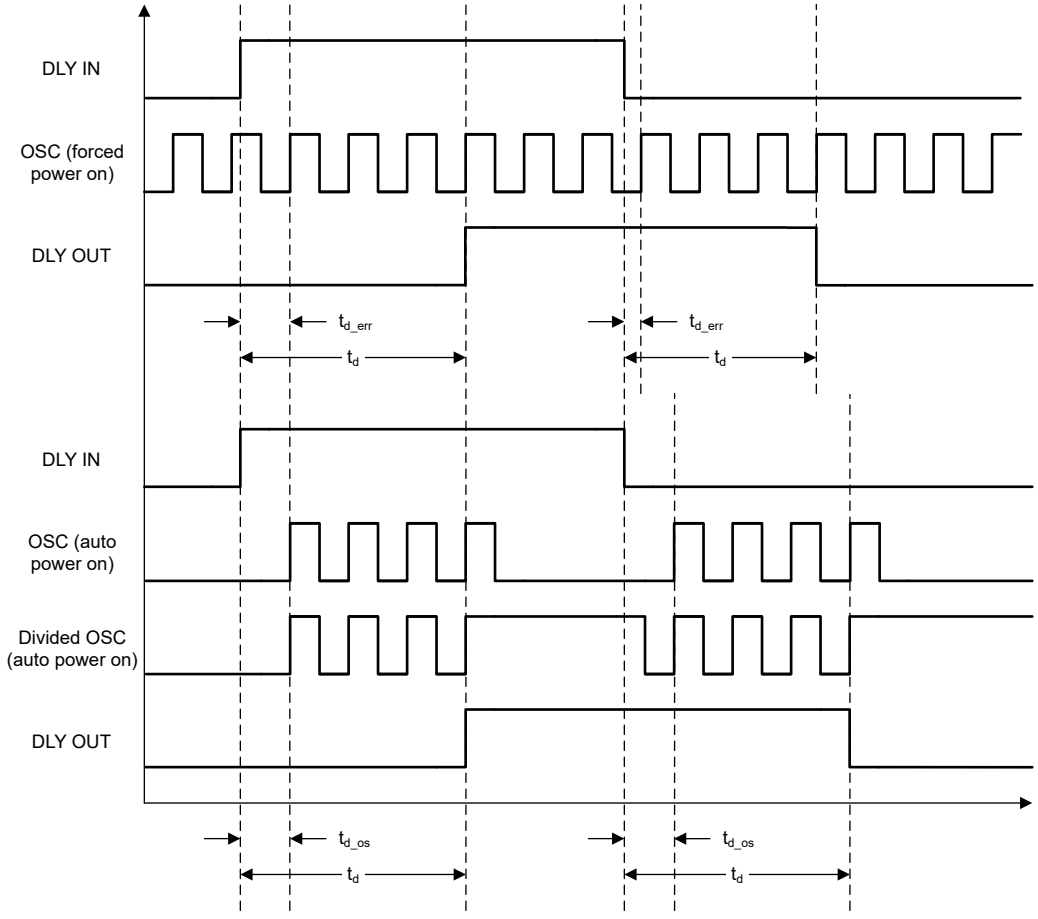


图 7-13. 延迟输出时序示例（双边沿延迟，DATA = 1）

图 7-14 展示了与已选边缘和 Data = 3 相关的延迟宏单元的时序示例。

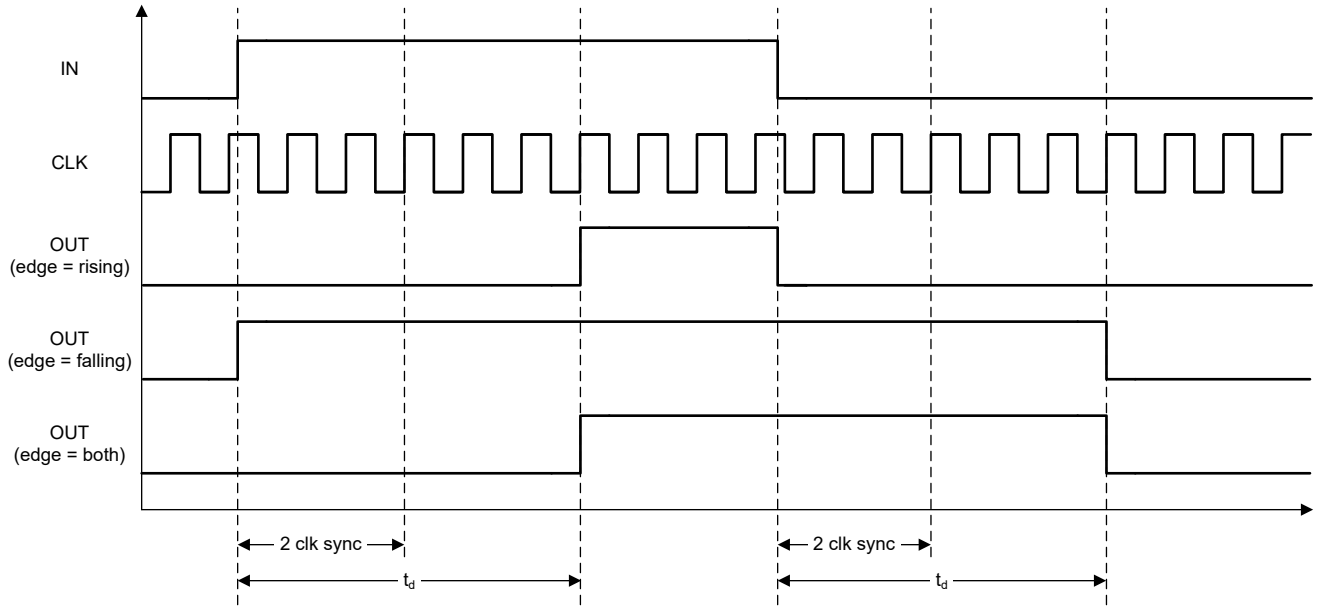


图 7-14. 延迟输出时序示例 (DATA = 3)

7.3.4.3.2 复位计数器模式

当配置为计数器 (CNT) 且 IN 输入端出现有效边沿时，该宏单元将内部计数器复位为 0，并在下一个上升时钟沿从 DATA 开始递减计数。然后，当计数达到 0 时，宏单元在一个 CLK 周期的持续时间内输出一个脉冲，并回绕到 DATA 中的值。计数器将持续运行，直到接收到另一次复位。计数器复位时的边沿由边沿选择参数决定，可配置为：

- 上升：仅 IN 的上升沿复位计数器。
- 下降：仅 IN 的下降沿复位计数器。
- 两者：IN 的上升沿和下降沿均复位计数器。
- 高电平复位：只要 IN 为高电平，计数器就会复位至 0；复位后，计数器输出保持低电平，直到下一个 CLK 上升沿，然后正常运行。

计数器时间的计算公式为：

$$\text{COUNT} = [\text{DATA} + 1] \div f_{\text{CLK}} \quad (2)$$

复位后，会添加 2 个额外的时钟周期以进行时钟同步，并且可以选择绕过。请注意，绕过时钟同步会导致计数器重置为未知值。

备注

POR 后，计数器以 DATA = 0 进行初始化。

图 7-15 和 图 7-16 分别展示了在 DATA = 1 和 DATA = 3 时，针对边沿选择参数的计数器输出时序图示例。

Copyright © 2026 Texas Instruments Incorporated

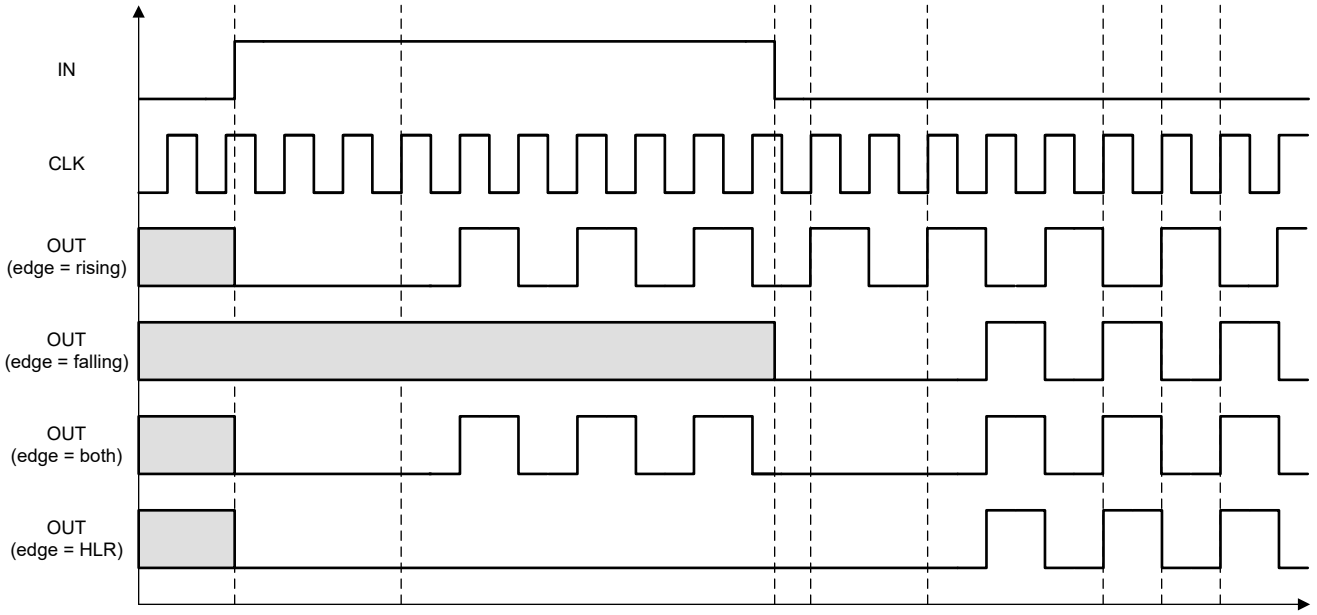


图 7-15. 计数器输出时序示例 (DATA = 1)

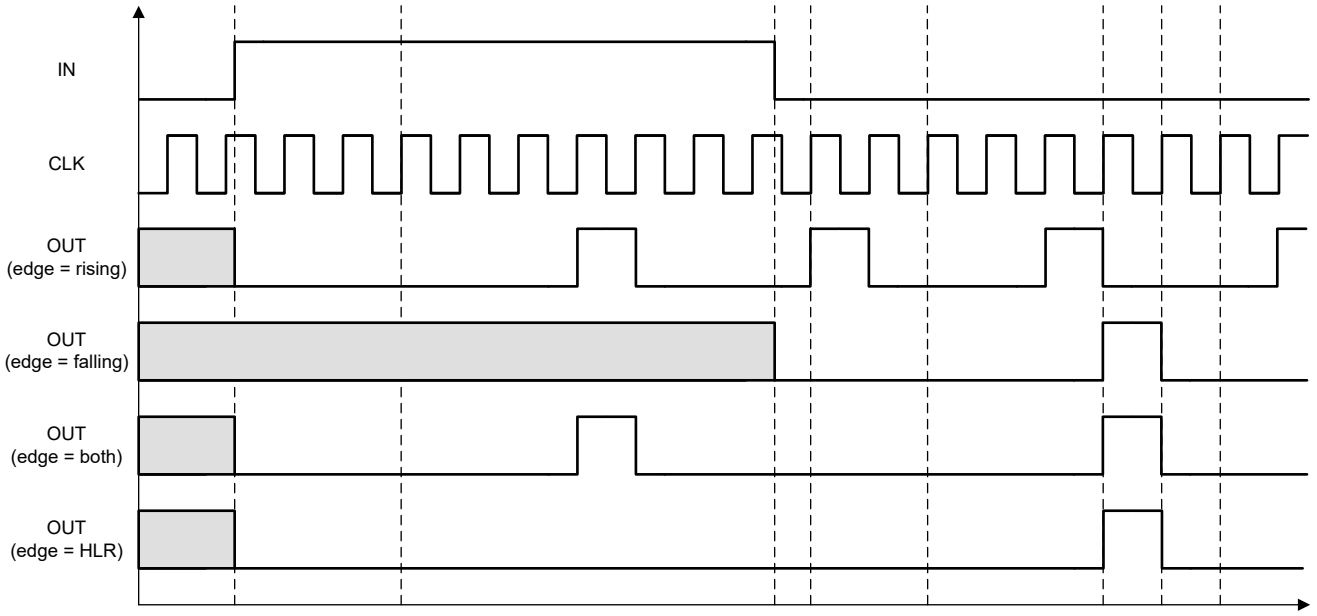


图 7-16. 计数器输出时序示例 (DATA = 3)

图 7-17 展示了当 IN 信号短于计数器长度时计数器宏单元如何运行的示例（当边沿选择参数被设置为“两者”时显示）。

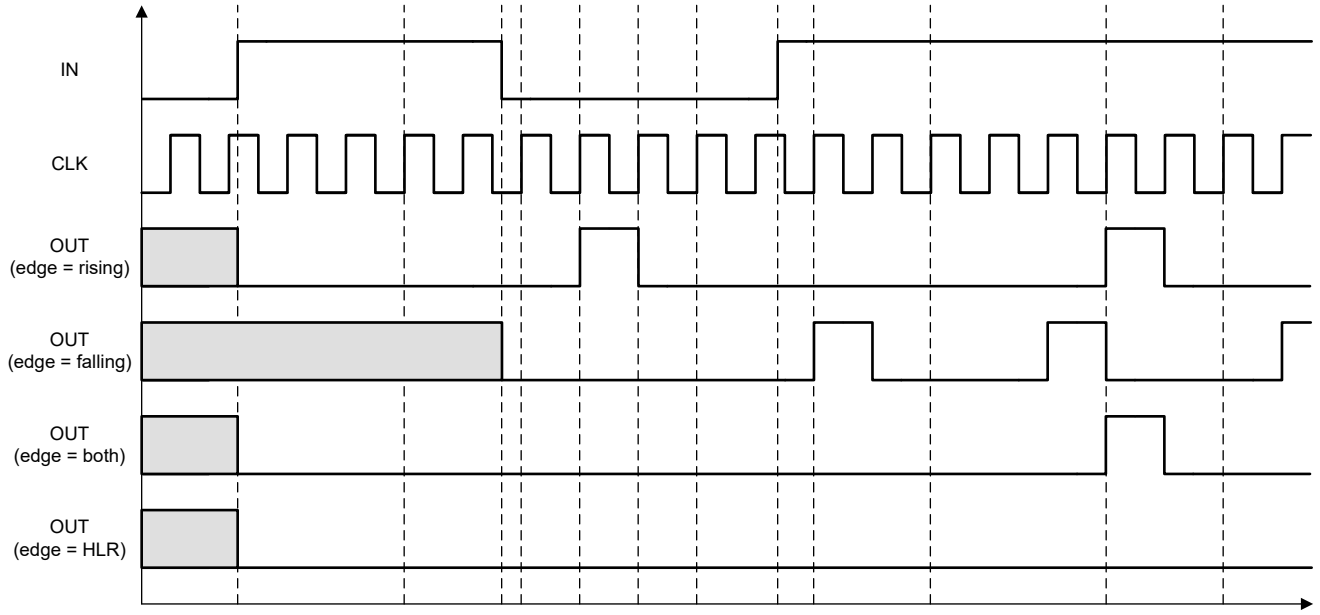


图 7-17. RST < DATA (DATA = 3) 的计数器输出时序示例

7.3.4.3.3 单稳态模式

配置为单稳态时，该宏单元会生成一个脉冲，该脉冲在 IN 输入端出现有效边沿时开始，从而触发计数器在两个 CLK 周期后从 DATA 开始递减计数。一旦计数器达到 0，该脉冲就会结束，随后 DATA 重新载入计数器中并等待下一次触发。计数器递减时接收到的触发将被忽略。器件启动后该宏单元的初始输出值也可配置为绕过初始电平、初始低电平或初始高电平。单稳态复位时的边沿由边沿选择参数决定，可配置为：

- **上升**：仅 IN 的上升沿复位单稳态。
- **下降**：仅 IN 的下降沿复位单稳态。
- **两者**：IN 的上升沿和下降沿均复位单稳态。

用于时钟同步的单稳态脉冲宽度计算中包含额外的 2 个时钟周期，

$$\text{ONESHOT} = \left[\text{DATA} + \left(t_{d_er} \text{ or } t_{d_os}\right) + 1\right] \div f_{CLK} \quad (3)$$

图 7-18 展示了与边沿选择参数相关的单稳态宏单元工作原理示例。

Copyright © 2026 Texas Instruments Incorporated

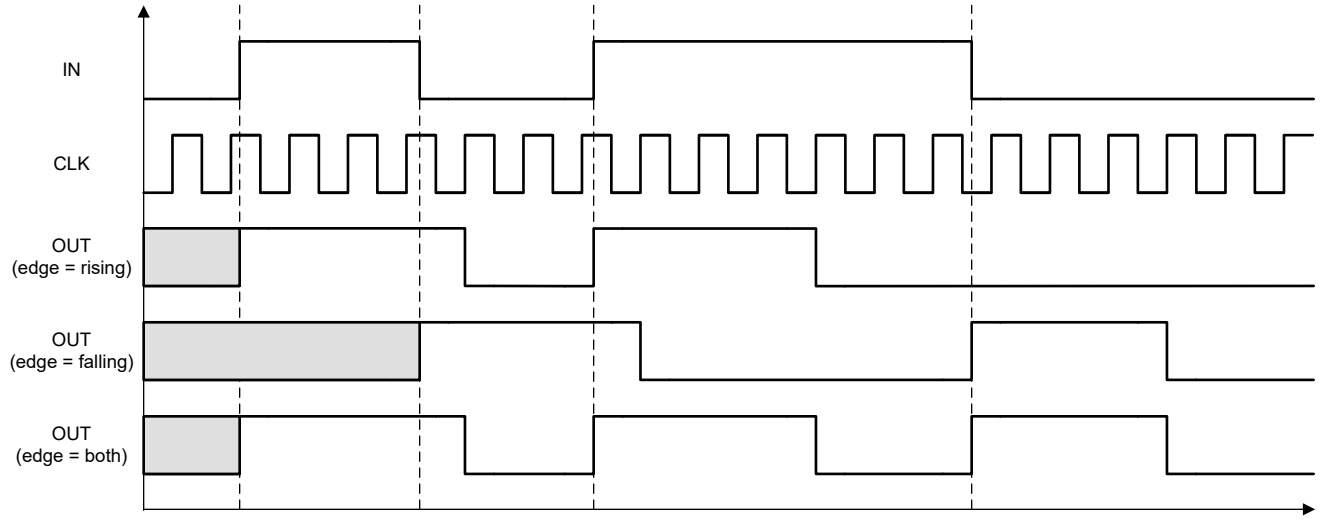


图 7-18. 单稳态输出时序示例 (DATA = 2)

7.3.4.3.4 频率检测器模式

当配置为频率比较器 (FDET) 时，该宏单元将指示输入信号比 DATA 指定的周期快还是慢。器件启动后该宏单元的初始输出值也可配置为绕过初始电平、初始低电平或初始高电平。频率比较器复位时的边沿由边沿选择参数决定，可配置为：

- **上升**：IN 的上升沿会触发并复位频率检测器。
- **下降**：IN 的下降沿会触发并复位频率检测器。
- **两者**：IN 的上升沿会触发频率检测器开始计数，IN 的下降沿会复位频率检测器。

接收到触发信号后，使用额外的 2 个时钟周期来同步 IN 和具有 CLK 的计数器，然后计数器在 CLK 的下一个上升沿开始从 DATA 递减。为确保 FDET 宏单元正常运行，TI 建议使用至少 3 个数据。

如果内部计数器达到 0，FDET 宏单元将输出低电平信号，表示输入频率比 DATA 慢。否则，如果计数器在达到 0 之前通过复位而中断，FDET 宏单元将输出高电平信号，表示 IN 上的信号更快。

图 7-19 展示了与边沿选择参数相关的 FDET 宏单元工作原理示例。

Copyright © 2026 Texas Instruments Incorporated

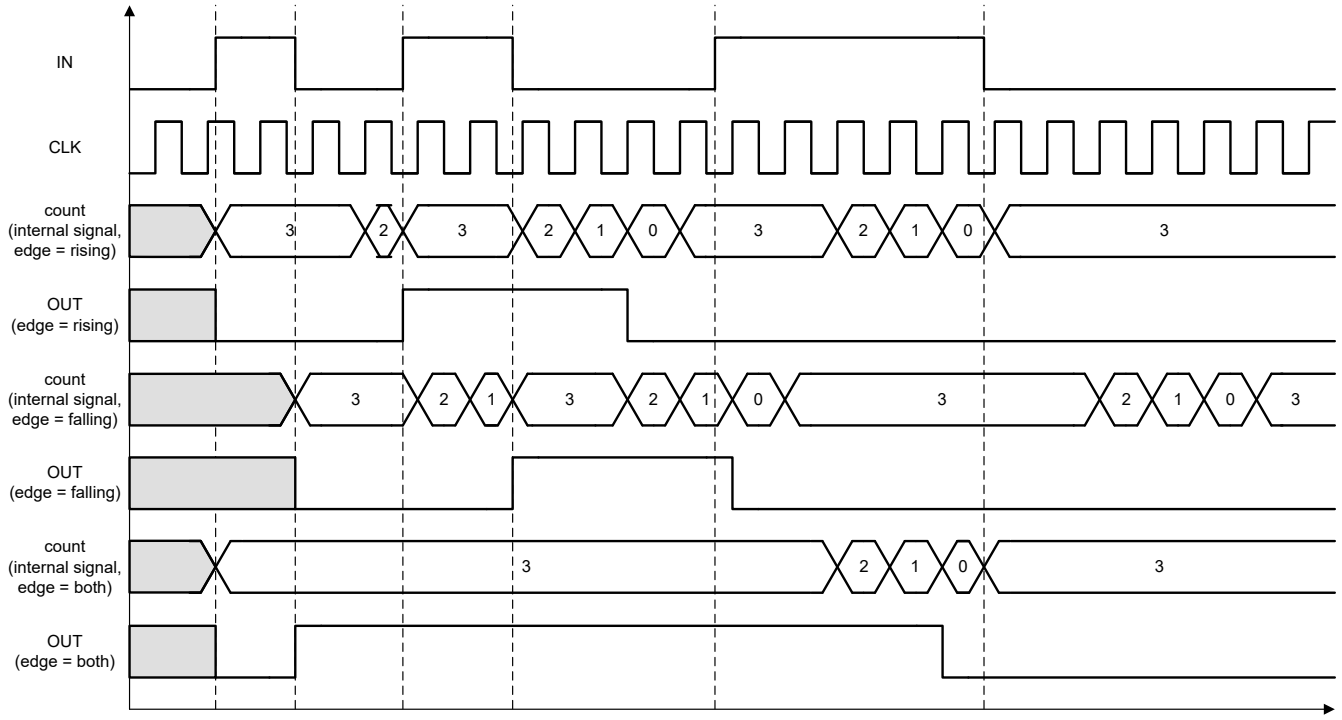


图 7-19. 频率检测器输出时序示例 (DATA = 4)

7.3.4.3.5 边沿检测器模式

配置为边沿检测器 (EDET) 时，该宏单元在检测到有效边沿时生成宽度约为 20ns 的脉冲。边沿检测器生成脉冲时的边沿由边沿选择参数决定，可配置为：

- **上升**：仅 IN 的上升沿生成脉冲。
- **下降**：仅 IN 的下降沿生成脉冲。
- **两者**：IN 的上升沿和下降沿都会生成脉冲。

图 7-20 展示了与边沿选择参数相关的 EDET 宏单元工作原理示例。

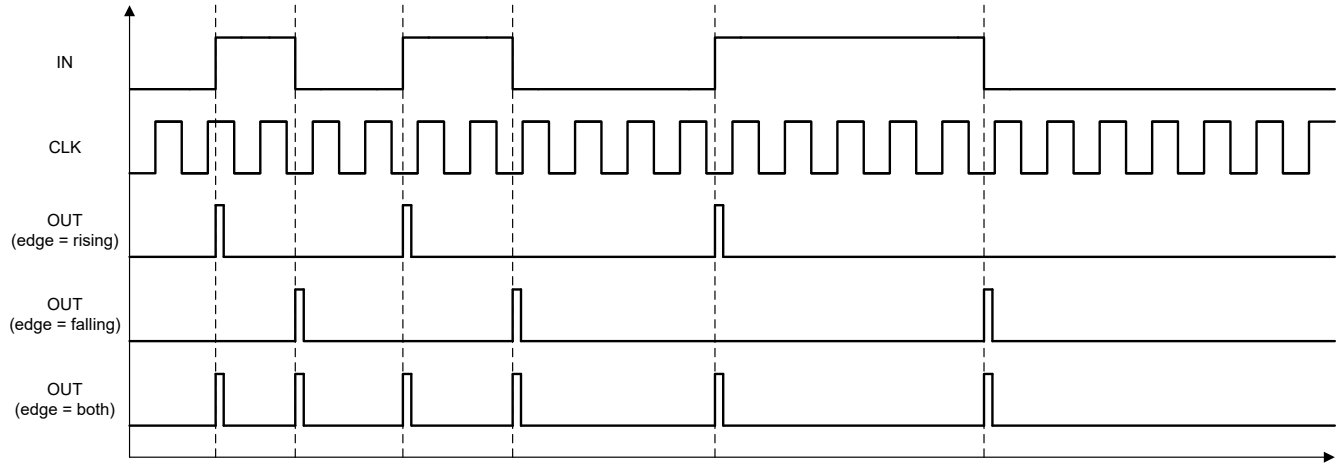


图 7-20. 边沿检测器输出时序示例

Copyright © 2026 Texas Instruments Incorporated

7.3.4.3.6 延迟边沿检测器模式

当配置为延迟边沿检测器（延迟 EDET）时，该宏单元会将输入延迟 DATA 中的值，然后在延迟输入上检测到所选边沿时生成约 20ns 宽度的脉冲。器件启动后该宏单元的初始输出值也可配置为绕过初始电平、初始低电平或初始高电平。要延迟并输出边沿检测脉冲的边沿由边沿选择参数选择，可配置为：

- **上升**：仅在 IN 的上升沿延迟。
- **下降**：仅在 IN 的下降沿延迟。
- **两者**：在 IN 的上升沿和下降沿均延迟。

接收到触发信号后，使用额外的 2 个时钟周期来同步 IN 和具有 CLK 的计数器，然后计数器在 CLK 的下一个上升沿开始从 DATA 递减。如果允许计数器达到 0 并绕回 DATA，延迟 EDET 宏单元将输出脉冲。否则，如果计数器在达到 0 之前通过复位而中断，则延迟 EDET 宏单元会“滤除”上一个边沿。

图 7-21 展示了与边沿选择参数相关的延迟 EDET 宏单元工作原理示例。

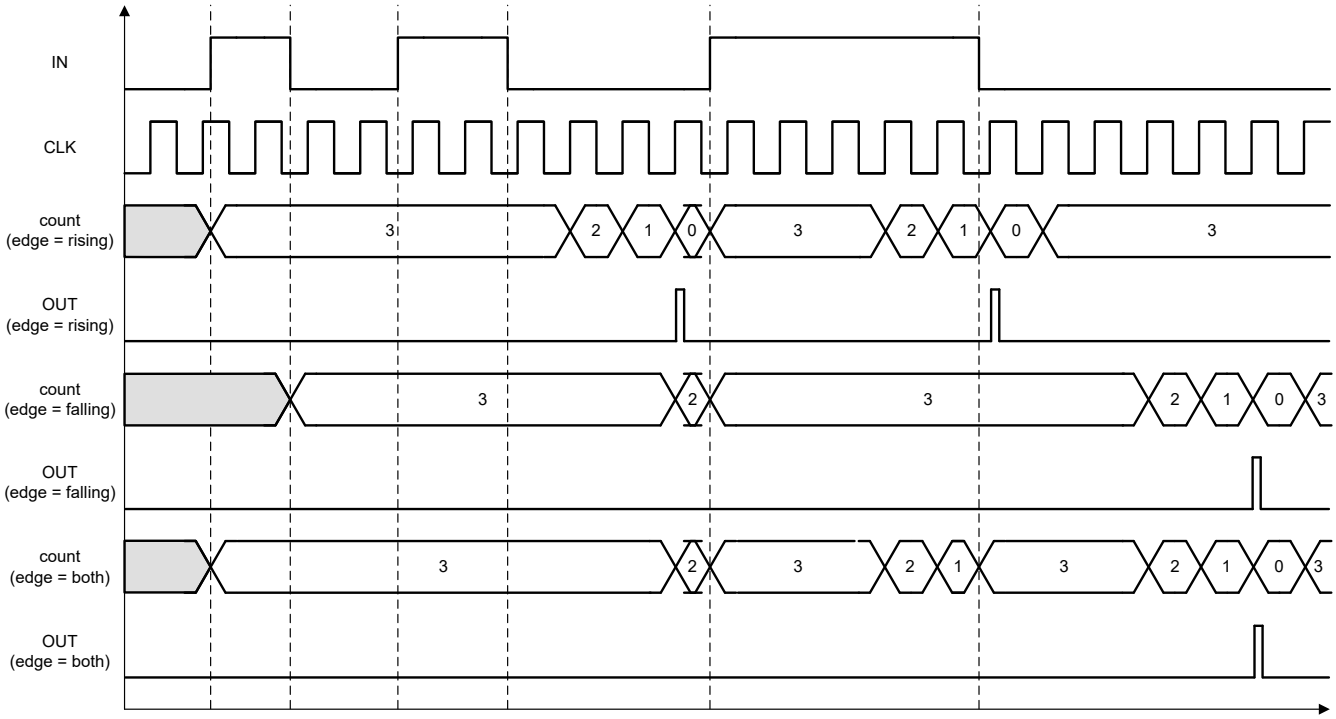


图 7-21. 延迟边沿检测器输出时序示例 (DATA = 3)

7.3.4.4 LUT/DFF + CNT 模式

除了前面描述的分立式 LUT、DFF/锁存器或计数器之外，可配置逻辑和时序块还可以配置为另外两种模式：

- 模式 1：LUT/DFF 进入计数器。来自连接多路复用器的三个输入进入 LUT/DFF/LAT，第一级的输出馈入计数器的输入。计数器的输出返回至连接多路复用器。
- 模式 2：计数器进入 LUT/DFF。来自连接多路复用器的一个输入进入计数器输入，输出馈送到 LUT 或 DFF/LAT 的任何一个输入。第二级的输出返回至连接多路复用器。

得益于此功能，可在设计中使用更多 LUT、DFF/锁存器和计数器。然而，在单个块中，只能使用 LUT 或 DFF/锁存器。此外，在这些模式下，来自计数器连接多路复用器的外部时钟源被禁用，因此只能使用源自内部振荡器的频率。

Copyright © 2026 Texas Instruments Incorporated

7.3.5 可编程抗尖峰脉冲滤波器或边沿检测器

TPLD1202 具有两个可配置为可编程滤波器 (PFLT) 或边沿检测器 (EDET) 的宏单元。PFLT 宏单元可用于生成延迟 (t_{pflt_d})，其特征为 t_{pflt_pw} 和 t_{pflt_pd}。t_{pflt_pw} 可被设置为 125ns、250ns、375ns 或 500ns，t_{pflt_pd} 为固定值。此外，宏单元的输出可以被配置为以下四种选项之一：上升沿检测、下降沿检测、双边沿检测或双边沿延迟。最后，滤波器作为短低通滤波器运行，其输出可以被设置为同相或反相。

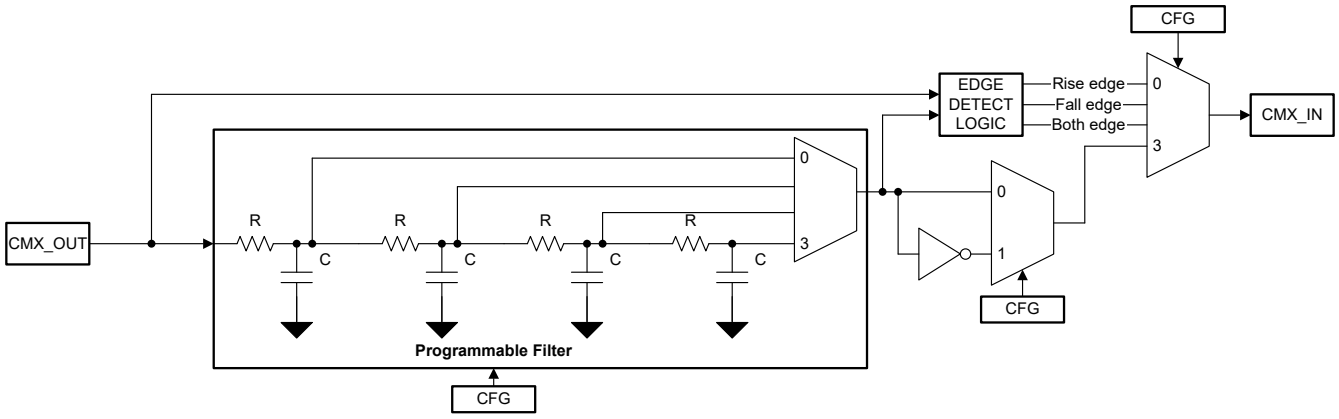


图 7-22. 可编程滤波器/边沿检测器方框图

备注

输入信号必须比 t_{pflt_d} 长，否则会将其滤除。

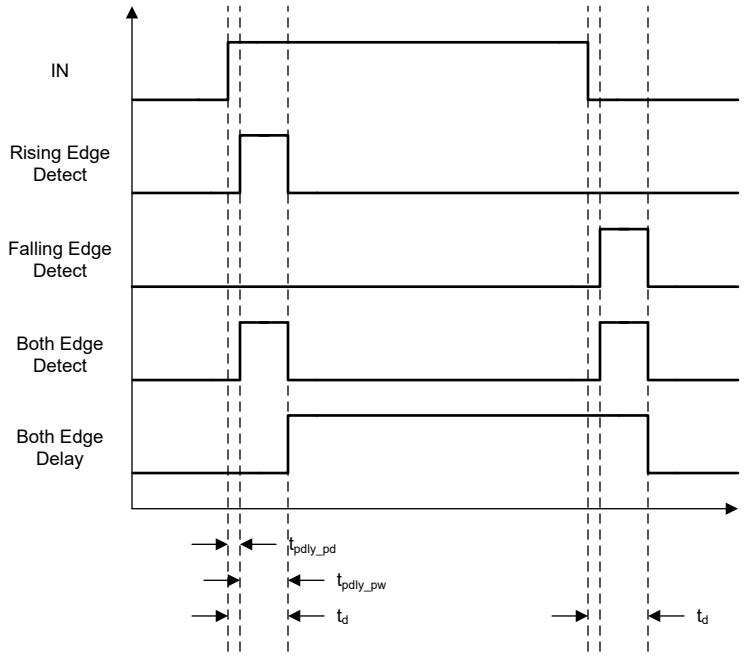


图 7-23. 延迟边沿检测器输出时序图

7.3.6 抗尖峰脉冲滤波器或边沿检测器

TPLD1202 具有一个可配置为抗尖峰脉冲滤波器或边沿检测器的宏单元。

Copyright © 2026 Texas Instruments Incorporated

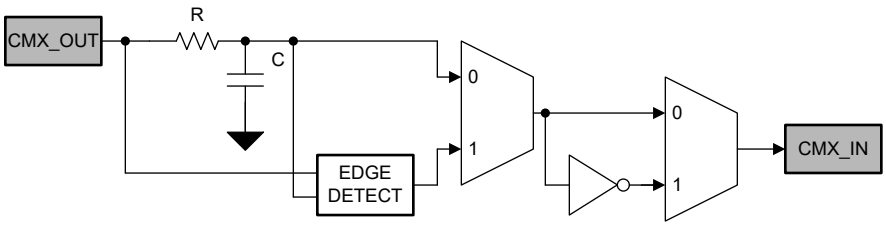


图 7-24. 抗尖峰脉冲滤波器或边沿检测器方框图

抗尖峰脉冲滤波器作为短低通滤波器运行，其输出可设置为同相或反相。

作为边沿检测器，该宏单元可配置为输出在上升沿、下降沿、双边沿触发的短脉冲，或用作滤波器并延迟两个边沿。边沿检测器输出可设置为同相或反相。

7.3.7 状态机 (SM)

TPLD1202 有一个可同步或异步运行的状态机宏单元，具有 16 个状态转换输入、1 个时钟输入、1 个状态机复位输入和 8 个输出。该宏单元可配置为创建一个二到八态状态机，其中状态、状态转换条件、状态转换输入和状态输出均由用户定义。每个状态最多有 2 个转换条件，可触发到该特定状态的转换，但受连接多路复用器中硬接线的状态转换输入的限制。

Copyright © 2026 Texas Instruments Incorporated

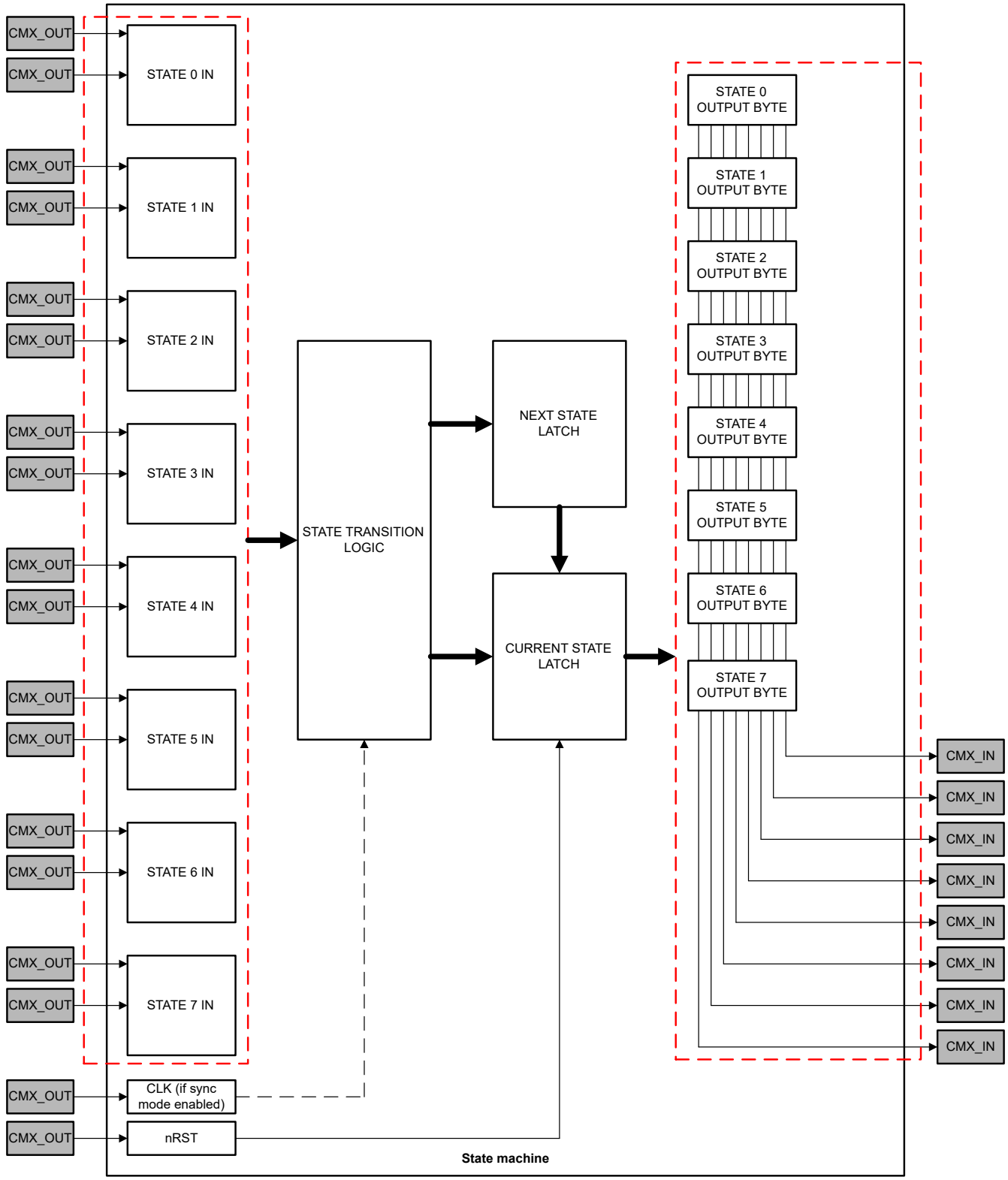


图 7-25. 状态机方框图

7.3.7.1 状态机输入

状态机宏单元具有来自连接多路复用器的 18 个输入：16 个状态转换输入、1 个时钟输入和 1 个复位输入。

Copyright © 2026 Texas Instruments Incorporated

16 个状态转换输入均为高电平有效输入，这意味着如果满足时序要求，则高电平输入会触发状态转换。此外，对这 24 个输入进行分组，以使每组（2 个）输入驱动转换到特定状态。例如，有 2 个输入可驱动从任何状态转换至状态 2。因此，这会将进入特定状态的转换次数上限限制为 2。

在同步模式下运行状态机且满足状态转换条件时，会在时钟输入的下一个上升沿进行状态转换。在异步模式下，当满足状态转换条件时，状态转换会异步进行，并且时钟输入不可用/被忽略。

还有一个低电平有效的异步复位输入。当该输入被置为有效时，状态机进入用户选择的初始状态，当该输入被释放时，状态机从初始状态恢复至正常运行。

7.3.7.2 状态机输出

状态机宏单元有 8 个输出进入连接多路复用器。每个状态使用 1 字节 RAM，用户能够为每个定义的状态设置 8 个输出的行为，可以将其视为 8 个可根据当前状态进行配置的并行输出。8 个输出均为可能处于设计中其他位置（例如 LUT 的输入、D 型触发器、计数器或 GPO 引脚的输出）的连接多路复用器输入。

可以通过用户寄存器在系统内更新状态机输出。为了实现无干扰运行，建议在修改状态机输出位时将状态机置于复位状态。

7.3.7.3 配置状态机

可针对工作状态机配置以下内容：状态、初始状态、状态转换、模式、时钟极性。

- **状态：**如果需要，最多可以创建和重命名 8 个状态。
- **初始状态：**可以选择所创建状态中的一个作为初始状态，状态机宏单元将在异步复位后复位到该状态。
- **状态转换：**用户可以设置从一种状态到另一种状态的转换以启用状态转换条件输入，最多可通过 2 次转换进入特定状态。状态转换条件是来自连接多路复用器的输入，可以配置为来自任何 GPI 或其他宏单元输出。
- **模式：**可以选择让状态机在同步模式下运行（在该模式下，状态转换条件会相对于时钟输入同步锁存），也可以在异步模式下运行。
- **时钟同步：**在同步模式下，该设置将决定状态机是上升沿触发（同步禁用），即状态转换输入和状态转换在时钟的上升沿锁存，还是下降沿触发（同步启用）。

串行通信接口（如果已启用）可用于读取活动状态机的当前状态并重新配置状态输出。只有在下一次状态转换或复位事件后，才会反映通过串行通信接口对状态机配置所做的所有更改。因此，为了建立所需的行为，最佳做法是在重新配置宏单元时使状态机保持复位状态。

7.3.7.4 状态机时序注意事项

当状态机宏单元正在运行时，尤其是在异步运行时，需要考虑状态转换输入时序要求、I/O 中的延迟、状态转换输入路径中使用的其他宏单元以及连接多路复用器，以验证正确处理输入，并且状态转换是确定性的。

在同步模式下，状态转换触发输入需要在至少 3 个时钟周期内置为有效。在异步模式下，状态转换触发输入需要至少在状态转换脉冲宽度 t_{st_pw} 内置为有效。如果满足状态转换条件，转换将在状态转换延迟 t_{st_dly} 后进行。

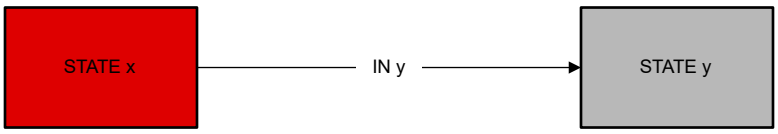


图 7-26. 状态转换

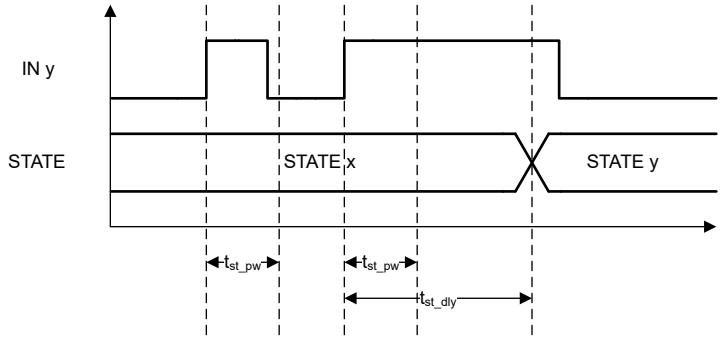


图 7-27. 状态转换触发要求时序示例

当状态转换脉冲宽度 t_{st_pw} 内存在两个或更多个状态转换输入触发时，下一个状态是不确定的。为了避免这种情况，必须仔细考虑状态转换输入的时序。

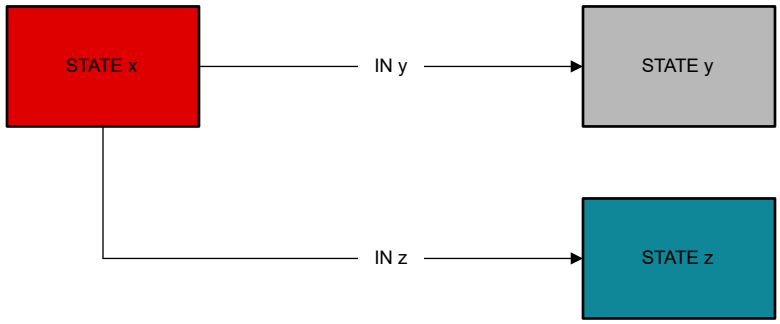


图 7-28. 具有竞争触发的状态转换

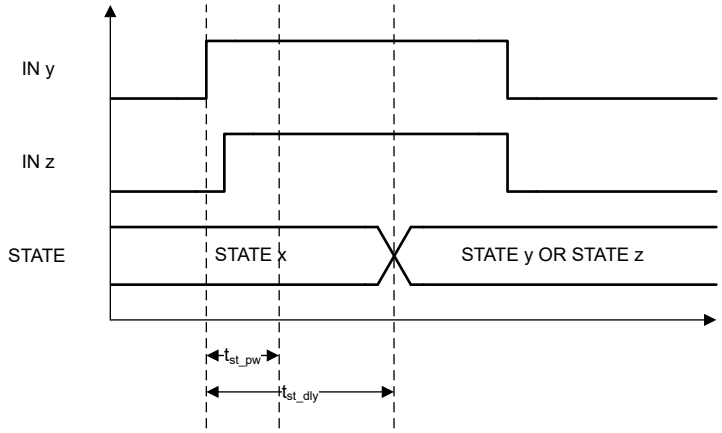


图 7-29. 具有竞争触发的状态转换注意事项时序示例

Copyright © 2026 Texas Instruments Incorporated

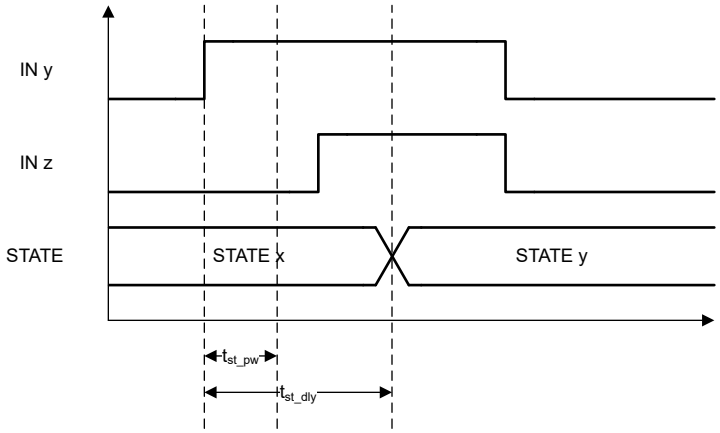


图 7-30. 确定性转换的状态转换注意事项时序示例

在顺序状态转换或闭环状态转换中，状态转换输入触发被置为有效，提示状态机进入下一个状态，连续状态之间的转换会在状态转换延迟 t_{st_dly} 后发生。因此，状态机将保持当前状态至少 t_{st_dly}。

图 7-31. 顺序状态转换

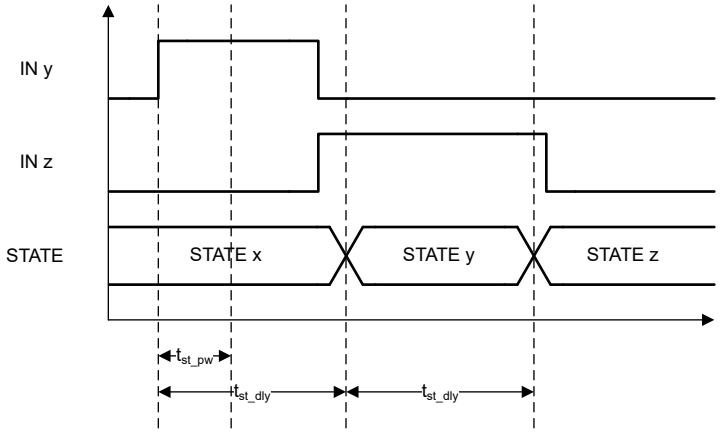


图 7-32. 顺序状态转换时序示例

所示的闭环状态转换示例仅考虑两种状态；但是，可以使用任意数量的状态（从两个到最多八个）来创建闭环。

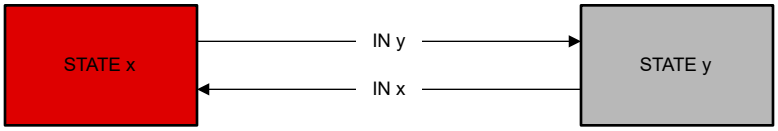


图 7-33. 闭环状态转换

Copyright © 2026 Texas Instruments Incorporated

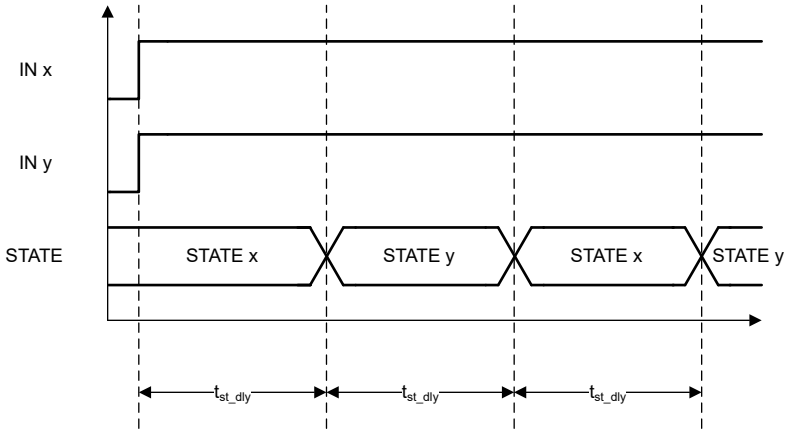


图 7-34. 闭环状态转换时序示例

7.3.8 8 位计数器/延迟发生器/有限状态机

TPLD1202 还具有可在复位计数器模式下作为有限状态机 (FSM) 运行的 8 位计数器。这些 8 位计数器宏单元具有来自连接多路复用器的 4 个输入：计数器输入、FSM 递增/递减、FSM 保持和外部时钟输入；以及进入连接多路复用器的 1 个输出：计数器输出。该宏单元还有电流计数值的 8 位并行输出，该输出直接路由到脉宽调制 (PWM) 发生器宏单元中。

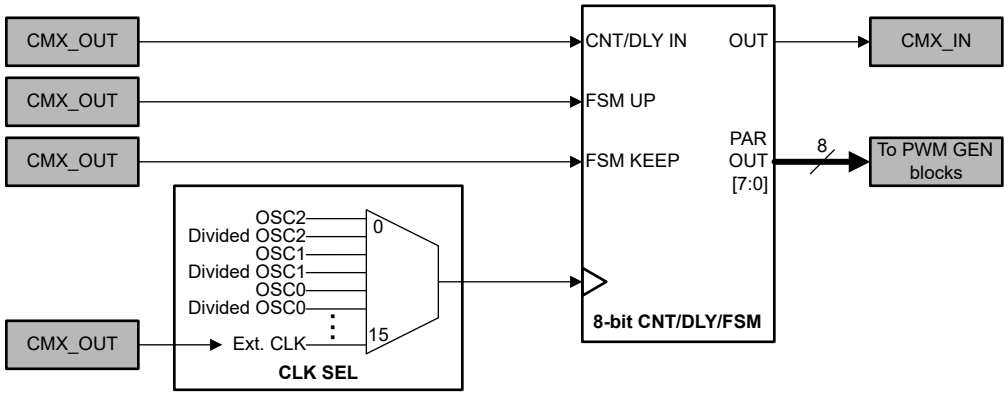


图 7-35. CNT/DLY/FSM 方框图

可以针对运行的 FSM 配置以下内容：初始计数器数据和时钟。

- 初始计数器数据：计数器在达到 0 时将加载的值可以设置为 1 和 255 之间的任意值。使用用户寄存器可以在系统内更新计数器数据。建议在更新计数器数据寄存器时将计数器置于复位状态，以确保无干扰加载数据。
- 边沿选择，异步将计数器复位为初始计数器数据的边沿：双边、上升、下降或高电平复位。
- 时钟输入：OSC0，源自 OSC0（/8、/64、/512、/4096、/32768、/262144）的分频时钟；OSC1，源自 OSC1（/8、/64、/512）的分频时钟；OSC2，源自 OSC2 (/4) 的分频时钟，或外部时钟。

FSM UP 输入决定计数器/FSM 的方向、计数是相对于时钟输入的上升沿递减还是递增。当 FSM UP = 低电平时，一旦达到 0，计数器即会递减（向下计数）并复位为初始计数器数据；当 FSM UP = 高电平时，计数器将递增（向上计数）并在达到 255 时复位为初始计数器数据。

FSM KEEP 输入将暂停或锁存当前计数，并忽略任何 FSM UP 或时钟输入。计数复位输入仍将复位计数器，但既不会递减，也不会递增。当 FSM KEEP = 低电平时，计数器将按照配置进行计数；当 FSM KEEP = 高电平时，计数器将暂停。

Copyright © 2026 Texas Instruments Incorporated

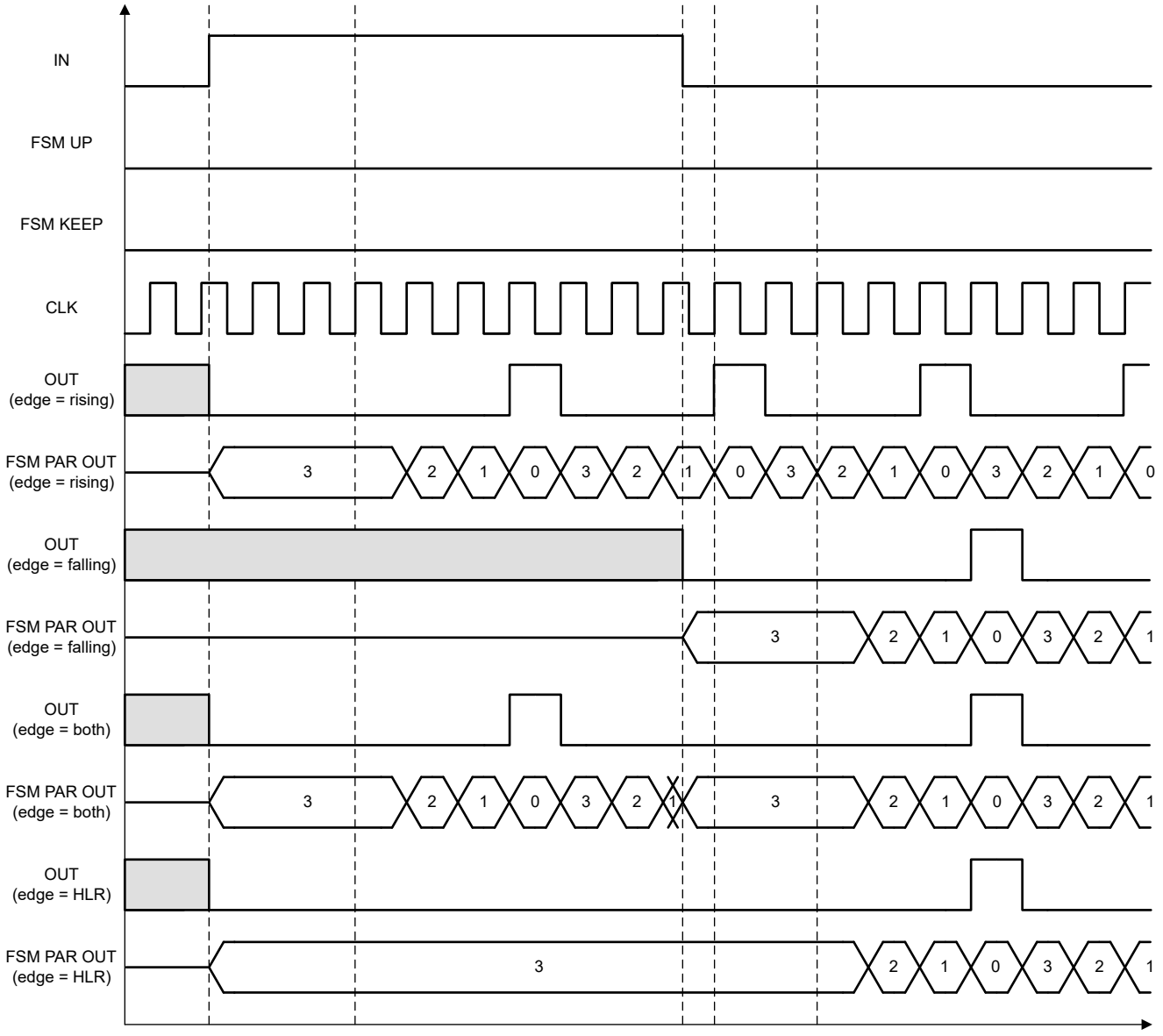


图 7-36. CNT/FSM 时序示例 (DATA = 3)

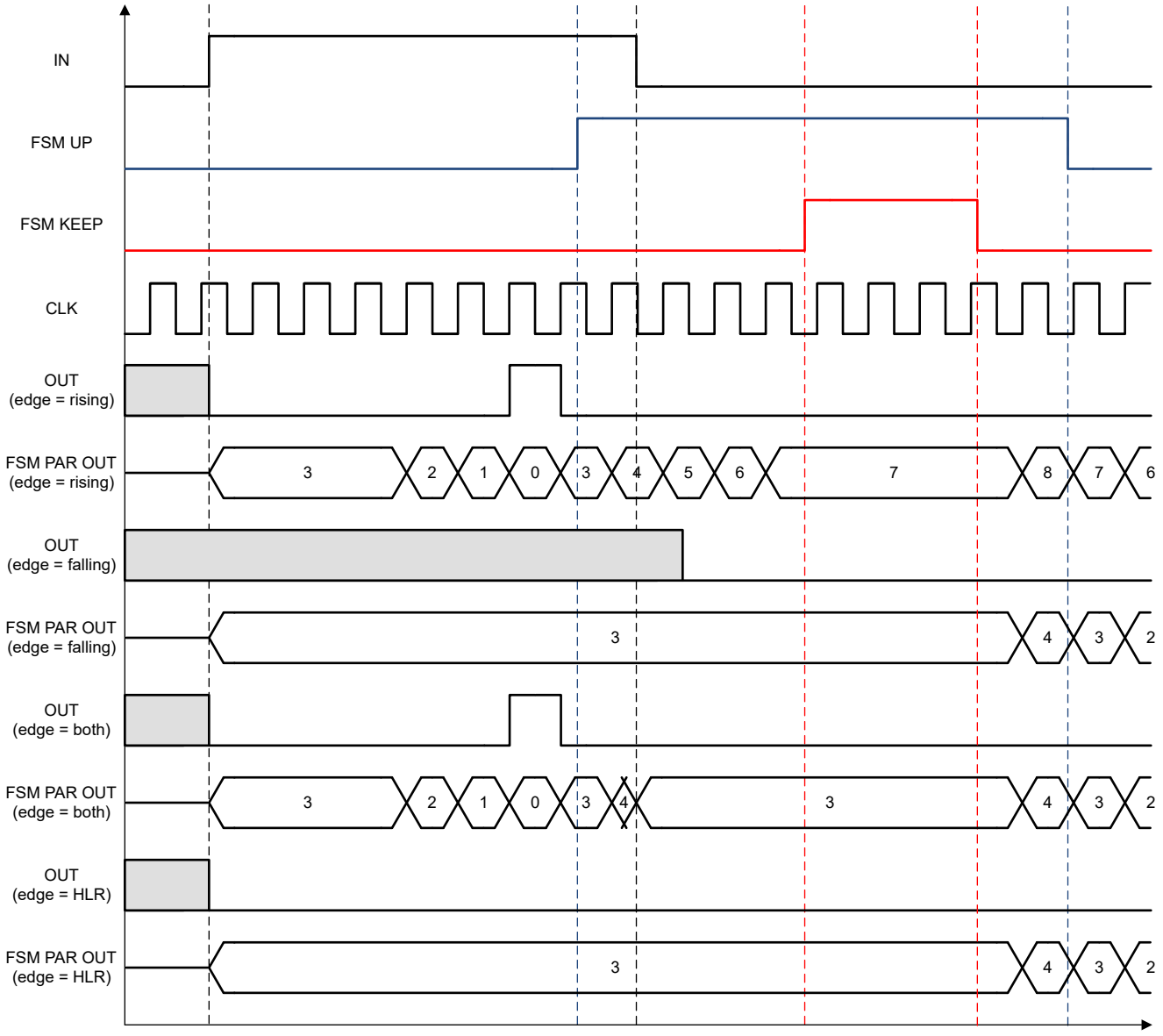


图 7-37. CNT/FSM UP/FSM KEEP 时序示例 (DATA = 3)

7.3.9 PWM 发生器

脉宽调制 (PWM) 发生器可输出方波，其占空比与所选 FSM 中的计数器值成正比。这些 PWM 发生器宏单元具有来自连接多路复用器的 1 个输入，用于控制宏单元上电；1 个直接来自 FSM 块的输入；以及进入连接多路复用器的 2 个输出。

Copyright © 2026 Texas Instruments Incorporated

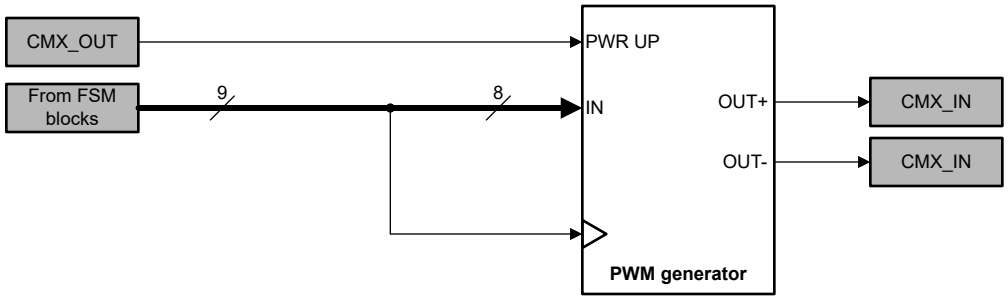


图 7-38. PWM 发生器模块结构图

可以针对工作 PWM 发生器配置以下内容：输入源、死区时间、输出极性、时钟。

- 数据输入源 (IN)：可以选择四个 FSM 中的任何一个来提供计数器值。
- 死区时间 (t_{db})：0 个 CLK（无死区）、1 个 CLK、2 个 CLK 或 5 个 CLK。
- 输出极性：每个输出（OUT+ 和 OUT-）的极性可配置为同相或反相。

可以通过以下公式计算 PWM 信号的占空比：

$$\text{Duty cycle (\%)} = \left(\frac{\text{IN}}{256}\right) \times 100 \quad (4)$$

最小占空比为 0%（或 0/256），最大占空比为 99.61%（或 255/256）。

请注意，启动 PWM 发生器时，该宏单元需要 2 个时钟周期来进行时钟同步。如果所选死区时间大于 FSM 计数器数据输入，则非反相 OUT- 输出上会出现恒定的低电平。此外，PWM 发生器宏单元可以通过向 PWM PWR UP 输入发送低电平信号进行断电，以防止在空闲状态下输出。

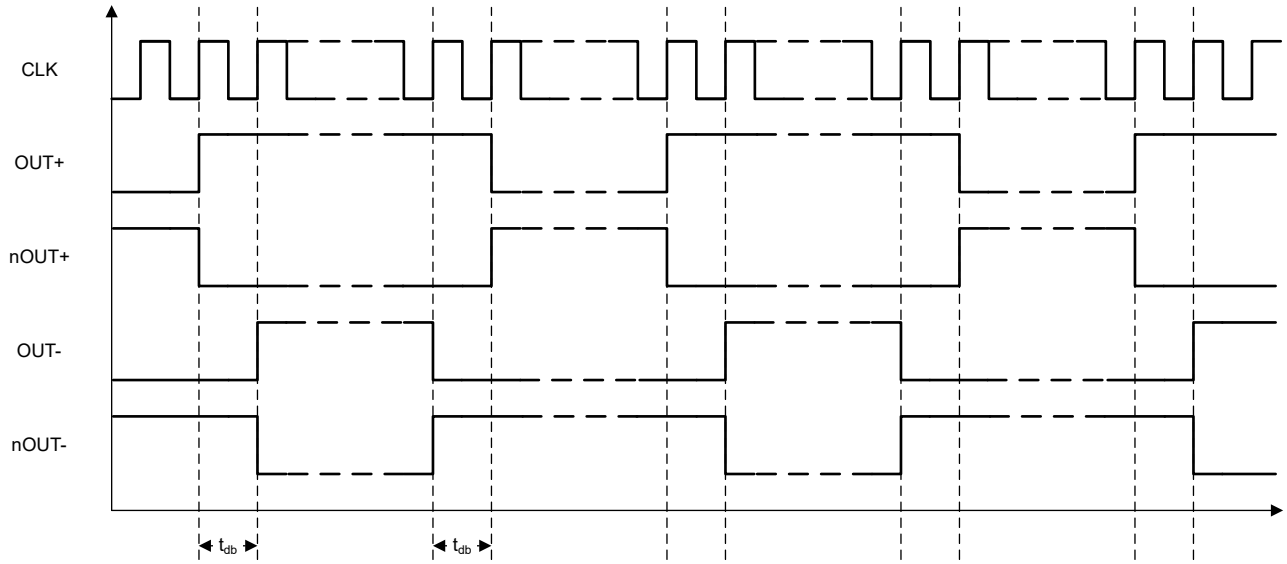


图 7-39. PWM 发生器时序示例

7.3.10 看门狗计时器

看门狗计时器 (WDT) 宏单元监视由 t_{WD} 时间周期定义的时间范围内任何边沿的宏单元输入。WDT 宏单元具有 2 个来自连接多路复用器的输入：1 个高电平有效使能端和 1 个看门狗输入。还有 1 个直接来自内部振荡器的时钟输入。

Copyright © 2026 Texas Instruments Incorporated

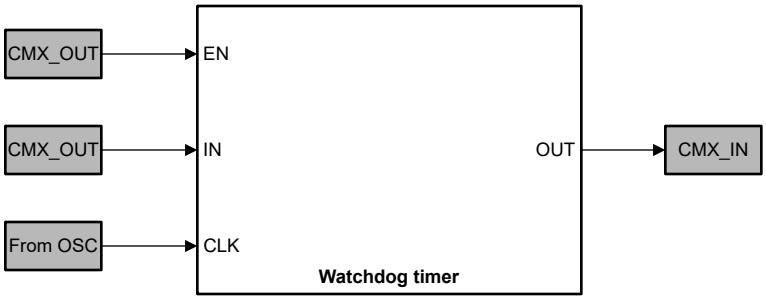


图 7-40. 看门狗定时器框图

可以针对工作 WDT 配置以下内容：超时周期 (t_{WD})、输出置位时间 (t_{WDO})、时钟源、附加时钟分频器选项、WDT 在被禁用时的行为。

- 超时周期 (t_{WD})：WDT 以 8 位计数器运行，因此支持 1 至 255 的计数数据值。
- 输出置位时间 (t_{WDO})：一个单独的 8 位计数器控制输出置位时间周期，支持计数数据值 1 至 255。
- 时钟源：OSC0、源自 OSC0（/8、/12、/24、/64、/512、/4096）的分频时钟，或源自 OSC1（/4、/8、/64、/512）的分频时钟。
- 附加时钟分频：可切换附加时钟 100 分频来进一步延长超时周期。
- 禁用时的行为：用户可以将计数器设置为在禁用 WDT 时复位到指定的计数数据，或者暂停计数器并在重新启用 WDT 后恢复。

达到超时条件时，WDT 宏单元会在指定的时间内输出低电平脉冲。

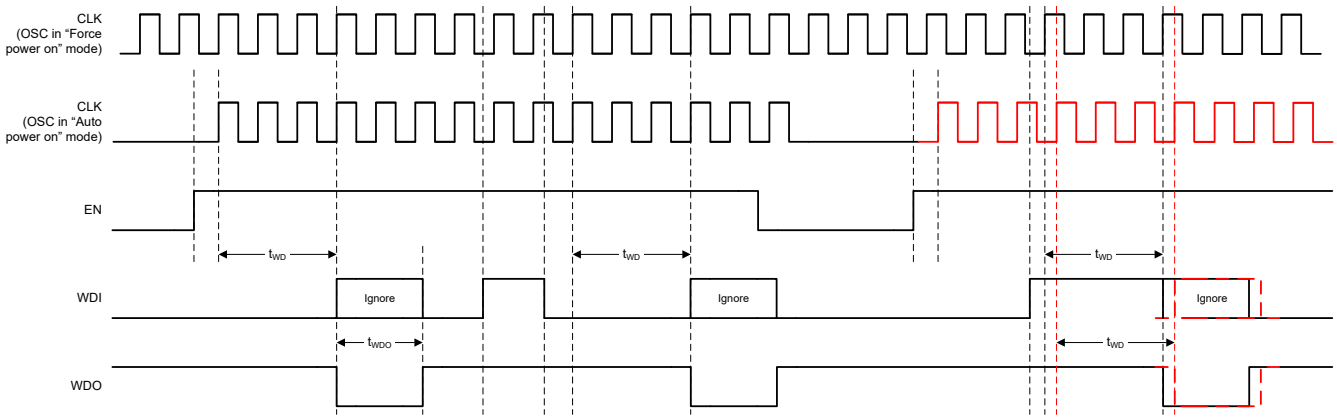


图 7-41. 看门狗计时器输出时序示例（禁用时复位计数）

Copyright © 2026 Texas Instruments Incorporated

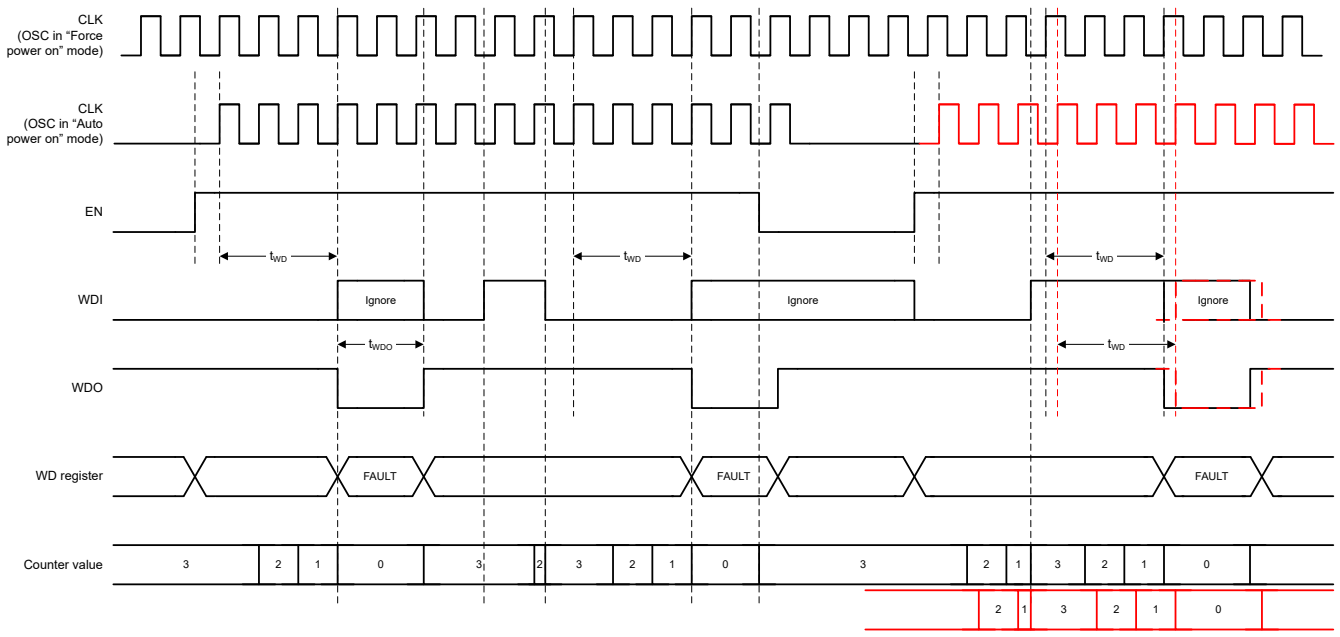


图 7-42. 包含计数数据的看门狗计时器输出时序示例（禁用时复位计数）

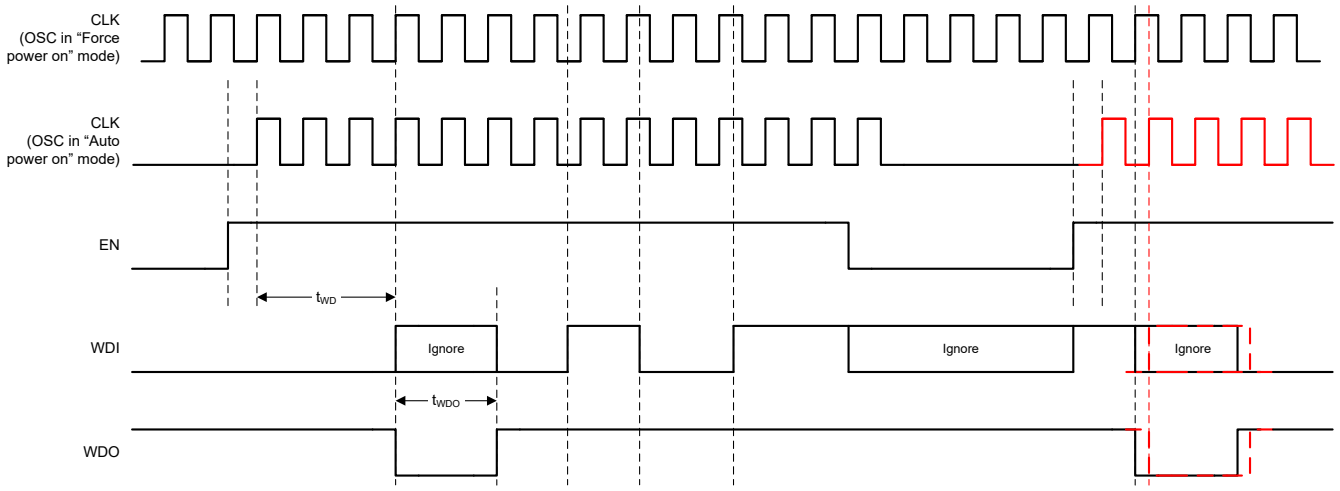


图 7-43. 看门狗计时器输出时序示例（禁用时暂停计数）

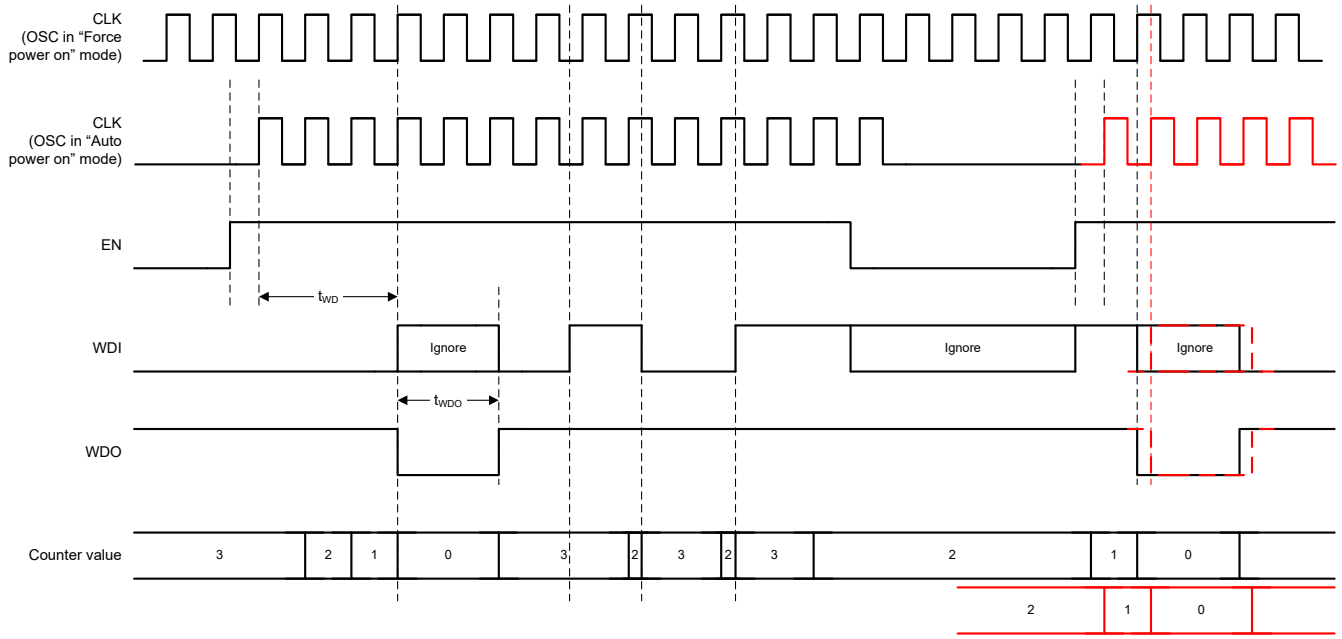


图 7-44. 包含计数数据的看门狗计时器输出时序示例（禁用时暂停计数）

7.3.11 多通道模拟比较器 (McACMP)

TPLD1202 具有一个带有集成采样引擎的多通道模拟比较器 (McACMP) 宏单元。McACMP 会比较两个电压（IN+ 和 IN-）并输出数字信号 (OUT)，以指示哪个较大，IN+ 为高电平信号，IN- 为低电平信号。

Copyright © 2026 Texas Instruments Incorporated

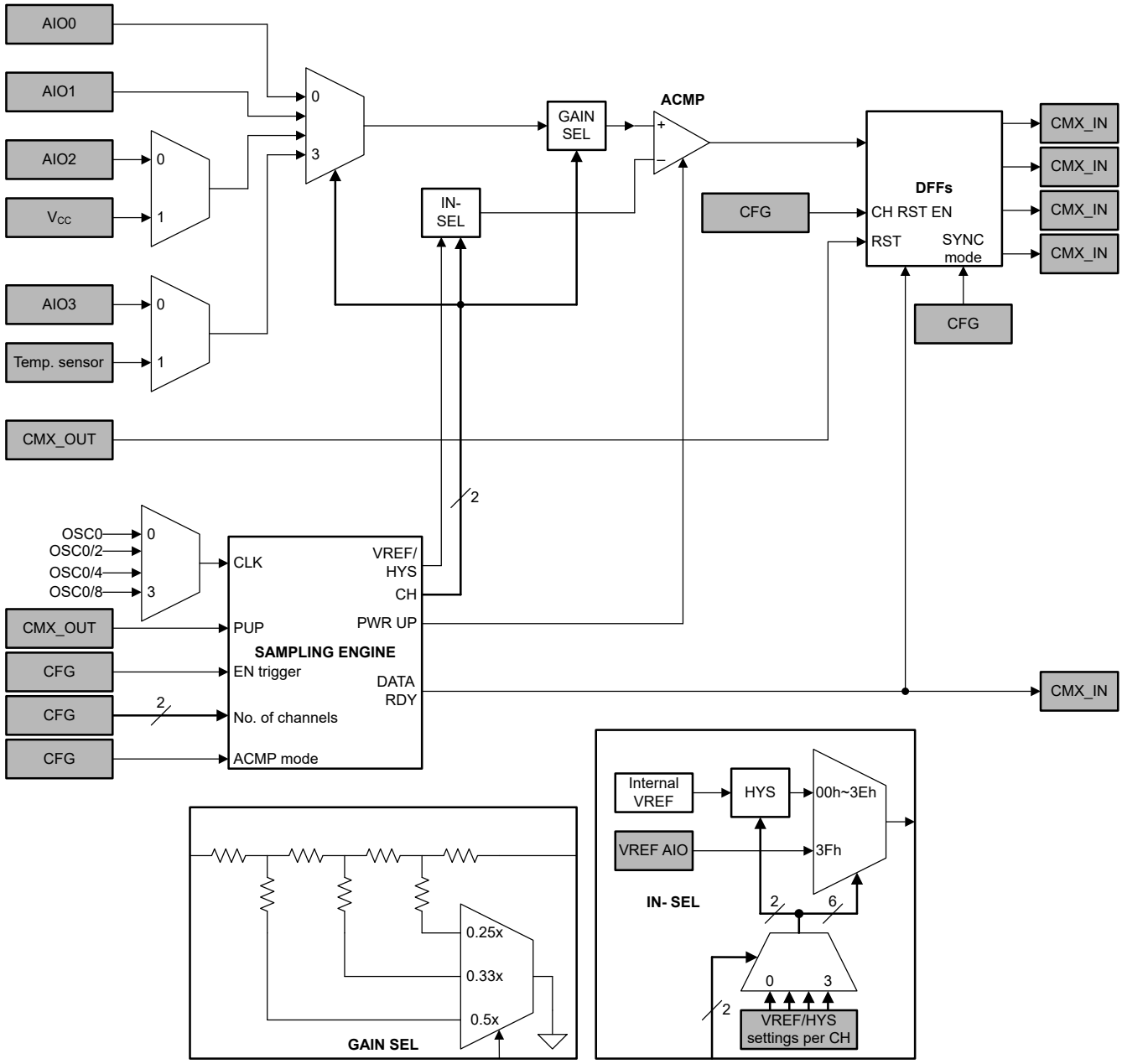


图 7-45. 多通道模拟比较器方框图

为了在 TPLD 设计中使用 McACMP 宏单元，上电 (PUP) 端口需要连接到逻辑高电平信号。通过连接来自连接多路复用器的 PUP 信号，McACMP 可设置为始终开启、始终关闭或动态切换。McACMP 断电时，输出为低电平。

- PUP = 1 => ACMP 已上电。
- PUP = 0 => ACMP 已断电。

上电时，McACMP 输出会保持低电平，然后在 PUP 输入信号变为高电平后经过 t_{start} 时间变为有效。

McACMP 宏单元具有一个正极输入端，该输入端可连接至多种外部信号源，并在进入模拟比较器之前经过可选增益级和电压迟滞处理。负输入可由内部 VREF 创建，也可通过外部源提供。

Copyright © 2026 Texas Instruments Incorporated

表 7-21. McACMP 输入源

参数	主要源	辅助源
IN+ 源	McACMP IN0	
	McACMP IN1	
	McACMP IN2	V_{CC}
	McACMP IN3	温度传感器

IN+ 增益：McACMP 正输入可由各种外部源提供，并且在连接到模拟比较器之前也可以具有可选择的增益级（1X、0.5X、0.33X、0.25X）。

IN- 电压范围：32mV – 2.016V（通过内部 VREF）或高达 2.016V 外部源。

迟滞：如果使用内部 VREF，相应的 McACMP 通道有四个可选的迟滞选项：0mV、32mV、64mV 和 192mV。

- **0mV**：禁用输入信号迟滞。
- **64mV**：是 +32mV 和 -32mV 迟滞。对于 VREF = 1.024V，触发点为 1.056V 和 0.992V。
- **128mV**：是 +64mV 和 -64mV 迟滞。对于 VREF = 1.024V，触发点为 1.088V 和 0.960V。
- **192mV**：是 +96mV 和 -96mV 迟滞。对于 VREF = 1.024V，触发点为 1.120V 和 0.928V。

如果需要迟滞，必须使用内部 VREF。此外，原本会超出 VREF 范围的迟滞值将被限制为器件中可用的最小值和最大值范围内。例如，如果 IN- = 1.984V 且 VHYS = ±64mV，则下触发点将为 1.920V，而上触发点将为 2.016V。

当只选择一个通道时，McACMP 将禁用采样引擎并充当分立式模拟比较器。

在多通道采样模式下，TPLD1202 可配置为对多达 4 个通道进行采样，每个通道都有自己的可选增益、电压基准和迟滞（如果使用内部 VREF）。可以通过给定的预分频器和 McACMP 上的额外分频器从 OSC0 的输出中选择采样时钟。可以设置的其他配置包括输出同步、开始采样序列的触发器以及每个通道的异步复位选项。

在多通道模式下采样时，McACMP 将按顺序（通道 0 到通道 n）对设定通道进行采样，且可以选择捕获样本的时钟边沿。

时钟：McACMP 采样时钟可以选择为 OSC0、OSC0/2、OSC0/4 或 OSC0/8。

启用触发器：请注意，使能信号是 McACMP 的同步信号，因此触发脉冲宽度需要至少为一个时钟周期宽。

- **边沿敏感 EN 模式：**当在 PUP 输入上检测到上升沿时，McACMP 将开始一个采样序列，然后进入空闲状态。
- **电平敏感 EN 模式：**当在 PUP 输入上检测到高电平时，McACMP 将开始采样序列，并且只要 PUP 为高电平就会持续采样；一旦 PUP 变为低电平，McACMP 将在进入空闲状态之前完成采样序列。

输出同步：

- **同步：**采样输出将被锁存，然后在最后一个通道被采样后显示在其各自的通道输出中。
- **交错：**采样输出在被采样时将显示在其各自的通道输出中。

采样边沿选择：

- **负边沿：**在时钟的负边沿或下降沿捕获样本。
- **正边沿：**在时钟的正边沿或上升沿捕获样本。

序列重启/输出锁存复位：当 McACMP 运行时，可以触发重启/复位信号，以从通道 0 重新开始采样序列。通道也可以独立选择在该信号被触发时将输出锁存数据清除。如果复位输入保持低电平，无论使能触发模式如何，McACMP 都将持续对通道 0 进行采样，直到复位释放。

还有一个数据就绪输出，对所有配置的通道采样完毕后，它将在一个基础时钟周期内保持高电平。例如，如果选择 1kHz (2kHz/2) 采样时钟，则数据就绪脉冲宽度将为 500µs。

Copyright © 2026 Texas Instruments Incorporated

7.3.12 电压基准 (VREF)

TPLD1202 具有一个电压基准 (VREF) 宏单元，可为模拟比较器提供基准。此宏单元为用户提供从 32mV 到 2.016V 的固定电压基准（以 32mV 为增量）选项，或者可从外部 VREF AIO 输入提供外部电压基准。外部 VREF 选项在所有比较器之间共享。

在低于 2.3V 的 V_{CC} 下运行时，最大 VREF 选项降至 V_{CC} - 0.3V；因此，在 1.8V 电源下运行时的最大 VREF 为 1.504V。

使用用户寄存器在系统内更新每个比较器的 VREF 选择。为了得到无干扰测量，TI 建议在更改 VREF 时禁用/关闭所有模拟比较器。如果在更新 VREF 选择时未禁用模拟比较器，模拟比较器最长可能需要 10µs 时间才能输出有效数据。

表 7-22. VREF 选择表

位枚举	VREF 输出
000000	32mV
000001	64mV
000010	96mV
000011	128mV
000100	160mV
000101	192mV
000110	224mV
000111	256mV
001000	288mV
001001	320mV
001010	352mV
001011	384mV
001100	416mV
001101	448mV
001110	480mV
001111	512mV
010000	544mV
010001	576mV
010010	608mV
010011	640mV
010100	672mV
010101	704mV
010110	736mV
010111	768mV
011000	800mV
011001	832mV
011010	864mV
011011	896mV
011100	928mV
011101	960mV
011110	992mV
011111	1024mV
100000	1056mV
100001	1088mV

Copyright © 2026 Texas Instruments Incorporated

表 7-22. VREF 选择表（续）

位枚举	VREF 输出
100010	1120mV
100011	1152mV
100100	1184mV
100101	1216mV
100110	1248mV
100111	1280mV
101000	1312mV
101001	1344mV
101010	1376mV
101011	1408mV
101100	1440mV
101101	1472mV
101110	1504mV
101111	1536mV
110000	1568mV
110001	1600mV
110010	1632mV
110011	1664mV
110100	1696mV
110101	1728mV
110110	1760mV
110111	1792mV
111000	1824mV
111001	1856mV
111010	1888mV
111011	1920mV
111100	1952mV
111101	1984mV
111110	2016mV
111111	Ext.VREF AIO

表 7-23. VREF 范围

V_{CC}	VREF 范围
1.71V - 2.3V	32mV - 1.504V
2.3V - 5.5V	32mV - 2.016V

7.3.13 模拟温度传感器 (TS)

TPLD1202 拥有模拟温度传感器 (TS) 宏单元，工作温度范围为 -40°C 至 +125°C。线性传递函数的斜率为 -0.0044V/°C（典型值），0°C 时的输出电压为 1.061V（典型值）。

Copyright © 2026 Texas Instruments Incorporated

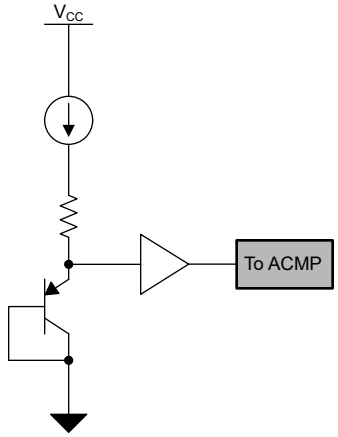


图 7-46. 模拟温度传感器方框图

将温度（T，单位为 °C）转换为传感器输出（V_{out}，单位为伏特）的公式为：

$$V_{out} = [-0.0044 \times T] + 1.061 \quad (5)$$

7.3.14 振荡器

TPLD1202 有两个内部振荡器，OSC0 可在 2kHz 和 10kHz 之间选择，OSC1 固定为 25MHz。用户也可以绕过内部振荡器，工作频率可以从 IO 输入的外部时钟信号中获得

7.3.14.1 2kHz 或 10kHz 可选频率振荡器

TPLD1202 具有一个内部振荡器，可选择以 2kHz 或 10kHz 的频率运行。用户可为 OSC 宏单元选择这些工作频率之一，也可以绕过内部振荡器，此时工作频率可以来自外部时钟。

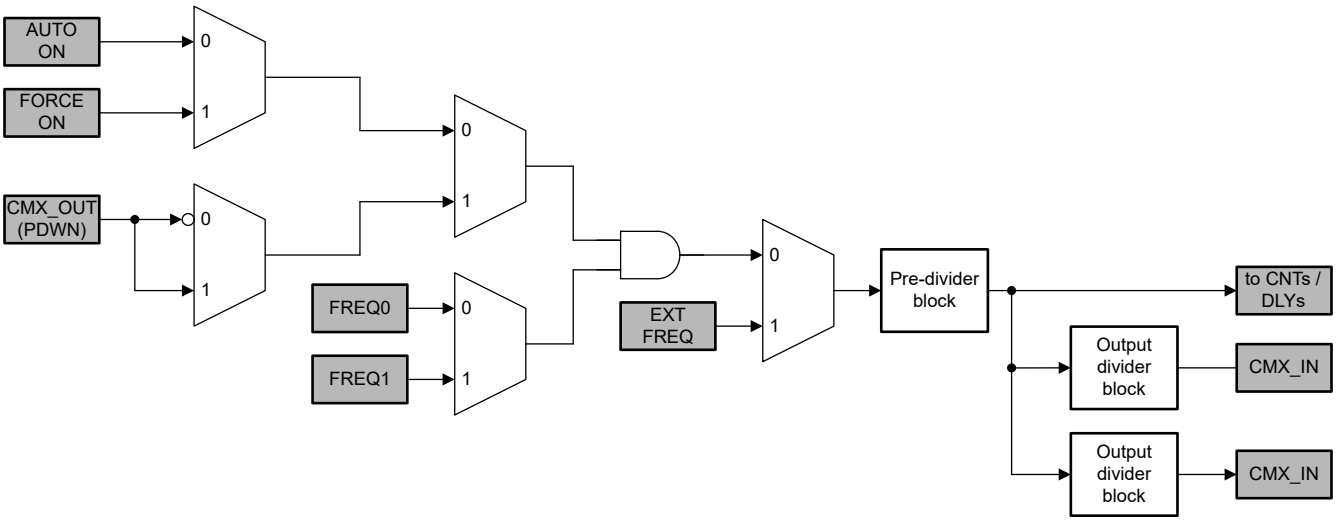


图 7-47. 可选频率振荡器方框图

在工作时钟输入之后，有两个分频器级，使用户能够灵活地在整个器件中使用各种时钟频率。

第一级分频器允许从 振荡器预分频器 中列出的振荡器工作频率中选择最多四个选项。第一个分频器级的输出直接路由到计数器/延迟发生器宏单元 CLK 输入，在此处可以使用单独的第二个分频器级。

第一个分频器级的输出也被路由到振荡器宏单元内的第二个分频器级。振荡器宏单元具有两个独立的第二级分频器，允许将两个独立的时钟（OUT0 和 OUT1）输出到连接多路复用器。请参阅振荡器输出分频器。

Copyright © 2026 Texas Instruments Incorporated

表 7-24. 频率选项和限制

频率选项	最小值	典型值	最大值
FREQ0	1.908kHz	2kHz	2.102kHz
FREQ1	9.44kHz	10kHz	10.6kHz
EXT FREQ	-	-	10MHz

表 7-25. 振荡器预分频器

预分频器选项	幅度
P0	1
P1	2
P2	4
P3	8

表 7-26. 振荡器输出分频器

输出分频器选项	幅度
OD0	1
OD1	2
OD2	3
OD3	4
OD4	8
OD5	12
OD6	24
OD7	64

7.3.14.2 25MHz 固定频率振荡器

TPLD1202 具有一个以 25MHz 的频率运行的内部振荡器。用户可为 OSC 宏单元使用以此工作频率运行的振荡器，也可以绕过内部振荡器，此时工作频率可以来自外部时钟。

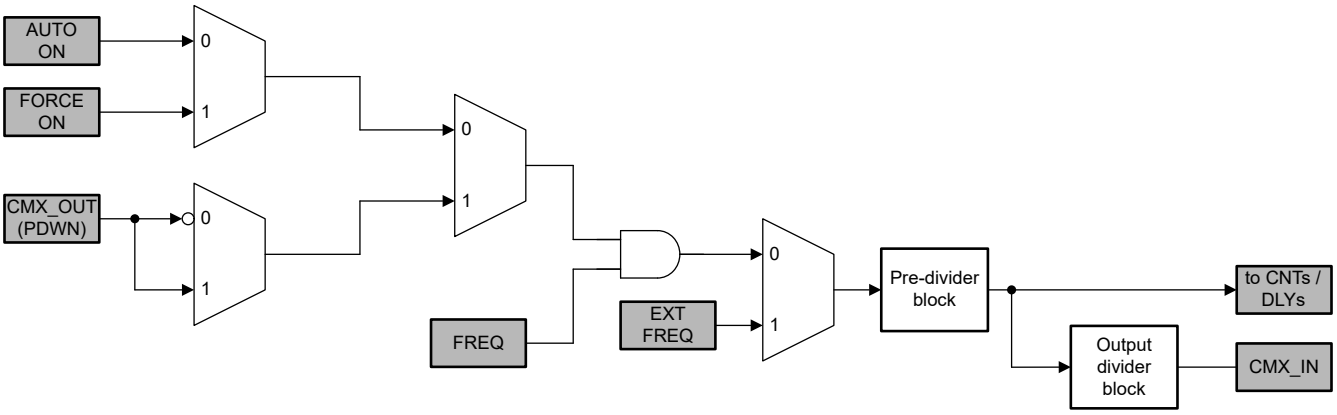


图 7-48. 固定频率振荡器方框图

在工作时钟输入之后，有两个分频器级，使用户能够灵活地在整个器件中使用各种时钟频率。

第一级分频器允许从 表 7-28 中列出的振荡器工作频率中选择最多四个选项。第一个分频器级的输出直接路由到计数器/延迟发生器宏单元 CLK 输入，在此处可以使用单独的第二个分频器级。

第一个分频器级的输出也被路由到振荡器宏单元内的第二个分频器级。振荡器宏单元具有一个单独的第二级分频器，其输出 (OUT0) 进入连接多路复用器。请参阅表 7-29。

Copyright © 2026 Texas Instruments Incorporated

表 7-27. 频率选项和限制

频率选项	最小值	典型值	最大值
FREQ	23.5MHz	25MHz	26.225MHz
EXT	-	-	25MHz

表 7-28. 振荡器预分频器

预分频器选项	幅度
P0	1
P1	2
P2	4
P3	8

表 7-29. 振荡器输出分频器

输出分频器选项	幅度
OD0	1
OD1	2
OD2	3
OD3	4
OD4	8
OD5	12
OD6	24
OD7	64

7.3.14.3 振荡器电源模式

使用任何器件的内部振荡器时，对于每个振荡器有三种可用的配置设置：

- **自动加电（CTRL_SRC = 0 且 PWR_MODE = 0）：**当任何需要振荡器的宏单元运行时，内部振荡器会被触发，任务完成后断电。
- **强制上电（CTRL_SRC = 0 且 PWR_MODE = 1）**：只要器件上电，内部振荡器就会持续运行。
- **外部上电/断电（CTRL_SRC = 1、CTRL_SEL = 0 且 PWR_MODE = 1）**：PDWN 输入的高电平输入使振荡器断电，低电平使振荡器上电。

这些电源模式仅适用于选择了内部振荡器并在使用外部时钟时 (SRC_SEL = 1) 被绕过的情况。

7.3.15 串行通信

TPLD1202 具有一个串行通信宏单元，可通过用户寄存器对配置寄存器进行系统内更新。

用户寄存器允许读取以下内容：器件 ID、程序 ID、当前计数器计数值 (Counter COUNT)、当前计数器数据 (Counter DATA)、看门狗定时器数据 (Watchdog Timer DATA)、看门狗定时器状态 (Watchdog Timer Status)、模式发生器数据 (Pattern Generator DATA)、状态机状态及输出数据 (State Machine Status and Output DATA)、模拟比较器的电压基准选择、虚拟输入和虚拟输出。相关地址请参见用户寄存器映射。

通过写入相应的寄存器，可以在系统内更新当前计数器数据、看门狗定时器数据、模式发生器数据、状态机输出数据、电压基准选择以及虚拟输入。

该宏单元可以将 TPLD1202 配置为 I^2C 或 SPI 器件。

Copyright © 2026 Texas Instruments Incorporated

7.3.15.1 I²C 模式

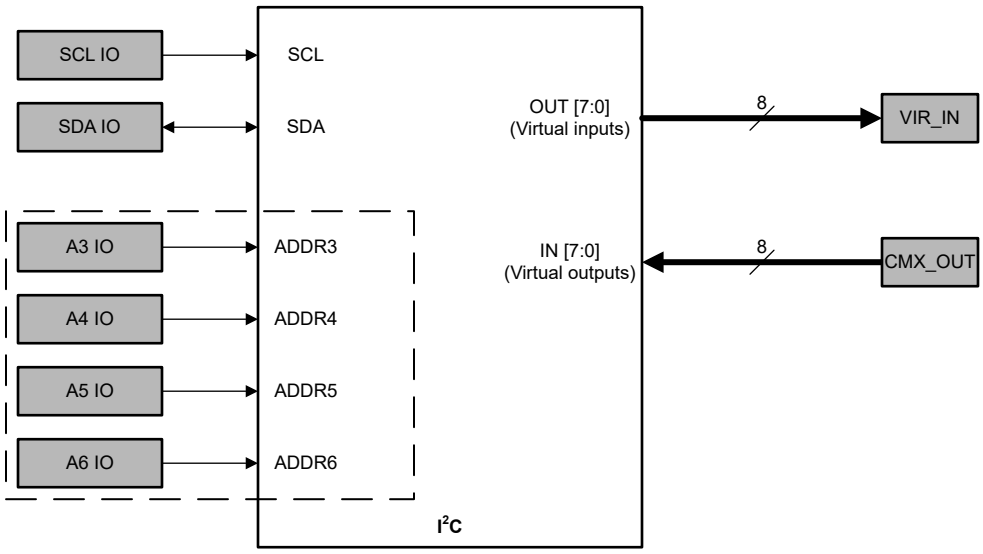


图 7-49. I²C 串行通信 GPIO 分配

当配置为 I²C 时，宏单元使用以下 IO：

- IO1：SCL
- IO2：SDA
- IN0：硬件定义的 ADDR 3、A3（可选）
- IO4：硬件定义的 ADDR 4、A4（可选）
- IO5：硬件定义的 ADDR 5、A5（可选）
- IO8：硬件定义的 ADDR 6、A6（可选）

TPLD1202 支持：

- 仅限外设模式
- 标准模式、快速模式和快速+ 模式
- 可通过 IO 或 OTP 存储器配置 4 位硬件地址

双向 I²C 总线由串行时钟 (SCL) 线和串行数据 (SDA) 线组成。当连接到器件的输出级时，两条线都必须通过上拉电阻器连接到正电源。数据传输仅在总线不忙时才开始。

TPLD 的目标器件地址来源于 OTP（一次性可编程存储器），且最高有效字节可选择来自 IO，TPLD 仅在器件上电时对 IO 进行采样，这使得相应的 GPIO 可在电路设计中用作数字输入。此外，还可以通过将 I2C_IO_LAT 位设置为逻辑 1 来启用 IO 锁存，以便在通电期间连续采样。

Copyright © 2026 Texas Instruments Incorporated

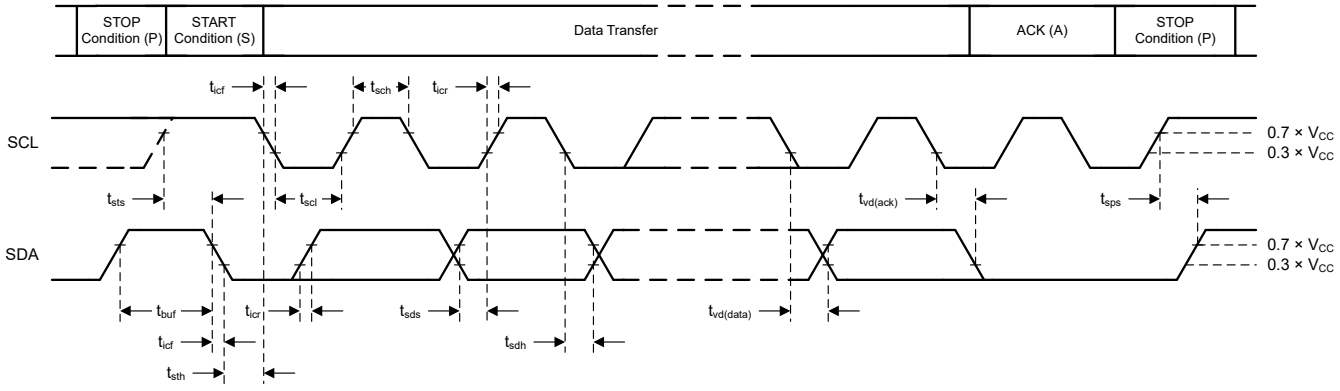


图 7-50. I²C 读取/写入时序图

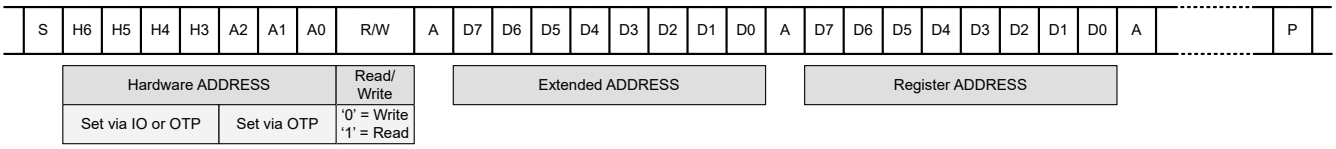


图 7-51. TPLD I²C 帧和格式化

当 SCL 输入为高电平时，控制器发送 START 条件（SDA 输入/输出上由高电平到低电平转换）启动与该器件的 I²C 通信。在发送 START 条件之后，会发送器件硬件地址字节，首先发送最高有效位 (MSB)，包括数据方向位 (R/$\overline{W}$)。

接收到有效地址字节后，该器件以确认 (ACK) 响应，在 ACK 相关时钟脉冲的高电平期间，SDA 输入/输出为低电平。响应器器件的地址输入不得在 START 条件和 STOP 条件之间更改。

在 I²C 总线上，在每个时钟脉冲期间仅传输一个数据位。在时钟周期的高脉冲期间，SDA 线上的数据必须保持稳定，因为此时数据线上的变化会被解释为控制命令（START 或 STOP）。

控制器会发送 STOP 条件，即当 SCL 输入为高电平时，SDA 输入/输出由低电平到高电平转换。

在 START 和 STOP 条件之间，可以将任意数量的数据字节从发送器传输到接收器。每个八位字节后跟一个 ACK 位。发送器必须先释放 SDA 线，接收器才能发送 ACK 位。做出应答的器件必须在 ACK 时钟脉冲期间下拉 SDA 线路，这样，在 ACK 相关时钟周期的高脉冲期间，SDA 线路稳定为低电平。当响应接收方被寻址时，响应接收方必须在每收到一个字节后生成一个 ACK。类似地，控制器必须在控制器从响应器发送器接收到每个字节之后生成一个 NACK。必须满足设置和保持时间才能正常运行。

控制器接收器通过在最后一个字节已经从响应器计时输出之后不生成确认 (NACK) 来向响应器发送器发送数据结束信号。这是由控制器接收器通过将 SDA 线保持为高电平来完成的。在这种情况下，发送器必须释放数据线，才能使控制器生成 STOP 条件。

在向 TPLD1202 写入或读取数据时，可以通过向地址 0x0FD 的第 0 位写入逻辑 0，启用地址自动递增功能。可通过写入逻辑 1 禁用。

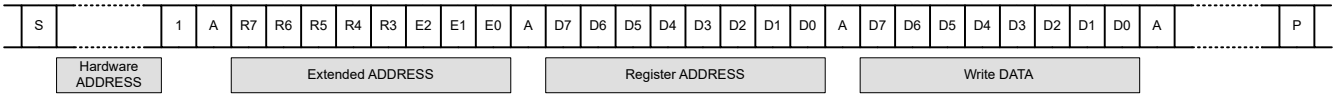


图 7-52. TPLD I²C 写入命令格式化

要向 TPLD1202 传输数据或写入数据，总线控制器必须发送器件硬件地址并将最低有效位 (LSB) 设置为逻辑 0。接下来的两个字节设置寄存器地址，然后是写入的数据。一次写入帧中发送的数据字节数没有限制。

Copyright © 2026 Texas Instruments Incorporated

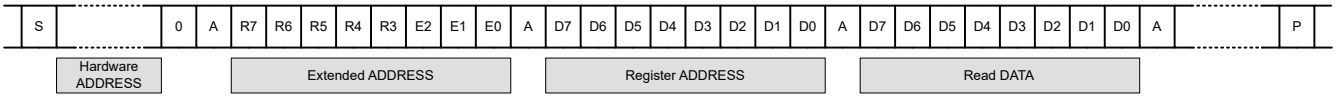


图 7-53. TPLD I²C 读取命令格式化

若要从 TPLD1202 中读取数据，总线控制器必须首先发送 TPLD1202 硬件地址，并将 LSB 设置为逻辑 1。后续字节包含先前写入地址中的数据，如果启用了地址自动递增功能，则包含下一个地址中的数据。

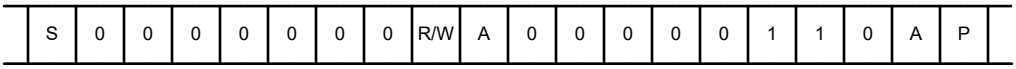


图 7-54. TPLD I²C 软件复位命令

软件复位调用是控制器在 I2C 总线上发送的一条命令，用于指示所有支持该命令的设备复位至上电默认状态。通过将 I2C_RST_EN 位设置为逻辑 1，可以启用对该软件复位调用的侦听。为了使软件复位正常工作，I²C 总线必须能够正常工作，并且任何器件都不能挂起总线。

软件复位广播定义为以下步骤：

1. I²C 总线控制器发送一个启动条件。
2. 使用的地址是保留的通用广播 I²C 总线地址“0000 000”，其中 R/W 位设置为 0。发送的字节为 0x00。
3. 任何支持通用调用功能的设备都会应答 (ACK)。如果 R/W 位设置为 1（读取），器件将不应答 (NACK)。
4. 通用广播地址得到确认后，控制器仅发送等于 0x06 的 1 字节数据。如果数据字节是任何其他值，器件不会确认，也不会复位。如果发送的数据超过 1 字节，则不会再确认更多字节，并且器件会忽略 I²C 消息，将其视为无效。
5. 发送 1 字节数据 (0x06) 后，控制器发送一个 STOP 条件来结束软件复位调用序列。器件会忽略重复的启动条件，并且无法执行复位。

成功完成上述步骤后，器件会执行复位，将所有寄存器值恢复为上电默认值。

7.3.15.2 SPI 模式

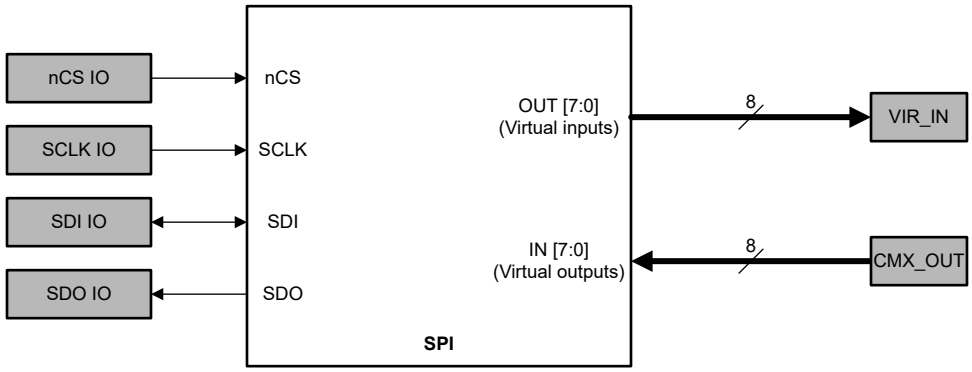


图 7-55. SPI 串行通信 GPIO 分配

当配置为 SPI 时，宏单元使用以下 IO：

- IO5：nCS
- IO1：SCLK
- IO2：SDI
- IO4：SDO

TPLD1202 支持：

- 仅限外设模式

Copyright © 2026 Texas Instruments Incorporated

- SPI 模式 0，即 SCLK 为低电平空闲，SDI/SDO 在 SCLK 的上升沿有效
- 高达 4MHz 的 SCLK
- 8 位数据帧大小

SPI 通信使用标准 SPI。具体而言，数字接口引脚为 nCS（芯片选择未激活）、SDI（串行数据输入）、SDO（串行数据输出）和 SCLK（SPI 时钟）。

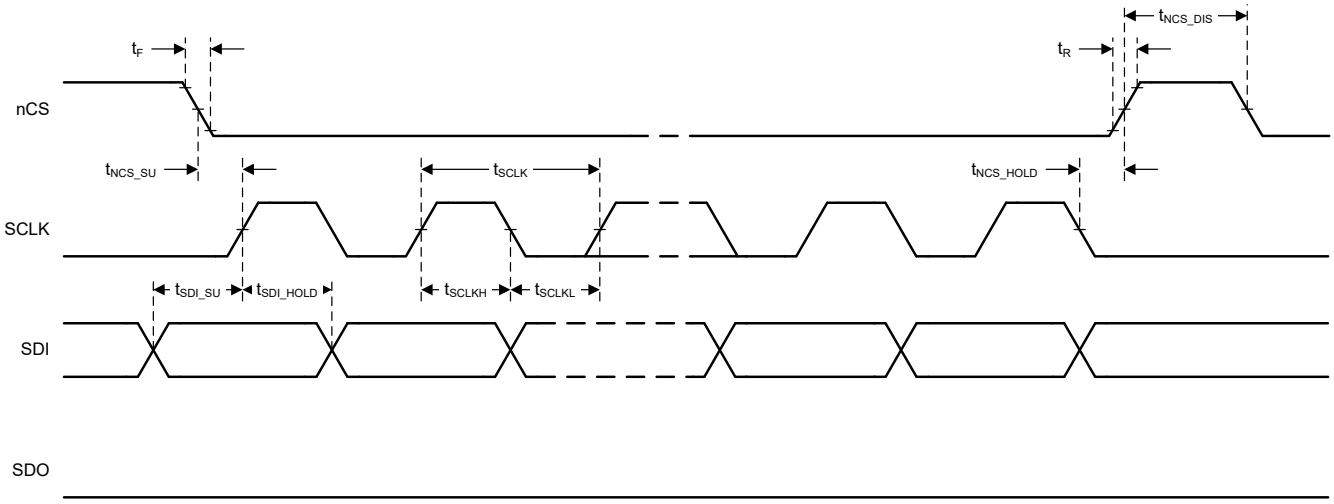


图 7-56. SPI 写入时序图

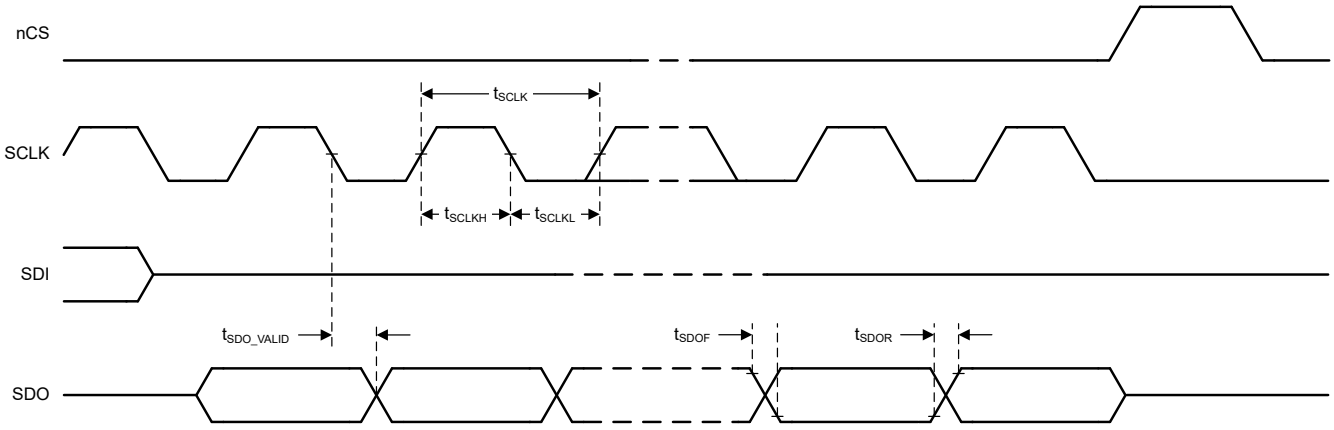


图 7-57. SPI 读取时序图

TPLD1202 中的 SPI 模块支持模式 0，因此 SDI 线路上的输入数据会在 SCLK 的上升沿采样。在 SCLK 的下降沿更改 SDO 线路上的 SPI 输出数据。

Copyright © 2026 Texas Instruments Incorporated

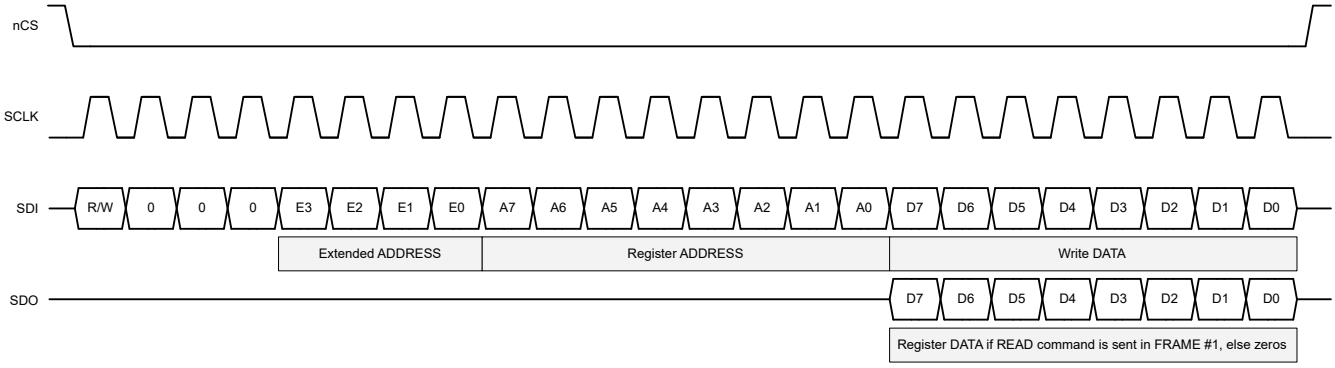


图 7-58. TPLD SPI 帧和格式化

每个 SPI 事务由一个 1 位命令、一个 7 位扩展地址、一个 8 位目标寄存器地址和一个 8 位数据域组成。SDO 线路上移出的数据包含使用 READ 命令 (R/W = 0) 存储在设置的地址中的数据。WRITE 命令 (R/W = 1) 期间移出的数据字节是要写入新数据之前的寄存器内容。

7.3.15.3 虚拟 I/O

在 TPLD 内，该宏单元还具有 8 个输入和 8 个输出，支持读取最多 8 个数字宏单元输出，并提供最多 8 个虚拟输入以供在器件内使用。

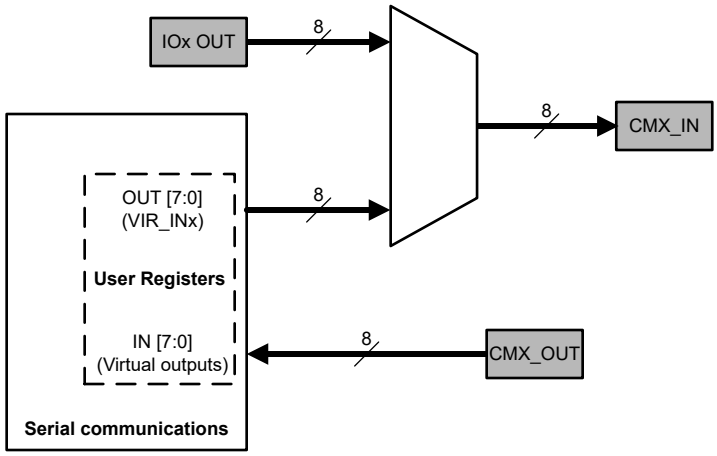


图 7-59. 串行通信方框图

该宏单元的输出充当器件的虚拟输入。将信号路由到连接多路复用器的过程会与物理数字输入引脚共享，因此如果使用虚拟输入，数字输入引脚资源将不再可用，且连接多路复用器的输入将来自虚拟输入寄存器。表 7-30 展示了数字输入引脚和虚拟输入之间的共享资源。

表 7-30. 数字 IO 和虚拟输入共享资源

虚拟输入	VIR_IN0	VIR_IN1	VIR_IN2	VIR_IN3	VIR_IN4	VIR_IN5	VIR_IN6	VIR_IN7
数字输入引脚	IO1	IO2	IO3	IO4	IO5	IO6	IO7	IO9

通过使用虚拟输入和虚拟输出，TPLD 可配置为 8 位串行至并行 GPIO 扩展或并行至串行缓冲。

Copyright © 2026 Texas Instruments Incorporated

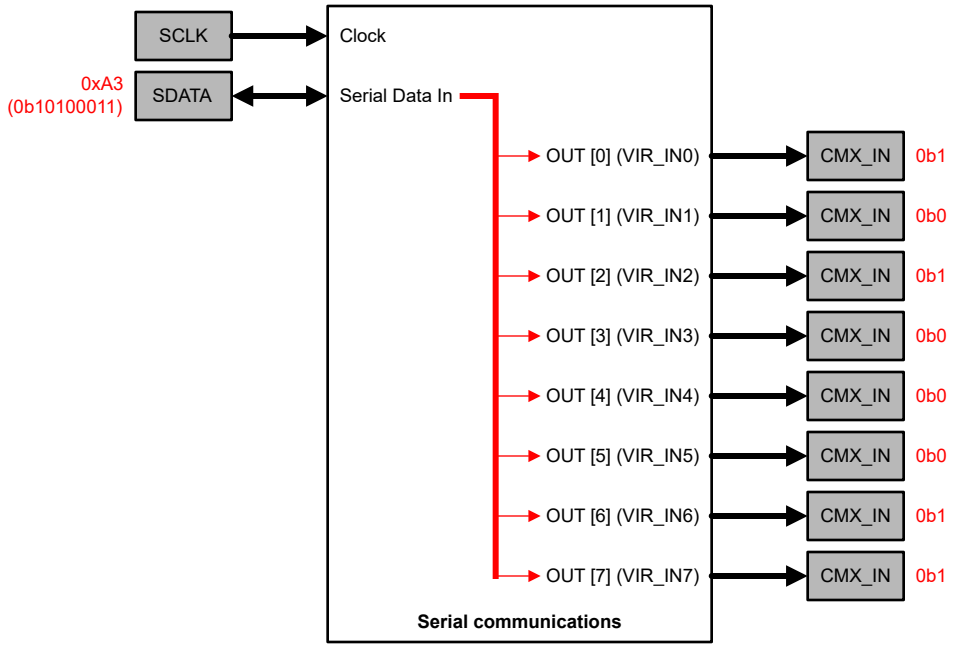


图 7-60. 串行至并行 I/O 扩展器的串行通信示例

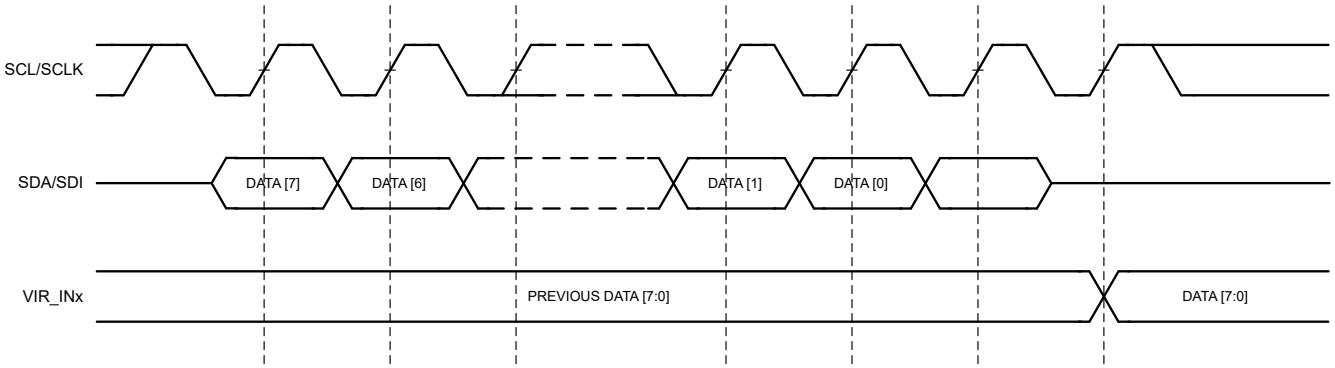


图 7-61. 串行至并行 I/O 扩展器时序的串行通信示例

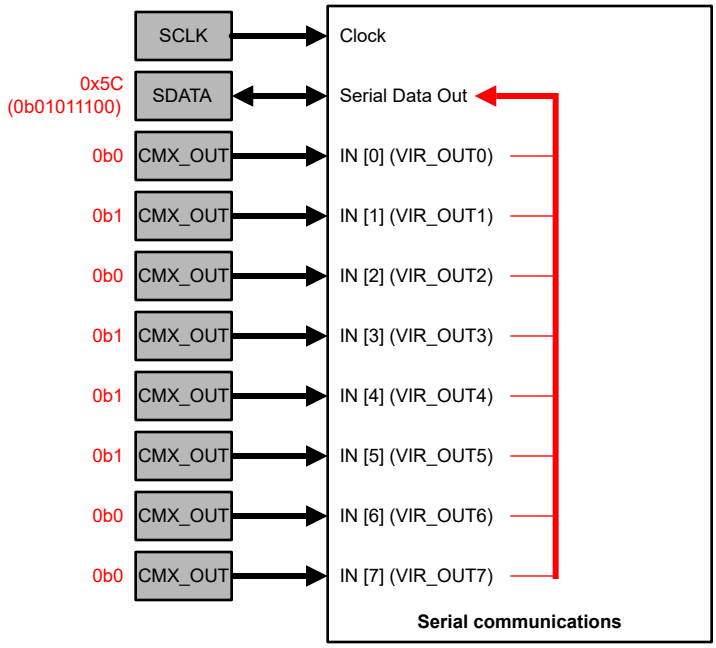


图 7-62. 并行到串行的串行通信方框图

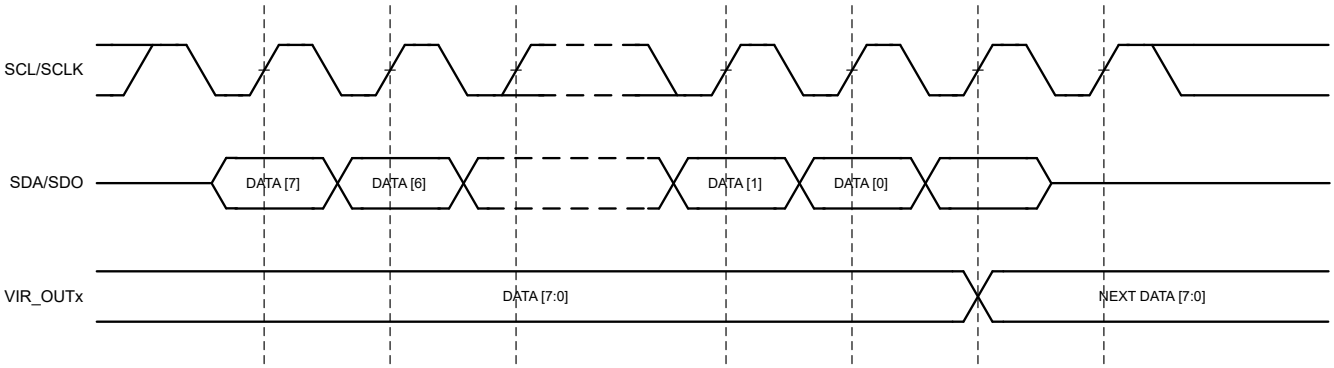


图 7-63. 并行到串行时序的串行通信示例

7.4 器件功能模式

7.4.1 上电复位

TPLD1202 具有一个上电复位 (POR) 序列，可提供正确的器件初始化，并使器件中的所有宏单元正常运行。POR 电路的目标是在 V_{CC} 电源电压上升，以及在断电期间 V_{CC} 下降时具有一致的行为和可预测的结果。为了实现这一目标，POR 驱动定义的内部事件序列，触发器件内部不同宏单元状态的更改，并最终触发 I/O 引脚状态的更改。

当器件上电复位序列完成后，POR 宏单元会输出一个逻辑高电平信号，以此指示器件启动已完成。要启动序列，所有输出均需处于高阻抗状态，芯片开始从 OTP 加载数据。为内部宏单元释放复位信号，所有寄存器初始化为已配置状态。图 7-64 展示了 POR 系统如何生成启用某些宏单元的信号序列。

Copyright © 2026 Texas Instruments Incorporated

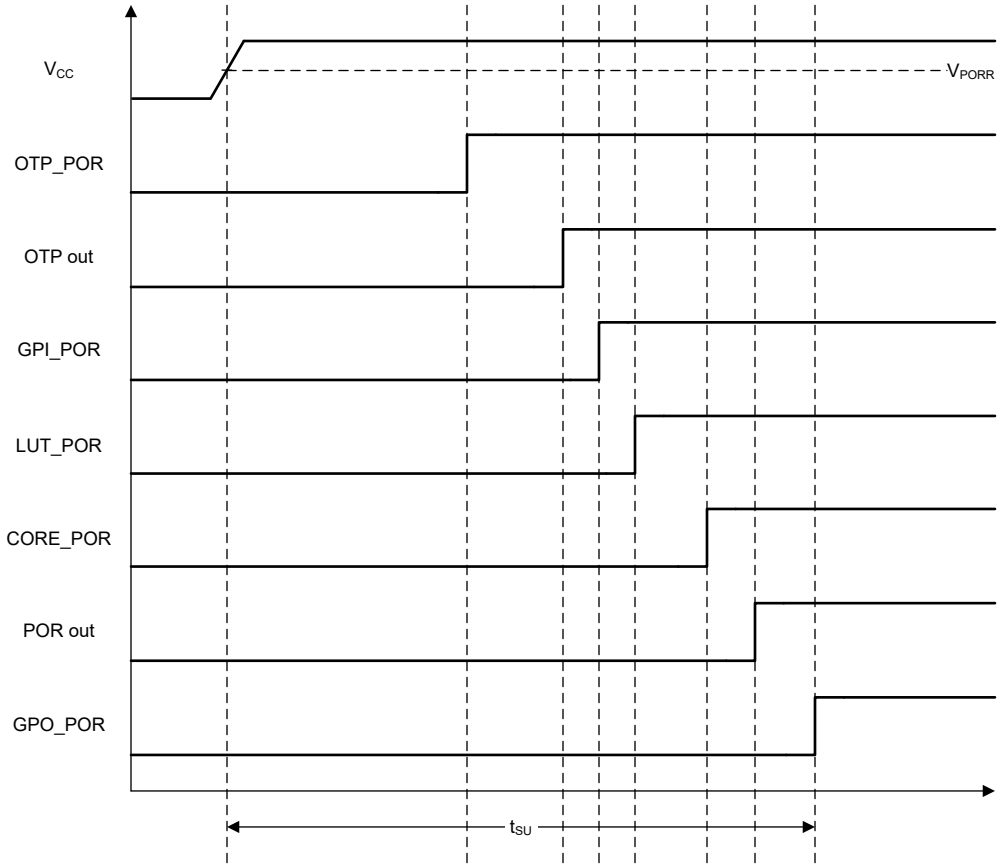


图 7-64. POR 序列

如图 7-64 所示，在 V_{CC} 开始上升并超过 V_{PORR} 阈值后（即 $V_{CC} > V_{PORR}$ 时），TPLD1202 中的宏单元上电并强制进入复位状态。所有输出均处于 Hi-Z 模式，器件按照以下顺序进行初始化：

- 首先，复位器件上的 RAM。
- 接下来，器件 (TPLD1202) 从 OTP 读取数据，并将该信息传输到用于配置每个宏单元的 RAM（寄存器）以及在宏单元之间路由信号的连接多路复用器。
- 第三级复位，然后启用输入引脚（GPIO 配置为输入）。
- 之后，LUT 复位并变为活动状态。在 LUT 之后，延迟单元、OSC、DFF、锁存器和管道延迟被初始化。
- 所有宏单元初始化后，内部 POR 信号（POR 宏单元输出）由低电平变为高电平。
- 器件最后初始化的部分是输出引脚（配置为输出的 GPIO），此时这些引脚从高阻抗转变为活动状态。

备注

V_{CC} 上升至时间 t_{SU} 期间，GPO 的输出电平无法预测。TI 建议仅在时间 t_{SU} 后读取输出状态。

GPIO 快速充电： 若启用该功能，在 POR 期间，将有一个 2kΩ 电阻连接在 GPIO 与 GND 之间，对 GPIO 进行预处理。

初始化：除非另有配置，否则所有内部宏单元默认都有一个初始低电平输出。在上电复位序列期间，针对内部宏单元释放复位信号，并根据以下序列进行初始化：

- 输入引脚、模拟比较器、上拉/下拉电阻器
- LUT
- DFF、延迟/计数器、管道延迟
- 矩阵的 POR 输出

Copyright © 2026 Texas Instruments Incorporated

- 输出引脚对应于内部逻辑

POR 信号变为高电平表明上述上电序列已完成。

7.4.2 电源控制模式

TPLD1202 可选择控制带隙电压和预偏置电压的电源模式。TI 建议将这些位保持为 000（自动上电/断电）；但是，如果不使用模拟宏单元（例如振荡器、模拟比较器），则可以使用这些设置，关闭带隙和预偏置电压，以进一步降低器件功耗。

表 7-31. 带隙电压功率控制模式

控制代码	位描述
00X	自动上电： • 振荡器 • 模拟比较器 • 电压基准 • 温度传感器 • 任何未使用“来自 CMX 的外部 CLK”的计数器/PWM 发生器/看门狗定时器/状态机
01X	强制 ON
1XX	强制 OFF

表 7-32. 预偏置电压功率控制模式

控制代码	位描述
000	自动上电： • 任何有效的串行通信事务
001	自动上电： • 任何图形发生器/DFF/移位寄存器 • 任何有效的串行通信事务
010	自动上电： • 任何计数器/PWM 发生器/看门狗计时器/状态机，包括使用“来自 CMX 的外部 CLK”的任意上述模块 • 任何有效的串行通信事务
011	强制 ON
100	自动上电： • 振荡器 • 任何有效的串行通信事务
101	自动上电： • 振荡器 • 任何图形发生器/DFF/移位寄存器 • 任何有效的串行通信事务
110	自动上电： • 任何图形发生器/DFF/移位寄存器 • 任何计数器/PWM 发生器/看门狗计时器/状态机，包括使用“来自 CMX 的外部 CLK”的任意上述模块 • 任何有效的串行通信事务
111	强制 OFF

Copyright © 2026 Texas Instruments Incorporated

7.4.3 保护特性

TPLD1202 具有一些保护功能，包括器件配置位的读取/写入保护和内部 OTP 上的 CRC 错误检测。

7.4.3.1 器件读取/写入锁定

TPLD1202 实现了锁定功能，可为安全应用实现器件读回保护，并防止意外或无意中写入 TPLD1202 寄存器。OTP 中有三个位允许用户定义通过串行通信接口读取和写入的规则：

- **配置寄存器 (CFG) 读取 (RD) 锁定**：如果设置了 CFG RD 锁定，则会阻止通过串行通信接口对配置寄存器执行的所有读取命令，并以 0 响应。
- **配置寄存器 (CFG) 写入 (WR) 锁定**：如果设置了 CFG WR 锁定，则会阻止通过串行通信接口对配置寄存器执行的所有写入命令。
- **用户寄存器 (USER) 锁定**：USER 锁定由两位组成，根据位设置情况，它会阻止通过串行通信接口向用户寄存器空间中的特定寄存器地址发送写入命令；任何修改请求都将被拒绝（即不会对配置寄存器进行任何更改）。

表 7-33. 用户寄存器锁定访问类型枚举

寄存器	锁定位						
	CFG RD 锁定 = 0b0 CFG WR 锁定 = 0b0 USER 锁定 = 0b00	CFG RD 锁定 = 0b0 CFG WR 锁定 = 0b0 USER 锁定 = 0b01	CFG RD 锁定 = 0b0 CFG WR 锁定 = 0b0 USER 锁定 = 0b10	CFG RD 锁定 = 0b0 CFG WR 锁定 = 0b0 USER 锁定 = 0b11	CFG RD 锁定 = 0b1 CFG WR 锁定 = 0b0 USER 锁定 = 0bXX	CFG RD 锁定 = 0b0 CFG WR 锁定 = 0b1 USER 锁定 = 0bXX	CFG RD 锁定 = 0b1 CFG WR 锁定 = 0b1 USER 锁定 = 0bXX
器件 ID (0x000 - 0x003)	R	R	R	R	R	R	R
对 ID 进行编程 (0x004 - 0x007)	R	R	R	R	R	R	R
计数器 COUNT (0x010 - 0x01F)	R	R	R	R	—	R	—
计数器 DATA (0x020 - 0x02F)	R/W	R/W	R	R	—	R/W	—
看门狗计时器 DATA (0x030 - 0x031)	R/W	R/W	R	R	—	R/W	—
看门狗计时器状态 (0x032)	R	R	R	R	—	R	—
图形发生器 (0x040 - 0x041)	R/W	R/W	R	R	—	R/W	—
状态机 (0x050 - 0x05F)	R/W	R	R/W	R	—	R/W	—
模拟比较器的电压基准选择 (0x070 - 0x07F)	R/W	R	R	R/W	—	R/W	—
虚拟输入 (0x0E0)	R/W	R/W	R/W	R/W	R/W	R/W	R/W
虚拟输出 (0x0E1)	R	R	R	R	R	R	R
CRC 状态 (0x0FE)	R	R	R	R	R	R	R

Copyright © 2026 Texas Instruments Incorporated

表 7-33. 用户寄存器锁定访问类型枚举（续）

寄存器	锁定位						
配置寄存器 (0x200 - 0x3FF)	R/W	R/W	R/W	R/W	W	R	—

通过串行通信接口进入器件的所有写入命令（根据保护位而未被阻止）都会更改镜像 OTP 位的配置寄存器内容。这些写入命令本身不会更改 OTP 位，并且 POR 事件会将寄存器位恢复为 OTP 的原始编程内容。

7.4.3.2 OTP 循环冗余校验 (CRC)

循环冗余校验 (CRC) 是对 OTP 区域执行错误检查并确保该存储器数据完整性的常用方法。OTP 用于配置 TPLD1202 的宏单元和连接多路复用器路由。可对 OTP 进行一次性编程，用于保存器件配置数据。OTP 存储器在器件上电期间加载并传输到 TPLD1202 连接多路复用器。

为确保在将存储的配置从 OTP 加载到器件寄存器之前 OTP 存储器的位完整性，作为安全措施，TPLD1202 为 OTP 采用循环冗余校验 (CRC) 功能，以确保存储在 OTP 中的数据不被损坏。启动时，将在内部读取 OTP 并检查有效 CRC。如果 CRC 无效，此流程将再总共执行 7 次。如果在第 8 次尝试后仍然无效，器件将继续从 OTP 加载内容，但会设置以下状态位：

CRC_ERR_CNT 位：

寄存器 0x0FEh [7:5] 中的 CRC_ERR_CNT 位指示在将 OTP 内容加载到器件的配置之前失败的 CRC 尝试次数。

CRC_ERR_FLAG 位：

寄存器 0x0FEh [0] 中的 CRC_ERR_FLAG 位指示将 OTP 内容加载到器件配置中时 CRC 计算失败次数超过 8 次。

7.4.4 编程

TPLD1202 可通过 I^2C 或 SPI 编程。

在 TPLD1202 器件的编程场景中，用户所做的配置选择作为位设置存储在 OTP 中，并且该信息在启动时传输到连接复用器寄存器，以启用宏单元的配置并用于设置连接多路复用器中的连接，以最适合用户应用的方式路由信号。

7.4.4.1 可选 I^2C/SPI 接口

在未编程的 TPLD1202 器件中，在器件上电时对接口选择引脚 (IO3) 进行采样，以确定 TPLD 在 t_{SU} (max) 之后用于启动的接口。

当该引脚连接到 GND（逻辑低电平）或保持悬空时，TPLD1202 将配置 I^2C 接口，目标地址的前四位由相应的硬件地址 IO 决定，接下来的三位默认为 001b，或 ADDR = [A6][A5][A4][A3][0][0][1]。

当该引脚连接到 VCC（逻辑高电平）时，TPLD1202 将配置 SPI。

在已编程器件（在其中已烧录 OTP）中，存储在 OTP 存储器中的选择将覆盖此设置。

I2C_EN	SPI_EN	接口已启用
0	0	器件未编程（空白）
0	1	SPI
1	0	I^2C
1	1	I2C 和 SPI 引脚都不是 GPIO

Copyright © 2026 Texas Instruments Incorporated

7.4.4.2 一次性可编程存储器 (OTP) 和编程过程

TPLD1202 包含一次性可编程 (OTP) 存储器位。这些存储器位在断电情况下保留设定的值，用于配置 TPLD 器件，并且最多可编程一次。发生 POR 事件后，TPLD1202 中所有配置寄存器的默认值都将从 OTP 加载。

临时设置配置寄存器的程序：

1. 使用所需的串行通信协议启动器件后，从寄存器 0x000 和 0x001 中读取 DEVICE_ID，以验证与器件的通信已建立
2. 然后：
   a. 对于 SPI，发送以下四个帧，各帧之间至少间隔 200µs：0x9000B9、0x90003E、0x9000AF、0x900058
   b. 对于 I^2C，在四个写入事务中，发送以下内容且事务之间至少间隔 500µs：
      i. 事务 1：BYTE0 = ADDR，BYTE1 = 0x01，BYTE2 = 0xB9
      ii. 事务 2：BYTE0 = ADDR，BYTE1 = 0x01，BYTE2 = 0x3E
      iii. 事务 3：BYTE0 = ADDR，BYTE1 = 0x01，BYTE2 = 0xAF
      iv. 事务 4：BYTE0 = ADDR，BYTE1 = 0x01，BYTE2 = 0x58
3. 发送最后一帧后，等待 1ms。
4. 通过从寄存器 0x400 读取 0x10 来验证已正确进入配置模式。
5. 将 0x02 写入寄存器 0x400。
6. 将配置位发送到 0x200 - 0x3FF。
7. 或者，在发送配置位后，可以使用读取命令来验证是否将正确的数据写入器件。
8. 然后：
   a. 对于 SPI，发送以下帧：0x90004B
   b. 对于 I^2C，发送以下写入事务：BYTE0 = ADDR，BYTE1 = 0x01，BYTE2 = 0x4B
9. 最后，将 0x00 写入寄存器 0x400 以使配置生效。
10. 器件现已完成临时配置。

备注

当在启用 I^2C 宏单元的情况下临时配置 TPLD 时，目标地址的前四位设置为 0000b，接下来的三位来自配置位，或 ADDR =[0][0][0][0][A2][A1][A0]。为了更改目标地址的前四位或 MSB，需要进行 OTP 烧录。

若要更改临时配置，TI 建议对器件进行下电上电，并重复该过程以临时设置配置寄存器。

烧录 OTP 的过程：

1. 如果已对器件进行临时配置，请对器件下电上电以清除配置寄存器，然后再继续操作。
2. 按照过程中的步骤 1 - 7 临时设置配置寄存器。
3. 将 V_{PP} 施加于 GPI 引脚。
4. 将 0x01 写入寄存器 0x401 以开始 OTP 编程。
5. 等待 t_{PP}，直到编程完成。
6. 从 GPI 引脚上移除 V_{pp}。
7. 器件 OTP 现在已完成烧录。

7.4.4.3 Intel 十六进制文件格式

InterConnect Studio 会产生 Intel 十六进制格式的配置位。可以解析 .hex 文件以提取数据流，进而配置 TPLD 器件。Intel 十六进制记录或文本行的结构如下所示。

Copyright © 2026 Texas Instruments Incorporated

表 7-34. 记录结构示例

:	10	0200	00	000102030405060708090A0B0C0D0E0F	76
起始代码	字节计数	地址	记录类型	数据	校验和

- **起始代码：**一个字符、一个 ASCII 冒号 (:)。
- **字节计数：**两个十六进制数字，用于指示数据字段中的字节数。
- **地址：**四个十六进制数字，用于表示第一个数据字节的起始地址偏移。
- **记录类型：**两个十六进制数字，定义数据字段的含义。虽然 Intel 十六进制有六种标准记录类型，但 .hex 文件生成中仅使用两种。
  - **十六进制代码 00：**指示数据记录类型；上面的示例记录结构会产生字节计数 0x10（16 字节），起始地址为 0x0200；以及数据（0x00、0x01、0x02、0x03、0x04、0x05、0x06、0x07、0x08、0x09、0x0A、0x0B、0x0C、0x0D、0x0E 和 0x0F）。
  - **十六进制代码 01：**表示文件结束记录类型；字节计数为 0x00，地址通常为 0x0000，并且省略数据字段。
- **数据：**包含数据的*字节计数*字节序列。
- **校验和：**两个十六进制数字，计算方式是对校验和之前的每个字节求和并计算总和最低有效字节的二进制补码。此值可用于验证记录是否不存在错误。

Copyright © 2026 Texas Instruments Incorporated

8 TPLD1202 寄存器

以下部分提供了可在 TPLD1202 中访问的寄存器。

备注

对器件的读取和写入是异步的；因此当前计数器数据可能在进行读取时发生变化，具体取决于计数器使用的时钟速度以及串行通信接口的速度。

备注

更新计数器数据时，TI 建议将计数器置于复位状态。如果计数器未处于复位状态，则在下一次复位之前对 CNT0 到 CNT5 的更新不会生效；而对 CNT6 到 CNT9 的更新将立即生效。

更新计数器数据后，需要两个时钟来重新初始化计数器。如果使用外部时钟选项，则应为计数器正常运行提供两个时钟。

Copyright © 2026 Texas Instruments Incorporated

8.1 TPLD1202_User 寄存器

表 8-1 列出了 TPLD1202_User 寄存器的存储器映射寄存器。表 8-1 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-1. TPLD1202_USER 寄存器

偏移	首字母缩写词	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0h	DEVICE_ID0	DEVICE_ID_MSB							
1h	DEVICE_ID1	DEVICE_ID_LSB							
2h	DEVICE_ID2	DEVICE_ID_RSVD							
3h	DEVICE_ID3	DEVICE_ID_REV							
4h	PROG_ID0	PROG_ID0							
5h	PROG_ID1	PROG_ID1							
6h	PROG_ID2	PROG_ID2							
7h	PROG_ID3	PROG_ID3							
10h	CNT0_COUNT	CNT0_COUNT							
11h	CNT1_COUNT	CNT1_COUNT							
12h	CNT2_COUNT	CNT2_COUNT							
13h	CNT3_COUNT	CNT3_COUNT							
14h	CNT4_COUNT	CNT4_COUNT							
15h	CNT5_COUNT	CNT5_COUNT							
16h	CNT6_COUNT	CNT6_COUNT							
17h	CNT7_COUNT	CNT7_COUNT							
18h	CNT8_COUNT	CNT8_COUNT							
19h	CNT9_COUNT	CNT9_COUNT							
20h	CNT0_DATA	CNT0_DATA							
21h	CNT1_DATA	CNT1_DATA							
22h	CNT2_DATA	CNT2_DATA							
23h	CNT3_DATA	CNT3_DATA							
24h	CNT4_DATA	CNT4_DATA							
25h	CNT5_DATA	CNT5_DATA							
26h	CNT6_DATA	CNT6_DATA							
27h	CNT7_DATA	CNT7_DATA							
28h	CNT8_DATA	CNT8_DATA							
29h	CNT9_DATA	CNT9_DATA							
30h	WDT_TIMEOUT_DATA	WATCHDOG_TIMEOUT_DATA							
31h	WDT_OUTPUT_DATA	WATCHDOG_OUTPUT_DATA							
32h	WDT_STATUS	RESERVED							WDT_STATUS
40h	PGEN_DATA_LSB	PGEN_DATA_LSB							
41h	PGEN_DATA_MSB	PGEN_DATA_MSB							
50h	STATE_MACHINE	RESERVED					CURRENT_STATE		
51h	STATE0_OUT	STATE0_OUT							
52h	STATE1_OUT	STATE1_OUT							
53h	STATE2_OUT	STATE2_OUT							
54h	STATE3_OUT	STATE3_OUT							
55h	STATE4_OUT	STATE4_OUT							
56h	STATE5_OUT	STATE5_OUT							
57h	STATE6_OUT	STATE6_OUT							
58h	STATE7_OUT	STATE7_OUT							
70h	VREF_McACMP0	RESERVED		VREF_McACMP0					
71h	VREF_McACMP1	RESERVED		VREF_McACMP1					
72h	VREF_McACMP2	RESERVED		VREF_McACMP2					
73h	VREF_McACMP3	RESERVED		VREF_McACMP3					
E0h	VIRTUAL_INPUT	VIRTUAL_IN							
E1h	VIRTUAL_OUTPUT	VIRTUAL_OUT							
FDh	SER_COMM_CFG	RESERVED							ADDR_INC

Copyright © 2026 Texas Instruments Incorporated

表 8-1. TPLD1202_USER 寄存器（续）

偏移	首字母缩写词	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
FEh	CRC_STATUS	ERR_CNT			RESERVED				ERR_FLAG
FFh	SER_COMM_WR_MASK	SER_COMM_WR_MASK							

复杂的位访问类型经过编码可适应小型表单元。表 8-2 展示了适用于此部分中访问类型的代码。

表 8-2. TPLD1202_User 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.1.1 DEVICE_ID0 寄存器（偏移 = 0h）[复位 = 12h]

DEVICE_ID0 如表 8-3 所示。

返回到汇总表。

表 8-3. DEVICE_ID0 寄存器字段说明

位	字段	类型	复位	说明
7:0	DEVICE_ID_MSB	R	12h	

8.1.2 DEVICE_ID1 寄存器（偏移 = 1h）[复位 = 02h]

DEVICE_ID1 如表 8-4 所示。

返回到汇总表。

表 8-4. DEVICE_ID1 寄存器字段说明

位	字段	类型	复位	说明
7:0	DEVICE_ID_LSB	R	2h	

8.1.3 DEVICE_ID2 寄存器（偏移 = 2h）[复位 = 00h]

DEVICE_ID2 如表 8-5 所示。

返回到汇总表。

表 8-5. DEVICE_ID2 寄存器字段说明

位	字段	类型	复位	说明
7:0	DEVICE_ID_RSVD	R	0h	

8.1.4 DEVICE_ID3 寄存器（偏移 = 3h）[复位 = 20h]

DEVICE_ID3 如表 8-6 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-6. DEVICE_ID3 寄存器字段说明

位	字段	类型	复位	说明
7:0	DEVICE_ID_REV	R	20h	

8.1.5 PROG_ID0 寄存器（偏移 = 4h）[复位 = X0h]

PROG_ID0 如表 8-7 所示。

返回到汇总表。

表 8-7. PROG_ID0 寄存器字段说明

位	字段	类型	复位	说明
7:0	PROG_ID0	R	Xh	

8.1.6 PROG_ID1 寄存器（偏移 = 5h）[复位 = X0h]

PROG_ID1 如表 8-8 所示。

返回到汇总表。

表 8-8. PROG_ID1 寄存器字段说明

位	字段	类型	复位	说明
7:0	PROG_ID1	R	Xh	

8.1.7 PROG_ID2 寄存器（偏移 = 6h）[复位 = X0h]

PROG_ID2 如表 8-9 所示。

返回到汇总表。

表 8-9. PROG_ID2 寄存器字段说明

位	字段	类型	复位	说明
7:0	PROG_ID2	R	Xh	

8.1.8 PROG_ID3 寄存器（偏移 = 7h）[复位 = X0h]

PROG_ID3 如表 8-10 所示。

返回到汇总表。

表 8-10. PROG_ID3 寄存器字段说明

位	字段	类型	复位	说明
7:0	PROG_ID3	R	Xh	

8.1.9 CNT0_COUNT 寄存器（偏移 = 10h）[复位 = X0h]

CNT0_COUNT 如表 8-11 所示。

返回到汇总表。

表 8-11. CNT0_COUNT 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT0_COUNT	R	Xh	

Copyright © 2026 Texas Instruments Incorporated

8.1.10 CNT1_COUNT 寄存器（偏移 = 11h）[复位 = X0h]

CNT1_COUNT 如表 8-12 所示。

返回到汇总表。

表 8-12. CNT1_COUNT 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT1_COUNT	R	Xh	

8.1.11 CNT2_COUNT 寄存器（偏移 = 12h）[复位 = X0h]

CNT2_COUNT 如表 8-13 所示。

返回到汇总表。

表 8-13. CNT2_COUNT 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT2_COUNT	R	Xh	

8.1.12 CNT3_COUNT 寄存器（偏移 = 13h）[复位 = X0h]

CNT3_COUNT 如表 8-14 所示。

返回到汇总表。

表 8-14. CNT3_COUNT 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT3_COUNT	R	Xh	

8.1.13 CNT4_COUNT 寄存器（偏移 = 14h）[复位 = X0h]

CNT4_COUNT 如表 8-15 所示。

返回到汇总表。

表 8-15. CNT4_COUNT 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT4_COUNT	R	Xh	

8.1.14 CNT5_COUNT 寄存器（偏移 = 15h）[复位 = X0h]

CNT5_COUNT 如表 8-16 所示。

返回到汇总表。

表 8-16. CNT5_COUNT 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT5_COUNT	R	Xh	

8.1.15 CNT6_COUNT 寄存器（偏移 = 16h）[复位 = X0h]

CNT6_COUNT 如表 8-17 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-17. CNT6_COUNT 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT6_COUNT	R	Xh	

8.1.16 CNT7_COUNT 寄存器（偏移 = 17h）[复位 = X0h]

CNT7_COUNT 如表 8-18 所示。

返回到汇总表。

表 8-18. CNT7_COUNT 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT7_COUNT	R	Xh	

8.1.17 CNT8_COUNT 寄存器（偏移 = 18h）[复位 = X0h]

CNT8_COUNT 如表 8-19 所示。

返回到汇总表。

表 8-19. CNT8_COUNT 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT8_COUNT	R	Xh	

8.1.18 CNT9_COUNT 寄存器（偏移 = 19h）[复位 = X0h]

CNT9_COUNT 如表 8-20 所示。

返回到汇总表。

表 8-20. CNT9_COUNT 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT9_COUNT	R	Xh	

8.1.19 CNT0_DATA 寄存器（偏移 = 20h）[复位 = X0h]

CNT0_DATA 如表 8-21 所示。

返回到汇总表。

表 8-21. CNT0_DATA 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT0_DATA	R/W	Xh	

8.1.20 CNT1_DATA 寄存器（偏移 = 21h）[复位 = X0h]

CNT1_DATA 如表 8-22 所示。

返回到汇总表。

表 8-22. CNT1_DATA 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT1_DATA	R/W	Xh	

Copyright © 2026 Texas Instruments Incorporated

8.1.21 CNT2_DATA 寄存器（偏移 = 22h）[复位 = X0h]

CNT2_DATA 如表 8-23 所示。

返回到汇总表。

表 8-23. CNT2_DATA 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT2_DATA	R/W	Xh	

8.1.22 CNT3_DATA 寄存器（偏移 = 23h）[复位 = X0h]

CNT3_DATA 如表 8-24 所示。

返回到汇总表。

表 8-24. CNT3_DATA 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT3_DATA	R/W	Xh	

8.1.23 CNT4_DATA 寄存器（偏移 = 24h）[复位 = X0h]

CNT4_DATA 如表 8-25 所示。

返回到汇总表。

表 8-25. CNT4_DATA 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT4_DATA	R/W	Xh	

8.1.24 CNT5_DATA 寄存器（偏移 = 25h）[复位 = X0h]

CNT5_DATA 如表 8-26 所示。

返回到汇总表。

表 8-26. CNT5_DATA 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT5_DATA	R/W	Xh	

8.1.25 CNT6_DATA 寄存器（偏移 = 26h）[复位 = X0h]

CNT6_DATA 如表 8-27 所示。

返回到汇总表。

表 8-27. CNT6_DATA 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT6_DATA	R/W	Xh	

8.1.26 CNT7_DATA 寄存器（偏移 = 27h）[复位 = X0h]

CNT7_DATA 如表 8-28 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-28. CNT7_DATA 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT7_DATA	R/W	Xh	

8.1.27 CNT8_DATA 寄存器（偏移 = 28h）[复位 = X0h]

CNT8_DATA 如表 8-29 所示。

返回到汇总表。

表 8-29. CNT8_DATA 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT8_DATA	R/W	Xh	

8.1.28 CNT9_DATA 寄存器（偏移 = 29h）[复位 = X0h]

CNT9_DATA 如表 8-30 所示。

返回到汇总表。

表 8-30. CNT9_DATA 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT9_DATA	R/W	Xh	

8.1.29 WDT_TIMEOUT_DATA 寄存器（偏移 = 30h）[复位 = X0h]

WDT_TIMEOUT_DATA 如表 8-31 所示。

返回到汇总表。

表 8-31. WDT_TIMEOUT_DATA 寄存器字段说明

位	字段	类型	复位	说明
7:0	WATCHDOG_TIMEOUT_DATA	R/W	Xh	

8.1.30 WDT_OUTPUT_DATA 寄存器（偏移 = 31h）[复位 = X0h]

WDT_OUTPUT_DATA 如表 8-32 所示。

返回到汇总表。

表 8-32. WDT_OUTPUT_DATA 寄存器字段说明

位	字段	类型	复位	说明
7:0	WATCHDOG_OUTPUT_DATA	R/W	Xh	

8.1.31 WDT_STATUS 寄存器（偏移 = 32h）[复位 = X0h]

WDT_STATUS 如表 8-33 所示。

返回到汇总表。

表 8-33. WDT_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R	0h	保留
0	WDT_STATUS	R/W	Xh	看门狗故障输出

Copyright © 2026 Texas Instruments Incorporated

8.1.32 PGEN_DATA_LSB 寄存器（偏移 = 40h）[复位 = X0h]

PGEN_DATA_LSB 如表 8-34 所示。

返回到汇总表。

表 8-34. PGEN_DATA_LSB 寄存器字段说明

位	字段	类型	复位	说明
7:0	PGEN_DATA_LSB	R/W	Xh	

8.1.33 PGEN_DATA_MSB 寄存器（偏移 = 41h）[复位 = X0h]

PGEN_DATA_MSB 如表 8-35 所示。

返回到汇总表。

表 8-35. PGEN_DATA_MSB 寄存器字段说明

位	字段	类型	复位	说明
7:0	PGEN_DATA_MSB	R/W	Xh	

8.1.34 STATE_MACHINE 寄存器（偏移 =50h）[复位 = X0h]

STATE_MACHINE 如表 8-36 所示。

返回到汇总表。

表 8-36. STATE_MACHINE 寄存器字段说明

位	字段	类型	复位	说明
7:3	RESERVED	R	0h	保留
2:0	CURRENT_STATE	R	Xh	

8.1.35 STATE0_OUT 寄存器（偏移 = 51h）[复位 = X0h]

STATE0_OUT 如表 8-37 所示。

返回到汇总表。

表 8-37. STATE0_OUT 寄存器字段说明

位	字段	类型	复位	说明
7:0	STATE0_OUT	R/W	Xh	

8.1.36 STATE1_OUT 寄存器（偏移 = 52h）[复位 = X0h]

STATE1_OUT 如表 8-38 所示。

返回到汇总表。

表 8-38. STATE1_OUT 寄存器字段说明

位	字段	类型	复位	说明
7:0	STATE1_OUT	R/W	Xh	

8.1.37 STATE2_OUT 寄存器（偏移 = 53h）[复位 = X0h]

STATE2_OUT 如表 8-39 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-39. STATE2_OUT 寄存器字段说明

位	字段	类型	复位	说明
7:0	STATE2_OUT	R/W	Xh	

8.1.38 STATE3_OUT 寄存器（偏移 = 54h）[复位 = X0h]

STATE3_OUT 如表 8-40 所示。

返回到汇总表。

表 8-40. STATE3_OUT 寄存器字段说明

位	字段	类型	复位	说明
7:0	STATE3_OUT	R/W	Xh	

8.1.39 STATE4_OUT 寄存器（偏移 = 55h）[复位 = X0h]

STATE4_OUT 如表 8-41 所示。

返回到汇总表。

表 8-41. STATE4_OUT 寄存器字段说明

位	字段	类型	复位	说明
7:0	STATE4_OUT	R/W	Xh	

8.1.40 STATE5_OUT 寄存器（偏移 = 56h）[复位 = X0h]

STATE5_OUT 如表 8-42 所示。

返回到汇总表。

表 8-42. STATE5_OUT 寄存器字段说明

位	字段	类型	复位	说明
7:0	STATE5_OUT	R/W	Xh	

8.1.41 STATE6_OUT 寄存器（偏移 = 57h）[复位 = X0h]

STATE6_OUT 如表 8-43 所示。

返回到汇总表。

表 8-43. STATE6_OUT 寄存器字段说明

位	字段	类型	复位	说明
7:0	STATE6_OUT	R/W	Xh	

8.1.42 STATE7_OUT 寄存器（偏移 = 58h）[复位 = X0h]

STATE7_OUT 如表 8-44 所示。

返回到汇总表。

表 8-44. STATE7_OUT 寄存器字段说明

位	字段	类型	复位	说明
7:0	STATE7_OUT	R/W	Xh	

Copyright © 2026 Texas Instruments Incorporated

8.1.43 VREF_McACMP0 寄存器（偏移 = 70h）[复位 = X0h]

VREF_McACMP0 如表 8-45 所示。

返回到汇总表。

表 8-45. VREF_McACMP0 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	VREF_McACMP0	R/W	Xh	

8.1.44 VREF_McACMP1 寄存器（偏移 = 71h）[复位 = X0h]

VREF_McACMP1 如表 8-46 所示。

返回到汇总表。

表 8-46. VREF_McACMP1 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	VREF_McACMP1	R/W	Xh	

8.1.45 VREF_McACMP2 寄存器（偏移 = 72h）[复位 = X0h]

VREF_McACMP2 如表 8-47 所示。

返回到汇总表。

表 8-47. VREF_McACMP2 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	VREF_McACMP2	R/W	Xh	

8.1.46 VREF_McACMP3 寄存器（偏移 = 73h）[复位 = X0h]

VREF_McACMP3 如表 8-48 所示。

返回到汇总表。

表 8-48. VREF_McACMP3 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	VREF_McACMP3	R/W	Xh	

8.1.47 VIRTUAL_INPUT 寄存器（偏移 = E0h）[复位 = X0h]

VIRTUAL_INPUT 如表 8-49 所示。

返回到汇总表。

表 8-49. VIRTUAL_INPUT 寄存器字段说明

位	字段	类型	复位	说明
7:0	VIRTUAL_IN	R/W	Xh	

Copyright © 2026 Texas Instruments Incorporated

8.1.48 VIRTUAL_OUTPUT 寄存器（偏移 = E1h）[复位 = X0h]

VIRTUAL_OUTPUT 如表 8-50 所示。

返回到汇总表。

表 8-50. VIRTUAL_OUTPUT 寄存器字段说明

位	字段	类型	复位	说明
7:0	VIRTUAL_OUT	R	Xh	

8.1.49 SER_COMM_CFG 寄存器（偏移 = FDh）[复位 = X0h]

SER_COMM_CFG 如表 8-51 所示。

返回到汇总表。

表 8-51. SER_COMM_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R	0h	保留
0	ADDR_INC	R/W	Xh	地址自动递增禁用选择 0h = 启用 1h = 禁用

8.1.50 CRC_STATUS 寄存器（偏移 = FEh）[复位 = X0h]

表 8-52 中显示了 CRC_STATUS。

返回到汇总表。

表 8-52. CRC_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7:5	ERR_CNT	R	0h	
4:1	RESERVED	R	0h	保留
0	ERR_FLAG	R/W	Xh	

8.1.51 SER_COMM_WR_MASK 寄存器（偏移 = FFh）[复位 = X0h]

SER_COMM_WR_MASK 如表 8-53 所示。

返回到汇总表。

表 8-53. SER_COMM_WR_MASK 寄存器字段说明

位	字段	类型	复位	说明
7:0	SER_COMM_WR_MASK	R/W	Xh	

Copyright © 2026 Texas Instruments Incorporated

8.2 TPLD1202_Cfg_0 寄存器

表 8-54 列出了 TPLD1202_Cfg_0 寄存器的存储器映射寄存器。表 8-54 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-54. TPLD1202_CFG_0 寄存器

偏移	首字母缩写词	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
200h	CMX_0	RESERVED		IO1_DOUT_CMX					
201h	CMX_1	RESERVED		IO2_DOUT_CMX					
202h	CMX_2	RESERVED		IO3_DOUT_CMX					
203h	CMX_3	RESERVED		IO3_OE_CMX					
204h	CMX_4	RESERVED		IO4_DOUT_CMX					
205h	CMX_5	RESERVED		IO4_OE_CMX					
206h	CMX_6	RESERVED		IO5_DOUT_CMX					
207h	CMX_7	RESERVED		IO6_DOUT_CMX					
208h	CMX_8	RESERVED		IO7_DOUT_CMX					
209h	CMX_9	RESERVED		IO8_DOUT_CMX					
20Ah	CMX_10	RESERVED		IO8_OE_CMX					
20Bh	CMX_11	RESERVED		IO9_DOUT_CMX					
20Ch	CMX_12	RESERVED		IO9_OE_CMX					
20Dh	CMX_13	RESERVED		LUT2_0_IN0_/_DFF_CLK_IN_CMX					
20Eh	CMX_14	RESERVED		LUT2_0_IN1_/_DFF_D_IN_CMX					
20Fh	CMX_15	RESERVED		LUT2_1_IN0_/_DFF_CLK_IN_CMX					
210h	CMX_16	RESERVED		LUT2_1_IN1_/_DFF_D_IN_CMX					
211h	CMX_17	RESERVED		LUT2_2_IN0_/_PGEN_CLK_IN_CMX					
212h	CMX_18	RESERVED		LUT2_2_IN1_/_PGEN_RST_IN_CMX					
213h	CMX_19	RESERVED		LUT3_0_IN0_/_DFF_CLK_IN_CMX					
214h	CMX_20	RESERVED		LUT3_0_IN1_/_DFF_D_IN_CMX					
215h	CMX_21	RESERVED		LUT3_0_IN2_/_DFF_RST_IN_CMX					
216h	CMX_22	RESERVED		LUT3_1_IN0_/_DFF_CLK_IN_CMX					
217h	CMX_23	RESERVED		LUT3_1_IN1_/_DFF_D_IN_CMX					
218h	CMX_24	RESERVED		LUT3_1_IN2_/_DFF_RST_IN_CMX					
219h	CMX_25	RESERVED		LUT3_2_IN0_/_DFF_CLK_IN_CMX					
21Ah	CMX_26	RESERVED		LUT3_2_IN1_/_DFF_D_IN_CMX					
21Bh	CMX_27	RESERVED		LUT3_2_IN2_/_DFF_RST_IN_CMX					
21Ch	CMX_28	RESERVED		LUT3_3_IN0_/_DFF_CLK_IN_CMX					
21Dh	CMX_29	RESERVED		LUT3_3_IN1_/_DFF_D_IN_CMX					
21Eh	CMX_30	RESERVED		LUT3_3_IN2_/_DFF_RST_IN_CMX					
21Fh	CMX_31	RESERVED		LUT3_4_IN0_/_DFF/SR_CLK_IN_CMX					
220h	CMX_32	RESERVED		LUT3_4_IN1_/_DFF/SR_D_IN_CMX					
221h	CMX_33	RESERVED		LUT3_4_IN2_/_DFF/SR_RST_IN_CMX					
222h	CMX_34	RESERVED		LUT3_5_IN0_/_DFF/SR_CLK_IN_CMX					
223h	CMX_35	RESERVED		LUT3_5_IN1_/_DFF/SR_D_IN_CMX					
224h	CMX_36	RESERVED		LUT3_5_IN2_/_DFF/SR_RST_IN_CMX					
225h	CMX_37	RESERVED		LUT3_6_IN0_/_DFF/SR_CLK_IN_CMX					
226h	CMX_38	RESERVED		LUT3_6_IN1_/_DFF/SR_D_IN_CMX					
227h	CMX_39	RESERVED		LUT3_6_IN2_/_DFF/SR_RST_IN_CMX					
228h	CMX_40	RESERVED		LUT3_7_IN0_/_DFF/SR_CLK_IN_CMX					
229h	CMX_41	RESERVED		LUT3_7_IN1_/_DFF/SR_D_IN_CMX					
22Ah	CMX_42	RESERVED		LUT3_7_IN2_/_DFF/SR_RST_IN_CMX					
22Bh	CMX_43	RESERVED		LUT3_8_IN0_/_DFF_CLK_IN_OR_LDC_IN0_CMX					
22Ch	CMX_44	RESERVED		LUT3_8_IN1_/_DFF_D_IN_OR_LDC_IN1_CMX					
22Dh	CMX_45	RESERVED		LUT3_8_IN2_/_DFF_RST_IN_OR_LDC_IN2_CMX					
22Eh	CMX_46	RESERVED		LUT3_9_IN0_/_DFF_CLK_IN_OR_LDC_IN0_CMX					
22Fh	CMX_47	RESERVED		LUT3_9_IN1_/_DFF_D_IN_OR_LDC_IN1_CMX					
230h	CMX_48	RESERVED		LUT3_9_IN2_/_DFF_RST_IN_OR_LDC_IN2_CMX					

Copyright © 2026 Texas Instruments Incorporated

表 8-54. TPLD1202_CFG_0 寄存器（续）

偏移	首字母缩写词	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
231h	CMX_49	RESERVED		LUT3_10_IN0_/_DFF_CLK_IN_OR_LDC_IN0_CMX					
232h	CMX_50	RESERVED		LUT3_10_IN1_/_DFF_D_IN_OR_LDC_IN1_CMX					
233h	CMX_51	RESERVED		LUT3_10_IN2_/_DFF_RST_IN_OR_LDC_IN2_CMX					
234h	CMX_52	RESERVED		LUT3_11_IN0_/_DFF_CLK_IN_OR_LDC_IN0_CMX					
235h	CMX_53	RESERVED		LUT3_11_IN1_/_DFF_D_IN_OR_LDC_IN1_CMX					
236h	CMX_54	RESERVED		LUT3_11_IN2_/_DFF_RST_IN_OR_LDC_IN2_CMX					
237h	CMX_55	RESERVED		LUT3_12_IN0_/_DFF_CLK_IN_OR_LDC_IN0_CMX					
238h	CMX_56	RESERVED		LUT3_12_IN1_/_DFF_D_IN_OR_LDC_IN1_CMX					
239h	CMX_57	RESERVED		LUT3_12_IN2_/_DFF_RST_IN_OR_LDC_IN2_CMX					
23Ah	CMX_58	RESERVED		LUT3_13_IN0_/_DFF_CLK_IN_OR_LDC_IN0_CMX					
23Bh	CMX_59	RESERVED		LUT3_13_IN1_/_DFF_D_IN_OR_LDC_IN1_CMX					
23Ch	CMX_60	RESERVED		LUT3_13_IN2_/_DFF_RST_IN_OR_LDC_IN2_CMX					
23Dh	CMX_61	RESERVED		LUT4_0_IN0_/_DFF_CLK_IN_CMX					
23Eh	CMX_62	RESERVED		LUT4_0_IN1_/_DFF_D_IN_CMX					
23Fh	CMX_63	RESERVED		LUT4_0_IN2_/_RST_IN_CMX					
240h	CMX_64	RESERVED		LUT4_0_IN3__CMX					
241h	CMX_65	RESERVED		PFLT_IN_CMX					
242h	CMX_66	RESERVED		FLT/EDET_IN_CMX					
243h	CMX_67	RESERVED		SM_ST0_EN0_CMX					
244h	CMX_68	RESERVED		SM_ST0_EN1_CMX					
245h	CMX_69	RESERVED		SM_ST1_EN0_CMX					
246h	CMX_70	RESERVED		SM_ST1_EN1_CMX					
247h	CMX_71	RESERVED		SM_ST2_EN0_CMX					
248h	CMX_72	RESERVED		SM_ST2_EN1_CMX					
249h	CMX_73	RESERVED		SM_ST3_EN0_CMX					
24Ah	CMX_74	RESERVED		SM_ST3_EN1_CMX					
24Bh	CMX_75	RESERVED		SM_ST4_EN0_/_PWM_GEN3_PUP_CMX					
24Ch	CMX_76	RESERVED		SM_ST4_EN1_CMX					
24Dh	CMX_77	RESERVED		SM_ST5_EN0_/_PWM_GEN2_PUP_CMX					
24Eh	CMX_78	RESERVED		SM_ST5_EN1_CMX					
24Fh	CMX_79	RESERVED		SM_ST6_EN0_/_PWM_GEN1_PUP_CMX					
250h	CMX_80	RESERVED		SM_ST6_EN1_CMX					
251h	CMX_81	RESERVED		SM_ST7_EN0_/_PWM_GEN0_PUP_CMX					
252h	CMX_82	RESERVED		SM_ST7_EN1_CMX					
253h	CMX_83	RESERVED		SM_CLK_IN_CMX					
254h	CMX_84	RESERVED		SM_RST_IN_CMX					
255h	CMX_85	RESERVED		McACMP_ENABLE_CMX					
256h	CMX_86	RESERVED		McACMP_RST_CMX					
257h	CMX_87	RESERVED		OSC0_PWR_DOWN_CMX					
258h	CMX_88	RESERVED		OSC1_PWR_DOWN_CMX					
259h	CMX_89	RESERVED		CNT6/FSM_IN_CMX					
25Ah	CMX_90	RESERVED		CNT6/FSM_UP_CMX					
25Bh	CMX_91	RESERVED		CNT6/FSM_KEEP_CMX					
25Ch	CMX_92	RESERVED		CNT6/FSM_CLK_IN_CMX					
25Dh	CMX_93	RESERVED		CNT7/FSM_IN_CMX					
25Eh	CMX_94	RESERVED		CNT7/FSM_UP_CMX					
25Fh	CMX_95	RESERVED		CNT7/FSM_KEEP_CMX					
260h	CMX_96	RESERVED		CNT7/FSM_CLK_IN_CMX					
261h	CMX_97	RESERVED		CNT8/FSM_IN_CMX					
262h	CMX_98	RESERVED		CNT8/FSM_UP_CMX					
263h	CMX_99	RESERVED		CNT8/FSM_KEEP_CMX					
264h	CMX_100	RESERVED		CNT8/FSM_CLK_IN_CMX					
265h	CMX_101	RESERVED		CNT9/FSM_IN_/_WDT_IN_CMX					
266h	CMX_102	RESERVED		CNT9/FSM_UP_/_WDT_EN_CMX					

Copyright © 2026 Texas Instruments Incorporated

表 8-54. TPLD1202_CFG_0 寄存器（续）

偏移	首字母缩写词	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
267h	CMX_103	RESERVED		CNT9/FSM_KEEP_CMX					
268h	CMX_104	RESERVED		CNT9/FSM_CLK_IN_CMX					
269h	CMX_105	RESERVED		VIRTUAL_OUT0_CMX					
26Ah	CMX_106	RESERVED		VIRTUAL_OUT1_CMX					
26Bh	CMX_107	RESERVED		VIRTUAL_OUT2_CMX					
26Ch	CMX_108	RESERVED		VIRTUAL_OUT3_CMX					
26Dh	CMX_109	RESERVED		VIRTUAL_OUT4_CMX					
26Eh	CMX_110	RESERVED		VIRTUAL_OUT5_CMX					
26Fh	CMX_111	RESERVED		VIRTUAL_OUT6_CMX					
270h	CMX_112	RESERVED		VIRTUAL_OUT7_CMX					

复杂的位访问类型经过编码可适应小型表单元。表 8-55 展示了适用于此部分中访问类型的代码。

表 8-55. TPLD1202_Cfg_0 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.2.1 CMX_0 寄存器（偏移 = 200h）[复位 = X0h]

CMX_0 如表 8-56 所示。

返回到汇总表。

表 8-56. CMX_0 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留

Copyright © 2026 Texas Instruments Incorporated

表 8-56. CMX_0 寄存器字段说明（续）

位	字段	类型	复位	说明
5:0	IO1_DOUT_CMX	R/W	Xh	0h = GND 1h = IN0 DIN 2h = IO1 / V_IN0 DIN 3h = IO2 / V_IN1 DIN 4h = IO3 / V_IN2 DIN 5h = IO4 / V_IN3 DIN 6h = IO5 / V_IN4 DIN 7h = IO6 / V_IN5 DIN 8h = IO7 / V_IN6 DIN 9h = IO8 DIN Ah = IO9 / V_IN7 DIN Bh = LUT2_0 OUT Ch = LUT2_1 OUT Dh = LUT2_2 OUT Eh = LUT3_0 OUT Fh = LUT3_1 OUT 10h = LUT3_2 OUT 11h = LUT3_3 OUT 12h = LUT3_4 OUT 13h = LUT3_5 OUT 14h = LUT3_6 OUT 15h = LUT3_7 OUT 16h = LUT3_8 / LDC OUT 17h = LUT3_9 / LDC OUT 18h = LUT3_10 / LDC OUT 19h = LUT3_11 / LDC OUT 1Ah = LUT3_12 / LDC OUT 1Bh = LUT3_13 / LDC OUT 1Ch = LUT4_0 OUT 1Dh = PFLT OUT 1Eh = FLT / EDET OUT 1Fh = SM OUT0 / PWM GEN3 OUTP 20h = SM OUT1 / PWM GEN3 OUTN 21h = SM OUT2 / PWM GEN2 OUTP 22h = SM OUT3 / PWM GEN2 OUTN 23h = SM OUT4 / PWM GEN1 OUTP 24h = SM OUT5 / PWM GEN1 OUTN 25h = SM OUT6 / PWM GEN0 OUTP 26h = SM OUT7 / PWM GEN0 OUTN 27h = McACMP OUT0 28h = McACMP OUT1 29h = McACMP OUT2 2Ah = McACMP OUT3 2Bh = McACMP DATA RDY 2Ch = OSC0 OUT0 2Dh = OSC0 OUT1 2Eh = OSC1 OUT 2Fh = CNT6 OUT 30h = CNT7 OUT 31h = CNT8 OUT 32h = CNT9 OUT / WDT OUT 33h = POR OUT 34h = 保留 35h = 保留 36h = 保留 37h = 保留 38h = 保留 39h = 保留 3Ah = 保留 3Bh = 保留 3Ch = 保留 3Dh = 保留 3Eh = 保留 3Fh = VCC

8.2.2 CMX_1 寄存器（偏移 = 201h）[复位 = X0h]

CMX_1 如表 8-57 所示。

返回到汇总表。

表 8-57. CMX_1 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	IO2_DOUT_CMX	R/W	Xh	与 CMX_0 相同的选项

Copyright © 2026 Texas Instruments Incorporated

8.2.3 CMX_2 寄存器（偏移 = 202h）[复位 = X0h]

CMX_2 如表 8-58 所示。

返回到汇总表。

表 8-58. CMX_2 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	IO3_DOUT_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.4 CMX_3 寄存器（偏移 = 203h）[复位 = X0h]

CMX_3 如表 8-59 所示。

返回到汇总表。

表 8-59. CMX_3 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	IO3_OE_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.5 CMX_4 寄存器（偏移 = 204h）[复位 = X0h]

CMX_4 如表 8-60 所示。

返回到汇总表。

表 8-60. CMX_4 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	IO4_DOUT_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.6 CMX_5 寄存器（偏移 = 205h）[复位 = X0h]

CMX_5 如表 8-61 所示。

返回到汇总表。

表 8-61. CMX_5 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	IO4_OE_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.7 CMX_6 寄存器（偏移 = 206h）[复位 = X0h]

CMX_6 如表 8-62 所示。

返回到汇总表。

表 8-62. CMX_6 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	IO5_DOUT_CMX	R/W	Xh	与 CMX_0 相同的选项

Copyright © 2026 Texas Instruments Incorporated

8.2.8 CMX_7 寄存器（偏移 = 207h）[复位 = X0h]

CMX_7 如表 8-63 所示。

返回到汇总表。

表 8-63. CMX_7 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	IO6_DOUT_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.9 CMX_8 寄存器（偏移 = 208h）[复位 = X0h]

CMX_8 如表 8-64 所示。

返回到汇总表。

表 8-64. CMX_8 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	IO7_DOUT_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.10 CMX_9 寄存器（偏移 = 209h）[复位 = X0h]

CMX_9 如表 8-65 所示。

返回到汇总表。

表 8-65. CMX_9 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	IO8_DOUT_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.11 CMX_10 寄存器（偏移 = 20Ah）[复位 = X0h]

CMX_10 如表 8-66 所示。

返回到汇总表。

表 8-66. CMX_10 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	IO8_OE_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.12 CMX_11 寄存器（偏移 = 20Bh）[复位 = X0h]

CMX_11 如表 8-67 所示。

返回到汇总表。

表 8-67. CMX_11 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	IO9_DOUT_CMX	R/W	Xh	与 CMX_0 相同的选项

Copyright © 2026 Texas Instruments Incorporated

8.2.13 CMX_12 寄存器（偏移 = 20Ch）[复位 = X0h]

CMX_12 如表 8-68 所示。

返回到汇总表。

表 8-68. CMX_12 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	IO9_OE_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.14 CMX_13 寄存器（偏移 = 20Dh）[复位 = X0h]

CMX_13 如表 8-69 所示。

返回到汇总表。

表 8-69. CMX_13 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT2_0_IN0_/_DFF_CLK_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.15 CMX_14 寄存器（偏移 = 20Eh）[复位 = X0h]

CMX_14 如表 8-70 所示。

返回到汇总表。

表 8-70. CMX_14 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT2_0_IN1_/_DFF_D_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.16 CMX_15 寄存器（偏移 = 20Fh）[复位 = X0h]

CMX_15 如表 8-71 所示。

返回到汇总表。

表 8-71. CMX_15 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT2_1_IN0_/_DFF_CLK_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.17 CMX_16 寄存器（偏移 = 210h）[复位 = X0h]

CMX_16 如表 8-72 所示。

返回到汇总表。

表 8-72. CMX_16 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT2_1_IN1_/_DFF_D_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

Copyright © 2026 Texas Instruments Incorporated

8.2.18 CMX_17 寄存器（偏移 = 211h）[复位 = X0h]

CMX_17 如表 8-73 所示。

返回到汇总表。

表 8-73. CMX_17 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT2_2_IN0_/ _PGEN_CLK_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.19 CMX_18 寄存器（偏移 = 212h）[复位 = X0h]

CMX_18 如表 8-74 所示。

返回到汇总表。

表 8-74. CMX_18 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT2_2_IN1_/ _PGEN_RST_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.20 CMX_19 寄存器（偏移 = 213h）[复位 = X0h]

CMX_19 如表 8-75 所示。

返回到汇总表。

表 8-75. CMX_19 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_0_IN0_/_DFF_CLK_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.21 CMX_20 寄存器（偏移 = 214h）[复位 = X0h]

CMX_20 如表 8-76 所示。

返回到汇总表。

表 8-76. CMX_20 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_0_IN1_/_DFF_D_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.22 CMX_21 寄存器（偏移 = 215h）[复位 = X0h]

CMX_21 如表 8-77 所示。

返回到汇总表。

表 8-77. CMX_21 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_0_IN2_/_DFF_RST_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

Copyright © 2026 Texas Instruments Incorporated

8.2.23 CMX_22 寄存器（偏移 = 216h）[复位 = X0h]

CMX_22 如表 8-78 所示。

返回到汇总表。

表 8-78. CMX_22 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_1_IN0_/_DFF_CLK_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.24 CMX_23 寄存器（偏移 = 217h）[复位 = X0h]

CMX_23 如表 8-79 所示。

返回到汇总表。

表 8-79. CMX_23 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_1_IN1_/_DFF_D_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.25 CMX_24 寄存器（偏移 = 218h）[复位 = X0h]

CMX_24 如表 8-80 所示。

返回到汇总表。

表 8-80. CMX_24 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_1_IN2_/_DFF_RST_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.26 CMX_25 寄存器（偏移 = 219h）[复位 = X0h]

CMX_25 如表 8-81 所示。

返回到汇总表。

表 8-81. CMX_25 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_2_IN0_/_DFF_CLK_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.27 CMX_26 寄存器（偏移 = 21Ah）[复位 = X0h]

CMX_26 如表 8-82 所示。

返回到汇总表。

表 8-82. CMX_26 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_2_IN1_/_DFF_D_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

Copyright © 2026 Texas Instruments Incorporated

8.2.28 CMX_27 寄存器（偏移 = 21Bh）[复位 = X0h]

CMX_27 如表 8-83 所示。

返回到汇总表。

表 8-83. CMX_27 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_2_IN2_/_DFF_RST_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.29 CMX_28 寄存器（偏移 = 21Ch）[复位 = X0h]

CMX_28 如表 8-84 所示。

返回到汇总表。

表 8-84. CMX_28 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_3_IN0_/_DFF_CLK_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.30 CMX_29 寄存器（偏移 = 21Dh）[复位 = X0h]

CMX_29 如表 8-85 所示。

返回到汇总表。

表 8-85. CMX_29 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_3_IN1_/_DFF_D_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.31 CMX_30 寄存器（偏移 = 21Eh）[复位 = X0h]

CMX_30 如表 8-86 所示。

返回到汇总表。

表 8-86. CMX_30 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_3_IN2_/_DFF_RST_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.32 CMX_31 寄存器（偏移 = 21Fh）[复位 = X0h]

CMX_31 如表 8-87 所示。

返回到汇总表。

表 8-87. CMX_31 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_4_IN0_/_DFF/ SR_CLK_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

Copyright © 2026 Texas Instruments Incorporated

8.2.33 CMX_32 寄存器（偏移 = 220h）[复位 = X0h]

CMX_32 如表 8-88 所示。

返回到汇总表。

表 8-88. CMX_32 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_4_IN1_/_DFF/ SR_D_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.34 CMX_33 寄存器（偏移 = 221h）[复位 = X0h]

CMX_33 如表 8-89 所示。

返回到汇总表。

表 8-89. CMX_33 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_4_IN2_/_DFF/ SR_RST_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.35 CMX_34 寄存器（偏移 = 222h）[复位 = X0h]

CMX_34 如表 8-90 所示。

返回到汇总表。

表 8-90. CMX_34 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_5_IN0_/_DFF/ SR_CLK_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.36 CMX_35 寄存器（偏移 = 223h）[复位 = X0h]

CMX_35 如表 8-91 所示。

返回到汇总表。

表 8-91. CMX_35 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_5_IN1_/_DFF/ SR_D_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.37 CMX_36 寄存器（偏移 = 224h）[复位 = X0h]

CMX_36 如表 8-92 所示。

返回到汇总表。

表 8-92. CMX_36 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留

Copyright © 2026 Texas Instruments Incorporated

表 8-92. CMX_36 寄存器字段说明（续）

位	字段	类型	复位	说明
5:0	LUT3_5_IN2_/_DFF/ SR_RST_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.38 CMX_37 寄存器（偏移 = 225h）[复位 = X0h]

CMX_37 如表 8-93 所示。

返回到汇总表。

表 8-93. CMX_37 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_6_IN0_/_DFF/ SR_CLK_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.39 CMX_38 寄存器（偏移 = 226h）[复位 = X0h]

CMX_38 如表 8-94 所示。

返回到汇总表。

表 8-94. CMX_38 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_6_IN1_/_DFF/ SR_D_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.40 CMX_39 寄存器（偏移 = 227h）[复位 = X0h]

CMX_39 如表 8-95 所示。

返回到汇总表。

表 8-95. CMX_39 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_6_IN2_/_DFF/ SR_RST_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.41 CMX_40 寄存器（偏移 = 228h）[复位 = X0h]

CMX_40 如表 8-96 所示。

返回到汇总表。

表 8-96. CMX_40 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_7_IN0_/_DFF/ SR_CLK_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.42 CMX_41 寄存器（偏移 = 229h）[复位 = X0h]

CMX_41 如表 8-97 所示。

Copyright © 2026 Texas Instruments Incorporated

返回到汇总表。

表 8-97. CMX_41 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_7_IN1_/_DFF/ SR_D_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.43 CMX_42 寄存器（偏移 = 22Ah）[复位 = X0h]

CMX_42 如表 8-98 所示。

返回到汇总表。

表 8-98. CMX_42 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_7_IN2_/_DFF/ SR_RST_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.44 CMX_43 寄存器（偏移 = 22Bh）[复位 = X0h]

CMX_43 如表 8-99 所示。

返回到汇总表。

表 8-99. CMX_43 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_8_IN0_/ _DFF_CLK_IN_OR_LDC_IN0_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.45 CMX_44 寄存器（偏移 = 22Ch）[复位 = X0h]

CMX_44 如表 8-100 所示。

返回到汇总表。

表 8-100. CMX_44 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_8_IN1_/ _DFF_D_IN_OR_LDC_IN1_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.46 CMX_45 寄存器（偏移 = 22Dh）[复位 = X0h]

CMX_45 如表 8-101 所示。

返回到汇总表。

表 8-101. CMX_45 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_8_IN2_/ _DFF_RST_IN_OR_LDC_IN2_CMX	R/W	Xh	与 CMX_0 相同的选项

Copyright © 2026 Texas Instruments Incorporated

8.2.47 CMX_46 寄存器（偏移 = 22Eh）[复位 = X0h]

CMX_46 如表 8-102 所示。

返回到汇总表。

表 8-102. CMX_46 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_9_IN0_/ _DFF_CLK_IN_OR_LDC_IN0_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.48 CMX_47 寄存器（偏移 = 22Fh）[复位 = X0h]

CMX_47 如表 8-103 所示。

返回到汇总表。

表 8-103. CMX_47 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_9_IN1_/ _DFF_D_IN_OR_LDC_IN1_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.49 CMX_48 寄存器（偏移 = 230h）[复位 = X0h]

CMX_48 如表 8-104 所示。

返回到汇总表。

表 8-104. CMX_48 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_9_IN2_/ _DFF_RST_IN_OR_LDC_IN2_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.50 CMX_49 寄存器（偏移 = 231h）[复位 = X0h]

CMX_49 如表 8-105 所示。

返回到汇总表。

表 8-105. CMX_49 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_10_IN0_/ _DFF_CLK_IN_OR_LDC_IN0_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.51 CMX_50 寄存器（偏移 = 232h）[复位 = X0h]

CMX_50 如表 8-106 所示。

返回到汇总表。

表 8-106. CMX_50 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留

Copyright © 2026 Texas Instruments Incorporated

表 8-106. CMX_50 寄存器字段说明（续）

位	字段	类型	复位	说明
5:0	LUT3_10_IN1_/ _DFF_D_IN_OR_LDC_IN1_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.52 CMX_51 寄存器（偏移 = 233h）[复位 = X0h]

CMX_51 如表 8-107 所示。

返回到汇总表。

表 8-107. CMX_51 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_10_IN2_/ _DFF_RST_IN_OR_LDC_IN2_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.53 CMX_52 寄存器（偏移 = 234h）[复位 = X0h]

CMX_52 如表 8-108 所示。

返回到汇总表。

表 8-108. CMX_52 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_11_IN0_/ _DFF_CLK_IN_OR_LDC_IN0_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.54 CMX_53 寄存器（偏移 = 235h）[复位 = X0h]

CMX_53 如表 8-109 所示。

返回到汇总表。

表 8-109. CMX_53 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_11_IN1_/ _DFF_D_IN_OR_LDC_IN1_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.55 CMX_54 寄存器（偏移 = 236h）[复位 = X0h]

CMX_54 如表 8-110 所示。

返回到汇总表。

表 8-110. CMX_54 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_11_IN2_/ _DFF_RST_IN_OR_LDC_IN2_CMX	R/W	Xh	与 CMX_0 相同的选项

Copyright © 2026 Texas Instruments Incorporated

8.2.56 CMX_55 寄存器（偏移 = 237h）[复位 = X0h]

CMX_55 如表 8-111 所示。

返回到汇总表。

表 8-111. CMX_55 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_12_IN0_/ _DFF_CLK_IN_OR_LDC_IN0_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.57 CMX_56 寄存器（偏移 = 238h）[复位 = X0h]

CMX_56 如表 8-112 所示。

返回到汇总表。

表 8-112. CMX_56 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_12_IN1_/ _DFF_D_IN_OR_LDC_IN1_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.58 CMX_57 寄存器（偏移 = 239h）[复位 = X0h]

CMX_57 如表 8-113 所示。

返回到汇总表。

表 8-113. CMX_57 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_12_IN2_/ _DFF_RST_IN_OR_LDC_IN2_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.59 CMX_58 寄存器（偏移 = 23Ah）[复位 = X0h]

CMX_58 如表 8-114 所示。

返回到汇总表。

表 8-114. CMX_58 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_13_IN0_/ _DFF_CLK_IN_OR_LDC_IN0_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.60 CMX_59 寄存器（偏移 = 23Bh）[复位 = X0h]

CMX_59 如表 8-115 所示。

返回到汇总表。

表 8-115. CMX_59 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留

Copyright © 2026 Texas Instruments Incorporated

表 8-115. CMX_59 寄存器字段说明（续）

位	字段	类型	复位	说明
5:0	LUT3_13_IN1_/_DFF_D_IN_OR_LDC_IN1_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.61 CMX_60 寄存器（偏移 = 23Ch）[复位 = X0h]

CMX_60 如表 8-116 所示。

返回到汇总表。

表 8-116. CMX_60 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT3_13_IN2_/_DFF_RST_IN_OR_LDC_IN2_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.62 CMX_61 寄存器（偏移 = 23Dh）[复位 = X0h]

CMX_61 如表 8-117 所示。

返回到汇总表。

表 8-117. CMX_61 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT4_0_IN0_/_DFF_CLK_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.63 CMX_62 寄存器（偏移 = 23Eh）[复位 = X0h]

CMX_62 如表 8-118 所示。

返回到汇总表。

表 8-118. CMX_62 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT4_0_IN1_/_DFF_D_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.64 CMX_63 寄存器（偏移 = 23Fh）[复位 = X0h]

CMX_63 如表 8-119 所示。

返回到汇总表。

表 8-119. CMX_63 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT4_0_IN2_/_RST_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.65 CMX_64 寄存器（偏移 = 240h）[复位 = X0h]

CMX_64 如表 8-120 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-120. CMX_64 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	LUT4_0_IN3__CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.66 CMX_65 寄存器（偏移 = 241h）[复位 = X0h]

CMX_65 如表 8-121 所示。

返回到汇总表。

表 8-121. CMX_65 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	PFLT_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.67 CMX_66 寄存器（偏移 = 242h）[复位 = X0h]

CMX_66 如表 8-122 所示。

返回到汇总表。

表 8-122. CMX_66 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	FLT/EDET_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.68 CMX_67 寄存器（偏移 = 243h）[复位 = X0h]

CMX_67 如表 8-123 所示。

返回到汇总表。

表 8-123. CMX_67 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	SM_ST0_EN0_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.69 CMX_68 寄存器（偏移 = 244h）[复位 = X0h]

CMX_68 如表 8-124 所示。

返回到汇总表。

表 8-124. CMX_68 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	SM_ST0_EN1_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.70 CMX_69 寄存器（偏移 = 245h）[复位 = X0h]

CMX_69 如表 8-125 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-125. CMX_69 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	SM_ST1_EN0_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.71 CMX_70 寄存器（偏移 = 246h）[复位 = X0h]

CMX_70 如表 8-126 所示。

返回到汇总表。

表 8-126. CMX_70 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	SM_ST1_EN1_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.72 CMX_71 寄存器（偏移 = 247h）[复位 = X0h]

CMX_71 如表 8-127 所示。

返回到汇总表。

表 8-127. CMX_71 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	SM_ST2_EN0_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.73 CMX_72 寄存器（偏移 = 248h）[复位 = X0h]

CMX_72 如表 8-128 所示。

返回到汇总表。

表 8-128. CMX_72 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	SM_ST2_EN1_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.74 CMX_73 寄存器（偏移 = 249h）[复位 = X0h]

CMX_73 如表 8-129 所示。

返回到汇总表。

表 8-129. CMX_73 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	SM_ST3_EN0_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.75 CMX_74 寄存器（偏移 = 24Ah）[复位 = X0h]

CMX_74 如表 8-130 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-130. CMX_74 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	SM_ST3_EN1_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.76 CMX_75 寄存器（偏移 = 24Bh）[复位 = X0h]

CMX_75 如表 8-131 所示。

返回到汇总表。

表 8-131. CMX_75 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	SM_ST4_EN0_/ _PWM_GEN3_PUP_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.77 CMX_76 寄存器（偏移 = 24Ch）[复位 = X0h]

CMX_76 如表 8-132 所示。

返回到汇总表。

表 8-132. CMX_76 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	SM_ST4_EN1_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.78 CMX_77 寄存器（偏移 = 24Dh）[复位 = X0h]

CMX_77 如表 8-133 所示。

返回到汇总表。

表 8-133. CMX_77 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	SM_ST5_EN0_/ _PWM_GEN2_PUP_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.79 CMX_78 寄存器（偏移 = 24Eh）[复位 = X0h]

CMX_78 如表 8-134 所示。

返回到汇总表。

表 8-134. CMX_78 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	SM_ST5_EN1_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.80 CMX_79 寄存器（偏移 = 24Fh）[复位 = X0h]

CMX_79 如表 8-135 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-135. CMX_79 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	SM_ST6_EN0_/ _PWM_GEN1_PUP_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.81 CMX_80 寄存器（偏移 = 250h）[复位 = X0h]

CMX_80 如表 8-136 所示。

返回到汇总表。

表 8-136. CMX_80 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	SM_ST6_EN1_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.82 CMX_81 寄存器（偏移 = 251h）[复位 = X0h]

CMX_81 如表 8-137 所示。

返回到汇总表。

表 8-137. CMX_81 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	SM_ST7_EN0_/ _PWM_GEN0_PUP_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.83 CMX_82 寄存器（偏移 = 252h）[复位 = X0h]

CMX_82 如表 8-138 所示。

返回到汇总表。

表 8-138. CMX_82 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	SM_ST7_EN1_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.84 CMX_83 寄存器（偏移 = 253h）[复位 = X0h]

CMX_83 如表 8-139 所示。

返回到汇总表。

表 8-139. CMX_83 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	SM_CLK_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.85 CMX_84 寄存器（偏移 = 254h）[复位 = X0h]

CMX_84 如表 8-140 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-140. CMX_84 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	SM_RST_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.86 CMX_85 寄存器（偏移 = 255h）[复位 = X0h]

CMX_85 如表 8-141 所示。

返回到汇总表。

表 8-141. CMX_85 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	McACMP_ENABLE_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.87 CMX_86 寄存器（偏移 = 256h）[复位 = X0h]

CMX_86 如表 8-142 所示。

返回到汇总表。

表 8-142. CMX_86 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	McACMP_RST_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.88 CMX_87 寄存器（偏移 = 257h）[复位 = X0h]

CMX_87 如表 8-143 所示。

返回到汇总表。

表 8-143. CMX_87 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	OSC0_PWR_DOWN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.89 CMX_88 寄存器（偏移 = 258h）[复位 = X0h]

CMX_88 如表 8-144 所示。

返回到汇总表。

表 8-144. CMX_88 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	OSC1_PWR_DOWN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.90 CMX_89 寄存器（偏移 = 259h）[复位 = X0h]

CMX_89 如表 8-145 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-145. CMX_89 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	CNT6/FSM_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.91 CMX_90 寄存器（偏移 = 25Ah）[复位 = X0h]

CMX_90 如表 8-146 所示。

返回到汇总表。

表 8-146. CMX_90 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	CNT6/FSM_UP_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.92 CMX_91 寄存器（偏移 = 25Bh）[复位 = X0h]

CMX_91 如表 8-147 所示。

返回到汇总表。

表 8-147. CMX_91 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	CNT6/FSM_KEEP_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.93 CMX_92 寄存器（偏移 = 25Ch）[复位 = X0h]

CMX_92 如表 8-148 所示。

返回到汇总表。

表 8-148. CMX_92 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	CNT6/FSM_CLK_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.94 CMX_93 寄存器（偏移 = 25Dh）[复位 = X0h]

CMX_93 如表 8-149 所示。

返回到汇总表。

表 8-149. CMX_93 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	CNT7/FSM_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.95 CMX_94 寄存器（偏移 = 25Eh）[复位 = X0h]

CMX_94 如表 8-150 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-150. CMX_94 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	CNT7/FSM_UP_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.96 CMX_95 寄存器（偏移 = 25Fh）[复位 = X0h]

CMX_95 如表 8-151 所示。

返回到汇总表。

表 8-151. CMX_95 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	CNT7/FSM_KEEP_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.97 CMX_96 寄存器（偏移 = 260h）[复位 = X0h]

CMX_96 如表 8-152 所示。

返回到汇总表。

表 8-152. CMX_96 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	CNT7/FSM_CLK_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.98 CMX_97 寄存器（偏移 = 261h）[复位 = X0h]

CMX_97 如表 8-153 所示。

返回到汇总表。

表 8-153. CMX_97 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	CNT8/FSM_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.99 CMX_98 寄存器（偏移 = 262h）[复位 = X0h]

CMX_98 如表 8-154 所示。

返回到汇总表。

表 8-154. CMX_98 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	CNT8/FSM_UP_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.100 CMX_99 寄存器（偏移 = 263h）[复位 = X0h]

CMX_99 如表 8-155 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-155. CMX_99 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	CNT8/FSM_KEEP_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.101 CMX_100 寄存器（偏移 = 264h）[复位 = X0h]

CMX_100 如表 8-156 所示。

返回到汇总表。

表 8-156. CMX_100 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	CNT8/FSM_CLK_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.102 CMX_101 寄存器（偏移 = 265h）[复位 = X0h]

CMX_101 如表 8-157 所示。

返回到汇总表。

表 8-157. CMX_101 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	CNT9/FSM_IN_/_WDT_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.103 CMX_102 寄存器（偏移 = 266h）[复位 = X0h]

CMX_102 如表 8-158 所示。

返回到汇总表。

表 8-158. CMX_102 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	CNT9/FSM_UP_/_WDT_EN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.104 CMX_103 寄存器（偏移 = 267h）[复位 = X0h]

CMX_103 如表 8-159 所示。

返回到汇总表。

表 8-159. CMX_103 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	CNT9/FSM_KEEP_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.105 CMX_104 寄存器（偏移 = 268h）[复位 = X0h]

CMX_104 如表 8-160 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-160. CMX_104 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	CNT9/FSM_CLK_IN_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.106 CMX_105 寄存器（偏移 = 269h）[复位 = X0h]

CMX_105 如表 8-161 所示。

返回到汇总表。

表 8-161. CMX_105 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	VIRTUAL_OUT0_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.107 CMX_106 寄存器（偏移 = 26Ah）[复位 = X0h]

CMX_106 如表 8-162 所示。

返回到汇总表。

表 8-162. CMX_106 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	VIRTUAL_OUT1_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.108 CMX_107 寄存器（偏移 = 26Bh）[复位 = X0h]

CMX_107 如表 8-163 所示。

返回到汇总表。

表 8-163. CMX_107 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	VIRTUAL_OUT2_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.109 CMX_108 寄存器（偏移 = 26Ch）[复位 = X0h]

CMX_108 如表 8-164 所示。

返回到汇总表。

表 8-164. CMX_108 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	VIRTUAL_OUT3_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.110 CMX_109 寄存器（偏移 = 26Dh）[复位 = X0h]

CMX_109 如表 8-165 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-165. CMX_109 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	VIRTUAL_OUT4_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.111 CMX_110 寄存器（偏移 = 26Eh）[复位 = X0h]

CMX_110 如表 8-166 所示。

返回到汇总表。

表 8-166. CMX_110 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	VIRTUAL_OUT5_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.112 CMX_111 寄存器（偏移 = 26Fh）[复位 = X0h]

CMX_111 如表 8-167 所示。

返回到汇总表。

表 8-167. CMX_111 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	VIRTUAL_OUT6_CMX	R/W	Xh	与 CMX_0 相同的选项

8.2.113 CMX_112 寄存器（偏移 = 270h）[复位 = X0h]

CMX_112 如表 8-168 所示。

返回到汇总表。

表 8-168. CMX_112 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	VIRTUAL_OUT7_CMX	R/W	Xh	与 CMX_0 相同的选项

Copyright © 2026 Texas Instruments Incorporated

8.3 TPLD1202_Cfg_1 寄存器

表 8-169 列出了 TPLD1202_Cfg_1 寄存器的存储器映射寄存器。表 8-169 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-169. TPLD1202_CFG_1 寄存器

偏移	首字母缩写词	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
300h	GPI_CFG	RESERVED	PULL_UP_EN	RES_SEL		RESERVED		IN_CTRL	
301h	GPIO1_CFG	OE	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
302h	GPIO2_CFG	OE	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
303h	GPIO3_CFG	RESERVED	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
304h	GPIO4_CFG	RESERVED	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
305h	GPIO5_CFG	OE	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
306h	GPIO6_CFG	OE	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
307h	GPIO7_CFG	OE	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
308h	GPIO8_CFG	RESERVED	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
309h	GPIO9_CFG	RESERVED	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
320h	VIO_SEL_0	V_IN7	V_IN6	V_IN5	V_IN4	V_IN3	V_IN2	V_IN1	V_IN0
324h	LUT_FS_0	RESERVED					LUT2_2_FS	LUT2_1_FS	LUT2_0_FS
325h	LUT_FS_1	LUT3_7_FS	LUT3_6_FS	LUT3_5_FS	LUT3_4_FS	LUT3_3_FS	LUT3_2_FS	LUT3_1_FS	LUT3_0_FS
326h	LUT_FS_2	RESERVED							LUT4_0_FS
328h	LUT2_0_CFG	RESERVED				BIT3	BIT2	BIT1	BIT0
329h	LUT2_1_CFG	RESERVED				BIT3	BIT2	BIT1	BIT0
32Eh	LUT2_2_CFG0	RESERVED		PGEN_RST	RESERVED	BITS3_0			
32Fh	LUT2_2_CFG1	PGEN_DATA_LSB							
330h	LUT2_2_CFG2	PGEN_DATA_MSB							
334h	LUT3_0_CFG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
335h	LUT3_1_CFG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
336h	LUT3_2_CFG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
337h	LUT3_3_CFG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
338h	LUT3_4_CFG0	BIT7	BITS6_4			BIT3	BIT2	BIT1	BIT0
339h	LUT3_4_CFG1	SR0_INIT							
33Ah	LUT3_5_CFG0	BIT7	BITS6_4			BIT3	BIT2	BIT1	BIT0
33Bh	LUT3_5_CFG1	SR1_INIT							
33Ch	LUT3_6_CFG0	BIT7	BITS6_4			BIT3	BIT2	BIT1	BIT0
33Dh	LUT3_6_CFG1	SR2_INIT							
33Eh	LUT3_7_CFG0	BIT7	BITS6_4			BIT3	BIT2	BIT1	BIT0
33Fh	LUT3_7_CFG1	SR3_INIT							
344h	LUT4_0_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
345h	LUT4_0_CFG1	LUT4_0_MSB							
354h	LUT3_8_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
355h	LUT3_8_CFG1	CNT_DATA							
356h	LUT3_8_CFG2	CLK_SEL				MODE_SEL			
357h	LUT3_8_CFG3	RESERVED		RST_SYNC	RESERVED	CNT_INIT		OUT_POL	DLY_EDET
358h	LUT3_8_CFG4	RESERVED			LDC_FS	LDC_CMX_IN_SEL		LDC_CMX_MODE	
359h	LUT3_9_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
35Ah	LUT3_9_CFG1	CNT_DATA							
35Bh	LUT3_9_CFG2	CLK_SEL				MODE_SEL			
35Ch	LUT3_9_CFG3	RESERVED		RST_SYNC	RESERVED	CNT_INIT		OUT_POL	DLY_EDET
35Dh	LUT3_9_CFG4	RESERVED			LDC_FS	LDC_CMX_IN_SEL		LDC_CMX_MODE	
35Eh	LUT3_10_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
35Fh	LUT3_10_CFG1	CNT_DATA							
360h	LUT3_10_CFG2	CLK_SEL				MODE_SEL			
361h	LUT3_10_CFG3	RESERVED		RST_SYNC	RESERVED	CNT_INIT		OUT_POL	DLY_EDET
362h	LUT3_10_CFG4	RESERVED			LDC_FS	LDC_CMX_IN_SEL		LDC_CMX_MODE	
363h	LUT3_11_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

Copyright © 2026 Texas Instruments Incorporated

表 8-169. TPLD1202_CFG_1 寄存器（续）

偏移	首字母缩写词	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
364h	LUT3_11_CFG1	CNT_DATA							
365h	LUT3_11_CFG2	CLK_SEL				MODE_SEL			
366h	LUT3_11_CFG3	RESERVED		RST_SYNC	RESERVED	CNT_INIT		OUT_POL	DLY_EDET
367h	LUT3_11_CFG4	RESERVED			LDC_FS	LDC_CMX_IN_SEL		LDC_CMX_MODE	
368h	LUT3_12_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
369h	LUT3_12_CFG1	CNT_DATA							
36Ah	LUT3_12_CFG2	CLK_SEL				MODE_SEL			
36Bh	LUT3_12_CFG3	RESERVED		RST_SYNC	RESERVED	CNT_INIT		OUT_POL	DLY_EDET
36Ch	LUT3_12_CFG4	RESERVED			LDC_FS	LDC_CMX_IN_SEL		LDC_CMX_MODE	
36Dh	LUT3_13_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
36Eh	LUT3_13_CFG1	CNT_DATA							
36Fh	LUT3_13_CFG2	CLK_SEL				MODE_SEL			
370h	LUT3_13_CFG3	RESERVED		RST_SYNC	RESERVED	CNT_INIT		OUT_POL	DLY_EDET
371h	LUT3_13_CFG4	RESERVED			LDC_FS	LDC_CMX_IN_SEL		LDC_CMX_MODE	
37Eh	CNT6_FSM0_CFG0	CNT_DATA							
37Fh	CNT6_FSM0_CFG1	CLK_SEL				MODE_SEL			
380h	CNT6_FSM0_CFG2	UP_SYNC	KEEP_SYNC	RST_SYNC	RESERVED	CNT_INIT		OUT_POL	DLY_EDET
381h	CNT7_FSM1_CFG0	CNT_DATA							
382h	CNT7_FSM1_CFG1	CLK_SEL				MODE_SEL			
383h	CNT7_FSM1_CFG2	UP_SYNC	KEEP_SYNC	RST_SYNC	RESERVED	CNT_INIT		OUT_POL	DLY_EDET
384h	CNT8_FSM2_CFG0	CNT_DATA							
385h	CNT8_FSM2_CFG1	CLK_SEL				MODE_SEL			
386h	CNT8_FSM2_CFG2	UP_SYNC	KEEP_SYNC	RST_SYNC	RESERVED	CNT_INIT		OUT_POL	DLY_EDET
387h	CNT9_FSM3_CFG0	CNT_DATA							
388h	CNT9_FSM3_CFG1	CLK_SEL				MODE_SEL			
389h	CNT9_FSM3_CFG2	UP_SYNC	KEEP_SYNC	RST_SYNC	RESERVED	CNT_INIT		OUT_POL	DLY_EDET
38Ah	PWM_GEN0_CFG	PWM_EN	RESERVED			TDB_SEL		OUTP_POL	OUTN_POL
38Bh	PWM_GEN1_CFG	PWM_EN	RESERVED			TDB_SEL		OUTP_POL	OUTN_POL
38Ch	PWM_GEN2_CFG	PWM_EN	RESERVED			TDB_SEL		OUTP_POL	OUTN_POL
38Dh	PWM_GEN3_CFG	PWM_EN	RESERVED			TDB_SEL		OUTP_POL	OUTN_POL
38Eh	PWM_SRC_CFG	PWM3_DATA_SEL		PWM2_DATA_SEL		PWM1_DATA_SEL		PWM0_DATA_SEL	
38Fh	SM_CFG0	RESERVED	SM_S1_IN0			RESERVED	SM_S0_IN0		
390h	SM_CFG1	RESERVED	SM_S1_IN1			RESERVED	SM_S0_IN1		
391h	SM_CFG2	RESERVED							
392h	SM_CFG3	RESERVED	SM_S3_IN0			RESERVED	SM_S2_IN0		
393h	SM_CFG4	RESERVED	SM_S3_IN1			RESERVED	SM_S2_IN1		
394h	SM_CFG5	RESERVED							
395h	SM_CFG6	RESERVED	SM_S5_IN0			RESERVED	SM_S4_IN0		
396h	SM_CFG7	RESERVED	SM_S5_IN1			RESERVED	SM_S4_IN1		
397h	SM_CFG8	RESERVED							
398h	SM_CFG9	RESERVED	SM_S7_IN0			RESERVED	SM_S6_IN0		
399h	SM_CFG10	RESERVED	SM_S7_IN1			RESERVED	SM_S6_IN1		
39Ah	SM_CFG11	SM_SYNC_EN	RESERVED						
3A7h	SM_CFG12	SM_CLK_SEL				MODE_SEL	SM_INIT_STATE		
3A8h	SM_CFG13	S0_OUT_CFG							
3A9h	SM_CFG14	S1_OUT_CFG							
3AAh	SM_CFG15	S2_OUT_CFG							
3ABh	SM_CFG16	S3_OUT_CFG							
3ACh	SM_CFG17	S4_OUT_CFG							
3ADh	SM_CFG18	S5_OUT_CFG							
3AEh	SM_CFG19	S6_OUT_CFG							
3AFh	SM_CFG20	S7_OUT_CFG							
3B8h	WDT_CFG0	WDT_TIMEOUT_DATA							
3B9h	WDT_CFG1	WDT_OUT_DATA							

Copyright © 2026 Texas Instruments Incorporated

表 8-169. TPLD1202_CFG_1 寄存器（续）

偏移	首字母缩写词	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
3BAh	WDT_CFG2	WDT_CLK_SEL				RESERVED	WDT_EN	WDT_100X_EN	WDT_EN_SEL
3BBh	PFLT_CFG	RESERVED		PFLT_DLY_SEL		PFLT_POL	RESERVED	PFLT_EDGE_SEL	
3BDh	FLT_CFG	RESERVED				FLT_POL	RESERVED	FLT_EDGE_SEL	
3BEh	OSC0_CFG0	RESERVED	CTRL_SRC	CTRL_SEL	SRC_SEL	PDIV		FREQ_SEL	PWR_MODE
3BFh	OSC0_CFG1	OUT1_EN	OUT1_DIV			OUT0_EN	OUT0_DIV		
3C0h	OSC1_CFG0	SU_DLY	CTRL_SRC	CTRL_SEL	SRC_SEL	PDIV			PWR_MODE
3C1h	OSC1_CFG1	RESERVED				OUT_EN	OUT_DIV		
3C5h	OSC1_CG	OSC1_DIV3	OSC1_DIV512	OSC1_DIV64	OSC1_DIV24	OSC1_DIV12	OSC1_DIV8	OSC1_DIV4	OSC1_DIV2
3CFh	MCACMP_CFG0	TS_INP_EN	VCC_INP_EN	SYNC_EN	MCS_MODE	CH_EN		RESERVED	MCS_EN
3D0h	MCACMP_CFG1	RESERVED					EDGE_SEL	MCS_CLK_SEL	
3D1h	MCACMP_CH0_CFG0	RESERVED	RST_EN	INP_SEL		GAIN_SEL		HYS_SEL	
3D2h	MCACMP_CH0_CFG1	RESERVED		VREF_SEL					
3D6h	MCACMP_CH1_CFG0	RESERVED	RST_EN	INP_SEL		GAIN_SEL		HYS_SEL	
3D7h	MCACMP_CH1_CFG1	RESERVED		VREF_SEL					
3DBh	MCACMP_CH2_CFG0	RESERVED	RST_EN	INP_SEL		GAIN_SEL		HYS_SEL	
3DCh	MCACMP_CH2_CFG1	RESERVED		VREF_SEL					
3E0h	MCACMP_CH3_CFG0	RESERVED	RST_EN	INP_SEL		GAIN_SEL		HYS_SEL	
3E1h	MCACMP_CH3_CFG1	RESERVED		VREF_SEL					
3F2h	SER_COMM_CFG0	I2C_ADDR_SRC_SEL				I2C_IO_LAT	I2C_RST_EN	I2C_EN	SPI_EN
3F3h	SER_COMM_CFG1	I2C_ADDR_MSB				I2C_ADDR_LSB			RESERVED
3F7h	MISC_CFG0	GPIO_QC	CFG_RD_LCK	CFG_WR_LCK	OTP_WR_LCK	USER_LCK		RESERVED	
3F8h	MISC_CFG1	RESERVED	VBG_CTRL			RESERVED	PREBIAS_CTRL		
3F9h	MISC_CFG2	RESERVED							RD_DATA_SYNC
3FAh	DEVICE_ID4	DEVICE_ID4							
3FBh	DEVICE_ID5	DEVICE_ID5							
3FCh	DEVICE_ID6	DEVICE_ID6							
3FDh	DEVICE_ID7	DEVICE_ID7							
3FEh	CRC_LSB	CRC_LSB							
3FFh	CRC_MSB	CRC_MSB							

复杂的位访问类型经过编码可适应小型表单元。表 8-170 展示了适用于此部分中访问类型的代码。

表 8-170. TPLD1202_Cfg_1 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.3.1 GPI_CFG 寄存器（偏移 = 300h）[复位 = XXh]

GPI_CFG 如表 8-171 所示。

返回到汇总表。

表 8-171. GPI_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	PULL_UP_EN	R/W	Xh	0h = 下拉 1h = 上拉

Copyright © 2026 Texas Instruments Incorporated

表 8-171. GPI_CFG 寄存器字段说明（续）

位	字段	类型	复位	说明
5:4	RES_SEL	R/W	Xh	0h = 悬空 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	RESERVED	R	0h	保留
1:0	IN_CTRL	R/W	Xh	0h = 不具有施密特触发的数字输入 1h = 具有施密特触发的数字输入 2h = 低电压数字输入 3h = 保留

8.3.2 GPIO1_CFG 寄存器（偏移 = 301h）[复位 = X0h]

GPIO1_CFG 如表 8-172 所示。

返回到汇总表。

表 8-172. GPIO1_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	OE	R/W	0h	0h = 输入 1h = 输出
6	PULL_UP_EN	R/W	0h	0h = 下拉 1h = 上拉
5:4	RES_SEL	R/W	0h	0h = 悬空 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = 推挽 1X 1h = 推挽 2X 2h = 开漏 NMOS 1X 3h = 开漏 NMOS 4X
1:0	IN_CTRL	R/W	Xh	0h = 不具有施密特触发的数字输入 1h = 具有施密特触发的数字输入 2h = 低电压数字输入 3h = 保留

8.3.3 GPIO2_CFG 寄存器（偏移 = 302h）[复位 = X0h]

GPIO2_CFG 如表 8-173 所示。

返回到汇总表。

表 8-173. GPIO2_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	OE	R/W	0h	0h = 输入 1h = 输出
6	PULL_UP_EN	R/W	0h	0h = 下拉 1h = 上拉
5:4	RES_SEL	R/W	0h	0h = 悬空 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = 推挽 1X 1h = 推挽 2X 2h = 开漏 NMOS 1X 3h = 开漏 NMOS 4X
1:0	IN_CTRL	R/W	Xh	0h = 不具有施密特触发的数字输入 1h = 具有施密特触发的数字输入 2h = 低电压数字输入 3h = 保留

Copyright © 2026 Texas Instruments Incorporated

8.3.4 GPIO3_CFG 寄存器（偏移 = 303h）[复位 = XXh]

GPIO3_CFG 如表 8-174 所示。

返回到汇总表。

表 8-174. GPIO3_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	PULL_UP_EN	R/W	Xh	0h = 下拉 1h = 上拉
5:4	RES_SEL	R/W	Xh	0h = 悬空 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = 推挽 1X 1h = 推挽 2X 2h = 开漏 NMOS 1X 3h = 开漏 NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = 不具有施密特触发的数字输入 1h = 具有施密特触发的数字输入 2h = 低电压数字输入 3h = 保留

8.3.5 GPIO4_CFG 寄存器（偏移 = 304h）[复位 = XXh]

GPIO4_CFG 如表 8-175 所示。

返回到汇总表。

表 8-175. GPIO4_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	PULL_UP_EN	R/W	Xh	0h = 下拉 1h = 上拉
5:4	RES_SEL	R/W	Xh	0h = 悬空 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = 推挽 1X 1h = 推挽 2X 2h = 开漏 NMOS 1X 3h = 开漏 NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = 不具有施密特触发的数字输入 1h = 具有施密特触发的数字输入 2h = 低电压数字输入 3h = 模拟 I/O

8.3.6 GPIO5_CFG 寄存器（偏移 = 305h）[复位 = X0h]

GPIO5_CFG 如表 8-176 所示。

返回到汇总表。

表 8-176. GPIO5_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	OE	R/W	0h	0h = 输入 1h = 输出
6	PULL_UP_EN	R/W	0h	0h = 下拉 1h = 上拉
5:4	RES_SEL	R/W	0h	0h = 悬空 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ

Copyright © 2026 Texas Instruments Incorporated

表 8-176. GPIO5_CFG 寄存器字段说明（续）

位	字段	类型	复位	说明
3:2	OUT_CTRL	R/W	Xh	0h = 推挽 1X 1h = 推挽 2X 2h = 开漏 NMOS 1X 3h = 开漏 NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = 不具有施密特触发的数字输入 1h = 具有施密特触发的数字输入 2h = 低电压数字输入 3h = 模拟 I/O

8.3.7 GPIO6_CFG 寄存器（偏移 = 306h）[复位 = X0h]

GPIO6_CFG 如表 8-177 所示。

返回到汇总表。

表 8-177. GPIO6_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	OE	R/W	0h	0h = 输入 1h = 输出
6	PULL_UP_EN	R/W	0h	0h = 下拉 1h = 上拉
5:4	RES_SEL	R/W	0h	0h = 悬空 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = 推挽 1X 1h = 推挽 2X 2h = 开漏 NMOS 1X 3h = 开漏 NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = 不具有施密特触发的数字输入 1h = 具有施密特触发的数字输入 2h = 低电压数字输入 3h = 模拟 I/O

8.3.8 GPIO7_CFG 寄存器（偏移 = 307h）[复位 = X0h]

GPIO7_CFG 如表 8-178 所示。

返回到汇总表。

表 8-178. GPIO7_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	OE	R/W	0h	0h = 输入 1h = 输出
6	PULL_UP_EN	R/W	0h	0h = 下拉 1h = 上拉
5:4	RES_SEL	R/W	0h	0h = 悬空 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = 推挽 1X 1h = 推挽 2X 2h = 开漏 NMOS 1X 3h = 开漏 NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = 不具有施密特触发的数字输入 1h = 具有施密特触发的数字输入 2h = 低电压数字输入 3h = 模拟 I/O

Copyright © 2026 Texas Instruments Incorporated

8.3.9 GPIO8_CFG 寄存器（偏移 = 308h）[复位 = XXh]

GPIO8_CFG 如表 8-179 所示。

返回到汇总表。

表 8-179. GPIO8_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	PULL_UP_EN	R/W	Xh	0h = 下拉 1h = 上拉
5:4	RES_SEL	R/W	Xh	0h = 悬空 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = 推挽 1X 1h = 推挽 2X 2h = 开漏 NMOS 1X 3h = 开漏 NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = 不具有施密特触发的数字输入 1h = 具有施密特触发的数字输入 2h = 低电压数字输入 3h = 模拟 I/O

8.3.10 GPIO9_CFG 寄存器（偏移 = 309h）[复位 = XXh]

GPIO9_CFG 如表 8-180 所示。

返回到汇总表。

表 8-180. GPIO9_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	PULL_UP_EN	R/W	Xh	0h = 下拉 1h = 上拉
5:4	RES_SEL	R/W	Xh	0h = 悬空 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = 推挽 1X 1h = 推挽 2X 2h = 开漏 NMOS 1X 3h = 开漏 NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = 不具有施密特触发的数字输入 1h = 具有施密特触发的数字输入 2h = 低电压数字输入 3h = 保留

8.3.11 VIO_SEL_0 寄存器（偏移 = 320h）[复位 = X0h]

VIO_SEL_0 如表 8-181 所示。

返回到汇总表。

表 8-181. VIO_SEL_0 寄存器字段说明

位	字段	类型	复位	说明
7	V_IN7	R/W	0h	0h = IO9 1h = V_IN7
6	V_IN6	R/W	0h	0h = IO7 1h = V_IN6
5	V_IN5	R/W	0h	0h = IO6 1h = V_IN5
4	V_IN4	R/W	0h	0h = IO5 1h = V_IN4

Copyright © 2026 Texas Instruments Incorporated

表 8-181. VIO_SEL_0 寄存器字段说明（续）

位	字段	类型	复位	说明
3	V_IN3	R/W	Xh	0h = IO4 1h = V_IN3
2	V_IN2	R/W	Xh	0h = IO3 1h = V_IN2
1	V_IN1	R/W	Xh	0h = IO2 1h = V_IN1
0	V_IN0	R/W	Xh	0h = IO1 1h = V_IN0

8.3.12 LUT_FS_0 寄存器（偏移 = 324h）[复位 = 0Xh]

LUT_FS_0 如表 8-182 所示。

返回到汇总表。

表 8-182. LUT_FS_0 寄存器字段说明

位	字段	类型	复位	说明
7:3	RESERVED	R	0h	保留
2	LUT2_2_FS	R/W	Xh	0h = LUT 1h = PGEN
1	LUT2_1_FS	R/W	Xh	0h = LUT 1h = DFF
0	LUT2_0_FS	R/W	Xh	0h = LUT 1h = DFF

8.3.13 LUT_FS_1 寄存器（偏移 = 325h）[复位 = X0h]

LUT_FS_1 如表 8-183 所示。

返回到汇总表。

表 8-183. LUT_FS_1 寄存器字段说明

位	字段	类型	复位	说明
7	LUT3_7_FS	R/W	0h	0h = LUT 1h = DFF / SR
6	LUT3_6_FS	R/W	0h	0h = LUT 1h = DFF / SR
5	LUT3_5_FS	R/W	0h	0h = LUT 1h = DFF / SR
4	LUT3_4_FS	R/W	0h	0h = LUT 1h = DFF / SR
3	LUT3_3_FS	R/W	Xh	0h = LUT 1h = DFF
2	LUT3_2_FS	R/W	Xh	0h = LUT 1h = DFF
1	LUT3_1_FS	R/W	Xh	0h = LUT 1h = DFF
0	LUT3_0_FS	R/W	Xh	0h = LUT 1h = DFF

8.3.14 LUT_FS_2 寄存器（偏移 = 326h）[复位 = 0Xh]

LUT_FS_2 如表 8-184 所示。

返回到汇总表。

表 8-184. LUT_FS_2 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R	0h	保留

Copyright © 2026 Texas Instruments Incorporated

表 8-184. LUT_FS_2 寄存器字段说明（续）

位	字段	类型	复位	说明
0	LUT4_0_FS	R/W	Xh	0h = LUT 1h = DFF

8.3.15 LUT2_0_CFG 寄存器（偏移 = 328h）[复位 = X0h]

LUT2_0_CFG 如表 8-185 所示。

返回到汇总表。

表 8-185. LUT2_0_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R	0h	保留
3	BIT3	R/W	Xh	LUT2[3] 或 DFF CLK POL 0h = 同相时钟 1h = 反相时钟
2	BIT2	R/W	Xh	LUT2[2] 或 DFF INIT VAL 0h = 低电平 1h = 高电平
1	BIT1	R/W	Xh	LUT2[1] 或 DFF OUT POL 0h = 同相输出 1h = 反相输出
0	BIT0	R/W	Xh	LUT2[0] 或 DFF / LAT SEL 0h = DFF 功能 1h = LATCH 功能

8.3.16 LUT2_1_CFG 寄存器（偏移 = 329h）[复位 = X0h]

LUT2_1_CFG 如表 8-186 所示。

返回到汇总表。

表 8-186. LUT2_1_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R	0h	保留
3	BIT3	R/W	Xh	LUT2[3] 或 DFF CLK POL 0h = 同相时钟 1h = 反相时钟
2	BIT2	R/W	Xh	LUT2[2] 或 DFF INIT VAL 0h = 低电平 1h = 高电平
1	BIT1	R/W	Xh	LUT2[1] 或 DFF OUT POL 0h = 同相输出 1h = 反相输出
0	BIT0	R/W	Xh	LUT2[0] 或 DFF / LAT SEL 0h = DFF 功能 1h = LATCH 功能

8.3.17 LUT2_2_CFG0 寄存器（偏移 = 32Eh）[复位 = XXh]

LUT2_2_CFG0 如表 8-187 所示。

返回到汇总表。

表 8-187. LUT2_2_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	PGEN_RST	R/W	Xh	OTP_SPARE 或 PGEN RST LVL 0h = 低电平 1h = 高电平
4	RESERVED	R	0h	保留

Copyright © 2026 Texas Instruments Incorporated

表 8-187. LUT2_2_CFG0 寄存器字段说明（续）

位	字段	类型	复位	说明
3:0	BITS3_0	R/W	Xh	LUT2[3:0] 或 PGEN SIZE 0h = 1 1h = 2 2h = 3 3h = 4 4h = 5 5h = 6 6h = 7 7h = 8 8h = 9 9h = 10 Ah = 11 Bh = 12 Ch = 13 Dh = 14 Eh = 15 Fh = 16

8.3.18 LUT2_2_CFG1 寄存器（偏移 = 32Fh）[复位 = X0h]

LUT2_2_CFG1 如表 8-188 所示。

返回到汇总表。

表 8-188. LUT2_2_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:0	PGEN_DATA_LSB	R/W	Xh	PGEN_DATA[7:0]

8.3.19 LUT2_2_CFG2 寄存器（偏移 = 330h）[复位 = X0h]

LUT2_2_CFG2 如表 8-189 所示。

返回到汇总表。

表 8-189. LUT2_2_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7:0	PGEN_DATA_MSB	R/W	Xh	PGEN_DATA[15:8]

8.3.20 LUT3_0_CFG 寄存器（偏移 = 334h）[复位 = X0h]

LUT3_0_CFG 如表 8-190 所示。

返回到汇总表。

表 8-190. LUT3_0_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	BIT7	R/W	0h	LUT3[7]
6	BIT6	R/W	0h	LUT3[6] 或 DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] 或 DFF RST LVL 0h = 低电平 1h = 高电平
4	BIT4	R/W	0h	LUT3[4] 或 DFF RST / SET SEL 0h = 复位 (CLRZ) 1h = 设置 (PREZ)
3	BIT3	R/W	Xh	LUT3[3] 或 DFF CLK POL 0h = 同相时钟 1h = 反相时钟
2	BIT2	R/W	Xh	LUT3[2] 或 DFF INIT VAL 0h = 低电平 1h = 高电平

Copyright © 2026 Texas Instruments Incorporated

表 8-190. LUT3_0_CFG 寄存器字段说明 （续）

位	字段	类型	复位	说明
1	BIT1	R/W	Xh	LUT3[1] 或 DFF OUT POL 0h = 同相输出 1h = 反相输出
0	BIT0	R/W	Xh	LUT3[0] 或 DFF / LAT SEL 0h = DFF 功能 1h = LATCH 功能

8.3.21 LUT3_1_CFG 寄存器（偏移 = 335h）[复位 = X0h]

LUT3_1_CFG 如表 8-191 所示。

返回到汇总表。

表 8-191. LUT3_1_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	BIT7	R/W	0h	LUT3[7]
6	BIT6	R/W	0h	LUT3[6] 或 DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] 或 DFF RST LVL 0h = 低电平 1h = 高电平
4	BIT4	R/W	0h	LUT3[4] 或 DFF RST / SET SEL 0h = 复位 (CLRZ) 1h = 设置 (PREZ)
3	BIT3	R/W	Xh	LUT3[3] 或 DFF CLK POL 0h = 同相时钟 1h = 反相时钟
2	BIT2	R/W	Xh	LUT3[2] 或 DFF INIT VAL 0h = 低电平 1h = 高电平
1	BIT1	R/W	Xh	LUT3[1] 或 DFF OUT POL 0h = 同相输出 1h = 反相输出
0	BIT0	R/W	Xh	LUT3[0] 或 DFF / LAT SEL 0h = DFF 功能 1h = LATCH 功能

8.3.22 LUT3_2_CFG 寄存器（偏移 = 336h）[复位 = X0h]

LUT3_2_CFG 如表 8-192 所示。

返回到汇总表。

表 8-192. LUT3_2_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	BIT7	R/W	0h	LUT3[7]
6	BIT6	R/W	0h	LUT3[6] 或 DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] 或 DFF RST LVL 0h = 低电平 1h = 高电平
4	BIT4	R/W	0h	LUT3[4] 或 DFF RST / SET SEL 0h = 复位 (CLRZ) 1h = 设置 (PREZ)
3	BIT3	R/W	Xh	LUT3[3] 或 DFF CLK POL 0h = 同相时钟 1h = 反相时钟
2	BIT2	R/W	Xh	LUT3[2] 或 DFF INIT VAL 0h = 低电平 1h = 高电平

Copyright © 2026 Texas Instruments Incorporated

表 8-192. LUT3_2_CFG 寄存器字段说明 （续）

位	字段	类型	复位	说明
1	BIT1	R/W	Xh	LUT3[1] 或 DFF OUT POL 0h = 同相输出 1h = 反相输出
0	BIT0	R/W	Xh	LUT3[0] 或 DFF / LAT SEL 0h = DFF 功能 1h = LATCH 功能

8.3.23 LUT3_3_CFG 寄存器（偏移 = 337h）[复位 = X0h]

LUT3_3_CFG 如表 8-193 所示。

返回到汇总表。

表 8-193. LUT3_3_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	BIT7	R/W	0h	LUT3[7]
6	BIT6	R/W	0h	LUT3[6] 或 DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] 或 DFF RST LVL 0h = 低电平 1h = 高电平
4	BIT4	R/W	0h	LUT3[4] 或 DFF RST / SET SEL 0h = 复位 (CLRZ) 1h = 设置 (PREZ)
3	BIT3	R/W	Xh	LUT3[3] 或 DFF CLK POL 0h = 同相时钟 1h = 反相时钟
2	BIT2	R/W	Xh	LUT3[2] 或 DFF INIT VAL 0h = 低电平 1h = 高电平
1	BIT1	R/W	Xh	LUT3[1] 或 DFF OUT POL 0h = 同相输出 1h = 反相输出
0	BIT0	R/W	Xh	LUT3[0] 或 DFF / LAT SEL 0h = DFF 功能 1h = LATCH 功能

8.3.24 LUT3_4_CFG0 寄存器（偏移 = 338h）[复位 = X0h]

LUT3_4_CFG0 如表 8-194 所示。

返回到汇总表。

表 8-194. LUT3_4_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	BIT7	R/W	0h	LUT3[7]
6:4	BITS6_4	R/W	0h	LUT3[6:4] 或 SR SIZE 0h = 1 (DFF) 1h = 2 2h = 3 3h = 4 4h = 5 5h = 6 6h = 7 7h = 8
3	BIT3	R/W	Xh	LUT3[3] 或 DFF / SR RST LVL 0h = 低电平 1h = 高电平
2	BIT2	R/W	Xh	LUT3[2] 或 DFF / SR RST / SET SEL 0h = 复位 (CLRZ) 1h = 设置 (PREZ)

Copyright © 2026 Texas Instruments Incorporated

表 8-194. LUT3_4_CFG0 寄存器字段说明（续）

位	字段	类型	复位	说明
1	BIT1	R/W	Xh	LUT3[1] 或 DFF / SR OUT POL 0h = 同相输出 1h = 反相输出
0	BIT0	R/W	Xh	LUT3[0] 或 DFF / LAT SEL 0h = DFF 功能 1h = LATCH 功能

8.3.25 LUT3_4_CFG1 寄存器（偏移 = 339h）[复位 = X0h]

LUT3_4_CFG1 如表 8-195 所示。

返回到汇总表。

表 8-195. LUT3_4_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:0	SR0_INIT	R/W	Xh	DFF / SR INIT VAL

8.3.26 LUT3_5_CFG0 寄存器（偏移 = 33Ah）[复位 = X0h]

LUT3_5_CFG0 如表 8-196 所示。

返回到汇总表。

表 8-196. LUT3_5_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	BIT7	R/W	0h	LUT3[7]
6:4	BITS6_4	R/W	0h	LUT3[6:4] 或 SR SIZE 0h = 1 (DFF) 1h = 2 2h = 3 3h = 4 4h = 5 5h = 6 6h = 7 7h = 8
3	BIT3	R/W	Xh	LUT3[3] 或 DFF / SR RST LVL 0h = 低电平 1h = 高电平
2	BIT2	R/W	Xh	LUT3[2] 或 DFF / SR RST / SET SEL 0h = 复位 (CLRZ) 1h = 设置 (PREZ)
1	BIT1	R/W	Xh	LUT3[1] 或 DFF / SR OUT POL 0h = 同相输出 1h = 反相输出
0	BIT0	R/W	Xh	LUT3[0] 或 DFF / LAT SEL 0h = DFF 功能 1h = LATCH 功能

8.3.27 LUT3_5_CFG1 寄存器（偏移 = 33Bh）[复位 = X0h]

LUT3_5_CFG1 如表 8-197 所示。

返回到汇总表。

表 8-197. LUT3_5_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:0	SR1_INIT	R/W	Xh	DFF / SR INIT VAL

Copyright © 2026 Texas Instruments Incorporated

8.3.28 LUT3_6_CFG0 寄存器（偏移 = 33Ch）[复位 = X0h]

LUT3_6_CFG0 如表 8-198 所示。

返回到汇总表。

表 8-198. LUT3_6_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	BIT7	R/W	0h	LUT3[7]
6:4	BITS6_4	R/W	0h	LUT3[6:4] 或 SR SIZE 0h = 1 (DFF) 1h = 2 2h = 3 3h = 4 4h = 5 5h = 6 6h = 7 7h = 8
3	BIT3	R/W	Xh	LUT3[3] 或 DFF / SR RST LVL 0h = 低电平 1h = 高电平
2	BIT2	R/W	Xh	LUT3[2] 或 DFF / SR RST / SET SEL 0h = 复位 (CLRZ) 1h = 设置 (PREZ)
1	BIT1	R/W	Xh	LUT3[1] 或 DFF / SR OUT POL 0h = 同相输出 1h = 反相输出
0	BIT0	R/W	Xh	LUT3[0] 或 DFF / LAT SEL 0h = DFF 功能 1h = LATCH 功能

8.3.29 LUT3_6_CFG1 寄存器（偏移 = 33Dh）[复位 = X0h]

LUT3_6_CFG1 如表 8-199 所示。

返回到汇总表。

表 8-199. LUT3_6_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:0	SR2_INIT	R/W	Xh	DFF / SR INIT VAL

8.3.30 LUT3_7_CFG0 寄存器（偏移 = 33Eh）[复位 = X0h]

LUT3_7_CFG0 如表 8-200 所示。

返回到汇总表。

表 8-200. LUT3_7_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	BIT7	R/W	0h	LUT3[7]
6:4	BITS6_4	R/W	0h	LUT3[6:4] 或 SR SIZE 0h = 1 (DFF) 1h = 2 2h = 3 3h = 4 4h = 5 5h = 6 6h = 7 7h = 8
3	BIT3	R/W	Xh	LUT3[3] 或 DFF / SR RST LVL 0h = 低电平 1h = 高电平
2	BIT2	R/W	Xh	LUT3[2] 或 DFF / SR RST / SET SEL 0h = 复位 (CLRZ) 1h = 设置 (PREZ)

Copyright © 2026 Texas Instruments Incorporated

表 8-200. LUT3_7_CFG0 寄存器字段说明（续）

位	字段	类型	复位	说明
1	BIT1	R/W	Xh	LUT3[1] 或 DFF / SR OUT POL 0h = 同相输出 1h = 反相输出
0	BIT0	R/W	Xh	LUT3[0] 或 DFF / LAT SEL 0h = DFF 功能 1h = LATCH 功能

8.3.31 LUT3_7_CFG1 寄存器（偏移 = 33Fh）[复位 = X0h]

LUT3_7_CFG1 如表 8-201 所示。

返回到汇总表。

表 8-201. LUT3_7_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:0	SR3_INIT	R/W	Xh	DFF / SR INIT VAL

8.3.32 LUT4_0_CFG0 寄存器（偏移 = 344h）[复位 = X0h]

LUT4_0_CFG0 如表 8-202 所示。

返回到汇总表。

表 8-202. LUT4_0_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	BIT7	R/W	0h	LUT4[7]
6	BIT6	R/W	0h	LUT4[6] 或 DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT4[5] 或 DFF RST LVL 0h = 低电平 1h = 高电平
4	BIT4	R/W	0h	LUT4[4] 或 DFF RST / SET SEL 0h = 复位 (CLRZ) 1h = 设置 (PREZ)
3	BIT3	R/W	Xh	LUT4[3] 或 DFF CLK POL 0h = 同相时钟 1h = 反相时钟
2	BIT2	R/W	Xh	LUT4[2] 或 DFF INIT VAL 0h = 低电平 1h = 高电平
1	BIT1	R/W	Xh	LUT4[1] 或 DFF OUT POL 0h = 同相输出 1h = 反相输出
0	BIT0	R/W	Xh	LUT4[0] 或 DFF / LAT SEL 0h = DFF 功能 1h = LATCH 功能

8.3.33 LUT4_0_CFG1 寄存器（偏移 = 345h）[复位 = X0h]

LUT4_0_CFG1 如表 8-203 所示。

返回到汇总表。

表 8-203. LUT4_0_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:0	LUT4_0_MSB	R/W	Xh	LUT4_0[15:8]

Copyright © 2026 Texas Instruments Incorporated

8.3.34 LUT3_8_CFG0 寄存器（偏移 = 354h）[复位 = X0h]

LUT3_8_CFG0 如表 8-204 所示。

返回到汇总表。

表 8-204. LUT3_8_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	BIT7	R/W	0h	LUT3[7]
6	BIT6	R/W	0h	LUT3[6] 或 DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] 或 DFF RST LVL 0h = 低电平 1h = 高电平
4	BIT4	R/W	0h	LUT3[4] 或 DFF RST / SET SEL 0h = 复位 (CLRZ) 1h = 设置 (PREZ)
3	BIT3	R/W	Xh	LUT3[3] 或 DFF CLK POL 0h = 同相时钟 1h = 反相时钟
2	BIT2	R/W	Xh	LUT3[2] 或 DFF INIT VAL 0h = 低电平 1h = 高电平
1	BIT1	R/W	Xh	LUT3[1] 或 DFF OUT POL 0h = 同相输出 1h = 反相输出
0	BIT0	R/W	Xh	LUT3[0] 或 DFF / LAT SEL 0h = DFF 功能 1h = LATCH 功能

8.3.35 LUT3_8_CFG1 寄存器（偏移 = 355h）[复位 = X0h]

LUT3_8_CFG1 如表 8-205 所示。

返回到汇总表。

表 8-205. LUT3_8_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT_DATA	R/W	Xh	CNT DATA

8.3.36 LUT3_8_CFG2 寄存器（偏移 = 356h）[复位 = X0h]

LUT3_8_CFG2 如表 8-206 所示。

返回到汇总表。

表 8-206. LUT3_8_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC1 (25MHz) 1h = OSC1 / 4 2h = OSC1 / 8 3h = OSC1 / 64 4h = OSC1 / 512 5h = OSC0（2kHz 或 10kHz） 6h = OSC0 / 8 7h = OSC0 / 12 8h = OSC0 / 24 9h = OSC0 / 64 Ah = OSC0 / 512 Bh = OSC0 / 4096 Ch = 保留 Dh = 来自 CMX 的外部 CLK Eh = 保留 Fh = 保留

Copyright © 2026 Texas Instruments Incorporated

表 8-206. LUT3_8_CFG2 寄存器字段说明（续）

位	字段	类型	复位	说明
3:0	MODE_SEL	R/W	Xh	CNT MODE 和 EDGE SEL 0h = 延迟/双边沿 1h = 延迟/下降沿 2h = 延迟/上升沿 3h = 单次触发/双边沿 4h = 单稳态/下降沿 5h = 单稳态/上升沿 6h = 频率检测/双边沿 7h = 频率检测/下降沿 8h = 频率检测/上升沿 9h = 边沿检测/双边沿 Ah = 边沿检测/下降沿 Bh = 边沿检测/上升沿 Ch = 计数器/双边沿 Dh = 计数器/下降沿 Eh = 计数器/上升沿 Fh = 计数器/高电平复位

8.3.37 LUT3_8_CFG3 寄存器（偏移 = 357h）[复位 = X0h]

LUT3_8_CFG3 如表 8-207 所示。

返回到汇总表。

表 8-207. LUT3_8_CFG3 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	RST_SYNC	R/W	0h	CNT RST SYNC 绕过选项 0h = 2-DFF 同步 1h = 绕过 2-DFF
4	RESERVED	R	0h	保留
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 绕过初始 1h = 初始低电平 2h = 初始高电平 3h = 初始高电平（保留）
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 同相 1h = 反相
0	DLY_EDET	R/W	Xh	DLY EDGE DETECT 选项 0h = 延迟功能 1h = 启用延迟功能上的边沿检测

8.3.38 LUT3_8_CFG4 寄存器（偏移 = 358h）[复位 = XXh]

LUT3_8_CFG4 如表 8-208 所示。

返回到汇总表。

表 8-208. LUT3_8_CFG4 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	0h	保留
4	LDC_FS	R/W	Xh	LUT3 / DFF 功能选择 0h = LUT 1h = DFF
3:2	LDC_CMX_IN_SEL	R/W	Xh	LUT3 / DFF 输入路由选择 0h = CNT OUT 至 LUT IN2 / DFF RST IN 1h = CNT OUT 至 LUT IN1 / DFF D IN 2h = CNT OUT 至 LUT IN0 / DFF CLK IN 3h = 保留
1:0	LDC_CMX_MODE	R/W	Xh	LUT3 / DFF + CNT 模式选择 0h = 仅 LUT / DFF 1h = 仅 CNT 2h = CNT OUT 至 LUT / DFF IN 3h = LUT / DFF OUT 至 CNT IN

Copyright © 2026 Texas Instruments Incorporated

8.3.39 LUT3_9_CFG0 寄存器（偏移 = 359h）[复位 = X0h]

LUT3_9_CFG0 如表 8-209 所示。

返回到汇总表。

表 8-209. LUT3_9_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	BIT7	R/W	0h	LUT3[7]
6	BIT6	R/W	0h	LUT3[6] 或 DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] 或 DFF RST LVL 0h = 低电平 1h = 高电平
4	BIT4	R/W	0h	LUT3[4] 或 DFF RST / SET SEL 0h = 复位 (CLRZ) 1h = 设置 (PREZ)
3	BIT3	R/W	Xh	LUT3[3] 或 DFF CLK POL 0h = 同相时钟 1h = 反相时钟
2	BIT2	R/W	Xh	LUT3[2] 或 DFF INIT VAL 0h = 低电平 1h = 高电平
1	BIT1	R/W	Xh	LUT3[1] 或 DFF OUT POL 0h = 同相输出 1h = 反相输出
0	BIT0	R/W	Xh	LUT3[0] 或 DFF / LAT SEL 0h = DFF 功能 1h = LATCH 功能

8.3.40 LUT3_9_CFG1 寄存器（偏移 = 35Ah）[复位 = X0h]

LUT3_9_CFG1 如表 8-210 所示。

返回到汇总表。

表 8-210. LUT3_9_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT_DATA	R/W	Xh	CNT DATA

8.3.41 LUT3_9_CFG2 寄存器（偏移 = 35Bh）[复位 = X0h]

LUT3_9_CFG2 如表 8-211 所示。

返回到汇总表。

表 8-211. LUT3_9_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC1 (25MHz) 1h = OSC1 / 4 2h = OSC1 / 8 3h = OSC1 / 64 4h = OSC1 / 512 5h = OSC0（2kHz 或 10kHz） 6h = OSC0 / 8 7h = OSC0 / 12 8h = OSC0 / 24 9h = OSC0 / 64 Ah = OSC0 / 512 Bh = OSC0 / 4096 Ch = 保留 Dh = 来自 CMX 的外部 CLK Eh = 保留 Fh = 保留

Copyright © 2026 Texas Instruments Incorporated

表 8-211. LUT3_9_CFG2 寄存器字段说明（续）

位	字段	类型	复位	说明
3:0	MODE_SEL	R/W	Xh	CNT MODE 和 EDGE SEL 0h = 延迟/双边沿 1h = 延迟/下降沿 2h = 延迟/上升沿 3h = 单次触发/双边沿 4h = 单稳态/下降沿 5h = 单稳态/上升沿 6h = 频率检测/双边沿 7h = 频率检测/下降沿 8h = 频率检测/上升沿 9h = 边沿检测/双边沿 Ah = 边沿检测/下降沿 Bh = 边沿检测/上升沿 Ch = 计数器/双边沿 Dh = 计数器/下降沿 Eh = 计数器/上升沿 Fh = 计数器/高电平复位

8.3.42 LUT3_9_CFG3 寄存器（偏移 = 35Ch）[复位 = X0h]

LUT3_9_CFG3 如表 8-212 所示。

返回到汇总表。

表 8-212. LUT3_9_CFG3 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	RST_SYNC	R/W	0h	CNT RST SYNC 绕过选项 0h = 2-DFF 同步 1h = 绕过 2-DFF
4	RESERVED	R	0h	保留
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 绕过初始 1h = 初始低电平 2h = 初始高电平 3h = 初始高电平（保留）
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 同相 1h = 反相
0	DLY_EDET	R/W	Xh	DLY EDGE DETECT 选项 0h = 延迟功能 1h = 启用延迟功能上的边沿检测

8.3.43 LUT3_9_CFG4 寄存器（偏移 = 35Dh）[复位 = XXh]

LUT3_9_CFG4 如表 8-213 所示。

返回到汇总表。

表 8-213. LUT3_9_CFG4 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	0h	保留
4	LDC_FS	R/W	Xh	LUT3 / DFF 功能选择 0h = LUT 1h = DFF
3:2	LDC_CMX_IN_SEL	R/W	Xh	LUT3 / DFF 输入路由选择 0h = CNT OUT 至 LUT IN2 / DFF RST IN 1h = CNT OUT 至 LUT IN1 / DFF D IN 2h = CNT OUT 至 LUT IN0 / DFF CLK IN 3h = 保留
1:0	LDC_CMX_MODE	R/W	Xh	LUT3 / DFF + CNT 模式选择 0h = 仅 LUT / DFF 1h = 仅 CNT 2h = CNT OUT 至 LUT / DFF IN 3h = LUT / DFF OUT 至 CNT IN

Copyright © 2026 Texas Instruments Incorporated

8.3.44 LUT3_10_CFG0 寄存器（偏移 = 35Eh）[复位 = X0h]

LUT3_10_CFG0 如表 8-214 所示。

返回到汇总表。

表 8-214. LUT3_10_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	BIT7	R/W	0h	LUT3[7]
6	BIT6	R/W	0h	LUT3[6] 或 DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] 或 DFF RST LVL 0h = 低电平 1h = 高电平
4	BIT4	R/W	0h	LUT3[4] 或 DFF RST / SET SEL 0h = 复位 (CLRZ) 1h = 设置 (PREZ)
3	BIT3	R/W	Xh	LUT3[3] 或 DFF CLK POL 0h = 同相时钟 1h = 反相时钟
2	BIT2	R/W	Xh	LUT3[2] 或 DFF INIT VAL 0h = 低电平 1h = 高电平
1	BIT1	R/W	Xh	LUT3[1] 或 DFF OUT POL 0h = 同相输出 1h = 反相输出
0	BIT0	R/W	Xh	LUT3[0] 或 DFF / LAT SEL 0h = DFF 功能 1h = LATCH 功能

8.3.45 LUT3_10_CFG1 寄存器（偏移 = 35Fh）[复位 = X0h]

LUT3_10_CFG1 如表 8-215 所示。

返回到汇总表。

表 8-215. LUT3_10_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT_DATA	R/W	Xh	CNT DATA

8.3.46 LUT3_10_CFG2 寄存器（偏移 = 360h）[复位 = X0h]

LUT3_10_CFG2 如表 8-216 所示。

返回到汇总表。

表 8-216. LUT3_10_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC1 (25MHz) 1h = OSC1 / 4 2h = OSC1 / 8 3h = OSC1 / 64 4h = OSC1 / 512 5h = OSC0（2kHz 或 10kHz） 6h = OSC0 / 8 7h = OSC0 / 12 8h = OSC0 / 24 9h = OSC0 / 64 Ah = OSC0 / 512 Bh = OSC0 / 4096 Ch = 保留 Dh = 来自 CMX 的外部 CLK Eh = 保留 Fh = 保留

Copyright © 2026 Texas Instruments Incorporated

表 8-216. LUT3_10_CFG2 寄存器字段说明（续）

位	字段	类型	复位	说明
3:0	MODE_SEL	R/W	Xh	CNT MODE 和 EDGE SEL 0h = 延迟/双边沿 1h = 延迟/下降沿 2h = 延迟/上升沿 3h = 单次触发/双边沿 4h = 单稳态/下降沿 5h = 单稳态/上升沿 6h = 频率检测/双边沿 7h = 频率检测/下降沿 8h = 频率检测/上升沿 9h = 边沿检测/双边沿 Ah = 边沿检测/下降沿 Bh = 边沿检测/上升沿 Ch = 计数器/双边沿 Dh = 计数器/下降沿 Eh = 计数器/上升沿 Fh = 计数器/高电平复位

8.3.47 LUT3_10_CFG3 寄存器（偏移 = 361h）[复位 = X0h]

LUT3_10_CFG3 如表 8-217 所示。

返回到汇总表。

表 8-217. LUT3_10_CFG3 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	RST_SYNC	R/W	0h	CNT RST SYNC 绕过选项 0h = 2-DFF 同步 1h = 绕过 2-DFF
4	RESERVED	R	0h	保留
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 绕过初始 1h = 初始低电平 2h = 初始高电平 3h = 初始高电平（保留）
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 同相 1h = 反相
0	DLY_EDET	R/W	Xh	DLY EDGE DETECT 选项 0h = 延迟功能 1h = 启用延迟功能上的边沿检测

8.3.48 LUT3_10_CFG4 寄存器（偏移 = 362h）[复位 = XXh]

LUT3_10_CFG4 如表 8-218 所示。

返回到汇总表。

表 8-218. LUT3_10_CFG4 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	0h	保留
4	LDC_FS	R/W	Xh	LUT3 / DFF 功能选择 0h = LUT 1h = DFF
3:2	LDC_CMX_IN_SEL	R/W	Xh	LUT3 / DFF 输入路由选择 0h = CNT OUT 至 LUT IN2 / DFF RST IN 1h = CNT OUT 至 LUT IN1 / DFF D IN 2h = CNT OUT 至 LUT IN0 / DFF CLK IN 3h = 保留
1:0	LDC_CMX_MODE	R/W	Xh	LUT3 / DFF + CNT 模式选择 0h = 仅 LUT / DFF 1h = 仅 CNT 2h = CNT OUT 至 LUT / DFF IN 3h = LUT / DFF OUT 至 CNT IN

Copyright © 2026 Texas Instruments Incorporated

8.3.49 LUT3_11_CFG0 寄存器（偏移 = 363h）[复位 = X0h]

LUT3_11_CFG0 如表 8-219 所示。

返回到汇总表。

表 8-219. LUT3_11_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	BIT7	R/W	0h	LUT3[7]
6	BIT6	R/W	0h	LUT3[6] 或 DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] 或 DFF RST LVL 0h = 低电平 1h = 高电平
4	BIT4	R/W	0h	LUT3[4] 或 DFF RST / SET SEL 0h = 复位 (CLRZ) 1h = 设置 (PREZ)
3	BIT3	R/W	Xh	LUT3[3] 或 DFF CLK POL 0h = 同相时钟 1h = 反相时钟
2	BIT2	R/W	Xh	LUT3[2] 或 DFF INIT VAL 0h = 低电平 1h = 高电平
1	BIT1	R/W	Xh	LUT3[1] 或 DFF OUT POL 0h = 同相输出 1h = 反相输出
0	BIT0	R/W	Xh	LUT3[0] 或 DFF / LAT SEL 0h = DFF 功能 1h = LATCH 功能

8.3.50 LUT3_11_CFG1 寄存器（偏移 = 364h）[复位 = X0h]

LUT3_11_CFG1 如表 8-220 所示。

返回到汇总表。

表 8-220. LUT3_11_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT_DATA	R/W	Xh	CNT DATA

8.3.51 LUT3_11_CFG2 寄存器（偏移 = 365h）[复位 = X0h]

LUT3_11_CFG2 如表 8-221 所示。

返回到汇总表。

表 8-221. LUT3_11_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC1 (25MHz) 1h = OSC1 / 4 2h = OSC1 / 8 3h = OSC1 / 64 4h = OSC1 / 512 5h = OSC0（2kHz 或 10kHz） 6h = OSC0 / 8 7h = OSC0 / 12 8h = OSC0 / 24 9h = OSC0 / 64 Ah = OSC0 / 512 Bh = OSC0 / 4096 Ch = 保留 Dh = 来自 CMX 的外部 CLK Eh = 保留 Fh = 保留

Copyright © 2026 Texas Instruments Incorporated

表 8-221. LUT3_11_CFG2 寄存器字段说明（续）

位	字段	类型	复位	说明
3:0	MODE_SEL	R/W	Xh	CNT MODE 和 EDGE SEL 0h = 延迟/双边沿 1h = 延迟/下降沿 2h = 延迟/上升沿 3h = 单次触发/双边沿 4h = 单稳态/下降沿 5h = 单稳态/上升沿 6h = 频率检测/双边沿 7h = 频率检测/下降沿 8h = 频率检测/上升沿 9h = 边沿检测/双边沿 Ah = 边沿检测/下降沿 Bh = 边沿检测/上升沿 Ch = 计数器/双边沿 Dh = 计数器/下降沿 Eh = 计数器/上升沿 Fh = 计数器/高电平复位

8.3.52 LUT3_11_CFG3 寄存器（偏移 = 366h）[复位 = X0h]

LUT3_11_CFG3 如表 8-222 所示。

返回到汇总表。

表 8-222. LUT3_11_CFG3 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	RST_SYNC	R/W	0h	CNT RST SYNC 绕过选项 0h = 2-DFF 同步 1h = 绕过 2-DFF
4	RESERVED	R	0h	保留
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 绕过初始 1h = 初始低电平 2h = 初始高电平 3h = 初始高电平（保留）
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 同相 1h = 反相
0	DLY_EDET	R/W	Xh	DLY EDGE DETECT 选项 0h = 延迟功能 1h = 启用延迟功能上的边沿检测

8.3.53 LUT3_11_CFG4 寄存器（偏移 = 367h）[复位 = XXh]

LUT3_11_CFG4 如表 8-223 所示。

返回到汇总表。

表 8-223. LUT3_11_CFG4 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	0h	保留
4	LDC_FS	R/W	Xh	LUT3 / DFF 功能选择 0h = LUT 1h = DFF
3:2	LDC_CMX_IN_SEL	R/W	Xh	LUT3 / DFF 输入路由选择 0h = CNT OUT 至 LUT IN2 / DFF RST IN 1h = CNT OUT 至 LUT IN1 / DFF D IN 2h = CNT OUT 至 LUT IN0 / DFF CLK IN 3h = 保留
1:0	LDC_CMX_MODE	R/W	Xh	LUT3 / DFF + CNT 模式选择 0h = 仅 LUT / DFF 1h = 仅 CNT 2h = CNT OUT 至 LUT / DFF IN 3h = LUT / DFF OUT 至 CNT IN

Copyright © 2026 Texas Instruments Incorporated

8.3.54 LUT3_12_CFG0 寄存器（偏移 = 368h）[复位 = X0h]

LUT3_12_CFG0 如表 8-224 所示。

返回到汇总表。

表 8-224. LUT3_12_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	BIT7	R/W	0h	LUT3[7]
6	BIT6	R/W	0h	LUT3[6] 或 DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] 或 DFF RST LVL 0h = 低电平 1h = 高电平
4	BIT4	R/W	0h	LUT3[4] 或 DFF RST / SET SEL 0h = 复位 (CLRZ) 1h = 设置 (PREZ)
3	BIT3	R/W	Xh	LUT3[3] 或 DFF CLK POL 0h = 同相时钟 1h = 反相时钟
2	BIT2	R/W	Xh	LUT3[2] 或 DFF INIT VAL 0h = 低电平 1h = 高电平
1	BIT1	R/W	Xh	LUT3[1] 或 DFF OUT POL 0h = 同相输出 1h = 反相输出
0	BIT0	R/W	Xh	LUT3[0] 或 DFF / LAT SEL 0h = DFF 功能 1h = LATCH 功能

8.3.55 LUT3_12_CFG1 寄存器（偏移 = 369h）[复位 = X0h]

LUT3_12_CFG1 如表 8-225 所示。

返回到汇总表。

表 8-225. LUT3_12_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT_DATA	R/W	Xh	CNT DATA

8.3.56 LUT3_12_CFG2 寄存器（偏移 = 36Ah）[复位 = X0h]

LUT3_12_CFG2 如表 8-226 所示。

返回到汇总表。

表 8-226. LUT3_12_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC1 (25MHz) 1h = OSC1 / 4 2h = OSC1 / 8 3h = OSC1 / 64 4h = OSC1 / 512 5h = OSC0（2kHz 或 10kHz） 6h = OSC0 / 8 7h = OSC0 / 12 8h = OSC0 / 24 9h = OSC0 / 64 Ah = OSC0 / 512 Bh = OSC0 / 4096 Ch = 保留 Dh = 来自 CMX 的外部 CLK Eh = 保留 Fh = 保留

Copyright © 2026 Texas Instruments Incorporated

表 8-226. LUT3_12_CFG2 寄存器字段说明（续）

位	字段	类型	复位	说明
3:0	MODE_SEL	R/W	Xh	CNT MODE 和 EDGE SEL 0h = 延迟/双边沿 1h = 延迟/下降沿 2h = 延迟/上升沿 3h = 单次触发/双边沿 4h = 单稳态/下降沿 5h = 单稳态/上升沿 6h = 频率检测/双边沿 7h = 频率检测/下降沿 8h = 频率检测/上升沿 9h = 边沿检测/双边沿 Ah = 边沿检测/下降沿 Bh = 边沿检测/上升沿 Ch = 计数器/双边沿 Dh = 计数器/下降沿 Eh = 计数器/上升沿 Fh = 计数器/高电平复位

8.3.57 LUT3_12_CFG3 寄存器（偏移 = 36Bh）[复位 = X0h]

LUT3_12_CFG3 如表 8-227 所示。

返回到汇总表。

表 8-227. LUT3_12_CFG3 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	RST_SYNC	R/W	0h	CNT RST SYNC 绕过选项 0h = 2-DFF 同步 1h = 绕过 2-DFF
4	RESERVED	R	0h	保留
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 绕过初始 1h = 初始低电平 2h = 初始高电平 3h = 初始高电平（保留）
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 同相 1h = 反相
0	DLY_EDET	R/W	Xh	DLY EDGE DETECT 选项 0h = 延迟功能 1h = 启用延迟功能上的边沿检测

8.3.58 LUT3_12_CFG4 寄存器（偏移 = 36Ch）[复位 = XXh]

LUT3_12_CFG4 如表 8-228 所示。

返回到汇总表。

表 8-228. LUT3_12_CFG4 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	0h	保留
4	LDC_FS	R/W	Xh	LUT3 / DFF 功能选择 0h = LUT 1h = DFF
3:2	LDC_CMX_IN_SEL	R/W	Xh	LUT3 / DFF 输入路由选择 0h = CNT OUT 至 LUT IN2 / DFF RST IN 1h = CNT OUT 至 LUT IN1 / DFF D IN 2h = CNT OUT 至 LUT IN0 / DFF CLK IN 3h = 保留
1:0	LDC_CMX_MODE	R/W	Xh	LUT3 / DFF + CNT 模式选择 0h = 仅 LUT / DFF 1h = 仅 CNT 2h = CNT OUT 至 LUT / DFF IN 3h = LUT / DFF OUT 至 CNT IN

Copyright © 2026 Texas Instruments Incorporated

8.3.59 LUT3_13_CFG0 寄存器（偏移 = 36Dh）[复位 = X0h]

LUT3_13_CFG0 如表 8-229 所示。

返回到汇总表。

表 8-229. LUT3_13_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	BIT7	R/W	0h	LUT3[7]
6	BIT6	R/W	0h	LUT3[6] 或 DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] 或 DFF RST LVL 0h = 低电平 1h = 高电平
4	BIT4	R/W	0h	LUT3[4] 或 DFF RST / SET SEL 0h = 复位 (CLRZ) 1h = 设置 (PREZ)
3	BIT3	R/W	Xh	LUT3[3] 或 DFF CLK POL 0h = 同相时钟 1h = 反相时钟
2	BIT2	R/W	Xh	LUT3[2] 或 DFF INIT VAL 0h = 低电平 1h = 高电平
1	BIT1	R/W	Xh	LUT3[1] 或 DFF OUT POL 0h = 同相输出 1h = 反相输出
0	BIT0	R/W	Xh	LUT3[0] 或 DFF / LAT SEL 0h = DFF 功能 1h = LATCH 功能

8.3.60 LUT3_13_CFG1 寄存器（偏移 = 36Eh）[复位 = X0h]

LUT3_13_CFG1 如表 8-230 所示。

返回到汇总表。

表 8-230. LUT3_13_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT_DATA	R/W	Xh	CNT DATA

8.3.61 LUT3_13_CFG2 寄存器（偏移 = 36Fh）[复位 = X0h]

LUT3_13_CFG2 如表 8-231 所示。

返回到汇总表。

表 8-231. LUT3_13_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC1 (25MHz) 1h = OSC1 / 4 2h = OSC1 / 8 3h = OSC1 / 64 4h = OSC1 / 512 5h = OSC0（2kHz 或 10kHz） 6h = OSC0 / 8 7h = OSC0 / 12 8h = OSC0 / 24 9h = OSC0 / 64 Ah = OSC0 / 512 Bh = OSC0 / 4096 Ch = 保留 Dh = 来自 CMX 的外部 CLK Eh = 保留 Fh = 保留

Copyright © 2026 Texas Instruments Incorporated

表 8-231. LUT3_13_CFG2 寄存器字段说明（续）

位	字段	类型	复位	说明
3:0	MODE_SEL	R/W	Xh	CNT MODE 和 EDGE SEL 0h = 延迟/双边沿 1h = 延迟/下降沿 2h = 延迟/上升沿 3h = 单次触发/双边沿 4h = 单稳态/下降沿 5h = 单稳态/上升沿 6h = 频率检测/双边沿 7h = 频率检测/下降沿 8h = 频率检测/上升沿 9h = 边沿检测/双边沿 Ah = 边沿检测/下降沿 Bh = 边沿检测/上升沿 Ch = 计数器/双边沿 Dh = 计数器/下降沿 Eh = 计数器/上升沿 Fh = 计数器/高电平复位

8.3.62 LUT3_13_CFG3 寄存器（偏移 = 370h）[复位 = X0h]

LUT3_13_CFG3 如表 8-232 所示。

返回到汇总表。

表 8-232. LUT3_13_CFG3 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	RST_SYNC	R/W	0h	CNT RST SYNC 绕过选项 0h = 2-DFF 同步 1h = 绕过 2-DFF
4	RESERVED	R	0h	保留
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 绕过初始 1h = 初始低电平 2h = 初始高电平 3h = 初始高电平（保留）
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 同相 1h = 反相
0	DLY_EDET	R/W	Xh	DLY EDGE DETECT 选项 0h = 延迟功能 1h = 启用延迟功能上的边沿检测

8.3.63 LUT3_13_CFG4 寄存器（偏移 = 371h）[复位 = XXh]

LUT3_13_CFG4 如表 8-233 所示。

返回到汇总表。

表 8-233. LUT3_13_CFG4 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	0h	保留
4	LDC_FS	R/W	Xh	LUT3 / DFF 功能选择 0h = LUT 1h = DFF
3:2	LDC_CMX_IN_SEL	R/W	Xh	LUT3 / DFF 输入路由选择 0h = CNT OUT 至 LUT IN2 / DFF RST IN 1h = CNT OUT 至 LUT IN1 / DFF D IN 2h = CNT OUT 至 LUT IN0 / DFF CLK IN 3h = 保留
1:0	LDC_CMX_MODE	R/W	Xh	LUT3 / DFF + CNT 模式选择 0h = 仅 LUT / DFF 1h = 仅 CNT 2h = CNT OUT 至 LUT / DFF IN 3h = LUT / DFF OUT 至 CNT IN

Copyright © 2026 Texas Instruments Incorporated

8.3.64 CNT6_FSM0_CFG0 寄存器（偏移 = 37Eh）[复位 = X0h]

CNT6_FSM0_CFG0 如表 8-234 所示。

返回到汇总表。

表 8-234. CNT6_FSM0_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT_DATA	R/W	Xh	CNT DATA

8.3.65 CNT6_FSM0_CFG1 寄存器（偏移 = 37Fh）[复位 = X0h]

CNT6_FSM0_CFG1 如表 8-235 所示。

返回到汇总表。

表 8-235. CNT6_FSM0_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC1 (25MHz) 1h = OSC1 / 4 2h = OSC1 / 8 3h = OSC1 / 64 4h = OSC1 / 512 5h = OSC0（2kHz 或 10kHz） 6h = OSC0 / 8 7h = OSC0 / 12 8h = OSC0 / 24 9h = OSC0 / 64 Ah = OSC0 / 512 Bh = OSC0 / 4096 Ch = 保留 Dh = 来自 CMX 的外部 CLK Eh = 保留 Fh = 保留
3:0	MODE_SEL	R/W	Xh	CNT MODE 和 EDGE SEL 0h = 延迟/双边沿 1h = 延迟/下降沿 2h = 延迟/上升沿 3h = 单次触发/双边沿 4h = 单稳态/下降沿 5h = 单稳态/上升沿 6h = 频率检测/双边沿 7h = 频率检测/下降沿 8h = 频率检测/上升沿 9h = 边沿检测/双边沿 Ah = 边沿检测/下降沿 Bh = 边沿检测/上升沿 Ch = 计数器/双边沿 Dh = 计数器/下降沿 Eh = 计数器/上升沿 Fh = 计数器/高电平复位

8.3.66 CNT6_FSM0_CFG2 寄存器（偏移 = 380h）[复位 = 0Xh]

CNT6_FSM0_CFG2 如表 8-236 所示。

返回到汇总表。

表 8-236. CNT6_FSM0_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7	UP_SYNC	R/W	0h	FSM UP SYNC 绕过选项 0h = 2-DFF 同步 1h = 绕过 2-DFF
6	KEEP_SYNC	R/W	0h	FSM KEEP SYNC 绕过选项 0h = 2-DFF 同步 1h = 绕过 2-DFF
5	RST_SYNC	R/W	0h	CNT RST SYNC 绕过选项 0h = 2-DFF 同步 1h = 绕过 2-DFF

Copyright © 2026 Texas Instruments Incorporated

表 8-236. CNT6_FSM0_CFG2 寄存器字段说明（续）

位	字段	类型	复位	说明
4	RESERVED	R	0h	保留
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 绕过初始 1h = 初始低电平 2h = 初始高电平 3h = 初始高电平（保留）
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 同相 1h = 反相
0	DLY_EDET	R/W	Xh	DLY EDGE DETECT 选项 0h = 延迟功能 1h = 启用延迟功能上的边沿检测

8.3.67 CNT7_FSM1_CFG0 寄存器（偏移 = 381h）[复位 = X0h]

CNT7_FSM1_CFG0 如表 8-237 所示。

返回到汇总表。

表 8-237. CNT7_FSM1_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT_DATA	R/W	Xh	CNT DATA

8.3.68 CNT7_FSM1_CFG1 寄存器（偏移 = 382h）[复位 = X0h]

CNT7_FSM1_CFG1 如表 8-238 所示。

返回到汇总表。

表 8-238. CNT7_FSM1_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC1 (25MHz) 1h = OSC1 / 4 2h = OSC1 / 8 3h = OSC1 / 64 4h = OSC1 / 512 5h = OSC0（2kHz 或 10kHz） 6h = OSC0 / 8 7h = OSC0 / 12 8h = OSC0 / 24 9h = OSC0 / 64 Ah = OSC0 / 512 Bh = OSC0 / 4096 Ch = 保留 Dh = 来自 CMX 的外部 CLK Eh = 保留 Fh = 保留
3:0	MODE_SEL	R/W	Xh	CNT MODE 和 EDGE SEL 0h = 延迟/双边沿 1h = 延迟/下降沿 2h = 延迟/上升沿 3h = 单次触发/双边沿 4h = 单稳态/下降沿 5h = 单稳态/上升沿 6h = 频率检测/双边沿 7h = 频率检测/下降沿 8h = 频率检测/上升沿 9h = 边沿检测/双边沿 Ah = 边沿检测/下降沿 Bh = 边沿检测/上升沿 Ch = 计数器/双边沿 Dh = 计数器/下降沿 Eh = 计数器/上升沿 Fh = 计数器/高电平复位

Copyright © 2026 Texas Instruments Incorporated

8.3.69 CNT7_FSM1_CFG2 寄存器（偏移 = 383h）[复位 = 0Xh]

CNT7_FSM1_CFG2 如表 8-239 所示。

返回到汇总表。

表 8-239. CNT7_FSM1_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7	UP_SYNC	R/W	0h	FSM UP SYNC 绕过选项 0h = 2-DFF 同步 1h = 绕过 2-DFF
6	KEEP_SYNC	R/W	0h	FSM KEEP SYNC 绕过选项 0h = 2-DFF 同步 1h = 绕过 2-DFF
5	RST_SYNC	R/W	0h	CNT RST SYNC 绕过选项 0h = 2-DFF 同步 1h = 绕过 2-DFF
4	RESERVED	R	0h	保留
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 绕过初始 1h = 初始低电平 2h = 初始高电平 3h = 初始高电平（保留）
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 同相 1h = 反相
0	DLY_EDET	R/W	Xh	DLY EDGE DETECT 选项 0h = 延迟功能 1h = 启用延迟功能上的边沿检测

8.3.70 CNT8_FSM2_CFG0 寄存器（偏移 = 384h）[复位 = X0h]

CNT8_FSM2_CFG0 如表 8-240 所示。

返回到汇总表。

表 8-240. CNT8_FSM2_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT_DATA	R/W	Xh	CNT DATA

8.3.71 CNT8_FSM2_CFG1 寄存器（偏移 = 385h）[复位 = X0h]

CNT8_FSM2_CFG1 如表 8-241 所示。

返回到汇总表。

表 8-241. CNT8_FSM2_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC1 (25MHz) 1h = OSC1 / 4 2h = OSC1 / 8 3h = OSC1 / 64 4h = OSC1 / 512 5h = OSC0（2kHz 或 10kHz） 6h = OSC0 / 8 7h = OSC0 / 12 8h = OSC0 / 24 9h = OSC0 / 64 Ah = OSC0 / 512 Bh = OSC0 / 4096 Ch = 保留 Dh = 来自 CMX 的外部 CLK Eh = 保留 Fh = 保留

Copyright © 2026 Texas Instruments Incorporated

表 8-241. CNT8_FSM2_CFG1 寄存器字段说明（续）

位	字段	类型	复位	说明
3:0	MODE_SEL	R/W	Xh	CNT MODE 和 EDGE SEL 0h = 延迟/双边沿 1h = 延迟/下降沿 2h = 延迟/上升沿 3h = 单次触发/双边沿 4h = 单稳态/下降沿 5h = 单稳态/上升沿 6h = 频率检测/双边沿 7h = 频率检测/下降沿 8h = 频率检测/上升沿 9h = 边沿检测/双边沿 Ah = 边沿检测/下降沿 Bh = 边沿检测/上升沿 Ch = 计数器/双边沿 Dh = 计数器/下降沿 Eh = 计数器/上升沿 Fh = 计数器/高电平复位

8.3.72 CNT8_FSM2_CFG2 寄存器（偏移 = 386h）[复位 = 0Xh]

CNT8_FSM2_CFG2 如表 8-242 所示。

返回到汇总表。

表 8-242. CNT8_FSM2_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7	UP_SYNC	R/W	0h	FSM UP SYNC 绕过选项 0h = 2-DFF 同步 1h = 绕过 2-DFF
6	KEEP_SYNC	R/W	0h	FSM KEEP SYNC 绕过选项 0h = 2-DFF 同步 1h = 绕过 2-DFF
5	RST_SYNC	R/W	0h	CNT RST SYNC 绕过选项 0h = 2-DFF 同步 1h = 绕过 2-DFF
4	RESERVED	R	0h	保留
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 绕过初始 1h = 初始低电平 2h = 初始高电平 3h = 初始高电平（保留）
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 同相 1h = 反相
0	DLY_EDET	R/W	Xh	DLY EDGE DETECT 选项 0h = 延迟功能 1h = 启用延迟功能上的边沿检测

8.3.73 CNT9_FSM3_CFG0 寄存器（偏移 = 387h）[复位 = X0h]

CNT9_FSM3_CFG0 如表 8-243 所示。

返回到汇总表。

表 8-243. CNT9_FSM3_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7:0	CNT_DATA	R/W	Xh	CNT DATA

8.3.74 CNT9_FSM3_CFG1 寄存器（偏移 = 388h）[复位 = X0h]

CNT9_FSM3_CFG1 如表 8-244 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-244. CNT9_FSM3_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC1 (25MHz) 1h = OSC1 / 4 2h = OSC1 / 8 3h = OSC1 / 64 4h = OSC1 / 512 5h = OSC0（2kHz 或 10kHz） 6h = OSC0 / 8 7h = OSC0 / 12 8h = OSC0 / 24 9h = OSC0 / 64 Ah = OSC0 / 512 Bh = OSC0 / 4096 Ch = 保留 Dh = 来自 CMX 的外部 CLK Eh = 保留 Fh = 保留
3:0	MODE_SEL	R/W	Xh	CNT MODE 和 EDGE SEL 0h = 延迟/双边沿 1h = 延迟/下降沿 2h = 延迟/上升沿 3h = 单次触发/双边沿 4h = 单稳态/下降沿 5h = 单稳态/上升沿 6h = 频率检测/双边沿 7h = 频率检测/下降沿 8h = 频率检测/上升沿 9h = 边沿检测/双边沿 Ah = 边沿检测/下降沿 Bh = 边沿检测/上升沿 Ch = 计数器/双边沿 Dh = 计数器/下降沿 Eh = 计数器/上升沿 Fh = 计数器/高电平复位

8.3.75 CNT9_FSM3_CFG2 寄存器（偏移 = 389h）[复位 = 0Xh]

CNT9_FSM3_CFG2 如表 8-245 所示。

返回到汇总表。

表 8-245. CNT9_FSM3_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7	UP_SYNC	R/W	0h	FSM UP SYNC 绕过选项 0h = 2-DFF 同步 1h = 绕过 2-DFF
6	KEEP_SYNC	R/W	0h	FSM KEEP SYNC 绕过选项 0h = 2-DFF 同步 1h = 绕过 2-DFF
5	RST_SYNC	R/W	0h	CNT RST SYNC 绕过选项 0h = 2-DFF 同步 1h = 绕过 2-DFF
4	RESERVED	R	0h	保留
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 绕过初始 1h = 初始低电平 2h = 初始高电平 3h = 初始高电平（保留）
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 同相 1h = 反相
0	DLY_EDET	R/W	Xh	DLY EDGE DETECT 选项 0h = 延迟功能 1h = 启用延迟功能上的边沿检测

8.3.76 PWM_GEN0_CFG 寄存器（偏移 = 38Ah）[复位 = 0Xh]

PWM_GEN0_CFG 如表 8-246 所示。

Copyright © 2026 Texas Instruments Incorporated

返回到汇总表。

表 8-246. PWM_GEN0_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	PWM_EN	R/W	0h	PWM/EN 0h = 禁用 1h = 启用
6:4	RESERVED	R	0h	保留
3:2	TDB_SEL	R/W	Xh	PWM 死区时间选择 0h = 0 个 CLK 1h = 1 个 CLK 2h = 2 个 CLK 3h = 5 个 CLK
1	OUTP_POL	R/W	Xh	PWM OUT1 POL 0h = 同相输出 1h = 反相输出
0	OUTN_POL	R/W	Xh	PWM OUT0 POL 0h = 同相输出 1h = 反相输出

8.3.77 PWM_GEN1_CFG 寄存器（偏移 = 38Bh）[复位 = 0Xh]

PWM_GEN1_CFG 如表 8-247 所示。

返回到汇总表。

表 8-247. PWM_GEN1_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	PWM_EN	R/W	0h	PWM/EN 0h = 禁用 1h = 启用
6:4	RESERVED	R	0h	保留
3:2	TDB_SEL	R/W	Xh	PWM 死区时间选择 0h = 0 个 CLK 1h = 1 个 CLK 2h = 2 个 CLK 3h = 5 个 CLK
1	OUTP_POL	R/W	Xh	PWM OUT1 POL 0h = 同相输出 1h = 反相输出
0	OUTN_POL	R/W	Xh	PWM OUT0 POL 0h = 同相输出 1h = 反相输出

8.3.78 PWM_GEN2_CFG 寄存器（偏移 = 38Ch）[复位 = 0Xh]

PWM_GEN2_CFG 如表 8-248 所示。

返回到汇总表。

表 8-248. PWM_GEN2_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	PWM_EN	R/W	0h	PWM/EN 0h = 禁用 1h = 启用
6:4	RESERVED	R	0h	保留
3:2	TDB_SEL	R/W	Xh	PWM 死区时间选择 0h = 0 个 CLK 1h = 1 个 CLK 2h = 2 个 CLK 3h = 5 个 CLK
1	OUTP_POL	R/W	Xh	PWM OUT1 POL 0h = 同相输出 1h = 反相输出

Copyright © 2026 Texas Instruments Incorporated

表 8-248. PWM_GEN2_CFG 寄存器字段说明（续）

位	字段	类型	复位	说明
0	OUTN_POL	R/W	Xh	PWM OUT0 POL 0h = 同相输出 1h = 反相输出

8.3.79 PWM_GEN3_CFG 寄存器（偏移 = 38Dh）[复位 = 0Xh]

PWM_GEN3_CFG 如表 8-249 所示。

返回到汇总表。

表 8-249. PWM_GEN3_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	PWM_EN	R/W	0h	PWM/EN 0h = 禁用 1h = 启用
6:4	RESERVED	R	0h	保留
3:2	TDB_SEL	R/W	Xh	PWM 死区时间选择 0h = 0 个 CLK 1h = 1 个 CLK 2h = 2 个 CLK 3h = 5 个 CLK
1	OUTP_POL	R/W	Xh	PWM OUT1 POL 0h = 同相输出 1h = 反相输出
0	OUTN_POL	R/W	Xh	PWM OUT0 POL 0h = 同相输出 1h = 反相输出

8.3.80 PWM_SRC_CFG 寄存器（偏移 = 38Eh）[复位 = X0h]

PWM_SRC_CFG 如表 8-250 所示。

返回到汇总表。

表 8-250. PWM_SRC_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:6	PWM3_DATA_SEL	R/W	0h	PWM3 DATA 源选择 0h = FSM0 1h = FSM1 2h = FSM2 3h = FSM3
5:4	PWM2_DATA_SEL	R/W	0h	PWM2 DATA 源选择 0h = FSM0 1h = FSM1 2h = FSM2 3h = FSM3
3:2	PWM1_DATA_SEL	R/W	Xh	PWM1 DATA 源选择 0h = FSM0 1h = FSM1 2h = FSM2 3h = FSM3
1:0	PWM0_DATA_SEL	R/W	Xh	PWM0 DATA 源选择 0h = FSM0 1h = FSM1 2h = FSM2 3h = FSM3

8.3.81 SM_CFG0 寄存器（偏移 = 38Fh）[复位 = XXh]

SM_CFG0 如表 8-251 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-251. SM_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6:4	SM_S1_IN0	R/W	Xh	STATE1 IN0 转换 FROM 选择 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	RESERVED	R	0h	保留
2:0	SM_S0_IN0	R/W	Xh	STATE0 IN0 转换 FROM 选择 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

8.3.82 SM_CFG1 寄存器（偏移 = 390h）[复位 = XXh]

SM_CFG1 如表 8-252 所示。

返回到汇总表。

表 8-252. SM_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6:4	SM_S1_IN1	R/W	Xh	STATE1 IN1 转换 FROM 选择 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	RESERVED	R	0h	保留
2:0	SM_S0_IN1	R/W	Xh	STATE0 IN1 转换 FROM 选择 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

8.3.83 SM_CFG2 寄存器（偏移 = 391h）[复位 = 00h]

SM_CFG2 如表 8-253 所示。

返回到汇总表。

表 8-253. SM_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6:4	RESERVED	R	0h	保留
3	RESERVED	R	0h	保留
2:0	RESERVED	R	0h	保留

Copyright © 2026 Texas Instruments Incorporated

8.3.84 SM_CFG3 寄存器（偏移 = 392h）[复位 = XXh]

SM_CFG3 如表 8-254 所示。

返回到汇总表。

表 8-254. SM_CFG3 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6:4	SM_S3_IN0	R/W	Xh	STATE3 IN0 转换 FROM 选择 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	RESERVED	R	0h	保留
2:0	SM_S2_IN0	R/W	Xh	STATE2 IN0 转换 FROM 选择 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

8.3.85 SM_CFG4 寄存器（偏移 = 393h）[复位 = XXh]

SM_CFG4 如表 8-255 所示。

返回到汇总表。

表 8-255. SM_CFG4 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6:4	SM_S3_IN1	R/W	Xh	STATE3 IN1 转换 FROM 选择 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	RESERVED	R	0h	保留
2:0	SM_S2_IN1	R/W	Xh	STATE2 IN1 转换 FROM 选择 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

8.3.86 SM_CFG5 寄存器（偏移 = 394h）[复位 = 00h]

SM_CFG5 如表 8-256 所示。

返回到汇总表。

表 8-256. SM_CFG5 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6:4	RESERVED	R	0h	保留
3	RESERVED	R	0h	保留

Copyright © 2026 Texas Instruments Incorporated

表 8-256. SM_CFG5 寄存器字段说明（续）

位	字段	类型	复位	说明
2:0	RESERVED	R	0h	保留

8.3.87 SM_CFG6 寄存器（偏移 = 395h）[复位 = XXh]

SM_CFG6 如表 8-257 所示。

返回到汇总表。

表 8-257. SM_CFG6 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6:4	SM_S5_IN0	R/W	Xh	STATE5 IN0 转换 FROM 选择 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	RESERVED	R	0h	保留
2:0	SM_S4_IN0	R/W	Xh	STATE4 IN0 转换 FROM 选择 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

8.3.88 SM_CFG7 寄存器（偏移 = 396h）[复位 = XXh]

SM_CFG7 如表 8-258 所示。

返回到汇总表。

表 8-258. SM_CFG7 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6:4	SM_S5_IN1	R/W	Xh	STATE5 IN1 转换 FROM 选择 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	RESERVED	R	0h	保留
2:0	SM_S4_IN1	R/W	Xh	STATE4 IN1 转换 FROM 选择 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

8.3.89 SM_CFG8 寄存器（偏移 = 397h）[复位 = 00h]

SM_CFG8 如表 8-259 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-259. SM_CFG8 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6:4	RESERVED	R	0h	保留
3	RESERVED	R	0h	保留
2:0	RESERVED	R	0h	保留

8.3.90 SM_CFG9 寄存器（偏移 = 398h）[复位 = XXh]

SM_CFG9 如表 8-260 所示。

返回到汇总表。

表 8-260. SM_CFG9 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6:4	SM_S7_IN0	R/W	Xh	STATE7 IN0 转换 FROM 选择 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	RESERVED	R	0h	保留
2:0	SM_S6_IN0	R/W	Xh	STATE6 IN0 转换 FROM 选择 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

8.3.91 SM_CFG10 寄存器（偏移 = 399h）[复位 = XXh]

SM_CFG10 如表 8-261 所示。

返回到汇总表。

表 8-261. SM_CFG10 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6:4	SM_S7_IN1	R/W	Xh	STATE7 IN1 转换 FROM 选择 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	RESERVED	R	0h	保留
2:0	SM_S6_IN1	R/W	Xh	STATE6 IN1 转换 FROM 选择 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

Copyright © 2026 Texas Instruments Incorporated

8.3.92 SM_CFG11 寄存器（偏移 = 39Ah）[复位 = 00h]

SM_CFG11 如表 8-262 所示。

返回到汇总表。

表 8-262. SM_CFG11 寄存器字段说明

位	字段	类型	复位	说明
7	SM_SYNC_EN	R/W	0h	状态机同步模式时钟同步启用 0h = 禁用 1h = 启用
6:4	RESERVED	R	0h	保留
3	RESERVED	R	0h	保留
2:0	RESERVED	R	0h	保留

8.3.93 SM_CFG12 寄存器（偏移 = 3A7h）[复位 = X0h]

SM_CFG12 如表 8-263 所示。

返回到汇总表。

表 8-263. SM_CFG12 寄存器字段说明

位	字段	类型	复位	说明
7:4	SM_CLK_SEL	R/W	0h	状态机 CLK SEL 0h = OSC1 (25MHz) 1h = OSC1 / 4 2h = OSC1 / 8 3h = OSC1 / 64 4h = OSC1 / 512 5h = OSC0（2.048kHz 或 10kHz） 6h = OSC0 / 8 7h = OSC0 / 12 8h = OSC0 / 24 9h = OSC0 / 64 Ah = OSC0 / 512 Bh = OSC0 / 4096 Ch = 上一个 CNT 输出 (CNT4) Dh = 来自 CMX 的外部 CLK Eh = 保留 Fh = 保留
3	MODE_SEL	R/W	Xh	状态机同步模式选择 0h = 异步 1h = 同步
2:0	SM_INIT_STATE	R/W	Xh	状态机初始状态选择 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

8.3.94 SM_CFG13 寄存器（偏移 = 3A8h）[复位 = X0h]

SM_CFG13 如表 8-264 所示。

返回到汇总表。

表 8-264. SM_CFG13 寄存器字段说明

位	字段	类型	复位	说明
7:0	S0_OUT_CFG	R/W	Xh	

8.3.95 SM_CFG14 寄存器（偏移 = 3A9h）[复位 = X0h]

SM_CFG14 如表 8-265 所示。

Copyright © 2026 Texas Instruments Incorporated

返回到汇总表。

表 8-265. SM_CFG14 寄存器字段说明

位	字段	类型	复位	说明
7:0	S1_OUT_CFG	R/W	Xh	

8.3.96 SM_CFG15 寄存器（偏移 = 3AAh）[复位 = X0h]

SM_CFG15 如表 8-266 所示。

返回到汇总表。

表 8-266. SM_CFG15 寄存器字段说明

位	字段	类型	复位	说明
7:0	S2_OUT_CFG	R/W	Xh	

8.3.97 SM_CFG16 寄存器（偏移 = 3ABh）[复位 = X0h]

SM_CFG16 如表 8-267 所示。

返回到汇总表。

表 8-267. SM_CFG16 寄存器字段说明

位	字段	类型	复位	说明
7:0	S3_OUT_CFG	R/W	Xh	

8.3.98 SM_CFG17 寄存器（偏移 = 3ACh）[复位 = X0h]

SM_CFG17 如表 8-268 所示。

返回到汇总表。

表 8-268. SM_CFG17 寄存器字段说明

位	字段	类型	复位	说明
7:0	S4_OUT_CFG	R/W	Xh	

8.3.99 SM_CFG18 寄存器（偏移 = 3ADh）[复位 = X0h]

SM_CFG18 如表 8-269 所示。

返回到汇总表。

表 8-269. SM_CFG18 寄存器字段说明

位	字段	类型	复位	说明
7:0	S5_OUT_CFG	R/W	Xh	

8.3.100 SM_CFG19 寄存器（偏移 = 3AEh）[复位 = X0h]

SM_CFG19 如表 8-270 所示。

返回到汇总表。

表 8-270. SM_CFG19 寄存器字段说明

位	字段	类型	复位	说明
7:0	S6_OUT_CFG	R/W	Xh	

Copyright © 2026 Texas Instruments Incorporated

8.3.101 SM_CFG20 寄存器（偏移 = 3AFh）[复位 = X0h]

SM_CFG20 如表 8-271 所示。

返回到汇总表。

表 8-271. SM_CFG20 寄存器字段说明

位	字段	类型	复位	说明
7:0	S7_OUT_CFG	R/W	Xh	

8.3.102 WDT_CFG0 寄存器（偏移 = 3B8h）[复位 = X0h]

WDT_CFG0 如表 8-272 所示。

返回到汇总表。

表 8-272. WDT_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7:0	WDT_TIMEOUT_DATA	R/W	Xh	WDT 超时周期计数器 DATA

8.3.103 WDT_CFG1 寄存器（偏移 = 3B9h）[复位 = X0h]

WDT_CFG1 如表 8-273 所示。

返回到汇总表。

表 8-273. WDT_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:0	WDT_OUT_DATA	R/W	Xh	WDT 输出周期计数器 DATA

8.3.104 WDT_CFG2 寄存器（偏移 = 3BAh）[复位 = 0Xh]

WDT_CFG2 如表 8-274 所示。

返回到汇总表。

表 8-274. WDT_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7:4	WDT_CLK_SEL	R/W	0h	WDT CLK SEL 0h = OSC1 (25MHz) 1h = OSC1 / 4 2h = OSC1 / 8 3h = OSC1 / 64 4h = OSC1 / 512 5h = OSC0（2kHz 或 10kHz） 6h = OSC0 / 8 7h = OSC0 / 12 8h = OSC0 / 24 9h = OSC0 / 64 Ah = OSC0 / 512 Bh = OSC0 / 4096 Ch = 保留 Dh = 来自 CMX 的外部 CLK Eh = 保留 Fh = 保留
3	RESERVED	R	0h	保留
2	WDT_EN	R/W	Xh	WDT EN 0h = 禁用 1h = 启用
1	WDT_100X_EN	R/W	Xh	WDT 100X CLK 倍频器 EN 0h = 禁用 1h = 启用

Copyright © 2026 Texas Instruments Incorporated

表 8-274. WDT_CFG2 寄存器字段说明（续）

位	字段	类型	复位	说明
0	WDT_EN_SEL	R/W	Xh	WDT EN 功能选择 0h = 复位 CNT 1h = 暂停 CNT

8.3.105 PFLT_CFG 寄存器（偏移 = 3BBh）[复位 = XXh]

PFLT_CFG 如表 8-275 所示。

返回到汇总表。

表 8-275. PFLT_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:4	PFLT_DLY_SEL	R/W	Xh	可编程滤波器延迟值选择 0h = 125ns 1h = 250ns 2h = 375ns 3h = 500ns
3	PFLT_POL	R/W	Xh	可编程滤波器输出极性选择 0h = 同相 1h = 反相
2	RESERVED	R	0h	保留
1:0	PFLT_EDGE_SEL	R/W	Xh	可编程滤波器边沿选择 0h = 上升沿 1h = 下降沿 2h = 双边沿 3h = 滤波器

8.3.106 FLT_CFG 寄存器（偏移 = 3BDh）[复位 = 0Xh]

FLT_CFG 如表 8-276 所示。

返回到汇总表。

表 8-276. FLT_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R	0h	保留
3	FLT_POL	R/W	Xh	滤波器输出极性选择 0h = 同相 1h = 反相
2	RESERVED	R	0h	保留
1:0	FLT_EDGE_SEL	R/W	Xh	滤波器/边沿检测边沿选择 0h = 上升沿 1h = 下降沿 2h = 双边沿 3h = 滤波器

8.3.107 OSC0_CFG0 寄存器（偏移 = 3BEh）[复位 = XXh]

OSC0_CFG0 如表 8-277 所示。

返回到汇总表。

表 8-277. OSC0_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	CTRL_SRC	R/W	Xh	OSC 电源控制源选择 0h = 来自寄存器 1h = 来自 CMX

Copyright © 2026 Texas Instruments Incorporated

表 8-277. OSC0_CFG0 寄存器字段说明（续）

位	字段	类型	复位	说明
5	CTRL_SEL	R/W	Xh	OSC 电源控制极性选择 0h = 断电（高电平关闭 OSC） 1h = 强制导通（高电平开启 OSC）
4	SRC_SEL	R/W	Xh	OSC 频率源选择 0h = 内部 OSC 1h = 外部时钟（来自 IO7）
3:2	PDIV	R/W	Xh	OSC 预分频器选择 0h = / 1 1h = / 2 2h = / 4 3h = / 8
1	FREQ_SEL	R/W	Xh	OSC 频率选择 0h = 2kHz 1h = 10kHz
0	PWR_MODE	R/W	Xh	OSC 功耗模式选择 0h = 自动上电 1h = 强制上电

8.3.108 OSC0_CFG1 寄存器（偏移 = 3BFh）[复位 = X0h]

OSC0_CFG1 如表 8-278 所示。

返回到汇总表。

表 8-278. OSC0_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7	OUT1_EN	R/W	0h	OSC OUT1 启用 0h = 禁用 1h = 启用
6:4	OUT1_DIV	R/W	0h	OSC OUT1 次级分频器选择 0h = / 1 1h = / 2 2h = / 3 3h = / 4 4h = / 8 5h = / 12 6h = / 24 7h = / 64
3	OUT0_EN	R/W	Xh	OSC OUT0 启用 0h = 禁用 1h = 启用
2:0	OUT0_DIV	R/W	Xh	OSC OUT0 次级分频器选择 0h = / 1 1h = / 2 2h = / 3 3h = / 4 4h = / 8 5h = / 12 6h = / 24 7h = / 64

8.3.109 OSC1_CFG0 寄存器（偏移 = 3C0h）[复位 = X0h]

OSC1_CFG0 如表 8-279 所示。

返回到汇总表。

表 8-279. OSC1_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	SU_DLY	R/W	0h	OSC 100ns 启动延迟控制 0h = 启用 1h = 禁用
6	CTRL_SRC	R/W	0h	OSC 电源控制源选择 0h = 来自寄存器 1h = 来自 CMX

Copyright © 2026 Texas Instruments Incorporated

表 8-279. OSC1_CFG0 寄存器字段说明（续）

位	字段	类型	复位	说明
5	CTRL_SEL	R/W	0h	OSC 电源控制极性选择 0h = 断电（高电平关闭 OSC） 1h = 强制导通（高电平开启 OSC）
4	SRC_SEL	R/W	0h	OSC 频率源选择 0h = 内部 OSC 1h = 外部时钟（来自 IN0）
3:1	PDIV	R/W	Xh	OSC 预分频器选择 0h = / 1 1h = / 2 2h = / 4 3h = / 8 4h = / 12 5h = / 24 6h = / 48 7h = 保留
0	PWR_MODE	R/W	Xh	OSC 功耗模式选择 0h = 自动上电 1h = 强制上电

8.3.110 OSC1_CFG1 寄存器（偏移 = 3C1h）[复位 = 0Xh]

OSC1_CFG1 如表 8-280 所示。

返回到汇总表。

表 8-280. OSC1_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R	0h	保留
3	OUT_EN	R/W	Xh	OSC OUT 启用 0h = 禁用 1h = 启用
2:0	OUT_DIV	R/W	Xh	OSC OUT 次级分频器选择 0h = / 1 1h = / 2 2h = / 3 3h = / 4 4h = / 8 5h = / 12 6h = / 24 7h = / 64

8.3.111 OSC1_CG 寄存器（偏移 = 3C5h）[复位 = X0h]

OSC1_CG 如表 8-281 所示。

返回到汇总表。

表 8-281. OSC1_CG 寄存器字段说明

位	字段	类型	复位	说明
7	OSC1_DIV3	R/W	0h	禁用 /3、/12 和 /24 分频器。 0h = 分频器已启用 1h = 分频器已禁用
6	OSC1_DIV512	R/W	0h	禁用 /512 分频器。 0h = 分频器已启用 1h = 分频器已禁用
5	OSC1_DIV64	R/W	0h	禁用 /64 和 /512 分频器。 0h = 分频器已启用 1h = 分频器已禁用
4	OSC1_DIV24	R/W	0h	禁用 /3、/12 和 /24 分频器。 0h = 分频器已启用 1h = 分频器已禁用
3	OSC1_DIV12	R/W	Xh	禁用 /3 和 /12 分频器。 0h = 分频器已启用 1h = 分频器已禁用

Copyright © 2026 Texas Instruments Incorporated

表 8-281. OSC1_CG 寄存器字段说明（续）

位	字段	类型	复位	说明
2	OSC1_DIV8	R/W	Xh	禁用 /8、/64 和 /512 分频器。 0h = 分频器已启用 1h = 分频器已禁用
1	OSC1_DIV4	R/W	Xh	禁用 /4、/8、/64 和 /512 分频器。 0h = 分频器已启用 1h = 分频器已禁用
0	OSC1_DIV2	R/W	Xh	禁用 /2、/4、/8、/64 和 /512 分频器。 0h = 分频器已启用 1h = 分频器已禁用

8.3.112 MCACMP_CFG0 寄存器（偏移 = 3CFh）[复位 = 0Xh]

MCACMP_CFG0 如表 8-282 所示。

返回到汇总表。

表 8-282. MCACMP_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	TS_INP_EN	R/W	0h	McACMP 的温度传感器输入启用 0h = 禁用 1h = 启用
6	VCC_INP_EN	R/W	0h	McACMP 的 VCC 输入启用 0h = 禁用 1h = 启用
5	SYNC_EN	R/W	0h	McACMP 输出同步选择 0h = 异步 1h = 同步
4	MCS_MODE	R/W	0h	McACMP 触发模式选择 0h = 电平敏感 EN 模式 1h = 边沿敏感 EN 模式
3:2	CH_EN	R/W	0h	采样通道数目选择 0h = 1 通道 1h = 2 通道 2h = 3 通道 3h = 4 通道
1	RESERVED	R	0h	保留
0	MCS_EN	R/W	Xh	采样模式选择 0h = 常规模式（单通道） 1h = 多通道模式

8.3.113 MCACMP_CFG1 寄存器（偏移 = 3D0h）[复位 = 0Xh]

MCACMP_CFG1 如表 8-283 所示。

返回到汇总表。

表 8-283. MCACMP_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:3	RESERVED	R	0h	保留
2	EDGE_SEL	R/W	Xh	McACMP 采样边沿选择 0h = 在 CLK 负边沿上采样 1h = 在 CLK 正边沿上采样
1:0	MCS_CLK_SEL	R/W	Xh	McACMP CLK 选择 0h = OSC0（2kHz 或 10kHz） 1h = OSC0 / 2 2h = OSC0 / 4 3h = OSC0 / 8

Copyright © 2026 Texas Instruments Incorporated

8.3.114 MCACMP_CH0_CFG0 寄存器（偏移 = 3D1h）[复位 = XXh]

MCACMP_CH0_CFG0 如表 8-284 所示。

返回到汇总表。

表 8-284. MCACMP_CH0_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	RST_EN	R/W	Xh	McACMP CH0 RST EN 选择 0h = 禁用 1h = 启用
5:4	INP_SEL	R/W	Xh	McACMP CH0 输入源选择 0h = AIO0 1h = AIO1 2h = AIO2（或 VCC） 3h = AIO3（或 TS）
3:2	GAIN_SEL	R/W	Xh	McACMP CH0 增益选择 0h = 1X 1h = 0.5X 2h = 0.33X 3h = 0.25X
1:0	HYS_SEL	R/W	Xh	McACMP CH0 迟滞选择 0h = 0mV 1h = 32mV 2h = 64mV 3h = 192mV

8.3.115 MCACMP_CH0_CFG1 寄存器（偏移 = 3D2h）[复位 = XXh]

MCACMP_CH0_CFG1 如表 8-285 所示。

返回到汇总表。

表 8-285. MCACMP_CH0_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留

Copyright © 2026 Texas Instruments Incorporated

表 8-285. MCACMP_CH0_CFG1 寄存器字段说明（续）

位	字段	类型	复位	说明
5:0	VREF_SEL	R/W	Xh	McACMP CH0 VREF 选择 0h = 32mV 1h = 64mV 2h = 96mV 3h = 128mV 4h = 160mV 5h = 192mV 6h = 224mV 7h = 256mV 8h = 288mV 9h = 320mV Ah = 352mV Bh = 384mV Ch = 416mV Dh = 448mV Eh = 480mV Fh = 512mV 10h = 544mV 11h = 576mV 12h = 608mV 13h = 640mV 14h = 672mV 15h = 704mV 16h = 736mV 17h = 768mV 18h = 800mV 19h = 832mV 1Ah = 864mV 1Bh = 896mV 1Ch = 928mV 1Dh = 960mV 1Eh = 992mV 1Fh = 1.024V 20h = 1.056V 21h = 1.088V 22h = 1.120V 23h = 1.152V 24h = 1.184V 25h = 1.216V 26h = 1.248V 27h = 1.280V 28h = 1.312V 29h = 1.344V 2Ah = 1.376V 2Bh = 1.408V 2Ch = 1.440V 2Dh = 1.472V 2Eh = 1.504V 2Fh = 1.536V 30h = 1.568V 31h = 1.600V 32h = 1.632V 33h = 1.664V 34h = 1.696V 35h = 1.728V 36h = 1.760V 37h = 1.792V 38h = 1.824V 39h = 1.856V 3Ah = 1.888V 3Bh = 1.920V 3Ch = 1.952V 3Dh = 1.984V 3Eh = 2.016V 3Fh = 外部 VREF

8.3.116 MCACMP_CH1_CFG0 寄存器（偏移 = 3D6h）[复位 = XXh]

MCACMP_CH1_CFG0 如表 8-286 所示。

返回到汇总表。

表 8-286. MCACMP_CH1_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	RST_EN	R/W	Xh	McACMP CH1 RST EN 选择 0h = 禁用 1h = 启用

Copyright © 2026 Texas Instruments Incorporated

表 8-286. MCACMP_CH1_CFG0 寄存器字段说明（续）

位	字段	类型	复位	说明
5:4	INP_SEL	R/W	Xh	McACMP CH1 输入源选择 0h = AIO0 1h = AIO1 2h = AIO2（或 VCC） 3h = AIO3（或 TS）
3:2	GAIN_SEL	R/W	Xh	McACMP CH1 增益选择 0h = 1X 1h = 0.5X 2h = 0.33X 3h = 0.25X
1:0	HYS_SEL	R/W	Xh	McACMP CH1 迟滞选择 0h = 0mV 1h = 32mV 2h = 64mV 3h = 192mV

8.3.117 MCACMP_CH1_CFG1 寄存器（偏移 = 3D7h）[复位 = XXh]

MCACMP_CH1_CFG1 如表 8-287 所示。

返回到汇总表。

表 8-287. MCACMP_CH1_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	VREF_SEL	R/W	Xh	McACMP CH1 VREF 选择（与 CH0 相同的选项）

8.3.118 MCACMP_CH2_CFG0 寄存器（偏移 = 3DBh）[复位 = XXh]

MCACMP_CH2_CFG0 如表 8-288 所示。

返回到汇总表。

表 8-288. MCACMP_CH2_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	RST_EN	R/W	Xh	McACMP CH2 RST EN 选择 0h = 禁用 1h = 启用
5:4	INP_SEL	R/W	Xh	McACMP CH2 输入源选择 0h = AIO0 1h = AIO1 2h = AIO2（或 VCC） 3h = AIO3（或 TS）
3:2	GAIN_SEL	R/W	Xh	McACMP CH2 增益选择 0h = 1X 1h = 0.5X 2h = 0.33X 3h = 0.25X
1:0	HYS_SEL	R/W	Xh	McACMP CH2 迟滞选择 0h = 0mV 1h = 32mV 2h = 64mV 3h = 192mV

8.3.119 MCACMP_CH2_CFG1 寄存器（偏移 = 3DCh）[复位 = XXh]

MCACMP_CH2_CFG1 如表 8-289 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-289. MCACMP_CH2_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	VREF_SEL	R/W	Xh	McACMP CH2 VREF 选择 (与 CH0 相同的选项)

8.3.120 MCACMP_CH3_CFG0 寄存器 (偏移 = 3E0h) [复位 = XXh]

MCACMP_CH3_CFG0 如表 8-290 所示。

返回到汇总表。

表 8-290. MCACMP_CH3_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	RST_EN	R/W	Xh	McACMP CH3 RST EN 选择 0h = 禁用 1h = 启用
5:4	INP_SEL	R/W	Xh	McACMP CH3 输入源选择 0h = AIO0 1h = AIO1 2h = AIO2 (或 VCC) 3h = AIO3 (或 TS)
3:2	GAIN_SEL	R/W	Xh	McACMP CH3 增益选择 0h = 1X 1h = 0.5X 2h = 0.33X 3h = 0.25X
1:0	HYS_SEL	R/W	Xh	McACMP CH3 迟滞选择 0h = 0mV 1h = 32mV 2h = 64mV 3h = 192mV

8.3.121 MCACMP_CH3_CFG1 寄存器 (偏移 = 3E1h) [复位 = XXh]

MCACMP_CH3_CFG1 如表 8-291 所示。

返回到汇总表。

表 8-291. MCACMP_CH3_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5:0	VREF_SEL	R/W	Xh	McACMP CH3 VREF 选择 (与 CH0 相同的选项)

8.3.122 SER_COMM_CFG0 寄存器 (偏移 = 3F2h) [复位 = X0h]

SER_COMM_CFG0 如表 8-292 所示。

返回到汇总表。

表 8-292. SER_COMM_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7:4	I2C_ADDR_SRC_SEL	R/W	0h	I2C 硬件地址源选择 (按位) 0h = OTP 1h = IO
3	I2C_IO_LAT	R/W	Xh	I2C 硬件寻址 IO 锁存选择 0h = 启用 1h = 禁用
2	I2C_RST_EN	R/W	Xh	I2C 全局复位侦听选择 0h = 禁用 1h = 启用

Copyright © 2026 Texas Instruments Incorporated

表 8-292. SER_COMM_CFG0 寄存器字段说明（续）

位	字段	类型	复位	说明
1	I2C_EN	R/W	Xh	I2C 串行通信启用选择 0h = 禁用 1h = 启用
0	SPI_EN	R/W	Xh	SPI 串行通信启用选择 0h = 禁用 1h = 启用

8.3.123 SER_COMM_CFG1 寄存器（偏移 = 3F3h）[复位 = 00h]

SER_COMM_CFG1 如表 8-293 所示。

返回到汇总表。

表 8-293. SER_COMM_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:4	I2C_ADDR_MSB	R/W	0h	I2C 硬件地址
3:1	I2C_ADDR_LSB	R/W	0h	I2C 硬件地址
0	RESERVED	R	0h	保留

8.3.124 MISC_CFG0 寄存器（偏移 = 3F7h）[复位 = 00h]

MISC_CFG0 如表 8-294 所示。

返回到汇总表。

表 8-294. MISC_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	GPIO_QC	R/W	0h	GPIO 快速充电控制 0h = 禁用 1h = 启用
6	CFG_RD_LCK	R/W	0h	CFG 读取锁定控制 0h = 禁用 1h = 启用
5	CFG_WR_LCK	R/W	0h	CFG 写入锁定控制 0h = 禁用 1h = 启用
4	OTP_WR_LCK	R/W	0h	OTP 写入锁定控制 0h = 禁用 1h = 启用
3:2	USER_LCK	R/W	0h	USER 读取/写入锁定控制 0h = 所有非保留、非只读寄存器的 R/W 1h = R/W 仅针对计数器数据、看门狗计时器数据和图形发生器寄存器 2h = R/W 仅针对状态机寄存器 3h = R/W 仅针对电压基准选择寄存器
1:0	RESERVED	R	0h	保留

8.3.125 MISC_CFG1 寄存器（偏移 = 3F8h）[复位 = 0Xh]

MISC_CFG1 如表 8-295 所示。

返回到汇总表。

表 8-295. MISC_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6:4	VBG_CTRL	R/W	0h	带隙控制
3	RESERVED	R	0h	保留

Copyright © 2026 Texas Instruments Incorporated

表 8-295. MISC_CFG1 寄存器字段说明（续）

位	字段	类型	复位	说明
2:0	PREBIAS_CTRL	R/W	Xh	预偏置控制 0h = 仅对串行通信自动开启 1h = 对串行通信、DFF、PGEN 和移位寄存器自动开启。 2h = 对串行通信和带有外部时钟的计数器自动开启 3h = 强制导通 4h = 对串行通信和 OSC1 自动开启 5h = 对串行通信、DFF、PGEN、移位寄存器和 OSC1 自动开启 6h = 对串行通信、PGEN 和带有外部时钟的计数器自动开启 7h = 强制关断

8.3.126 MISC_CFG2 寄存器（偏移 = 3F9h）[复位 = 0Xh]

MISC_CFG2 如表 8-296 所示。

返回到汇总表。

表 8-296. MISC_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R	0h	保留
0	RD_DATA_SYNC	R/W	Xh	读取数据同步控制 0h = 启用 1h = 禁用

8.3.127 DEVICE_ID4 寄存器（偏移 = 3FAh）[复位 = X0h]

DEVICE_ID4 如表 8-297 所示。

返回到汇总表。

表 8-297. DEVICE_ID4 寄存器字段说明

位	字段	类型	复位	说明
7:0	DEVICE_ID4	R	Xh	器件 ID

8.3.128 DEVICE_ID5 寄存器（偏移 = 3FBh）[复位 = X0h]

DEVICE_ID5 如表 8-298 所示。

返回到汇总表。

表 8-298. DEVICE_ID5 寄存器字段说明

位	字段	类型	复位	说明
7:0	DEVICE_ID5	R	Xh	器件 ID

8.3.129 DEVICE_ID6 寄存器（偏移 = 3FCh）[复位 = X0h]

DEVICE_ID6 如表 8-299 所示。

返回到汇总表。

表 8-299. DEVICE_ID6 寄存器字段说明

位	字段	类型	复位	说明
7:0	DEVICE_ID6	R	Xh	器件 ID

8.3.130 DEVICE_ID7 寄存器（偏移 = 3FDh）[复位 = X0h]

DEVICE_ID7 如表 8-300 所示。

Copyright © 2026 Texas Instruments Incorporated

返回到汇总表。

表 8-300. DEVICE_ID7 寄存器字段说明

位	字段	类型	复位	说明
7:0	DEVICE_ID7	R	Xh	器件 ID

8.3.131 CRC_LSB 寄存器（偏移 = 3FEh）[复位 = X0h]

CRC_LSB 如表 8-301 所示。

返回到汇总表。

表 8-301. CRC_LSB 寄存器字段说明

位	字段	类型	复位	说明
7:0	CRC_LSB	R/W	Xh	2kb OTP 的 CRC LSB

8.3.132 CRC_MSB 寄存器（偏移 = 3FFh）[复位 = X0h]

CRC_MSB 如表 8-302 所示。

返回到汇总表。

表 8-302. CRC_MSB 寄存器字段说明

位	字段	类型	复位	说明
7:0	CRC_MSB	R/W	Xh	2kb OTP 的 CRC MSB

Copyright © 2026 Texas Instruments Incorporated

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

9.1 应用信息

TPLD1202 具有可配置逻辑和时序块，可为多个元件提供对称的上电和断电信号。此应用中，器件被配置为根据计数器/延迟宏单元来输出最大上电和断电时序信号数量。

9.2 典型应用

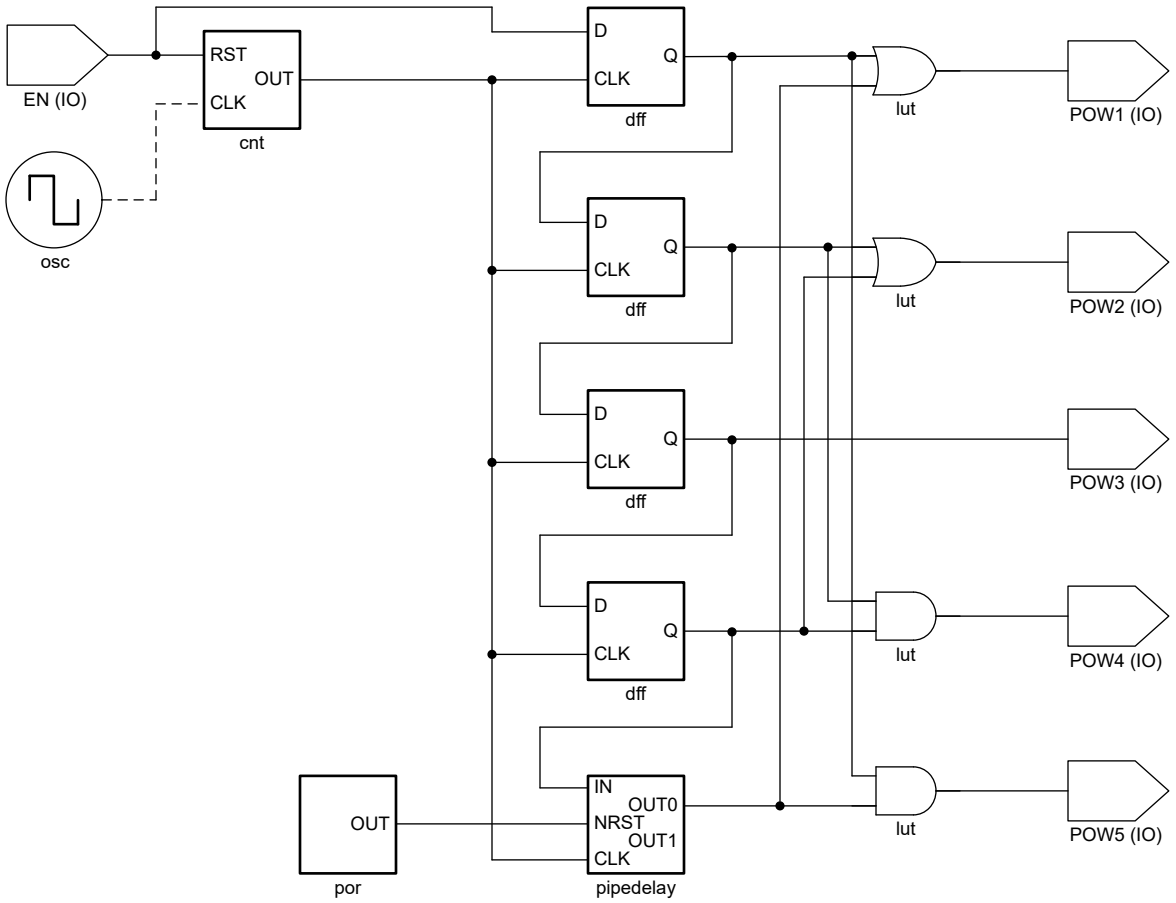


图 9-1. 典型应用框图

9.2.1 设计要求

9.2.1.1 电源注意事项

确保所需电源电压在*建议运行条件*中规定的范围内。电源电压按照*电气特性*部分中所述设置器件的电气特性。

正电压电源能够提供的电流必须等于 TPLD1202 所有输出端拉出的总电流加上 *电气特性* 中列出的最大静态电源电流 I_{CC} 以及开关所需的任何瞬态电流之和。该器件只能拉出与正电源提供的大小相同的电流。确保不要超过*绝对最大额定值* 中列出的通过 V_{CC} 的最大总电流。

Copyright © 2026 Texas Instruments Incorporated

地必须能够灌入的电流等于 TPLD1202 所有输出端灌入的总电流加上最大电源电流 I_{CC}（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能灌入其所接的地可灌入的大小相同的电流。确保不要超过*绝对最大额定值*中列出的通过 GND 的最大总电流。

TPLD1202 可以驱动总电容小于或等于 15pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但建议不要超过 15pF。

TPLD1202 可以驱动由 $R_L \geqslant V_O/I_O$ 描述的总电阻负载，输出电压和电流在*电气特性*表中用 V_{OH} 和 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算*中提供的信息进行计算。

可以使用*标准线性和逻辑 (SLL) 封装和器件的热特性*中提供的信息计算热增量。

小心

*绝对最大额定值*中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反*绝对最大额定值*中列出的任何值。提供这些限制是为了防止损坏器件。

9.2.1.2 输入注意事项

输入信号必须超过 $V_{IL(max)}$ 或 $V_{t-(min)}$ 才能被视为逻辑低电平，超过 $V_{IH(min)}$ 或 $V_{t+(max)}$ 才能被视为逻辑高电平。不要超过*绝对最大额定值*中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入；或者，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 TPLD1202 的漏电流（如*电气特性*中所规定）以及所需输入转换率会限制电阻值。由于这些因素，通常使用 10kΩ 的电阻值。

TPLD1202 具有 CMOS 输入，因此需要进行快速输入转换才能正常工作，如*建议运行条件*表中所定义。缓慢的输入转换会导致振荡、额外的功耗以及器件可靠性下降。

TPLD1202 由于具有施密特触发输入，因而在使用时没有输入信号转换速率要求。

具有施密特触发输入的另一个优势是能够抑制噪声。振幅足够大的噪声仍然会导致问题。要了解噪声大到什么程度才是过大，请参考*电气特性*中的 $\Delta V_{T(min)}$。此迟滞值会提供峰峰值限制。

与标准 CMOS 输入不同，施密特触发输入可以保持在任何有效值，而不会导致功耗大幅增加。将输入保持在 V_{CC} 或接地电平以外的值所导致的典型附加电流绘制在*典型特性*中。

有关此器件输入的其他信息，请参阅*特性说明*部分。

9.2.1.3 输出注意事项

正电源电压用于产生高电平输出电压。根据*电气特性*中 V_{OH} 规格所示，从输出端汲取电流将降低输出电压。接地电压用于产生输出低电压。根据*电气特性*中 V_{OL} 规格所示，向输出端灌入电流会提高输出电压。

可能处于相反状态的推挽输出绝不能直接连接在一起，即使时间很短也不例外。否则可能会导致电流过大并损坏器件。

同一器件内具有相同输入信号的两个通道可以并联，以获得额外的输出驱动强度。

开漏输出可以直接连接在一起，以实现有线 AND 配置或获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的其他信息，请参阅*特性说明*部分。

9.2.2 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。*布局*部分中展示了示例布局。

Copyright © 2026 Texas Instruments Incorporated

2. 验证输出端的容性负载是否 ≤ 50pF。低负载电容可以通过从 TPLD1202 向接收器件提供适当大小的短布线来实现。
3. 验证输出端的电阻负载是否大于 (V_{CC} / $I_{O(max)}$) Ω。切勿超出*绝对最大额定值*中的最大输出电流。大多数 CMOS 输入具有以 MΩ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用 *CMOS 功耗与 Cpd 计算*应用手册中提供的步骤计算功耗和热增量。

9.2.3 应用曲线

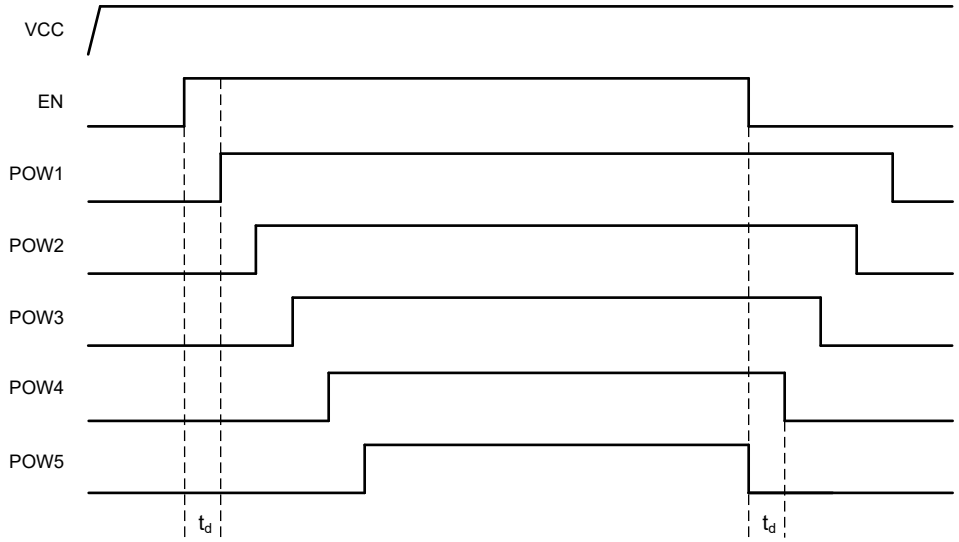


图 9-2. 应用时序图

9.3 电源相关建议

电源可以是*建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子都必须具有一个良好的旁路电容器，以防止功率干扰。

建议为该器件使用 0.1 µF 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 µF 和 1 µF 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

9.4 布局

9.4.1 布局指南

使用多输入和多通道逻辑器件时，输入不得悬空。在许多情况下，未使用数字逻辑器件的功能或部分功能；例如，当仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个时。此类未使用的输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的操作状态。数字逻辑器件的所有未使用输入必须连接到由输入电压规范定义的逻辑高电平电压或逻辑低电平电压，以防止其悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，输入连接到 GND 或 V_{CC}，以对逻辑功能更有意义或更方便者为准。

Copyright © 2026 Texas Instruments Incorporated

9.4.2 布局示例

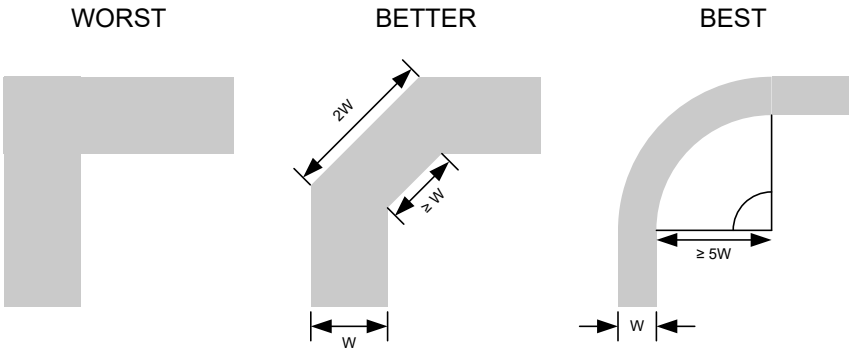


图 9-3. 可改善信号完整性的布线转角示例

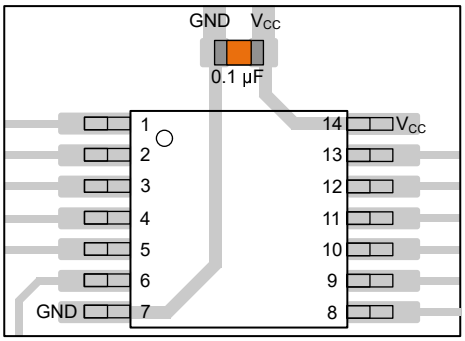


图 9-4. TSSOP 和类似封装的旁路电容器放置示例

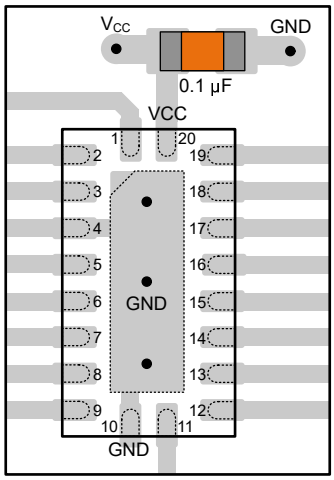


图 9-5. WQFN 和类似封装的旁路电容器放置示例

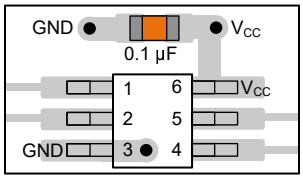


图 9-6. SOT、SC70 和类似封装的旁路电容器放置示例

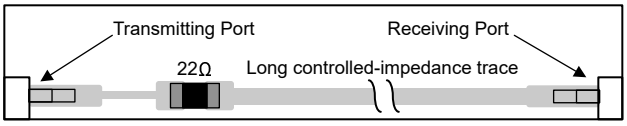


图 9-7. 可改善信号完整性的阻尼电阻放置示例

Copyright © 2026 Texas Instruments Incorporated

10 器件和文档支持

10.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (April 2026) to Revision B (August 2026)	Page
• 将文件状态从*预告信息* 更改为*量产数据*	1
• 首次公开发布数据表	1

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPLD1202DYYR	Active	Preproduction	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTPLD1202DYYR.A	Active	Preproduction	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTPLD1202RWBR	Active	Preproduction	X2QFN (RWB) | 12	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTPLD1202RWBR.A	Active	Preproduction	X2QFN (RWB) | 12	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTPLD1202RWSR	Active	Preproduction	X2QFN (RWS) | 12	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
TPLD1202RWBR	Active	Production	X2QFN (RWB) | 12	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TO
TPLD1202RWSR	Active	Production	X2QFN (RWS) | 12	3000 | LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	TP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPLD1202 :

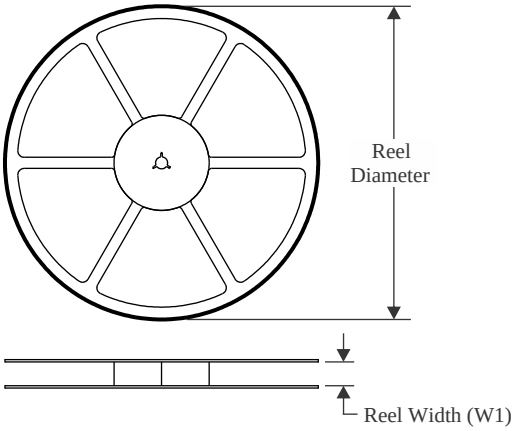
- Automotive : TPLD1202-Q1

NOTE: Qualified Version Definitions:

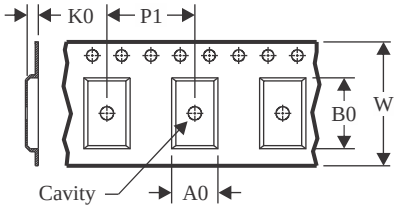
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

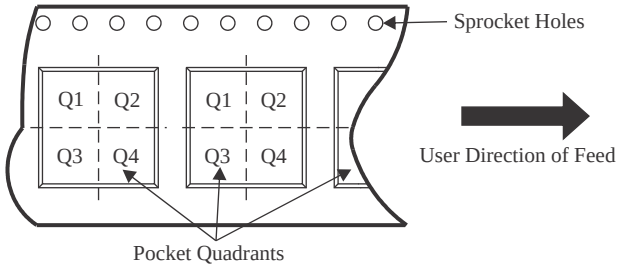


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

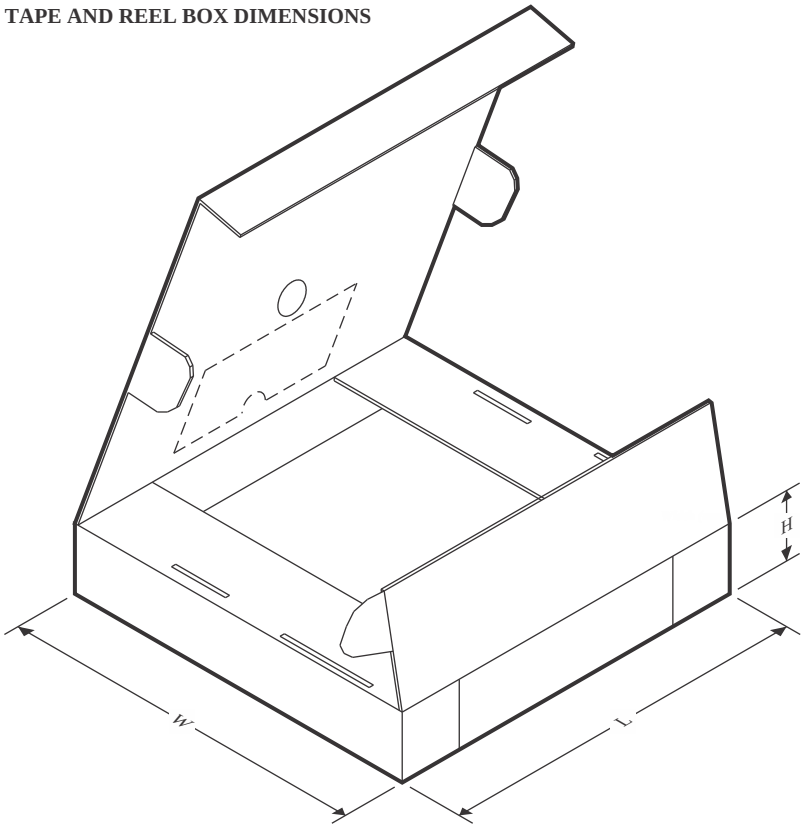
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPLD1202RWBR	X2QFN	RWB	12	3000	180.0	8.4	1.8	1.8	0.48	4.0	8.0	Q2
TPLD1202RWSR	X2QFN	RWS	12	3000	180.0	8.4	1.8	1.8	0.48	4.0	8.0	Q1

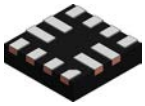
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPLD1202RWBR	X2QFN	RWB	12	3000	210.0	185.0	35.0
TPLD1202RWSR	X2QFN	RWS	12	3000	210.0	185.0	35.0

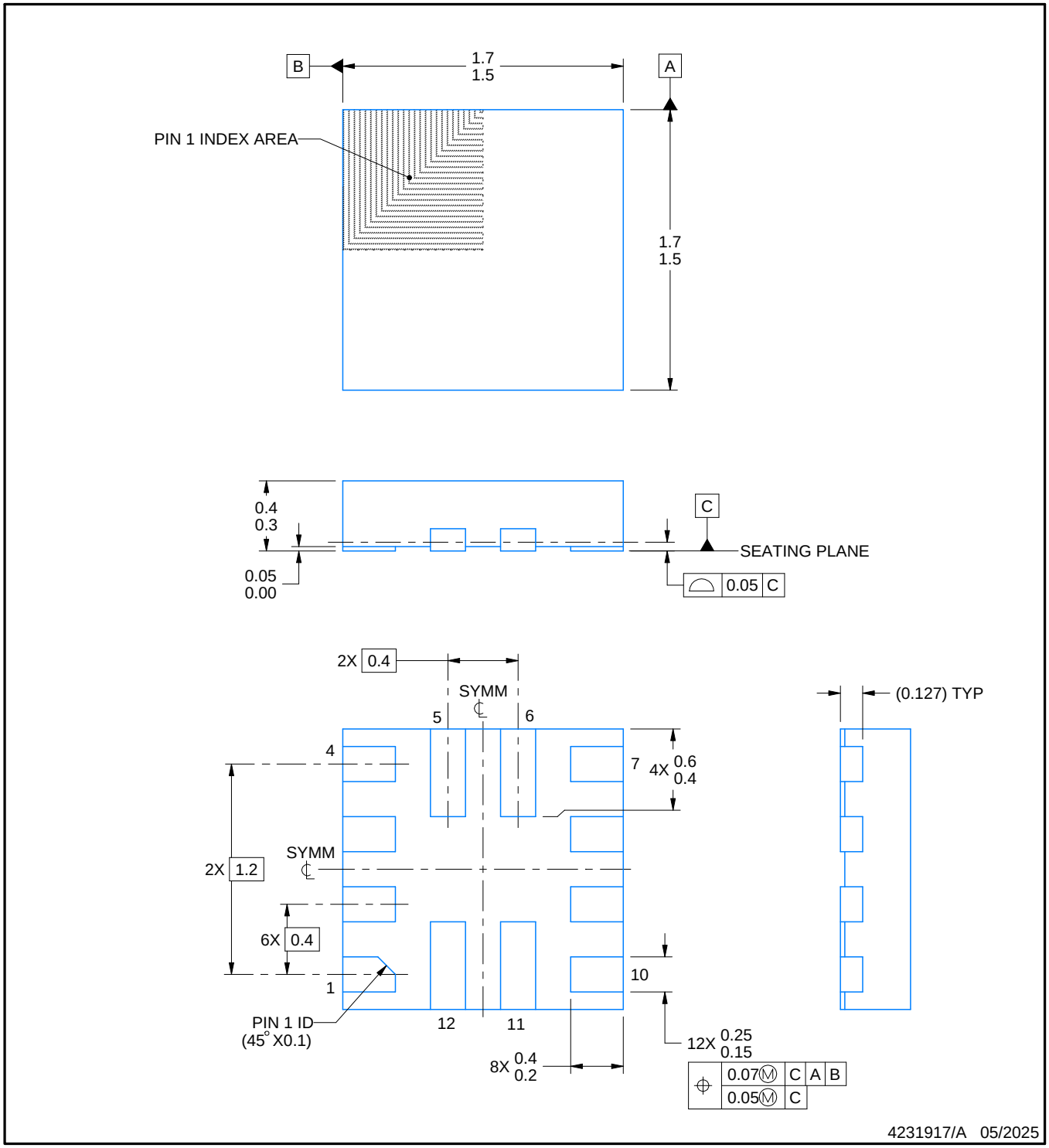
RWS0012A



PACKAGE OUTLINE

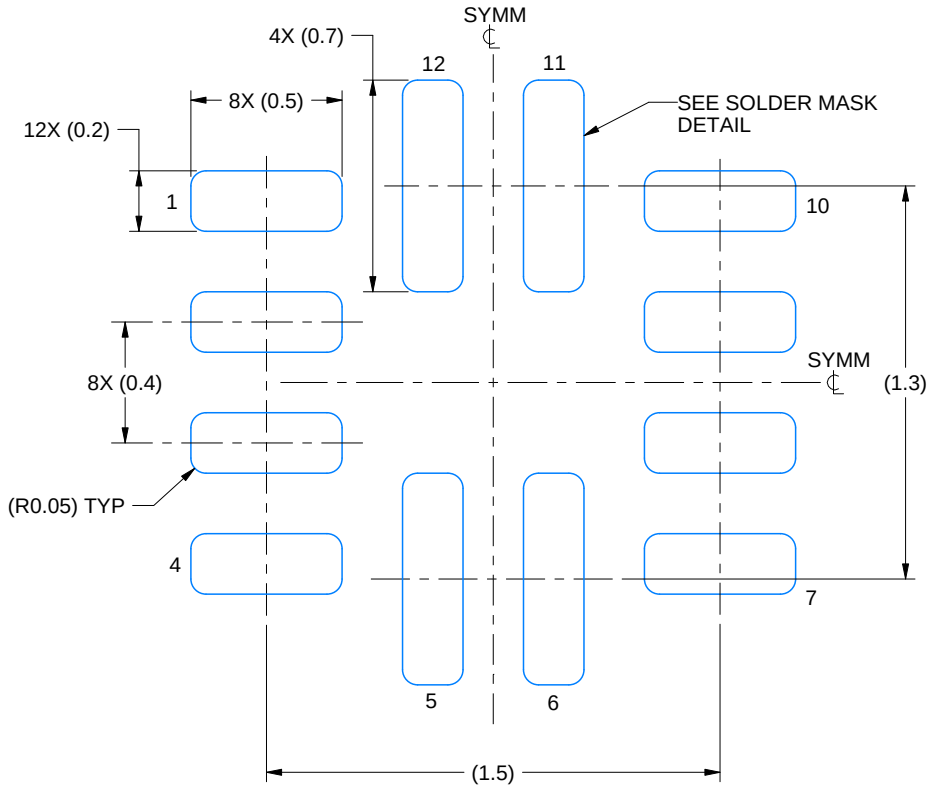
X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

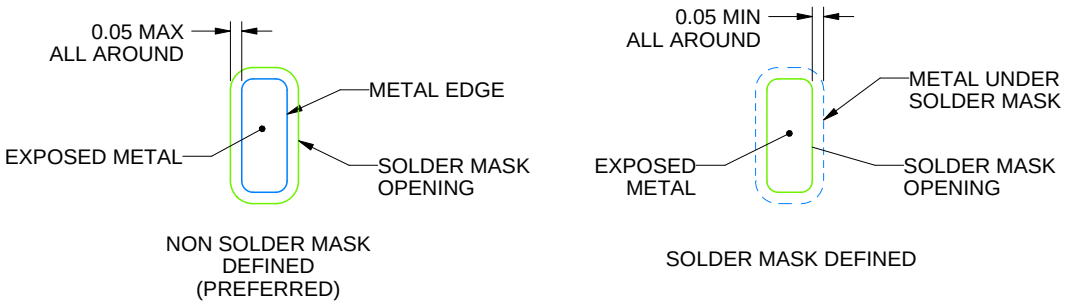


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 40X



SOLDER MASK DETAILS

4231917/A 05/2025

NOTES: (continued)

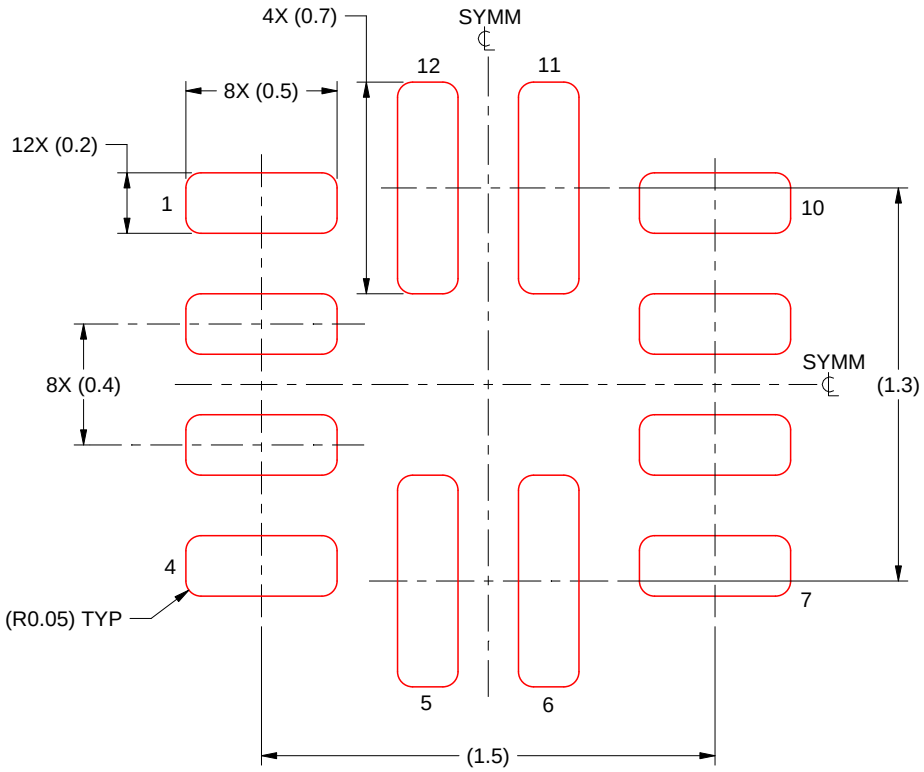
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

RWS0012A

X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 MM THICK STENCIL
SCALE: 40X

4231917/A 05/2025

NOTES: (continued)

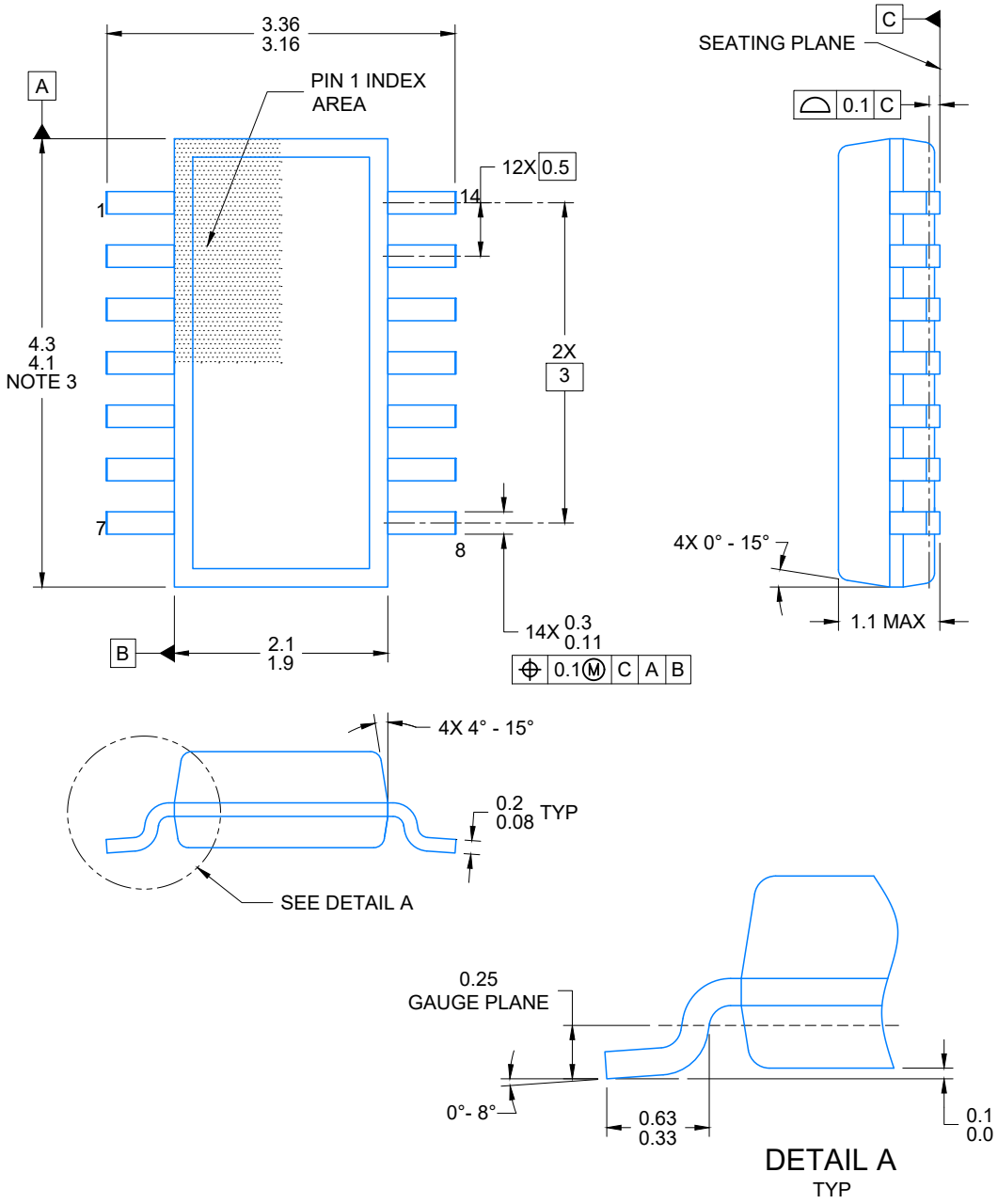
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DYY0014A

SOT-23-THIN - 1.1 mm max height

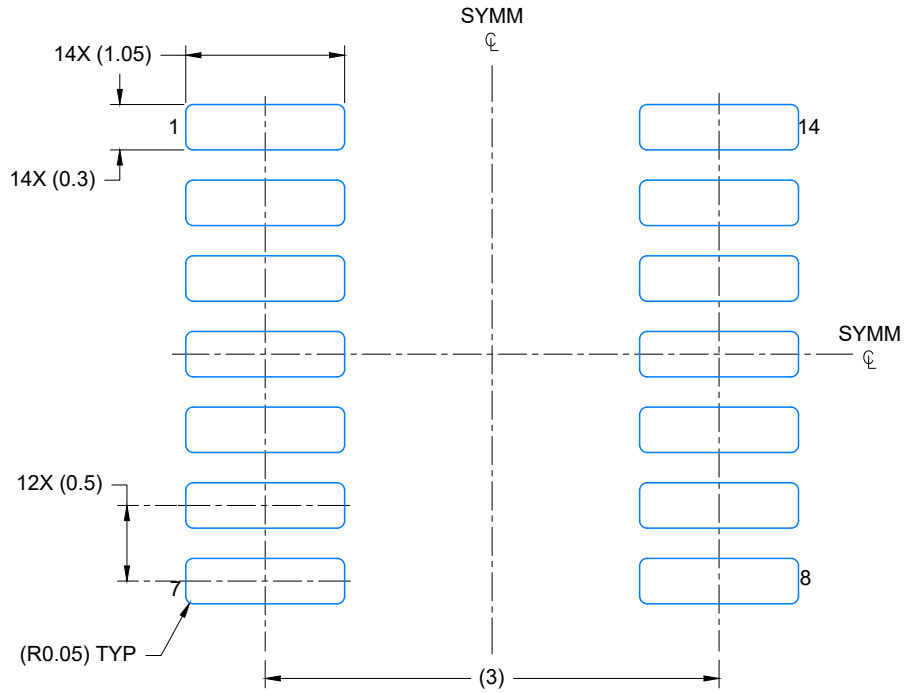
PLASTIC SMALL OUTLINE



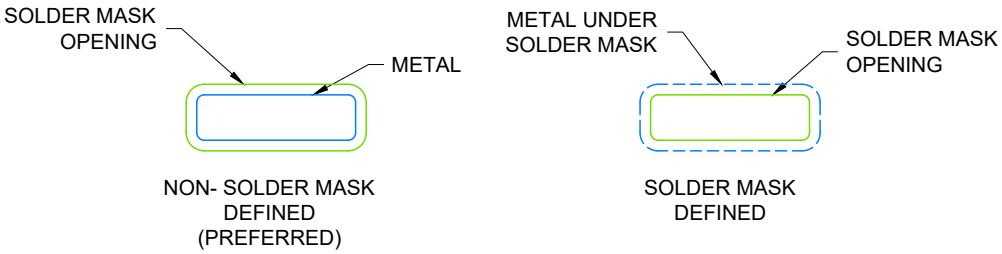
4224643/D 07/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4224643/D 07/2024

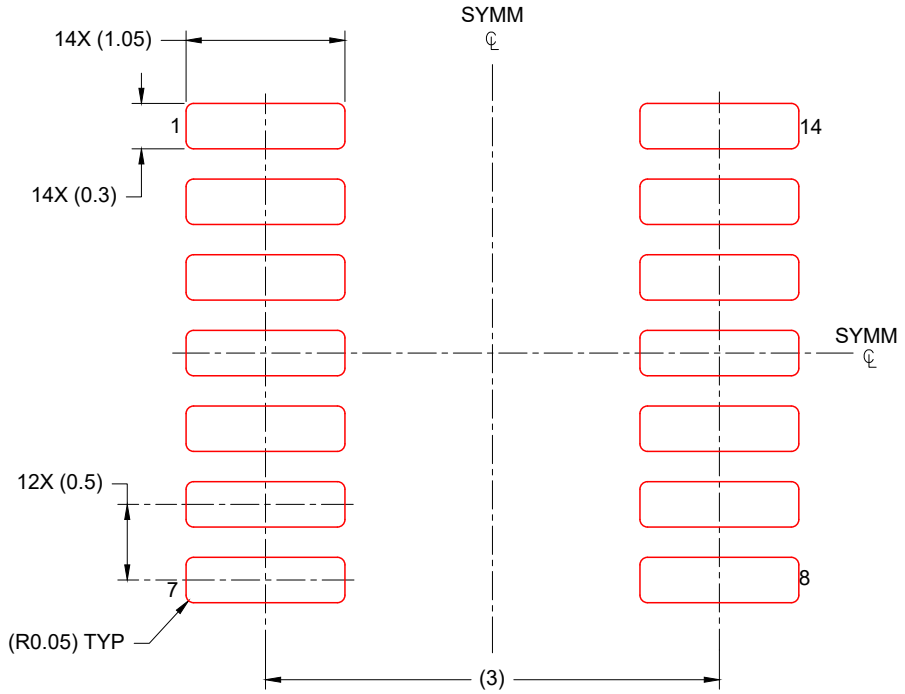
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/D 07/2024

NOTES: (continued)

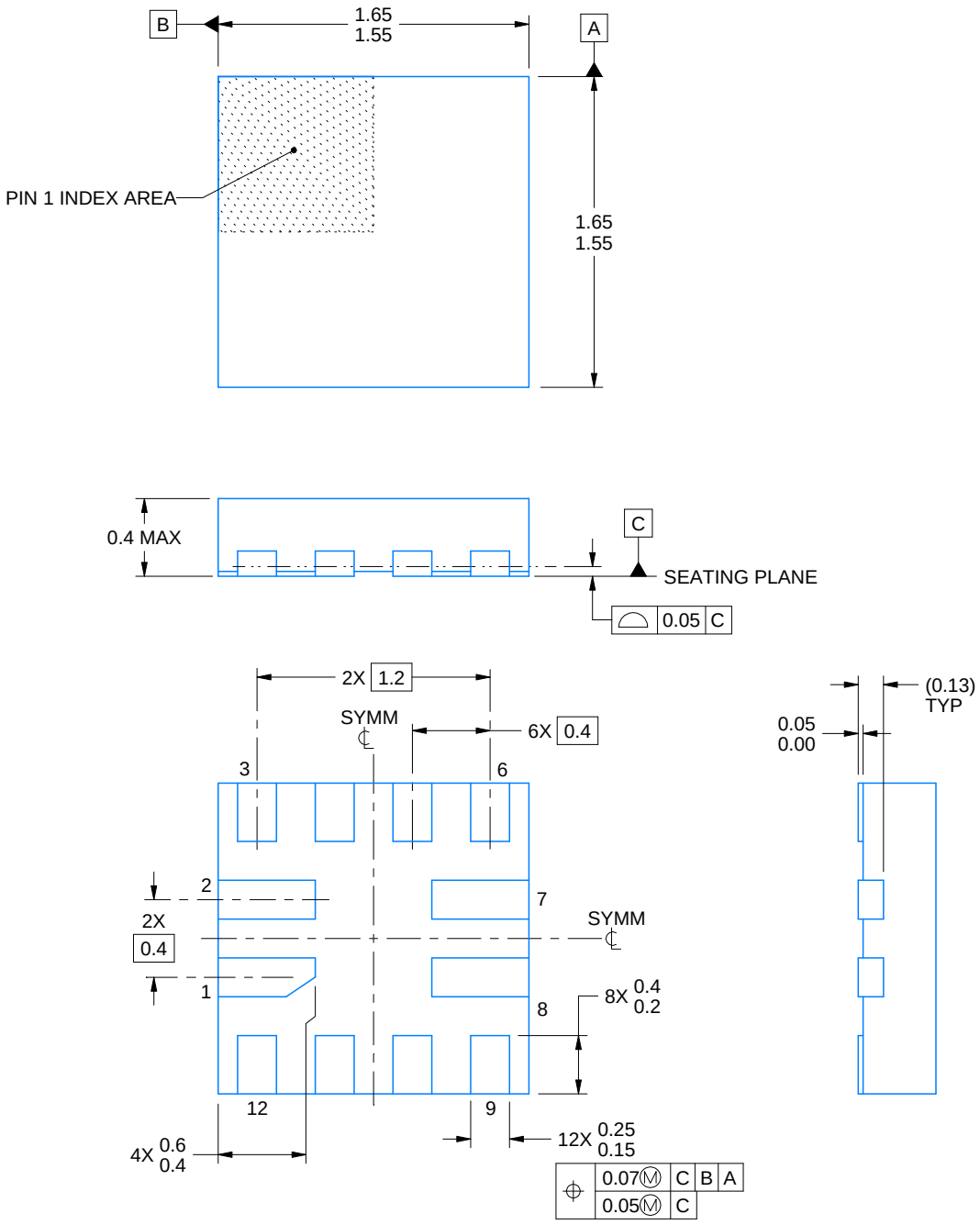
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

RWB0012A

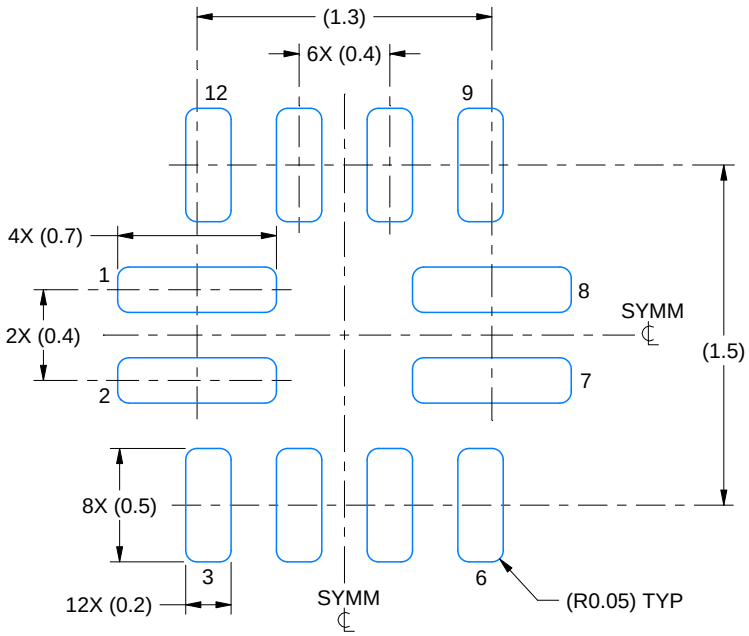
X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

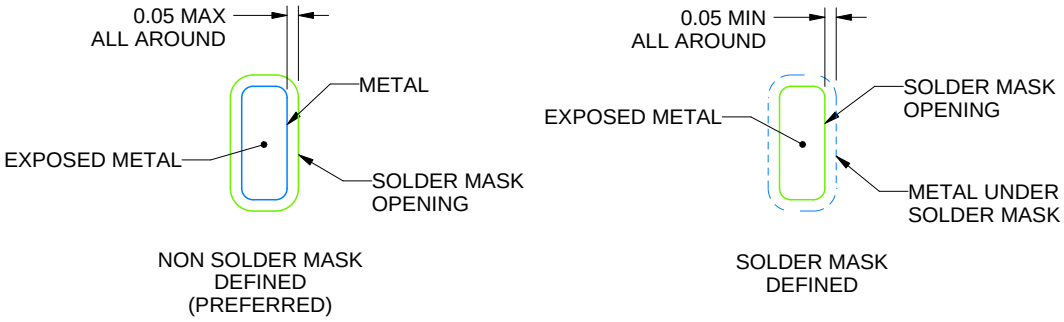


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:30X



SOLDER MASK DETAILS

4221631/B 07/2017

NOTES: (continued)

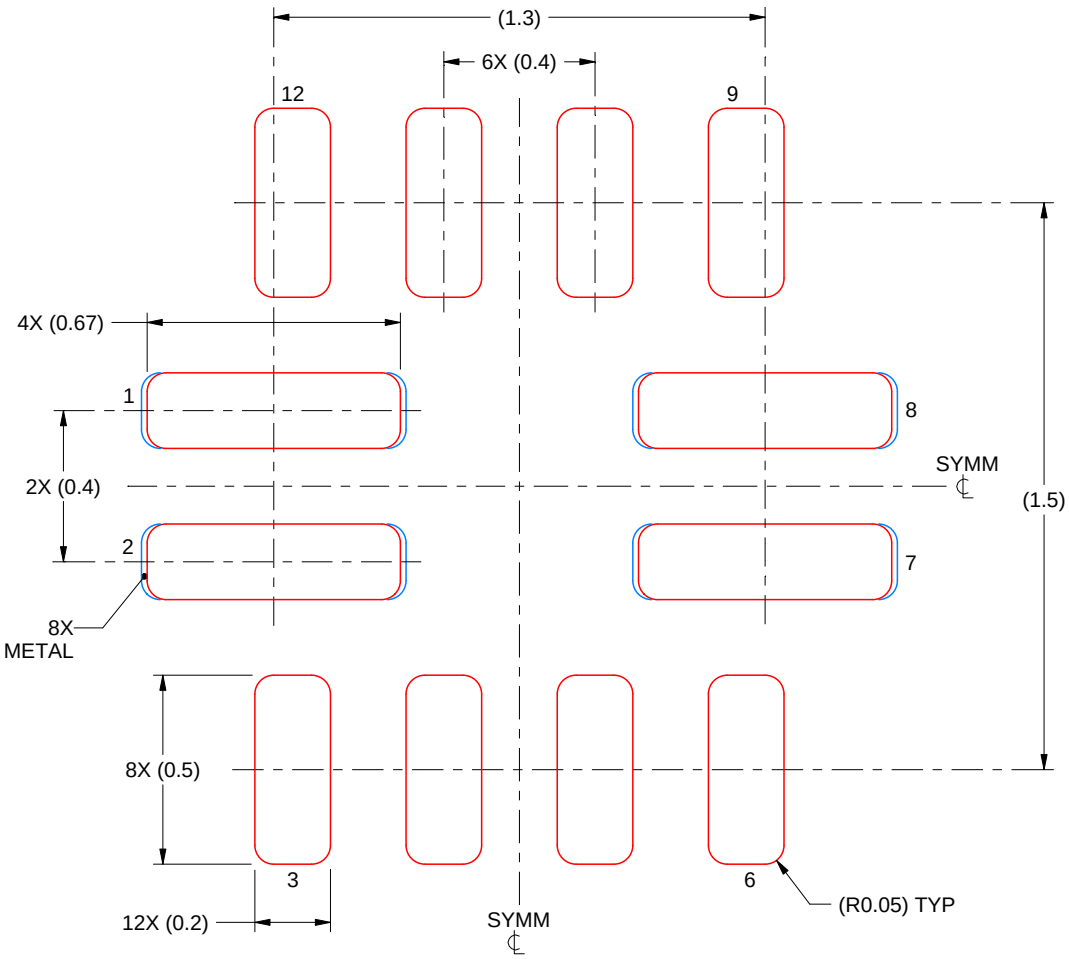
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

RWB0012A

X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

PADS 1,2,7 & 8
96% PRINTED SOLDER COVERAGE BY AREA
SCALE:50X

4221631/B 07/2017

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月