TPIC6A596 电源逻辑 8 位移位寄存器

1 特性

- 低 $r_{DS(on)}$：1Ω（典型值）
- 输出短路保护
- 雪崩能量：75mJ
- 八个 350mA DMOS 输出
- 50V 开关能力
- 针对多级的增强型级联
- 所有寄存器通过单个输入清零
- 低功耗

2 应用

- 仪表组
- 信号灯
- LED 照明和控制
- 汽车继电器或螺线管驱动器

3 说明

TPIC6A596 是一款单片、高压、高电流功率逻辑 8 位移位寄存器，专为负载功率要求相对较高的系统而设计。该器件包含内置的输出钳位电压，用于提供电感瞬态保护。电源驱动器应用包括继电器、螺线管和其他中等电流或高电压负载。每个开漏 DMOS 晶体管都具有独立的斩波限流电路，以防止在短路情况下损坏。

该器件包含一个可对 8 位 ，D 类存储寄存器进行馈送的 8 位串行输入、并行输出移位寄存器。移位和存储寄存器之间的数据传输分别在移位寄存器时钟 (SRCK) 和寄存器时钟 (RCK) 的上升沿上发生。当移位寄存器清零 ($\overline{SRCLR}$) 为高电平时，存储寄存器将数据传输到输出缓冲器。只有当 RCK 为低电平时，写入数据和读取数据才有效。当 $\overline{SRCLR}$ 为低电平时，器件中的所有寄存器都将清零。当输出使能 $\overline{G}$ 保持高电平时，输出缓冲器中的所有数据将保持低电平，并且所有漏极输出将关闭。当 $\overline{G}$ 保持低电平时，来自存储寄存器中的数据对输出缓冲器透明。串行输出 (SER OUT) 在 SRCK 下降沿时从器件时钟输出，为级联应用提供额外的保持时间。这将为时钟信号有可能偏移、器件相距较远或系统必须容许电磁干扰的应用提供更佳的性能。

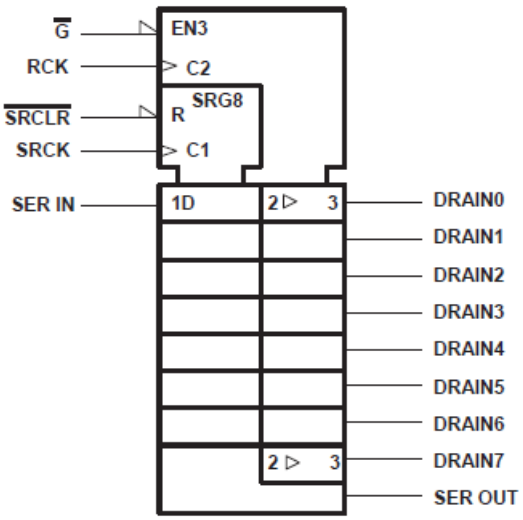
输出为低侧、漏极开路 DMOS 晶体管，额定输出功率为 50V，连续灌电流能力为 350mA。当输出缓冲器中的数据较低时，DMOS 晶体管的输出被关闭。当数据较高时，DMOS 晶体管输出具有灌电流能力。

提供单独的电源接地 (PGND) 和逻辑接地 (LGND) 端子，以实现最大的系统灵活性。所有 PGND 端子都是内部连接的，每个 PGND 端子必须外部连接到电源系统接地，以尽量减少寄生阻抗。LGND 和 PGND 之间的单点连接必须在外部进行，以减少逻辑电路和负载电路之间的串扰。

TPIC6A596 采用热增强型双列直插式 (NE) 封装和宽体表面贴装 (DW) 封装。TPIC6A596 具有 -40°C 至 125°C 的额定管壳工作温度范围。

表 3-1. 器件信息

器件型号	封装	本体尺寸（标称值）
TPIC6A596	PDIP(20)	24.00mm × 6.86mm
	SOIC(24)	15.40mm × 7.50mm



此符号符合 ANSI/IEEE 标准 91-1984 和 IEC 出版物 617-12。

逻辑符号

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....2
5 规格.....4
5.1 绝对最大额定值.....4
5.2 功耗等级表.....4
5.3 建议运行条件.....4
5.4 电气特性.....5
5.5 开关特性.....6
5.6 热阻.....6
5.7 典型特性.....6
6 参数测量信息.....8
7 详细说明.....12
7.1 概述.....12
7.2 功能方框图.....12
7.3 特性说明.....13
8 器件功能模式.....14
8.1 在 V_{cc} < 4.5V 条件下运行.....14
8.2 在 5.5V < V_{cc} ≤ 7V 条件下运行.....14
9 器件和文档支持.....15
9.1 文档支持.....15
9.2 接收文档更新通知.....15
9.3 支持资源.....15
9.4 商标.....15
9.5 静电放电警告.....15
9.6 术语表.....15
10 修订历史记录.....15
11 机械、封装和可订购信息.....15

4 引脚配置和功能

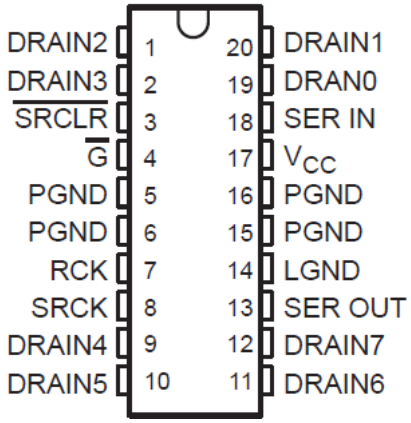


图 4-1. NE 封装 20 引脚 PDIP 顶视图

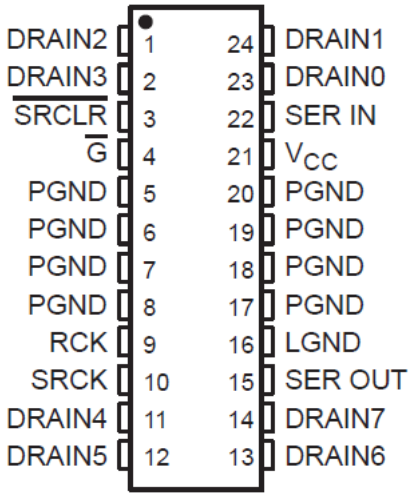


图 4-2. DW 封装 24 引脚 SOIC 顶视图

Copyright © 2025 Texas Instruments Incorporated

引脚功能

表 4-1. PDIP 引脚功能

引脚		I/O	说明
名称	编号		
DRAIN0	19	O	开漏输出
DRAIN1	20		
DRAIN2	1		
DRAIN3	2		
DRAIN4	9		
DRAIN5	10		
DRAIN6	11		
DRAIN7	12		
$\overline{G}$	4	I	输出使能，低电平有效
PGND	5、6、15、16	-	电源地
LGND	14	-	线接地
RCK	7	I	寄存器时钟
SERIN	18	I	串行数据输入
SEROUT	13	O	串行数据输出
SRCK	8	I	移位寄存器时钟
$\overline{SRCLR}$	3	I	移位寄存器清零，低电平有效
VCC	17	I	电源

表 4-2. SOIC 引脚功能

引脚		I/O	说明
名称	编号		
DRAIN0	23	O	开漏输出
DRAIN1	24		
DRAIN2	1		
DRAIN3	2		
DRAIN4	11		
DRAIN5	12		
DRAIN6	13		
DRAIN7	14		
$\overline{G}$	4	I	输出使能，低电平有效
PGND	5、6、7、8、17、18、19、20	-	电源地
LGND	16	-	线接地
RCK	9	I	寄存器时钟
SERIN	22	I	串行数据输入
SEROUT	15	O	串行数据输出
SRCK	10	I	移位寄存器时钟
$\overline{SRCLR}$	3	I	移位寄存器清零，低电平有效
VCC	21	I	电源

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在建议的工作外壳温度范围内（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	逻辑电源电压(2)			7	V
V_I	逻辑输入电压范围		-0.3	7	V
V_{DS}	功率 DMOS 漏源电压(3)			50	V
	持续源漏二极管阳极电流			1	A
	脉冲源漏二极管阳极电流(4)			2	A
I_{Dn}	脉冲漏极电流，每个输出，所有输出导通(4)	T_A = 25°C		1.1	A
I_{Dn}	持续漏极电流，每个输出，所有输出导通	T_A = 25°C		350	mA
	峰值漏极电流，单输出(4)	T_A = 25°C		1.1	A
E_{AS}	单脉冲雪崩能量（请参阅图 6-6）			75	mJ
I_{AS}	雪崩电流(5)			600	mA
	持续总功耗		请参阅 节 5.2		
T_C	工作外壳温度范围		-40	125	℃
T_J	工作等效结温范围		-40	150	℃
T_{stg}	贮存温度范围		-65	150	℃
	10 秒内距离外壳 1.6mm（1/16 英寸）的引线温度			260	℃

(1) 应力超出“绝对最大额定值”下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在“建议运行条件”以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 所有电压值均以 LGND 和 PGND 为基准。
(3) 每个功率 DMOS 源在内部连接至 PGND。
(4) 脉冲持续时间 ≤ 100μs，占空比 ≤ 2%。
(5) 漏极电源电压 = 15V，起始结温 (T_{JA})= 25°C，L = 210mH，I_{AS} = 600mA（请参阅图 6-6）。

5.2 功耗等级表

封装	T_C ≤ 25°C 额定功率	降额因子 高于 T_C = 25°C	T_C = 125°C 额定功率
DW	1750mW	14mW/°C	350mW
NE	2500mW	20mW/°C	500mW

5.3 建议运行条件

		最小值	最大值	单位
V_{CC}	逻辑电源电压	4.5	5.5	V
V_{IH}	高电平输入电压	0.85V_{CC}	V_{CC}	V
V_{IL}	低电平输入电压	0	0.15V_{CC}	V
	脉冲漏极输出电流，T_C = 25°C，V_{CC} = 5V(1) (2)	-1.8	0.6	A
t_{su}	设置时间，SRCK 前 SER IN 为高电平（请参阅图 6-2）	10		ns
t_h	保持时间，SRCK 后 SER IN 为高电平（请参阅图 6-2）	10		ns
t_w	脉冲持续时间（请参阅图 6-2）	20		ns
T_C	工作外壳温度	-40	125	°C

(1) 脉冲持续时间 ≤ 100μs，占空比 ≤ 2%。
(2) 所采用技术应将 TJ– TC 限制为 10°C 最大值。

Copyright © 2025 Texas Instruments Incorporated

5.4 电气特性

V_{CC} = 5V，T_C = 25°C（除非另有说明）

参数		测试条件			最小值	典型值	最大值	单位
$V_{(BR)DSX}$	漏源击穿电压	I_D = 1mA			50			V
V_{SD}	源漏二极管正向电压	I_F = 350mA，	请参阅(1)			0.8	1.1	V
V_{OH}	高电平输出电压，SER OUT	I_{OH} = – 20μA			V_{CC} – 0.1	V_{CC}		V
		I_{OH} = – 4mA			V_{CC} – 0.5	V_{CC} – 0.2		
V_{OL}	低电平输出电压，SER OUT	I_{OL} = 20μA				0	0.1	V
		I_{OL} = 4mA				0.2	0.5	
I_{IH}	高电平输入电流	$V_I = V_{CC}$					1	μA
I_{IL}	低电平输入电流	V_I = 0					-1	μA
$I_{O(chop)}$	斩波开始时的输出电流	T_C = 25°C，		请参阅图 6-3 和图 6-4 (2)	0.6	0.8	1.1	A
I_{CC}	逻辑电源电流	I_O = 0，		$V_I = V_{CC}$ 或 0		0.5	5	mA
$I_{CC(FRQ)}$	该频率下的逻辑电源电流	f_{SRCK} = 5MHz，$V_I = V_{CC}$ 或 0，	I_O = 0，V_{CC} = 5V，	C_L = 30 pF，请参阅 图 5-1		1.3		mA
$I_{(nom)}$	标称电流	$V_{DS(on)}$ = 0.5V，V_{CC} = 5V，	$I_{(nom)} = I_D$，	T_C = 85°C，		350		mA
			请参阅(2) (3) (4)					
I_D	漏极电流，关断状态	V_{DS} = 40V，		T_C = 25°C		0.1	1	μA
		V_{DS} = 40V，		T_C = 125°C		0.2	5	
$r_{DS(on)}$	静态漏源导通状态电阻	I_D = 350mA，	T_C = 25°C	请参阅图 5-4 和图 5-5 (2) (3)		1	1.5	Ω
		I_D = 350mA，	T_C = 125°C			1.7	2.5	

(1) 脉冲持续时间 ≤ 100μs，占空比 ≤ 2%。
(2) 所用技术应将 $T_J - T_C$ 限制为 10°C 最大值。
(3) 这些参数通过独立于载流触点的电压检测触点来测量。
(4) 定义标称电流是为了在不同来源的器件之间进行一致的比较。它是在 T_C = 85°C 时产生 0.5V 压降的电流。

Copyright © 2025 Texas Instruments Incorporated

5.5 开关特性

V_{CC} = 5 V，T_C = 25°C

参数		测试条件		最小值	典型值	最大值	单位
t_{PHL}	传播延时，自 G 的高至低电平输出	C_L = 30pF，请参阅图 6-1、图 6-2 和图 5-6。	I_D = 350mA，		30		ns
t_{PLH}	传播延时，自 $\overline{G}$ 的低至高电平输出				125		ns
t_r	上升时间，漏极输出				60		ns
t_f	下降时间，漏极输出				30		ns
t_{pd}	传播延迟时间，SRCK ↓ 至 SEROUT	C_L = 30pF，请参阅 图 6-2	I_D = 350mA，		20		ns
$f_{(SRCK)}$	串行时钟频率	C_L = 30pF，请参阅(3)	I_D = 350mA，			10	MHz
t_a	反向恢复电流上升时间	I_F = 350mA，请参阅图 6-5 (1) (2)	di/dt = 20A/µs，		100		ns
t_{rr}	反向恢复时间				300		ns

(1) 所用技术应将 $T_J - T_C$ 限制为 10°C 最大值。
(2) 这些参数通过独立于载流触点的电压检测触点来测量。
(3) 这是假设串行数据从一级传递到第二级的级联运行的最大串行时钟频率。时钟周期允许 SRCK ® SEROUT 传播延迟、设置时间以及一些时序裕量。

5.6 热阻

参数			测试条件	最小值	最大值	单位
$R_{\theta JC}$	结至外壳热阻	DW	具有相同功率的全部八个输出		10	℃/W
		NE			10	
$R_{\theta JA}$	结至环境热阻	DW	具有相同功率的全部八个输出		50	℃/W
		NE			50	

5.7 典型特性

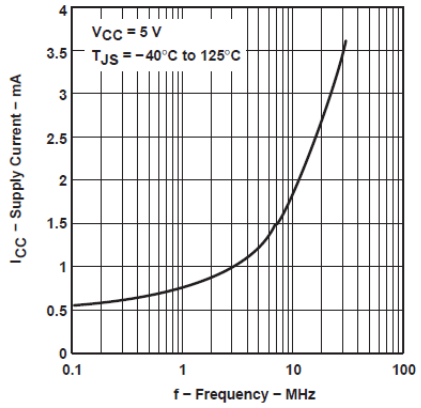


图 5-1. 电源电流与频率间的关系

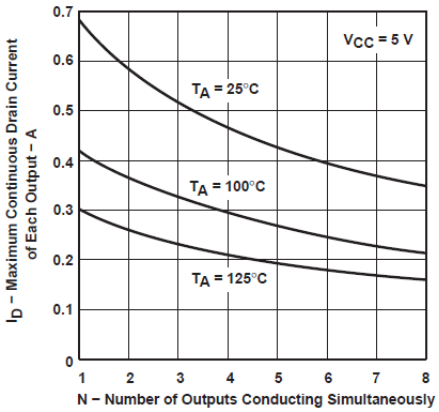


图 5-2. 每个输出的最大连续漏极电流与同时导通的输出数量之间的关系

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

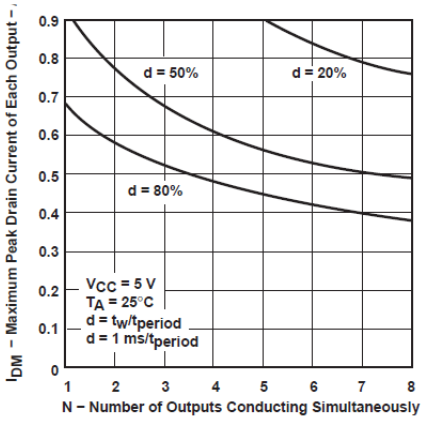
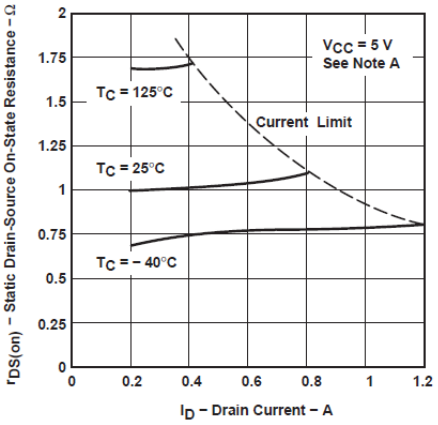
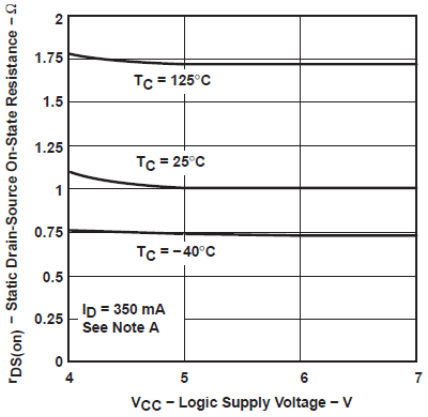


图 5-3. 每个输出的最大峰值漏极电流与同时导通的输出数量之间的关系



所用技术应将 $T_J - T_C$ 限制为 10°C 最大值。

图 5-4. 静态漏源导通状态电阻与漏极电流之间的关系



所用技术应将 $T_J - T_C$ 限制为 10°C 最大值。

图 5-5. 静态漏源导通状态电阻与逻辑电源电压之间的关系

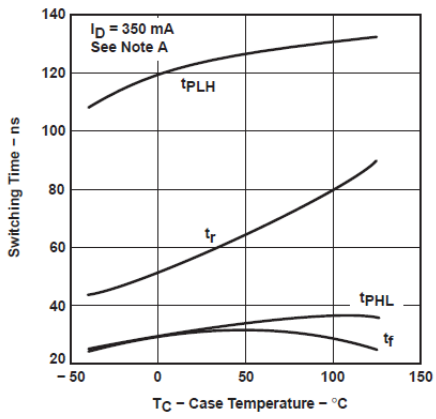


图 5-6. 开关时间与外壳温度间的关系

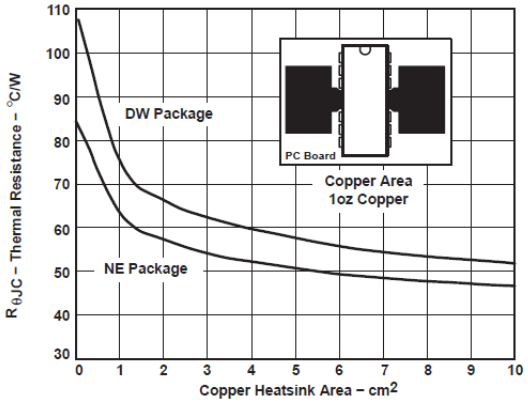
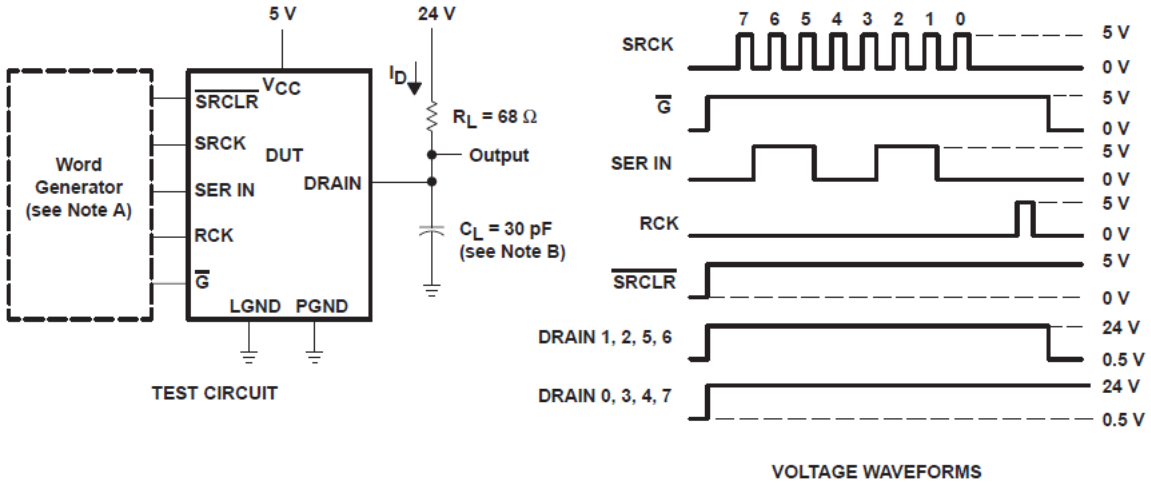


图 5-7. 典型 $R_{\theta JA}$ 热阻与板载散热器面积间的关系

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息

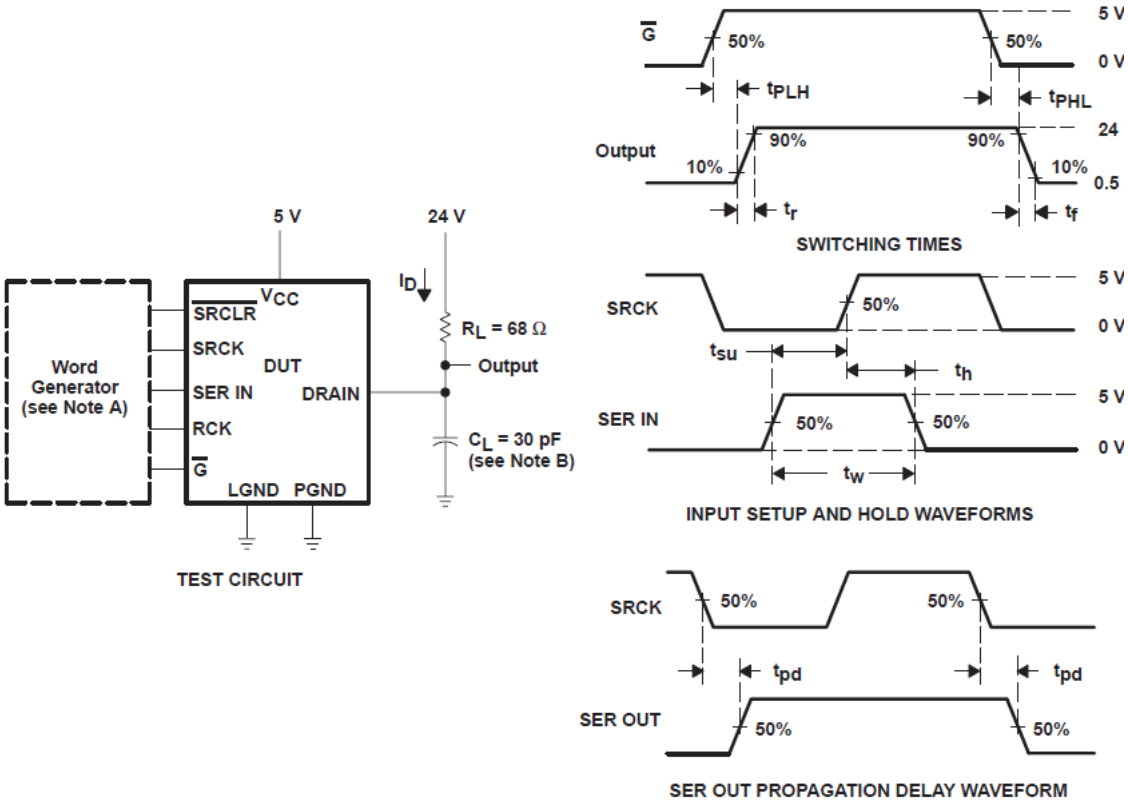


A. 字发生器具有以下特性：t_r≤10ns、t_f≤10ns、t_w = 300ns、脉冲重复率 (PRR) = 5kHz、Z_O = 50 Ω。

B. C_L 包括探针和夹具电容。

C. 只有当 RCK 为低电平时，写入数据和读取数据才有效

图 6-1. 电阻负载运行

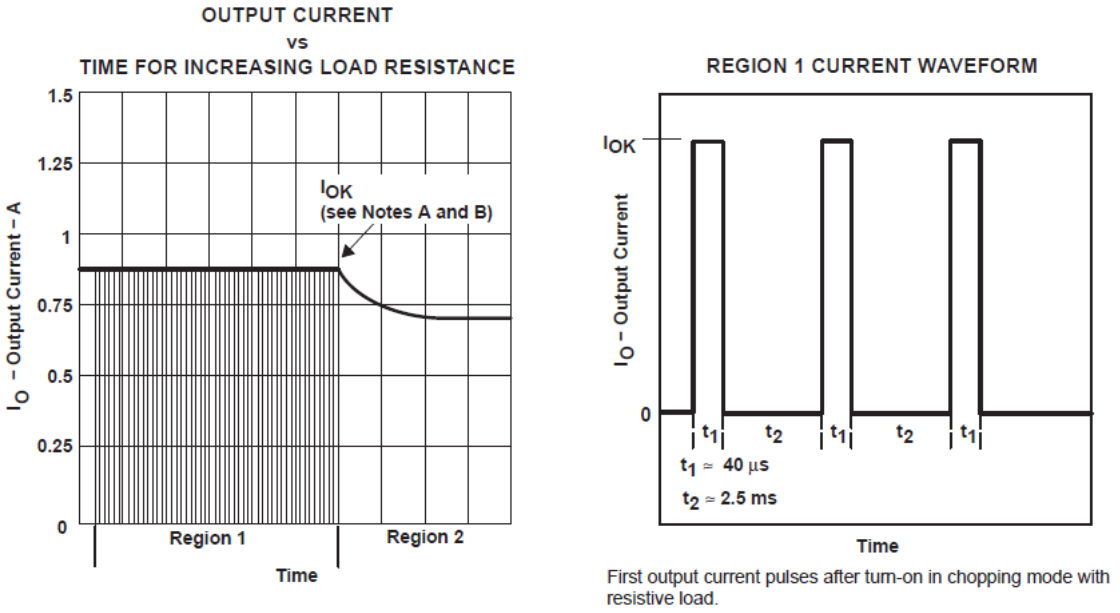


A. 字发生器具有以下特性：t_r≤10ns、t_f≤10ns、t_w = 300ns、脉冲重复率 (PRR) = 5kHz、Z_O = 50 Ω。

B. C_L 包括探针和夹具电容。

图 6-2. 测试电路、开关时间和电压波形

Copyright © 2025 Texas Instruments Incorporated



A. 上图展示了该器件为初始电阻较低且持续增大（例如白炽灯）的负载通电时的输出电流特性。在区域 1 中，发生斩波，峰值电流限制为 I_{OK}。在区域 2 中，输出电流是连续的。当器件为初始电阻较高且持续降低的负载通电时，也会按相反的顺序出现相同的特性。

B. 区域 1 的占空比约为 2%。

图 6-3. 斩波模式特征

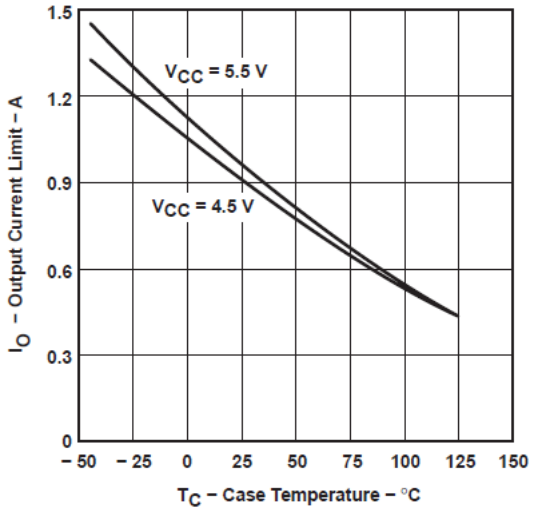
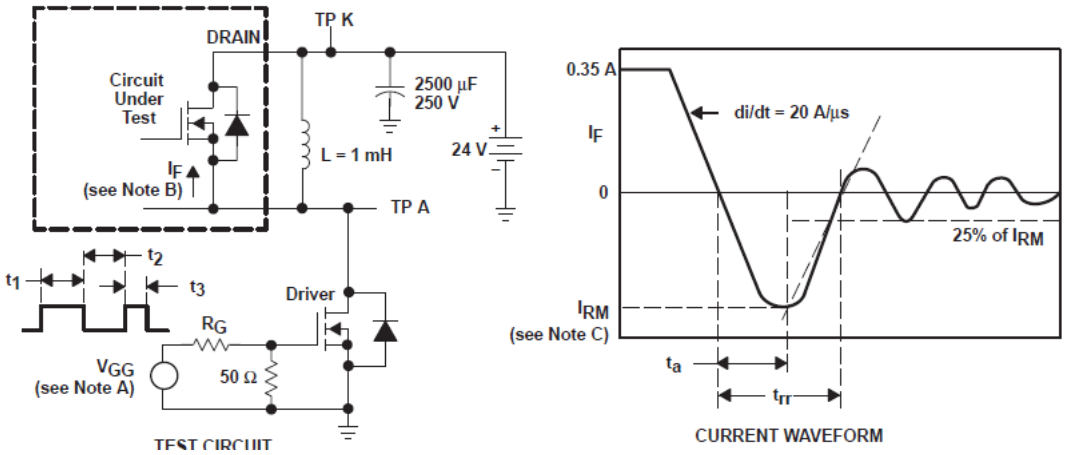


图 6-4. 输出电流限制与外壳温度

Copyright © 2025 Texas Instruments Incorporated

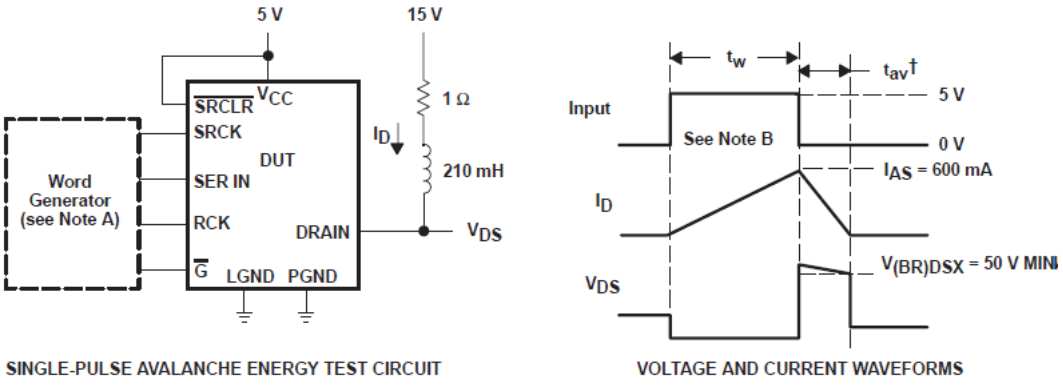


A. V_{GG} 振幅和 R_G 可针对 di/dt = 20A/µs 进行调节。V_{GG} 双脉冲序列用于设置 I_F = 0.35A，其中 t_1 = 10µs、t_2 = 7µs 以及 t_3 = 3µs。

B. 受测漏极端子连接到 TP K 测试点。所有其他端子连接在一起并连接到 TPA 测试点。

C. I_{RM} = 最大恢复电流。

图 6-5. 源漏二极管的反向恢复电流测试电路和波形



A. 雪崩时间的非 JEDEC 符号。

B. 字发生器具有以下特性：t_r ≤ 10ns，t_f ≤ 10ns，Z_O = 50Ω。

C. 输入脉冲持续时间 t_w 增大，直至峰值电流 I_{AS} = 600mA。
能量测试水平定义为 $E_{AS} = (I_{AS} \times V_{(BR)DSX} \times t_{av})/2$ = 75mJ。

图 6-6. 单脉冲雪崩能量测试电路和波形

Copyright © 2025 Texas Instruments Incorporated

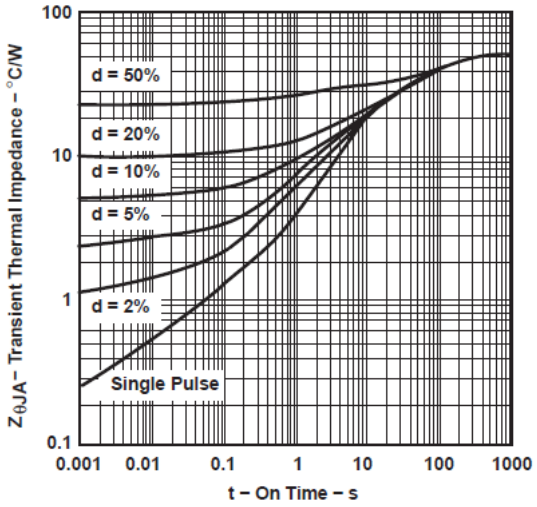


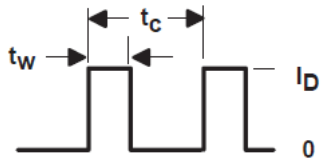
图 6-7. NE 封装瞬态热阻抗与导通时间之间的关系

单脉冲曲线表示测量数据。各种脉冲持续时间的曲线基于以下公式：

$$Z_{\theta JA} = \left|\frac{t_W}{t_C}\right| R_{\theta JA} + \left|1 - \frac{t_W}{t_C}\right| Z_\theta(t_W + t_C) + Z_\theta(t_W) - Z_\theta(t_C) \quad (1)$$

其中：

- $Z_\theta(t_W)$ 等于 $t = t_W$ 秒时的单脉冲热阻抗
- $Z_\theta(t_C)$ 等于 $t = t_C$ 秒时的单脉冲热阻抗
- $Z_\theta(t_W + t_C)$ 等于 $t = t_W + t_C$ 秒时的单脉冲热阻抗
- $d = t_W/t_C$

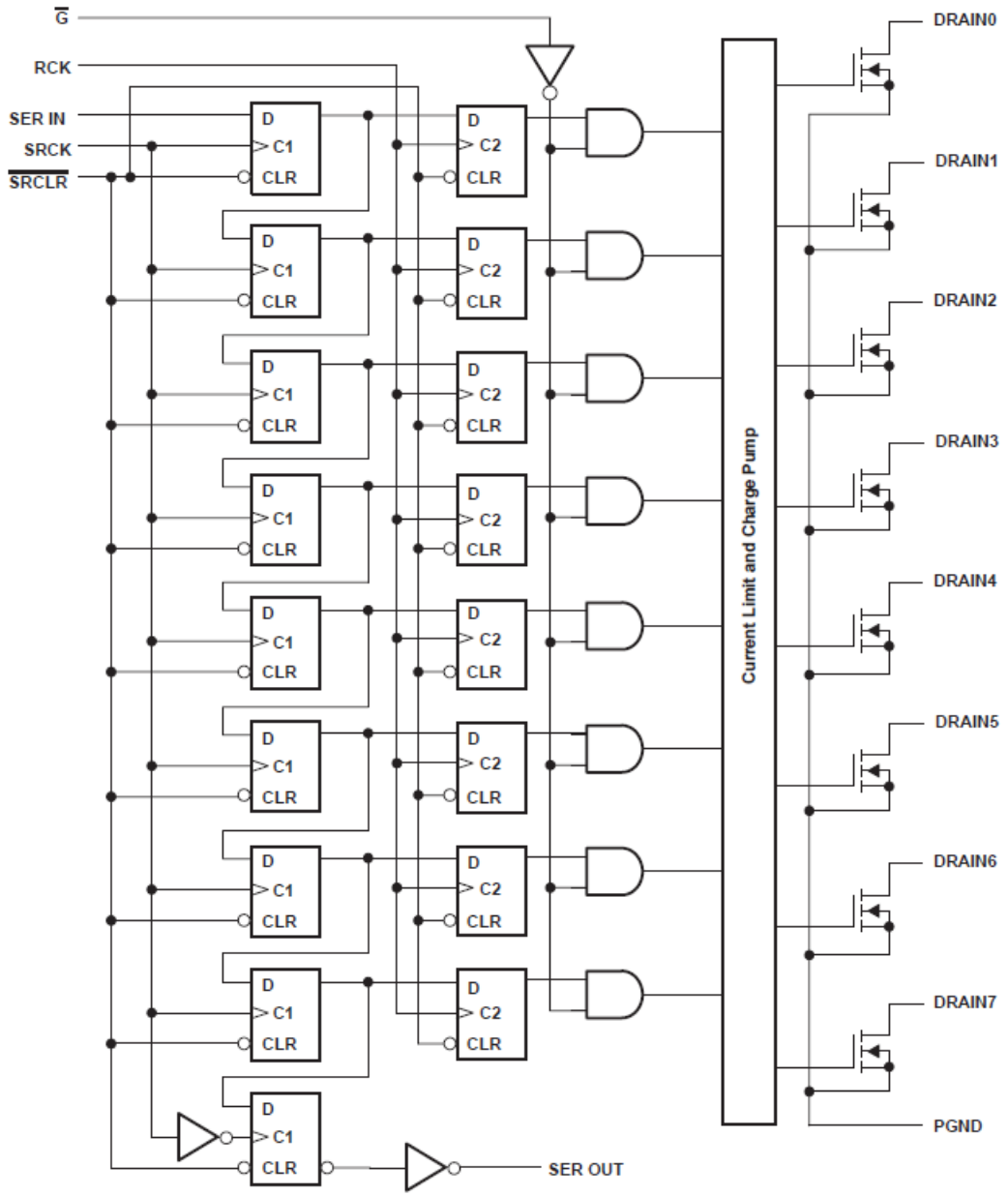


7 详细说明

7.1 概述

TPIC6A596 器件是一款单片、高压、中等电流功率 8 位移位寄存器，专为负载功率要求相对较高的系统而设计。该器件的输出端包含内置电压钳位，用于实现电感瞬态保护，因此还可以驱动继电器、螺线管和其他中等电流或高电压负载。

7.2 功能方框图



功能方框图

Copyright © 2025 Texas Instruments Incorporated

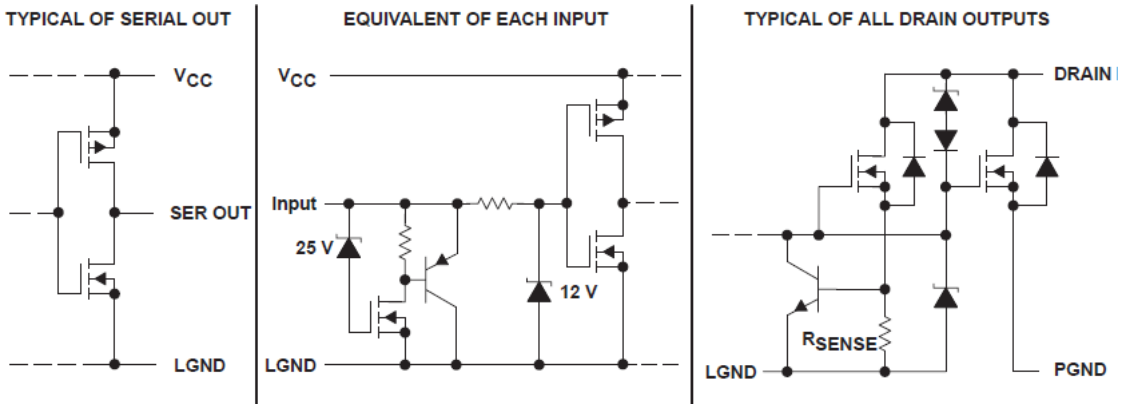


图 7-1. 功能方框图（续）

7.3 特性说明

7.3.1 串行输入接口

该器件包含一个可对 8 位 D 类存储寄存器进行馈送的 8 位串行输入、并行输出移位寄存器。移位和存储寄存器之间的数据传输分别在移位寄存器时钟 (SRCK) 和寄存器时钟 (RCK) 的上升沿上发生。只有当 RCK 为低电平时，写入数据和读取数据才有效。当移位寄存器清零 ($\overline{\text{SRCLR}}$) 为高电平时，存储寄存器将数据传输到输出缓冲器。

7.3.2 清除寄存器

($\overline{\text{SRCLR}}$) 上的逻辑低电平会清除器件中的所有寄存器。TI 建议在上电或初始化期间清除器件。

7.3.3 输出控制

保持输出使能 ($\overline{\text{G}}$) 为高电平时，输出缓冲器中的所有数据将保持低电平，并且所有漏极输出将关闭。保持 ($\overline{\text{G}}$) 为低电平时，来自存储寄存器中的数据对输出缓冲器透明。当输出缓冲器中的数据较低时，DMOS 晶体管的输出被关闭。当数据较高时，DMOS 晶体管输出具有灌电流能力。该引脚也可用于全局 PWM 调光。

7.3.4 级联应用

串行输出 (SER OUT) 允许将数据从移位寄存器级联到其他器件。串行输出 (SER OUT) 在 SRCK 下降沿时从器件时钟输出，为级联应用提供额外的保持时间。这将为时钟信号有可能偏移、器件相距较远或系统必须容许电磁干扰的应用提供更佳的性能。将器件 (SER OUT) 引脚连接到菊花链的下一个器件 (SER IN)。

7.3.5 电流限制功能

输出为低侧、漏极开路 DMOS 晶体管，额定输出功率为 50V，连续灌电流能力为 350mA。每个开漏 DMOS 晶体管都具有独立的斩波限流电路，以防止在短路情况下损坏。

Copyright © 2025 Texas Instruments Incorporated

8 器件功能模式

8.1 在 V_{cc} < 4.5V 条件下运行

该器件在 4.5V ≤ V_{cc} ≤ 5.5V 期间正常工作，而当工作电压低于 4.5V 时，无法保证器件的正确行为（包括通信接口和电流能力）。

8.2 在 5.5V < V_{cc} ≤ 7V 条件下运行

器件在此电压范围内正常工作，但如果器件在此电压范围内长时间工作，则可能会出现可靠性问题。

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (May 2015) to Revision B (March 2025)	Page
• 更新了“应用”部分	1

Changes from Revision * (March 2000) to Revision A (May 2015)	Page
• 更改了 $\overline{\text{SRCLR}}$ 时序图并更改了 图 6-1 的漏极时序图标题	8

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPIC6A596DW	Obsolete	Production	SOIC (DW) | 24	-	-	Call TI	Call TI	-40 to 125	
TPIC6A596DWRG4	Active	Production	SOIC (DW) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TPIC6A596
TPIC6A596DWRG4.A	Active	Production	SOIC (DW) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TPIC6A596
TPIC6A596NE	Active	Production	PDIP (NE) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TPIC6A596NE
TPIC6A596NE.A	Active	Production	PDIP (NE) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TPIC6A596NE

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

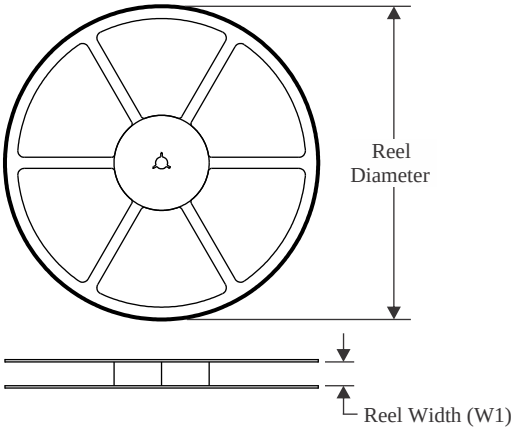
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

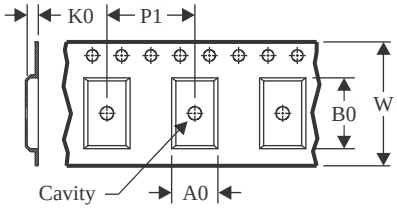
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

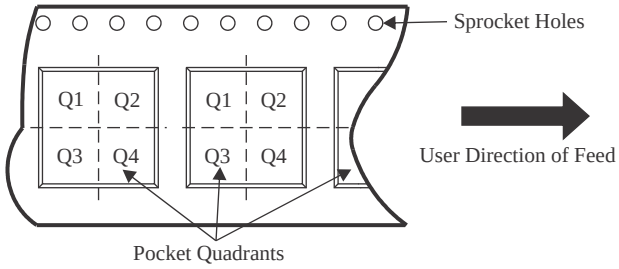


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

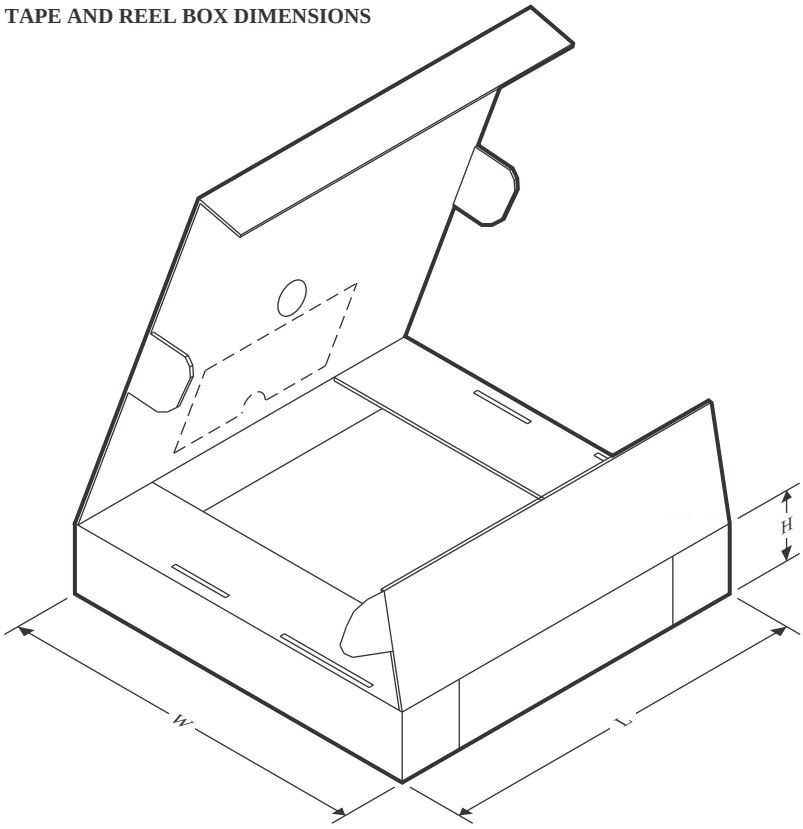
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPIC6A596DWRG4	SOIC	DW	24	2000	330.0	24.4	10.75	15.7	2.7	12.0	24.0	Q1
TPIC6A596DWRG4	SOIC	DW	24	2000	330.0	24.4	10.75	15.7	2.7	12.0	24.0	Q1

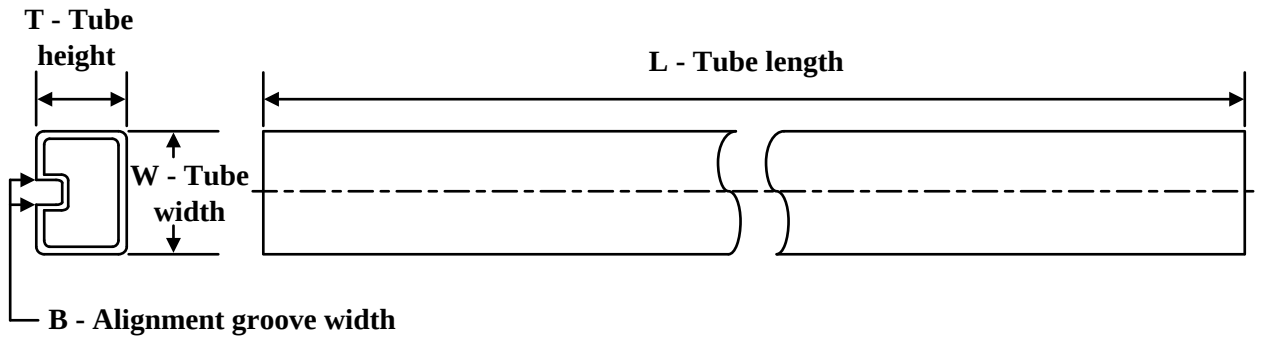
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPIC6A596DWRG4	SOIC	DW	24	2000	350.0	350.0	43.0
TPIC6A596DWRG4	SOIC	DW	24	2000	350.0	350.0	43.0

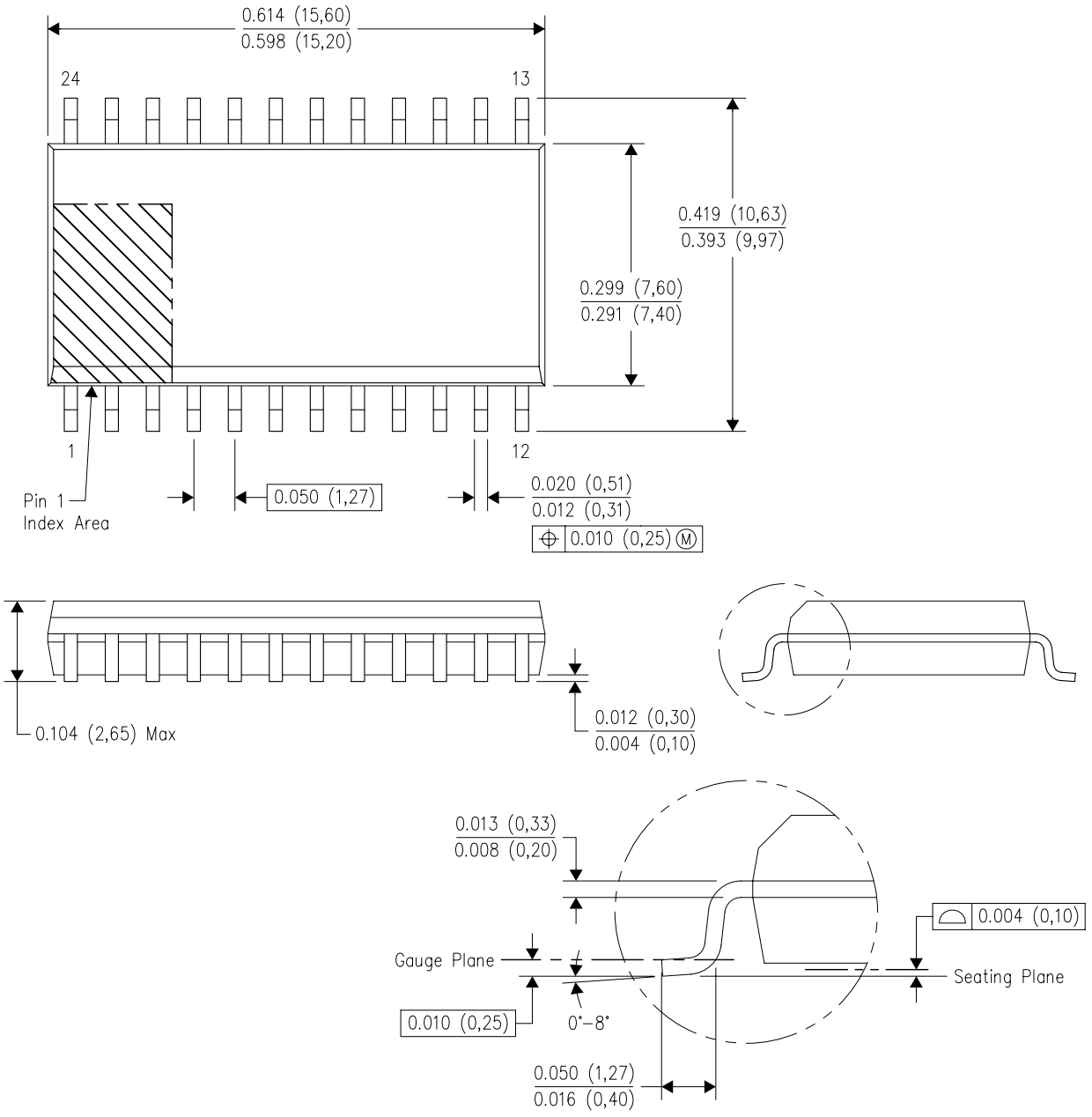
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TPIC6A596NE	NE	PDIP	20	20	506	13.97	11230	4.32
TPIC6A596NE.A	NE	PDIP	20	20	506	13.97	11230	4.32

DW (R–PDSO–G24) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters). Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion not to exceed 0.006 (0,15).
D. Falls within JEDEC MS–013 variation AD.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月